(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월28일
(11) 등록번호 10-0761226
(24) 등록일자 2007년09월18일

(51) Int. Cl.
H01L 21/20(2006.01)
(21) 출원번호 10-2000-0010008
(22) 출원일자 2000년02월29일
심사청구일자 2005년02월28일
(65) 공개번호 10-2000-0062671
공개일자 2000년10월25일
(30) 우선권주장
09/261,879 1999년03월02일 미국(US)
(56) 선행기술조사문헌
JP10321558 A
(뒷면에 계속)
전체 청구항 수 : 총 6 항

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
데닝,딘제이.
미국,텍사스78617,델발레페르세레인12007
가르시아,샘에스.
미국,텍사스78745,오스틴,윈드리프트웨이6900
(뒷면에 계속)
(74) 대리인
장훈

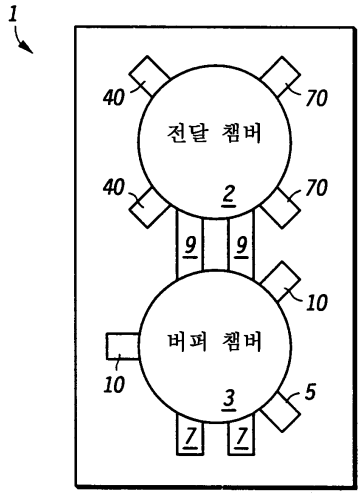
심사관 : 백양규

(54) 구리 상호접속부에서 사용될 장벽층을 형성하는 방법

(57) 요 약

개선된 구리 상감 상호접속부(도 11)를 형성하는 방법은 챔버(10)에서 상감 구조로 RF 사전 세정 동작(408)을 실행함으로써 시작된다. RF 사전 세정은 하부의 노출된 구리 상호접속부 표면들(202a)로부터 실질적으로 구리 원자들을 제거하지 않으면서 공백을 감소시키고 스텝 커버리지를 개선하기 위해 구조의 코너들(210a, 206a)을 둥글게한다. 이어서, 탄탈 장벽(220)이 증착되고, 여기서 탄탈 장벽의 한 부분은 탄탈 장벽의 또 다른 부분 보다 인장 응력이 더 크다. 장벽층(220)을 형성한 후에, 구리 시드층(222)이 장벽층의 상단 위에 형성된다. 구리층은 웨이퍼 에지들에서 구리의 박리 및 오염을 감소시키는 개선된 클램프(85)로 웨이퍼를 클램핑하여 형성된다. 이어서 구리 상호접속부 구조를 완료하기 위해 구리 전기도금 및 화학 기계적 폴리싱(CMP) 처리가 사용된다.

대표도 - 도1



(72) 발명자

스미스,브래들리피.

미국,텍사스78748,오스틴,킹피셔크릭드라이브604

루프,다니엘제이.

미국,텍사스78704,오스틴,세다뷰드라이브2502

해밀톤,그레고리노만

미국,텍사스78660,프플루거빌레,메이플우드드라이브1101

이스람,엠디.라비울

미국,텍사스78731,
오스틴,그레이스톤드라이브#2143500

안토니,브라이언지.

미국,텍사스78759,
오스틴,발코네스우드스드라이브4118

(56) 선행기술조사문헌

WO9854377 A2

JP06196437 A

특허청구의 범위

청구항 1

웨이퍼(200) 상에 장벽층(barrier layer)(220)을 형성하는 방법에 있어서:

상기 웨이퍼(200)를 처리 챔버(40)에 배치하는 단계;

제 1 시간 기간 동안 스퍼터링 타겟(sputtering target)(48)에 전력을 공급하는 단계;

상기 제 1 시간 기간과는 다른 제 2 시간 기간 동안 코일(52)에 전력을 공급하는 단계; 및

상기 장벽층(22)의 증착 동안 상기 스퍼터링 타겟(48) 및 상기 코일(52) 모두에 대한 전력을 제어하는 단계를 포함하며, 상기 스퍼터링 타겟에 전력을 공급하는 단계는 상기 코일에 전력을 공급하기 이전에 이루어지며, 상기 스퍼터링 타겟에 전력을 공급하고 상기 코일에 전력을 공급하는 중간 시간에 형성되는 상기 장벽층의 제 1 부분은 상기 스퍼터링 타겟에 전력을 공급하고 상기 코일에 전력을 공급한 이후의 시간에 형성되는 상기 장벽층의 제 2 부분에 비해 인장 응력이 작은, 웨이퍼 상에 장벽층을 형성하는 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제 1항에 있어서,

상기 장벽층의 상기 증착 중에 상기 웨이퍼에 전력을 공급하는 단계를 더 포함하는, 웨이퍼 상에 장벽층을 형성하는 방법.

청구항 12

제 1항에 있어서,

상기 장벽층의 상기 증착 중에 상기 코일에 교대로 전력을 인가하고 전력을 감소하는 단계를 더 포함하는, 웨이퍼 상에 장벽층을 형성하는 방법.

청구항 13

제 1항에 있어서,

상기 코일에 전력을 공급하기 전에 상기 장벽층에 포함(incorporate)되는 불활성 스퍼터링 기체의 제 1 양과 상기 코일에 전력을 공급한 후에 상기 장벽층에 포함되는 불활성 스퍼터링 기체의 제 2 양은 상이한, 웨이퍼 상에 장벽층을 형성하는 방법.

청구항 14

제 13항에 있어서,

상기 불활성 스퍼터링 기체는 아르곤(argon)을 포함하는, 웨이퍼 상에 장벽층을 형성하는 방법.

청구항 15

제 1항에 있어서,

상기 장벽층을 형성하기 위해 상기 코일 및 상기 스퍼터링 타겟 양자로부터 물질이 스퍼터링 되는, 웨이퍼 상에 장벽층을 형성하는 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15> 본 발명은 일반적으로 반도체 제작에 관한 것으로, 보다 구체적으로 구리 상호접속부들에 대한 장벽/시드 증착 처리(barrier/seed deposition process)에 관한 것이다.

<16> 집적 회로(IC) 산업에서, 구리는 현재 상호접속부들에서의 알루미늄의 대체 물질로 개발되고 있다. 구리 상호접속부들은 일반적으로 구리의 제작이 덜 비싸기 때문에 알루미늄 상호접속부들 보다 더 많이 이용된다. 또한, 구리 상호접속부들은 알루미늄 상호접속부들 보다 열 저항이 크므로, 열을 덜 발생시킨다. 또한, 구리의 작은 저항은 더 높은 동작 주파수에서 동작하기 위해 IC의 능력을 개선시키고, 그에 따라 성능이 개선된다. 또한, 구리는 알루미늄과 비교해 개선된 전자이동 저항을 갖는다.

발명이 이루고자 하는 기술적 과제

<17> 그러나, 이러한 이점들에도 불구하고, 구리는 이것이 존속 가능한 대안이 되려면 극복해야 하는 다수의 불편한 점들을 갖는다. 구리의 한가지 단점은 이동성 이온 오염의 소스로서의 잠재성을 갖는다는 것이다. 구리 이온들은 반도체 제작시 사용되는 종래 유전체 물질들을 통해 쉽게 확산된다. 적절하게 함유되지 않으면, 구리는 디바이스의 활성 영역들로 확산될 수 있고, 그에 따라 디바이스의 신뢰성에 영향을 준다. 또한, 구리는 쉽게 에칭되지 않는다. 따라서, 상호접속부들이 상감 구조(inlaid structures)로 형성될 필요가 있어, 더 복잡해지고 화학 기계적 폴리싱(chemical mechanical polishing, CMP) 처리들을 사용할 것을 요구한다. 또한, 구리 처리는, 적절하게 제작 처리에 통합되지 않는 경우 다양한 문제점들 및 복잡성들을 제공할 수 있는 새로운 물질들 및 새로운 처리들을 사용할 것을 요구한다.

<18> 예를 들면, 장벽층들이 통상 구리 상호접속부들을 사용할 때 요구된다. 장벽층은 구리를 에워싸기 위해 구리 주위에 형성되므로, 구리가 인접한 층들 및 활성층들을 오염시키는 것을 방지한다. 일반적으로 알루미늄에는 필요하지 않은 이러한 장벽층들은 해결되어야 하는 새로운 제작 및 집적 문제점들을 발생시킨다. 이 장벽층들을 형성하기 위해 사용되는 물질들 및 처리들은 현재 잘 이해되지 않았다. 따라서, 장벽층들을 형성하기 위한 이러한 물질들 및 처리들을 더 개선시키는 것은 웨이퍼 수율, 디바이스 신뢰성, 및 장비 가동 시간을 상당히 개

선시킬 잠재력을 갖는다.

<19> 구리 처리시 장벽들에 대해 사용되는 많은 물질들(예를 들면, 내화성 물질들)은 또한 디바이스 신뢰성에 악영향을 줄 수 있다. 이러한 신뢰성 문제는 얼마만큼은, 인접한 막들에 대한 장벽층의 응력(stress)으로부터 초래된다. 따라서, 장벽 응력 제어는 또한 전체적인 IC 수율 및 신뢰성을 개선시킬 잠재력을 갖는다.

<20> 더욱이, 상호접속부들에서 구리를 증착시키기 위해 현재 사용되는 처리들 및 챔버들은 두께 및 균일성 제어에 대해 최적화되지 않는다. 제어의 부족이 문제가 된다. 증착된 구리막 균일성의 변화가 크면, 수율은 악영향을 받을 수 있고, 및/또는 후속 처리들은 불균일하게 증착된 막을 보상하도록 조정이 요구되어 더 복잡해질 수도 있다.

<21> 부가하여, 챔버 구성요소들에 대한 구리 및 구리 장벽 물질들의 부착력이 부족하면, 증착 동안 뿐만 아니라 웨이퍼 운송 동안 문제점들이 나타날 수 있다. 이들 물질들은 잠재적인 입자 소스이다. 이들 물질들의 부착력을 개선하기 위해 증착 처리를 최적화하는 것은 수율을 증가시키고 처리 챔버들에서의 특정한 오염을 감소시키는데 유리하다.

<22> 많은 구리 처리들은, 비어(via) 및 트렌치(trench) 측벽들이 평면들 보다 더 작은 범위로 구리막에 의해 커버되는 스텝 커버리지(step coverage) 문제점들을 갖는다. 부가하여, 개구들의 상단 부분들에서 증착된 막이 너무 높은 비율로 증착되면, 구리 공백(voiding) 문제점들이 생길 수도 있다. 이는 개구를 완전히 채워 개구 내에 공백들이 형성되기 전에, 상단에서 막이 핀치오프(pinch off)되도록 할 수 있다. 스텝 커버리지를 개선하고 공백을 최소화하는 처리는 구리 상호접속부들을 갖는 디바이스들에 대해 수율 및 신뢰성을 증진시킬 잠재력을 갖는다.

<23> 또한, 사전-금속 증착 처리들 동안 물질을 백스퍼터링(back-sputtering)하는 것은 알루미늄에서는 반드시 문제가 되는 것이 아니지만, 구리에서는 상술된 이동성 이온 문제점 때문에 관심사가 된다. 알루미늄이 노출된 웨이퍼 표면들 상에 백스퍼터링되면, 이를 제거하기 위한 화학 제품들 및 처리들이 존재한다. 부가하여, 알루미늄은 다양한 층들을 통해 쉽게 확산되지 않는다. 반대로, 백스퍼터링된 구리는 화학적으로나 다른 방법으로 쉽게 제거되지 않는다. 이는 장벽으로 에워싸여지지 않으면, 인접한 막들을 통해 확산되고 수율 및 신뢰성에 영향을 주기 쉽다. 따라서, 하부 구리층들을 노출시키는 상호접속 처리들은 노출된 영역들에서 구리를 최소로 제거하는 것을 보장하도록 설계되어야 한다.

<24> 따라서, 상업적으로 개선된 금속화 처리에 대한 필요성이 존재하며, 그에 따라, 구리 상호접속부들은 감소된 비용, 개선된 수율, 및 신뢰성으로 대량 제작될 수 있다.

발명의 구성 및 작용

<25> 본 발명의 특징들 및 이점들은 첨부 도면에 따른 다음 상세한 설명으로부터 보다 명백하게 이해될 것이며, 도면에서 동일한 부호들은 동일하고 대응하는 부분들을 나타낸다.

종래 기술에 숙련된 자는 도면의 소자들이 간략하게 도시되고 반드시 비율에 따라 그려진 것이 아님을 이해하게 된다. 예를 들면, 도면에서 일부 소자들의 치수는 본 발명의 실시예를 잘 이해하도록 돕기 위해 다른 소자들에 비해 확대될 수도 있다.

<26> 일반적으로, 본 명세서에서 도 1 내지 도 14는 구리 상감 상호접속부 구조를 형성하는 개선된 방법을 설명한다. 일반적으로, 이 방법은 상감 또는 이중 상감 구조의 개선된 사전-금속 증착 처리, 상감 구조 내에 구리 장벽을 증착하는 개선된 증착 처리, 및 장벽층 위에 시드층을 증착하는 개선된 증착 처리를 설명한다.

<27> 구체적으로, 종래 기술의 장벽 증착 챔버들에서는, 전기적으로 바이어스된 성분들이 일반적으로 다른 전기적 도전성 구성요소들에 가깝게 위치된다. 일부 경우에서는 이들이 의도적이지 않게 회로를 단락시키고 인가된 바이어스를 변화시켜, 결과적으로 일관되지 않은 처리를 발생시킨다. 이것이 전기적으로 바이어스된 웨이퍼 받침대(지지 부재)와 다른 도전성 챔버 부분들 사이에서 발생하는 것을 방지하기 위해, 받침대와 다른 도전성 챔버 구성요소 사이에는 유전체 또는 세라믹 고립형 링(isolating ring)이 배치된다. 아크들(arcs)과 단락 회로들로부터 웨이퍼를 보호하는 것에 부가하여, 고립형 링은 또한 인가된 바이어스가 웨이퍼로 향하도록 하고 웨이퍼 부근에 있는 챔버의 다른 도전성 부분들에는 향하지 않도록 보장하게 돕는다. 그에 따라, 웨이퍼가 효율적이고 정확히 처리되어 일관된 결과를 제공하도록 보장한다.

<28> 장벽을 형성하기 위해 탄탈(Ta)을 사용할 때, 세라믹 고립형 고리에 잘 부착되지 않는 것이 발견되었다. 이것

은 탄탈 입자들이 세라믹 고립형 고리에서 벗겨져 웨이퍼에 붙게 한다. 이 입자들은 집적 회로 수율에 상당한 영향을 미친다. 입자들의 레벨을 낮추기 위해, 세라믹 고립형 고리 위에 알루미늄 코팅이 불꽃 분사 또는 아크 분사되는 설계가 통합되었다. 알루미늄 코팅은 고립형 고리에 대한 탄탈의 부착력을 개선시켜 입자들의 수를 상당히 감소시키는 것이 발견되었다.

<29> 부가하여, 구리 시드층 증착 동안 웨이퍼들을 보호하기 위해 사용되는 종래의 클램프들은 종래 기술에서 부적절한 것으로 발견되었다. 클램프의 상승된 새도우(shadow) 영역은 웨이퍼의 표면 위로 너무 높게 설계되었고, 그에 따라 구리는 새도우 영역 아래에서 충분한 양으로 웨이퍼 상에 증착될 수 있었다. 이는 구리 마디들(nodules)을 만들고 및/또는 웨이퍼 주변으로 확장됨에 따라 점차적으로 구리의 두께가 감소되는(점층적인 구리 영역) 웨이퍼 상의 영역들이 되게 한다. 후속하는 도금 및/또는 화학 기계적 폴리싱(CMP) 동작 동안, 이 구리 마디들 및 점층적인 구리 영역들은 입자들의 소스가 되는 것이 발견되었고, 웨이퍼의 표면으로부터 얇은 조각으로 갈라지는 경향 때문에 다이(die) 수율이 감소되었다. 부가하여, 클램프가 구리로 스퍼터링된 영역들에서 웨이퍼와 접촉하도록 허용되면, 스퍼터링된 구리는 클램프 표면과 웨이퍼 표면에 모두 부착될 수 있으므로, 이 스퍼터링된 구리는 클램프 및 웨이퍼가 서로 분리될 때 제거 또는 분리될 수 있다. 이러한 문제점들을 피하기 위해서, 개선된 클램프가 개발되었으며, 본원에서 상기의 역 현상을 방지함으로써 수율을 현저하게 개선시키는 것이 설명된다.

<30> 부가하여, 챔버 보수 이후에 장벽 증착 챔버의 구성요소들 위에 질화탄탈(TaN) 코팅을 적용하는 것은 미립자들로 인해 챔버 작동 정지 시간(chamber down time)을 크게 줄이는 것으로 발견되었다. 챔버가 TaN으로 코팅되지 않을 때, 챔버의 내부 구성요소들 상에 스퍼터링된 잔류 탄탈은 쉽게 조각으로 벗겨져, 챔버에 및 웨이퍼 상에 입자들이 생성된다. 이것은 결과적으로 챔버 세정 회수를 증가시킬 필요가 있고, 그에 대응하여 장비 작동 정지 시간을 증가시키게 된다. 주기적인 TaN 챔버 코팅/건조(coat/seasoning)는 내부 챔버 구성요소들에 대한 탄탈의 부착력을 개선하고 입자들을 감소시켜, 그에 따라 챔버 작동 정지 시간을 줄이고 반도체 디바이스 다이 수율을 개선하는 것으로 발견되었다.

<31> 종래 기술의 처리에서, 비어 에칭 및 사전-금속 증착 처리들은 전형적으로 노출된 하부 알루미늄의 제거를 감소시키는 것을 보장하도록 최적화되지 않았다. 재증착된 알루미늄은 인접한 층들로 쉽게 확산되지 않고 알루미늄은 후속하는 화학적 처리로 제거되기 쉽기 때문에, 감소된 알루미늄 제거는 통상 관심사가 아니었다. 그러나, 구리막들은 다르다. 그 경우에, 이동성 이온 오염을 발생시키는 구리의 잠재성 때문에 의도된 작업들을 달성하는 동안 상당량의 노출된 구리를 제거하지 않는 에칭 및 사전-금속 증착 처리들을 개발하는 것이 유리하다. 따라서, 본 명세서에는 노출된 상호접속부 영역들로부터 구리를 제거하고 백 스퍼터링함으로써 기인되는 구리-관련 오염의 문제점들을 감소시키고, 그에 따라 수율 및 신뢰성이 개선되는 새로운 비어 처리 기술이 설명된다. 부가하여, 사전-금속 증착 처리 동안 제거된 구리량이 상당히 감소되더라도, 개구의 코너들을 충분히 사전 세정하고 윤곽을 만들거나 둥글게하는 것이 여전히 달성되고, 그에 따라, 후속하는 금속 증착 처리 동안 접촉 저항이 개선되고, 스텝 커버리지가 개선되고, 또한 공백 형성이 감소되게 된다.

<32> 부가하여, 구리 장벽층들을 형성하는데 사용되는 다수의 내화성 금속들의 막 응력 특성들은 상부 및 하부의 도전성 층 및 유전체 층에 대해 상당히 변화할 수 있다. 이 응력 차이는 중요한 신뢰성 및 수율의 문제점들을 야기할 수 있다. 본 명세서에서는 복합 탄탈 장벽층의 증착을 설명하는 방법으로, 서로에 대해 층의 한 부분이 인장 응력이 크고 다른 부분이 인장 응력 더 작아서, 그에 따라 응력에 관련된 복잡성이 감소되는 방법이 설명된다. 이러한 장력-설계 복합층(tensile-engineered composite layer)은 장벽 챔버의 타겟에 공급된 전력에 대해 장벽 챔버의 코일에 공급된 전력의 듀티 사이클(duty cycle)을 변화시킴으로써 형성된다. 부가하여, 복합막(예를 들면, 코일로부터의 한 물질과 타겟으로부터의 또 다른 물질)을 형성하고 및/또는 웨이퍼를 가로질러 증착된 층의 전체적인 균일성을 개선하기 위해, 물질을 웨이퍼 상에 스퍼터링하기 위한 소스로서, 타겟과 관련하여, 코일이 또한 사용될 수 있다.

<33> 따라서, 상기 개선안들의 통합은 결과적으로 구리 상호접속부들에 사용되는 장벽 및 시드층 처리들을 훨씬 개선하게 된다. 상기의 통합 개선안들은 도 1 내지 도 14를 참고로 더 이해될 수 있다.

<34> 도 1은 다중챔버 집적 회로 증착 시스템(1)을 도시한다. 시스템(1)은 웨이퍼들을 한 점에서 또 다른 점으로 이동시키도록 설계된, 로봇으로 제어되는 2개의 전달 챔버들을 포함한다. 제 1 로봇식 챔버는 버퍼 챔버(3)이고, 제 2 로봇식 챔버는 전달 챔버(2)이다.

<35> 웨이퍼들은 도 1에 도시된 로드 로크들(load locks)(7) 중 하나로 배치되어 시스템(1)으로 들어간다. 로드 로크(7)가 적절한 온도, 압력 등으로 안정화된 후에, 버퍼 챔버(3)는 웨이퍼를 로드 로크(7)로부터 가스 제거 및

정렬 챔버(5)로 이동시킨다. 가스 제거 및 정렬 챔버(5)는 시스템(1)의 처리를 위해 웨이퍼를 회전하여 정렬하도록 반도체 웨이퍼 내에 형성된 플랫(flat) 또는 노치(notch)를 사용한다. 부가하여, 가스 제거 및 정렬 챔버(5)는 웨이퍼를 다양한 처리 챔버들 중 하나에 배치하기 전에 웨이퍼로부터 유기 오염물, 습기, 또는 다른 바람직하지 않은 물질을 제거하기 위해 웨이퍼에 열 또는 에너지를 가한다. 이러한 제거는 이 물질들이 시스템(1)에서 챔버들 중 임의의 챔버를 오염시킬 가능성을 감소시키기 위해 행해진다.

<36> 챔버(5)에서의 처리 이후에, 웨이퍼는 버퍼 챔버(3)를 거쳐 도 1(도 2도 참조)에 도시된 무선 주파수(RF) 사전 세정 챔버들(10)로 이동된다. RF 사전 세정 챔버들(10)은 상감 비어 및/또는 트렌치 개구들의 코너 부분들을 둥글게하기 위해 사용된다. 또한, 사전 세정 챔버는 후속하는 구리 장벽 및 구리 시드층 형성을 위한 준비로 반도체 웨이퍼의 노출된 도전성 표면들을 세정한다.

<37> 챔버(10)를 통해 처리된 이후에, 웨이퍼는 전달 챔버(9)를 통과하여 전달 챔버(2)로 전달된다. 전달 챔버(2)는 이어서 웨이퍼를 장벽 증착 챔버(40)(도 3 참조)에 배치한다. 전달 챔버(2)를 통한 처리 챔버들 사이의 웨이퍼의 전달은 제어 조건들하의 제어 환경에서 행해지고, 그에 따라 웨이퍼 운송 동안의 웨이퍼 상의 오염은 감소된다. 장벽 증착 챔버(40)는 구리를 웨이퍼 상에 증착하기 전에 구리 장벽층을 반도체 웨이퍼 상에 증착한다. 장벽은 양호하게 탄탈, 또는 일부 다른 내화성 금속 또는 내화성 질화금속이다. 대안적으로, 이는 장벽층들을 형성하는데 유용한 다른 종류의 단일 또는 복합 물질들을 사용하여 형성될 수도 있다.

<38> 장벽층을 형성한 후에, 웨이퍼는 시드층 증착 챔버(70)(도 4 참조)로 운송된다. 챔버(70)에서 구리 시드층이 형성되며, 이 시드층에서 구리가 전기도금, 무전해 도금, 증착, 스퍼터링(sputtering)될 수 있다. 구리 시드층을 형성한 후에, 웨이퍼는 이를 버퍼 챔버(3)로 이동하기 전에 냉각하기 위해 챔버(9)를 통과하여 선택적인 냉각 챔버(도시되지 않음)로 운송된다. 버퍼 챔버(3)는 이어서 웨이퍼를 챔버(9)로부터 다시 로드 로크(7)로 전달하고, 그에 따라 웨이퍼가 시스템(1)으로부터 제거된다. 제거시, 처리된 반도체 웨이퍼는 노출된 표면들 상에 형성된 도전성 장벽층 및 구리 시드층을 갖고, 벌크 구리 증착 및 CMP의 준비를 갖추게 된다.

<39> 다중 챔버 증착 시스템(1) 및 그 서브-구성요소들 내의 특정 챔버들은 도 3 내지 도 7을 참고로 보다 상세히 논의된다. 상기 논의된 순서를 통해 운송된 반도체 웨이퍼에서 시스템(1)이 갖는 효과는 도 8 내지 도 11에서 더 설명된다. 부가하여, 반도체 웨이퍼에서 도 1의 시스템(1)에 의해 실행되는 단계들은 도 12 내지 도 14를 참고로 더 설명되고 논의된다. 따라서, 도 2 내지 도 14의 논의는 상기에 논의된 처리를 더 잘 이해하도록 한다.

<40> 도 2는 도 1에 도시된 RF 사전 세정 챔버(10)를 보다 상세히 도시한다. 챔버(10)는 RF 사전 세정 챔버(10) 내에서 RF 사전 세정 환경을 포함하기 위해 사용되는 돔(dome)(12)을 포함한다. 일반적으로, 돔(12)은 입자 부착력을 증진시키기 위해 수정(bead blasted quartz)으로 구성된다. 부가하여, 수정은 외부 전기장들(예를 들면, 논의된 코일(16)층으로부터의 전기장)이 사전 세정 처리 환경 및 웨이퍼의 처리에 영향을 주도록 허용하는 유전체 물질이다. 따라서, 수정은 바람직한 물질이지만, 외부 전기장들의 통과를 금지하지 않는 다른 물질들이 사용될 수도 있다.

<41> 돔(12)은 차폐기(shield)(14)에 의해 측면들 및 상단이 둘러싸이며, 바닥은 기저 플레이트(base plate)(18)에 의해 둘러싸인다. 소자들(14, 18)은 일반적으로 무선 주파수(RF)를 차폐할 수 있는 알루미늄, 또는 이와 같은 금속성 물질로 구성된다. 차폐기(14)와 돔(12) 사이에는 코일(16)이 위치한다. 코일(16)은 원추형으로, 수정 돔(12)을 둘러싼다. 코일(16)에는 코일 전원(26)을 통해 저주파수 RF 전력이 공급된다.

<42> 도 2에 도시된 바와 같이, 반도체 웨이퍼(22)는 실질적으로 이것이 처리되는 웨이퍼 받침대(20)(웨이퍼 척(wafer chuck)) 위에 배치된다. 웨이퍼 받침대(20)에는 받침대 전원(24)을 통해 고주파수 RF 전력이 제공된다. 웨이퍼(22)는 진공, 기계적 클램프들, 정전기력 등을 사용해 받침대(20)에 고정될 수 있다. 대안적으로, 일부 시스템들에서, 웨이퍼는 고정되지 않은 채로 있을 수도 있다. 도 2는 수정 돔(12)에 의해 포함된 내부 챔버 환경에 가스를 공급하는 가스 공급선(28)을 도시한다. 내부 챔버 환경에 공급되는 가스들은 일반적으로 불활성 스퍼터링 가스들로서, 전형적으로 아르곤, 질소, 또는 크세논을 포함한다. 부가하여, 도 2는 챔버(10)로부터 반응된 부산물들 및 반응되지 않은 부산물들을 제거하고 웨이퍼 처리 동안 압력을 유지하는 배출 포트(30)를 도시한다. 일반적으로, 챔버(10)는 장벽 및 시드층들을 증착하기 전에 상감 개구들의 코너를 둥글게하고 개구들 내에서 노출된 도전성 표면들을 세정하기 위해 웨이퍼(22)를 사전처리 및 사전 세정한다. 사전 세정 처리는 도 9 및 도 12를 참고로 더 상세히 설명된다.

<43> 도 3은 도 1에 도시된 장벽 증착 챔버(40)를 보다 상세히 도시한다. 도 3의 장벽 증착 챔버(40)는 알루미늄 또는 알루미늄 아크 분사 스테인레스 스틸로 구성된 차폐기(42)를 포함한다. 차폐기(42)의 상단에는 상단 플레이

트(44)가 있다. 상단 플레이트(44)는 회전 자기 어셈블리(46)를 포함하거나 지지한다. 회전 자기 어셈블리(46)는 장벽 물질을 타겟(48)으로부터 웨이퍼(22)로 스퍼터링하면서 원자를 스퍼터링 타겟(48) 쪽으로 향하게 한다. 스퍼터링 타겟(48)은 상단 플레이트(44)의 바닥에 고정되고, 바람직하게는 탄탈(Ta)로 구성된다. 대안적으로, 장벽층 타겟은 질화탄탈(TaN), 질화티타늄(TiN), 텅스텐티타늄(TiW) 등과 같은 다른 물질들로 구성될 수 있다. 타겟(48)은 전형적으로 도 3에 도시된 바와 같이 타겟 전원(50)에 의해 공급된 직류(DC)가 공급된다.

<44> 하우징(housing)(42)의 내부 주변은 코일(52)을 지지한다. 코일(52)은 코일 전원(54)에 접속되고, 그에 의해 웨이퍼 처리 동안 바이어스될 수 있다. 웨이퍼(22)는 챔버(40)에서 웨이퍼 받침대(56)(웨이퍼 척) 상단에 배치된다. 웨이퍼들은 진공, 기계적인 클램프들, 정전기력 등을 사용해 웨이퍼 받침대(56)에 고정될 수 있다. 그러나, 본 명세서에서 설명되는 실시예에서는 웨이퍼가 웨이퍼 받침대(56)에 고정되지 않는다. 받침대(56)는 받침대 전원(58)에 의해 바이어스된다. 이어서 특정 바이어스 조건들이 도 14를 참고로 상세히 논의된다.

<45> 도 3에 도시된 바와 같이, 기저 플레이트(60) 내에는 개구(들)가 있으며, 이 개구(들)를 통해 입력 가스원(62)이 챔버로 제공된다. 입력 가스원 포트(62)는 질소, 아르곤, 및/또는 크세논과 같은 다양한 가스들이 스퍼터링 동작을 보다 효과적으로 실행하도록 하기 위해 처리 챔버(40)에 도입되는 것을 허용한다. 부가하여, 도 3은 스퍼터링 동작의 잔류 부산물들을 제거할 뿐만 아니라 웨이퍼(22)의 스퍼터 처리 동안 챔버 내의 압력을 정규화하기 위해 사용되는 배출 포트(64)를 도시한다.

<46> 웨이퍼(22)가 받침대 전원(58)에 의해 효과적으로 바이어스되는 것을 보장하기 위해, 도 3에 도시된 유전체 고립형 고리(53)가 웨이퍼 받침대과 다른 도전성 챔버 구성요소들 사이의 전기적인 접촉을 방지하기 위해 사용된다. 유전체 고립형 고리(53)는 바람직하게 세라믹 물질로 구성된다. 그러나, 본래 탄탈 타겟(48)으로부터 스퍼터링된 탄탈(Ta)은 세라믹 고립형 고리(53)에 잘 부착되지 않고, 그에 따라 세라믹 고립형 고리(53)로부터의 탄탈 박리(peeling)가 자주 발생하고 웨이퍼(22)에 대한 입자 오염을 증가시키는 것이 발견되었다. 이러한 입자 오염은 다이 수율을 현저하게 감소시킨다. 따라서, 본 발명의 일 실시예에 따라, 세라믹 또는 유전체 고립형 고리(53)의 상부의 노출된 표면은 아크 분사 알루미늄 또는 불꽃 분사 알루미늄의 층으로 코팅된다. 세라믹 고립형 고리(53) 상의 이러한 부가 표면은 탄탈 증착 동안 고립형 고리(53)에 대한 탄탈의 부착을 개선하여, 챔버에서의 입자 제어가 종래 기술에서 사용된 고립형 고리들 보다 상당히 개선된다.

<47> 부가하여, 타겟(48)으로부터 스퍼터링된 탄탈(Ta)은 또한 챔버(40) 내의 다른 구성요소들에도 쉽게 증착되는 것으로 발견되었다. 예를 들면, 탄탈은 차폐기(42), 클램프들(55), 또는 챔버(40) 내의 다른 구성요소들에 증착될 수 있다. 일반적으로, 탄탈은 시간이 지나면 이들 구성요소들에 충분하게 직접 부착되지 않는다. 스퍼터링된 탄탈이 이들 구성요소들에 잘 부착되지 않으면, 조각조각 떨어져 수율에 악영향을 주는 입자 카운트를 증가시키고 시스템 작동 정지 시간을 증가시킨다.

<48> 이러한 문제점들을 피하기 위해, 챔버(40)를 세정할 때, 웨이퍼들을 챔버(40)에 재도입하기 전에 조건 설정 단계가 챔버(40)에 대해 실행되어야 하는 것으로 발견되었다. 이 조건 설정 단계는 가스 입력선(62)을 통해 챔버에 질소를 도입하고, 질소 대기에서 타겟(48)으로부터 Ta를 반응적으로 스퍼터링하는 것을 포함한다. 예로서, 일 실시예에서, 이는 질화탄탈막이 챔버 및 그 구성요소들의 내부 표면 부분들 위에 형성되도록, 약 1300 내지 1700W의 범위로 타겟(48)에 전력을 공급하고, 약 1300 내지 1700W의 범위로 코일(52)에 전력을 공급하고, 및/또는 전원들(50, 54, 및/또는 58)을 통해 받침대(56)에 전력을 공급함으로써 반응 스퍼터링 증착 시스템에서 이루어진다. 질화탄탈막은 약 0.25 내지 0.75미크론 범위의 두께로 증착된다. 조건 설정 단계 동안, 금속 디스크는 스퍼터링된 물질이 히터에 증착되는 것을 방지하기 위해 받침대 위에 배치된다. 이 조건 설정 단계는 중요한 내부 챔버 구성요소들을 TaN으로 코팅하고, 그에 의해 웨이퍼 처리 동안 챔버 구성요소들 상에 순차적으로 증착되는 탄탈의 부착이 개선된다. 특정한 수의 웨이퍼들이 챔버(40)를 통해 처리된 후에, 내부 챔버 구성요소들 상에 질화탄탈(TaN)을 증착하기 위한 또 다른 조건 설정 동작 및 또 다른 챔버 보수 세정 과정이 다시 실행된다. 대안적인 실시예에서, TaN층을 형성하기 위해 질소 환경에서 타겟의 Ta를 스퍼터링하는 대신, 내부 챔버 구성요소들 상에 질화탄탈층을 증착하기 위해 대안적으로 복합 TaN 타겟이 사용될 수도 있다.

<49> 도 4는 도 1에 도시된 장벽 증착 챔버(70)를 보다 상세히 설명한다. 도 3과 유사한 방식으로, 챔버(70)는 상술된 소자들과 유사한 차폐기(72), 상단 플레이트(74), 회전 자기 어셈블리(76), 구리 타겟(78), 타겟 전원(80), 코일들(82), 코일 전원(84), 웨이퍼 받침대(86), 받침대 전원(88), 하단 플레이트(90), 입력 가스원(92), 및 배출 포트(94)를 구비한다. 그러나, 도 4의 웨이퍼 지지 및 클램핑 구조는 도 3의 챔버(40)에 도시된 것과는 다르다. 도 3에서는 웨이퍼가 챔버(40)에 자유롭게 놓여있었지만, 도 4에서는 웨이퍼가 개선된 클램프(85)를 사용하여 도 4의 웨이퍼 받침대(86)에 클램핑된다.

<50> 동작하는 동안, 전원들(80, 84, 88)은 시스템에 전력을 공급하고, 아르곤(Ar) 등과 같은 불활성 가스가 입구(92)를 통해 챔버(70)에 제공된다. 그 결과로, 구리는 타겟(78)으로부터 웨이퍼(22) 상에 스퍼터링된다. 본 명세서에서 설명된 개선안은 처리 보다 도 4에서 사용되는 특정 개선 클램프(85)를 개선한다. 따라서, 클램프(85)의 상세한 논의가 도 5 내지 도 7을 통해 제공된다.

<51> 도 4에 도시된 클램프(85)는 웨이퍼의 주변 영역들에서의 구리 박리를 감소시키도록 재설계되었고, 그에 의해 IC 제작 동안 미립자들 및 특정한 관련 수율 문제점들을 감소시킨다. 도 5는 도 4에 도시된 클램프의 내부 주변 부분을 확대한 단면도를 도시하고, 또한 웨이퍼(22)에 대한 위치 및 기능을 도시한다. 클램프(85)의 접촉 부분(100)은 웨이퍼를 하부 웨이퍼 받침대 또는 지지 부재(도시되지 않음)에 고정하기 위해 사용된다. 클램프의 내부 지름에 위치되는 상승된 영역은 새도우 부분이라 칭하여진다. 이는 웨이퍼(22)의 주변 위치에서 영역(102) 위에 위치한다. 도 5는 클램프(85)의 새도우 부분이 웨이퍼(22)의 표면 위에서 거리(104)를 두고 위치하는 것을 도시한다. 도 5에 도시된 클램프 설계에서 중요한 점은 클램프(85)가 웨이퍼(22)에 접촉하거나 그 부근에 있는 지점(105)이다. 일반적으로, 지점(105)이 클램프의 다른 치수들에 대해 적절하게 설계되지 않으면, 스퍼터링된 구리의 원하지 않는 증착이 행해지게 된다. 이는 웨이퍼의 조임을 풀 때 문제가 될 수 있다. 웨이퍼의 조임을 풀 때, 지점(105) 가까이에서 웨이퍼와 클램프 모두 위에 연속적으로 형성된 구리는 이들 표면들로부터 모두 분열되려는 경향을 갖는다. 이는 입자들을 생성할 수 있고, 또한 추후 처리 동안 웨이퍼로부터의 구리막의 후속하는 박리의 소스가 될 수 있다.

<52> 도 5의 설계에서의 개선점(들)은 도 7에 도시된 종래 기술의 클램프(99)와 관련하여 가장 잘 이해되고 논의될 수 있다. 클램프(99)가 웨이퍼(22)를 고정하는 동안, 구리 또는 구리 시드층(108)은 상부 타겟으로부터 스퍼터링된다. 새도우 부분의 높이(114)가 너무 높으면, 구리는 경로(116)와 같은 경로를 따라 스퍼터링되어, 새도우 부분 아래에 있는 영역들의 웨이퍼 상에 형성될 수 있다. 이들 영역들에 형성된 구리는 점층적인 두께(두꺼운 것에서 얇은 것으로)를 가질 수 있고, 결국 새도우 부분(115) 아래의 가장 외부쪽 영역들에서 구리 마디들로서 종결될 수 있다. 이 새도우 부분은 웨이퍼(22)의 주변 부분 쪽으로 위치가 정해진다. 구리 마디들(110)과 점층적인 구리 부분들(112)은, 비균일한 방식으로 후속하는 구리 도금 동작들에 의해 도금되는 문제가 있다. 부가하여, 구리 마디들(110) 및 점층적인 구리 부분들(112) 상에서 실행되는 구리 도금 및 화학 기계적 폴리싱(CMP) 동작들은 시간이 지남에 따라 웨이퍼로부터 상당히 역으로 박리될 잠재성을 갖는다. 따라서, 종래 기술에서는 가능할 때마다 구리 마디들(10) 및 점층적인 구리 영역들(112)의 형성을 감소시킬 필요가 있다.

<53> 부가하여, 도 7에서와 같이, 종래 기술의 클램프들은 때때로 충분히 넓지 않은 새도우 영역(115)을 생성한다. 이 영역(115)이 너무 좁고 및/또는 높이(114)가 너무 높으면, 전형적으로 클램프(99)를 웨이퍼(22)에 접촉시키는 지점(117)은 또한 그 위에 및 그 주위에 구리가 증착될 잠재성을 갖는다. 결국, 충분한 구리가 지점(117)에 형성되므로, 클램프를 웨이퍼에서 분리시킬 때 지점(117)에서 구리층(108)이 벗겨지거나 분열되게 된다. 이는 웨이퍼(22)의 에지들로부터 입자들을 발생하여 수율에 영향을 줄 수 있는 잠재성을 갖는다. 따라서, 개선된 기능적 클램프를 개발하기 위해서는, 구리 또는 구리 시드층의 형성에 사용하도록 종래 기술에 현재 존재하는 것을 넘어서 치수들(115, 114)이 주의깊게 설계되어야 한다.

<54> 도 5는 치수(104)가 도 7의 최고 치수(114) 보다 작은 개선된 클램프(85)를 도시한다. 특히, 종래 기술은 8㎜ 보다 작은 치수(114)의 새도우 부분을 갖는 클램프를 만들지 않았었다. 웨이퍼(22)로부터 떨어진 이러한 "높은" 새도우 부분은 적어도 부분적으로 클램프(99)에 대해 상술된 문제점을 초래한다. 도 5에서, 클램프(85)의 치수(104)는 8㎜ 보다 작게 설계된다. 바람직한 실시예에서, 치수(104)는 5㎜ 보다 작고, 일부 경우에서는 3 ㎜ 보다 작게 이루어진다. 일반적으로, 도 5의 치수(104)는 대부분의 경우에서 대략 2 내지 5 ㎜의 범위내에 있는 어떤 값이다. 치수(104)를 감소시키는 것은 새도우 부분 아래에 형성되는 구리의 양을 감소시키고, 그에 따라 새도우 부분 아래에서의 점층적인 구리 및 구리 마디들과의 문제점들을 감소시킨다. 웨이퍼가 도 5의 클램프의 내부 주변(107)과 접촉하는 것을 허용하지 않는 것이 중요하다. 이것은 중요한데, 그렇지 않으면, 이때 도 5의 지점(105)과 대향하는 지점(107)에서 이러한 구리 증강 및 분열이 발생할 것이라는 것 외에, 도 7의 지점(117)에 대해 앞서 논의된 분열 문제점이 발생할 것이다. 따라서, 웨이퍼 형상 및 증착된 장벽과 시드 및/또는 구리층의 두께에 의존하여 변하는 일부 임계값 보다 더 낮은 지점으로 스탠드오프 치수(standoff dimension)(104)를 낮추지 않는 좋은 이유가 된다.

<55> 부가하여, 도 5의 치수(102)는, 일반적으로 (도 7에 도시된 바와 같은) 대각선 증착 경로(116)가 지점(105)에 구리 물질이 불리하게 축적되지 않도록 보장하기 위해 20㎜ 이상으로 설정된다. 치수(104)에 대한 상대적인 치수(102)의 이러한 연장은 또한 시드층의 주변 부분이 분열되는 것을 피하거나 또는 실질적으로 감소시키는 것을 보장한다. 요약하면, 개선된 클램프(85)는 도 7에 도시된 구리 경사(112) 및 구리 마디들(110)을 감소시켜, 주

변 구리의 박리 및 입자들이 실질적으로 감소된다. 부가하여, 새롭게 설계된 클램프(85)는 웨이퍼와 접촉하는 클램프(85)의 표면들 근처에서 구리 축적이 발생하지 않도록 보장하고, 그에 따라 구리는 구리 시드층 형성 동안 웨이퍼(22)의 표면에서 불리하게 분열되지 않는다.

<56> 기본적으로, 도 7에 도시된 문제점은 치수들(115, 114)로 규정된 직사각형의 2차원 형상으로 인한 것이다. 거리들(102, 104)을 통해, 도 5에 규정된 직사각형 영역의 형상을 변화시킴으로써, 개선된 구리 시드층 형상이 발생할 것이다. 따라서, 상술된 특정 치수들(102, 104)을 통해 클램프 개선안을 설명하는 대신에, 대안적으로 치수(102) 또는 돌출부가 웨이퍼의 표면 위에서 새도우 부분의 치수(104) 또는 높이의 적어도 2.5배가 되어야 하는 것으로 설명될 수 있다. 본래, 거리(102)는 적어도 거리(104)의 4.0배가 되어야 한다. 이러한 기하학적 관계는 도 7의 점층적인 구리(112) 및 마디들(110)의 형성이 감소 또는 방지되도록 보장하고, 동시에 구리 시드층이 도 5의 접촉점(105) 또는 경계점(107)에서 웨이퍼로부터 분열되지 않도록 보장한다.

<57> 도 6은 상단 투시도로부터 도 4의 챔버(70)에서 사용되는 클램프(85)를 도시한다. 대부분의 반도체 웨이퍼들(22)은 전형적으로 웨이퍼의 표면에 걸쳐 레이저로 기록된 문자들을 포함하는 문자숫자식의 식별 영역(106)을 포함한다. 도 3의 챔버(40)에서, 이들 문자숫자식의 문자들은 처리되어 Ta 장벽층으로 덮인다. 장벽층은 너무 얇고 문자숫자식의 문자들은 너무 깊게 형성되므로, 비교해 보면, 문자숫자식의 문자들은 문자숫자식의 문자들의 형태 내에서 장벽층의 증착에 의해 왜곡되거나 채워지거나, 또는 효과적으로 지워지지 않는다. 그러나, 후속하여 가능하게는 0.4미크론 보다 큰 두께로 형성되는 구리 시드층은 문자숫자식의 식별 영역(106)을 완전히 흐릿하게 만들거나 또는 실질적으로 왜곡시킬 수 있다. 따라서, 도 4 및 도 5에 도시된 클램프(85)는, 웨이퍼 위로 클램프의 위치가 정해질 때 문자숫자식의 식별 영역(106)을 덮는 부분을 갖는 고리 형태로 도 6에서 만들어진다. 그렇게 함으로써, 구리 시드층은 문자숫자식의 식별 영역을 제외한 영역들에 형성되고, 그에 의해 이 식별 심볼들은 구리 도금이 발생된 후에도 보존된다.

<58> 따라서, 집합적으로, 도 5 및 도 6은 구리 상호접속부 처리를 개선하기 위해 도 4의 시드층 증착 챔버(70) 내에서 사용되는 개선된 클램프 구조를 도시한다.

<59> 도 8 내지 도 11은 도 1 내지 도 6에서 앞서 도시된 시스템을 사용하여 이중 상감 구리 상호접속부 구조를 형성하는 방법을 단면도로 도시한다.

<60> 도 8은 기판 위에 형성된 유전체 영역(200)을 도시한다. 바람직한 형태에서, 기판은 실리콘웨이퍼이다. 그러나, 탄화규소, 규화게르마늄, 게르마늄, 비화갈륨, 다른 III-V 화합물, 절연체상의 실리콘(silicon on insulator, SOI) 기판, 및 유사한 반도체 물질들과 같이, 본원에서 지시되는 것에 따라 다른 기판들이 사용될 수도 있다. 이 기판의 상단에는 다양한 도전성 및 유전체 층들이 형성된다. 이 층들은 제한되는 것은 아니지만, 금속, 내화성 금속, 규화물. 폴리실리콘, 질화물, 산화물 등과 같은 물질들을 포함한다. 기판 상단의 이러한 층들은 다양한 능동 디바이스들, 수동 디바이스들, 및 기판 표면 상의 전기적 디바이스들 사이의 상호접속부 영역들을 형성한다.

<61> 이와 같은 상호접속부 영역은 도 8에서 상호접속부(202)로 도시된다. 바람직한 형태에서, 상호접속부(202)는 구리 물질로 구성되고, 바람직하게는 적절한 장벽층들(도 8에서는 특별히 도시되지 않음)을 갖는 이중 상감 또는 단일 상감 구조이다. 상호접속부(202)의 상단에는 질화규소, 실리콘 강화 질화규소(silicon-rich silicon), 질산화규소, 플라스마 증대 질화물(plasma enhanced nitride), 및/또는 유사한 물질들이나 화합물들과 같은 에칭 중단층(204)이 형성된다. 에칭 중단층(204) 위에는 하나 이상의 유전층들(206)이 형성된다. 유전층들(206)은 하나 이상의 TEOS(tetraethylorthosilicate), BPSG(borophosphosilicate glass), PSG(phosphosilicate glass), 플루오르 도핑 TEOS, 낮은 k의 유전체, 질산화물, 및/또는 유사한 유전체나 그 화합물들을 포함한다. 층(206) 위에는 제 2 에칭 중단 및 반사 방지 코팅(anti reflective coating, ARC)층(208)이 형성된다. 층(208)을 형성하기 위해 사용되는 물질들은 층(204)을 형성하기 위해 사용되는 물질들과 유사하다. 층(208)의 상단에는, 유전층(206)에 대해 앞서 논의된 것과 유사한 물질들 및 처리로 형성되는 또 다른 유전층(210)이 있다.

<62> 층들(204 내지 210)을 형성한 후에, 포토리소그래픽 처리가, 도 8에 도시된 바와 같이, 층들(204 내지 210)을 통과하여 단일 상감 또는 이중 상감 개구를 형성하기 위해 에칭 처리와 함께 사용된다. 도 8에서, 이중 상감 개구는 트렌치 부분(212a) 및 비어 부분(212b)을 갖는 것으로 도시된다. 개구(212)는 "비어 최선/트렌치 최후(via first/trench last)", "트렌치 최선/비어 최후(trench first/via last)", 또는 도 8에 도시된 결과적인 전체 구조를 생성하는 다른 방식으로 형성될 수도 있다.

<63> 도 8에 도시된 구조를 형성한 후에, 웨이퍼(22)는 도 1에 도시된 바와 같이, 시스템(1)의 로드 로크(7)에 배치된다. 웨이퍼는 본 명세서에서 나타낸 바와 같이, RF 사전 세정 챔버(10)로 전달된다. RF 사전 세정 챔버(10) 내에서, 웨이퍼(22)는, 도 9에 도시된 바와 같이, 이온화된 입자들(214)을 웨이퍼 표면에 전하는 전기장이 존재할 때 아르곤이나 크세논과 같은 불활성 가스를 이온화함으로써 에칭된다. 이온화된 입자들(214)은 도 9에 도시된 바와 같이, 층들(210, 206, 202)의 표면에 충돌한다. 그러나, 이온화된 입자들(214)에는, 둥글게된 코너들(210a, 206a)이, 노출된 표면(202a)으로부터 노출된 구리층(202)의 일부를 실질적으로 스퍼터링 또는 제거하지 않고 형성되는 방식으로 전력이 제공된다. 이러한 선택적인 제거는, 깊이에 기초하여, 코일 전원(26)을 사용하여 고레벨의 RF 전력으로 코일(16)에 전력을 공급하고 받침대 전원(24)을 사용하여 비교적 낮은 레벨의 RF 전력으로 웨이퍼 받침대에 전력을 공급함으로써 행해진다(도 13 참조). 이 전력차는 이온 충격으로부터의 더 높은 에칭 레이트가 더 낮은 노출 표면 부분들에 대해 더 높은 노출 표면 부분들을 따라 일어나도록 하는 것을 보장한다(예를 들면, 표면(210)이 표면(206) 보다 더 높은 레이트로 에칭되기 때문에 코너들(210a)은 코너들(206a) 보다 높은 정도로 둥글게된다). 또한, 바닥 개구에 있는 노출 표면(202)에는 최소량의 이온 충격이 가해지므로, 최소량의 물질이 제거되거나 스퍼터링되는 개구 부분이 된다. 또한, 각 코너들(210a, 206a)로부터 제거되는 물질의 양은 표면(202a)으로부터 제거된 물질의 양 보다 크다. 코너들을 둥글게하는 것은 후속하여 증착되는 장벽 및 도전막들의 스텝 커버리지를 개선하고, 이들 막들이 개구 내에서 보다 균일하게 증착되도록 허용함으로써 개구 바닥에 공백이 생기는 것을 감하도록 돕는다.

<64> 종래 기술에서, 코일 전력 및 웨이퍼 받침대 전력(웨이퍼 전력)은 전형적으로 200W와 동일한 레벨로 설정되었다(예를 들면, 도 13참조). 알루미늄 상호접속부에서 노출된 알루미늄의 제거 또는 스퍼터링은 집적 회로 수율 및 신뢰성에 불리하지 않기 때문에, 이와 같은 동일한 전력 레벨들이 사용되었다. 그러나, 도 9에서 표면(202a)으로부터 역스퍼터링 및 제거되고 이어서 유전층들(210, 206) 상에 재증착되는 구리는 종래 기술의 알루미늄과는 달리 수율에 악영향을 미칠 수 있다. 층들(210, 206) 상에 증착된 임의의 구리는 층들(210, 206)을 통해 용이하게 확산되어, 잠재적으로 디바이스 오염 및 수율 손실을 야기한다. 부가하여, 구리 오염은, 알루미늄의 경우에서와 같이, 화학적 처리 또는 에칭에 의해 쉽게 제거될 수 없다. 따라서, 도 9의 처리가 상호접속부(202)의 표면(202a)으로부터 구리의 제거 비율을 감소시키는 것이 디바이스 신뢰성에 유리하다.

<65> 요약하면, 도 2의 챔버(10)에서 실행되는 도 9의 처리는, 구리 상호접속부들의 후속하는 공백을 감소시키고 스텝 커버리지를 개선하는 원형화된 코너들(210a, 206a)을 형성하고, 동시에 표면(202a)에서의 구리의 스퍼터링 레이트를 감소시킴으로써, 수율을 감소시키는 구리 오염의 확률을 감소시키게 된다.

<66> 도 9를 사용하여 설명된 사전 세정 처리를 실행한 후에, 웨이퍼(22)는 도 1의 챔버(10)로부터 도 1의 장벽 증착 챔버(40)로 이동된다. 도 1의 챔버(40)는 또한 도 3에서 보다 상세히 설명됨을 주목하여야 한다. 도 10은 장벽층(220)이, 도 1 및 도 3에 도시된 바와 같이, 챔버(40)를 사용하여 도 9에서 상술된 웨이퍼의 표면 위에 증착되는 것을 도시한다. 전형적으로, 층(220)은 약 200Å의 두께와 750Å의 두께 사이에서 형성되고, 바람직하게는 탄탈(Ta)층이다. 바람직한 형태로, 층(210)의 일부는 증가적으로 인장 응력이 더 작은 층들로서 증착되고, 층(210)의 또 다른 부분들은 인장 응력이 더 큰 층들로서 증착되어, 복합층(220)의 응력을 설계한다. 즉, 도 10에서, 완전한 Ta 장벽층을 형성하기 위해, 층(220)의 적어도 한 부분은 인장 응력이 크고, 층(220)의 적어도 하나의 다는 부분은 인장 응력이 더 작게 형성된다. 이러한 장벽층(220)의 형성은 IC 제작시 응력과 관련된 신뢰성 관심도를 감소시키고, 일반적으로 IC 수율을 개선시킨다. 인장 응력이 더 큰 층과 더 작은 층(220)을 형성하기 위해 사용될 수도 있는 특정 방법이 다음의 도 12 및 도 14를 참조하여 보다 구체적으로 설명된다.

<67> 도 1의 챔버(40)에서 장벽층(220)의 형성 후에, 웨이퍼(22)는 챔버(40)로부터 챔버(70)로 이동된다. 챔버(70)는 도 4에서 더 상세히 설명됨을 유념해야 한다. 도 4에서, 도 5 및 도 6에 도시되고 상기에 논의된 개선된 클램프는 도 10의 장벽층(220) 상에 개선된 구리 시드층(222)을 형성하기 위해 사용된다. 일반적으로, 층(222)은 구리층으로 형성되고, 일반적으로 100Å과 2000Å의 두께 사이에서 형성된다. 때때로, 특히 수직에 가까운 비어 측벽들에서, 시드층의 두께는 측벽 표면들에서 보다 평면 표면들에서 더 크다. 그러나, 도 9에서 앞서 기술된 둥글게된 코너들(210a, 206a)은 이러한 스텝 커버리지를 개선시킬 수 있다. 부가하여, 도 10의 처리에서 도 5 및 도 6의 개선된 클램프를 사용하는 것은 종래 기술에서 사용된 하드웨어 및 처리들 보다 특히 웨이퍼의 주변에서 수율을 크게 개선시킨다.

<68> 또한, 챔버 코일 및 챔버 타겟 모두에서 시드층 및/또는 장벽층을 스퍼터링하는 것은 균일성을 크게 개선시키는 것으로 발견되었다. 부가하여, 50 미크론 보다 작은 그레인 크기를 갖는 구리 시드층 코일은 구리 시드층의 품질을 개선시킬 뿐만 아니라 전자이동 및 신뢰성에 대해 잠재적으로 이점을 제공하는 것으로 발견되었다. 일반

적으로, 종래 기술에서는 코일의 그레인 크기가 구리 시드층의 품질에 대해 거의 영향을 미치지 않는 것으로 믿어졌다.

<69> 부가하여, 구리 시드층의 균일성은 또한 코일 및 타겟 모두로부터 의도적으로 물질을 스퍼터링함으로써 제어 및 개선된다. 이는 코일로부터 의도하지 않고 발생하는 잔류 스퍼터링과 같지 않다. 이러한 스퍼터링에는 이점이 없고 이러한 스퍼터링은 단지 코일의 수명만을 제한하는 것으로 알려졌기 때문에, 이 기술에서는 물질이 코일로부터 스퍼터링되는 것이 바람직하지 않다. 그러나, 임의의 스퍼터링 시스템에서는 항상 챔버 구성요소들로부터 극소로 하찮게 물질을 일부 스퍼터링한다. 본 명세서에서 지시된 처리는 코일로부터 보다 큰 스케일의 보다 계획적인 스퍼터링 레이트를 지시하고, 그에 의해 증착된 층의 상당한 부분이 코일로부터 제거된 물질이다. 예를 들면, 본 발명의 실시예들은 구리 시드층에서의 전체 물질 중 적어도 최소 5%가 코일로부터 유래되는 것을 제공하는 반면, 전형적으로 종래 기술에서는 구리 시드층에서의 물질 중 1 내지 2% 정도가 코일로부터 유래된다. 부가하여, 코일 및 타겟은 웨이퍼 상에 복합층을 형성하기 위해 구리, 구리 합금, 또는 유사하지 않은 물질들 중 하나로 형성될 수도 있다. 요약하면, 코일로부터 의도적으로 전력을 공급하고 스퍼터링하는 것은 증착된 층의 균일성을 추가적으로 제어하는 기대되지 않은 이점을 제공하게 된다.

<70> 도 11은 또한 구리 충전 물질을 증착하고 이중 상감 상호접속부 구조를 형성한 후에 도 10의 이중 상감 개구를 도시한다. 도 11에서, 시드층(222) 상에 및 이중 상감 개구 내에 구리막(224)을 증착하기 위해 무전기, 전기도금, 또는 CVD 처리가 사용되어 왔다. 따라서, 실질적으로 개구를 충전하고 공백을 감소시키거나 없애는 구리층(224)은 시드층(222) 위에 형성된다. 전형적으로, 구리층(224)의 두께는 5000Å과 1.2미크론 사이이다. 층(224)을 형성한 후에, 이중 상감 개구 내에 포함되지 않는 장벽(220), 시드층(222), 및 구리층(224) 일부를 제거하기 위해 화학 기계적 폴리싱(CMP) 처리가 실행된다. 이 폴리싱 처리는 도 10에 도시된 바와 같이 이중 상감 상호접속부 구조를 생성한다.

<71> 도 12는 웨이퍼가 도 1의 시스템(1)에 배치될 때부터 웨이퍼가 도 1의 시스템(1)에서 제거될 때까지의 집적 처리를 흐름도로 도시한다. 먼저 단계 400에서, 웨이퍼(22)는 도 1의 로드 로크(7)에 배치된다. 단계 402에서, 웨이퍼는 버퍼 챔버(3)를 거쳐 로드 로크(7)로부터 가스 제거 챔버(5)로 전달된다. 챔버(5)에서, 웨이퍼는 다른 챔버들에서의 후속 처리를 준비하기 위해 웨이퍼의 표면으로부터 유기물 및 습기를 제거하도록 가열된다. 부가하여, 챔버(5)는 공간적으로 웨이퍼를 웨이퍼 노치 또는 웨이퍼 플랫에 정렬시킨다.

<72> 단계 406에서, 웨이퍼는 버퍼 챔버(3)를 거쳐 챔버(5)로부터 챔버(10)로 전달된다. 챔버(10)는 웨이퍼(22)를 RF 사전 세정하는데 사용된다. 단계 408의 특정한 사전 세정 조건들은 도 13의 종래 기술의 사전 세정 조건들과 비교된다. 그 처리 및 효과들은 도 9의 단면도에 또한 도시된다. 도 13에서, 종래 기술의 사전 세정 처리는 코일 및 웨이퍼에 대략 똑같은 전력 레벨로 전력을 공급한다. 이러한 전력 설정은 처리량(throughput)을 이유로 행해졌었다. 코일 및 웨이퍼 전력이 모두 고전력(예를 들면, 200W)으로 설정되었을 때, 사전 세정 처리는 높은 레이트로 웨이퍼의 모든 표면들로부터 물질을 제거하게 된다. 따라서, 처리량을 위해서는 고전력 처리가 바람직하였고, 그에 의해 상당한 양의 하부 노출 알루미늄이 개구 내에서 또한 불리하게 웨이퍼의 표면들로 스퍼터링되었다. 그러나, 스퍼터링된 알루미늄이 제거될 수 있어 알루미늄이 오염 관심사가 아니었기 때문에, 종래 기술의 처리는 알루미늄 스퍼터링과는 관계가 없었다.

<73> 그러나, 도 12의 단계 408은 도 9에 도시된 표면(202a) 상에 노출된 구리가 존재할 때의 사전 세정 처리이다. 본 발명의 일 실시예에 따라, 이 처리를 위한 코일 전력은 300W 이상으로 증가되고, 웨이퍼 전력은 100W 이하로 감소되어 전력 구배(power gradient)를 생성한다. 이들 전력들은 보수적인 수치로, 단순히 코일 전력으로부터 웨이퍼 전력으로 대략 2:1의 전력비를 유지할 필요가 있다. 이 전력 구배는 층(210)의 노출된 상단 표면들로부터 물질을 스퍼터링 또는 제거하는 것이 층(206)의 노출된 표면들로부터 물질을 스퍼터링 또는 제거하는 것 보다 크도록 보장하고, 이들은 모두, 도 9에서 개구의 바닥에서, 노출된 구리 표면(202a)으로부터 스퍼터링된 물질의 양 보다 크다. 따라서, 도 9의 유리한 코너들(210a, 206a)을 둥글게하는 것은 계속 발생할 것이며(코너(210a)는 코너(206a) 보다 약간 더 둥글게된다), 이러한 둥글게하는 것은 스텝 커버리지를 개선하고 공백을 줄인다. 유리하게 둥글게된 프로파일을 제공하는 것에 부가하여, 전력 구배는 도 9의 표면(202a)으로부터의 구리 제거를 최소화하고, 그에 의해 종래 기술의 알루미늄 처리에서는 관심사가 되지 않았던 오염이 구리 상호접속부들에 대해 최소화된다.

<74> 도 13에서 도 12로 복귀하여, 단계 410이 단계 408에 이어진다. 단계 410은 도 1 및 도 2의 사전 세정 챔버(10)로부터 도 1 및 도 3의 챔버(4)로 웨이퍼(22)를 전달한다. 단계 412에서, 도 3의 챔버(40)는 도 10에 도시된 장벽층(220)을 증착한다. 장벽막 증착은 도 14에 도시되어 설명된 처리 순차에 따라 실행된다.

<75> 도 14에서, 웨이퍼가 챔버(40) 내에 배치되고 챔버가 안정화되도록 허용된 후에, 도 3의 타겟(48)에는 1000W(타겟 바이어스)의 전력이 인가된다. 전력은 도 10의 장벽층(220)의 증착 동안 연속적으로 인가된다. 비록 타겟 전력이 특정하게 1000W의 인가 전력을 갖는 것으로서 도시되어 있지만, 사용되는 증착 장비의 종류 및 원하는 처리 결과들에 의존하여 임의의 다른 전력 설정이 사용될 수 있다. 장벽 증착 처리 중의 초기 시간 기간 동안, 타겟 바이어스에 인가된 전력은 1000W이고, 도 3의 받침대 전원(58)을 통해 웨이퍼(22)에 인가된 전력(웨이퍼 바이어스)은 낮은 값 또는 0W로 설정된다. 초기 시간 기간 이후에, 웨이퍼 바이어스는, 상호접속부 개구의 바닥으로부터 개구의 측벽들로 장벽 물질을 백스퍼터링하고 개구 내에서 장벽막의 전체 커버리지를 개선하기 위해 약 0W에서 450W로 변화된다. 웨이퍼 바이어스에 인가된 파형의 형상은 도 14에 도시된 것과 다를 수 있다. 또한, 사용되는 장비의 종류 및 원하는 처리 결과들에 의존하여 450W 이외의 다른 전력 레벨들로 변할 수 있다. 일부 시스템들은 장벽 증착 처리 동안 전혀 웨이퍼를 바이어스시키지 않을 수도 있다.

<76> 도 14는 바람직한 타겟 바이어스 전력 파형 및 웨이퍼 바이어스 전력 파형과 연관되어, 3개의 가능한 코일 전력 파형들(600, 602, 604) 중 하나가 사용될 수도 있음을 도시한다. 제 1 코일 전력 파형(600)은 도 3의 코일(52)이 타겟(48)과 대략 동일한 시간에 전력을 공급받음을 도시한다. 따라서, 파형(600)은 타겟(48)이 초기에 약 1000W로 전력을 공급받는 것과 대략 동일한 시간에, 코일이 약 1500W로 전력을 공급받는 것을 도시한다. 비록 약 1500W가 파형(600)으로 나타내어지지만, 필요한 경우, 다른 전력 레벨들이 다양한 처리들 및 장비를 수용하기 위해 사용될 수도 있다. 도 14에서 파형(600)으로 도시된 바와 같이, 지정된 시간 기간이 지난 후에, 코일 전력은 장벽 증착 처리가 종료되기 전에 제거되거나 감소된다. 즉, 도 10에서, 장벽막(220)의 초기 부분은 높은 코일 전력 처리 순차 동안 증착되고, 막(220)의 또 다른 부분은 낮은 또는 0인 코일 전력 처리 순차 동안 증착된다. 코일에 전력이 공급되는 동안의 초기 시간 기간 동안 형성된 탄탈 장벽의 이러한 부분들은 비교적 적은 양의 전력이 코일에 인가될 때 형성된 탄탈 장벽의 이러한 위치들과 비교해 상이한 응력 특성들을 갖는다. 코일에 전력이 공급된 시간 동안에는, 인장 응력이 더 탄탈 장벽막이 증착된다. 코일 전력이 제거 또는 감소된 시간 동안에는 인장 응력이 더 큰 탄탈 장벽막이 증착된다. 따라서, 장벽의 증착 동안 코일에 대한 전력을 선택적으로 제어함으로써, 장벽의 응력은 상부 층 및 하부 층의 각 응력들을 수용하도록 설계될 수 있고, 그에 의해 부착 및 전체 IC 수율이 개선된다.

<77> 상기 논의된 다른 장벽 부분들의 응력 특성들의 차이는 코일에 인가되는 전력이 증가된 결과로서 발생하는 증착된 장벽 부분들에 아르곤(또는 유사한 불활성 가스)이 함유되는 비율이 다르기 때문이라 믿어진다. 구체적으로, 코일에 전력이 공급될 때, 챔버 내의 아르곤은 더 큰 범위로 이온화되어 장벽막 내에서 더 많은 양으로 증착될 수도 있다. 코일에 전력이 공급되지 않을 때는 더 적은 아르곤이 챔버(40)(도 3 참조)에서 이온화되어, 더 적은 아르곤이 장벽막에 포함된다. 따라서, 막의 깊이를 통한 아르곤의 이러한 차이/변화도는 코일의 듀티 사이클 곡선(도 14의 곡선들(600, 602, 604) 중 하나)에 비례할 것이다. 최종적인 장벽막에서의 아르곤의 이러한 변화도들은 도 10의 장벽층(220)의 응력 특성들에서의 개선에 기여하는 것으로 믿어진다.

<78> 도 14는 타겟 전력이 인에이블되는 동안 도 3의 코일(52)이 초기에 턴오프되는 또 다른 가능한 코일 전력 파형(602)을 도시한다. 코일 전력이 인가되지 않는 초기 장벽 증착 기간 후에, 코일 전력은 도 14의 곡선(602)에 대해 도시된 바와 같이 인에이블된다. 따라서, 파형(602)은 기본적으로 파형(600)의 역이 되어, 파형(602)은 곡선(600)을 통해 형성된 막과 비교해 반전된 응력 프로파일을 갖는 장벽막을 생성한다. 파형(602) 처리 순차를 사용할 때, 증착 처리의 제 1 단계 동안에는 인장 응력이 더 큰 탄탈막이 초기에 증착되고, 증착 처리의 제 2 단계 동안에는 인장 응력이 더 작은 탄탈막이 증착된다.

<79> 도 14는 도 10의 장벽층(220)을 형성하기 위해 사용될 수도 있는 제 3의 가능한 파형(604)을 도시한다. 파형(604)은 펄스화된 전력(주기적 또는 비주기적)이 코일(52)에 인가되는 것을 나타낸다. 도 14에서와 같이 펄스화된 코일 전력 파형을 사용할 때, 번갈아 있는 더 작은 인장 응력 및 더 큰 인장 응력의 탄탈층들 또는 그 부분들은 도 10의 장벽층(220)을 형성하기 위해 증가적으로 웨이퍼(22) 상에 증착될 수 있다. 따라서, 증착 처리 동안 적어도 한번 코일의 전력 공급을 선택적으로 온 및 오프하는 것은 다수의 상이한 제한들이나 조건들을 수용하도록 장벽층의 응력을 동조시키기 위해 사용될 수 있다. 부가하여, 비록 도 14는 주로 스텝 커버리지 파형들을 도시하지만, 코일, 타겟, 및/또는 웨이퍼에서 사용될 수 있는 파형들은 시간에 대한 스텝 함수 곡선들이 될 필요는 없다. 예를 들면, 삼각형(톱니형) 파형들, 싸인파 파형들, 대수 전력 곡선들, 지수 전력 곡선들, 그들의 조합, 또는 다른 종류의 아날로그, 연속, 또는 양자화 파형들을 사용하여 도 10의 탄탈(또는 내화성 금속계) 장벽층(220)의 다른 종류의 응력 특성들을 산출하는 것이 가능하다. 대안적으로, 이 처리 방법은 응력에 관련된 문제점들에 용이할 수도 있는 금속, 굴절 금속, 및 굴절 금속 질화물과 같은 다양한 다른 도전막들로 사용될 수 있다. 부가하여, 더 작은 인장 응력 및 더 큰 인장 응력이 본 명세서 전반에서 물질들의 상대적인 응

력을 설명하기 위해 사용되었지만, 종래 기술에 숙련된 자는 신장력이 더 작은 및 수축이 더 잘되는 이란 용어가 상호교환가능하게 사용될 수 있음을 이해할 것이다.

<80> 다시 도 12를 참고로, 단계 412가 도 14에 도시되고 상술된 바와 같이 완료되면, 웨이퍼(22)는 단계 414에서 챔버(40)로부터 챔버(70)로 전달된다. 챔버(70)는 도 1에 도시되어 있고, 또한 도 4에 더 상세히 도시되어 있다. 웨이퍼(22)를 단계 414를 통해 챔버(70)로 전달한 후에, 단계 416은 웨이퍼(22)상에 도 10의 구리 시드층(222)을 증착하기 위해 사용된다. 이 증착 처리는 도 4 내지 도 6에서 논의된 개선된 클램프(85)를 사용한다. 따라서, 구리 시드층이 증착되고, 반도체 디바이스는 CMP 및/또는 구리 도금 동작 동안 웨이퍼 주변에 있는 후속하는 구리층들의 박리가 감소되는 것으로 인해 개선된 수율을 잠재적으로 경험하게 된다.

<81> 단계 418에서, 구리 시드층(416)의 증착 이후에, 웨이퍼(22)는 챔버(70)로부터 챔버(2)를 통해 챔버(3)로, 이어서 도 1의 로드 로크(7)로 전달된다. 이때, 로드 로크(7)는 주변 조건들에 안정화되고 웨이퍼(22)는 시스템(1)으로부터 제거된다. 웨이퍼는 이어서 구리 전기도금, 무전기 도금, 또는 CVD 챔버(본원에서는 도시되지 않음)로 전달되고, 그에 의해 구리 상호접속부 야금술이 증착된다. 이러한 야금술 처리가 완료된 후에, 도 11에 도시된 바와 같이 상감 또는 이중 상감 상호접속부 구조를 형성하기 위해 화학 기계적 폴리싱(CMP) 처리가 사용된다.

<82> 비록 본 발명이 특정한 실시예를 참고로 설명되었지만, 종래 기술에 숙련된 자에게는 또 다른 수정예들 및 개선예들이 발생할 것이다. 따라서, 본 발명은 첨부된 청구항에서 규정된 바와 같은 본 발명의 사상 및 범위에서 벗어나지 않고 이러한 모든 수정예를 포함하는 것으로 이해되어야 한다.

발명의 효과

<83> 본 발명은 일반적으로 반도체 제작에 관한 것으로, 보다 구체적으로 구리 상호접속부들에 대한 장벽/시드 증착 처리에 관한 것이다.

<84> 집적 회로(IC) 산업에서, 구리는 현재 상호접속부들에서의 알루미늄의 대체 물질로 개발되고 있다. 구리 상호접속부들은 일반적으로 구리의 제작이 덜 비싸기 때문에 알루미늄 상호접속부들을 능가하여 개발된다. 또한, 구리 상호접속부들은 알루미늄 상호접속부들 보다 덜 저항력이 있으므로, 열을 덜 발생시킨다. 또한, 구리의 감소된 저항은 더 높은 동작 주파수에서 동작하기 위해 IC의 능력을 개선시키고, 그에 따라 성능이 개선된다. 또한, 구리는 알루미늄과 비교해 개선된 전자이동 저항을 갖는다.

도면의 간단한 설명

<1> 도 1은 본 명세서에 따른 다중챔버(multichamber) 집적 회로 증착 시스템을 도시하는 상단 투시도.

<2> 도 2는 본 명세서에 따라 도 1에 도시된 무선 주파수(radio frequency, RF) 사전 세정 챔버를 도시하는 단면도.

<3> 도 3은 본 명세서에 따라, 도 1에 도시된 바와 같이 장벽층(barrier layer) 증착 챔버를 도시하는 단면도.

<4> 도 4는 본 명세서에 따라, 도 1에 도시된 바와 같이 구리 시드층(seed layer) 증착 챔버를 도시하는 단면도.

<5> 도 5는 본 명세서에 따라 도 4의 특정 클램프(clamp)를 보다 상세히 도시하는 도 4의 확대된 클램프 부분을 도시하는 단면도.

<6> 도 6은 본 명세서에 따라 도 5의 클램프를 도시하는 상단 투시도.

<7> 도 7은 부적절한 기하형의 클램프를 사용한 나쁜 영향을 도시하는 단면도.

<8> 도 8 내지 도 11은 본 명세서에 따라 도 1 내지 도 6에서 도시된 시스템을 사용하여 구리 상호접속부를 형성하는 방법을 도시하는 단면도.

<9> 도 12는 본 명세서에 따라 구리 상호접속부에 사용하기 위한 장벽층 및 시드층을 형성하는 방법을 도시하는 흐름도.

<10> 도 13은 본 명세서에 따라 사용되는 새로운 구리 사전 세정 기술들과 종래 기술의 알루미늄 사전 세정 방법들을 비교하는 도표.

<11> 도 14는 본 명세서에 따라 장벽층이 형성되도록 장벽층 증착 챔버에서 코일, 타겟, 및 웨이퍼에 사용되는 전력 시퀀스를 XY 그래프로 설명하는 도면.

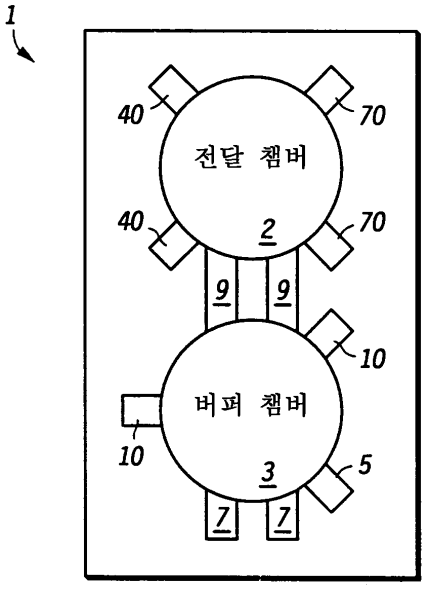
<12> * 도면의 주요부분에 대한 부호의 설명 *

<13> 10 : 챔버 85 : 클램프

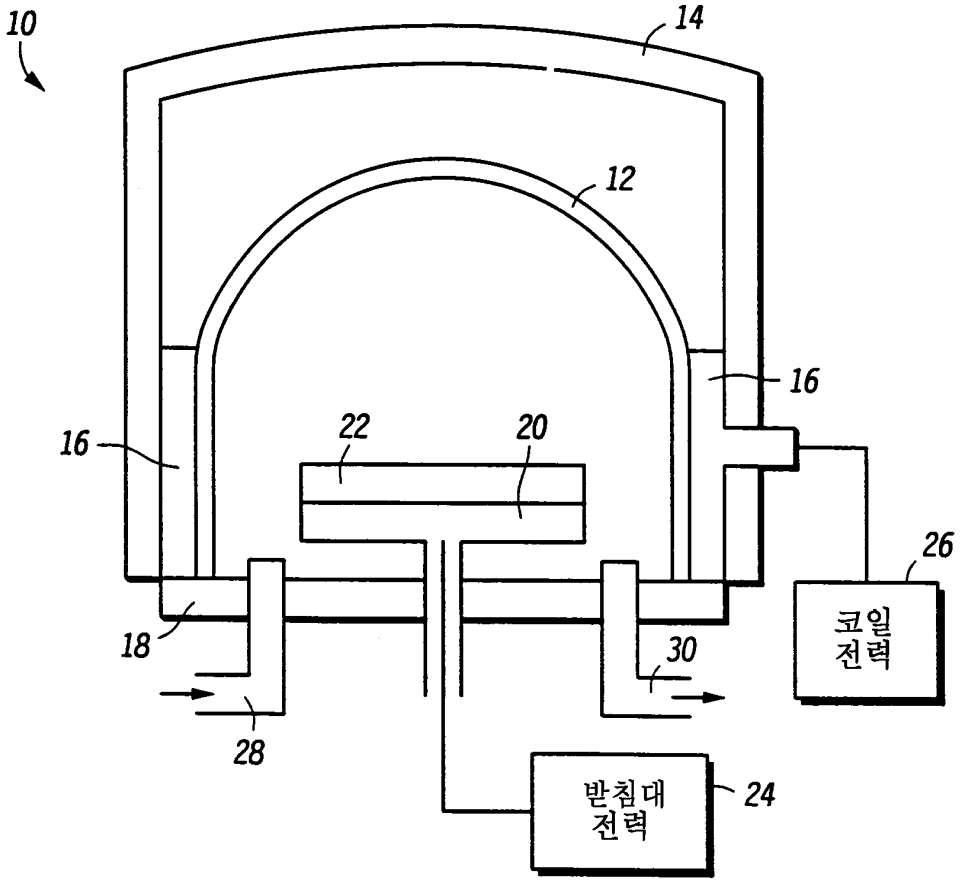
<14> 220 : 탄탈 장벽 222 : 구리 시드층

도면

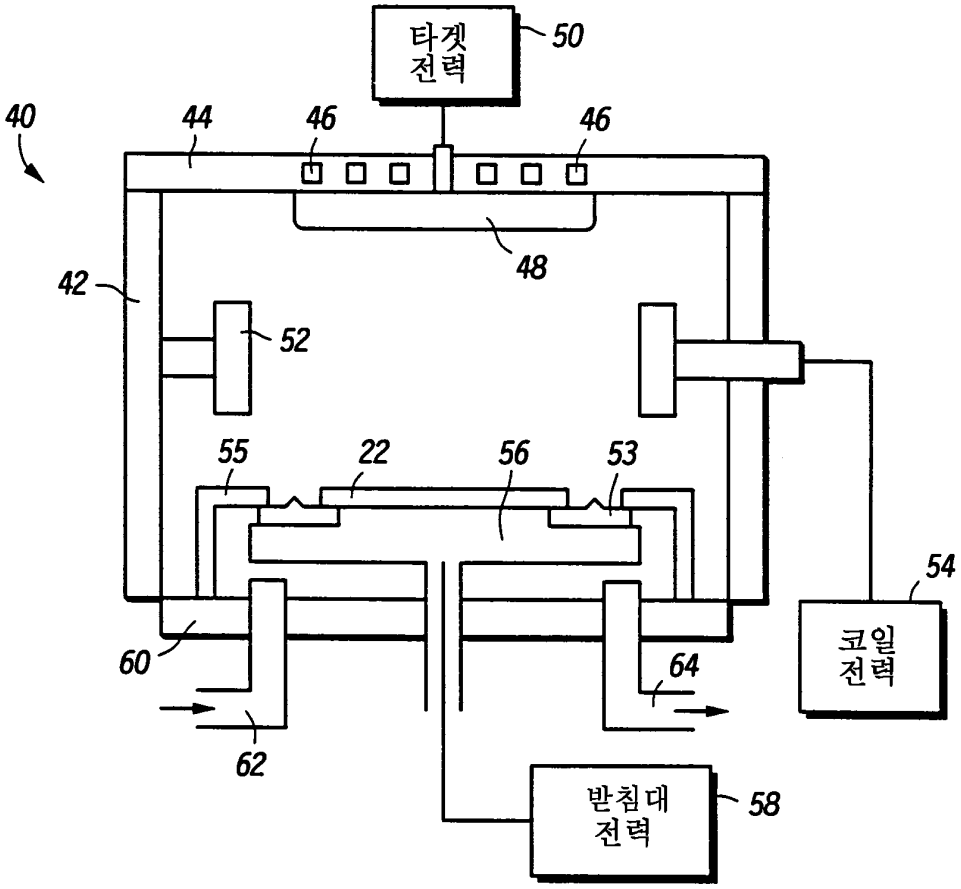
도면1



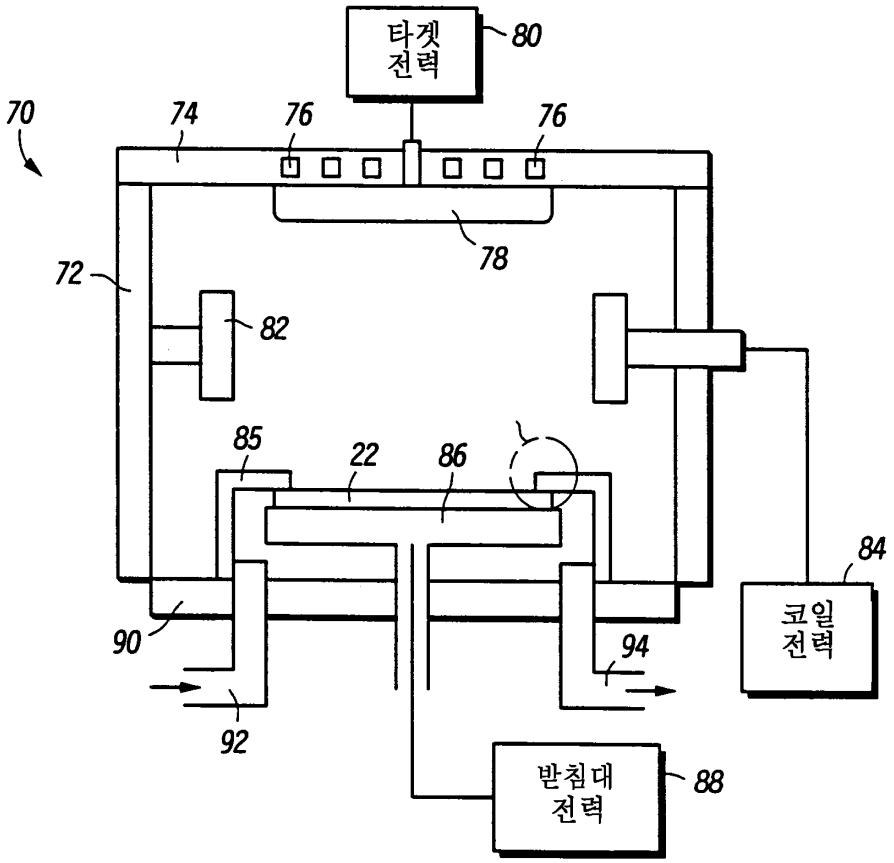
도면2



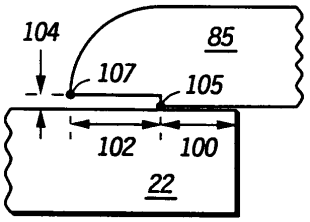
도면3



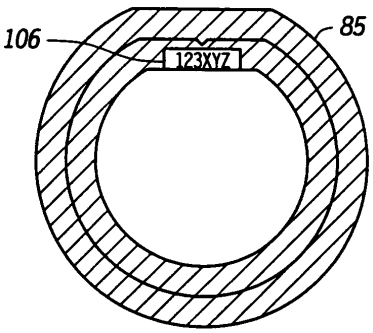
도면4


타겟
전력
80
70
74
76
76
78
72
82
85
22
86
84
코일
전력
90
94
92
받침대
전력
88

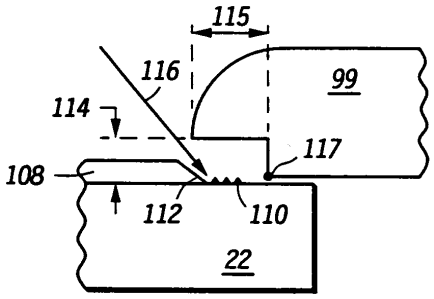
도면5


104
85
107
105
102
100
22

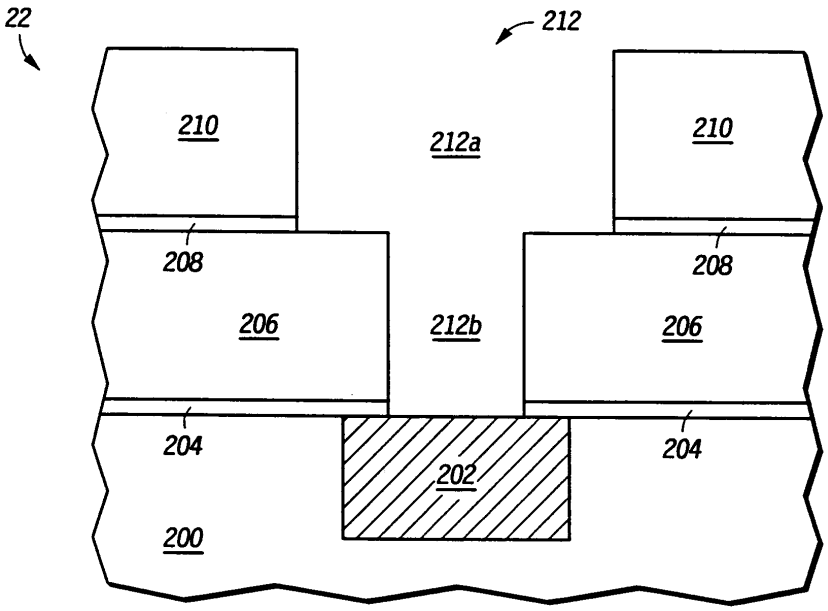
도면6


106
85
123XYZ

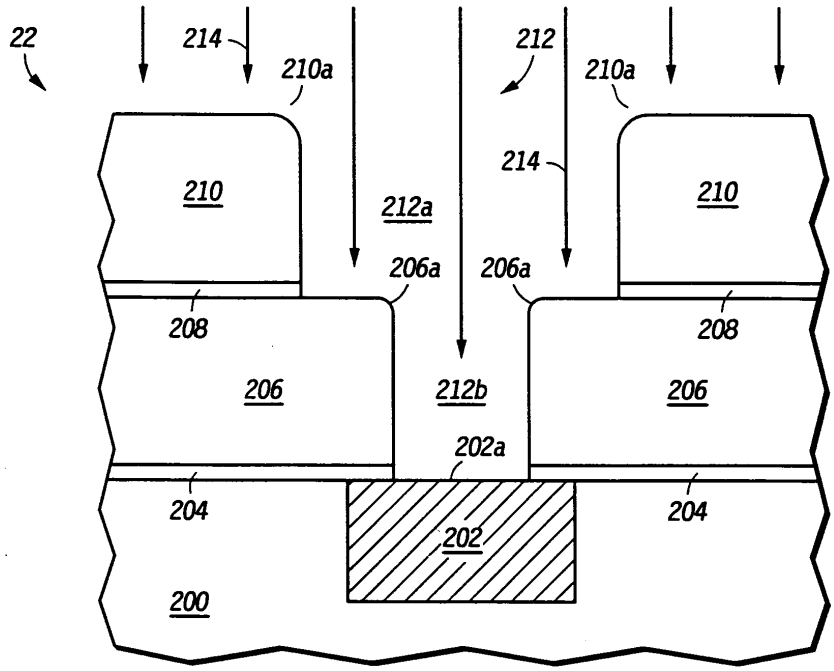
도면7


115
116
99
114
117
108
112
110
22

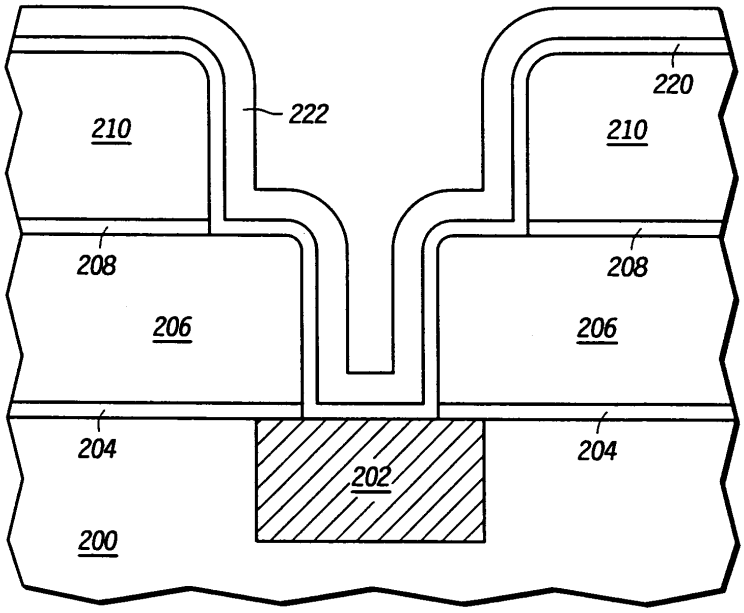
도면8


22
212
210
212a
210
208
208
206
212b
206
204
204
202
200

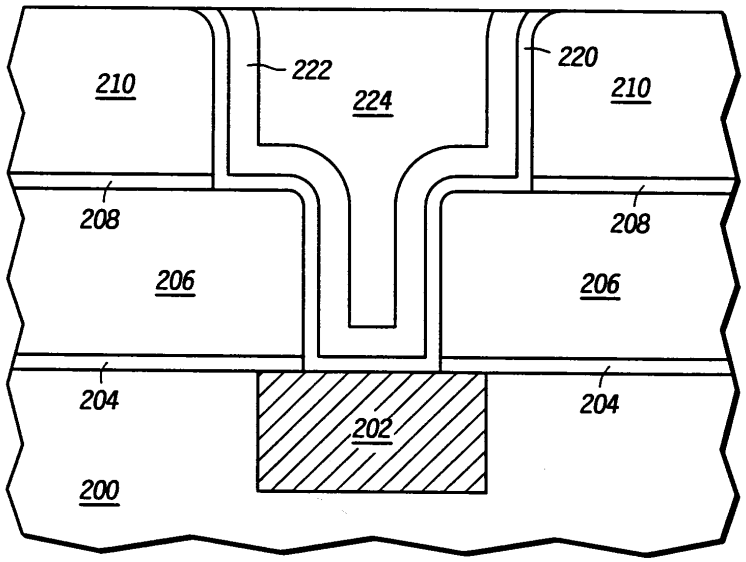
도면9


22
214
210a
212
210a
214
210
212a
210
206a
206a
208
208
206
212b
206
202a
204
204
202
200

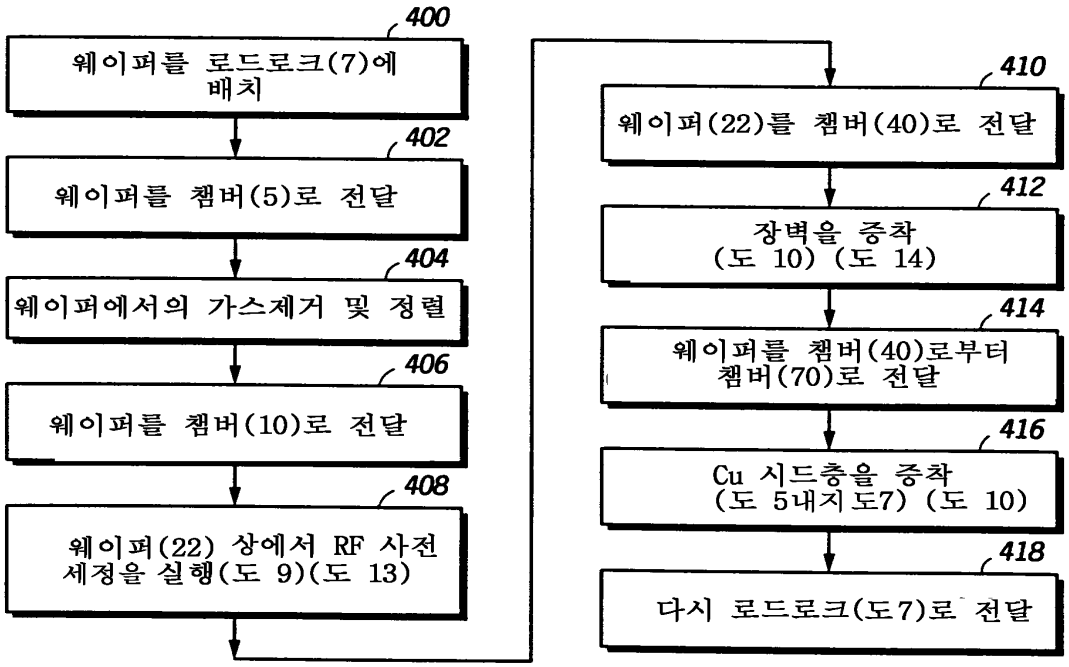
도면10


222
220
210
210
208
208
206
206
204
204
202
200

도면11


210
222
224
220
210
208
208
206
206
204
204
202
200

도면12


400
웨이퍼를 로드로크(7)에 배치
402
웨이퍼를 챔버(5)로 전달
404
웨이퍼에서의 가스제거 및 정렬
406
웨이퍼를 챔버(10)로 전달
408
웨이퍼(22) 상에서 RF 사전 세정을 실행(도 9)(도 13)
410
웨이퍼(22)를 챔버(40)로 전달
412
장벽을 증착 (도 10) (도 14)
414
웨이퍼를 챔버(40)로부터 챔버(70)로 전달
416
Cu 시드층을 증착 (도 5내지도7) (도 10)
418
다시 로드로크(도7)로 전달

도면13

RF 사전 세정 조건		
	종래기술의 사전 세정	단계 408의 사전 세정
코일 전력	200W	≥300W
웨이퍼 전력	200W	≤100W
웨이퍼 전압	250V	50V

도면14

