(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年9 月27 日 (27.09.2007)

PCT

(10) 国際公開番号
WO 2007/108263 A1

(51) 国際特許分類:
H02M 7/5387 (2007.01)

(21) 国際出願番号: PCT/JP2007/052821

(22) 国際出願日: 2007 年2 月16 日 (16.02.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-070239 2006 年3 月15 日 (15.03.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 葛巻 淳彦 (KUZUMAKI, Atsuhiko). 餅川 宏 (MOCHIKAWA, Hiroshi). 小山 建夫 (KOYAMA, Tateo).

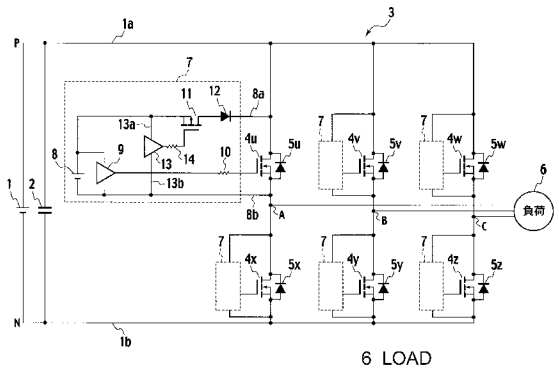
(74) 代理人: 三好 秀和，外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) **Title:** POWER CONVERTING DEVICE

(54) **発明の名称:** 電力変換装置



6 LOAD

(57) **Abstract:** Provided is a power converting device, which comprises a DC power source (1), a plurality of main circuit switching elements (4u, 4v, and so on) bridge-connected for converting the DC current of a DC power source into an AC current and individually having reflux diodes (5u, 5v, and so on) connected inversely in parallel, and inverse voltage applying circuits (7) for applying inverse voltages lower than that of the DC power source to the reflex diodes when the reflex currents of the reflux diodes are to be broken.The power converting device is characterized in that the inverse voltage applying circuits are constituted of a series connection including a voltage DC power source (8) of a voltage lower than that of the DC power source, an inverse voltage application switching element (11) to be turned ON at the time of inverse restorations of the reflux diodes and having a lower breakdown voltage than that of the main circuit switching elements, and an auxiliary diode (12) having a shorter inverse restoration time than the reflux diodes, and in that the inverse voltage application switching elements have positive holes as majority carriers.

(57) 要約: 直流電源（１）と、直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオード（５ｕ，５ｖ，…）を逆並列接続した複数個の主回路スイッチング素子（４ｕ，４ｖ，…）と、還流ダイオードの還流電流を遮断するとき、直流電源より小さな逆電圧を還流ダイオードに印加する逆電圧印加回路（７）とを具備し、逆電圧印加回路は、直流電源の電圧より電圧が低い低電圧直流電源（８）と、還流ダイオードの逆回復時にオンし、主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子（１１）と、還流ダイオードより逆回復時間が短い補助ダイオード（１２）との直列接続によって構成され、逆電圧印加スイッチング素子は、多数キャリアが正孔である

[続葉有]

WO 2007/108263 A1

SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

素子であることを特徴とする電力変換装置。

明 細 書

電力変換装置

技術分野

[0001] 本発明は電力変換装置に係り、特に還流ダイオードにおける損失を低減するようにした電力変換装置に関する。

背景技術

[0002] 通常のインバータ装置は、直流電源からの直流を、スイッチング素子をブリッジ接続したインバータ回路によって交流に変換して交流出力を得る。この場合、負荷の力率が必ずしも1ではないため、各々のスイッチング素子に逆並列に還流ダイオードを接続する。この構成によればスイッチング素子がターンオフすると、負荷に蓄えられたエネルギーが還流ダイオードを通して還流することになる。

[0003] 還流ダイオードに順方向電流が流れているときに、この還流ダイオードと逆極性のアームのスイッチング素子がオンすると、還流ダイオードの両端に直流電圧が逆バイアスとして加わる。このとき、還流ダイオードの電流は、残留電荷によって逆方向電流が流れた後遮断する。このため、直流電圧と上記逆方向電流とによって還流ダイオードに大きな損失が生じるため、インバータ装置の効率が悪化する。また、このために装置の冷却器を大型化する必要があった。

[0004] そこで、インバータ装置に逆電圧印加回路を設け、還流ダイオードを遮断するとき、逆電圧印加回路から還流ダイオードに小さな逆電圧を印加し、還流ダイオードの逆回復が逆電圧印加回路の低電圧直流電源によって引き起こされるようにし、還流ダイオードで生じる損失を低減するようにする方法が、特開平10－327585号公報の第3－5頁及び図1において開示されている。

[0005] 上記の先行技術によれば、逆電圧印加回路は逆電圧印加用スイッチング素子を有しており、この逆電圧印加用スイッチング素子を還流ダイオードの逆回復時にオンさせて低電圧直流電圧を印加するようにしているので、低損失で還流ダイオードを逆回復することができる。

[0006] ところが、この先行技術では、逆電圧印加回路に、ダイオード及びコンデンサから

成る補助電源回路を有しており、この補助電源によって、逆電圧印加スイッチング素子を駆動させるため、逆電圧印加回路の構成が複雑となり、逆電圧印加回路の体積も大きくなる問題点があった。また、コンデンサを充電するためにダイオードに電流を流すように構成しているので、その電流によりダイオードに発熱損失が生じるばかりでなく、コンデンサに充電される電圧がダイオードの損失分だけ低電圧直流電圧より低下する問題点があった。

発明の開示

[0007] 本発明は上記従来技術の課題に鑑みて為されたもので、簡単な回路構成で且つ低損失な逆電圧印加回路によって還流ダイオードの逆回復損失を低減することができる電力変換装置を提供することを目的とする。

[0008] 上記目的を達成するため、本発明の電力変換装置は、直流電源と、前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、前記還流ダイオードの還流電流を遮断するとき、前記直流電源より小さな逆電圧を前記還流ダイオードに印加する逆電圧印加手段とを具備し、前記逆電圧印加手段は、前記直流電源の電圧より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする。

[0009] また、本発明の電力変換装置は、直流電源と、前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、前記主回路スイッチング素子のうち負側アームの主回路スイッチング素子に夫々直列に接続され、前記負側アームの主回路スイッチング素子のオンオフと同期してオンオフするようにそのゲートと前記前記主回路スイッチング素子の負極とが夫々接続されたノーマリーオン型スイッチング素子と、前記還流ダイオードのうち負側アームの還流ダイオードの還流電流を遮断するとき、前記直流電源より小さな逆電圧を前記負側アームの還流ダイオードに印加する逆電圧印加手段とを具備し、前記逆電圧印加手段は、前記直流電源の電圧より電圧が低い低電圧直流電源

と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする。

[0010] 本発明によれば、簡単な回路構成で且つ低損失な逆電圧印加回路によって還流ダイオードの逆回復損失を低減することが可能な電力変換装置を提供することができる。

図面の簡単な説明

[0011] [図1]図1は、本発明の第1の実施例に係る電力変換装置の回路構成図。

[図2]図2は、本発明の第2の実施例に係る電力変換装置の回路構成図。

[図3]図3は、本発明の第3の実施例に係る電力変換装置の回路構成図。

[図4]図4は、本発明の第4の実施例に係る電力変換装置の回路構成図。

[図5]図5は、本発明の第5の実施例に係る電力用半導体装置の逆電圧印加回路の回路構成図。

[図6]図6は、本発明の第6の実施例に係る電力用半導体装置の逆電圧印加回路の回路構成図。

[図7]図7は、本発明の第7の実施例に係る電力用半導体装置の逆電圧印加回路の回路構成図。

発明を実施するための最良の形態

[0012] 以下、本発明の実施の形態を図に基づいて詳説する。

[0013] [実施例1]

図1は本発明の第1の実施例に係る電力変換装置の回路構成図である。図1において、直流電圧源1は例えば3相交流電源を整流してなるものであり、直流電圧源1の正側直流母線1aと負側直流母線1bとの間には、平滑コンデンサ2及びインバータ主回路3が接続されている。インバータ主回路3は、正側アームの主回路スイッチング素子に相当する主回路スイッチング素子4u、4v及び4w、並びに負側アームの主回路スイッチング素子4x、4y及び4zを3相ブリッジ接続してなる。これらの主回路スイッチング素子4u、4v、4w、4x、4y及び4zの正極と負極との間には還流ダイオード5

u、5v、5w、5x、5y及び5zが夫々逆並列に接続されている。またインバータ主回路3の出力であるA、B及びC点は例えば交流電動機のような負荷6に接続されている。尚、還流ダイオード5u、5v、5w、5x、5y及び5zは、主回路スイッチング素子4u、4v、4w、4x、4y及び4zに夫々内蔵されている場合もある。

[0014] 還流ダイオード5u、5v、5w、5x、5y及び5z各々に並列に逆電圧印加回路7が接続されている。逆電圧印加回路7は、直流電圧源1より電圧値が低い低電圧直流電源8を有しており、主回路スイッチング素子4u、4v、4w、4x、4y及び4zの正極と負極との間にこの低電圧直流電源8の電源ライン8a、8bが各々接続されている。以下、u相の還流ダイオード5u用の逆電圧印加回路7についてその構成を説明する。尚、u相以外の還流ダイオード用の逆電圧印加回路7は基本的にu相の還流ダイオード5u用の逆電圧印加回路7と同一であるのでそれらの説明は省略する。

[0015] 逆電圧印加回路7はゲートドライブ回路9を有し、ゲートドライブ回路9は低電圧直流電源8に電気的に並列に接続されており、その出力はゲート抵抗10を介して主回路スイッチング素子4uのゲートに接続されている。そして図示省略のスイッチングタイミング生成回路からこのゲートドライブ回路9にドライブ信号が出力されると、ゲートドライブ回路9が低電圧直流電源8からの電圧により駆動され、主回路スイッチング素子4uをオンさせる。

[0016] 逆電圧印加回路7は、低電圧直流電源8の電源ライン8aに直列に挿入された逆電圧印加スイッチング素子11を有している。逆電圧印加スイッチング素子11は、低電圧直流電源8の正極から補助ダイオード12を介して還流ダイオード5uのカソードに接続されている。この逆電圧印加スイッチング素子11の耐圧は、主回路スイッチング素子4uの耐圧より低く選定される。逆電圧印加スイッチング素子11は、還流ダイオード5uの逆回復時にオンするように動作する。ここで、この逆電圧印加スイッチング素子は、多数キャリアが正孔であるスイッチング素子であればよく、pチャネルMOSFETが使用されるが、pチャネルMOSFETに限らず、例えばpnpトランジスタを適用することも可能である。

[0017] インバータ主回路3のA点の電位に基づいてドライブ信号を出力する図示省略の電位判定回路から、ゲートドライブ回路13にドライブ信号が出力されると、このゲート

ドライブ回路13が作動し、ゲート抵抗14を介して逆電圧印加スイッチング素子11をオンさせる。これにより、低電圧直流電源8から逆電圧印加スイッチング素子11及び補助ダイオード12を通して直流電圧源1より低い電圧値の逆電圧が還流ダイオード5uに印加される。これにより還流ダイオード5uに電源ライン8aを通して逆電流が供給されるので、還流ダイオード5uに流れる主回路電流が減少する。つまり、逆回復が逆電圧印加回路7の低電圧直流電源8の印加電圧によって行われる。尚、図1において、ゲートドライブ回路13は、低電圧直流電源8の電源ライン8a、8bに対して電源ライン13a、13bにて接続されている。

[0018] 還流ダイオード5uに流れる主回路電流が減少すると、負荷6から還流ダイオード5uを経由し直流電圧源1の正側直流母線1aへと流れていた主回路電流は逆電圧印加回路7に流れ込む。逆電圧印加回路7に流れ込む主回路電流は、低電圧直流電源8の電源ライン8bを通り、低電圧直流電源8に流れ込む。そして、逆電圧印加スイッチング素子11と補助ダイオード12を経由し直流電圧源1の正側直流母線1aへと流れる。

[0019] その後、u相と逆極性であるx相の主回路スイッチング素子4xがオンすると、逆電圧印加回路7に流れていた主回路電流は、主回路スイッチング素子4xに流れる。主回路スイッチング素子4xに主回路電流が流れると、補助ダイオード12に逆電圧がかかり、補助ダイオード12が逆回復した後にオフし、逆電圧印加回路7に流れていた主回路電流が流れなくなる。ここで補助ダイオード12は、還流ダイオード5uより逆回復時間が短い高速ダイオードを選定しているため、補助ダイオード12の逆回復損失は小さい。

[0020] 尚、u相以外の他の相に対する逆電圧印加動作は、基本的にu相と同様であるため、それらの説明を省略する。

[0021] このように構成された第1の実施例の電力変換装置においては、逆電圧印加スイッチング素子11として多数キャリアが正孔であるpチャネルMOSFETを用いたため、逆電圧印加スイッチング素子11を駆動するためのゲートドライブ回路13の駆動電源を低電圧直流電源8より直接得ることが可能となる。従ってゲートドライブ用の補助電源が不要となり、逆電圧印加回路7を簡素化することができる。

[0022] 尚、上記の説明において、インバータ主回路3は2レベルの3相出力インバータとして説明したが、3レベル以上の多レベルインバータであってもよく、また出力相は単相であっても多相であってもよい。

[0023] [第2の実施例]

図2は本発明の第2の実施例に係る電力変換装置の回路構成図である。この実施例の各部について、図1に示した第1の実施例に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例が第1の実施例と異なる点は、主回路スイッチング素子4u1、4v1、4w1、4x1、4y1及び4z1を低耐圧素子とし、これ等の素子の正極側にこれ等の素子と直列にノーマリーオン型スイッチング素子20u、20v、20w、20x、20y及び20zを夫々挿入し、これ等のノーマリーオン型スイッチング素子20u、20v、20w、20x、20y及び20zのゲートを主回路スイッチング素子4u、4v、4w、4x、4y及び4zの負極に夫々接続する構成とした点である。

[0024] このように主回路3を構成し、例えばu相の正側アームのノーマリーオン型スイッチング素子20uを高耐圧に選定し、主回路スイッチング素子4u1を低耐圧に選定すると、ノーマリーオン型スイッチング素子20u、主回路スイッチング素子4u1及び還流ダイオード5uによって複合主回路素子が形成される。この複合主回路素子をカスコード素子21uと呼称する。

[0025] ノーマリーオン型スイッチング素子としては、例えば接合ゲート型電界効果トランジスタJFETや静電誘導型トランジスタSITを用いることができる。ノーマリーオン型スイッチング素子は、主回路電流を順方向、逆方向の両方に流すことができる。一般に、ノーマリーオン型スイッチング素子は、ノーマリーオフ型スイッチング素子、例えばMOSFETよりも低抵抗であり、損失が小さい。尚、図示したようにノーマリーオン型スイッチング素子のゲート端子は、低耐圧の主回路スイッチング素子である例えばMOSFETのソース端子に接続して使用する。

[0026] ノーマリーオン型スイッチング素子20uは、そのゲート端子とソース端子との間にノーマリーオン型スイッチング素子がオフするのに十分な負の電圧が印加されるとオフし、ゲート端子とソース端子との間の電圧がゼロ以上の電圧になるとオンする。ノーマ

リーオン型スイッチング素子20uのゲート端子は、主回路スイッチング素子4u1のソース端子に接続され、ノーマリーオン型スイッチング素子20uのソース端子と主回路スイッチング素子4u1のドレイン端子とが接続されている。従って、主回路スイッチング素子4u1がオフ状態では、ノーマリーオン型スイッチング素子20uのゲート端子とソース端子との間に負の電圧が印加されるため、ノーマリーオン型スイッチング素子20uもオフ状態となる。また、主回路スイッチング素子4u1がオン状態のとき、ノーマリーオン型スイッチング素子20uのゲート端子とソース端子との間の電圧はほぼゼロになるため、ノーマリーオン型スイッチング素子20uもオン状態となる。つまり、カスコード素子21uは、主回路スイッチング素子4u1をオンオフすることによってカスコード素子21uもこれに同期してオンオフさせることができる。また、カスコード素子21uはノーマリーオフ型として動作させることができる。

[0027] 図2において、インバータ主回路3のA点の電圧が検出され、カスコード素子21u内にある還流ダイオード5uの逆回復を行う状態であることが判定されると、ゲートドライブ回路13にドライブ信号が出力され逆電圧印加スイッチング素子11がオンする。これにより、低電圧直流電源8からノーマリーオン型スイッチング素子20u及び還流ダイオード5uに小さな逆電圧が印加され、還流ダイオード5uに電源ライン8a及びノーマリーオン型スイッチング素子20uを通して逆電流が供給されるので、還流ダイオード5uに流れる主回路電流が減少する。つまり、逆回復が逆電圧印加回路7の低電圧直流電源8の印加電圧によって行われる。

[0028] 還流ダイオード5uに流れる主回路電流が減少すると、負荷6から還流ダイオード5uとノーマリーオン型スイッチング素子20uを経由し直流電圧源1の正側直流母線1aへと流れていた主回路電流は逆電圧印加回路7に流れ込む。逆電圧印加回路7に流れ込む主回路電流は、低電圧直流電源8の電源ライン8bを通り、低電圧直流電源8に流れ込む。そして、逆電圧印加スイッチング素子11と補助ダイオード12を経由し直流電圧源1の正側直流母線1aへと流れる。

[0029] この期間に、還流ダイオード5uの逆回復は完了し、還流ダイオード5uに主回路電流は流れなくなる。

[0030] その後、u相と逆極性のx相のカスコード素子21xがオンすると、逆電圧印加回路7

に流れていた主回路電流は、カスコード素子21xに流れる。カスコード素子21xに主回路電流が流れると、補助ダイオード12に逆電圧がかかり、補助ダイオード12が逆回復した後にオフするため、逆電圧印加回路7に流れていた主回路電流が流れなくなる。ここで補助ダイオード12は、還流ダイオード5uより逆回復時間が短い高速ダイオードを選定しているため、補助ダイオード12の逆回復損失は小さい。

[0031] このように構成された第2の実施例の電力変換装置においては、高耐圧で低損失なノーマリーオン型スイッチング素子を、低耐圧の主回路スイッチング素子とのカスコード素子として使用することによって発熱損失をさらに低減することができる。

[0032] [第3の実施例]

図3は本発明の第3の実施例に係る電力変換装置の回路構成図である。この実施例の各部について、図2に示した第2の実施例に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。この実施例が第2の実施例と異なる点は、逆電圧印加回路7Aの低電圧直流電源8の正極側に電流制限抵抗15を挿入し、またこの電流制限抵抗15と低電圧直流電源8の負極との間に高周波コンデンサ16を設けた点である。

[0033] 低電圧直流電源8の電圧は直流電圧源1の電圧の1／4以下に選定し、高周波コンデンサ16は平滑用の電解コンデンサではなく、セラミックコンデンサやフィルムコンデンサ等の高周波用のものを使用する。また、電流制限抵抗15は、例えば、配線基板の銅箔パターンの配線抵抗や銅板などの配線抵抗を用いることができる。

[0034] 尚、図3において、高周波コンデンサ16、逆電圧印加用スイッチング素子11、補助ダイオード12、ノーマリーオン型スイッチング素子20u及び還流ダイオード5uで構成される放電経路は、極力短い配線として回路インダクタンスを小さくすることが重要である。さらに、図3において、低耐圧となった主回路スイッチング素子4u1のゲートドライブ回路9の電源として、低電圧直流電源8の電圧をそのまま使用することができる。この構成によって逆電圧印加回路7Aの構成は簡素化される。

[0035] この実施例の電力変換装置では、以上の構成によって、電流制限抵抗15と高周波コンデンサ16とにより高周波インピーダンスの低減作用が生じ、低電圧直流電源8には、還流ダイオード5の逆回復に伴うインパルス状の電流が流れなくなるため、還流

ダイオード5の逆回復時においても低電圧直流電源8の電圧変動が非常に少なくなる。

[0036] 還流ダイオード5に逆回復電流を供給している期間中は、主回路電流(負荷電流)も逆電圧印加回路7Aを通るので、主回路電流による損失も増えることになる。従って、できるだけ速やかに還流ダイオード5の逆回復が完了することが望ましいが、この実施例によればこれが達成できる。さらに、低電圧直流電源8への負担も軽減するので、低電圧直流電源8が小容量の電源で済み、低電圧直流電源8の内部発熱が低減されるため、逆電圧印加回路7Aの小型化を達成できる。

[0037] [第4の実施例]図4は本発明の第4の実施例に係る電力変換装置の回路構成図である。この実施例の各部について、図3に示した第3の実施例に係る電力変換装置の回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。また、図4においては、簡単のため、逆電圧印加回路7A及び7B内のゲートドライブ回路9及びゲートドライブ回路13の図示を省略している。

[0038] この実施例が第3の実施例と異なる点は、インバータ主回路3の正側アーム素子をカスコード素子21u、21v及び21wに代えて主回路スイッチング素子4u2、4v2及び4w2とし、これ等の素子の逆電圧印加回路を省いた点、負側アームのカスコード素子21y及び21z用の逆電圧印加回路7Bは、カスコード素子21x用の逆電圧印加回路7A内の低電圧直流電源8から低電圧直流の供給を受けるように構成した点である。

[0039] ここで正側アーム用主回路スイッチング素子4u2、4v2及び4w2には、還流ダイオードが内蔵されていないIGBTを用いているので、主回路スイッチング素子4u2、4v2及び4w2に対し、逆回復時間が短く逆回復損失の少ない還流ダイオード5u、5v及び5wを逆並列に接続する。このように逆回復損失の少ない還流ダイオードを使用すれば、還流ダイオードの逆回復時の損失が低減するので逆電圧印加回路は省略可能な構成となる。

[0040] 一方、負側カスコード素子21x、21y及び21zには逆電圧印加回路7A及び7Bが接続されている。逆電圧印加回路7Aがx相、y相及びz相の3相分の回路に対する共通の低電圧直流電源8を有している。これは、x相、y相及びz相の逆電圧印加回

路の電源ラインは、一方は直流電圧源1の負側直流母線1bに、他方は低電圧直流電源8の電源ライン8aに共通化できるからである。

[0041] この第4の実施例によれば、負側カスコード素子21x、21y及び21zのみに、逆電圧印加回路を適用したため、低電圧直流電源8を3相分、各相毎に用意する必要がなく、各相共通に1個のみ持てばよい。従って逆電圧印加回路の簡素化を図ることが可能となる。

[0042] [第5の実施例]

図5は本発明の第5の実施例に係る電力変換装置に使用される逆電圧印加回路7Cの回路構成図である。この実施例の各部について、図3に示した第3の実施例に係る電力変換装置に使用される逆電圧印加回路7Aの回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。また、ゲートドライブ13は簡略化のために図示を省略している。

[0043] この実施例における逆電圧印加回路7Cが第3の実施例における逆電圧印加回路7Aと異なる点は、ゲート抵抗10と並列に電圧変化率促進用ダイオード17を設け、この並列回路を電圧変化率促進回路18として動作させるように構成した点である。

[0044] カスコード素子21がオフする時、ゲートドライブ回路9の動作により、主回路スイッチング素子4u1のゲート端子に入力されていたゲート駆動信号が出力されなくなる。ここで、電圧変化率促進回路18の電圧変化率促進用ダイオード17により、オフする時はゲート抵抗10を介さずに電圧変化率促進用ダイオード17を介してゲート駆動信号が取り除かれる。つまり、ゲート抵抗10よりもインピーダンスが低い電圧変化率促進用ダイオード17を介してゲート駆動信号が取り除かれるため、ゲート抵抗10を介してオフするより高速にオフすることができる。

[0045] この第5の実施例によれば、電圧変化率促進回路18により、主回路スイッチング素子4u1を高速にオフできるので、カスコード素子21uの正負極間の電圧変化率が促進され、カスコード素子のターンオフが早くなる。よって、カスコード素子のターンオフ損失が低減できるので、さらに小型で低損失な電力変換装置を提供することができる。

[0046] [第6の実施例]

図6は本発明の第6の実施例に係る電力変換装置に使用される逆電圧印加回路7Dの回路構成図である。この実施例における逆電圧印加回路7Dの各部について、図5に示した第5の実施例に係る電力変換装置に使用される逆電圧印加回路7Cの回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。また、ゲートドライブ13は簡略化のために図示を省略している。

[0047] この実施例が第5の実施例と異なる点は、ゲート抵抗10と並列接続される電圧変化率促進用ダイオードに代え、電圧変化率促進用トランジスタ19をスイッチング素子4u1のゲート―負極間に設けることにより電圧変化率促進回路18Aを構成し、この電圧変化率促進用トランジスタ19のゲートをゲート抵抗10の低圧電源側端子に接続する構成とした点である。

[0048] このように構成することにより、主回路スイッチング素子4u1にゲート駆動信号を供給しているときには電圧変化率促進用トランジスタ19はオフしているが、主回路スイッチング素子4u1がオフするためにゲートドライブ回路9からゲート駆動信号が取り除かれたとき、電圧変化率促進用トランジスタ19がオンし、ゲート抵抗10を経由しない低インピーダンスのルートによって主回路スイッチング素子4u1を高速にオフできるので、カスコード素子21uの正負極間の電圧変化率が促進される。従って、第5の実施例の場合と同様、カスコード素子21uのターンオフ損失が低減できるので、小型で低損失な電力変換装置を提供することができる。

[0049] [第7の実施例]

図7は本発明の第7の実施例に係る電力変換装置に使用される逆電圧印加回路7Eの回路構成図である。この実施例の各部について、図6に示した第6の実施例に係る電力変換装置に使用される逆電圧印加回路7Dの回路構成図の各部と同一部分は同一符号で示し、その説明は省略する。また、ゲートドライブ13は簡略化のために図示を省略している。

[0050] この実施例が第6の実施例と異なる点は、補助ダイオード12Aをより低耐圧なダイオードとし、この補助ダイオード12Aのカソードを還流ダイオード5uのカソードに接続するように構成した点である。

[0051] 図1に示した第1の実施例について述べたように、還流ダイオード5uに流れる主回

路電流は、逆電圧印加回路7により逆回復することができる。この第7の実施例においては、逆電圧印加回路7Eに流れ込む主回路電流は、低電圧直流電源8の電源ライン8bを通り、低電圧直流電源8と高周波コンデンサ15に流れ込む。そして、逆電圧印加スイッチング素子11、補助ダイオード12A、ノーマリーオン型スイッチング素子20uを経由し直流電圧源1の正側直流母線1a側へと流れる。

[0052] ここで、ノーマリーオン型スイッチング素子20uのゲート—ソース端子間には、低電圧直流電源8の電圧が印加される。しかしながらノーマリーオン型スイッチング素子20uは低電圧直流電源8の電圧ではオフしないため、逆電圧印加回路7Eに流れ込んだ主回路電流を正側直流母線1aを介して直流電圧源1に流すことができる。

[0053] その後、u相と逆極性のx相のカスコード素子21xがオンすると、逆電圧印加回路7Eに流れていた主回路電流は、カスコード素子21xに流れる。カスコード素子21xに主回路電流が流れると、主回路スイッチング素子4u1に電圧がかかり、これによりノーマリーオン型スイッチング素子20uのゲート—ソース端子間にノーマリーオン型スイッチング素子20uがオフするのに十分な電圧が印加され、ノーマリーオン型スイッチング素子20uがオフする。ノーマリーオン型スイッチング素子20uがオフすることにより、逆電圧印加回路7Eに流れていた主回路電流が流れなくなる。

[0054] 補助ダイオード12Aには主回路スイッチング素子4u1とほぼ同程度の逆電圧がかかり、補助ダイオード12Aが逆回復した後にオフする。一般にダイオードが逆回復したときに発生する逆回復損失と素子の耐圧はトレードオフの関係にあるため、補助ダイオード12Aの耐圧を低く選定することにより、逆回復時間も短くでき、補助ダイオード12Aの逆回復損失は低減される。また、ダイオードに電流が流れたときに発生する導通損失についても、素子の耐圧とトレードオフの関係にあるため、補助ダイオード12Aの耐圧を低く選定することにより、補助ダイオード12Aの導通損失も低減可能となる。

[0055] 以上説明したように、第7の実施例によれば、逆電圧印加回路7Eにおける補助ダイオード12Aを主回路スイッチング素子4u1の耐圧より低く選定することにより、この逆回復損失及び導通損失が低減でき、さらに小型で低損失な電力変換装置を提供することができる。

[0056] 以上の第1の実施例～第7の実施例において、補助ダイオード12、12Aに、ワイドギャップ半導体から成る補助ダイオードを適用するとさらに損失低減が可能となる。このワイドギャップ半導体としては、SiC(シリコンカーバイド)、GaN(ガリウムナイトライド)、及びダイアモンドが適用可能である。

[0057] ワイドギャップ半導体から成る補助ダイオードは、シリコン半導体に比べて絶縁破壊電界強度を1桁程度大きくすることができ、補助ダイオードの高耐圧化を実現できる。例えばシリコン半導体では補助ダイオードにバイポーラダイオードでしか使用できないような耐圧の高い補助ダイオードでも、ワイドギャップ半導体ではユニポーラダイオードが実用可能となる。ユニポーラダイオードを使用すると、少数キャリアの蓄積がなく逆回復電荷が形成されないので逆回復電流は流れず、逆回復損失が本質的にゼロとなる。ユニポーラダイオードは接合容量に蓄積する電荷があるが、その接合容量の充放電電流は僅かである。従って、補助ダイオードの損失を低減できる。また、逆回復電流が逆電圧印加回路及び主回路スイッチング素子に流れ込むことがなくなるので逆回復電流による損失を低減することが可能となる。このように、補助ダイオードにワイドギャップ半導体を適用すれば、逆回復電流による損失を低減することができるのでさらに小型で低損失な電力変換装置を提供することが可能となる。

[0058] また、以上の第1の実施例～第7の実施例において、主回路スイッチング素子及びノーマリーオン型スイッチング素子として、ワイドギャップ半導体から成るスイッチング素子を適用するとさらに損失低減が可能となる。ワイドギャップ半導体としては、SiC(シリコンカーバイド)、GaN(ガリウムナイトライド)、ダイアモンドが適用可能である。

[0059] ワイドギャップ半導体を利用して形成されるスイッチング素子においては、シリコン半導体に比べて絶縁破壊電界強度を1桁程度大きくすることができ、絶縁破壊耐圧を保持するためのドリフト層を1／10程度まで薄くすることができるので、スイッチング素子の導通損失を低減することが可能となる。さらに、シリコン半導体に比べ、飽和電子ドリフト速度を2倍程度大きくすることができるので、10倍程度の高周波化を実現することができる。これにより、スイッチング素子のターンオン・ターンオフ損失を低減することができる。このように、主回路スイッチング素子及びノーマリーオン型スイッチング素子にワイドギャップ半導体を適用すれば、スイッチング素子の導通損失とタ

ーンオン・ターンオフ損失を低減させることができ、さらに小型で低損失な電力変換装置を提供することができる。

請求の範囲

[1] 直流電源と、

前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、

前記還流ダイオードの還流電流を遮断するとき、前記直流電源の電圧より小さな逆電圧を前記還流ダイオードに印加する逆電圧印加手段とを具備し、

前記逆電圧印加手段は、前記直流電源より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、

前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする電力変換装置。

[2] 前記低電圧直流電源に直列に電流抑制抵抗を接続し、

前記低電圧直流電源と前記電流抑制抵抗との直列回路に並列に高周波コンデンサを接続したことを特徴とする請求項1に記載の電力変換装置。

[3] 前記低電圧直流電源の出力によって前記主回路スイッチング素子を駆動するようにしたことを特徴とする請求項1又は2に記載の電力変換装置。

[4] 前記主回路スイッチング素子の出力電圧の時間的変化を促進するように前記主回路スイッチング素子のオフ時に当該主回路スイッチング素子のゲート駆動インピーダンスを低減させる電圧変化率促進手段を設けたことを特徴とする請求項1又は2に記載の電力変換装置。

[5] 前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項1又は2に記載の電力変換装置。

[6] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項5に記載の電力変換装置。

[7] 前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項1又は2に記載の電力変換装置。

[8] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項7に記載の電力変換装置。

[9] 前記主回路スイッチング素子に直列にノーマリーオン型スイッチング素子を設け、

前記ノーマリーオン型スイッチング素子が前記主回路スイッチング素子のオンオフと同期してオンオフするように前記ノーマリーオン型スイッチング素子のゲートと前記主回路スイッチング素子の負極とを接続したことを特徴とする請求項1に記載の電力変換装置。

[10] 前記低電圧直流電源に直列に電流抑制抵抗を接続し、

前記低電圧直流電源と前記電流抑制抵抗との直列回路に並列に高周波コンデンサを接続したことを特徴とする請求項9に記載の電力変換装置。

[11] 前記主回路スイッチング素子の出力電圧の時間的変化を促進するように前記主回路スイッチング素子のオフ時に当該主回路スイッチング素子のゲート駆動インピーダンスを低減させる電圧変化率促進手段を設けたことを特徴とする請求項9又は10に記載の電力変換装置。

[12] 前記低電圧直流電源の出力によって前記主回路スイッチング素子を駆動するようにしたことを特徴とする請求項9又は10に記載の電力変換装置。

[13] 前記補助ダイオードは、その耐圧は前記ノーマリーオン型スイッチング素子の耐圧より低く、前記逆電圧印加手段は、前記主回路スイッチング素子に並列に接続するようにしたことを特徴とする請求項9又は10に記載の電力変換装置。

[14] 前記補助ダイオードは、その耐圧が前記ノーマリーオン型スイッチング素子の耐圧より低く、前記逆電圧印加手段は、前記主回路スイッチング素子に並列に接続するようにしたことを特徴とする請求項11に記載の電力変換装置。

[15] 前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項9又は10に記載の電力変換装置。

[16] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項15に記載の電力変換装置。

[17] 前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項11に記載の電力変換装置。

[18] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項17に記載の電力変換装置。

[19] 前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項9又は10に記載の電力変換装置。

[20] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項19に記載の電力変換装置。

[21] 前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項11に記載の電力変換装置。

[22] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項21に記載の電力変換装置。

[23] 前記ノーマリーオン型スイッチング素子はワイドギャップ半導体から成ることを特徴とする請求項9又は10に記載の電力変換装置。

[24] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項23に記載の電力変換装置。

[25] 前記ノーマリーオン型スイッチング素子はワイドギャップ半導体から成ることを特徴とする請求項11に記載の電力変換装置。

[26] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項25に記載の電力変換装置。

[27] 直流電源と、

前記直流電源の直流を交流に変換するためにブリッジ接続され、夫々還流ダイオードを逆並列接続した複数個の主回路スイッチング素子と、

前記主回路スイッチング素子のうち負側アームの主回路スイッチング素子に夫々直列に接続され、前記負側アームの主回路スイッチング素子のオンオフと同期してオンオフするようにそのゲートと前記主回路スイッチング素子の負極とが夫々接続されたノーマリーオン型スイッチング素子と、

前記還流ダイオードのうち負側アームの還流ダイオードの還流電流を遮断するとき、前記直流電源の電圧より小さな逆電圧を前記負側アームの還流ダイオードに印加する逆電圧印加手段とを具備し、

前記逆電圧印加手段は、前記直流電源より電圧が低い低電圧直流電源と、前記還流ダイオードの逆回復時にオンし、前記主回路スイッチング素子より耐圧が低い逆電圧印加スイッチング素子と、前記還流ダイオードより逆回復時間が短い補助ダイオードとの直列接続によって構成され、

前記逆電圧印加スイッチング素子は、多数キャリアが正孔である素子であることを特徴とする電力変換装置。

[28] 前記低電圧直流電源に直列に電流抑制抵抗を接続し、

前記低電圧直流電源と前記電流抑制抵抗との直列回路に並列に高周波コンデンサを接続したことを特徴とする請求項27に記載の電力変換装置。

[29] 前記低電圧直流電源の出力によって前記主回路スイッチング素子を駆動するようにしたことを特徴とする請求項27又は28に記載の電力変換装置。

[30] 前記主回路スイッチング素子の出力電圧の時間的変化を促進するように前記主回路スイッチング素子のオフ時に当該主回路スイッチング素子のゲート駆動インピーダンスを低減させる電圧変化率促進手段を設けたことを特徴とする請求項27又は28に記載の電力変換装置。

[31] 前記補助ダイオードは、その耐圧が前記ノーマリーオン型スイッチング素子の耐圧より低く、前記逆電圧印加手段は、前記主回路スイッチング素子に並列に接続するようにしたことを特徴とする請求項27又は28に記載の電力変換装置。

[32] 前記補助ダイオードは、その耐圧が前記ノーマリーオン型スイッチング素子の耐圧より低く、前記逆電圧印加手段は、前記主回路スイッチング素子に並列に接続するようにしたことを特徴とする請求項30に記載の電力変換装置。

[33] 前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項27又は28に記載の電力変換装置。

[34] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項33に記載の電力変換装置。

[35] 前記補助ダイオードは、ワイドギャップ半導体から成ることを特徴とする請求項29に記載の電力変換装置。

[36] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項35に記載の電力変換装置。

[37] 前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項27又は28に記載の電力変換装置。

[38] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項37に記載の電力変換装置。

[39] 前記主回路スイッチング素子は、ワイドギャップ半導体から成ることを特徴とする請求項29に記載の電力変換装置。

[40] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項39に記載の電力変換装置。

[41] 前記ノーマリーオン型スイッチング素子はワイドギャップ半導体から成ることを特徴とする請求項27又は28に記載の電力変換装置。

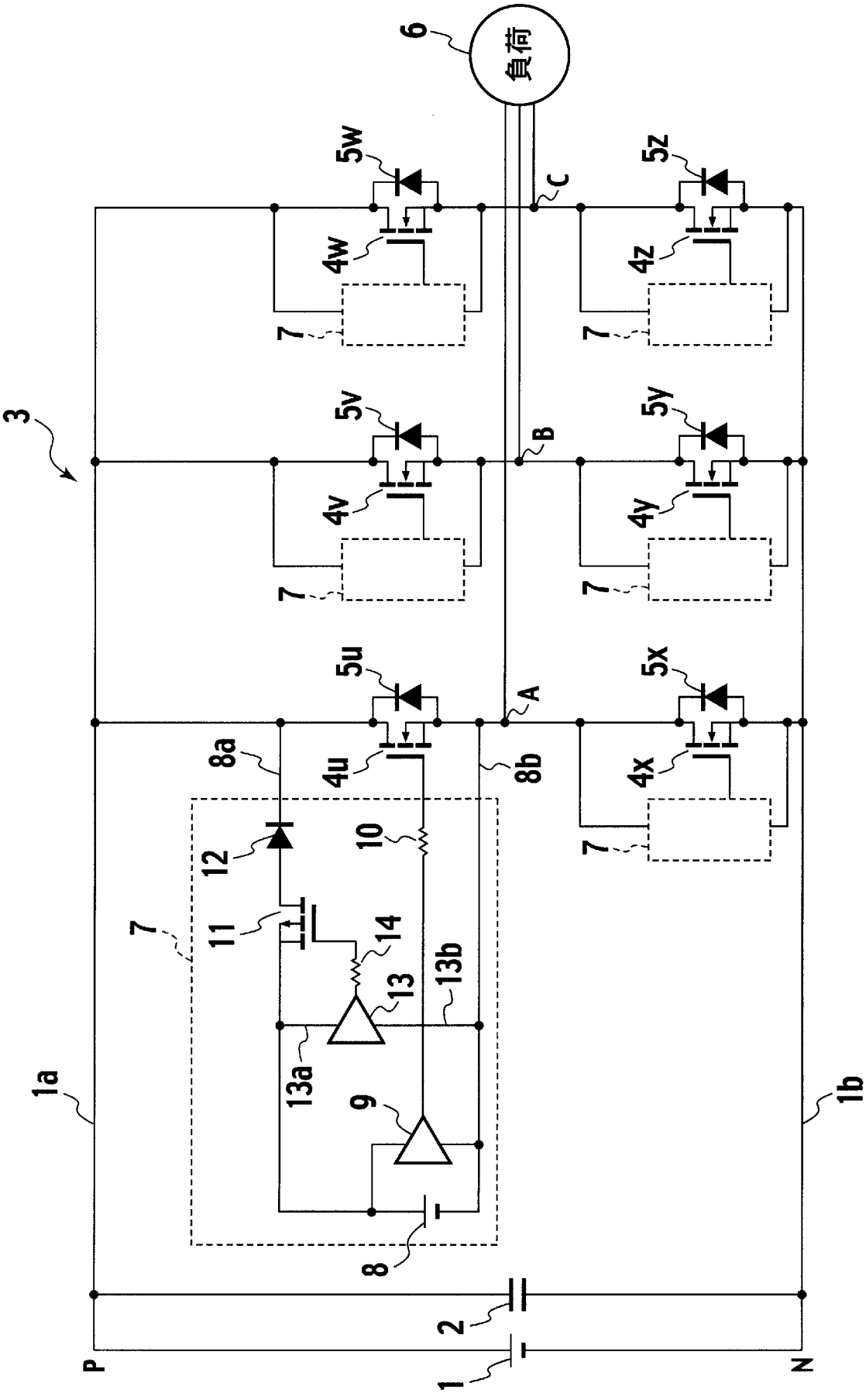
[42] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイトライド)、またはダイアモンドから成ることを特徴とする請求項41に記載の電力変換装置。

[43] 前記ノーマリーオン型スイッチング素子はワイドギャップ半導体から成ることを特徴とする請求項29に記載の電力変換装置。

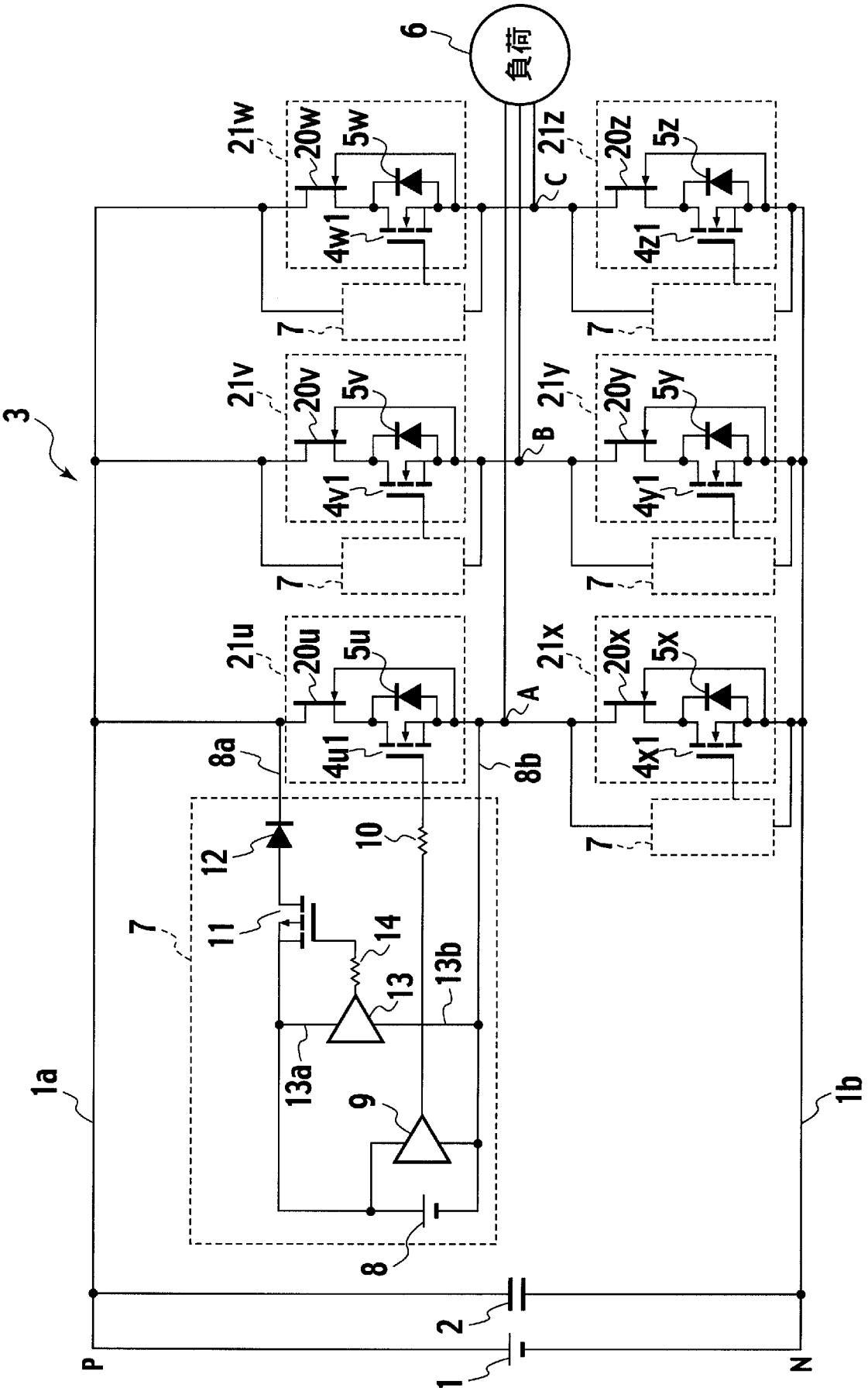
[44] 前記ワイドギャップ半導体は、Sic(シリコンカーバイド)、またはGaN(ガリウムナイト

ライド）、またはダイアモンドから成ることを特徴とする請求項43に記載の電力変換装置。

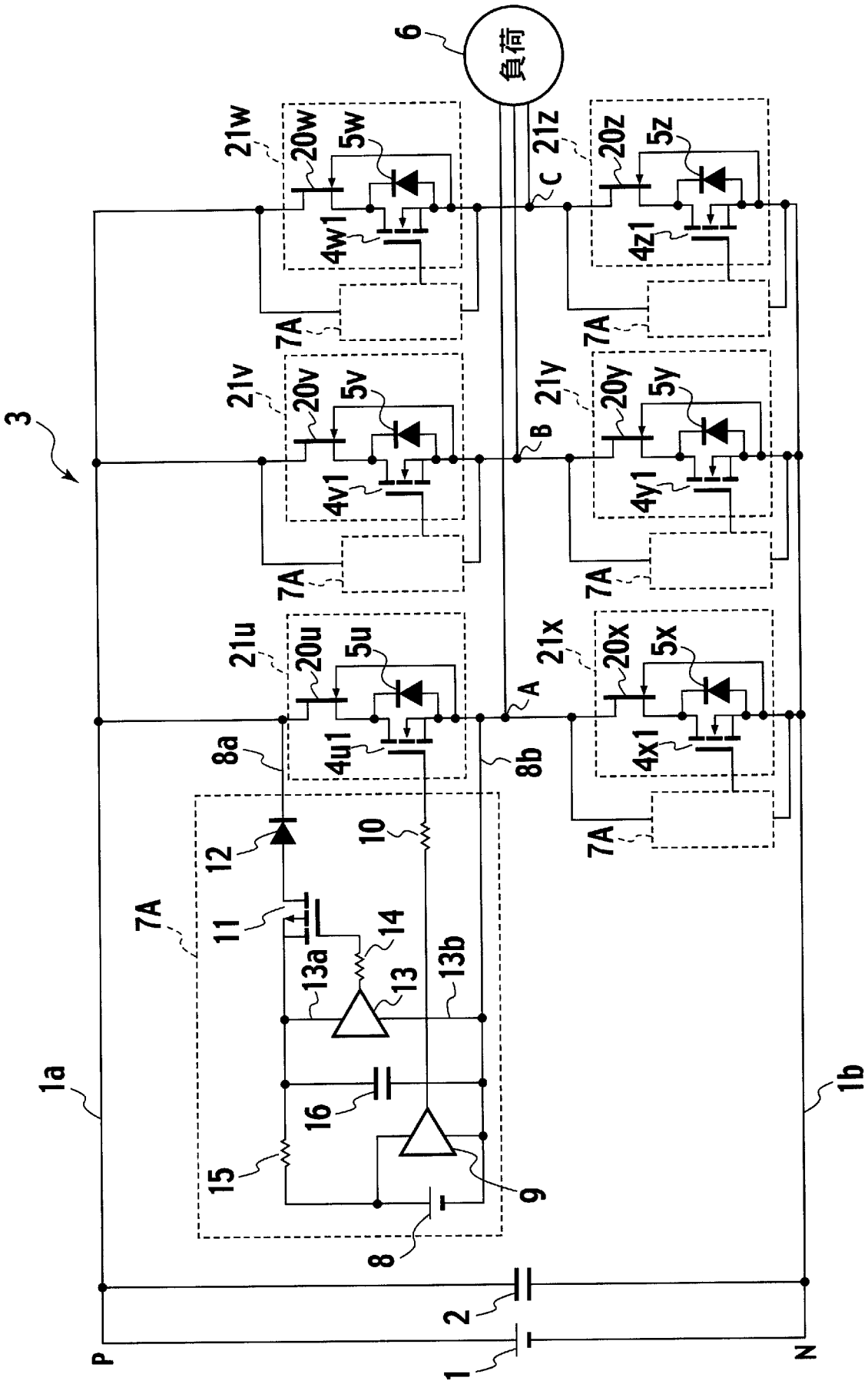
[図1]


6
負荷
5w
5z
C
4w
4z
7
3
5v
5y
B
4v
4y
5u
5x
A
8a
8b
4u
4x
12
10
11
14
13
13b
13a
9
1a
1b
8
2
1
P
N

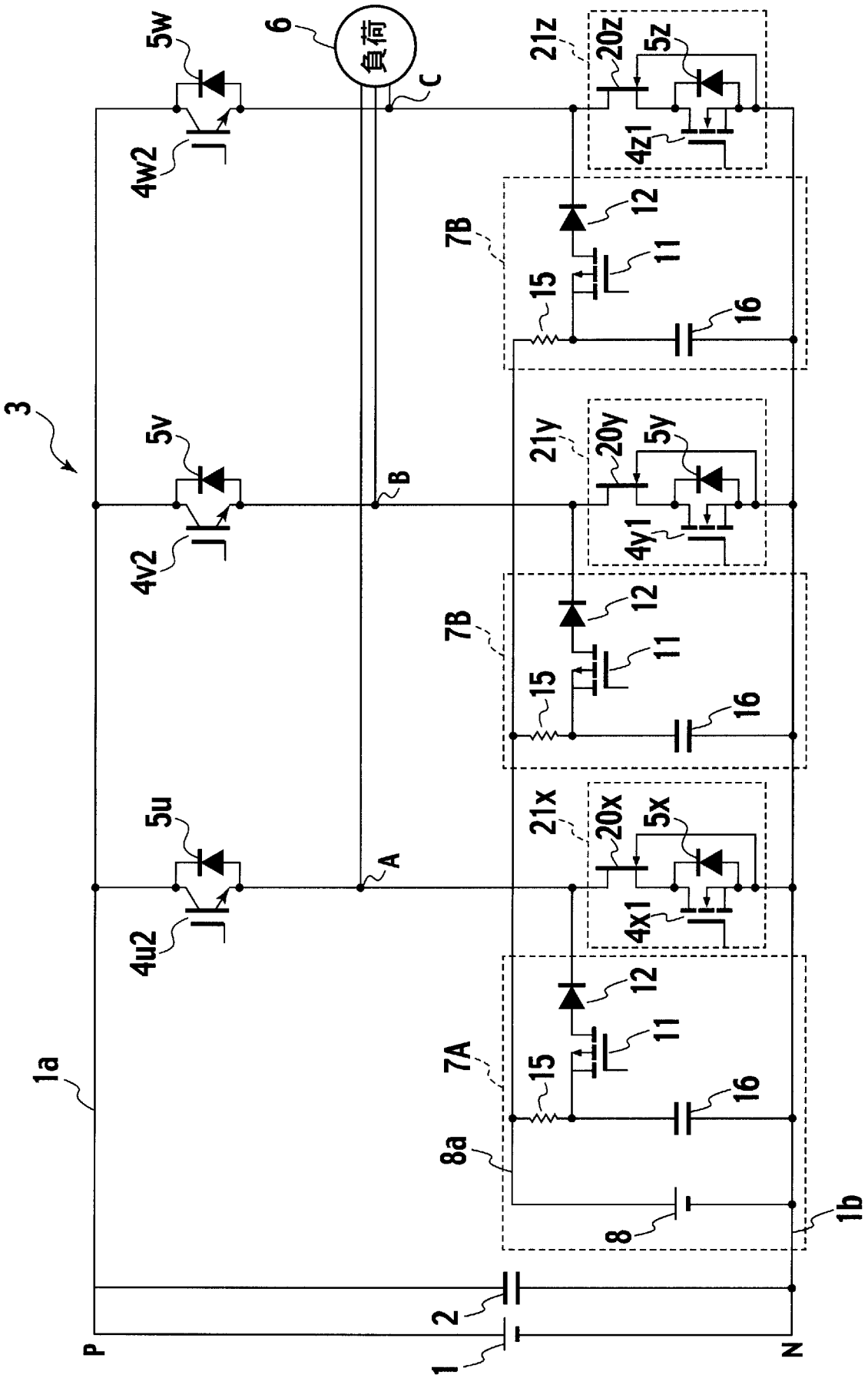
[図2]


6
負荷
21w
20w
5w
4w1
21z
20z
5z
4z1
21v
20v
5v
4v1
21y
20y
5y
4y1
21u
20u
5u
4u1
21x
20x
5x
4x1
3
A
B
C
7
8a
8b
10
11
12
13
13b
14
13a
9
8
1a
1b
2
1
P
N

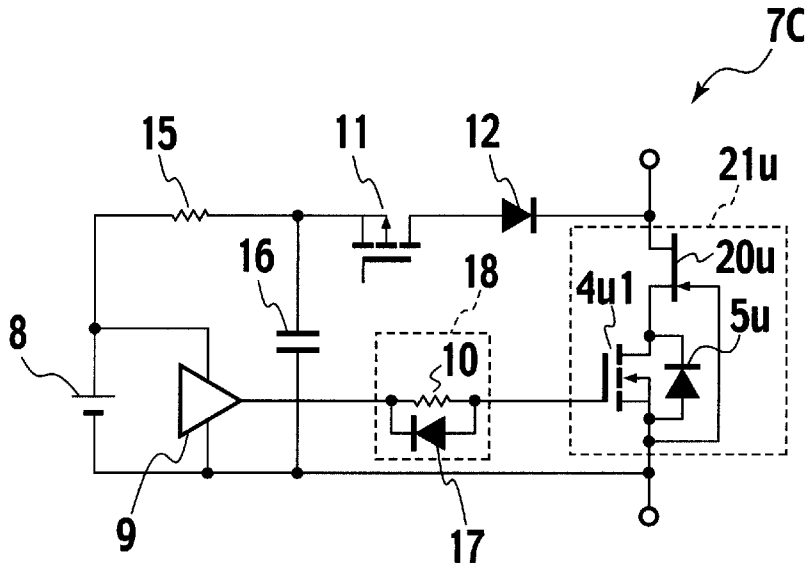
[図3]


6
負荷
21w
20w
5w
4w1
21z
20z
5z
4z1
7A
21v
20v
5v
4v1
21y
20y
5y
4y1
3
B
21u
20u
5u
4u1
21x
20x
5x
4x1
A
8a
8b
12
10
11
14
13a
13
13b
16
15
9
8
1a
1b
2
1
P
N

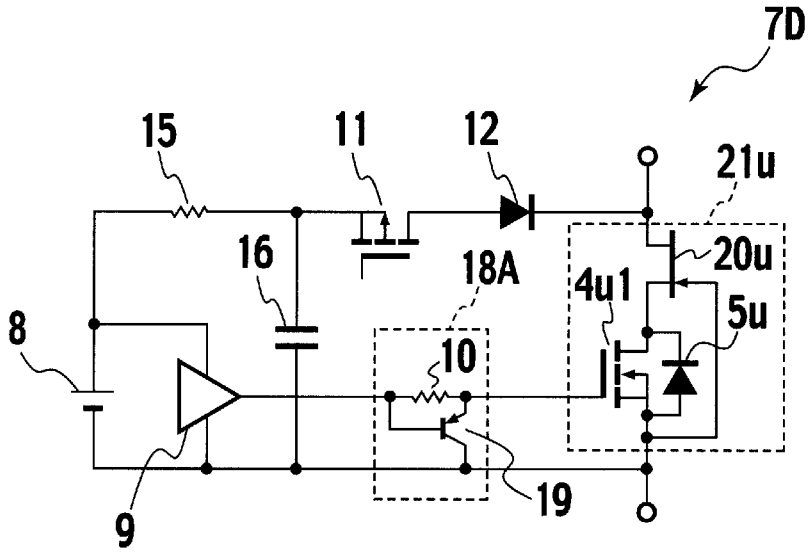
[図4]


負荷
6
5w
4w2
5v
4v2
5u
4u2
3
1a
A
B
C
21z
20z
5z
4z1
21y
20y
5y
4y1
21x
20x
5x
4x1
7B
7A
12
11
15
16
8a
8
1b
2
1
P
N

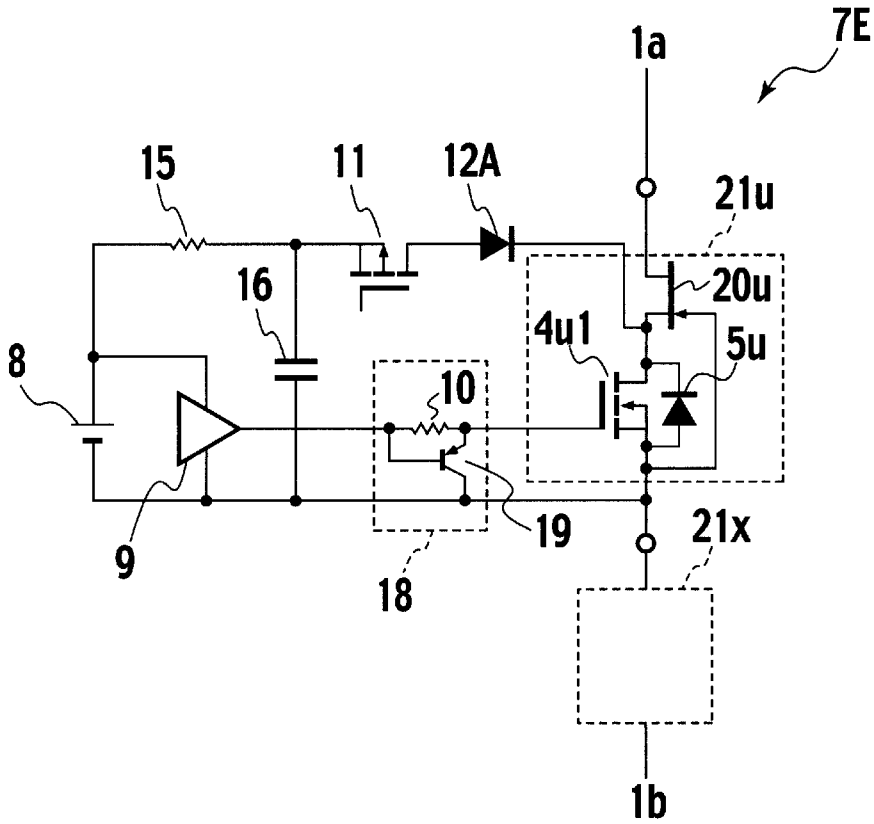
[図5]


7C
15
11
12
21u
16
18
20u
4u1
5u
8
10
9
17

[図6]


7D
15
11
12
21u
16
18A
20u
4u1
5u
8
10
9
19

[図7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/052821

A. CLASSIFICATION OF SUBJECT MATTER
H02M7/5387(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M7/48, H02M7/5387

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-327585 A (Toshiba Corp.), 08 December, 1998 (08.12.98), Full text; all drawings & US 6058037 A & EP 0880221 A2	1-44
A	JP 2003-235240 A (Denso Corp.), 22 August, 2003 (22.08.03), Full text; all drawings & US 2003/0107905 A1 & DE 10257203 A1	1-44
A	JP 7-194138 A (Mazda Motor Corp.), 28 July, 1995 (28.07.95), Full text; all drawings (Family: none)	4,11,30

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 April, 2007 (17.04.07)	24 April, 2007 (24.04.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/052821

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-251846 A (Tokin Corp.), 14 September, 2001 (14.09.01), Full text; all drawings (Family: none)	9,27
P,A	WO 2006/052032 A1 (Toshiba Corp.), 18 May, 2006 (18.05.06), Full text; all drawings & JP 2006-141167 A & JP 2006-141168 A	1-44

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５２８２１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/5387(2007.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/48,H02M7/5387

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 10-327585 A (株式会社東芝) 1998.12.08, 全文、全図 & US 6058037 A & EP 0880221 A2	1-44
A	JP 2003-235240 A (株式会社デンソー) 2003.08.22, 全文、全図 & US 2003/0107905 A1 & DE 10257203 A1	1-44
A	JP 7-194138 A (マツダ株式会社) 1995.07.28, 全文、全図 (ファミリーなし)	4,11,30

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １７．０４．２００７	国際調査報告の発送日 ２４．０４．２００７
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　３Ｖ　９７２３ 杉浦　貴之 電話番号　０３－３５８１－１１０１　内線　３３５８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2001-251846 A (株式会社トーキン) 2001.09.14, 全文、全図 (ファミリーなし)	9,27
P,A	WO 2006/052032 A1 (株式会社東芝) 2006.05.18, 全文、全図 & JP 2006-141167 A & JP 2006-141168 A	1-44