(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/331

(45) 공고일자 1999년02월01일
(11) 등록번호 특0169159
(24) 등록일자 1998년10월09일

(21) 출원번호 특1995-034432
(22) 출원일자 1995년10월07일
(65) 공개번호 특1996-026426
(43) 공개일자 1996년07월22일
(30) 우선권주장 94-306131 1994년12월09일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 이케가미 마사아끼
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기따이따미 세이사꾸쇼
요시히사 야스키
일본국 효고 이따미시 미즈하라 4쪼메 1반지 미쓰비시 덴끼 가부시끼가이샤 기따이따미 세이사꾸쇼
(74) 대리인 김영길

심사관 : 정회환

(54) 바이폴라 반도체 장치 및 그 제조방법

요약

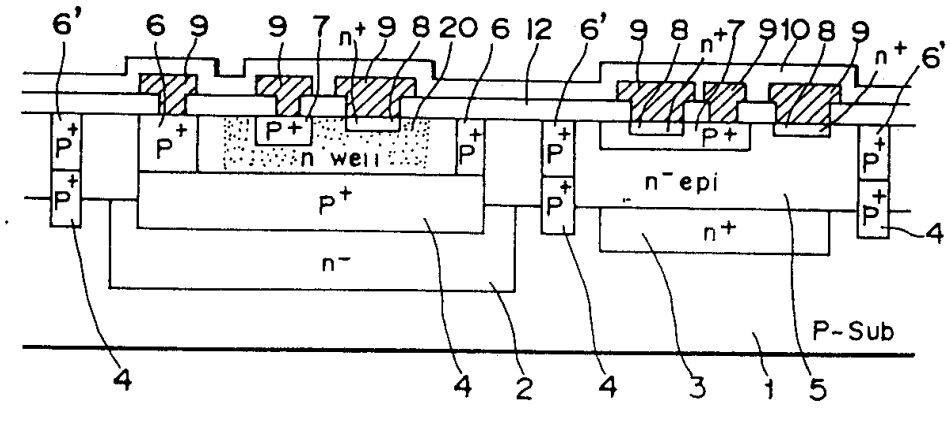
콜렉터와 베이스사이의 용량을 작게하고 응답속도를 가속하여 CB 접합내압(BV_{CBO})이 높아지는 본 발명에 의해 제조된 바이폴라 반도체 장치.

종형 트랜지스터의 베이스가 있는 n^+형 웰확산층(20)이 n^-형 에피택셜층(5)~p^+형 매입 확산층(4) 확장하여 형성된다.

나아가, p^+형 콜렉터 확산층(6)이 불순물 농도에 의존하여 소정의 거리(d)의 간격을 둘러싸고 p^+형 매입 확산층(4)에 확장하여 형성된다.

더나아가, 필드산화막(21)이 n^+형 웰확산층(20)과 n^-형 에피택셜층(5)사이의 표면위에 형성된다.

대표도



명세서

[발명의 명칭]

바이폴라 반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 단면도.

제2도는 본 발명의 제2실시예에 따른 단면도.

제3도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제1스텝을 나타낸 단면도.

제4도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제2스텝을 나타낸 단면도.

제5도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제3스텝을 나타낸 단면도.

제6도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제4스텝을 나타낸 단면도.

제7도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제5스텝을 나타낸 단면도.

제8도는 본 발명의 제1실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제6스텝을 나타낸 단면도.

제9도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제1스텝을 나타낸 단면도.

제10도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제2스텝을 나타낸 단면도.

제11도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제3스텝을 나타낸 단면도.

제12도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제4스텝을 나타낸 단면도.

제13도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제5스텝을 나타낸 단면도.

제14도는 본 발명의 제2실시예에 따른 바이폴라 반도체 장치의 제조 프로세스의 제6스텝을 나타낸 단면도.

제15도는 개발단계와 바이폴라 반도체 장치를 나타낸 단면도.

제16도는 본 발명의 바이폴라 반도체 장치의 개념도.

제17도는 파라메터와 같이 CB 거리간격(d)과 CB 접합의 내압이 표면불순물농도에 의존한다는 관계도.

제18도는 종래의 바이폴라 반도체 장치의 개념도.

* 도면의 주요부분에 대한 부호의 설명

1 : p형 실리콘 기판 2 : n^-형 매입 확산층

3 : n^+형 매입 확산층 4 : p^+형 매입 확산층

5 : n^-형 에피택셜층 6 : p^+형 에피택셜층

7 : p^+형 확산층 8 : n^+형 확산층

9 : 금속전극 10 : 최종 보호막

12 : 절연산화막 20 : n^+형 웰확산층

21 : 필드산화막

[발명의 상세한 설명]

본 발명은 특히 동작속도의 고속화 및 브레이크 고전압을 높이는 종형바이폴라 반도체 장치 및 그 제조방법에 관계한다.

최근, 바이폴라 반도체 장치는 일본 특허권 토카이헤이 1-196173호(니콘); 토카이헤이 2-264436호 및 2-276272호(올림프스); 토카이헤이 2-266530호(소니)가 제안되었다.

개념적으로 제18도에서 보여진 것처럼 각각의 이들 반도체 장치는 제1전도형의 반도체 기판(101), 반도체 기판위에 형성된 제2전도형의 에피텍셜층(102)(만약 제1전도형이 p형이고, 제2전도형이 n형 이라면, 제1전도형에 반대하는 전도형), 에피택셜층(102)과 반도체 기판(101) 사이에 형성된 제2전도형의 제1매입층(103), 제1전도형의 제1매입층(103)중에 형성된 트랜지스터의 콜렉터가 있는 제1전도형의 제2매입층(104), 에피택셜층의 일부에 형성되고 에피택셜층의 불순물 농도가 더 높은 트랜지스터의 베이스가 있는 제2전도형의 웰영역(105), 트랜지스터의 콜렉터 전극이 있는 제1전도형의 확산영역(106)은 제1전도형의 제2매입층(104)과 접촉되고, 상기 웰영역(105)안에 형성된 트랜지스터의 에미터가 있는 제1전도형의 확산영역(107)을 구성한다.

상기 반도체 장치에서, 웰영역(105)은 제2매입층(104)와 직접 접촉하지 않고 에피택셜층(102)과 접촉하기 위하여 베이스의 깊이방향에서의 저항은 비교적 크게하고, 그 결과 종형 pnp 트랜지스터에서의 동작속도는 저하하고 에피택셜 두께의 변화에 의해 접합내압과 용량과 같은 종형 트랜지스터 특성은 변화한다.

상기 결점을 제거하기 위해, 본 발명자는 제10도에서 보여진 것 같이 반도체 장치를 개발했다.

실시예를 개선하기위해 웰영역(105)은 상기 에피택셜영역(102)의 표면부터 제2매입층(104)의 표면까지 확장하여 형성된다.

이 결과, 깊이방향에서 베이스 저항은 저하하고 동작속도는 향상되어 트랜지스터 특성의 변화를 해소한다.

제15도에서 보여진 것 같이 개선된 반도체 장치는 아래에서 처럼 제조된다.

첫 번째로, n^-형 에피택셜층(5)은 p형 실리콘 기판(1)의 주표면 위에서 형성된다.

둘째로, 이 n^-형 에피택셜층(5)과 p형 실리콘 기판(1)의 주표면내에서 n^-형 제1매입층(2)과 n^+형 매입층(3)이 형성된다.

세째로, n^-형 제1매입층(2), 근처층(2)과 n^+형 매입층(3)내에서 p^+형 제2매입층(4)과 층(4')이 형성된다.

넷째로, 콜렉터가 있는 p^+형 확산층(6)과 분리된 p^+형 확산층(6')은 p^+형 제2매입층(4,4')에 확장, 접촉하여 형성된다.

다섯째로, n^+형 웰확산층(11)은 에피택셜층(5)의 표면부터 제2매입층(4)의 표면까지 확장하여 형성된다.

마지막으로, n^+형 웰확산층(11)과 n^-형 에피택셜층(5)의 각 표면내에서는 p^+형 확산층(7)과 n^+형 확산층(8)이 형성된다.

게다가, p^+형 콜렉터 확산층(9)과 보호층(10)은 각 확산층위에 형성된다.

12는 절연산화층을 나타낸다.

종형 pnp 트랜지스터에서, (1) 상기 제1전도형의 확산영역에서의 표면불순물확산농도, (2) n^+형 웰확산층의 불순물 농도와 확산깊이 (3) n^-형 에피택셜층의 불순물 농도와 두께에 의존하여 CB 접합기생용량은 더 커지고, 응답 속도는 더 저하되고, CB 접합내압 또는 더 저하되어 종형 트랜지스터의 동작불량의 결과가 생긴다.

동작불량의 원인을 알기위한 시도로, n^+형 웰확산층(11)과 p^+형 확산층(6)은 사실상 트랜지스터영역의 감소에 의해 각각 다른 접촉을 한다는 것과 상기 제조방법에 의해 형성될 주구조에 기인한다는 것을 알았다.

따라서, 본 발명의 제1목적은 상기 에피택셜층(102)의 표면부터 104의 표면까지 확장된 제2전도형(105)의 상기 웰영역 및 제1전도형(106)의 상기 확산영역에 의해 둘러싸여진 반도체 장치로 깊이방향에서 베이스 저항의 저하를 제공하고, 동작속도의 고속화 및 트랜지스터 특성의 변화없이 향상된다.

또한, 본 발명의 제2목적은 깊이방향에서 베이스 저항의 저하를 제공하고, 동작속도의 고속화 및 트랜지스터 특성변화 없이 향상된 반도체 장치의 제조방법을 제공하는 것이다.

본 발명의 제1관점에 의해, ⑴ 제1전도형의 반도체 기판; ⑵ 상기 반도체 기판위에 형성된 제2전도형의 에피택셜층들; ⑶ 에피택셜층과 반도체 기판 사이에 형성된 상기 제2전도형의 매입층들; ⑷ 상기 제2전도형의 상기 매입층내에 형성된 트랜지스터의 콜렉터가 있는 상기 제1전도형의 매입층들; ⑸ 상기 에피택셜층의 일부에 형성된 트랜지스터의 베이스가 있는 상기 제2전도형의 영역 및 상기 에피택셜층보다 불순물 농도가 더 높게 제공된 상기 제2전도형의 웰영역들; ⑹ 상기 제1전도형의 상기 매입층위에 형성된 트랜지스터의 콜렉트전극이 있는 상기 제1전도형의 확산영역들; ⑺ 상기 웰영역에 형성된 트랜지스터의 에미터가 있는 상기 제1전도형의 확산영역들을 구비하는 바이폴라 반도체 장치가 제공된다.

트랜지스터의 베이스가 있는 상기 제2전도형의 상기 웰영역은 트랜지스터의 콜렉트가 있는 상기 제1전도형의 상기 매입층과 접촉하고 종방향에 간격(d)이 있는 상기 웰영역의 상기 에피택셜층을 통하여 상기 트랜지스터의 콜렉터전극이 있는 상기 확산영역으로 둘러싸여 있고, 제1전도형의 상기 확산영역의 표면불순물 농도에 의존하는 상기 간격(d)을 소망의 트랜지스터의 CB 접합내압을 가지고 조정했다.

참조 실시예에서, CB 접합내압은, 콜렉터영역과 베이스영역 사이의 표면불순물 농도에 의해 영향을 받기 때문에 콜렉터 전극이 있는 제1전도형의 상기 확산영역의 일단부터 제2전도형의 상기 웰영역의 일단까지 필드산화막들은 표면위에 형성될 것이다.

특히 포토리소그라픽 마스킹 프로세스, 제조상의 오차를 고려하면, 콜렉터 전극이 있는 상기 제1전도형의 상기 확산영역의 일단부터 상기 제2전도형의 상기 웰영역일단까지의 간격(d)은 제2전도형(105)의 상기 웰영역과 제1전도형(106)의 상기 확산영역 사이의 접촉을 막기 위해 0.5㎛ 이상인 것이 좋다.

콜렉터와 베이스(BV_{CBO}) 사이를 고려하면, 콜렉터와 에미터(BV_{CBO})내압(3V, 6V, 9V, 12V)에 상기 에피택셜층에서 불순물 농도는 $2.0*10^{15}cm^{-3}$ 부터 $1.0*10^{16}cm^{-3}$까지 선택되어야 한다는 것이 일반적으로 요구된다.

제2전도형의 상기 웰영역의 불순물 농도는 $2.0*10^{16}m^{-3}$ 부터 $5.0*10^{17}cm^{-3}$까지 선택되어야 하는 상기 에피택셜층보다 더 높다.

왜냐하면 그것은 전류증폭율 및 주파수특성뿐만 아니라 CB 접합 내압에 영향을 주기 때문이다.

제2전도형의 상기 에피택셜층의 두께는 0.5㎛~10.0㎛인 것인 좋고 제2전도형의 상기 웰영역의 불순물 확산깊이는 0.5㎛~7.0㎛인 것이 좋다.

왜냐하면 상기 에피택셜층의 두께와 이와같은 상기 웰영역의 불순물 확산 깊이는 두께와 관련하여 이와같은 방법의 불순물 농도로 상기 CB 접합내압에 영향을 주기 때문이다.

본 발명에 따른 바이폴라 반도체 장치는 2가지의 제조방법이 제안되었다.

첫째 방법은 트랜지스터의 콜렉터가 있는 제1전도형의 확산영역을 형성하는 스텝을 구성한후 트랜지스터의 베이스가 있는 제2전도형의 웰영역을 형성한다.

그것은, 상기 에피택셜층의 일부에서 상기 에피택셜층보다 불순물 농도가 더 높다.

한편, 둘째방법은 트랜지스터의 베이스가 있는 제2전도형의 웰영역의 형성스텝을 구성한다.

그것은 상기 에피택셜층의 일부에서의 상기 에피택셜층보다 불순물 농도가 더 높다.

그린 후 트랜지스터의 콜렉터가 있는 제1전도형의 확산영역을 형성한다. 제2전도형의 웰영역과 트랜지스터의 콜렉터가 있는 매입층 사이의 확실한 접촉을 하기위해 웰영역은 제1전도형의 매입층에 의해 에피택셜층의 간격(d)을 통해 둘러싸여지므로 제2방법에 의한 반도체 장치제조는 더 이익이다.

그러므로, 본 발명의 제2관점에 따라 바이폴라 반도체의 제조방법이 제안되었다.

그것은 제1전도형의 상기 반도체 기판의 주표면의 예정된 범위내에서 제2전도형의 상기 제1매입층을 형성하고, 제2전도형의 상기 제1매입층에서 제1전도형의 상기 제2매입층을 형성하고, 제1, 제2전도형의 상기 제1, 제2매입층을 포함하는 제1전도형의 반도체 기판의 모든 표면 위에 제2전도형의 상기 에피택셜층을 형성하고, 제1전도형의 상기 제2매입층의 표면으로부터 제2전도형의 상기 웰영역을 형성하고, 그후, 거리(d)의 간격에서 제2전도형의 상기 웰영역으로 둘러싸여있는 제1전도형의 상기 매입영역을 형성하고 제1전도형의 상기 제2매입층에 확장하는 제1전도형의 상기 매입영역을 형성하고, 제2전도형의 상기 웰영역에서 제1전도형의 에미터가 있는 상기 확산영역을 형성하는 스텝을 구성한다.

바이폴라 반도체의 제조방법에서, 그것은 트랜지스터의 베이스가 있는 제2전도형의 상기 웰영역의 일단부터 트랜지스터의 콜렉터가 있는 상기 매입영역의 일단까지 상기 표면위에 필드산화막을 형성하는 최소 스텝을 구성한다.

제16도에서 보여진 것처럼 제1발명에 따른, 깊이방향에서 베이스 저항은 낮아지고, 트랜지스터의 동작속도의 증가 및 트랜지스터 특성의 변화 없이 ⑴제 2전도형의 상기 에피택셜층(102)으로부터 제1전도형(104)의 상기 제2매입층까지 확장하여 제2전도형(105)의 상기 웰영역을 형성하는 방법에 의해 완성될 수 있다.

나아가, ⑵제1전도형(106)의 상기 확산영역에 의해 거리(d)의 간격에 둘러싸여진 제2전도형의 상기 에피택셜층(102)에 제2전도형의 상기 웰영역을 형성하는 방법에 의해 CB 접합 사이의 불순물분포는 비교적 완만하게 된다.

제17도에서 보여진 것처럼 간격(d)와 CB 접합내압 사이의 상대성을 관찰하면, CB 접합내압은 p^+표면농도에 의해 강하게 영향받고 이와같은 상대성들은 적은 농도에서 큰 농도로 변화하는 p^+표면농도에 의존하여 아래로 이동된다.

따라서, 표면농도를 고려하면, 본 발명에 따른 바이폴라 반도체 장치에서 소망의 CB 접합내압에 도달하는데 간격(d)을 결정하는 것이 중요하다.

만약, 제1전도형(106)의 상기 매입영역의 일단과 제1전도형(105)의 상기 제2매입층의 일단 사이의 간격이 0.5㎛ 이상이면, 반도체 장치결과에서, CB 접합내압을 낮추기 위한 간격(d)은 그곳 사이에서 유지된다.

제17도로부터 보면, 제1전도형(106)의 상기 매입영역의 일단과 제1전도형(104)의 상기 제2매입층의 일단 사이에 형성된 필드산화막이 CB 접합사이에서 불순물 농도를 완만하게 만든다.

만약, 제2전도형의 상기 에피택셜층(102)에서 불순물 농도가 $2.0*10^{15}cm^{-3}$ ~ $1.0*10^{16}cm^{-3}$ 범위에서 설정된다면, 더 증가된 CB 접합내압을 얻게 될 수 있다.

만약 제2전도형(105)의 상기 웰영역의 불순물 농도가 $2.0*10^{16}cm^{-3}$ ~ $5.0*10^{17}cm^{-3}$ 범위에서 설정된다면, 증가된 전류증복율과 주파수특성 뿐만 아니라 증가된 CB 접합내압을 얻게될 수 있다.

제2발명에 따르면, 제2전도형(105)의 상기 웰영역과 제1전도형(104)의 상기 제2매입층 사이의 접촉으로 제공된 반도체를 쉽게 제조할 수 있고, 제2전도형(105)의 상기 웰영역은 제1전도형(106)의 상기 확산영역에 의해 제2전도형의 상기 에패택셜층(102)의 간격(d)을 통해 둘러싸여 진다.

나아가, 만약 반도체가 필드산화막의 형성스텝에 의해 제조된다면, CB 전극사이의 불순물분포는 완만하게 되고 CB 내압의 저하를 막을 수 있으며, 기생용량은 작게 되고 응답속도는 가속된다.

본 발명의 상기와 다른목적 및 특징은 아래의 바람직한 실시예의 설명으로부터 첨부도면의 참조로 더 분명해질 것이다.

같은 부분들은 같은 참조숫자로 나타난다.

종형 pnp 바이폴라 반도체 장치를 나타낸 제1도~제14도 보면 본 발명의 실시예는 아래 도면참조로 설명된다.

종형 pnp 반도체 장치에 동일한 구조가 인가될 수 있다.

[실시예 1]

바이폴라 반도체 장치의 제1실시예는 제1도에서 보여지고 본 발명에 따른 제1실시예의 제조방법은 제3도~제8도로 설명된다.

제1도에서 보여진 것처럼 n^-형 에피택셜층(5)은 p형 실리콘 기판(1)의 주표면위에 형성된다.

n^-형 매입, 확산층(2) 및 n^+형 매입층(3)은 n^-형 에피택셜층(5)내와 p형 실리콘 기판(1)의 주표면위에 형성된다.

더나아가, p^+형 제2매입층(4)은 n^-형 매입, 확산층(2) 및 근처 n^+형 매입층(3)내에 형성된다.

n^+형 웰확산층(20)은 n^-형 에피택셜층(5)의 표면부터 p^+제2매입층(4)까지 확장하여 형성된다.

p^+형 확산층(6)은 p^+ 제2매입층(4)에 도달하고 그것으로부터 소정의 거리 간격으로 n^+형 웰확산층(20)을 둘러싸서 형성된다.

p^+형 확산층(6')은 또한 p^+ 제2매입층(4)을 확장하여 분리영역에서 형성된다.

더나아가, p^+형 확산층(7)과 n^+형 확산층(8)은 n^+형 웰확산층(20)과 n^-형 에피택셜층(5)내에 형성된다.

그런후, 각 확산층의 p^+형 콜렉터 확산층(9)과 보호층(10)이 형성된다.

제1도에서 보여진 바이폴라 반도체 장치의 제조방법은 아래 제3도~제8도로 설명된다.

첫째로, 제3도에서 보여진 것처럼 n^-형 매입, 확산층(2) 및 n^+형 매입층(3), p^+ 제2매입층(4)은 상기 방법에 의해 상기 p형 실리콘 기판(1)위에 형성되고, n^-형 에피택셜층(5)은 주표면위에 형성된다.

불순물 농도는 $2.0*10^{15}cm^{-3}$ 이상 및 $1.0*10^{16}cm^{-3}$ 이하에 설정된다.

더나아가, 절연산화막(10)은 이 표면위에 형성된다.

레지스트 패턴은 포토리소그라픽(photolithographic)법에 따라 형성되고, 파스퍼러스(phosphorus)이온과 같은 n형 불순물은 이온주입법에 따라 소정의 영역에서 도프된다.

종형 pnp 트랜지스터의 베이스가 있는 n^+형 웰확산층(20)은 레지스트를 제거한후 형성되고 800~1100℃에서 열처리된다.

불순물 농도는 $2.0*10^{16}cm^{-4}$ ~ $5.0*10^{17}cm^{-4}$ 선택되는 것이 더 좋고, 불순물 확산 깊이는 0.5~5.0㎛, 1.5~5.0㎛의 범위에서 선택되는 것이 더 좋다.

이 경우에, n^+형 웰확산층(20)과 p^+ 제2매입층(4) 사이의 접촉을 확실하게 하기 위해 열처리의 온도와 시간의 설정점에 유의하는 것이 중요하다.

둘째로, 제4도에서 보여진 것처럼, p형 불순물은 분리영역이 있는 p^+형 제2매입층(4)에서 도프되어 p^+형 확산분리층(6')을 형성하고, 동시에, p형 불순물은 소정의 거리(예로 0.5~3㎛) 간격으로 종형 pnp 트랜지스터가 있는 n^+형 웰확산층(20)에 도프되어 p^+형 확산층(6)(표면농도는 약 $1.0*10^{18}cm^{-3}$ ~ $5.0*10^{18}cm^{-3}$이다)을 형성한다.

소정의 간격은 CB 접합내압(BV_{CBO})의 저하를 막는 것을 가능하게 한다.

셋째로, 제5도에서 처럼, P형 불순물은 n^+형 웰확산층(20)과 n^-형 에피택셜층(5) 내의 소정의 영역에서 도프되어 베이스가 있는 p^+형 확산층(7)과 종형 pnp 혹은 npn 트랜지스터의 에미터를 형성한다.

넷째로, 제6도에서 보여진 것처럼, n^+형 웰확산층(20)에서와 n^-형 에피택셜층(5)에서의 종형 npn 트랜지스터의 베이스가 있는 p^+형 확산층(7)에 절연 산화막(12)이 에칭되고, n형의 불순물을 도프하여 종형 pnp 트랜지스터의 베이스와 종형 npn 트랜지스터의 콜렉터, 에미터가 있는 n^+형 확산층(8)을 형성한다.

다섯째로, 제7도에서 보여진 것처럼, 각 트랜지스터 전극의 p^+형 확산층에 확장하기 위해 접촉홀은 상기 미세가공기술에 의해 형성된다.

마지막으로 제8도에서 보여진 것처럼, p^+형 콜렉터 확산층(9)과 보호막(10)은 종래의 기술에 의해 형성되어 제1도에서 보여진 것처럼 바이폴라 반도체 장치를 형성한다.

[실시예 2]

본 발명에 따른 제2실시예에서의 제2도의 바이폴라 반도체 장치는 제9도~제14도로 설명된다.

제2도는 본 발명에 따른 제2실시예에서의 바이폴라 반도체 장치를 나타낸 단면도이다.

제2도에서 보여진 것처럼, n^-형 에피택셜층(5)은 상기 p형 실리콘 기판(1)의 주표면위에 형성된다.

n^-형 매입, 확산층(2) 및 n^+형 매입층(3)는 n^-형 에피택셜층(5)에서와 p형 실리콘 기판(1)의 주표면위에 형성된다.

실리콘 기판(1)의 주표면위에 형성된다.

나아가, p^+제2매입층(4)은 n^-형 매입, 확산층(2) 및 근처 n^+매입층(3)에서 형성된다.

n^+형 웰영역확산층(20)은 n^-형 에피택셜층(5)의 표면부터 p^+제2매입층(4)까지 확장하여 형성된다.

필드산화막(21)은 n^+형 웰확산층(20)과 n^-형 에피택셜(15)사이의 표면 위에 형성된다.

p^+제2매입층(4)에 도달하여 형성되고 소정의 간격으로 둘러싸여진 p^+형 확산층(6)은 n^+형 웰확산층(20)으로부터 필드산화막(21)에 의해 결정된다.

동시에, p^+형 확산층(6)은 분리된 영역에서 p^+제2매입층(4)에 확장하여 형성된다.

게다가, p^+형 확산층(7)과 n^+형 확산층(8)은 n^+형 웰확산층(20)에서와 n^-형 에피택셜층(5)의 표면위에 형성된다.

따라서, 각 확산층의 금속전극에서 p^+형 콜렉터 확산층(9)과 보호막(10)이 형성된다.

다음에 제2도에서 보여진 것처럼 제2실시예의 바이폴라 반도체 장치의 제조방법은 제9도~제14도의 참조해서 설명된다.

첫째로, 제9도에서, n^-형 매입, 확산층(2) 및 n^+ 매입층(3), p^+ 제2매입층(4)은 제1실시예와 같은 방법으로 상기 p형 실리콘 기판(1)위에 형성되고, 주표면위에는 n^-형 에피택셜층(5)이 형성된다.

게다가, n^-형 에피택셜층(5)의 소정의 영역위에 n^+형 웰확산층(20)이 형성된다.

둘째로, 제10도에서, 필드산화막(21)은 LOCOS(Local Oxidation of Silicon)법에 선택산화의 방법으로 n^+형 웰확산층(20)과 n^-형 에피택셜층(5) 사이의 표면위에 형성된다.

필드산화층(21)의 준비로 열처리 후 측면으로의 확산으로부터 n^+형 웰확산층(20)을 막을 수 있고, 완만한 불순물분포(6)의 결과로 CB 접합내압의 저하를 막게 될 수 있고 적은 용량의 바이폴라 반도체 장치를 얻게 될 수 있다.

셋째로, 제11도에서, p^+형 확산층(6)은 n^+형 웰확산층(20)이 둘러싸여 필드산화막(21)에 의해 소정의 간격으로 n웰 확산층에서 p형 불순물의 도핑으로 형성된다.

동시에, p^+형 확산분리층(6')은 p^+제2매입층(4)에서 p형 불순물의 도핑으로 형성된다.

제11도에서 보여진 것처럼 필드산화막(21)에 자기정합된 p^+형 확산층(6)과 p^+형 확산분리층(6')이 형성될 것이다.

넷째로, 제12도에서, 종형 pnp 트랜지스터의 에미터와 베이스가 있는 p^+형 확산층(7)은 n^+형 웰확산층(20)과 n^-형 에피택셜층(5)내의 소정의 영역에서 p형 불순물의 도핑으로 형성된다.

필드산화막(21)에 자기저합된 p^+형 확산층(7)이 형성될 것이다.

다섯째로, 제13도에서, 베이스, 콜렉터, 에미터 각각이 있는 n^+형 확산층(8)은 절연산화막(12)의 에칭으로 형성되고 n^+형 웰확산층(20), n^-형 에피택셜층(5), p^+형 확산층(7)에서 n형 불순물의 도핑을 형성된다.

마지막으로, 제14도에서, 컨택트홀은 각 트랜지스터의 p^+형 확산층에서 형성되고 p^+형 콜렉터 확산층(9)과 보호막(10)는 종래의 기술에 의해 형성되어 제2도에서 보여진 바이폴라 반도체 장치를 제공한다.

(57) 청구의 범위

청구항 1

바이폴라 반도체 장치는 (1) 제1전도형의 반도체 기판과; (2) 상기 반도체 기판위에 형성된 제2전도형의 에피택셜층들과; (3)에피택셜층과 반도체 기판 사이에 형성된 상기 제2전도형의 매입층들과; (4) 상기 제2전도형의 상기 매입층중에 형성된 트랜지스터의 콜렉터가 있는 상기 제1전도형의 매입층들과; (5) 상기 에피택셜층의 일부에서 형성되고 상기 에피택셜층보다 불순물 농도가 더 높게 제공된 트랜지스터의 베이스가 있는 상기 제2전도형의 웰영역들과; (6) 상기 제1전도형의 상기 매입층위에 형성된 트랜지스터의 콜렉터의 전극이 있는 상기 제1전도형의 확산영역들과; (7) 상기 웰영역에 형성된 트랜지스터의 에미터가 있는 상기 제1전도형의 확산영역들을 구비하고, 상기 트랜지스터의 베이스가 있는 상기 제2전도형의 상기 웰영역이 트랜지스터의 콜렉터가 있는 상기 제1전도형이 상기 매입층과 접촉하고 트랜지스터의 종방향에서 간격(d)는 상기 웰영역의 상기 에피탤셜층을 통하여 상기 트랜지스터의 콜렉터 전극이 있는 상기 확산영역으로 둘러싸여 있고, 제1전도형의 상기 확산영역의 표면불순물 농도에 의존하여 상기 간격(d)으로 소망의 트랜지스터의 CB 접합내압을 조정하는 바이폴라 반도체 장치.

청구항 2

제1항에 있어서, 상기 확산영역의 일단부터 상기 제2전도형의 상기 웰영역의 일단까지의 표면위에 형성된 필드산화층들을 구비하는 바이폴라 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제2전도형의 상기 에피택셜층에서 불순물 농도가 $2.0*10^{15}cm^{-3}$ ~ $1.0*10^{16}cm^{-3}$인 바이폴라 반도체 장치.

청구항 4

제1항 또는 제2항에 있어서, 상기 에피택셜층보다 더 높은 상기 제2전도형의 상기 웰영역의 불순물 농도가 $2.0*10^{16}cm^{-3}$~ $5.0*10^{17}cm^{-3}$인 바이폴라 반도체 장치.

청구항 5

제1항 또는 제2항에 있어서, 상기 제2전도형의 상기 에피택셜층의 두께가 0.5㎛~10.0㎛이고 상기 제2전도형의 상기 웰영역의 불순물 확산깊이가 0.5㎛~10.0㎛인 바이폴라 반도체 장치.

청구항 6

제1항 또는 제2항에 있어서, 콜렉터 전극이 있는 상기 제1전도형의 상기 확산영역 일단부터 상기 제2전도형의 상기 웰영역 일단까지의 간격(d)이 0.5㎛이상인 바이폴라 반도체 장치.

청구항 7

제2항에 있어서, 필드산화막의 두께가 0.3㎛~2.0㎛인 바이폴라 반도체 장치

청구항 8

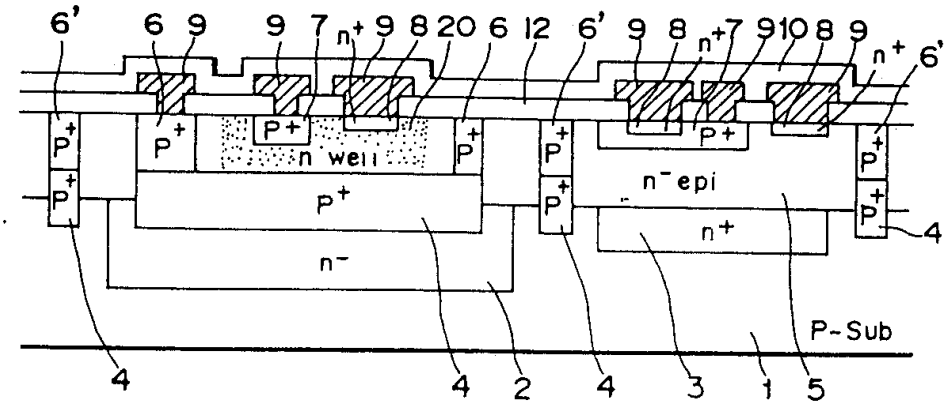
⑴ 제1전도형의 반도체 기판과; ⑵ 상기 반도체 기판위에 형성된 제2전도형의 에피택셜층들과; ⑶ 상기 에피택셜층과 상기 반도체 기판 사이에 형성된 제2전도형의 제1매입층들과; ⑷ 제2전도형의 상기 제1매입층에 형성된 트랜지스터의 콜렉터가 있는 제1전도형의 제2매입층들과; ⑸ 상기 에피택셜의 일부에서 형성되고 상기 에피택셜층보다 불순물 농도가 더 높게 제공된 트랜지스터의 베이스가 있는 제2전도형의 웰영역들과; ⑹ 제1전도형의 상기 매입층위에 형성된 트랜지스터의 콜렉터 전극이 있는 제1전도형의 확산영역들과; ⑺ 상기 웰영역에 형성된 트랜지스터의 에미터가 있는 제1전도형의 확산영역들을 구비하는 바이폴라 반도체 장치에 있어서, 상기 트랜지스터의 베이스가 있는 상기 제2전도형의 상기 웰영역은 트랜지스터의 콜렉터가 있는 제1전도형의 상기 제2매입층과 접촉하고 트랜지스터의 종방향에서 간격(d)은 상기 웰영역의 상기 에피택셜층을 통하여 상기 트랜지스터의 콜렉터 전극이 있는 상기 확산영역으로 둘러싸여지고, 제1전도형의 상기 확산영역의 표면불순물 농도에 의존하여 상기 간격(d)는 소망의 트랜지스터의 CB 접합내압이 조정되고, 제1전도형의 상기 반도체 기판의 주표면의 소정범위에서 제2전도형의 상기 제1매입층을 형성하는 스텝과; 제2전도형의 상기 제1매입층에서 제1전도형의 상기 제2매입층을 형성하는 스텝과; 제1, 제2전도형의 상기 제1, 제2매입층을 포함하는 제1전도형의 반도체 기판의 모든 표면위에 제2전도형의 상기 에피택셜층을 형성하는 스텝과; 제1전도형의 상기 제2매입층의 표면으로 부터 제2전도형의 상기 웰영역을 형성하는 스텝과; 그런후, 거리(d)의 간격으로 제2전도형의 상기 웰영역을 둘러싸고 제1전도형의 상기 제2매입층에 확장하여 제1전도형의 상기 확산영역을 형성하는 스텝과; 제2전도형의 상기 웰영역에서 제1전도형의 에미터가 있는 상기 확산영역을 형성하는 스텝을 구비하는 바이폴라 반도체 장치의 제조방법.

청구항 9

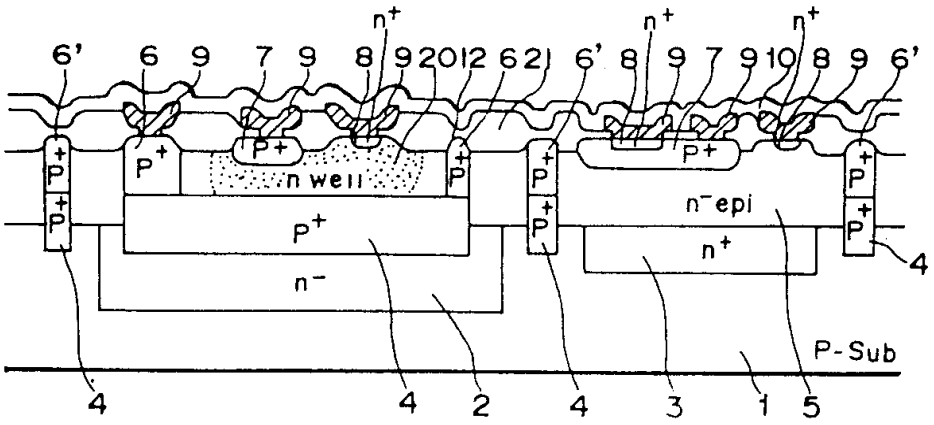
제8항에 있어서, 트랜지스터의 베이스가 있는 제2전도형의 상기 웰영역의 일단부터 트랜지스터의 콜렉터가 있는 상기 확산영역의 일단까지의 상기 표면위에 필드산화막을 형성하는 스텝을 더 구성하는 바이폴라 반도체 장치의 제조방법.

도면

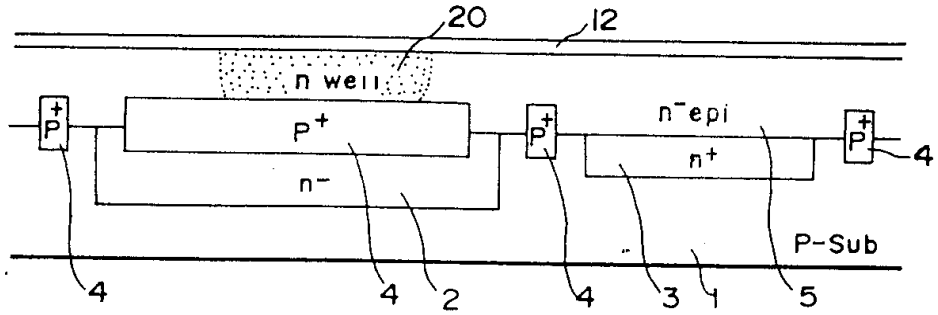
도면1



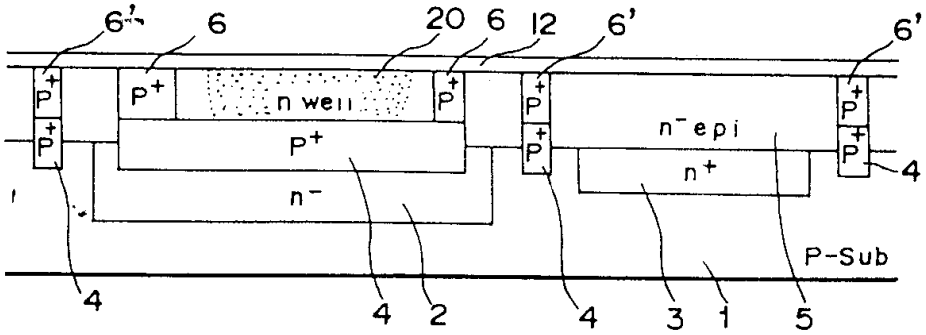
도면2


n+
6' 6 9 7 9 8 9 20 12 6 21 6' 8 9 7 9 10 8 9 6'
P+
n well
n⁻epi
n+
n⁻
P-Sub
4 4 2 4 3 1 5

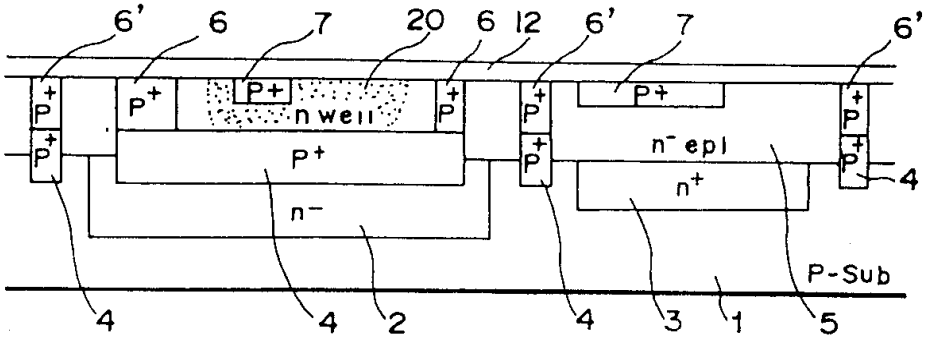
도면3


20 12
n well
P+
n⁻epi
n+
n⁻
P-Sub
4 4 2 4 3 1 5

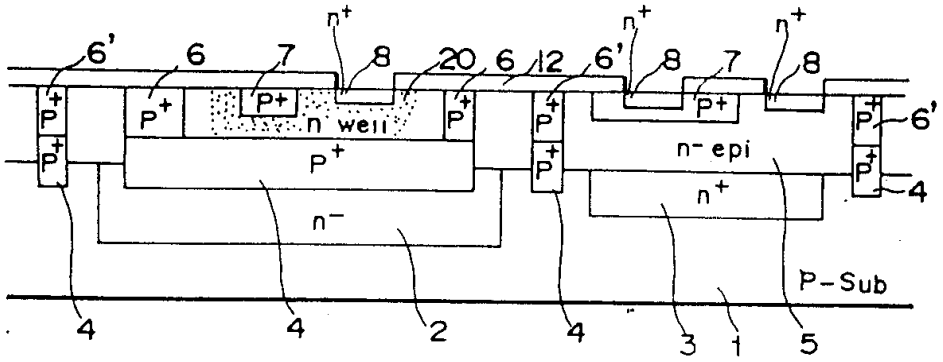
도면4


6' 6 20 6 12 6' 6'
P+
n well
n⁻epi
n+
n⁻
P-Sub
4 4 2 4 3 1 5

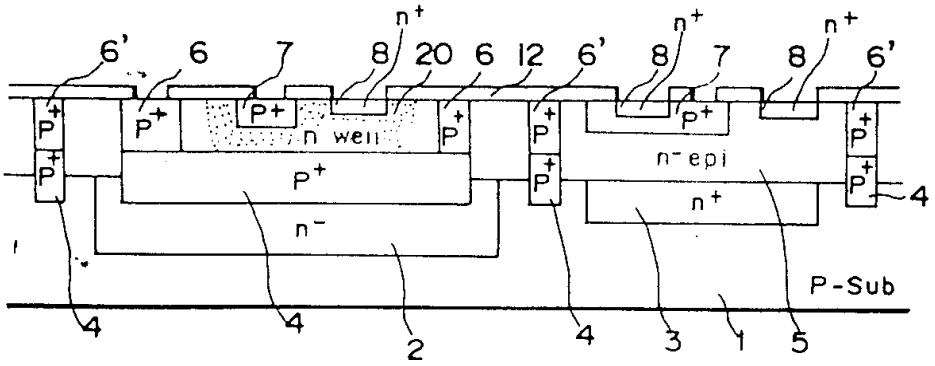
도면5


6'
6
7
20
6
12
6'
7
6'
P+
n well
n⁻ epi
n+
n⁻
P-Sub
4
4
2
4
3
1
5

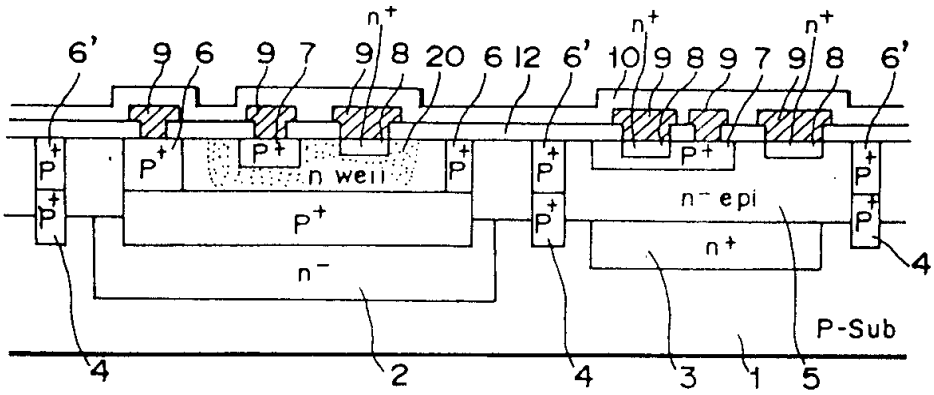
도면6


n+
6'
6
7
8
20
6
12
6'
8
7
8
P+
n well
n⁻ epi
n+
n⁻
P-Sub
6'
4
4
4
2
4
3
1
5

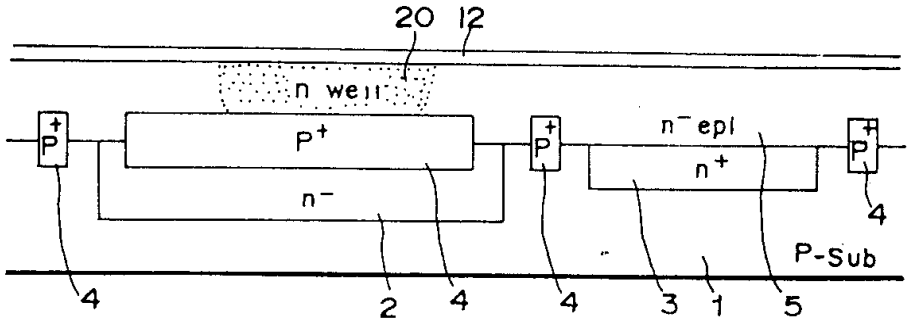
도면7


n+
6'
6
7
8
20
6
12
6'
8
7
8
P+
n well
n⁻ epi
n+
n⁻
P-Sub
4
4
2
4
3
1
5

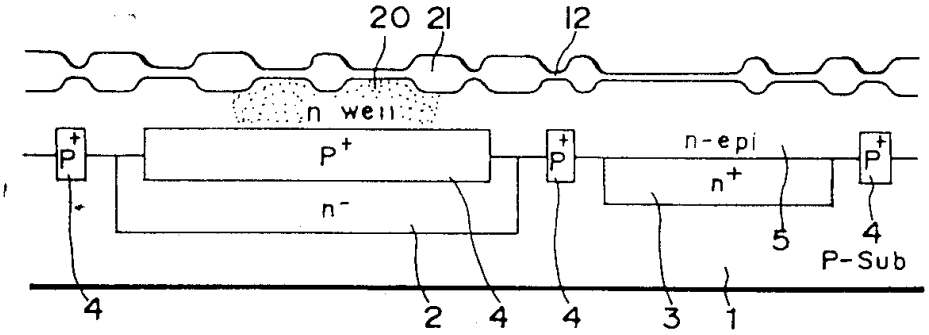
도면8



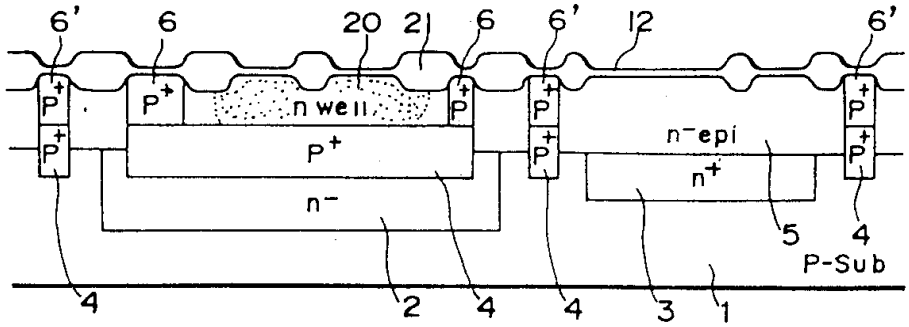
도면9



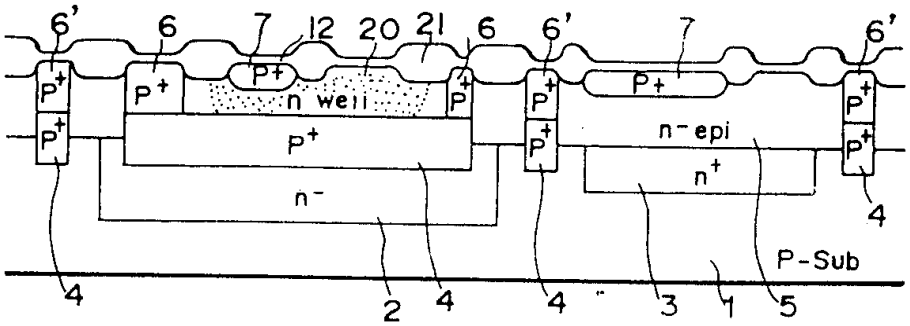
도면10



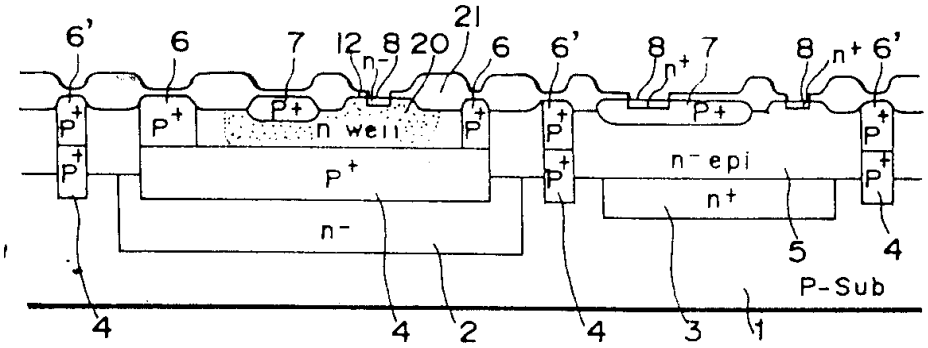
도면11



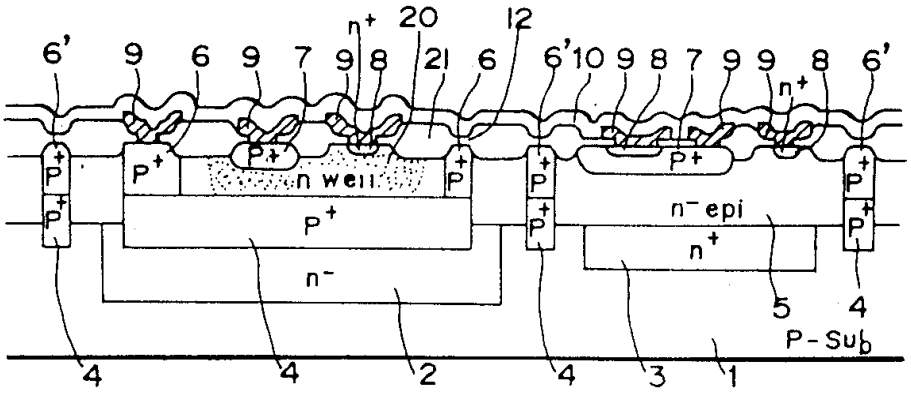
도면12



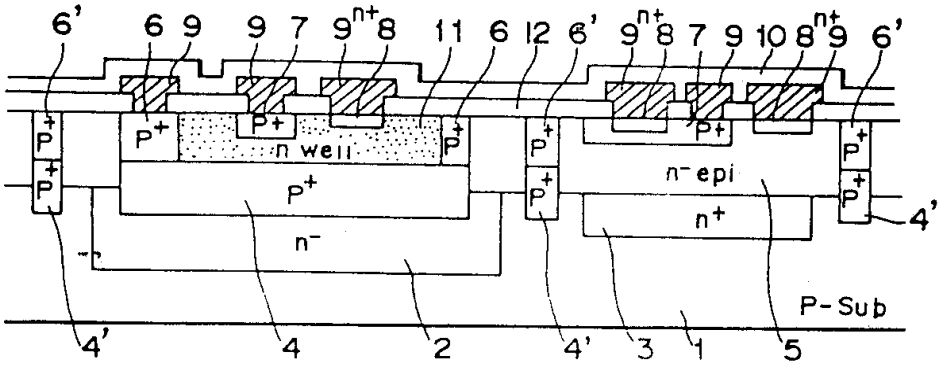
도면13



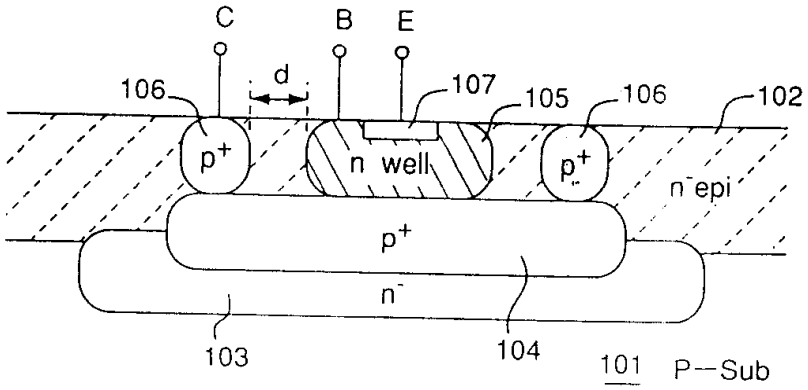
도면14



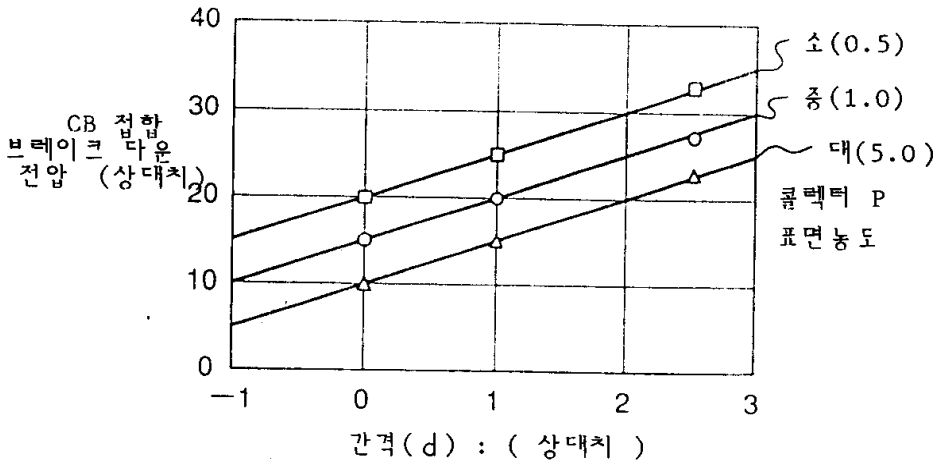
도면15



도면16



도면17



도면18

