

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2014-22708
(P2014-22708A)

(43) 公開日 平成26年2月3日(2014. 2. 3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 D	
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 5 B	
	H O 1 L 29/78 6 5 5 C	

審査請求 未請求 請求項の数 5 書面 (全 28 頁)

(21) 出願番号	特願2012-171456 (P2012-171456)	(71) 出願人	509260466
(22) 出願日	平成24年7月17日 (2012. 7. 17)		菅原 良孝
			茨城県日立市みかの原町2丁目19番10号
		(72) 発明者	菅原 良孝
			茨城県日立市みかの原町2丁目19番10号

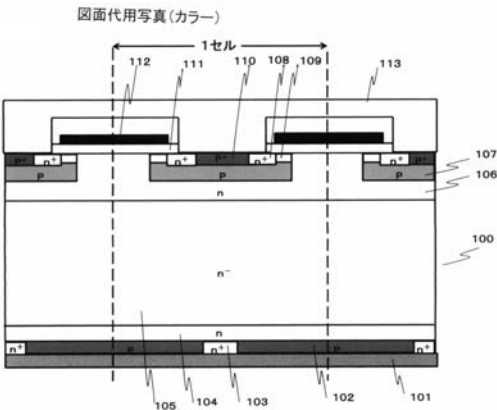
(54) 【発明の名称】 半導体装置とその動作方法

(57) 【要約】 (修正有)

【課題】逆導通 I G B T のターンオフ時のスナップバック現象を抑制するとともに、スナップバック現象による半導体本体の損傷も抑制し、信頼性が高い高耐圧の半導体装置とその動作方法を提供する。

【解決手段】逆導通 I G B T をワイドギャップ半導体で形成し、コレクタ短絡部 1 0 3 間の距離 W_p を、S i 半導体で形成した同耐圧・同一構成の逆導通 I G B T の短絡部間距離 $W_p(Si)$ を上限とし、 $A \times W_p(Si)$ を下限とする範囲に設定する。ここで、係数 A は、前記ワイドギャップ半導体の p n 接合のビルトイン電圧 $V_{bi}(WB)$ とワイドギャップ半導体装置の特性オン抵抗 $R_{onS}(WB)$ との積を、前記 S i 半導体装置の p n 接合のビルトイン電圧 $V_{bi}(Si)$ と S i 半導体装置の特性オン抵抗 $R_{onS}(Si)$ との積で割算した値とする。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体層と、

前記半導体層の裏面に設けられた第 2 導電型の第 1 半導体層と、前記第 2 導電型の第 1 半導体層を貫通する複数の第 1 導電型の第 1 半導体領域とを備え、

前記第 1 導電型の第 1 半導体層のおもて面には、選択的に設けられた複数の第 2 導電型の第 1 半導体領域と、

前記第 2 導電型の第 1 半導体領域の各々のおもて面に選択的に設けられた第 1 導電型の第 2 半導体領域と、

前記各々の第 2 導電型の第 1 半導体領域と前記第 1 導電型の第 2 半導体領域とに接する第 1 の主電極と、

前記各々の第 2 導電型の第 1 半導体領域の、前記各々の第 1 導電型の第 2 半導体領域と前記第 1 導電型の第 1 半導体層とに挟まれた部分の表面に、絶縁膜を介して設けられた制御電極と、

前記第 2 導電型の第 1 半導体層と前記複数の第 1 導電型の第 1 半導体領域との裏面に接する第 2 の主電極とを備えた半導体装置において、

各半導体層と各半導体領域がワイドギャップ半導体から構成されており

前記複数の第 1 導電型の第 1 半導体領域間の距離 $W_p(WB)$ を、

Si 半導体で構成した同耐圧でほぼ同一構成の前記半導体装置の前記距離 $W_p(Si)$ を上限とし、

前記ワイドギャップ半導体の pn 接合のビルトイン電圧 $V_{bi}(WB)$ とワイドギャップ半導体装置の特性オン抵抗 $R_{onS}(WB)$ との積を、前記 Si 半導体装置の pn 接合のビルトイン電圧 $V_{bi}(Si)$ と Si 半導体装置の特性オン抵抗 $R_{onS}(Si)$ との積で割算した値に前記短絡部間距離 $W_p(Si)$ を乗じた値を下限とする範囲より選択したことを特徴とする半導体装置。

【請求項 2】

請求項 1 の半導体装置において、

前記第 1 導電型の第 1 半導体層と、前記第 2 導電型の第 1 半導体層および前記複数の第 1 導電型の第 1 半導体領域（短絡部）との間に第 1 導電型の第 2 半導体層を設けたことを特徴とする半導体装置。

【請求項 3】

請求項 1 および 2 の半導体装置において、前記複数の第 1 導電型の第 1 半導体領域間の距離 $W_p(WB)$ のうち、少なくとも一つの距離 $W_p(WB)$ を前記範囲の上限以下で下限よりも十分大きな値とし、それ以外の $W_p(WB)$ を前記範囲の下限に近い値としたことを特徴とする半導体装置。

【請求項 4】

請求項 1 ~ 3 の半導体装置において、セル内に複数の前記第 1 導電型の第 1 半導体領域を有し、その幅 $W_n(WB)$ と前記第 1 導電型の第 1 半導体領域間の距離 $W_p(WB)$ との比率 $W_n(WB)/W_p(WB)$ を $0.2 \sim 5.0$ にしたことを特徴とする半導体装置。

【請求項 5】

少なくとも初動時には、前記第 1 の主電極と前記第 2 の主電極間に順方向電圧を印加し且つ前記制御電極にも低い電圧を印加して順方向バイアス状態し、前記複数の第 1 導電型の第 1 半導体領域を介して多数キャリアによる順方向電流を流し、この電流により半導体装置を $40^\circ C$ 以上に昇温させた後に、前記第 2 導電型の第 1 半導体層から前記第 1 導電型の第 1 半導体層に少数キャリアが注入されるように前記第 1 の主電極と前記第 2 の主電極間の電圧および前記制御電極の電圧、もしくははいづれか一方の電圧をより高い電圧に制御することを特徴とする請求項 1 ~ 4 の半導体装置の動作方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、半導体装置に係わり、特に高性能の逆導通 I G B T とその動作方法に関する。

【 背景技術 】

【 0 0 0 2 】

現在、高耐压の大電力および中電力用途ではもっぱらシリコン (S i) を材料とした S i - I G B T が主要半導体装置として種々の応用分野で多用されており、6 k V 級まで製品が供給されている。近年これらの S i - I G B T のターンオフ速度を短くし損失を低減するために様々な工夫がこらされている。その代表的な例として、図 5 に示す従来例 1 や図 6 に示す従来例 2 の S i 逆導通 I G B T が開発され、各々非特許文献 1 や 2 に開示されている。

10

【 0 0 0 3 】

従来例 1 の短絡コレクタ S i - I G B T では n⁻ドリフト層が p コレクタ層に設けた n⁺短絡部によりコレクタ電極に短絡されており、ターンオフ時に n⁻ドリフト層内に残存するキャリアをこの n⁺短絡部を介して排除することによりターンオフ時間を短くし損失の低減を図っている。

従来例 2 の S i 逆導通 I G B T は、逆導通 S i - I G B T 領域とパイロット I G B T 領域とから構成されている。S i 逆導通 I G B T 領域には従来例 1 と同様に n ドリフト層が p コレクタ層に設けた n⁺短絡部によりコレクタ電極に短絡されており、ターンオフ時に n ドリフト層内に残存するキャリアをこの n⁺短絡部を介して排除することによりターンオフ時間を短くし損失の低減を図っている。また、パイロット I G B T 領域のコレクタの幅は逆導通 I G B T 領域のコレクタの幅よりも大幅に大きくし、パイロット I G B T 領域が逆導通 I G B T 領域に先駆けてオンするようにしている。

20

なお、これらの開示されている I G B T は n ドリフト層が n⁺短絡部によりコレクタ電極に短絡されているので、逆電圧に対する阻止能力がないために、近年逆導通 I G B T と総称されている。それ故、以下ではいずれも逆導通 I G B T と呼ぶ。

【 先行技術文献 】

【 特許文献 】

【 非特許文献 】

30

【 0 0 0 4 】

【 非特許文献 1 】 ハジメ・アキヤマ (H a j i m e A K I Y A M A) 、他 5 名、イヘクト オブ ショーテドコレクタ オン キャラクタリスティックス オブ I G B T S (E F E C T S O F S H O R T E D C O L L E C T O R O N C H A R A C T E R I S T I C S O F I G B T S) 、プロシーディングス オブ ザ セカンド インターナショナル シンポジウム オン パワー セミコンダクタ デバイスズ アンド I C s (P r o c e e d i n g s o f T h e 2 n d I n t e r n a t i o n a l S y m p o s i u m o n P o w e r S e m i c o n d u c t o r D e v i c e s & I C s) 、1990 年 4 月、p . 131 - 136

【 非特許文献 2 】 リウタウラス ストラスタ (L i t a u r a s S t o r a s t a) 、他 2 名、ア コンパリソン オブ チャージ ダイナミックス イン ザ レヴァースーコンダクテング R C I G B T アンド バイモード インシュレイテド ゲイト トランジスタ B i G T) (A C o m p a r i s o n o f c h a r g e d y n a m i c s i n t h e R e v e r s e - C o n d u c t i n g R C I G B T a n d B i - m o d e I n s u l a t e d G a t e T r a n s i s t o r B i G T) 、プロシーディングス オブ ザ トエンティセカンド インターナショナル シンポジウム オン パワー セミコンダクタ デバイスズ アンド I C s (P r o c e e d i n g s o f T h e 2 2 n d I n t e r n a t i o n a l S y m p o s i u m o n P o w e r S e m i c o n d u c t o r D e v i c e s & I C s) 、2010 年 6 月、p . 391 - 394

40

50

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、開示されている従来例1および2のSi逆導通IGBTの出力特性、すなわちコレクターエミッタ間電圧（以下、 V_{ce} と記す）とコレクターエミッタ間電流（以下、 I_{ce} と記す）の間の $I_{ce}-V_{ce}$ 特性には、オン直前のコレクターエミッタ間電圧がオン直後のコレクターエミッタ間電圧（以下、 V_{on0} と記す）よりも大きいというスナップバック現象が発生する。オン直前のコレクターエミッタ間電圧を、従来例1では $knee\ point\ voltage$ と呼び、従来例2ではスナップバック前ピーク電圧と呼んでいるが、以下ではスナップバック電圧と呼び、 V_{sb} と記述する。また、この V_{sb} におけるコレクターエミッタ間電流をスナップバック電流と呼び I_{sb} と記述する。

10

【0006】

ところで、これらの逆導通IGBTはオン直前から直後に推移するまでの時間すなわちターンオン時間が短いので、スナップバック現象が存在するとターンオン時に急峻な電圧変化（以下 dV/dt と表記）や急峻な電流変化（以下 dI/dt と表記）を生じる。この結果、回路内に存在する寄生容量により急峻な跳ね上がり電圧（ $C \cdot dV/dt$ ）が、また寄生リアクトルにより急峻な跳ね上がり電流（ $L \cdot dI/dt$ ）が生じ、これに起因して大きな過度現象が誘発される。このため、この逆導通IGBTを用いた回路に大きな擾乱を招いてしまい誤動作を起したり、場合によっては素子や回路の破壊に至る。これは極めて深刻な第1の課題である。

20

【0007】

また、従来例2のSi逆導通IGBTでは、多数の逆導通IGBTセルから構成される逆導通IGBT領域に隣接してパイロットIGBT領域を設けている。パイロットIGBT領域のpコレクタ幅は逆導通IGBT領域のIGBTセルのpコレクタ幅よりも大幅に大きくすることによりpコレクタ上のバッファ層の横方向抵抗を大きくしており、従ってまず小さい I_{ce} でパイロットIGBT領域をオンさせるようにしている。これにより、パイロットIGBT領域のスナップバック現象を抑制している。この結果、まずスナップバック現象が抑制されたパイロットIGBT領域が小さな I_{ce} でオンしてより大きなオン電流が流れ、このオン電流が拡がって最隣接の逆導通IGBTセルに流れ込む。最隣接の逆導通IGBTセルのpコレクタは幅が小さいためpコレクタ上のバッファ層の横方向抵抗が小さいが、パイロットIGBTのオン電流の一部が大きな拡がり電流となって流れ込むために、最隣接の逆導通IGBTセルのpコレクタ接合が容易にビルトイン電圧に達してオンする。この結果、オン電流が更に増大し、この最近接の逆導通IGBTセルに隣接する逆導通IGBTセルが同様にオンする。このような動作を繰り返して、パイロットIGBT領域に近接する逆導通IGBTセルから順次オンしてゆき、逆導通Si-IGBT全体がオンするに至る。

30

【0008】

しかし、この引例2の場合は全体のIGBTチップ面積に占めるパイロットIGBT領域の面積がかなり大きくなってしまふ。例えば、引例2の場合、データから読み取ると、逆導通IGBTセルのpコレクタ幅が $180\mu m$ であるのに対し、パイロットIGBTのpコレクタ幅を約4倍以上の $720\mu m$ 以上により、 V_{sb} をビルトイン電圧である $0.7V$ 以下にしている。この結果、スナップバック現象は解消されるが逆導通IGBT領域の面積が少なくなるので、ターンオフ時に残存するキャリアを排除するという本来の逆導通IGBTの機能が大幅に損ねられてしまふ。これは歩留まりなどの経済性の点から素子のチップサイズが通常 $12mm \times 12mm$ 以下程度に設定されている現状では大きな問題であり、解決すべき第2の課題である。

40

【0009】

高耐圧の逆導通IGBTの場合は、耐圧が高くなるほどチップ表面の電界を緩和するのにより大きな占有面積が必要となるため活性面積がより少なくなるので、この第2の課題はより深刻になる。

50

【 0 0 1 0 】

またスナップバック現象に基づく回路動作の擾乱を介して逆導通 I G B T が誤動作や部分破壊を起こすといった間接的な半導体装置の信頼性の問題は、上記のように明らかにされている。しかし、スナップバック現象により直接的に半導体本体に及ぼされる損傷に関連する信頼性の問題は明らかにされておらず、引例でも言及されていない。これは重要な第 3 の課題である。

【 0 0 1 1 】

本発明は、前記の従来技術の課題を解消し、 V_{sb} や I_{sb} を小さくできスナップバック現象を抑制できる高性能逆導通 I G B T を提供することを目的にする。また、この発明は、パイロット I G B T 領域を設けた逆導通 I G B T において、パイロット I G B T 領域の専有面積を小さくでき、且つターンオフ時の残存キャリアの排除機能があまり抑制されない高性能逆導通 I G B T を提供することを目的にする。更に、この発明はスナップバック現象が直接的な原因となって生じる半導体本体の劣化に起因して信頼性が損ねられるのを抑制し、高い信頼性を達成できる高性能逆導通 I G B T と逆導通 I G B T の動作方法を提供することを目的にする。

10

【課題を解決するための手段】

以下では、理解を容易にするために、各半導体層や半導体領域が機能的にどの層に相当するかを括弧内に付記して説明する。

【 0 0 1 2 】

上記した課題を解決し本発明の目的を達成するため、この発明にかかる半導体装置は、第 1 導電型の第 1 半導体層（ドリフト層）と、

20

前記半導体層（ドリフト層）の裏面に設けられた第 2 導電型の第 1 半導体層（コレクタ層）と、前記第 2 導電型の第 1 半導体層（コレクタ層）を貫通する複数の第 1 導電型の第 1 半導体領域（短絡部）とを備え、

前記第 1 導電型の第 1 半導体層（ドリフト層）のおもて面には、選択的に設けられた複数の第 2 導電型の第 1 半導体領域（p ボディ層）と、

前記第 2 導電型の第 1 半導体領域（p ボディ層）の各々のおもて面に選択的に設けられた第 1 導電型の第 2 半導体領域（エミッタ層）と、

前記各々の第 2 導電型の第 1 半導体領域（p ボディ層）と前記第 1 導電型の第 2 半導体領域（エミッタ層）とに接する第 1 の主電極（エミッタ電極）と、

30

前記各々の第 2 導電型の第 1 半導体領域（p ボディ層）の、前記各々の第 1 導電型の第 2 半導体領域（エミッタ層）と前記第 1 導電型の第 1 半導体層（ドリフト層）とに挟まれた部分の表面に、絶縁膜を介して設けられた制御電極と、

前記第 2 導電型の第 1 半導体層（コレクタ層）と前記複数の第 1 導電型の第 1 半導体領域（短絡部）との裏面に接する第 2 の主電極（コレクタ電極）とを備えた半導体装置において、

各半導体層と各半導体領域がワイドギャップ半導体から構成されており

前記複数の第 1 導電型の第 1 半導体領域（短絡部）間の距離 W_p (WB) を、 S_i 半導体で構成した同耐圧でほぼ同一構成の前記半導体装置の前記距離 W_p (S_i) を上限とし、

40

前記ワイドギャップ半導体の p n 接合のビルトイン電圧 V_{bi} (WB) とワイドギャップ半導体装置の特性オン抵抗 R_{onS} (WB) との積を、前記 S_i 半導体装置の p n 接合のビルトイン電圧 V_{bi} (S_i) と S_i 半導体装置の特性オン抵抗 R_{onS} (S_i) との積で割算した値に前記短絡部間距離 W_p (S_i) を乗じた値を下限とする範囲より選択したことを特徴とする。

【 0 0 1 3 】

また、この発明にかかる半導体装置は、上述した発明において、前記第 1 導電型の第 1 半導体層（ドリフト層）と、前記第 2 導電型の第 1 半導体層（コレクタ層）および前記複数の第 1 導電型の第 1 半導体領域（短絡部）との間に第 1 導電型の第 2 半導体層（バッファ層）を設けたことを特徴とする。

50

【 0 0 1 4 】

また、この発明にかかる半導体装置は、上述した発明において、

前記複数の第 1 導電型の第 1 半導体領域（短絡部）間の距離 $W_p(WB)$ のうち、少なくとも一つの距離 $W_p(WB)$ を前記範囲の上限以下で下限よりも十分大きな値とし、それ以外の $W_p(WB)$ を前記範囲の下限に近い値としたことを特徴とする。

【 0 0 1 5 】

また、この発明にかかる半導体装置は、上述した発明において、

セル内に 1 個以上の前記第 1 導電型の第 1 半導体領域（短絡部）を有し、その幅 $W_n(WB)$ と前記第 1 導電型の第 1 半導体領域（短絡部）間の距離 $W_p(WB)$ との比率 $W_n(WB) / W_p(WB)$ を $0.3 \sim 5.0$ にしたことを特徴とする。

10

【 0 0 1 6 】

また、この発明にかかる半導体装置の動作方法は、上述した発明において

前記第 1 の主電極（エミッタ電極）と前記第 2 の主電極（コレクタ電極）間に順方向電圧を印加し且つ前記制御電極にも低い電圧を印加して順方向バイアス状態し、前記複数の第 1 導電型の第 1 半導体領域（短絡部）を介して多数キャリアによる順方向電流を流し、この電流により半導体装置を 40° 以上に昇温させた後に、前記第 2 導電型の第 1 半導体層（コレクタ層）から前記第 1 導電型の第 1 半導体層（ドリフト層）に少数キャリアが注入されるように前記第 1 の主電極（エミッタ電極）と前記第 2 の主電極（コレクタ電極）間の電圧および前記制御電極の電圧、もしくははいづれか一方の電圧をより高い電圧に制御することを特徴とする。

20

【 0 0 1 7 】

この発明によれば、各半導体層と各半導体領域をワイドギャップ半導体で構成し、前記短絡部間の距離 $W_p(WB)$ を（ 1 ）式に示すように、その上限を S_i 半導体で構成した同耐圧で同一構成の半導体装置の短絡部間距離 $W_p(S_i)$ とし、その下限を新しく発見した下限、すなわち $A \times W_p(S_i)$ とするようにし、これらの上限と下限の間の値になるように設定する。

$$W_p(S_i) > W_p(WB) \geq A W_p(S_i) \quad (1)$$

【 0 0 1 8 】

ここで新しく発見した係数 A は（ 2 ）式に示すが、前記ワイドギャップ半導体の $p-n$ 接合のビルトイン電圧 $V_{bi}(WB)$ とワイドギャップ半導体装置の特性オン抵抗 $R_{onS}(WB)$ との積を、前記 S_i 半導体装置の $p-n$ 接合のビルトイン電圧と S_i 半導体装置の特性オン抵抗との積で割算したものである。

30

$$A = \frac{V_{bi}(WB) \cdot R_{onS}(WB)}{V_{bi}(S_i) \cdot R_{onS}(S_i)} \quad (2)$$

この係数 A は 1 よりも大幅に小さい値である。

【 0 0 1 9 】

なお、ここで「 S_i 半導体で構成した同耐圧で同一構成の半導体装置」とは、「ワイドギャップ半導体逆導通 IGBT と断面形状は同じであり且つ n^+ 短絡部の不純物濃度と幅も同じであるが、同耐圧を実現するために S_i 材料特有の物性を考慮して、必要な各半導体層や各半導体領域の不純物濃度や厚さおよび幅を採用している S_i 逆導通 IGBT 構造の半導体装置」を意味する。

40

【 0 0 2 0 】

このように逆導通ワイドギャップ半導体 IGBT の短絡部間の距離 $W_p(WB)$ を設定することにより、引例と同耐圧で同一構成の S_i 逆導通 IGBT に比べて W_p を小さくしているにもかかわらずスナッチバック現象を抑制でき、且つ高速化とスイッチング損失の大幅低減による高性能化も達成でき、第 1 の課題を解決できるものである。

50

【 0 0 2 1 】

以下に、その理由を新しく発見した係数 A の導出とあわせて、図 1 を参照しながら説明する。

図 1 は n 型 Si 逆導通 IGBT の断面図の一部を示す。以下のように構成されている。逆導通 IGBT のコレクタ電極 1 に接する裏面には、p コレクタ領域 2 と n + 短絡部 3 とが交互に設けられ、これらの領域 2 と 3 のおもて面には、n (第 2 導電型) バッファ層 4 が設けられている。n バッファ層 4 の表面には、n⁻ドリフト層 (第 1 半導体層) 5 が、またその表面には、n 型半導体層 (電流密度増大層: CEL、第 2 半導体層) 6 を設けている。n CEL 6 の表面層には、p ボディ領域 (第 1 半導体領域) 7 が選択的に複数設けられ、その表面層には、n⁺エミッタ領域 (第 2 半導体領域) 8 および p⁻低濃度チャネル領域 9 や p + コンタクト領域 10 が選択的に設けられている。p⁻低濃度チャネル領域 9 の表面には、ゲート絶縁膜 11 を介してゲート電極 (制御電極) 12 が設けられている。エミッタ電極 (入力電極) 13 は、n⁺エミッタ領域 8 に接するとともに p⁺コンタクト層 10 を介して p ボディ領域 7 にも接する。また、エミッタ電極 13 はゲート電極 12 から絶縁されている。

【 0 0 2 2 】

まず、この逆導通 IGBT を用いてスナップバック現象の発生メカニズムを説明する。逆導通 Si-IGBT の MOS ゲート電極 12 にしきい値以上のゲート電圧を印加しコレクタ電極 1 とエミッタ電極 13 の間の順方向電圧 V_{ce} を印加し上昇してゆくと、まず MOSFET 部が動作し、エミッタ電極 13 から n⁺エミッタ領域 8、p⁻低濃度チャネル領域 9、n CEL 層 6、n⁻ドリフト層 5、n バッファ層 4、n⁺短絡部 3 を順次介してコレクタ電極に電子電流が流れる。図中にはこの電子電流の流路を図式的に a、b、c の点線で示してある。この電流の一部 c はコレクタ接合上のバッファ層 4 を横方向に流れ n⁺短絡部 3 を介してコレクタ電極 1 に流れるが、この横方向の電子電流により p コレクタ接合中央部 14 とコレクタ電極 1 の間に電位差を生じ、この電位差がコレクタ接合のビルトイン電圧 V_{bi} (Si の場合は約 0.7 V) を超えると p コレクタ 2 から n バッファ層 4 ついで n ドリフト層 5 に正孔の注入が生じ実線の矢印で示した正孔電流 d が流れ、IGBT 部がオンする。この際、p コレクタ層 2 の幅が小さい場合は横方向抵抗が小さいので、横方向電流による電位差をビルトイン電圧 V_{bi} 以上にするためには大きな電流が必要となり、この結果 n⁻ドリフト層での電圧降下と MOSFET 部での電圧降下が大きくなり V_{sb} が大きくなってしまふ。しかし、一旦 IGBT 部がオンすると p コレクタ 2 から注入された正孔により n⁻ドリフト層 5 に伝導度変調が生じ n⁻ドリフト層の内部抵抗が激減するので、オン後の V_{ce} は大幅に低くなる。このためスナップバック現象が生じてしまうのである。

【 0 0 2 3 】

次に新しく発見した係数 A をどのようにして導き出したのか説明する。

まず、上記のスナップバック現象の発生のメカニズムの考察から、Si 逆導通 IGBT のコレクタから正孔の注入が生じる時の V_{bi} (Si) は下式 2 項目のように表せ、4 項目のように変換できる。

$$V_{bi}(Si) = \frac{1}{2} I_{sb}(Si) R_b(Si) = \frac{1}{4} j_{sb}(Si) \cdot \rho_b(Si) \cdot W_p(Si)$$

ここで、 $R_b(Si)$ と $\rho_b(Si)$ は各々 Si 逆導通 IGBT のバッファ層の抵抗と抵抗率を、 $j_{sb}(Si)$ はスナップバック電流密度を示す。

これより $W_p(Si)$ は近似的に (2) 式で示すことができる。

$$\therefore W_p(Si) = \frac{4 V_{bi}(Si)}{I_{sb}(Si) \rho_b(Si)} \quad (3)$$

同様に、同じ構成のワイドギャップ半導体逆導通 IGBT においてコレクタからの正孔の注入が生じる条件は

10

20

30

40

50

$$W_p(WB) \geq \frac{4 V_{bi}(WB)}{J_{sb}(WB) \rho_b(WB)} \quad (4)$$

ここで、 $\rho_b(WB)$ はワイドギャップ半導体逆導通 IGBT のバッファ層の抵抗率を、 $J_{sb}(WB)$ はスナップバック電流密度を示す。

【0024】

ところで、高耐圧 IGBT で定常オン損失とターンオフ損失をバランスよく低減し適正化するには、コレクタからの正孔の適正な注入を行う必要がある。この適正な正孔注入を行うための n バッファ層 4 の ρ_b は半導体材料にあまり依存しないでほぼ一義的に定めることができるので、ほぼ $\rho_b(Si) = \rho_b(WB)$ となる。従って、(3) と (4) 式から (5) 式を導くことができる。

10

$$W_p(WB) \geq \frac{V_{bi}(WB) \cdot J_{sb}(Si)}{V_{bi}(Si) \cdot J_{sb}(WB)} W_p(Si) \quad (5)$$

【0025】

ところで、高耐圧 IGBT の場合はオンする前はドレイン層が伝導度変調されていないので、MOSFET 部のチャネル抵抗での電圧ドロップ V_{ch} やコレクタのビルトイン電圧 V_{bi} に比べてドレイン層の電圧ドロップ V_{drift} がはるかに大きい。従って、

20

$$V_{ce} = V_{ch} + V_{drift} + V_{bi} \approx I_{ce} R_{on,drift}$$

逆導通 IGBT のオン直前の V_{ce} が V_{sb} であり、 I_{ce} が I_{sb} であるので、

$$V_{sb} \approx I_{sb} R_{on,drift} = J_{sb} R_{on} S_{drift} \quad (6)$$

(5) 式に (6) 式より求めた J_{sb} を代入すると、

$$W_p(WB) \geq \frac{V_{bi}(WB) \cdot R_{on}(WB) \cdot V_{sb}(Si)}{V_{bi}(Si) \cdot R_{on}(Si) \cdot V_{sb}(WB)} W_p(Si) \quad (7)$$

30

従って、同耐圧のワイドギャップ半導体逆導通 IGBT と Si 逆導通 IGBT とで V_{sb} を同じにするための短絡部間距離 $W_p(WB)$ と $W_p(Si)$ との関係は、 $V_{sb}(WB) = V_{sb}(Si)$ とすることにより (7) 式となる。

$$W_p(WB) \geq \frac{V_{bi}(WB) \cdot R_{on}(WB)}{V_{bi}(Si) \cdot R_{on}(Si)} W_p(Si) \quad (7)$$

このようにして、(2) 式の係数 A を導くことができる。

【0026】

40

次に $W_p(WB)$ を (1) 式に示すように設定することにより第 1 の課題を解決できる理由を説明する。

(7) 式より、Si 逆導通 IGBT に比べてワイドギャップ半導体逆導通 IGBT は短絡部間距離 $W_p(WB)$ を大幅に低減できることが判る。例えば、ワイドギャップ半導体の一種である炭化ケイ素（以下、SiC と記す）半導体で構成した SiC 逆導通 IGBT の場合は、 $R_{on}(SiC)$ が $R_{on}(Si)$ の約 $1/1000$ 、 $V_{bi}(SiC)$ が $V_{bi}(Si)$ の約 4 倍なので、(7) 式より $W_p(SiC)$ が $W_p(Si)$ の約 $1/250$ となる。従って、 $W_p(SiC)$ を $W_p(Si)$ の約 $1/250$ まで大幅に低減しても、ほぼ同じ V_{sb} にできる。典型的な高耐圧 Si 逆導通 IGBT のケースについて試算してみると、 $W_p(Si)$ は (3) 式から $175 \mu m$ と算出でき、従って SiC 逆導通

50

I G B T の V_{sb} を同耐圧の S i 逆導通 I G B T よりも抑制できる範囲は (1) 式から、次のようになる。

$$175 \mu m > W_p (S i C) > 0.7 \mu m$$

この結果、同耐圧で同じチップサイズの場合、S i C 逆導通 I G B T の V_{sb} を S i 逆導通 I G B T の V_{sb} と同じにする時、 $W_p (S i C)$ を $175 \mu m$ まで大幅に増大できる余地が生じることになる。従って、 $W_p (S i C)$ を $W_p (S i)$ 以上にならない範囲で大幅に増大して I_{sb} を小さくすることにより V_{sb} を大幅に小さくできる。これはスナップバック現象を大幅に抑制できることを意味するものである。

【 0 0 2 7 】

また、同耐圧で同じチップサイズの場合、 $W_p (W B)$ を上記の範囲内で $W_p (S i)$ よりも小さく設定することにより上記のようにスナップバック現象を抑制する一方、その小さくした分の一部で短絡領域のみの面積を増やしたり、セル数を増やしたりすることができ、いずれの場合も n^+ 短絡部のトータル面積を大幅に増加できる。この結果、逆導通 I G B T のターンオフ時の残存キャリアの排除機能を大幅に増大できるので、ターンオフ時間を低減させ逆導通 I G B T を高速化することができるとともにスイッチング損失も低減でき、ワイドギャップ半導体逆導通 I G B T をより高性能化できる。

【 0 0 2 8 】

このように、スナップバック現象を大幅に抑制でき且つ逆導通 I G B T をより高性能化できるので、第 1 の課題を解決できる。

なお当然ながら、ワイドギャップ半導体で構成していることに起因して同耐圧のままでも損失を低減できるという公知の効果も享受できるものである。

【 0 0 2 9 】

またこの発明によれば、上記構成により、前記複数の第 1 導電型の第 1 半導体領域 (短絡部) 間の距離 W_p のうち、少なくとも一つの距離 W_p を上限に近い値、すなわち前記範囲の上限以下で下限の数倍以上のかなり大きな値とし、それ以外の W_p を前記範囲の下限に近い値としている。この短絡部間距離が上限に近い部分はパイロット I G B T 部として十分機能させることができる。従って、S i 逆導通 I G B T に比べてワイドギャップ半導体逆導通 I G B T はパイロット I G B T 部の専有面積をはるかに小さく抑えることができる。このため、同耐圧で同じチップサイズの場合、パイロット I G B T 部以外の逆導通 I G B T 領域の面積を増やすことができ、その結果パイロット I G B T 部を導入してスナップバック現象を抑制したにもかかわらず、ターンオフ時に残存するキャリアを排除するという逆導通 I G B T 本来の機能の低下を防止でき、逆に増大も可能であり第 2 の課題を解決できる。これは歩留まりなどの経済性の点からワイドギャップ半導体素子のチップサイズが $10 mm \times 10 mm$ 以下、一般的には $5 mm \times 5 mm$ 程度以下に制約されている現状では、逆導通 I G B T の本来の機能を発揮させる上で極めて効果が大きいものである。

【 0 0 3 0 】

当然ながら、同構造の S i 逆導通 I G B T のパイロット I G B T 部の W_p を超えない範囲内で、本発明になる逆導通 I G B T のパイロット I G B T 部の W_p を大きくした場合は更にスナップバック現象を抑制できる。

【 0 0 3 1 】

また、この発明によれば、第 1 導電型の第 1 半導体領域 (短絡部) の幅 W_n と前記第 1 導電型の第 1 半導体領域 (短絡部) 間の距離 W_p の比率を特定の範囲に限定にしておき、これによりスナップバック現象が直接的な原因となって生じる半導体本体の劣化を抑制し、高性能逆導通 I G B T の高い信頼性を実現でき、第 3 の課題を達成できる。

【 0 0 3 2 】

一般に、ワイドギャップ半導体材料には S i よりも各種の欠陥が多量に発生する。それらの欠陥のうちの積層欠陥は、注入された少数キャリアが結晶の格子点に衝突すると衝突エネルギーで格子点の原子が動かされるので積層欠陥が拡大してしまうというワイドギャップ半導体特有の性質がある。この積層欠陥は少数キャリアをトラップして再結合させ通電にあまり寄与することなく消滅させてしまうので、積層欠陥の拡大は I G B T 半導体装

10

20

30

40

50

置の内部抵抗の増大を招く。従って、IGBTのようなバイポーラタイプのワイドギャップ半導体装置の場合は、装置を稼働し通電している間に注入される少数キャリアにより積層欠陥が拡大し内部抵抗が増大してゆくので、オン電圧増大すなわちオン電圧劣化をもたらす信頼性が大きく損ねられてしまう。しかし、このワイドギャップ半導体の積層欠陥が少数キャリアをトラップして再結合させ消滅させてしまうという現象は、温度を約40以上に上げると徐々に抑制され、200以上ではほぼ完全に消失することが発明者らにより見出されており、Silicon Carbide and Related Materials 2007の論文集(K. Nakayama他7名、Behavior of Stacking Faults in TREDREC Phenomena for 4.5 kV SiCGT、Silicon Carbide and Related Materials 2007、2007年10月、p. 1175 - 1178)に開示されている。

10

以下では、この種のオン電圧増大を、オン電流増大に伴うオン電圧の増大と区別するためにオン電圧劣化と記述する。

【0033】

ワイドギャップ半導体逆導通IGBTにスナップバック現象が存在すると、オンする直前の V_{sb} ではコレクタから少数キャリアの注入を生じるのに必要な電圧降下すなわち V_{bi} を実現するために比較的大きな I_{sb} を流す必要がある。オンする直前の V_{sb} まではもっぱら多数キャリアによる I_{sb} が流れており積層欠陥を拡大しないが、一旦オンするとこの I_{sb} に対応する多量の少数キャリア電流がコレクタから一挙にバッファ層やドリフト層に流れ込む。これによりワイドギャップ半導体逆導通IGBTに存在する積層欠陥が一挙に拡大してしまい、オン電圧劣化の急速な進展を招き、半導体本体が劣化し、ついには損傷や破壊に至ってしまう。このスナップバック現象が存在するワイドギャップ半導体逆導通IGBTがオンする際のオン電圧の急速な劣化を、以後急速オン電圧劣化と記載する。

20

【0034】

しかし、この発明によれば、 n^+ 短絡部の幅 W_n を増大し n^+ 短絡部のトータル面積を増大することにより、上記のスナップバック現象が直接的な原因となって生じる半導体本体が劣化するという急速オン電圧劣化を抑制でき高い信頼性を実現できる。

すなわち、スナップバック現象が存在する逆導通IGBTがオンする前に n^+ 短絡部を介して I_{sb} が流れるが、この電流は多数キャリア電流であり積層欠陥の拡大を招かない。そこで、 n^+ 短絡部の幅 W_n を増大し n^+ 短絡部の面積を増大することにより積極的に多数キャリアで構成される I_{sb} の増大を図り、これにより逆導通IGBTの素子温度を、積層欠陥が少数キャリアをトラップして再結合させ消滅させてしまう現象が抑制される温度まで、逆導通IGBTがオンする前に上昇させ、オン時点での急速オン電圧劣化を抑制することができる。

30

【0035】

同耐圧で同じチップサイズの場合、セルの第1導電型の第1半導体領域(n^+ 短絡部)の幅 W_n の増大による n^+ 短絡部のトータル面積を増大は、セルの前記第1導電型の第1半導体領域(n^+ 短絡部)間の距離 W_p の減小ひいてはコレクタ面積の減少を招く。これは前者の場合はスナップバック現象の増大を招き後者の場合はオン後のオン電圧の増大即ち電力損失の増大を招く。すなわち、セルの幅を一定にした場合、 W_n / W_p の比率が小さいとオン電圧劣化を抑制できるレベルまでの温度上昇が容易でなく、大きすぎるとスナップバック現象の増大やオン電圧の増大による電力損失の増大を招く。従って、 W_n / W_p の比率を適正な範囲に設定する必要がある。一方、高耐圧素子ほどドリフト領域の不純物濃度は低く且つその厚さは厚く設定されるので、ドリフト領域の内部抵抗が大きく素子温度をより少ない I_{sb} で上昇できる。従って、 W_n / W_p の適正範囲は耐圧によっても異なる。発明者は種々の検討の結果、3 kV以上の高耐圧逆導通IGBTにおいては、 W_n / W_p の適正範囲はSiC半導体の場合、0.2 ~ 5.0の範囲にするのが良く、より好ましくは0.3 ~ 3.0の範囲にするのが良いことを見出した。

40

50

これにより第3の課題を解決し、高性能逆導通 I G B T の高い信頼性を実現できる。

【0036】

また、この発明の動作方法によれば、ワイドギャップ半導体逆導通 I G B T の急速オン電圧劣化に加えて初動時のオン電圧劣化も抑制でき高い信頼性を実現できる。

【0037】

ワイドギャップ半導体逆導通 I G B T には上記のように積層欠陥に起因し通常のオン電圧劣化が発生するとともに、スナップバック現象に起因し急速オン電圧劣化が発生する。

従って、この発明の動作方法により、少なくともワイドギャップ半導体逆導通 I G B T がオンする前に所定の低いゲート電圧で M O S F E T 部をオンさせて前記短絡部を介して多数キャリアによる順方向電流を流し、この積層欠陥の増大を招かない多数キャリア電流により半導体装置を所定温度まで昇温させ、その後ゲート電圧を高くしてコレクタ層から少数キャリアを注入させ、逆導通 I G B T をオンさせる。

これにより、すでに存在する積層欠陥の拡大のみならず、スナップバック現象によりコレクタ層からバッファ層やドリフト層に大量の少数キャリアが短時間に急激に注入されることによる積層欠陥の急速拡大も、温度上昇により積層欠陥の少数キャリアトラップ現象を抑制できるので通常のオン電圧劣化のみならず急速オン電圧劣化も抑制できる。

ワイドギャップ半導体逆導通 I G B T は一旦オンすると自己発熱で温度が上昇してゆくの、通常のオン電圧劣化や急速オン電圧劣化の影響は抑制される。しかし、初動時にはワイドギャップ半導体逆導通 I G B T の温度は周囲温度と同程度に低くなっている。この状態でオンさせると既に存在する積層欠陥が更に拡大しオン電圧劣化を促進し信頼性が損なわれる。

従って、少なくともワイドギャップ半導体逆導通 I G B T の初動時には、この発明の動作方法により、逆導通 I G B T をオンさせる前に積層欠陥の少数キャリアトラップ現象を抑制できる所定温度まで昇温させものである。これにより、初動時にもオン電圧の劣化の影響を大幅に抑制でき信頼性を向上できる。

現象は大幅に抑制されるためオン電圧の増大のような劣化を大幅に抑制でき信頼性を向上できる。

【0038】

逆導通 I G B T の積層欠陥の量や大きさに依存して適切な昇温温度が異なるが、少なくとも初動時には 40 以上に昇温するのが好ましく、より好ましくは 50 以上である。また、動作開始後に 40 以上を維持できない場合でも、動作開始後の各オン時に本発明の動作方法を適用すると初動時と同様に甚大なオン電圧劣化の悪影響を抑制できる。

このように、この動作方法により第3の課題をより効果的に解決し、高性能逆導通 I G B T の高い信頼性を実現できる。

【発明の効果】

【0039】

以上のように、本発明により、逆導通 I G B T の短絡部の面積をあまり狭めることなくスナップバック現象を抑制でき、ターンオフ時の残存キャリアの排除もより効果的にできる。この結果、スナップバック現象に起因する回路動作の擾乱や破壊を低減できるとともに、ターンオフ時間をより短くしてスイッチング損失をより低減できる。また、より小さいチップ面積にしてもスナップバック現象を抑制ができるので低コスト化が図れる。また、オン電圧劣化の影響を抑制し信頼性の向上が図れる。

【図面の簡単な説明】

【0040】

【図1】発見した係数 A の導出法説明図

【図2】実施の形態1にかかる半導体装置の模式的断面図

【図3】実施の形態2にかかる半導体装置の模式的断面図

【図4】実施の形態3にかかる半導体装置の模式的断面図

【図5】実施の形態4にかかる半導体装置の模式的断面図

【図6】実施の形態5にかかる半導体装置の模式的断面図

【図 7】従来例 1 の高耐圧 Si 逆導通 IGBT 装置の断面図。

【図 8】従来例 2 の高耐圧 Si 逆導通 IGBT 装置の断面図。

【発明を実施するための形態】

【0041】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、n または p に付す + および - は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。図面中の層や領域を示す番号と矢印は同じ層や領域の場合、各々代表して 1 個のみに記し他は省略してある。

【0042】

(実施の形態 1)

図 2 は、実施の形態 1 にかかる半導体装置を模式的に示す断面図である。図 2 に示す実施の形態 1 にかかる半導体装置は、炭化珪素 (SiC) 半導体を用いて作製された例えば設計耐圧 15 kV 級のプレーナゲート構造の逆導通 IGBT 100 である。図 2 には、逆導通 IGBT 100 の活性領域の一部のみを示す。SiC 逆導通 IGBT 100 は、例えば活性領域を囲むように耐圧構造部 (不図示) を備えている。活性領域とは、半導体装置のオン時に電流が流れる領域であり、耐圧構造部とは、半導体装置を構成する pn 接合表面の電界強度を緩和し、所望の耐圧を実現する構造部である。

SiC 逆導通 IGBT 100 のチップサイズは 8 mm × 8 mm であり、活性領域は 6 mm × 6 mm であり、活性領域を囲んでいる耐圧構造部の幅は 1 mm である。活性領域中の逆導通 IGBT セルはストライプ状であり、セルの幅は 16 ミクロンメートルである。

【0043】

図 2 に示すように、SiC 逆導通 IGBT 100 において、コレクタ電極 101 に接する裏面には p コレクタ層とこの層を貫通する複数の n⁺ 短絡部が設けられ、p コレクタ領域 102 と n⁺ 短絡部領域 103 とが交互に形成されている。これらの領域 102 と 103 のおもて面には、n (第 2 導電型) バッファ層 104 が設けられている。n バッファ層 104 は、SiC エピタキシャル層である。p コレクタ領域 102 の不純物濃度および厚さは、例えば、それぞれ $3.5 \times 10^{17} \text{ cm}^{-3}$ および $1.5 \mu\text{m}$ であってもよい。n⁺ 短絡部 103 の不純物濃度および厚さは、例えば、それぞれ $1 \times 10^{19} \text{ cm}^{-3}$ および $1.5 \mu\text{m}$ であってもよい。また、n バッファ層 104 の不純物濃度および厚さは、例えば、それぞれ $1.5 \times 10^{16} \text{ cm}^{-3}$ および $10 \mu\text{m}$ であってもよい。セルの中の n⁺ 短絡部 103 はセルの中心付近に設けられてもよく、その幅は $4 \mu\text{m}$ であってもよい。n⁺ 短絡部間の距離、これは p コレクタ領域の幅に該当するが、この幅は $12 \mu\text{m}$ であってもよい。

【0044】

n バッファ層 104 の表面には、n⁻ ドリフト層 (第 1 半導体層) 105 が設けられている。n⁻ ドリフト層 105 は、SiC エピタキシャル層である。n⁻ ドリフト層 105 の不純物濃度は、n バッファ層 104 の不純物濃度よりも低い。具体的には、n⁻ ドリフト層 105 の不純物濃度および厚さは、例えば、それぞれ $2 \times 10^{14} \text{ cm}^{-3}$ および $150 \mu\text{m}$ であってもよい。概略的にこの程度の不純物濃度の場合、n⁻ ドリフト層 105 の厚さ $10 \mu\text{m}$ 当たり例えば耐圧 1 kV は容易に実現することができる。このため、n⁻ ドリフト層 105 の厚さを $150 \mu\text{m}$ とすることで、耐圧 15 kV が期待できる

【0045】

n⁻ ドリフト層 105 の表面には、n 型半導体層 106 を設けている。この層 106 は p コレクタ領域 102 から注入された正孔を n⁻ ドリフト層 105 表面付近に蓄積させ IGBT のオン電圧を低減させる効果を持つ層であり、以下では n 電荷蓄積層と記述する。この n 電荷蓄積層は例えば窒素 (N) を不純物としてエピタキシャル成長させた SiC エピタキシャル層であるが、窒素イオンをイオン注入することによって形成された半導体層であってもよい。また、n 電荷蓄積層 106 は、活性領域のみに設けられていてもよく、

例えば活性領域の n^- ドリフト層105にイオン注入によって形成した半導体層であってもよい。

【0046】

n 電荷蓄積層の不純物濃度は、 n^- ドリフト層105の不純物濃度よりも高く、後述する p ボディ領域（ p ベース領域）107の不純物濃度よりも低い。但し、 n 電荷蓄積層106は、逆導通IGBT100の耐圧よりも小さい印加電圧で空乏化する不純物濃度および厚さを有することが肝要である。具体的には、 n 電荷蓄積層106の不純物濃度は、 $3 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。また n 電荷蓄積層106の n^- ドリフト層105と p ボディ領域（ p ベース領域）間の厚さは、例えば $0.3 \mu\text{m}$ 以上 $1.6 \mu\text{m}$ 以下であってもよい。

10

【0047】

n 電荷蓄積層106の表面層には、 p ボディ領域（第1半導体領域）107が選択的に複数設けられている。 p ボディ領域107の不純物濃度は、 n^- ドリフト層105、 n 電荷蓄積層106の不純物濃度よりも高い。具体的には、 p ボディ領域107の不純物濃度および厚さは、例えば、それぞれ $1 \times 10^{18} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよい。隣り合う p ボディ領域107に挟まれた n 電荷蓄積層106の、 p ボディ領域107が並列する方向（以下、水平方向とする）の幅は、例えば $6 \mu\text{m}$ であってもよい。

【0048】

p ボディ領域107は、例えばアルミニウムのイオン注入によって形成された拡散層である。本実施例では n 電荷蓄積層106の不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ 、厚さを $0.7 \mu\text{m}$ とした。

20

【0049】

なお、SiC半導体は深さ方向に直行する方向の不純物拡散がシリコン半導体に比べて少ないので、図2において半導体層を矩形状に図示する（以下、図3～5に示す逆導通IGBTにおいても同様に、半導体層を矩形状に図示する）。

【0050】

p ボディ領域107の表面層には、 n^+ エミッタ領域（第2半導体領域）108および p^- 低濃度チャネル領域109や p^+ コンタク領域110が選択的に設けられている。 n^+ エミッタ領域108および p^- 低濃度チャネル領域109や p^+ コンタク領域110は、例えばイオン注入によって形成された半導体層である。 p^- 低濃度チャネル領域109は、 p ボディ領域108の一方の端部に設けられ n 電荷蓄積層106に接する。 n^+ エミッタ領域8は、 p^- 低濃度チャネル領域109の n 電荷蓄積層106に接する端部に対して反対側の端部に接する。

30

【0051】

n^+ エミッタ領域108の、 p^- 低濃度チャネル領域109に接していない側の端部は、 p^+ コンタク領域110に接している。各 p ボディ領域107に設けられた p^- 低濃度チャネル領域109および n^+ エミッタ領域108は、隣り合う他の p ボディ領域107の p^- 低濃度チャネル領域109および n^+ エミッタ領域108と対称に配置されている。

【0052】

p^- 低濃度チャネル領域109の不純物濃度は、 p ボディ領域107の不純物濃度よりも低い。具体的には、 p^- 低濃度チャネル領域109の不純物濃度および厚さは、例えば、それぞれ $3 \times 10^{16} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよい。またチャネルの長さは $0.75 \mu\text{m}$ であってもよい。

40

n^+ エミッタ領域108の不純物濃度は、 n^- ドリフト層105、 n 電荷蓄積層106の不純物濃度よりも高い。具体的には、 n^+ エミッタ領域8の不純物濃度および厚さは、例えば、それぞれ $5 \times 10^{19} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよい。 p^+ コンタク領域10の不純物濃度および厚さは、例えば $1 \times 10^{19} \text{ cm}^{-3}$ および $0.3 \mu\text{m}$ であってもよい。

【0053】

50

p⁻低濃度チャネル領域109およびn⁺エミッタ領域110は、pボディ領域108の表面層にそれぞれイオン注入によって形成される。p⁻低濃度チャネル領域109およびn⁺エミッタ領域108はpボディ領域107の表面層に例えば0.3μmの深さで設けられるので、pボディ領域107の、n電荷蓄積層106とp⁻低濃度チャネル領域109およびn⁺エミッタ領域108とに挟まれた部分の厚さは例えば0.3μmとなる。

【0054】

p⁻低濃度チャネル領域109の水平方向の幅は、例えば0.75μmであってもよい。n⁺エミッタ領域108の水平方向の幅は、例えば3μmであってもよい。

【0055】

p⁻低濃度チャネル領域109の表面には、ゲート絶縁膜111を介してゲート電極（制御電極）112が設けられている。ゲート絶縁膜111の厚さは約500オングストロームであってもよい。エミッタ電極（入力電極）113は、n⁺エミッタ領域108に接するとともにp⁺コンタクト層110を介してpボディ領域107にも接する。また、エミッタ電極113はゲート電極112から絶縁されている。

【0056】

つぎに、図2に示すSiC逆導通IGBT100の製造方法について説明する。まず、300μm厚のオフアングルn⁺SiC基板に厚さ170μmのnドリフト層105を、ついで11.5μm厚のnバッファ層104をエピタキシャル成長で順次形成する。更に1.5μm厚のpコレクタ層をアルミニウムのイオン注入により形成し、ついで選択的に窒素のイオン注入により1.5μm厚のn短絡部領域103とpコレクタ領域102を形成する。以下では本明細書全体に渡って、n短絡部領域およびpコレクタ領域を単にn短絡部およびpコレクタと記述する。

その後、n⁺SiC基板の研磨時にpコレクタ102と短絡部103を保護する保護用被覆膜をpコレクタ102上と短絡部103上に形成する。次に研磨によりn⁺SiC基板を完全に除去し、nドリフト層105も約20μm研磨し150μmの厚さにする。

【0057】

つぎに、例えば窒素を不純物としてドーピングしてエピタキシャル成長を行い、n⁻ドリフト層105の表面にnC_{EL}106を成長させる。nC_{EL}106は、少なくとも活性領域にのみ設けられていけばよいので、例えばイオン注入によって、活性領域のn⁻ドリフト層105の表面層のみにnC_{EL}を形成してもよい。

【0058】

イオン注入によってnC_{EL}106を形成する場合、まず、n⁻ドリフト層105の表面に、nC_{EL}106の形成領域が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出するn⁻ドリフト層105に例えば窒素イオンをイオン注入する。さらに、熱アニール処理を行う。これにより、活性領域全体にわたってn⁻ドリフト層105の表面層にn電荷蓄積層106が形成される。その後、n電荷蓄積層106の形成に用いたレジストマスクを除去する。

n電荷蓄積層106をエピタキシャル成長で形成する場合は、例えば窒素を不純物としてドーピングしてエピタキシャル成長をさせる。

【0059】

つぎに、n電荷蓄積層106の表面に、pボディ領域107の形成領域が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出するn電荷蓄積層106にp型不純物イオンをイオン注入する。このとき、後の工程においてpボディ領域107の表面層にpボディ領域107よりも不純物濃度が低いp⁻低濃度チャネル領域109を形成するために、pボディ領域107の、浅い部分の不純物濃度が深い部分の不純物濃度よりも低くなるようにイオン注入を行うのが好ましい。

【0060】

つぎに、熱アニール処理を行う。これにより、n電荷蓄積層106の表面層に選択的に

10

20

30

40

50

p ボディ領域 107 が形成される。つぎに、p ボディ領域 107 の形成に用いたレジストマスクを除去する。つぎに、p ボディ領域 107 の表面に p⁺ コンタクト層形成領域 110 が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出する p ボディ領域 107 に p 型不純物イオンをイオン注入する。

更に、p⁻ 低濃度チャネル領域 109 の形成領域が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出する p ボディ領域 107 に不純物イオンをイオン注入する。

【0061】

p⁻ 低濃度チャネル領域 109 を形成するためのイオン注入では、p ボディ領域 107 の表面層の不純物濃度が p⁻ 低濃度チャネル領域 109 の所望の不純物濃度よりも低い場合には、p⁻ 低濃度チャネル領域 109 が所望の不純物濃度となるように p 型不純物濃度をイオン注入する。一方、p ボディ領域 107 の表面層の不純物濃度が p⁻ 低濃度チャネル領域 109 の所望の不純物濃度よりも高い場合には、p⁻ 低濃度チャネル領域 109 が所望の不純物濃度となるように n 型不純物濃度をイオン注入する。

【0062】

つぎに、熱アニール処理を行う。p ボディ領域 107 の表面層に選択的に p⁻ 低濃度チャネル領域 109 が形成される。つぎに、p⁻ 低濃度チャネル領域 109 の形成に用いたレジストマスクを除去する。つぎに、p⁻ 低濃度チャネル領域 109 の表面に、n⁺ エミッタ領域 8 の形成領域が露出する開口部を有するレジストマスクを形成する。そして、このレジストマスクをマスクとして、レジストマスクの開口部に露出する p ボディ領域 107 に n 型不純物イオンをイオン注入する。

【0063】

つぎに、熱アニール処理を行う。これにより、p ボディ領域 107 の表面層に選択的に n⁺ エミッタ領域 108 が形成される。つぎに、n⁺ エミッタ領域 108 の形成に用いたレジストマスクを除去する。つぎに、p⁻ 低濃度チャネル領域 109 の表面に、ゲート絶縁膜 111 を介して多結晶シリコンのゲート電極 112 を形成する。つぎに、おもて面に層間絶縁膜 113 を形成し、層間絶縁膜 113 でゲート電極 112 を覆う。

【0064】

つぎに、フォトリソグラフィによって層間絶縁膜 113 およびゲート絶縁膜 111 を選択的に除去し、n⁺ エミッタ領域 108 および p⁺ コンタクト層形成領域 110 とエミッタ電極 114 とを接続するためのコンタクトホールを形成する。つぎに、おもて面およびコンタクトホール内にエミッタ電極 114 を形成し、エミッタ電極 114 と、n⁺ エミッタ領域 108 および p⁺ コンタクト領域 110 とを接続する。つぎに、半導体基板のおもて面に保護膜（不図示）などを形成する。その後、半導体基板の裏面に、p コレクタ 102 と n 短絡部 103 に接するコレクタ電極 111 を形成し、図 1 に示す逆導通 IGBT 100 が完成する。

【0065】

次に、前記の製造方法で作製する IGBT 100 の特性について説明する。

前記の IGBT 100 は TO 型の高耐圧パッケージのリードフレームにダイボンディングし、更にエミッタ電極 114 上に結線用の Al ワイヤを複数本ワイヤボンディングし、ついで保護用の高耐熱レジン（ナノテクレジン）でチップと Al ワイヤを完全に被覆して半導体装置にしたのち動作試験に供する。

ゲート電圧を印加しない状態でエミッタ電極 114 とコレクタ電極 101 間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は約 16.4 kV である。また、なだれ降伏前のリーク電流は室温で $3.5 \times 10^{-3} \text{ A/cm}^2$ 以下、250 °C の高温でも $5 \times 10^{-2} \text{ A/cm}^2$ 以下と良好である。

【0066】

ゲート電極 112 に閾値電圧以上のゲート電圧を印加し、ついでコレクタ電極 - エミッ

タ電極間に順方向電圧を印加し増加してゆくと約2.7Vのビルトイン電圧付近でオン電流が流れ始め、スナップバック現象は観察されない。これは本発明の効果である。コレクターエミッタ間電圧（以下 V_{ce} ）が5Vでの J_{ce} は 105 A/cm^2 と良好である。

【0067】

（7）式より導出したSiC逆導通IGBTの $W_p(\text{SiC})$ の下限値は $W_p(\text{Si})$ の約 $1/250$ である。 n^+ 短絡部間距離 W_p はpコレクタの幅そのものであり、本実施例では前記のように例えば $12\text{ }\mu\text{m}$ であってもよい。従って、同耐圧・同構成でのスナップバック現象を解消できるSi逆導通IGBTの場合は、 n^+ 短絡部間距離 $W_p(\text{Si})$ は $3000\text{ }\mu\text{m}$ である。ここで同構成とは、前記したように図2と同じ構造であるが、Si材料の物性を考慮して同耐圧を実現するために必要な各半導体層や各半導体領域の不純物濃度や厚さ及び幅等を採用している逆導通IGBT構造を意味する。両者の W_n は $4\text{ }\mu\text{m}$ であり活性領域の面積を同程度の約 $6\text{ mm} \times 6\text{ mm}$ にすると、Si逆導通IGBTの場合は2個のpコレクタと3個の n^+ 短絡部しか設けることができない。このため、スナップバック現象は解消できても逆導通IGBTの狙いとするターンオフ速度の改善は W_n の占有面積があまりにも少ないため微々たるものであろうと推測される。実際には上記のスナップバック現象を解消した15kV級SiC逆導通IGBTと同耐圧・同構成設計の逆導通Si-IGBTはシミュレーション検討ではIGBT動作が達成できていない。そこで、耐圧を6kVに低減した同構成のSi逆導通IGBTを検討したところ、上記の逆導通SiC-IGBTと同じく $W_n(\text{Si})$ を $4\text{ }\mu\text{m}$ および $W_p(\text{Si})$ を $12\text{ }\mu\text{m}$ にした場合、 V_{sb} が0.7kV以上でありオン動作を繰り返す過程で破壊する可能性が大である。

10

20

【0068】

本実施の形態になる半導体装置の場合は、直流電源電圧6kV、電流密度 50 A/cm 通電時のターンオフ時間を $1.1\text{ }\mu\text{s}$ に短縮できている。同耐圧で同構成の上記の6kVSi逆導通IGBTの場合はターンオフ時間は $6.5\text{ }\mu\text{s}$ である。一般に耐圧を高くするとターンオフ時間は更に長くなる傾向にあるので、本実施の形態の効果が明らかである。すなわち、本実施の形態のSiC逆導通IGBTは n^+ 短絡部の幅は同じであるが、 n^+ 短絡部間距離 W_p がはるかに小さいので、その分セル数を増やすことができトータルの n^+ 短絡部103の占有面積を増加できるため、逆導通IGBT本来のターンオフ時のキャリアの排除機能を増加できるものである。

30

【0069】

また、 n^+ 短絡幅 W_n が $4\text{ }\mu\text{m}$ 、 n^+ 短絡部間距離 W_p が $3000\text{ }\mu\text{m}$ とSi逆導通IGBTと同じであり、それ以外の構造が本実施例と同じSiC逆導通IGBTのターンオフ時間は $4.2\text{ }\mu\text{s}$ である。更に、 W_p を $1\text{ }\mu\text{m}$ にしターンオフ時のキャリアの排除機能の大幅増加を図ったSiC逆導通IGBTはターンオフ時間を約 $0.35\text{ }\mu\text{s}$ に短縮できたが、顕著なスナップバック現象が発生した。

【0070】

本実施の形態になるSiC逆導通IGBTを、 $J_{ce}100\text{ A/cm}^2$ で500時間の通電試験実施後のオン電圧の増大は、ほとんどの素子がSi逆導通IGBTと同等の0.1V以下にとどまり顕著な信頼性への悪影響は見いだされない。

40

【0071】

一方、 n^+ 短絡部間距離 W_p を極端に小さくしてスナップバック現象を意図的に発生させたSiC逆導通IGBTの場合は、同様の通電試験で2V以上のオン電圧劣化を示すIGBTが発生する。また、この構造のSiC逆導通IGBTは $J_{ce}60\text{ A/cm}^2$ でパルス幅 $500\text{ }\mu\text{s}$ とする20時間のオン・オフ繰り返し試験後に、オン電圧の急速オン電圧劣化が観察され7V以上のオン電圧劣化を示すIGBTも発生する。

【0072】

これらのSiC逆導通IGBTは前記の本発明になる動作方法の適用により、IGBT動作時のオン電圧の増大を0.2V以下に抑制でき信頼性への悪影響を解消できるとともに、上記のオン・オフ繰り返し試験でも、急速オン電圧劣化を解消できる。すなわち、ま

50

ずコレクタ電極とエミッタ電極間に所定の V_{ce} 電圧を印加し且つゲート電極にIGBT動作が始まらないゲート電圧、例えば5V程度を印加し動作させる。これにより、 n^+ 短絡部103を介してMOSFET電流を流し、この電流で素子の温度を上昇させる。素子の温度が50以上になった時点でゲート電圧を20V程度に昇圧しIGBT動作をさせる。このような本発明になる動作方法の適用により、オン電圧の増大をもたらした積層欠陥による少数キャリアをトラップし消滅させる現象が大幅に抑制されることによるものである。

【0073】

なお、上記本発明になる動作方法を適用しない場合、すなわち、所定の V_{ce} 電圧と20Vのゲート電圧を印加してオンさせる動作をSiC逆導通IGBTが周囲温度程度に冷える時間間隔において何回か繰り返す場合は、そのたびにオン電圧の増大が更に進行し、オン時に破壊に至る素子が発生する可能性が増大する。

10

【0074】

以上に説明したように、実施の形態1にかかる半導体装置によれば、スナッチバック現象を大幅に抑制でき且つ更なる高速・低損失化により高性能化できるとともに、オン電圧劣化が抑制でき信頼性も高い逆導通IGBT100を実現できる。また、 n^+ 短絡部間距離 W_p を極端に小さくしてスナッチバック現象を意図的に発生させたSiC逆導通IGBTに本発明になる動作方法を適用することにより、オン電圧劣化を抑制でき信頼性も高い逆導通IGBTの動作方法を実現できる。

20

【0075】

(実施の形態2)

図3は、実施の形態2にかかる半導体装置を模式的に示す断面図である。上記の実施の形態1の半導体装置に比べて、 n ドリフト層を $175\mu m$ と厚くし n バッファ層を設けていない点と n 電荷蓄積層を設けていない点を除けば、その他は同じ構造である。また、製作プロセスも n ドリフト層を $195\mu m$ と厚くエピタキシャル成長させている点と n バッファ層および n 電荷蓄積層の形成プロセスが削除されている点を除けばほぼ同じである。

【0076】

次に、本実施の形態2にかかるSiC逆導通IGBTの特性を説明する。

ゲート電圧を印加しない状態でエミッタ電極214とコレクタ電極201間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は $17.8kV$ 付近である。また、なだれ降伏前のリーク電流は室温で $1.5 \times 10^{-3} A/cm^2$ 以下、 250 の高温でも $3 \times 10^{-2} A/cm^2$ 以下と良好である。

30

ゲート電極212に閾値電圧以上のゲート電圧を印加し、ついでコレクターエミッタ間に順方向電圧を印加すると約 $2.7V$ のビルトイン電圧以上でオン電流が流れ、スナッチバック現象は観察されない。コレクターエミッタ間電圧(以下 V_{ce})が5Vでの J_{ce} は約 $80 A/cm^2$ と良好である。

【0077】

本実施の形態になる半導体装置の場合は、同耐圧で同構成のスナッチバック現象を解消できる上記の短絡部間距離 W_p が $3000\mu m$ のSi逆導通IGBTに比べて、 n^+ 短絡部幅は $4\mu m$ と同じであるが n^+ 短絡部間距離 W_p が $12\mu m$ でありはるかに小さい。従って、 W_p が短い分セル数を増やすことができトータルの n^+ 短絡部203の面積を増加できるため、逆導通IGBT本来のターンオフ時のキャリアの排除機能を増加できる。この結果、直流電源電圧 $6kV$ 、電流密度 $50 A/cm$ 通電時のターンオフ時間を $1.2\mu s$ に短縮できている。一方、同構成の $6kV$ 耐圧のSi逆導通IGBTは耐圧が低いにもかかわらずターンオフ時間は $8.1\mu s$ である。また、 n^+ 短絡幅 W_n と n^+ 短絡部間距離 W_p がSi逆導通IGBTと同じであり、それ以外の構造が本実施例と同じSiC逆導通IGBTの場合は、ターンオフ時間は $3.9\mu s$ である。

40

【0078】

50

また、 $J_{ce} 100 \text{ A/cm}^2$ での500時間の通電試験後でも、オン電圧の増大は0.1 V以下にとどまりSi逆導通IGBTと同等であり顕著な信頼性への悪影響は見いだされない。一方、 n^+ 短絡部間距離 W_p を極端に小さくしてスナップバック現象を意図的に発生させたSiC逆導通IGBTの場合は、同様の通電試験を実施すると4 V以上のオン電圧劣化をしめすIGBTが発生する。

以上に説明したように、実施の形態2にかかる半導体装置によれば、スナップバック現象を大幅に抑制でき且つ更なる高速・低損失化により高性能化できるとともに、オン電圧劣化が抑制でき信頼性も高いSiC逆導通IGBT200を実現できる。

【0079】

(実施の形態3)

図4は、実施の形態3にかかる半導体装置を模式的に示す断面図である。設計耐圧30 kVのSiC逆導通IGBTであり、スナップバック現象を抑制するためにパイロットIGBT領域を設けており、図4には、その1/2と逆導通IGBT1セル分とが示されている。

【0080】

SiC逆導通IGBTセルの中の n^+ 短絡部303はpボディ307に対向してその中心付近に設けられてもよく、その幅は4 μm であってもよい。 n^+ 短絡部間の距離、これはpコレクタの幅に該当するが、この幅は12 μm であってもよい。一方、パイロットIGBT領域のpコレクタの幅は108 μm であってもよい。

本SiC逆導通IGBT300は上記のパイロットIGBT領域を設けた点と、 n^- ドリフト層305とpコレクタ層302およびnバッファ層304の濃度と厚さが異なる点を除けば、その他の構造は実施の形態1とほぼ同じである。

【0081】

本実施の形態における n^- ドリフト層305は不純物濃度が $9 \times 10^{13} \text{ cm}^{-3}$ 、厚さが300 μm であってもよい。また、pコレクタ302の不純物濃度および厚さは、例えば、それぞれ $6 \times 10^{17} \text{ cm}^{-3}$ および1.5 μm であってもよい。nバッファ層304の不純物濃度および厚さは、例えば、それぞれ $3.0 \times 10^{16} \text{ cm}^{-3}$ および17 μm であってもよい。

【0082】

本SiC逆導通IGBT300の製造プロセスは以下の点を除けば実施の形態1とほぼ同じである。

300 μm 厚のオフアングル n^+ SiC基板に厚さ320 μm の n^- ドリフト層305を、ついで17 μm 厚のnバッファ層304をエピタキシャル成長で順次形成する。更に1.5 μm 厚のpコレクタ層をエピタキシャル成長する。ついで1.5 μm 厚のn短絡部303を公知のホトリソ技術を用いて選択的に窒素のイオン注入することにより順次形成する。

その後、 n^+ SiC基板の研磨時にpコレクタ302と短絡部303を保護する保護用被覆膜をpコレクタ302上と短絡部303上に形成する。次に研磨により n^+ SiC基板を完全に除去し、nドリフト層303も約20 μm 研磨し300 μm の厚さにする。

【0083】

次に、本実施の形態3にかかるSiC逆導通IGBT300の特性を説明する。

ゲート電圧を印加しない状態でエミッタ電極314とコレクタ電極301間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は31.2 kV付近であった。また、なだれ降伏前のリーク電流は室温で $6.5 \times 10^{-3} \text{ A/cm}^2$ 以下、250 °Cの高温でも $5 \times 10^{-2} \text{ A/cm}^2$ 以下と良好であった。

【0084】

ゲート電極312に閾値電圧以上のゲート電圧を印加し、ついでコレクターエミッタ間に順方向電圧を印加すると約2.7 Vのビルトイン電圧以上でオン電流が流れ、スナップバック現象は観察されなかった。コレクタ-エミッタ間電圧(以下 V_{ce})が5 VでのJ

10

20

30

40

50

c_e は 63 A/cm^2 と良好であった。

【0085】

本実施の形態になる半導体装置の場合は、同耐圧で同構成のスナップバック現象を解消した Si 逆導通 IGBT に比べて、 n^+ 短絡部幅は同じであるが、逆導通 IGBT セルおよびパイロット IGBT 領域の n^+ 短絡部間距離 W_p がいずれもはるかに小さいので、その分セル数を増やすことができる。このため n^+ 短絡部 303 の面積を増加できるため、逆導通 IGBT 本来のターンオフ時のキャリアの排除機能を増加できる。この結果、直流電源電圧 10 kV 、電流密度 50 A/cm 通電時のターンオフ時間を $1.8 \mu\text{s}$ にできている。一方、同構成の 30 kV 級の Si 逆導通 IGBT は製作困難であり、シミュレーションにより検討では、ターンオフ時間は約 $20 \mu\text{s}$ 以上と推測される。

10

【0086】

また、 $J_{ce} 50 \text{ A/cm}^2$ でのパルス幅 $500 \mu\text{s}$ 20 時間のオン・オフ繰り返し試験実施後でも急速オン電圧劣化は観察されない。これは本実施の形態によりスナップバック現象が解消することによる効果である。なお、 $J_{ce} 50 \text{ A/cm}^2$ での 500 時間の通電試験後でもオン電圧の増大はほとんどの素子で 0.1 V 以下にとどまり、オン電圧劣化は観察されない。

【0087】

以上に説明したように、実施の形態 3 にかかる半導体装置によれば、スナップバック現象を大幅に抑制でき且つ更なる高速・低損失化により高性能化できるとともに、オン電圧劣化が抑制でき信頼性も高い超高耐圧 SiC 逆導通 IGBT を実現できる。

20

【0088】

(実施の形態 4)

図 5 は、実施の形態 4 にかかる半導体装置を模式的に示す断面図である。上記の実施の形態 1 の半導体装置に比べて、 n^+ 短絡部 403 の幅 W_n を $12 \mu\text{m}$ 、短絡部間の距離すなわち p コレクタ 402 の幅 W_p を $4 \mu\text{m}$ としている点を除けば、その他は同じ構造である。これにより、実施の形態 4 にかかる SiC 逆導通 IGBT は、前記の実施形態 1 に比べて更により高い信頼性を実現するものである。

【0089】

すなわち、本 SiC 逆導通 IGBT では n^+ 短絡部の幅 W_n と p コレクタの幅 W_p の比率 W_n/W_p を大きくし 3 にしている。セルの幅は $12 \mu\text{m}$ と同じなので、実施の形態 1 に比べて、 n^+ 短絡部の幅 W_n の増大により n^+ 短絡部の面積が増大するとともに、 W_n の増大分だけ W_p が低減されることにより p コレクタ接合がビルトインする電流 I_{sb} が増大される。この SiC 逆導通 IGBT がオンする前に流れる I_{sb} 電流は多数キャリア電流であり積層欠陥の拡大を招かないので、本実施の形態では積極的に増大するものである。 I_{sb} の増大により、特にドリフト層 405 での電力損失に伴う発熱が増大しこれにより、SiC 逆導通 IGBT がオンする前にその素子温度を、積層欠陥が少数キャリアをトラップして再結合させ消滅させてしまう現象が抑制される温度まで上昇させ、オン時点でのオン電圧劣化の抑制をはかっている。

30

【0090】

セルの幅を一定にした場合、 W_n/W_p の比率が小さすぎるとオン電圧劣化を抑制できるレベルまでの温度上昇が困難であり、大きすぎるとスナップバック現象の増大やオン電圧の増大による電力損失の増大を招く。従って、 W_n/W_p の比率は適正な範囲に設定する必要がある。一方、高耐圧素子ほどドリフト領域の不純物濃度は低く且つその厚さは厚く設定されるので、ドリフト領域の内部抵抗が大きく素子温度をより少ない I_{sb} で上昇できる。従って、 W_n/W_p の適正範囲は耐圧によっても異なる。発明者は種々の検討の結果、 5 kV 以上の高耐圧 SiC 逆導通 IGBT においては、 W_n/W_p の適正範囲は、 $0.2 \sim 5.0$ の範囲にするのが良く、より好ましくは $0.3 \sim 3.0$ の範囲にするのが良いことを見出した。

40

【0091】

以下に、本実施の形態 4 にかかる SiC 逆導通 IGBT の特性を説明する。

50

ゲート電圧を印加しない状態でエミッタ電極 4 1 3 とコレクタ電極 4 0 1 間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は 1 7 . 3 k V 付近である。また、なだれ降伏前のリーク電流は室温で $2 . 3 \times 10^{-3} \text{ A / cm}^2$ 以下、2 5 0 の高温でも $2 . 8 \times 10^{-2} \text{ A / cm}^2$ 以下と良好である。

ゲート電極 4 1 2 に閾値電圧以上のゲート電圧を印加し、ついでコレクターエミッタ間に順方向電圧を印加すると約 2 . 7 V のビルトイン電圧以上でオン電流が流れ、スナップバック現象は観察されない。コレクターエミッタ間電圧 V_{ce} が 5 V での J_{ce} は約 60 A / cm^2 と良好である。

【0092】

また、ターンオフ時間が 0 . 7 μs であり、実施の形態 1 に比べて短縮できている。これは、同耐圧でチップサイズとセル幅が同じ逆導通 I G B T で、 W_n / W_p の比率を大きくしたために n^+ 短絡部のトータル面積が大きくなり、従ってターンオフ時の残存キャリアの排出能力が大きくなりターンオフ時間を短くできることによるものである。これにより電力損失も低減でき、より高性能化できている。

【0093】

また、 $J_{ce} 60 \text{ A / cm}^2$ でパルス幅 5 0 0 μs とする 2 0 時間のオン・オフ繰り返し試験後で、オン電圧の急速劣化は観察されない。これは本実施の形態においてスナップバック現象が解消することによる効果である。更に、本実施の形態になるほとんどの素子のオン電圧の変化は 0 . 1 V 以下にとどまり、低耐圧の市販の S i 逆導通 I G B T と同等であり顕著な信頼性への悪影響は見いだされない。

【0094】

また、上記のオン・オフ繰り返し動作試験を 5 0 0 時間の長時間実施した場合、試験終了後に S i C 逆導通 I G B T の温度が室温程度 (3 0 以下) に低減した状態で測定すると、オン電圧が劣化している素子が発生する。従って、室温程度の温度でこの素子を動作させる場合は素子損傷などの懸念が生じる。

但し、一旦動作を開始し動作試験実施中には素子温度が自己発熱で 1 0 0 以上に高くなっているため、前記の積層欠陥のトラップ現象が抑制されるためこのようなオン電圧が劣化している素子でも著しく電力損失が増える等の実害は生じない。

【0095】

上記からも判るように、本実施の形態の効果を確認するうえでは耐久オン・オフ繰り返し動作試験がより好ましい。この試験は、2 0 時間オン・オフ繰り返し動作後に素子温度を室温程度まで冷却し、再度 2 0 時間オン・オフ繰り返し動作させ再度室温程度まで冷却するといった動作を繰り返す試験である。

実施の形態 1 において n^+ 短絡部 2 0 3 の幅 W_n を 2 μm 、短絡部間の距離すなわち p コレクタ 2 0 2 の幅 W_p を 1 4 μm とした W_n / W_p が約 0 . 1 4 の S i C 逆導通 I G B T にこの耐久オン・オフ繰り返し動作試験を試みると、2 0 回程度の繰り返し時にオン電圧が 1 5 V 以上に増大し容易に破損してしまう。

一方、本実施の形態 4 の S i C 逆導通 I G B T の場合は 1 0 0 回以上繰り返しても破壊する素子は発生することなく、より高い信頼性を実現できている。これは上記の W_n / W_p を大きくしたことによる本実施の形態の効果である。

【0096】

以上に説明したように、実施の形態 4 にかかる半導体装置によれば、 W_n / W_p を大きくし適正化することにより、高速・低損失化による高性能化が実現できるとともに、オンする直前の温度を上昇させてきオン電圧劣化を抑制でき信頼性も高い S i C 逆導通 I G B T を実現できる。

【0097】

(実施の形態 5)

図 6 は、実施の形態 5 にかかる半導体装置を模式的に示す断面図である。上記の実施の形態 4 の半導体装置に比べて、 n^+ 短絡部 5 0 3 の幅 W_n を 2 . 5 μm 、短絡部間の距離

10

20

30

40

50

すなわち p コレクタ 502 の幅 W_p を $1.5 \mu m$ とし、セル内に 4 組の n^+ 短絡部と p コレクタを設けた点を除けば、その他は同じ構造である。

【0098】

本 SiC 逆導通 IGBT では実施の形態 4 と同様に、実施形態 1 に比べて W_n / W_p を大きくして 1 とすることにより高性能化とオン電圧劣化抑制による高信頼性化を図っている。その一方、実施の形態 4 に比べてセル内の p コレクタ 502 の幅 W_p を細断することにより $2 \mu m$ と小さくしているため I_{sb} を大きくでき、オン直前の素子温度の上昇がより高くなるようにしている。しかしセル内の W_p のトータル幅は $8 \mu m$ であり実施形態 4 に比べて 2 倍に大きくしており、これによりオン後の J_{ce} を増大させる一方、オン電圧の低減による電力損失の低減を図っている。

10

【0099】

以下に、本実施の形態 5 にかかる SiC 逆導通 IGBT の特性を説明する。

ゲート電圧を印加しない状態でエミッタ電極 513 とコレクタ電極 501 間に順方向電圧を印加すると、リーク電流が流れるが良好な順阻止特性を示し、室温での耐圧すなわちなだれ降伏を示す電圧は $17.1 kV$ 付近である。また、なだれ降伏前のリーク電流は室温で $2.5 \times 10^{-3} A / cm^2$ 以下、 $250^\circ C$ の高温でも $3.1 \times 10^{-2} A / cm^2$ 以下と良好である。

V_{ce} が $5 V$ 、ゲート電極 512 の電圧が $20 V$ での J_{ce} は約 $85 A / cm^2$ と良好であり実施の形態 4 に比べて大幅に増加できる。これは一定オン電流でのオン電圧を低減できることでもあり電力損失の低減ができる。これらは本実施の形態 5 の効果である。また、ターンオフ時間は $0.9 \mu s$ である。

20

【0100】

本実施の形態 5 の SiC 逆導通 IGBT は、耐久オン・オフ繰り返し動作試験において、200 回以上繰り返しても破壊する素子は発生しない。これは実施の形態 4 に比べて W_p の幅が低減したので SiC 逆導通 IGBT がオンする前に流れる I_{sb} 電流が増大できたために、逆導通 IGBT がオンする前にその温度を実施の形態 4 よりも高い温度に上昇させることができ、積層欠陥が少数キャリアをトラップして再結合させ消滅させてしまう現象がより大幅に抑制されオン電圧劣化の大幅な抑制を達成することによる。

【0101】

以上のように、本実施の形態 5 の SiC 逆導通 IGBT により、より高い性能とより高い信頼性を実現できる。

30

【0102】

以上、第 1 から第 5 の実施の形態に基づき本発明を説明したが、本発明はこれらに限定されるものではなく各種の変形応用が容易に出来ることは当業者には自明である。例えば、構造諸元の数値を変更し $3 kV$ といった低い耐圧や $50 kV$ といった更に高い耐圧のワイドギャップ半導体逆導通 IGBT に展開できることは当然である。セル形状も言及したストライプ形状以外にメッシュ形状等の種々の形状が採用できることは当然である。また、セルの幅や n 短絡部の幅や p コレクタの幅および両者の面積比も言及した値以外に逆導通 IGBT の仕様によって種々の値を採用することも当然のことである。主に、 n 短絡部をセルの中心付近の p ボディ下に対向して設けたセル構造について言及したが、 n 短絡部をセルの片側端部もしくは両端部に設けたセル構造等に応用展開できることも当然である。また、 n 型逆導通 SiC - IGBT に言及したが、極性の異なる p 型逆導通 SiC - IGBT にも同様に展開できることは自明である。更に、逆導通 SiC - IGBT について言及したが、GaN やダイヤモンドといった他のワイドギャップ半導体を用いた逆導通 IGBT にも応用展開できるものである。

40

【産業上の利用可能性】

【0103】

本発明は配電系統に直結する高耐圧インバータ等にご利用でき、この場合はトランスの大幅な小型化やトランス自体の除去することもでき、システムの大幅な小型軽量化や省エネルギー化・省資源化が可能になる。また、現在の配電系統にとどまらず、次世代の系統網

50

であるスマートグリッドへの利用が可能である。更に、大型ファンやポンプ、圧延機といった産業用機器の制御装置にも利用できる。

【符号の説明】

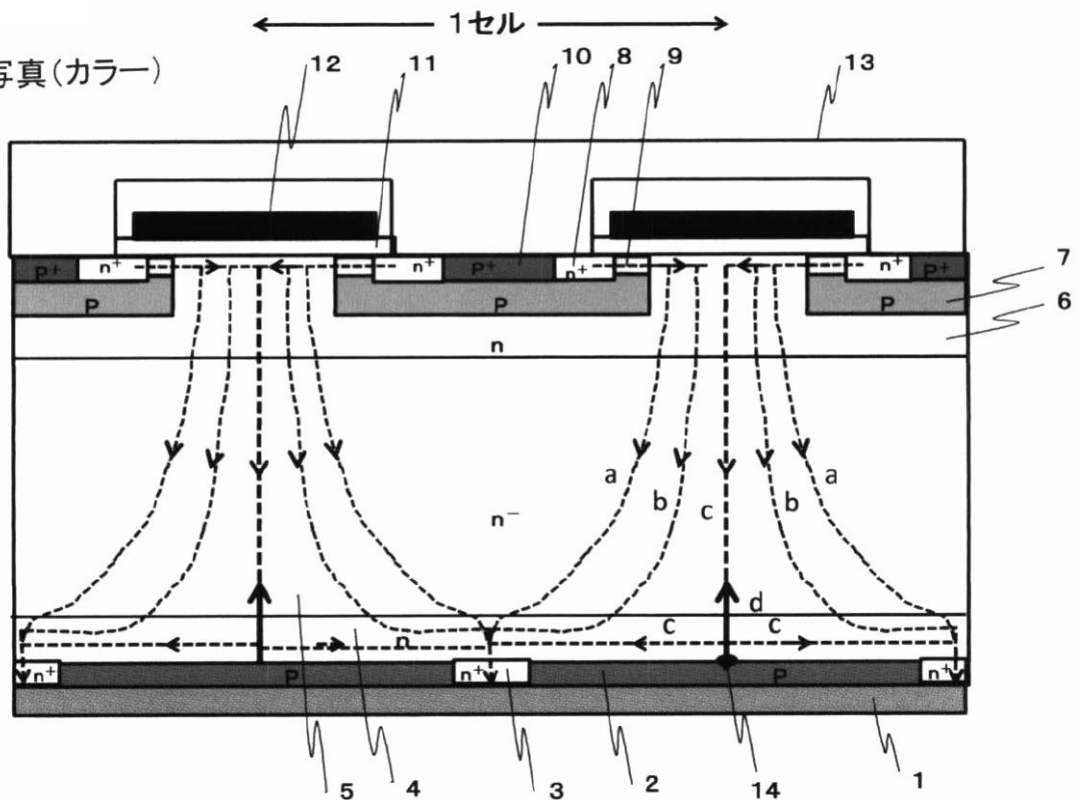
【 0 1 0 4 】

1、1 0 1、2 0 1、3 0 1、4 0 1、5 0 1	: コレクタ電極
2、1 0 2、2 0 2、3 0 2、4 0 2、5 0 2	: pコレクタ
3、1 0 3、2 0 3、3 0 3、4 0 3、5 0 3	: n ⁺ 短絡部
4、1 0 4、3 0 4、4 0 4、5 0 4	: nバッファ層
5、1 0 5、2 0 5、3 0 5、4 0 5、5 0 5	: n ⁻ ドリフト層
6、1 0 6、3 0 6、4 0 6、5 0 6	: n電荷蓄積層
7、1 0 7、2 0 7、3 0 7、4 0 7、5 0 7	: pボディ領域
8、1 0 8、2 0 8、3 0 8、4 0 8、5 0 8	: n ⁺ エミッタ領域
9、1 0 9、2 0 9、3 0 9、4 0 9、5 0 9	: p ⁻ チャネル領域
1 0、1 1 0、2 1 0、3 1 0、4 1 0、5 1 0	: p ⁺ コンタクト領域
1 1、1 1 1、2 1 1、3 1 1、4 1 1、5 1 1	: ゲート酸化膜
1 2、1 1 2、2 1 2、3 1 2、4 1 2、5 1 2	: ゲート電極
1 3、1 1 3、2 1 3、3 1 3、4 1 3、5 1 3	: エミッタ電極
1 4	: pコレクタ接合中央部

10

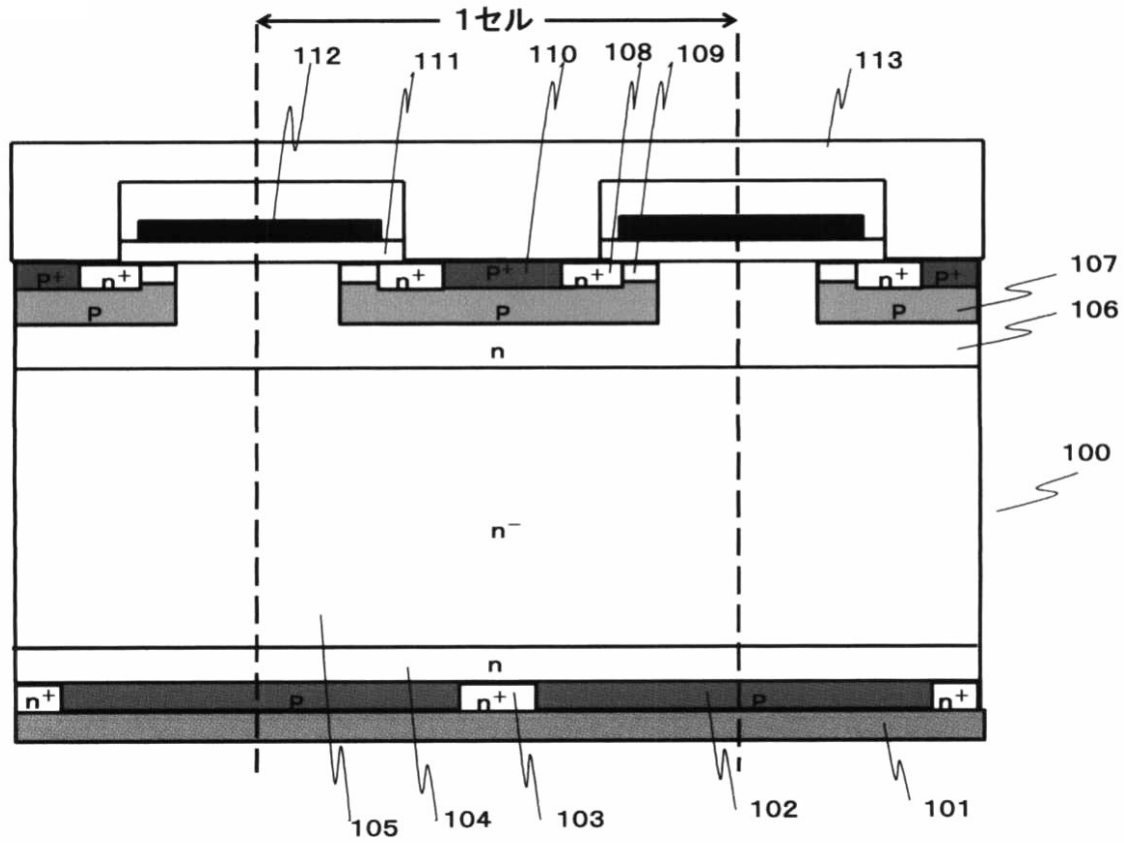
【 図 1 】

図面代用写真(カラー)



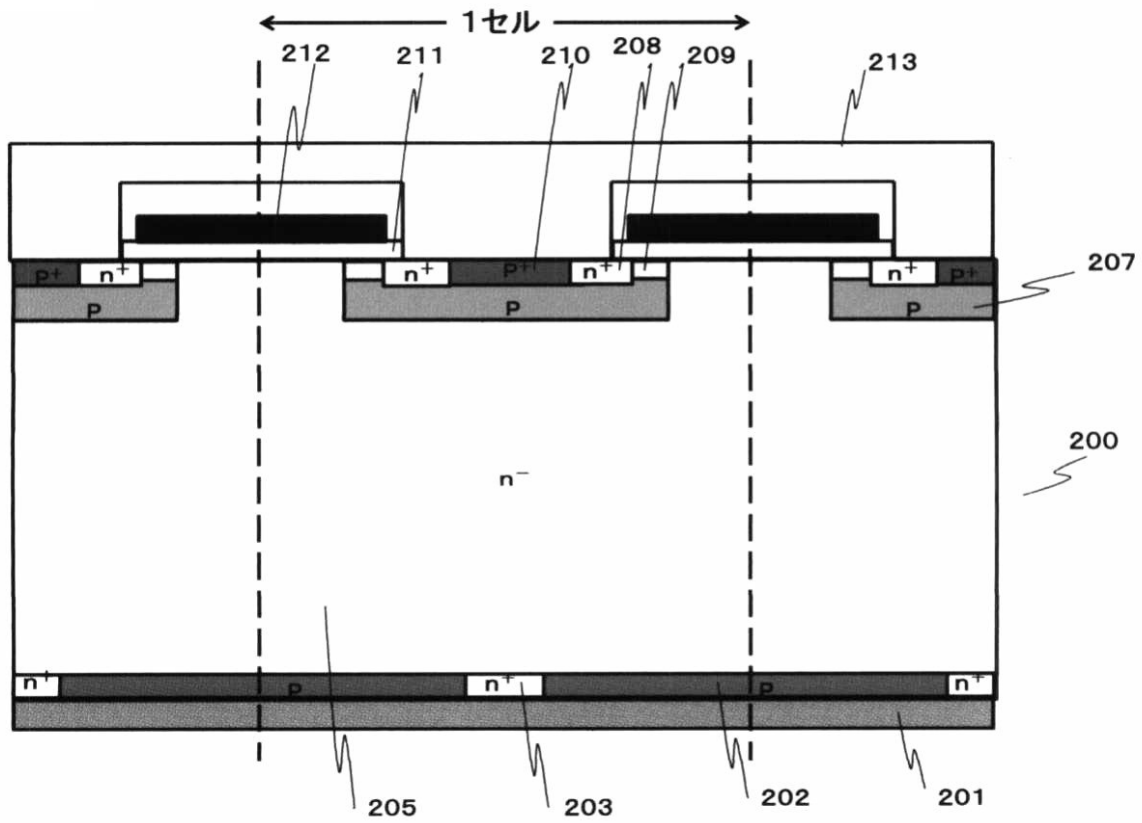
【図2】

図面代用写真(カラー)



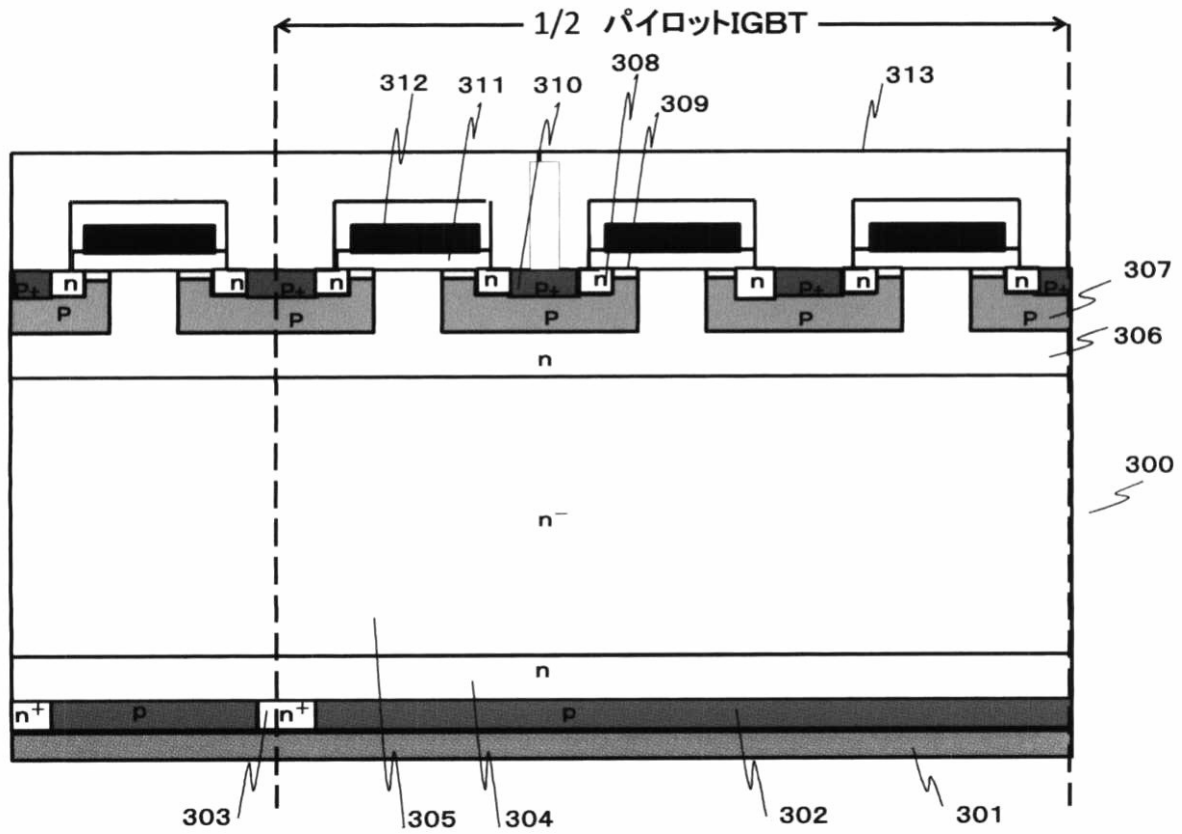
【図 3】

図面代用写真(カラー)



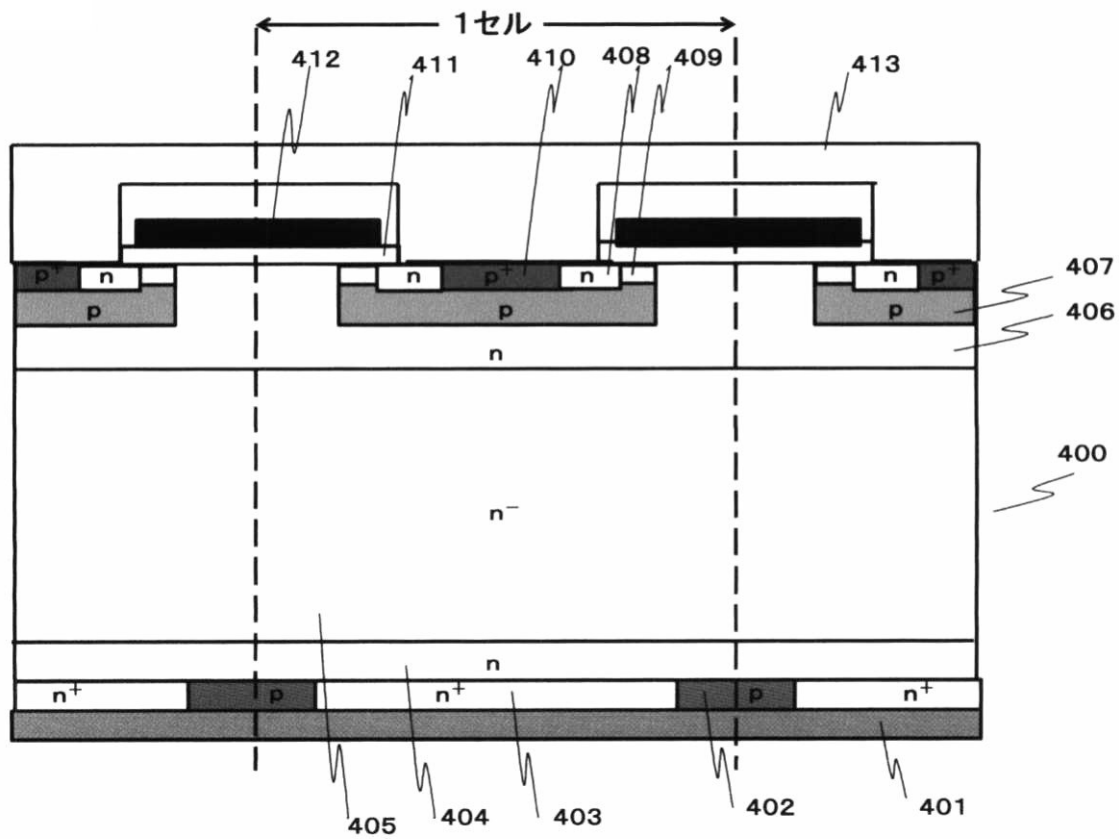
【 図 4 】

図面代用写真(カラー)



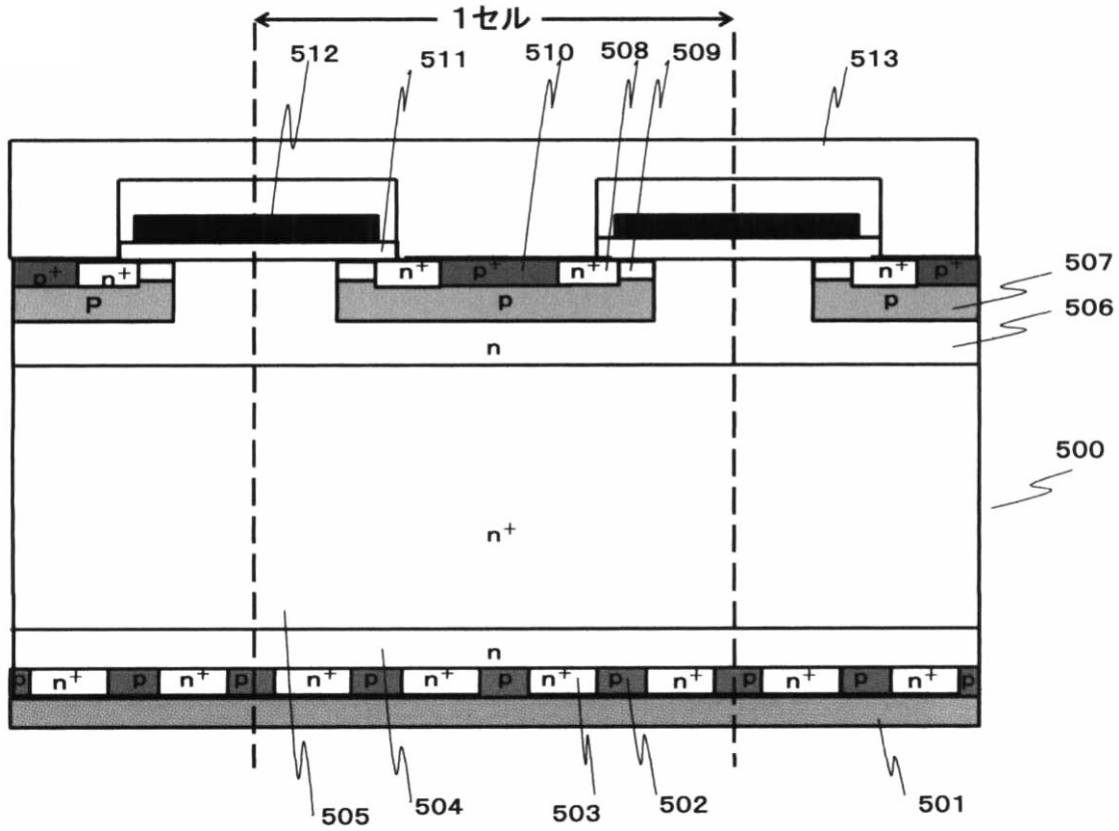
【図 5】

図面代用写真(カラー)



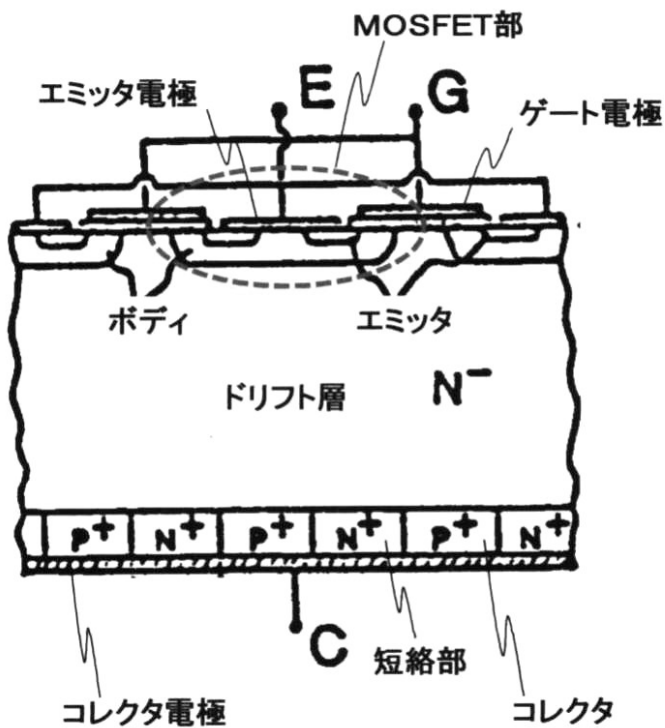
【図 6】

図面代用写真(カラー)



【図 7】

図面代用写真(カラー)



【 図 8 】

