

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年2月9日(2017.2.9)

【公開番号】特開2016-115886(P2016-115886A)

【公開日】平成28年6月23日(2016.6.23)

【年通号数】公開・登録公報2016-038

【出願番号】特願2014-255382(P2014-255382)

【国際特許分類】

H 01 L	29/06	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	29/739	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/41	(2006.01)
H 01 L	21/28	(2006.01)

【F I】

H 01 L	29/78	6 5 2 P
H 01 L	29/78	6 5 2 K
H 01 L	29/78	6 5 5 A
H 01 L	29/78	6 5 8 F
H 01 L	29/78	6 5 2 D
H 01 L	29/78	6 5 8 A
H 01 L	29/06	3 0 1 F
H 01 L	29/06	3 0 1 V
H 01 L	29/44	Y
H 01 L	21/28	3 0 1 B
H 01 L	29/78	6 5 3 A
H 01 L	29/78	6 5 2 M

【手続補正書】

【提出日】平成28年12月21日(2016.12.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】

前記ゲート電極の側面を覆う側面絶縁膜を備え、

前記溝電極は、前記側面絶縁膜の隣から、前記側面絶縁膜の直下の前記第2ウェル領域と接しつつ、前記第1ウェル領域に達する請求項4または5に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

ドリフト層の厚さ方向に空乏層を拡大すると帰還容量および出力容量を低減することができ、高周波特性を向上させることができる。帰還容量はゲートとドレイン（あるいはコレクタ）間の容量であり、ゲート電極とドリフト層の間の容量成分である。出力容量は、ドレインとソース（あるいはエミッタ）の間の容量を含む。例えばMISFETであれば

、出力容量は、ゲートドレイン間容量とドレインソース間容量の和として定義される。上記従来の技術ではトレンチ内のフィールドプレートの幅が一定とされており、フィールドプレートによる電界がドリフト層に均一に及ぶ。このため、フィールドプレートを設けると、ゲート電極から離れた部位でも空乏化が大きく助長される。その結果、帰還容量および出力容量をより小さくするためにゲート電極近傍の空乏化を助長しようとすると、オン抵抗が増大して飽和電流が低下する問題があった。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

空乏層1301は、半導体装置800のドレイン電極110に正の電圧を印加し、ソース電極109を接続した時にN-型ドリフト層102に形成される。空乏層1301は、ゲート電極107直下の近傍にも形成される。このように空乏層1301が形成されると帰還容量Cgdおよび出力容量が横型MOSFET(LDMOSFET)に比べて大きくなるので、半導体装置800は高周波動作に不利である。帰還容量Cgdは、ゲートドレイン間容量であり、ゲート電極107とN-型ドリフト層102との間の容量成分である。出力容量は、ゲートドレイン間容量とドレインソース間容量の和として定義されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

図16の空乏層1501は、第2比較例の半導体装置900においてドレイン電極110に正の電圧を印加し、ソース電極109を接続した時にN-型ドリフト層102に形成される空乏層である。ゲートドレイン間容量の大きさは、ゲートとドレインの間の空乏層の奥行き方向寸法、つまり図16におけるN-型ドリフト層102の厚さ方向寸法と反比例する。フィールドプレート1403がN-型ドリフト層102の空乏化を助長するので、空乏層1501はN-型ドリフト層102の深い部分まで広がる。このため、第1比較例と比べてゲートドレイン間容量を低減し、帰還容量Cgd、出力容量を低下させることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

(実施の形態1の動作および作用効果)

図2は、本発明の実施の形態1にかかる半導体装置100に形成される空乏層を模式的に示す断面図である。空乏層201は、半導体装置100のドレイン電極110に正の電圧を印加し、ソース電極109を接続した時にN-型ドリフト層102に形成される。実施の形態1においては、フィールドプレート114がドレイントレンチ111の底部111bに向かって先細りであり、底部111bの側ほどドレイントレンチ111の側壁111aとフィールドプレート114の側面114aの距離Dを増加させている。従って、フィールドプレート114とN-型ドリフト層102との間隔である距離Dを、ゲート電極107近傍で大きくゲート電極107の遠方で小さくなるように調整することができる。これによりフィールドプレート114による電界をゲート電極107近傍で大きく作用させゲート電極107の遠方で小さく作用させることができる。フィールドプレート114

による電界がドレイントレンチ 111 の底部 111 b の側にいくほど弱くなるので、ドレイントレンチ 111 の底部 111 b の側においては空乏層 201 を拡大する作用を弱めることができる。フィールドプレート 114 によりゲート電極 107 の下方へ空乏層 201 を伸ばしつつも、N - 型ドリフト層 102 の深い部分では空乏化作用を弱めてオン抵抗 R_{on} を小さくしドレイン電流経路の電気抵抗を減らすことができる。これにより、帰還容量 Cgd および出力容量の抑制と、オン抵抗 R_{on} の抑制とを、両立することができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

図 11 は、ドレインソース間の出力容量のドレインソース間電圧 Vds 依存性を示す図である。特性カーブ 21 は第 1 比較例にかかる半導体装置 800 のデータである。特性カーブ 23 は実施の形態 1 にかかる半導体装置 100 のデータである。特性カーブ 24 は第 2 比較例にかかる半導体装置 900 のデータである。なお、特性カーブ 22 は後述する実施の形態 5 にかかる半導体装置 700 のデータであり、特性カーブ 25 は後述する実施の形態 2 のソーストレンチ電極 304 を第 2 比較例の半導体装置 900 に設けた場合のデータである。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

図 2、図 14、および図 16 に示すように、P+ 型拡散ウェル領域 103、P 型チャネルウェル領域 104、および N - 型ドリフト層 102 が互いに形成する P N 接合により、空乏層 201、1301、1501 がそれぞれ形成される。第 1 比較例にかかる特性カーブ 11、21 においては、ドレインソース間電圧 Vds の増大に応じて空乏層 1301 が広がることによって、帰還容量 Cgd および出力容量が低下する。第 2 比較例にかかる特性カーブ 14、24 においては、ソース（接地）接続されたフィールドプレート 1403 により N - 型ドリフト層 102 の空乏化が助長され、帰還容量 Cgd 、出力容量が急激に低下する。一方、実施の形態 1 では第 2 比較例よりも空乏化の助長を抑制しているので、実施の形態 1 にかかる特性カーブ 13、23 は特性カーブ 11、21 と特性カーブ 14、24 との中間の特性が得られている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

実施の形態 1 では、底部 111 b の側ほどフィールドプレート 114 による電界を徐々に弱くしているので、第 2 比較例と比べて、帰還容量 Cgd および出力容量の低下率を緩やかにできる。これは、図 10 および図 11 における実施の形態 1 の特性カーブ 13、23 と第 2 比較例の特性カーブ 14、24 とを比べることで理解される。N - 型ドリフト層 102 の深い部分における空乏化を抑制できるので、オン抵抗の低減が図られ、ドレインソース電流 Id_s が飽和する電流値を増大させることもできる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

高周波帯域での動作には帰還容量 C_{gd} 、出力容量を低減することが好ましく、高電力増幅を実現するためにはオン抵抗を低くしてドレイン飽和電流を大きくすることが好ましい。実施の形態1によれば、高いドレイン電圧印加時の帰還容量 C_{gd} および出力容量の低減と、低いドレイン電圧印加時のオン抵抗低減とを両立することができる。その結果、実施の形態1にかかる半導体装置100は、高周波帯域での高電力増幅を行う場合に優位性を発揮する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

図11における特性カーブ25、および図12における特性カーブ35は、第2比較例の半導体装置900にソーストレンチ電極304を追加した場合のデータである。ソーストレンチ電極304、P+型ウェル領域302、およびP+型ウェル領域303を備えることにより、ドレインソース間電圧 V_{ds} が低くともチャネル直下のN-型ドリフト層102を厚く空乏化させることができる。その結果、図11の特性カーブ25に示すように、出力容量が、より低いドレインソース間電圧 V_{ds} で急激に低下する。このため、実施の形態1よりさらに高周波特性の向上が可能となる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

言い換えると、半導体装置650は、実施の形態1にかかる半導体装置100においてN-型ドリフト層102とドレイン電極110との間にP型半導体層を挿入したものである。ただし、ドレインがコレクタとなり、ソースがエミッタとなるので、例えばソース電極109およびドレイン電極110に相当する電極は、IGBTである半導体装置650では、それぞれエミッタ電極1609およびコレクタ電極1610として機能する。他にも、実施の形態1～3の説明においてドレイントレンチ111、ソーストレンチ301、501などの構成を、それぞれ「コレクタトレンチ」、「エミッタトレンチ」などと読みかえればよい。半導体装置650においても、実施の形態1で述べたのと同様に、フィールドプレート114により電界を調整することができる。従って、PN接合による空乏層を調整し、帰還容量 C_{gd} 、出力容量、オン抵抗、およびコレクタエミッタ電流特性について同様の効果を得ることができる。なお、半導体装置650に対して実施の形態1において説明した各種の変形を適用してもよく、実施の形態2、3で説明したソーストレンチ301、501などを半導体装置650に適用してもよい。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

図10および図11に示す特性カーブ12、22のように、帰還容量 C_{gd} 、出力容量は第1比較例の特性カーブ11、21よりも低くでき、第1比較例より高周波特性の向上が可能となる。また、実施の形態5は、N-型ドリフト層102の空乏化助長により空乏

層 8 0 1 を厚く形成できるので、N - 型ドリフト層 1 0 2 濃度を高く設計することが可能となる。このためオン抵抗 R_{on} を低減でき、半導体装置 7 0 0 の高出力化が可能となる。