



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년04월07일
(11) 등록번호 10-0951657
(24) 등록일자 2010년03월31일

(51) Int. Cl.
G11C 11/4093 (2006.01) G11C 11/4076 (2006.01)
G11C 11/407 (2006.01)
(21) 출원번호 10-2007-0120440
(22) 출원일자 2007년11월23일
심사청구일자 2007년11월23일
(65) 공개번호 10-2009-0053555
(43) 공개일자 2009년05월27일
(56) 선행기술조사문헌
KR1020050002526 A*
KR1020060044526 A*
KR1020050101858 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
김중환
충주시 상당구 금천동 320 부영아파트 803동 804호
(74) 대리인
김성남

전체 청구항 수 : 총 21 항

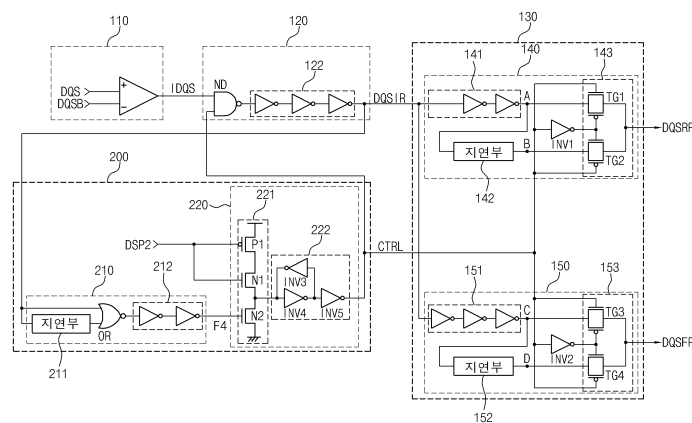
심사관 : 손윤식

(54) 데이터 스트로브 버퍼 회로 및 이를 이용한 데이터 입력버퍼 장치

(57) 요약

본 발명은 메모리 장치에서 라이트 동작시에 포스트앰블 링잉 현상으로 인한 오류를 제거하고 안정된 라이트 동작을 수행할 수 있도록 하는 반도체 장치의 데이터 스트로브 버퍼 회로에 관한 것으로서, 본 발명에 따른 데이터 스트로브 버퍼 회로는 데이터 스트로브 신호를 버퍼링하고 상기 버퍼링 신호에 의해 동기되는 라이징 펄스와 폴링 에지에 동기되는 폴링 펄스를 출력하는 데이터 스트로브 버퍼부; 및 상기 버퍼링 신호를 입력받아 펄스 신호를 생성하고, 상기 펄스 신호가 인에이블되는 경우 외부에서 인가되는 제어신호에 응답하여 상기 데이터 스트로브 버퍼부를 제어하는 버퍼 제어신호를 생성하는 버퍼 제어부;를 포함하고, 상기 버퍼 제어신호에 응답하여 상기 라이징 펄스와 폴링 펄스를 소정 시간 지연하여 출력하는 것을 특징으로 하는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

데이터 스트로브 신호를 버퍼링하여 출력한 버퍼링 신호의 라이징 에지에 동기되는 라이징 펄스와 상기 버퍼링 신호의 폴링 에지에 동기되는 폴링 펄스를 출력하는 데이터 스트로브 버퍼부; 및

상기 버퍼링 신호를 입력받아 펄스 신호를 생성하고, 상기 펄스 신호가 인에이블되는 경우 외부에서 인가되는 제어신호에 응답하여 상기 데이터 스트로브 버퍼부를 제어하는 버퍼 제어신호를 생성하는 버퍼 제어부;를 포함하고,

상기 데이터 스트로브 버퍼부는, 상기 버퍼 제어신호에 응답하여 상기 라이징 펄스와 폴링 펄스를 소정 시간 지연하여 출력하는 것을 특징으로 하는 데이터 스트로브 버퍼 회로.

청구항 2

제 1항에 있어서,

상기 데이터 스트로브 버퍼부는 상기 데이터 스트로브 신호를 버퍼링하는 데이터 입력 버퍼부;

상기 버퍼 제어신호의 제어에 응답하여 상기 버퍼링된 신호를 드라이빙하여 출력하는 드라이버부; 및

상기 드라이버부의 신호에 동기되어 상기 라이징 펄스와 상기 폴링 펄스를 출력하는 펄스 출력부를 포함하는 데이터 스트로브 버퍼 회로.

청구항 3

제 2항에 있어서,

상기 펄스 출력부는 라이징 펄스를 출력하는 라이징 펄스 출력부와 폴링 펄스를 출력하는 폴링 펄스 출력부를 포함하는 데이터 스트로브 버퍼 회로.

청구항 4

제 3항에 있어서,

상기 라이징 펄스 출력부는 상기 드라이버부의 출력 신호를 소정 시간 지연하는 제 1 지연부; 및

상기 버퍼 제어신호에 응답하여 상기 제 1 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 1 데이터 전달부를 포함하는 데이터 스트로브 버퍼 회로.

청구항 5

제 4항에 있어서,

상기 제 1 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연되기 전의 신호를 전달하는 제 1 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연된 신호를 전달하는 제 2 전달 게이트를 포함하는 데이터 스트로브 버퍼 회로.

청구항 6

제 4항에 있어서,

상기 폴링 펄스 출력부는 상기 드라이버부의 출력 신호를 소정 시간 지연하는 제 2 지연부; 및

상기 버퍼 제어신호에 응답하여 상기 제 2 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 2 데이터 전달부를 포함하는 데이터 스트로브 버퍼 회로.

청구항 7

제 6항에 있어서,

상기 제 2 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연되기

전의 신호를 전달하는 제 3 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연된 신호를 전달하는 제 4 전달 게이트를 포함하는 데이터 스트로브 버퍼 회로.

청구항 8

제 6항에 있어서,

상기 제 1 지연부 또는 제 2 지연부는 상기 폴링 펄스에 의해 동기되어 래치되는 데이터의 밸리드 윈도우가 상기 데이터 스트로브 신호의 라이징 에지 발생 지점 이후 까지 확장되도록 지연하는 데이터 스트로브 버퍼 회로.

청구항 9

제 2항에 있어서,

상기 버퍼 제어부는 상기 드라이버부의 출력 신호를 입력받아 소정 시간 지연하여 펄스 신호를 생성하는 펄스 생성부; 및

상기 펄스 신호와 상기 외부에서 인가되는 제어신호를 입력으로 하여 상기 펄스 신호가 하이 레벨을 유지하는 동안 상기 외부에서 인가되는 제어신호가 인에이블되는 경우 디스에이블되는 버퍼 제어신호를 생성하는 버퍼 제어신호 생성부;를 포함하는 데이터 스트로브 버퍼 회로.

청구항 10

제 9항에 있어서,

상기 버퍼 제어신호는 라이트 명령이 인가될 때 하이 레벨로 리셋 되는 데이터 스트로브 버퍼 회로.

청구항 11

데이터 스트로브 신호를 입력받아 버퍼 제어신호에 따라 소정 시간 지연된 라이징 펄스 및 폴링 펄스를 출력하는 데이터 스트로브 버퍼 회로;

데이터를 외부로부터 입력받는 데이터 버퍼부;

상기 라이징 펄스와 폴링 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치 및 정렬하여 정렬 데이터를 출력하는 데이터 정렬부; 및

스트로브 클럭에 응답하여 상기 데이터 정렬부의 출력을 글로벌 입출력 라인에 출력하는 글로벌 입출력 드라이버;를 포함하고,

상기 데이터 스트로브 버퍼 회로는 상기 데이터 스트로브 신호를 버퍼링한 신호를 입력받아 펄스 신호를 생성하고, 상기 펄스 신호가 하이 레벨인 경우 외부에서 인가되는 제어신호에 응답하여 상기 버퍼 제어신호를 생성하는 버퍼 제어부를 포함하는 것을 특징으로 하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 12

제 11항에 있어서, 상기 데이터 정렬부는

상기 라이징 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치하는 라이징 래치부;

상기 폴링 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치하는 폴링 래치부; 및

상기 폴링 펄스에 의해 상기 라이징 래치부에서 출력되는 데이터 신호를 래치하여 상기 폴링 래치부에서 출력되는 데이터와 정렬시키는 데이터 래치부;를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 13

제 11항에 있어서,

상기 스트로브 버퍼 회로는 데이터 스트로브 신호를 버퍼링하여 출력하는 데이터 입력부와 상기 버퍼링되어 출력되는 신호의 라이징 에지에 동기되는 라이징 펄스와 상기 버퍼링되어 출력되는 신호의 폴링 에지에 동기되는 폴링 펄스를 출력하는 펄스 출력부를 포함하는 데이터 스트로브 버퍼부;를 포함하되,

상기 펄스 출력부는 상기 버퍼 제어신호에 응답하여 라이징 펄스와 폴링 펄스를 소정 시간 지연하여 출력하는

반도체 장치의 데이터 입력 버퍼 장치.

청구항 14

제 13항에 있어서,

상기 펄스 출력부는 라이징 펄스를 출력하는 라이징 펄스 출력부와 폴링 펄스를 출력하는 폴링 펄스 출력부를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 15

제 14항에 있어서,

상기 라이징 펄스 출력부는 상기 데이터 입력부의 출력 신호를 소정 시간 지연하는 제 1 지연부; 및

상기 버퍼 제어신호에 응답하여 상기 제 1 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 1 데이터 전달부를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 16

제 15항에 있어서,

상기 제 1 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연되기 전의 신호를 전달하는 제 1 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연된 신호를 전달하는 제 2 전달 게이트를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 17

제 15항에 있어서,

상기 폴링 펄스 출력부는 상기 데이터 입력부의 출력 신호를 소정 시간 지연하는 제 2 지연부; 및

상기 버퍼 제어신호에 응답하여 상기 제 2 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 2 데이터 전달부를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 18

제 17항에 있어서,

상기 제 2 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연되기 전의 신호를 전달하는 제 3 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연된 신호를 전달하는 제 4 전달 게이트를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 19

제 17항에 있어서,

상기 제 1 지연부 또는 제 2 지연부는 상기 폴링 펄스에 의해 동기되어 래치되는 데이터의 매크리드 윈도우가 상기 데이터 스트로브 신호의 라이징 에지 발생 지점 이후 까지 확장되도록 지연하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 20

제 13항에 있어서,

상기 데이터 입력부는 상기 데이터 스트로브 신호를 입력받아 버퍼링하는 데이터 입력 버퍼부와 상기 버퍼 제어신호의 제어에 응답하여 상기 버퍼링된 신호를 드라이빙하여 출력하는 드라이버부를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

청구항 21

제 20항에 있어서,

상기 버퍼 제어부는 상기 드라이버부의 출력 신호를 입력받아 소정 시간 지연하여 펄스 신호를 생성하는 펄스

생성부; 및

상기 펄스 신호와 상기 외부에서 인가되는 제어신호를 입력으로 하여 상기 펄스 신호가 하이 레벨을 유지하는 동안 상기 외부에서 인가되는 제어신호가 인에이블되는 경우 디스에이블되는 버퍼 제어신호를 생성하는 버퍼 제어신호 생성부;를 포함하는 반도체 장치의 데이터 입력 버퍼 장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 특히 메모리 장치에서 라이트 동작시에 포스트앰블 링잉 현상으로 인한 오류를 제거하고 안정된 라이트 동작을 수행할 수 있도록 하는 반도체 장치의 데이터 스트로브 버퍼 회로 및 이를 이용한 데이터 입력 버퍼 장치에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리 칩 외부에서 주어지는 클럭과 동기되어 동작할 수 있는 동기식(Synchronous) 메모리 장치가 등장하였고, 보다 고속 동작을 만족시키기 위해 하나의 클럭 주기에 두 개의 데이터를 입출력하는 이른바 DDR(Double Date Rate) 동기식 메모리 장치가 제안되었다.

[0003] 이때, 고속 동작에서의 데이터 입출력의 정확한 타이밍을 구현하기 위해 데이터를 입력받을 때 메모리 장치의 외부의 중앙처리장치나 메모리 컨트롤러에서 데이터 신호와 함께 데이터 스트로브(Data Strobe, DQS) 신호가 함께 입력된다.

[0004] 이러한 데이터 스트로브 신호 DQS에 링잉(ringing) 현상이 발생하게 되면 데이터 오류가 발생하는 문제점이 있다.

[0005] 도 1은 종래 DDR SDRAM에서 데이터 기록시의 동작 타이밍도를 나타낸 것이다. 이하에서는 버스트 길이(Burst Lenth, BL)가 4인 경우를 기준으로 설명하기로 한다.

[0006] 도면을 참고하면, 클럭의 라이징 에지와 폴링 에지에 동기되어 데이터 (D0-D3)가 입력되고, 데이터가 입력되는 타이밍에 맞추어 데이터 스트로브 신호 DQS 가 입력된다. 그리고 상기 데이터 스트로브 신호 DQS의 라이징 에지에 동기되어 라이징 펄스 DQSRP가 생성되고 폴링 에지에 동기되어 폴링 펄스 DQSFP가 각각 생성된다.

[0007] 그리고 상기 데이터 스트로브 신호 DQS의 라이징 에지에서 펄스 형태로 출력되는 라이징 펄스 DQSRP와 데이터 스트로브 신호 DQS의 폴링 에지에서 펄스 형태로 출력되는 폴링 펄스 DQSFP가 출력된다.

[0008] 입력된 데이터 D0, D1, D2, D3은 상기 라이징 펄스 DQSRP와 폴링 펄스 DQSFP에 의해 래치되고 정렬되어 데이터 스트로브 클럭 DCLK에 동기되어 글로벌 입출력 라인에 실리게 된다. 보다 상세하게 살펴보면, 라이징 펄스 DQSRP에서 첫 번째 데이터 D0가 래치된 후 다음 폴링 에지에서 첫 번째 데이터 D0과 두 번째 데이터 D1이 함께 정렬(align)된다.

[0009] 상기 데이터 스트로브 신호 DQS는 평상시에는 하이 임피던스 상태를 유지하고 있다가, 데이터가 입력되기 한 클럭 전에 미리 로우 레벨을 유지하는 프리앰블(preamble) 상태에서 데이터가 입력되는 타이밍에 따라서 클럭킹되다가, 데이터가 모두 입력되고 나면 다시 일정 기간 로우 레벨의 포스트앰블(postamble) 상태를 유지하다가 다시 하이 임피던스 상태를 유지하게 된다. 이때 데이터 입력 이후 데이터 스트로브 신호 DQS에 도시된 것과 같은 링잉(ringing)현상이 발생하게 되면 데이터 오류가 발생하게 된다.

[0010] 자세히 살펴보면, 라이트 동작에 의하면 데이터의 입력이 끝나게 되면 데이터 스트로브 신호 DQS가 도 1에 도시된 tWPST(write DQS postamble time) 만큼의 시간이 경과한 후 고 임피던스(high-Z) 상태를 가야하는데, 링잉 현상이 발생하게 되면, 상기 라이징 펄스 DQSRP와 폴링 펄스 DQSFP에서 링잉 현상이 발생한 부분 동기된 짧은 펄스가 생성된다.

[0011] 따라서 상기 라이징 펄스 및 폴링 펄스의 링잉에 의해 생긴 펄스에 에지 부분에 동기되어 데이터가 래치되고 정렬되어 유효한 데이터 마진(밸리드 윈도우, valid window)이 좁아지고, 유효하지 않은 데이터(invalid data)가 발생하는 구간에서 스트로브 클럭의 라이징 에지가 발생하게 되고, 결과적으로 글로벌 버스에 실리게 되어 결국

라이트 동작에 오류가 발생하게 된다.

- [0012] 도 2는 이러한 링잉 현상에 의한 데이터 오류를 방지하기 위해 종래 사용되고 있는 데이터 스트로브 버퍼 회로의 예를 나타낸 회로도이고, 도 3은 도 2의 동작 타이밍도를 나타낸 것이다.
- [0013] 상기 데이터 스트로브 버퍼 회로는 데이터 스트로브 신호 DQS를 버퍼링하여 버퍼링 신호 IDQS를 출력하는 데이터 입력부(10), 상기 버퍼링 신호 IDQS를 제어신호에 의해 드라이버 신호 DQSIR로 출력하는 드라이버부(20), 상기 드라이버 신호 DQSIR를 입력받아 라이징 펄스 DQSRP와 폴링 펄스 DQSFP로 출력하는 펄스 출력부(30), 및 상기 드라이버 신호 DQSIR를 피드백 받아 상기 드라이버 신호 DQSIR를 디스에이블 시키는 드라이버 제어신호 CTRL_DR을 출력하는 드라이버 제어부(40)를 포함한다.
- [0014] 버퍼가 인에이블되면 버퍼링 신호 IDQS와 드라이버 신호 DQSIR가 출력된다.
- [0015] 상기 드라이버 신호 DQSIR은 피드백되어 상기 드라이버 제어부(40)로 입력되어 지연부(41)와 오아(OR) 게이트를 거쳐 펄스 신호 F4가 생성된다. 상기 펄스 신호 F4가 하이 레벨을 유지하는 동안 링잉 제어신호 DSP2 신호가 하이 레벨로 인에이블되면 상기 드라이버 제어신호 CTRL_DR이 로우 레벨로 디스에이블된다.
- [0016] 상기 드라이버 제어신호 CTRL_DR는 드라이버의 낸드 게이트 ND로 입력되므로 이후의 드라이버 신호 DQSIR는 로우 레벨을 유지하게 된다. 따라서 링잉에 토글링 되는 신호를 제거하여 데이터 오류를 방지할 수 있다.
- [0017] 그러나 DQS가 빨리 입력되는 tDQSSmin(반도체 장치에 라이트 명령이 입력된 시점부터 스트로브 신호의 첫 번째 라이징 에지가 생성될 때까지 걸리는 시간의 최소 범위) 조건 즉, 고주파 동작의 경우에는 상기 링잉 제어신호 DSP2 신호의 라이징 구간이 펄스 신호 F4의 라이징 구간보다 늦게 발생하고 링잉에 의해 토글되는 신호가 출력되게 되어 여전히 데이터 오류가 발생하게 된다.
- [0018] 또한, 외부 전압이 낮은 경우나 온도가 낮은 경우에도 이러한 현상이 더욱 심화되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0019] 본 발명은 데이터 스트로브 신호가 빨리 입력되는 tDQSSmin 조건에서 DQS 링잉 현상이 발생하더라도 데이터 오류가 발생하지 않고 안정된 라이트 동작을 수행할 수 있는 데이터 출력 장치를 제공하는 것을 목적으로 한다.
- [0020] 또한, 본 발명은 DQS 신호에 링잉 발생시 데이터 정렬 펄스를 일정시간 지연시켜줌으로써 링잉이 발생하더라도 데이터 오류를 방지할 수 있는 장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- [0021] 본 발명에 따른 데이터 스트로브 버퍼 회로는 데이터 스트로브 신호를 버퍼링하여 출력한 버퍼링 신호의 라이징 에지에 동기되는 라이징 펄스와 상기 버퍼링 신호의 폴링 에지에 동기되는 폴링 펄스를 출력하는 데이터 스트로브 버퍼부; 및 상기 버퍼링 신호를 입력받아 펄스 신호를 생성하고, 상기 펄스 신호가 인에이블되는 경우 외부에서 인가되는 제어신호에 응답하여 상기 데이터 스트로브 버퍼부를 제어하는 버퍼 제어신호를 생성하는 버퍼 제어부;를 포함하고, 상기 데이터 스트로브 버퍼부는, 상기 버퍼 제어신호에 응답하여 상기 라이징 펄스와 폴링 펄스를 소정 시간 지연하여 출력하는 것을 특징으로 한다.
- [0022] 여기에서, 상기 데이터 스트로브 버퍼부는 상기 데이터 스트로브 신호를 버퍼링하는 데이터 입력 버퍼부; 상기 버퍼 제어신호의 제어에 응답하여 상기 버퍼링된 신호를 드라이빙하여 출력하는 드라이버부; 및 상기 드라이버의 신호에 동기되어 상기 라이징 펄스와 상기 폴링 펄스를 출력하는 펄스 출력부를 포함할 수 있다.
- [0023] 상기 펄스 출력부는 라이징 펄스를 출력하는 라이징 펄스 출력부와 폴링 펄스를 출력하는 폴링 펄스 출력부를 포함하는 하는 것이 바람직하다.
- [0024] 상기 라이징 펄스 출력부는 상기 드라이버부의 출력 신호를 소정 시간 지연하는 제 1 지연부; 및 상기 버퍼 제어신호에 응답하여 상기 제 1 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 1 데이터 전달부를 포함하는 것이 바람직하다.
- [0025] 상기 제 1 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연되기 전의 신호를 전달하는 제 1 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 1 지연부

에 의해 지연된 신호를 전달하는 제 2 전달 게이트를 포함하는 것이 바람직하다.

- [0026] 상기 풀링 펄스 출력부는 상기 드라이버부의 출력 신호를 소정 시간 지연하는 제 2 지연부; 및 상기 버퍼 제어 신호에 응답하여 상기 제 2 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 2 데이터 전달부를 포함하는 것이 바람직하다.
- [0027] 상기 제 2 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연되기 전의 신호를 전달하는 제 3 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연된 신호를 전달하는 제 4 전달 게이트를 포함하는 것이 바람직하다.
- [0028] 상기 제 1 지연부 또는 제 2 지연부는 상기 풀링 펄스에 의해 동기되어 래치되는 데이터의 밸리드 윈도우가 상기 데이터 스트로브 신호의 라이징 에지 발생 지점 이후 까지 확장되도록 지연하는 것이 바람직하다.
- [0029] 상기 버퍼 제어부는 상기 드라이버부의 출력 신호를 입력받아 소정 시간 지연하여 펄스 신호를 생성하는 펄스 생성부; 및 상기 펄스 신호와 상기 외부에서 인가되는 제어신호를 입력으로 하여 상기 펄스 신호가 하이 레벨을 유지하는 동안 상기 외부에서 인가되는 제어신호가 인에이블되는 경우 디스에이블되는 버퍼 제어신호를 생성하는 버퍼 제어신호 생성부;를 포함하는 것이 바람직하다.
- [0030] 상기 버퍼 제어신호는 라이트 명령이 인가될 때 하이 레벨로 리셋 된다.
- [0031] 또한, 본 발명에 따른 반도체 장치의 데이터 입력 버퍼 장치는 데이터 스트로브 신호를 입력받아 버퍼 제어신호에 따라 소정 시간 지연된 라이징 펄스 및 풀링 펄스를 출력하는 데이터 스트로브 버퍼 회로; 데이터를 외부로부터 입력받는 데이터 버퍼부; 상기 라이징 펄스와 풀링 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치 및 정렬하여 정렬 데이터를 출력하는 데이터 정렬부; 및 스트로브 클럭에 응답하여 상기 데이터 정렬부의 출력을 글로벌 입출력 라인에 출력하는 글로벌 입출력 드라이버;를 포함하고, 상기 데이터 스트로브 버퍼 회로는 상기 데이터 스트로브 신호를 버퍼링한 신호를 입력받아 펄스 신호를 생성하고, 상기 펄스 신호가 하이 레벨인 경우 외부에서 인가되는 제어신호에 응답하여 상기 버퍼 제어신호를 생성하는 버퍼 제어부를 포함하는 것을 특징으로 한다.
- [0032] 여기에서, 상기 데이터 정렬부는 상기 라이징 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치하는 라이징 래치부; 상기 풀링 펄스에 의해 상기 데이터 버퍼부에서 출력되는 데이터를 래치하는 풀링 래치부; 및 상기 풀링 펄스에 의해 상기 라이징 래치부에서 출력되는 데이터 신호를 래치하여 상기 풀링 래치부에서 출력되는 데이터와 정렬시키는 데이터 래치부;를 포함할 수 있다.
- [0033] 상기 스트로브 버퍼 회로는데이터 스트로브 신호를 버퍼링하여 출력하는 데이터 입력부와 상기 버퍼링되어 출력되는 신호의 라이징 에지에 동기되는 라이징 펄스와 상기 버퍼링되어 출력되는 신호의 풀링 에지에 동기되는 풀링 펄스를 출력하는 펄스 출력부를 포함하는 데이터 스트로브 버퍼부;를 포함하되, 상기 펄스 출력부는 상기 버퍼 제어신호에 응답하여 라이징 펄스와 풀링 펄스를 소정 시간 지연하여 출력한다.
- [0034] 상기 펄스 출력부는 라이징 펄스를 출력하는 라이징 펄스 출력부와 풀링 펄스를 출력하는 풀링 펄스 출력부를 포함할 수 있다.
- [0035] 상기 라이징 펄스 출력부는 상기 데이터 입력부의 출력 신호를 소정 시간 지연하는 제 1 지연부; 및 상기 버퍼 제어신호에 응답하여 상기 제 1 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 1 데이터 전달부를 포함하는 것이 바람직하다.
- [0036] 상기 제 1 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연되기 전의 신호를 전달하는 제 1 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 1 지연부에 의해 지연된 신호를 전달하는 제 2 전달 게이트를 포함하는 것이 바람직하다.
- [0037] 상기 풀링 펄스 출력부는 상기 데이터 입력부의 출력 신호를 소정 시간 지연하는 제 2 지연부; 및 상기 버퍼 제어신호에 응답하여 상기 제 2 지연부에 의해 지연되기 전의 신호와 지연 후의 신호를 선택적으로 전달하는 제 2 데이터 전달부를 포함하는 것이 바람직하다.
- [0038] 상기 제 2 데이터 전달부는 상기 버퍼 제어신호가 인에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연되기 전의 신호를 전달하는 제 3 전달 게이트와 상기 버퍼 제어신호가 디스에이블될 때 턴 온 되어 상기 제 2 지연부에 의해 지연된 신호를 전달하는 제 4 전달 게이트를 포함하는 것이 바람직하다.
- [0039] 상기 제 1 지연부 또는 제 2 지연부는 상기 풀링 펄스에 의해 동기되어 래치되는 데이터의 밸리드 윈도우가 상

기 데이터 스트로브 신호의 라이징 에지 발생 지점 이후 까지 확장되도록 지연하는 것이 바람직하다.

[0040] 상기 버퍼 제어부는 상기 드라이버부의 출력 신호를 입력받아 소정 시간 지연하여 펄스 신호를 생성하는 펄스 생성부; 및 상기 펄스 신호와 상기 외부에서 인가되는 제어신호를 입력으로 하여 상기 펄스 신호가 하이 레벨을 유지하는 동안 상기 외부에서 인가되는 제어신호가 인에이블되는 경우 디스에이블되는 버퍼 제어신호를 생성하는 버퍼 제어신호 생성부;를 포함한다.

효 과

[0041] 본 발명에 의하면, 데이터 스트로브 신호가 빨리 입력되는 tDQSSmin 조건에서 DQS 신호에 링잉 현상이 발생하더라도 데이터 오류가 발생하지 않고 안정된 라이트 동작을 수행할 수 있다.

[0042] 또한, 본 발명에 의하면, DQS 링잉 발생시 링잉에 토글링된 펄스가 소정시간 지연된 DQS 라이징 펄스와 폴링 출력함으로써 링잉이 발생하더라도 라이트 동작이 데이터 오류가 발생하는 것을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0043] 본 발명은 데이터 스트로브 신호에 링잉 현상이 발생하는 경우, 링잉에 의해 발생하는 펄스를 지연시켜 그 펄스에 의해 정렬되는 데이터가 글로벌 입출력 라인에 실리지 않게 함으로써 라이트 동작이 데이터 오류가 발생하는 것을 방지할 수 있는 장치에 대해 기재한다.

[0044] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 살펴보도록 한다.

[0045] 도 4는 본 발명에 따른 데이터 스트로브 버퍼 회로의 일 출력 장치의 블록도를 나타낸 것이다.

[0046] 도 4를 참조하면, 데이터 스트로브 버퍼 회로는 데이터 스트로브 신호 쌍(DQS, DQSB)을 입력받아 버퍼링하여 버퍼링 신호 IDQS를 출력하는 데이터 입력부(110), 상기 버퍼링 신호 IDQS를 입력받아 제어신호 CTRL에 응답하여 드라이버 신호 DQSIR을 출력하는 드라이버부(120), 상기 드라이버 신호 DQSIR을 소정 시간 지연하여 데이터 정렬을 위한 라이징 펄스 DQSRP와 폴링 펄스 DQSFP를 출력하는 펄스 출력부(130)를 포함하는 버퍼부(100)와 상기 버퍼부를 제어하는 버퍼 제어부(200)를 포함한다.

[0047] 상기 버퍼 제어부(200)는 외부에서 인가되는 링잉 제어신호 DSP2와 상기 드라이버 신호 DQSIR을 피드백 받아 상기 드라이버부(120)의 출력과 상기 펄스 출력부(130)의 출력을 제어하는 제어신호 CTRL을 출력한다.

[0048] 상기 링잉 제어신호 DSP2는 링잉이 발생하게 될 경우 내부적으로 리잉을 제어하는 클럭 CLK의 하이 레벨 펄스 폭을 조절하여 발생시킨 신호로서, 라이트 동작시 버스트 길이 정보를 가지고 있다. 따라서 라이트 명령 이후 일정 시간이 경과한 후 하이레벨로 인에이블되고, 그 다음 클럭에서 로우 레벨로 디스에이블된다.

[0049] 상기 제어신호 CTRL은 라이트 명령 인가시 하이 레벨로 세팅되어 있다가 상기 링잉 제어신호가 하이 레벨로 인에이블 되는 경우 로우 레벨로 디스에이블 된다.

[0050] 상기 제어신호 CTRL이 로우 레벨로 디스에이블되면 드라이버 신호 DQSIR은 로우 레벨로 디스에이블된다.

[0051] 상기 펄스 출력부(130)는 라이징 펄스 DQSRP와 폴링 펄스 DQSFP를 동시에 출력하는데, 상기 제어신호 CTRL에 따라 지연 정도를 달리하여 출력한다. 상기 제어신호 CTRL이 디스에이블되면 링잉 현상에 의해 발생한 펄스가 소정 시간 지연된 라이징 펄스 DQSRP와 폴링 펄스 DQSFP이 출력된다.

[0052] 즉, 라이트 명령 이후 데이터 스트로브에 링잉 현상에 의한 펄스가 발생하면 이를 피드백 받아 제어신호 CTRL가 디스에이블되어 드라이버 신호를 로우 레벨로 고정하여 이후 펄스가 발생하지 못하도록 하고, 상기 펄스 출력부에서는 이미 발생한 펄스를 소정 시간 지연함으로써 잘못된 펄스에 의해 데이터가 정렬되고 출력되는 것을 방지할 수 있다.

[0053] 이하에서는 5 및 도 6을 참조하여 본 발명의 구성 및 동작을 보다 상세하게 살펴본다. 도 5는 상기 도 4의 상세 회로도이고 도 6은 도 5의 회로에 따른 타이밍도를 나타낸 것이다.

[0054] 상기 데이터 입력부(110)는 데이터 스트로브 신호 DQS와 데이터 스트로브 바 신호 DQSB를 버퍼링하여 버퍼링 신호 IDQS를 출력한다.

[0055] 상기 드라이버부(120)는 제어신호 CTRL에 응답하여 상기 내부 데이터 스트로브 신호 IDQS를 드라이버 신호 DQSIR로 출력한다.

- [0056] 상기 드라이버부(120)는 상기 버퍼링 신호 IDQS와 제어신호 CTRL을 입력으로 하여 드라이버의 출력을 제어하는 출력 제어부 ND와 상기 출력 제어부 ND의 출력을 반전하는 다수의 인버터(121)를 포함한다. 상기 출력 제어부는 낸드 게이트가 될 수 있다. 이와 같은 구성에 의해, 드라이버 신호 DQSIR는 상기 제어신호 CTRL이 로우 레벨로 디스에이블될 때 로우 레벨로 고정되어 출력된다. 즉, 제어신호가 로우 레벨로 디스에이블되면 더 이상 링잉 현상에 의한 펄스가 출력되지 않는다.
- [0057] 상기 펄스 출력부(130)는 라이징 펄스 DQSRP를 출력하는 라이징 펄스 출력부(140)와 폴링 펄스 DQSFP를 출력하는 폴링 펄스 출력부(150)를 포함한다.
- [0058] 상기 라이징 펄스 출력부(140)는 상기 드라이버 신호 DQSIR를 입력받는 복수의 인버터로 구성된 입력부(141)와, 상기 입력부(141)의 출력 신호 A를 소정 시간 지연하여 지연 신호 B를 출력하는 제 1 지연부(142)와, 상기 입력부(141) 출력 신호 A 또는 지연 신호 B를 라이징 펄스 DQSRP로 출력되도록 전달하는 데이터 전달부(143)를 포함한다. 상기 데이터 전달부(143)는 상기 제어신호 CTRL이 인에이블될 때 턴 온 되는 제 1 전달 게이트 TG1과 상기 제어신호 CTRL 이 디스에이블될 때 턴 온 되는 제 2 전달 게이트 TG2를 포함하고, 상기 제 1 전달 게이트의 NMOS 게이트와 상기 제 2 전달 게이트의 PMOS 게이트에 공통으로 연결된 인버터 INV1를 포함한다.
- [0059] 따라서 상기 제어신호 CTRL이 인에이블되는 경우에는 데이터 전달부(143)의 제 1 전달 게이트 TG1이 턴 온 되므로 상기 드라이버 신호 DQSIR가 입력부(141)를 통해 바로 출력되어 라이징 펄스 DQSRP로 출력되고, 상기 제어신호 CTRL이 디스에이블되는 경우에는 데이터 전달부(143)의 제 2 전달 게이트가 턴 온 되므로 상기 드라이버 신호 DQSIR이 지연부(142)를 통해 소정 시간 지연된 지연 신호 B가 라이징 펄스 DQSRP로 출력된다.
- [0060] 마찬가지로, 상기 폴링 펄스 출력부(150)는 상기 드라이버 신호 DQSIR을 입력받는 다수의 인버터로 구성된 입력부(151)와, 상기 입력부의 출력 신호 A를 지연하여 지연신호 B를 출력하는 제 2 지연부(152)와, 상기 출력신호 A 또는 지연 신호 B를 출력하도록 데이터를 전달하는 데이터 전달부(153)를 포함한다. 상기 데이터 전달부(153)는 제어신호 CTRL이 인에이블될 때 턴 온 되는 제 3 전달 게이트 TG3과 제어신호 CTRL이 디스에이블될 때 턴 온 되는 제 4 전달 게이트 TG4를 포함한다. 그리고 상기 제 3 전달 게이트의 NMOS 게이트와 상기 제 4 전달게이트의 PMOS 게이트에 공통으로 연결된 인버터 INV2를 포함한다. 따라서 상기 제어신호 CTRL에 따라 입력부(151)의 출력 신호 A 또는 제 2 지연부(152)의 지연 신호 B가 폴링 펄스 DQSFP로 출력된다.
- [0061] 상기 라이징 펄스와 폴링 펄스는 서로 상보적인 관계에 있으므로 입력부(141)은 짝수개의 인버터를 포함하고, 상기 입력부(151)은 홀수개의 인버터를 포함하는 것이 바람직하다.
- [0062] 상기 버퍼 제어부(200)는 외부에서 인가되는 링잉 제어신호 DSP2와 상기 드라이버 신호 DQSIR를 조합하여 상기 드라이버(120)와 펄스 출력부(130)를 제어하는 제어신호 CTRL을 생성한다. 버퍼 제어부(200)는 펄스 신호 F4를 생성하는 펄스 생성부(210)와, 상기 펄스 신호 F4와 상기 링잉 제어신호 DSP2를 조합하여 상기 제어신호 CTRL을 생성하는 제어신호 생성부(220)를 포함한다.
- [0063] 상기 펄스 생성부(210)는 드라이버 신호 DQSIR을 피드백 받아 이 신호를 지연부(211)를 통해 소정 시간 지연하고, 지연된 신호와 지연되지 않은 신호와 조합하여 펄스 신호 F4를 생성한다. 이때 펄스 생성부(210)는 피드백 신호를 지연하는 지연부(211), 지연신호와 피드백 신호를 오아 연산하는 오아 게이트 OR, 및 상기 오아 게이트의 신호를 출력하는 다수의 인버터(212)를 포함할 수 있다.
- [0064] 상기 제어신호 생성부(220)는 상기 펄스 신호 F4와 링잉 제어신호 DSP2가 모두 하이 레벨인 경우에 로우 레벨의 제어신호 CTRL을 출력한다. 상기 제어신호 생성부(220)는 펄스 신호 F4와 링잉 제어신호 DSP를 조합하여 두 신호가 하이 레벨인 경우에만 로우 레벨의 신호를 생성하는 다수의 트랜지스터로 구비된 신호 생성부(221)와 생성된 신호를 래치하고 반전하여 출력하는 제어신호 출력부(222)를 포함한다. 상기 신호 생성부(221)는 링잉 제어신호를 공통 게이트 입력으로 하는 PMOS 트랜지스터 P1과 NMOS 트랜지스터 N1 및 펄스 신호 F4를 게이트 입력으로 하는 NMOS 트랜지스터 N2를 포함하고, 상기 모스 트랜지스터들은 캐스코드(cascode) 형태로 연결되어 있다. 상기 제어신호 출력부(222)는 입력 신호를 래치하는 래치부(INV3, INV4)와 래치부의 출력을 반전하는 인버터(INV5)로 구성되어 있다. 상기 래치부는 라이트 명령 입력시 리셋 신호에 의해 하이 레벨로 리셋된다. 따라서 상기 신호 생성부(221)에서 로우 레벨의 신호가 생성되지 않는 동안에는 리셋부의 입력신호가 하이 레벨로 고정되어 있고 따라서 제어신호 CTRL도 하이 레벨을 유지한다.
- [0065] 도 6의 타이밍도를 참조하여 동작을 살펴보면, 데이터 스트로브 신호 DQS에 링잉 현상이 발생하면, 버퍼링 신호 IDQS에 작은 펄스가 생기게 되고 따라서 이를 입력신호로 하는 드라이버 신호 DQSIR에도 펄스가 생긴다.

- [0066] 상기 드라이버 신호 DQSIR는 펄스 제어부(200)의 펄스 생성부로 입력되어 펄스 신호 F4가 되고, 펄스 신호의 하이 레벨 구간에서 링잉 제어신호 DSP2가 하이 레벨로 천이되면 PMOS 트랜지스터 P1이 턴 오프되고 NMOS 트랜지스터 N1, N2가 턴 온 되면서 로우 레벨의 신호가 생성되고 래치되어 로우 레벨로 디스에이블된 제어신호 CTRL가 출력된다. 즉, 상기 제어신호 CTRL는 초기에 하이 레벨로 래치되어 있다가 상기 링잉 제어신호 DSP2가 인에이블될 때 디스에이블된다. 상기 링잉 제어신호는 앞서도 살펴보았지만, 버스트 길이 정보를 가지고 있는 신호로서, 라이트 명령 이후 일정 시간($WL-1 \cdot t_{CK} + BL/2$)이 경과한 시점에서 하이 레벨로 인에이블된 후 그 다음 클럭에서 로우 레벨로 디스에이블된다. WL은 라이트 레이턴시(write latency)를 의미하고 BL은 버스트 길이(burst length)를 의미한다.
- [0067] 상기 제어신호 CTRL는 드라이버부(120)의 낸드 게이트 ND로 입력되므로 제어신호 CTRL이 로우 레벨이 되면 드라이버 신호 DQSIR은 로우 레벨로 고정된다.
- [0068] 또한, 상기 제어신호 CTRL이 로우 레벨로 디스에이블되면 펄스 출력부(130)에서 지연 경로를 인에이블시켜 도시된 것과 같이 지연된 라이징 펄스 DQSRP4와 지연된 폴링 펄스 DQSFP4가 출력된다.
- [0069] 따라서 상기 지연된 펄스 DQSRP4, DQSFP에 동기되어 데이터가 래치되고 정렬되어 링잉에 의한 펄스가 지연되고, 그 펄스에 동기되어 정렬되는 데이터 D2의 밸리드 윈도우(valid window)가 충분히 확보된다. 따라서 스트로브 클럭 DCLK의 라이징 에지가 상기 밸리드 윈도우의 영역 내에 있게 되고 글로벌 입출력 라인에 유효한 데이터가 실리게 된다.
- [0070] 도 7을 참조하여 상기 라이징 펄스 DQSRP와 폴링 펄스 DQSFP를 이용하여 글로벌 입출력 라인에 데이터가 실리는 과정을 좀 더 자세하게 살펴보면 다음과 같다. 도 7은 본 발명에 따른 데이터 스트로브 버퍼 회로를 채용한 데이터 입력 버퍼 장치의 일 예를 나타낸 것이다.
- [0071] 도 7을 참조하면, 데이터 입력 버퍼 장치는
- [0072] 데이터 스트로브 버퍼부(100), 버퍼 제어부(200), 데이터 버퍼부(300), 데이터 정렬부(400) 및 글로벌 입출력 드라이버(500)를 포함한다.
- [0073] 상기 데이터 스트로브 버퍼부(100) 및 버퍼 제어부(200)는 라이징 펄스 DQSRP와 폴링 펄스 DQSFP를 출력하는데 앞서 살펴 보았으므로 자세한 설명은 생략하기로 한다.
- [0074] 상기 데이터 버퍼부(300)는 외부로부터 데이터를 입력받아 버퍼링된 데이터 DATA를 출력한다.
- [0075] 상기 데이터 정렬부(400)는 상기 라이징 펄스 DQSRP에 의해 데이터 DATA 중 제 1 데이터와 제 3 데이터를 래치하여 라이징 데이터 RDATA를 출력하는 라이징 래치부(410), 상기 폴링 펄스 DQSFP에 상기 데이터 DATA 중 제 2 데이터와 제 4 데이터를 래치하여 폴링 데이터 FDATA를 출력하는 폴링 래치부(420), 및 상기 폴링 펄스 DQSFP에 의해 상기 라이징 데이터 RDATA를 래치하여 상기 폴링 데이터 FDATA와 정렬시켜 정렬 데이터 ALGN를 출력하는 데이터 래치부(430)를 포함한다.
- [0076] 상기 글로벌 입출력 드라이버(500)는 데이터 스트로브 클럭 DCLK에 응답하여 상기 데이터 래치부의 출력을 글로벌 입출력 라인에 신는다.
- [0077] 이때 데이터 스트로브 클럭 DCLK의 상승 에지 부분에 동기되어 데이터가 글로벌 버스 라인에 실리는데, 살펴본 것과 같이 링잉 현상이 발생할 경우 상기 라이징 펄스 DQSRP와 폴링 펄스 DQSFP가 지연되어 출력되고, 상기 펄스들에 동기되어 정렬되는 정렬 데이터도 충분한 데이터 마진이 확보되기 때문에 도 6에 도시된 것과 같이 상기 데이터 스트로브 클럭 DCLK의 라이징 에지부분의 데이터가 유효하므로 글로벌 입출력 라인에 유효한 데이터가 실리고 라이트 동작시 오류를 방지할 수 있다.
- [0078] 이상에서와 같이 본 발명에 의하면, 데이터 스트로브 신호에 링잉 현상이 발생하는 경우 데이터 스트로브 신호에 동기된 라이징 펄스와 폴링 펄스를 소정 시간 지연하여 출력함으로써 데이터 오류를 방지할 수 있다.

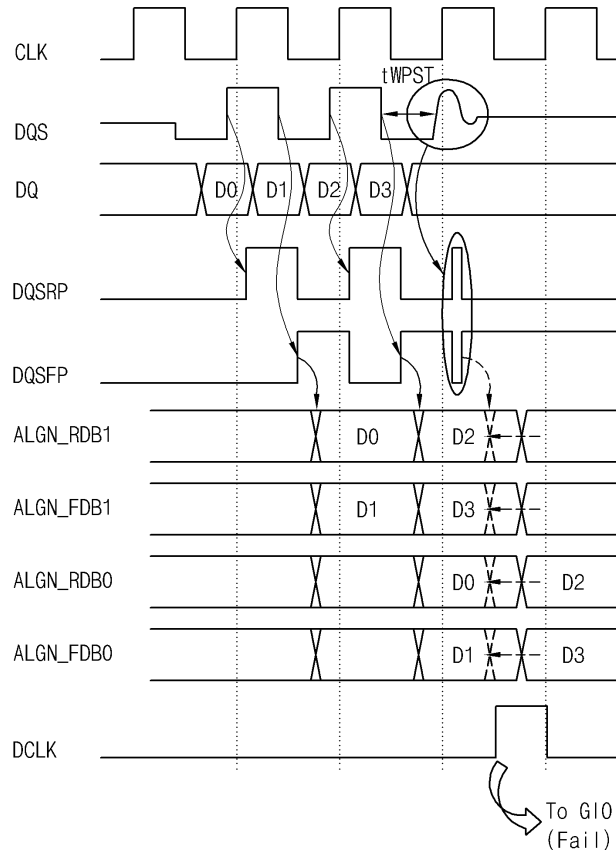
도면의 간단한 설명

- [0079] 도 1은 DQS 신호의 링잉 현상에 의해 에러가 발생하는 것을 나타낸 타이밍도
- [0080] 도 2는 링잉 에러를 방지하기 위한 종래 기술에 의한 데이터 스트로브 회로
- [0081] 도 3은 도 2의 신호 타이밍도

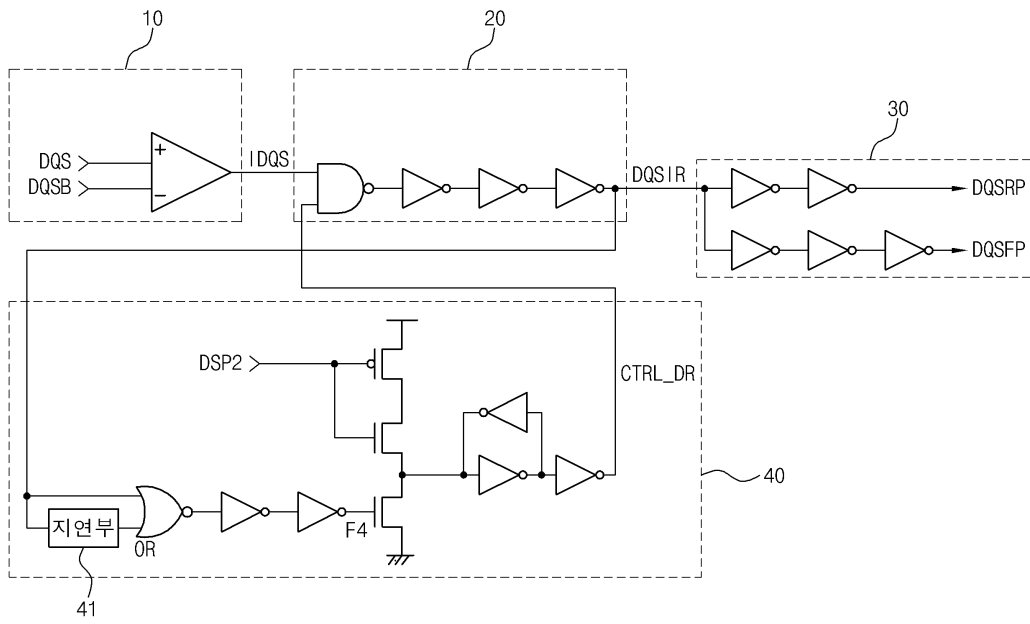
- [0082] 도 4는 본 발명에 의한 데이터 스트로브 회로의 블럭도
- [0083] 도 5는 본 발명에 의한 데이터 스트로브 회로의 상세 회로도
- [0084] 도 6은 도5의 신호 타이밍도
- [0085] 도 7은 본 발명에 의한 데이터 입력 버퍼 장치의 블럭도

도면

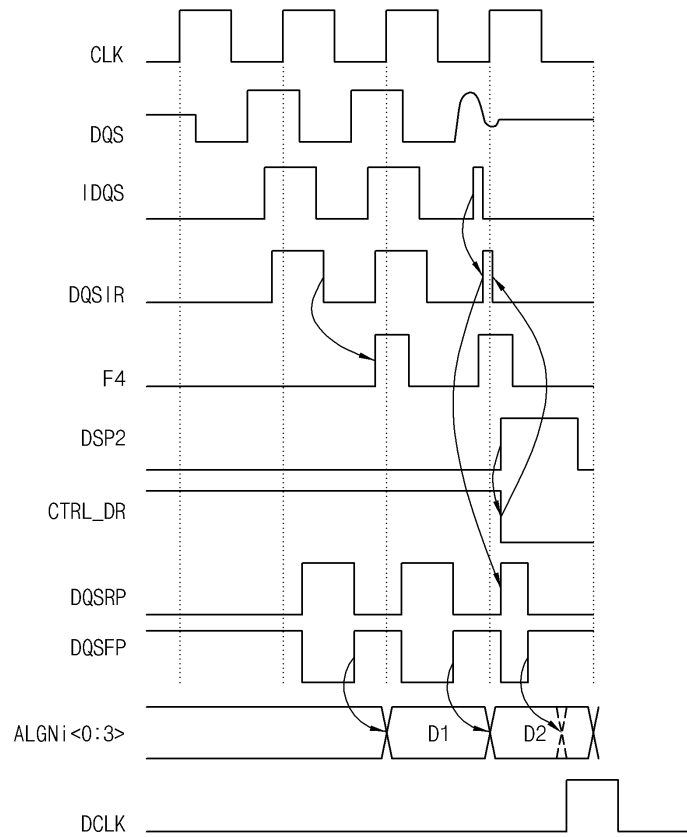
도면1



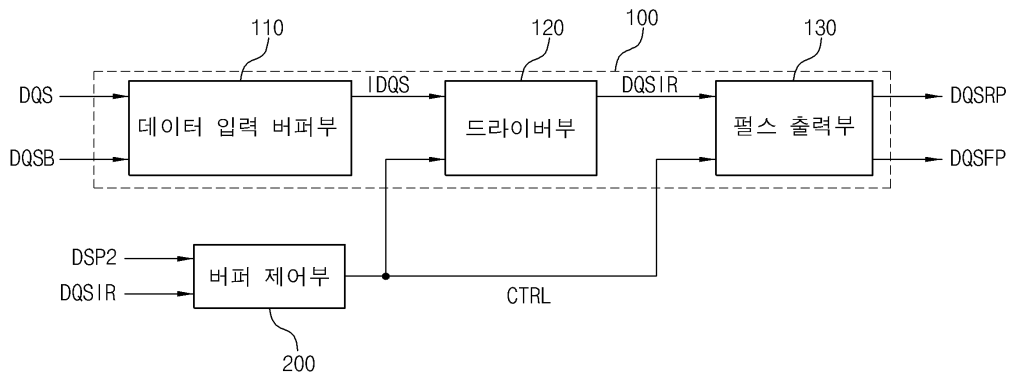
도면2



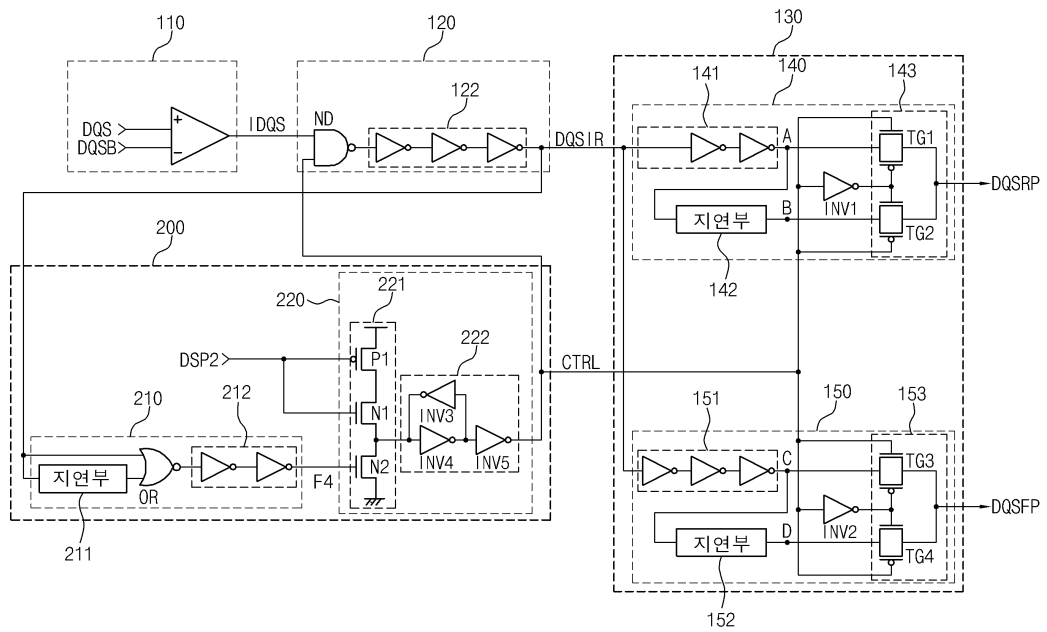
도면3



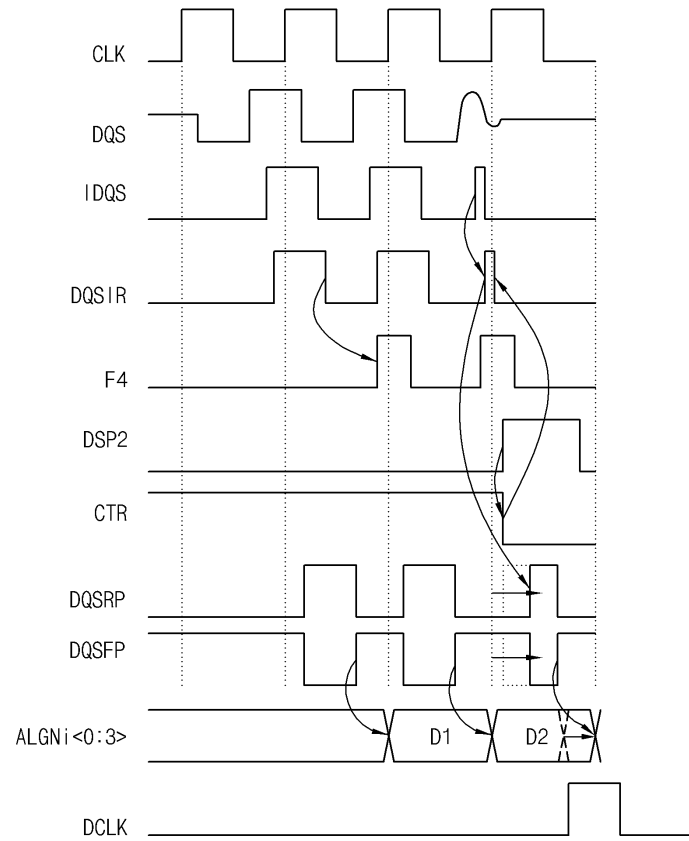
도면4



도면5



도면6



도면7

