

연장되는 협소한 게이트 핑거들 (20) 을 포함한다. 그 협소한 폭 때문에, 핑거들은 전하들의 전송에 방향성을 부여한다. 2개의 연속적인 포토다이오드들 (PH1_i, PH2_i) 사이에는, 2개의 게이트들 (G2B_i, G2A_i) 이 있으며, 그 2개는 2개의 포토다이오드들에 인접하여 놓이고, 제 1 게이트는 제 1 포토다이오드 측으로 터닝된 협소한 핑거들을 갖고, 제 2 게이트는 제 2 포토다이오드 측으로 터닝된 협소한 핑거들을 갖는다. 센서에서의 전하들의 전송 방향은 제 1 게이트 또는 제 2 게이트 중 어느 것을 중립화시킴으로써 센서에서의 전하 전송의 방향을 선택하는 것이 가능하며, 다른 게이트는 하나의 포토다이오드로부터 다른 포토다이오드로의 전하 전송을 가능하게 하는 교호하는 전위들을 수신한다.

명세서

청구범위

청구항 1

전하 전송을 이용하는 이미지 센서로서,

상기 센서는 포토다이오드들에 인접하는 게이트들의 로우들과 교호하는 상기 포토다이오드들의 로우들을 포함하고,

상기 게이트들은 제 1 도전형의 반도체 액티브층 영역 (12) 을 커버하고 그리고 상기 포토다이오드들은 액티브층에 대한 기준 전위에 연결되는 제 1 도전형의 개별 표층 (superficial) 영역들 (16) 에 의해 커버되는 제 2 도전형의 개별 영역들 (14) 에 의해 상기 액티브층 내에 형성되고,

상기 게이트들은 업스트림 측과 다운스트림 측 사이에서 비대칭을 나타내고, 일측에서 포토다이오드에 인접하고, 그리고 타측에서 다른 포토다이오드 측으로 연장되는 협소한 게이트 핑거들 (20) 을 가지고,

상기 협소한 핑거들은, 상기 표층 영역들보다 더 도핑되고 또한 상기 액티브층의 기준 전위에 연결되는, 제 1 도전형으로 도핑된 절연성 영역들 (18) 에 의해 서로 분리되고,

상기 센서는, 포토다이오드들의 제 1 로우에 속하는 제 1 포토다이오드 (PH1_i) 와 포토다이오드들의 제 2 로우에 속하는 제 2 포토다이오드 (PH2_i) 의 양자에 인접하는, 적어도 2개의 독립적인 게이트들 (G2A_i, G2B_i) 을 포함하고, 상기 2개의 게이트들 중 제 1 게이트는 제 1 포토다이오드 측으로 연장되는 협소한 핑거들을 가지고, 제 2 게이트는 제 2 포토다이오드 측으로 연장되는 협소한 핑거들을 가지고, 그리고 상기 2개의 게이트들은 서로 분리하여 제어가능한 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 2

제 1 항에 있어서,

상기 센서는, 상기 제 1 게이트들 아래에서의 전하들의 저장 및 전송을 허용하는 전위들의 시퀀스를 상기 제 1 게이트들에 인가하면서, 동시에 하나의 전하 적분 사이클 동안 상기 제 2 게이트들의 전위를 고정값으로 유지하고, 상기 제 2 게이트들 아래에서의 전하들의 저장 및 전송을 방지하는 수단, 및

상기 제 1 게이트들 및 상기 제 2 게이트들의 역할을 반전시키는 수단, 즉 상기 제 2 게이트들에 전위들의 시퀀스를 인가하면서, 동시에 상기 제 1 게이트들의 전위를 고정값으로 유지하는 수단을 포함하는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 3

제 2 항에 있어서,

제 1 게이트 또는 제 2 게이트에 인가된 전위들의 상기 시퀀스는 제 1 적분 주기 (T_{int}/2) 동안 게이트 아래에서의 전하들의 저장을 금지하는 전위의 인가, 이후 상기 게이트 아래에서 가능한 한 멀리 상기 게이트에 인접하는 상기 포토다이오드들로부터의 전하의 배출을 허용하는 전위 웰을 이들 게이트들 아래에 형성하는 단펄스의 게이트들의 소정의 로우들로의 인가를 포함하는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 4

제 1 항에 있어서,

2개의 비대칭 게이트들이 로우들의 방향으로 나란히 배치되는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 게이트는, 상기 제 1 게이트의 양측에 기하학적으로 배치되고 그리고 동시에 제어되도록 하기 위해 전기적으로 함께 연결되는, 2개의 부분들로 분할되는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 6

제 5 항에 있어서,

상기 2개의 게이트들 중 각각은 다른 게이트의 부분들과 교호하는 적어도 2개의 부분들로 분할되고, 게이트의 부분들은 전기적으로 함께 연결되고, 각각의 부분은 적어도 하나의 협소한 핑거를 포함하는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 7

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 센서는 다양한 로우들의 동일한 랭크의 화소들에서의 이미지 도트에 의해 발생된 전기 전하들의 누적을 이용하여 화소들의 여러개의 로우들에 의해 동일한 이미지 라인을 연속적으로 관측할 목적으로 하는 시간 지연 전하 적분 (time-delay charge integration) 센서이고,

하나의 적분 주기 동안 랭크 i 의 화소의 조명에 의해 발생된 전하들은 이 주기의 시작시 이전 또는 다음의 랭크의 화소로부터 수신된 전하들에 추가되는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 센서는, 상기 포토다이오드들 각각의 중심에 있고 상기 포토다이오드에 인접하는 상기 게이트들의 부분의 상부에 수신된 광을 상기 포토다이오드 측으로 지향시키는, 각각의 직사각형 마이크로렌즈를 포함하는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 센서는, 각각의 포토다이오드 상부에서, 상기 포토다이오드 상부의 중심에 있고 상기 포토다이오드 상부 및 상기 포토다이오드에 인접하는 상기 게이트들의 부분의 상부에 수신된 광을 상기 포토다이오드 측으로 지향시키는, 어셈블리를 형성하는 적어도 2개의 병치된 정사각형 마이크로렌즈들을 포함하는 것을 특징으로 하는 전하 전송을 이용하는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서들, 보다 구체적으로 신호 시간 지연 및 적분에 기초한 센서들 (또는 TDI 센서들: 시간 지연 적분 선형 센서들) 에 관한 것으로, 관측된 장면의 도트들의 라인의 이미지가, 장면이 로우들에 직교하여 센서의 정면에서 점진적으로 지나갈 때 장면의 동일한 라인을 연속적으로 관측하는 여러개의 감광성 로우들에 의해 취해지는 연속 이미지들의 부가에 의해 재구성된다.

배경 기술

[0002] 이 센서들은 예를 들어 위성에 의해 지구를 관측하기 위한 시스템에 사용된다. 이들은 감광성 화소들의 여러개의 평행하는 로우들을 포함하고; 다양한 로우들에 대한 제어 회로들의 시퀀싱 (노출 시간 제어 이후 광발생된 전하들의 읽기) 이 장면 및 센서의 상대적인 전진과 관련하여, 센서의 모든 로우들이 관측된 장면의 단일 라인을 보는 방식으로 동기화된다. 후속하여, 발생된 신호들은 관측된 라인의 각 도트에 대해 포인트마다 함께 추가된다.

[0003] 이론적인 신호/잡음 비는 센서의 로우들의 개수 N 의 제곱근의 비만큼 개선된다. 이 개수는 애플리케이션 (산업적 시험, 지구 관측, 치과용 파노라마 X-선 또는 유방조영술 (mammography)) 에 의존하여 수개의 로우들에서 100개 정도의 로우들까지일 수 있다.

- [0004] 부가하여, 동일한 로우 바 (row bar) 의 화소들의 감도에서의 불균일성들, 및 화소들의 암전류에서의 불균일성들은 다양한 로우들로부터의 신호들의 부가로부터 초래되는 평균화의 결과로서 감소된다.
- [0005] 전하 전송을 이용하는 이미지 센서들 (전하 결합 디바이스 (Charge-Coupled Device) 또는 CCD 센서들) 에서, 포인트마다의 신호들의 부가가, 장면 및 센서의 상대적인 이동과 동기화하여, 화소들의 이전 로우에서 발생 및 축적된 전하들을 화소들의 하나의 로우로 배출함으로써 읽기 잡음 없이 자연스럽게 발생하였다. 관측되는 이미지 라인에 의해 발생된 전하들의 N 배를 축적한, 화소들의 마지막 로우가 읽혀질 수 있다.
- [0006] CCD 이미지 센서들의 표준 테크놀로지는 고전력 공급 전압들을 이용하고 다량의 전력을 소비한다: 이 테크놀로지는 인접하고 상호 오버랩되는, 다결정성 실리콘 게이트들의 사용에 기초한다.
- [0007] 이미지 센서들의 테크놀로지는 이후로 트랜지스터들을 갖는 액티브 화소들을 이용한 센서들 쪽으로 발달되었고, 향후 이들은, 일반적으로, CMOS (complementary-metal-oxide-semiconductor) 테크놀로지를 이용하여 제조되기 때문에 간략화를 위해 CMOS 센서들로 칭해질 것이다; 이 CMOS 센서들에서는, 로우에서 로우로 읽기 회로 또는 레지스터를 향해 전하들의 어떠한 전송도 더 이상 없지만, 광발생된 전기 전하들을 수집하고 이들을 전압 또는 전류로 직접 변환하는 트랜지스터들을 갖는 액티브 화소들이 있다. 따라서 센서의 다양한 로우들은 로우에 의해 수신된 조명 (illumination) 를 나타내는 전압들 또는 전류들을 연속적으로 공급한다. 이 구조들은 이 전류들 또는 전압들의 누적 (summation) 들이 잡음없이 실행될 수 있게 하지 않는다; 따라서, 시간 지연 전하적분 선형 센서를 제조하는 것이 곤란하다. 하지만, 이 제조 테크놀로지는 간단하고, 낮은 전력 소비를 가지며, 그리고 저전압하에서도 동작한다.
- [0008] 하지만, CMOS 시간 지연 전하 적분 선형 센서들을 제조하기 위한 시도들이 이루어지고 있다.
- [0009] 특히, 연속하여 수신된 전류들이 적분되고, 이로써 일 컬럼에서의 여러개의 화소들로부터 수신된 전하들을 동일한 커패시터 상에 축적하는, 스위칭된 커패시터들의 사용이 시도되어 왔다 (US6906749, W00126382).
- [0010] 제공되는 다른 해결책은, 화소들의 로우로부터 나오는 신호들을 디지털 값들로 변환하여, 로우의 랭크 j 의 화소에 상응하는 디지털 값을, N 개의 연속적인 로우들로부터의 동일한 랭크 j 의 화소들에 상응하는 디지털 값들을 누산하는 랭크 j 의 누산기 레지스터에서 합산하는 것이다 (특허 FR2906080).
- [0011] 화소의 내측의 전하들의 축적을 이용하는 해결책이, 예를 들어, 특허 공보 US2008/0217661 에 제공되어 왔다. 이것은 CMOS 테크놀로지로 이미지 센서들을 제조하기에 엄격히 필요한 것보다 더 복잡한 테크놀로지를 이용하거나, 그렇지 않으면 이것은 전하들의 전송들 동안 손실을 드러낸다.
- [0012] 특허 공보 FR2960341에서는, 게이트들 및 포토다이오드들의 교호를 이용하여, 다결정성 실리콘의 단일 게이트 레벨에 의한 CMOS 테크놀로지를 이용하는 센서가 제공된다. 이 구조는, 전하들이 일 방향 또는 반전 방향으로 랜덤하게 배출되는 것을 방지하도록, 모든 전하들에 공통인 전송의 방향을 부여하기 위해서 게이트들의 비대칭에 의존한다. 이러한 의도적인 비대칭으로 인해, 비대칭에 의해 부여된 방향과 반대 방향으로 전하들의 전송 방향을 선택할 수 있는 것이 배제된다. 하지만, 일부 애플리케이션들에서, 사용자는 전하들의 축적 방향을 반전시킬 수 있을 것이다. 이것은, 예를 들어, TDI 모드에서의 스캐너 동작시, 이미지와 관련하여 센서의 방위를 반전시키지 않고 스캐닝의 반대 방향들의 양방으로 작업할 수 있을 것이 요구되는 경우이다.

발명의 내용

해결하려는 과제

- [0013] 본 발명의 목적은, CMOS 테크놀로지 회로들과 양립할 수 있는 테크놀로지, 특히 스토리지 또는 전하 전송 게이트들에 대해 다결정성 실리콘의 단일의 게이트 레벨만을 이용하지만 전하들의 전송 방향의 선택을 허용하는 테크놀로지를 이용하여, 전하 전송을 이용하는 구조들의 원리에 따라 동작하는 센서들을 제조하기 위한 간단한 해결책을 제공하는 것이다.

과제의 해결 수단

- [0014] 본 발명에 따라서, 전하 전송을 이용하는 이미지 센서가 제공되며, 센서는 포토다이오드들에 인접하는 게이트들의 로우들과 교호하는 포토다이오드들의 로우들을 포함하고, 게이트들은 제 1 도전형의 액티브층 영역을 커버하고 그리고 포토다이오드들은 액티브층에 대한 기준 전위에 연결되는 제 1 도전형의 개별 표층 영역들에 의해 커버되는 제 2 도전형의 개별 영역들에 의해 액티브층 내에 형성되고, 게이트들은 비대칭이고 일측에서는 포토다

이오드에 인접하고 그리고 타측에서는 다른 포토다이오드 측으로 연장되는 협소한 게이트 핑거들을 가지고, 협소한 핑거들은 표층 영역들보다 더 도핑되고 또한 액티브층의 기준 전위에 연결되는, 제 1 도전형으로 도핑된 절연성 영역들에 의해 서로 분리되고, 센서는 포토다이오드들의 제 1 로우에 속하는 제 1 포토다이오드와 포토다이오드들의 제 2 로우에 속하는 제 2 포토다이오드의 양자에 인접하는, 적어도 2개의 독립적인 게이트들을 포함하고, 2개의 게이트들 중 제 1 게이트는 제 1 포토다이오드 측으로 연장되는 협소한 핑거들을 가지고, 제 2 게이트는 제 2 포토다이오드 측으로 연장되는 협소한 핑거들을 가지고, 그리고 2개의 게이트들은 서로 분리하여 제어가능한 것을 특징으로 한다.

- [0015] "비대칭" 게이트라는 용어는 업스트림 측 (전하들을 수신하는 측) 과 다운스트림 측 (전하들을 공급하는 측) 사이에 비대칭이 있다는 사실을 의미하는 것으로 이해된다. 전하들의 이동 방향에 평행한 측과 관련하여서는 대칭이 있을 수도 있다.
- [0016] 동일한 전위가 게이트의 메인 바디에서와 같이 핑거들에 인가된다는 사실에도 불구하고 핑거들 아래의 전위가 게이트의 메인 바디 아래보다 국부적으로 더 낮은 것과 같은 방식으로, 이 핑거들 아래의 액티브층의 전위가 핑거들의 양측에서의 도핑된 절연성 영역들의 존재에 의해 영향받을 만큼 핑거들은 충분히 협소하다.
- [0017] 보다 낮은 전위는, 메인 바디 아래의 전위와 관련하여 핑거들 아래의 액티브층 내에서 전위 배리어가 형성된다는 것을 의미하는 것으로 이해된다. 보다 낮은 전위에 의해 형성되는 이러한 전위 배리어의 관념은 저장된 전하들이 전자들이라는 사실을 말한다. 실제로, 간략화를 위해 (그리고 일반적으로 실제 그 경우이기 때문에), 액티브층이 p 형이고, 광발생된 전하들이 정공들이 아닌 전자들이며, 그리고 결과적으로 보다 낮은 전위가 보다 높은 전위와 관련하여 전자들에 대한 전위 배리어를 구성한다는 것이 가정될 것이다.
- [0018] 하기 부분에서, 센서가 p 형의 액티브층을 이용하여 제조되고, 포토다이오드들이 n 형의 개별 영역들에서 전자들을 저장하며, 그리고 협소한 핑거들을 분리하는 표층 영역들 및 도핑된 영역들이 p 형이라는 것이 고려될 것이다.
- [0019] 낮은 전위가 인가되는 주어진 게이트 아래에서 시간내 주어진 순간에 존재하는 전하들은, 업스트림에 위치한 포토다이오드 측으로 흐를 수 없고 (업스트림 측은 핑거들을 포함하는 게이트 측이다); 정말로, 이 전하들은 절연성 영역들의 존재 때문에 게이트의 핑거들 사이에서 흐를 수 없거나, 또는 이 영역들에 의해 핑거들 아래에 유도된 전위 때문에 이 핑거들 아래에서 흐를 수 없으며; 이 전하들은 어떠한 핑거들도 포함하지 않는 게이트 측을 통해서, 스토리지 게이트의 다운스트림의 포토다이오드 측으로만 흐를 수 있고; 이 측에서, 게이트는 다운스트림 포토다이오드의 표층 p 영역에 바로 인접한다. 반대로, 게이트에 높은 전위가 인가되는 경우, 게이트는 바로 업스트림에 위치한 포토다이오드로부터 나오는 전하들을, 그 단부들이 포토다이오드에 바로 인접하는 핑거들을 통해서 수용할 수 있다. 업스트림 측 및 다운스트림 측은 제 1 및 제 2 게이트에 대해서 반전된다.
- [0020] 센서는 바람직하게 제 1 게이트들 아래에서의 전하들의 저장 및 전송을 허용하는 전위들의 시퀀스를 제 1 게이트들에 인가하면서, 동시에 하나의 전하 적분 사이클 동안 제 2 게이트들의 전위를 고정값으로 유지하고, 제 2 게이트들 아래에서의 전하들의 저장 및 전송을 방지하는 수단, 그리고 제 1 게이트들 및 제 2 게이트들의 역할을 반전시키는 수단, 즉 제 2 게이트들에 전위들의 시퀀스를 인가하면서, 동시에 제 1 게이트들의 전위를 고정값으로 유지하는 수단을 포함한다.
- [0021] 센서는 2개의 주요 모드들에 따라 동작할 수 있다.
- [0022] 제 1 모드에서, (포토다이오드들이 아닌) 게이트들은 적분 주기 동안 전하들을 저장하기 위해서 사용된다. 2개의 페이즈에서의 전하들의 전송의 경우, (전하들의 전송 방향인) 화소들의 컬럼들의 방향에서의 모든 다른 게이트는 이후 하나의 적분 반주기 동안 높은 전위로 유지되고, 다른 게이트는 낮은 전위로 유지되며; 이후 역할들은 제 2 적분 반주기 동안 반전된다. 하지만, 업스트림 방향 측으로 터닝된 협소한 핑거들을 갖는 게이트만이 이 시퀀스로 처리된다. 다운스트림 방향 측으로 터닝된 협소한 핑거들을 갖는 게이트들은 전하들을 수신하는 것을 방지하거나 또는 전하들이 통과하는 것을 허용하는 낮은 전위에 머문다.
- [0023] 제 2 실시형태에서, 적분 주기 동안 전하들을 저장하기 위해 사용되는 것은 포토다이오드들이며; 게이트들은 적분 주기 동안 낮은 전위로 유지되고 그리고 전하들을 저장하거나 또는 전하들을 통과시킬 수 없다. 포토다이오드들에 저장된 전하들은 (2개의 페이즈에서의 전하들의 전송의 경우) 각각의 적분 반주기의 말미에서 게이트들의 소정의 로우들에 인가된 양의 단펄스에 의해 전송된다. 이 펄스는 (전하들의 전송 방향인) 컬럼들의 방향으로 모든 다른 게이트에 인가되며, 게이트들의 역할은 각각의 적분 반주기에서 반전된다. 여기서

다시, 업스트림 방향 측으로 터닝된 협소한 핑거들을 갖는 게이트들만이 이러한 전위들의 시퀀스를 수신한다.
 다운스트림 방향 측으로 터닝된 협소한 핑거들을 갖는 게이트들은 전하들을 수신하는 것을 방지하거나 또는 전하들이 통과하는 것을 허용하는 낮은 전위에 머문다.

- [0024] 2개의 비대칭 게이트들은 바람직하게, 포토다이오드들이 로우들의 방향으로 2개의 게이트들의 전체 길이에 걸쳐 연장되는 방식으로, 로우들의 방향으로 나란히 배치된다.
- [0025] 제 2 게이트는 제 1 게이트의 양측에 기하학적으로 배치되고, 동시에 제어되도록 하기 위해 전기적으로 함께 연결되는 2개의 부분들로 분할될 수도 있다.
- [0026] 대안으로, 2개의 게이트들 중 각각이 다른 게이트의 부분들과 교호하는 적어도 2개의 부분들로 분할되도록 제공될 수도 있으며, 각각의 부분은 적어도 하나의 협소한 핑거를 포함하고, 동일한 게이트의 부분들은 전기적으로 함께 연결된다.
- [0027] 바람직하게, 게이트들의 로우에 인접한 포토다이오드들의 로우의 포토다이오드의 표면 영역은 포토다이오드에 인접한 이 로우의 2개의 게이트들의 표면 영역보다 더 크다. 이 경우, 포토다이오드들은 적분 주기들 동안 전하들을 저장하고, 게이트들 아래에서의 저장은 단지 게이트들에 인가되는 전송 단펄스 동안 발생한다.
- [0028] 센서는 바람직하게, 포토다이오드들 각각의 중심에 있고 포토다이오드에 인접하는 게이트들의 부분의 상부에 수신된 광을 상기 포토다이오드 측으로 지향시키는, 각각의 직사각형 마이크로렌즈 (또는 2개의 또는 여러개의 정사각형 마이크로렌즈들) 를 포함할 수 있다.
- [0029] 이미지 센서는, 다양한 로우들의 동일한 랭크의 화소들에서의 이미지 도트에 의해 발생된 전기 전하들의 누적을 이용하여 화소들의 여러개의 로우들에 의해 동일한 이미지 라인을 연속적으로 관측할 목적으로 하는 시간 지연 전하 적분 다중선형 센서 (TDI 센서) 이고, 하나의 적분 주기 동안 랭크 i 의 화소의 조명에 의해 발생된 상기 전하들은 이 주기의 시작시 이전 또는 다음의 랭크의 화소로부터 수신된 전하들에 추가된다.

도면의 간단한 설명

- [0030] 본 발명의 다른 특징들 및 이점들은 첨부된 도면을 참조하여 제시되는 하기의 상세한 설명을 읽을 때 명백해질 것이다.
 도 1 은 전하 전송을 이용하는 매트릭스 이미지 센서의 일반적 구조를 도시한다.
 도 2 는 화소들의 일 컬럼의 본 발명에 따른 컴포지션을, 게이트들 및 게이트들에 인접하는 포토다이오드들의 교호 형태로, 평면도로서 도시한다.
 도 3 및 도 4 는 도 2 의 III-III 선 및 IV-IV 선에 따른 수직 절단면을 도시한다.
 도 5 는 반도체에서의 연속적 전위들의 다이어그램을 도시한다.
 도 6 및 도 7 은 게이트들의 변형 실시형태들을 도시한다.
 도 8 및 도 9 는 각각의 포토다이오드 상부에 배치된 마이크로렌즈들을 갖는 화소들의 컬럼을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0031] 도 1 에서는, 전하 전송을 이용하는 이미지 센서의 일반적인 아키텍처를 볼 수 있다. 센서는 광에 민감한 P 개의 화소들의 N 개의 로우들의 매트릭스 (MT) 를 포함한다. 로우로 랭크 i 및 컬럼으로 j 의 화소 ($P_{i,j}$) 의 조명로부터 초래되는 전하들은 적분 주기 (T_{int}) 동안 화소에서 적분되고; 이후 이들은 로우로 랭크 $i+1$ 및 컬럼으로 동일한 랭크 j 의 다음 로우의 화소로 전송되며; 컬럼들 방향 (도면에서 수직 방향) 의 인접하는 화소들은 전하 전송을 갖는 수직 쉬프트 레지스터로서 배열된다.
- [0032] 센서는 $N \times P$ 이미지 도트들의 연속 이미지들을 공급하는 매트릭스 센서이거나 또는 화소들의 N 개의 로우들에 의해 보여지고 축적되는 P 개의 도트들의 선형 이미지들을 공급하는 다중선형 TDI 센서일 수 있다.
- [0033] 2가지 경우에서, 컬럼에서의 화소들이 수직 쉬프트 레지스터들로서 거동하지만, 한편으로 적분 주기 (T_{int}) 동안 이 화소에서 광발생된 전하들 및 다른 한편으로 이전 화소로부터 나오는 전하들이 각 화소 내에서 축적되는 것은 단지 두 번째 경우이다.

- [0034] 센서가 시간 지연 전하 적분 선형 센서인 경우, NxP 화소들에 포함된 전하들은 각 적분 주기 (T_{int}) 이후에 읽혀지지 않지만, 센서의 정면에서의 이미지의 점진적인 통과와 동기화하여, N 개의 연속적 적분 주기들 동안 컬럼의 N 개의 화소들에 의해 읽혀진 전하들이 축적된다. 화소들의 N 개의 로우들의 각각은 센서와 관련하여 이미지의 점진적인 통과와 과정 중에 동일한 이미지 라인을 연속적으로 보고; 관측된 이미지 라인에 상응하는 랭크 i 의 로우에 적분된 전하들은, 이 로우의 화소들에서, 이전의 적분 주기들 동안 동일한 이미지 라인을 본, i-1 이전 로우들에 의해 이전에 읽혀진 전하들에 부가된다. N 개의 적분 주기들의 말미에서, 화소들의 마지막 로우는, 동일한 이미지 라인을 본, 모든 로우들에 의해 수집된 전하들의 합을 포함한다. 이 로우는, (CMOS 테크놀로지를 이용하는) 하나 이상의 아날로그-디지털 변환 회로(들)에 의해 이어지는, 각 컬럼의 하단부에 샘플링 회로들을 포함하는 읽기 회로 (CL) 에 의해 각 주기 (T_{int}) 의 말미에서 읽혀진다.
- [0035] 도 2 의 평면도는 본 발명에 따른 화소들의 컬럼의 구조를 도시한다. 2개의 인접한 화소들 ($P_{i,j}$ 및 $P_{i+1,j}$) 이 도시된다. 2개의 페이지에서의 전하들의 전송에 의한 구성에서, 각각의 화소는
 - [0036] - 2개의 포토다이오드들,
 - [0037] - 2개의 포토다이오드들 사이에서 2개의 포토다이오드들에 인접하여 위치되는 게이트들,
 - [0038] - 및 하나의 포토다이오드와 이전 또는 다음의 화소에 가장 가까운 포토다이오드 사이에 위치되며, 이들 2개의 포토다이오드들에 인접하는 게이트들을 포함한다.
- [0039] 전하들의 전송은 또한 3개 또는 심지어 4개 페이지에서 실행될 수 있을 것이고, 그리고 이 경우 화소마다 각각 3개 또는 4개의 포토다이오드들이 있을 수 있을 것이며: 각 페이지의 경우, 하나의 포토다이오드 및 이 포토다이오드의 일측에 인접하는 게이트들이 있을 수 있을 것이다.
- [0040] 본 발명은 보다 정확하게 2개의 페이지에서의 전송의 경우로 기재될 것이며, 그 원리는 3개 또는 4개 페이지에서의 전송에 대해서도 동일하다.
- [0041] 따라서, 도 2 에 도시된 예에서, 화소 ($P_{i,j}$) 는 제 1 포토다이오드 ($PH1_i$), 제 2 포토다이오드 ($PH2_i$), 2개의 포토다이오드들 사이에 위치한 게이트들 ($G2A_i$ 및 $G2B_i$), 및 그 화소의 제 1 포토다이오드 ($PH1_i$) 와 랭크 i-1 의 이전 화소의 제 2 포토다이오드 ($PH2_{i-1}$) 사이에 위치한 게이트들 ($G1A_i$ 및 $G1B_i$) 를 포함하는 것으로 고려된다.
- [0042] 더욱이, 제 2 포토다이오드 ($PH2_i$) 는, 다음 화소의 부분을 형성하고 또한 이 다음 화소의 제 1 포토다이오드 ($PH1_{i+1}$) 에 인접하는 2개의 게이트들 ($G1A_{i+1}$ 및 $G1B_{i+1}$) 에 인접한다. 마지막으로, 화소 ($P_{i+1,j}$) 의 경우, 다른 포토다이오드 ($PH2_{i+1}$) 및 포토다이오드 ($PH1_{i+1}$) 와 포토다이오드 ($PH2_{i+1}$) 의 양자에 인접한 게이트들 ($G2A_{i+1}$ 및 $G2B_{i+1}$) 이 있다.
- [0043] 이로써 화소들의 매트릭스는 포토다이오드들의 로우들 및 포토다이오드들의 2개의 로우들 사이에 위치되는 게이트들의 교호로 구성된다. 게이트들은 2개의 로우들의 포토다이오드들에 인접하며; 게이트들의 동일한 로우에서는, 각각의 포토다이오드에 대해, 2개의 분리된 게이트들 (예를 들어 $G1A_i$, 및 $G1B_i$) 이 서로 독립적으로 제어된다. 로우가 P 개의 화소들을 포함하는 경우, 게이트들의 각각의 로우에는 2P 개의 게이트들이 존재한다.
- [0044] 도 2 의 평면도에서 볼 수 있는 바와 같이, 게이트의 형상은 비대칭이다. 예를 들어 게이트 ($G2A_i$) 를 고려하면, 게이트의 일측은 그 전체 길이에 따라 제 1 포토다이오드 ($PH1_i$) 에 인접한다. 타측은 제 2 포토다이오드 ($PH2_i$) 에 인접하지만 제 2 포토다이오드 측으로 연장되는 단부의 협소한 게이트 핑거들 (20) 에 의해서만 인접한다. 게이트의 나머지는 p 형의 고농도로 도핑된 (강한 도핑은 명명법 p+ 에 의해 기호화된다), 반도체 영역 (18) 에 의해 제 2 포토다이오드로부터 분리된다.
- [0045] 여기서, "협소한 핑거"라는 표현은, 핑거들의 폭이 이들 핑거들 아래의 반도체 내의 전위가 영역 (18) 의 전위에 의해서 영향받으며, 단지 게이트에 인가되는 전위에 의해서는 영향받지 않을 정도로 충분히 작다는 것을 의미한다. 협소한 핑거들 외부의 게이트 아래의 전위는 영역 (18) 의 전위에 의해 영향받지 않으며 단지 게이트에 인가되는 전위에 의해서만 정의된다.

- [0046] 본 발명에 따라서, 제 1 포토다이오드 (예를 들어 PH_{1i}) 와 제 2 포토다이오드 (예를 들어 PH_{2i}) 사이에 위치한 2개의 게이트들 중 하나는 제 1 포토다이오드 측으로 터닝된 협소한 핑거들을 갖지만, 다른 게이트는 제 2 포토다이오드 측으로 터닝된 협소한 핑거들을 갖는다. 여기서, G2B_i 는 제 1 포토다이오드 측으로 터닝된 협소한 핑거들을 가지며, G2A_i 는 제 2 포토다이오드 측으로 터닝된 핑거들을 갖는다.
- [0047] 동작은 다음과 같다: 도면의 상부에서 도면의 하부 측으로 전하들을 전송하는 것을 원한다면, 제 1 다이오드들 (PH_{1i} 또는 PH_{1i+1}) 에서 제 2 다이오드들 (PH_{2i}, PH_{2i+1}) 을 향해, 모든 좌편 게이트들 (G1A_i, G2A_i, G1A_{i+1}, G2A_{i+1}) 이 그 전위를 낮은 값으로 유지함으로써 디스에이블되고, 우편 게이트들이 전하들의 전송을 허용하는 시퀀스에 따라 인에이블된다. 이 시퀀스는 낮은 값 (전력 공급의 낮은 전위 0 볼트) 과 높은 값 (전력 공급의 높은 전위 Vdd) 사이의 게이트들의 전위들을 교호하는 것에 있다. 이 시퀀스는 보다 정확하게 후술될 것이다.
- [0048] 모든 게이트들 (G1B) 은 제 1 적분 반주기의 말미에서 이 낮은 전위 및 이 높은 전위를 교호하여 수신하기 위해서 함께 연결된다. 유사하게, 모든 게이트들 (G2B) 은 제 2 적분 반주기의 말미에서 전송 펄스를 수신하기 위해서 함께 연결된다.
- [0049] 전하들을 다른 방향으로 전송하기 위해서는, 좌편 게이트들 (GA) 상의 전위들의 교호가 이용되고 우편 게이트들 (GB) 이 그 전위를 낮은 값으로 유지함으로써 중립화된다. 게이트들 (G1A) 은 함께 연결되지만, 게이트들 (G1B) 과는 독립적이다. 유사하게, 게이트들 (G2A) 은 함께 연결되지만, 게이트들 (G2B) 과는 독립적이다.
- [0050] 따라서, 전하들의 전송은, 그 핑거들이 업스트림 방위로 터닝되어 있는, 게이트들을 통해 업스트림 방향으로부터 다운스트림 방향을 향해 일어난다. 따라서, 전송의 소정 방향이 선택된다면, 그 핑거들이 업스트림 방위로 터닝되어 있는 게이트들이 사용되어야 하고 그 핑거들이 다운스트림 방위로 터닝되어 있는 게이트들이 중립화되어야 한다.
- [0051] 도 3 및 도 4 는 센서 구조의 단면도들을 도시한다. 도 3 에서의 뷰는 협소한 핑거들 (20) 을 통과하는 도 2 의 III-III 선에 따른 단면도이다. 도 4 에서의 뷰는 도 2 의 IV-IV 선에 따른 단면도이며, 여기에는 게이트와 포토다이오드 사이에 어떠한 핑거들도 없으며 p+ 영역 (18) 이 존재한다.
- [0052] 화소들은 반도체 기관 (10) 에 형성되며, 그 상부는 저농도로 도핑된 액티브 에피택셜 반도체층 (12) 이다. 이 예에서, 기관은 고농도로 도핑된 p++ 형이고, 액티브 에피택셜 층은 p- 형이다. 에피택셜 층이 n 형인 경우, 포토다이오드들 및 게이트들에 인가되는 전위들의 부호와 함께, 모든 도전형 (type of conductivity) 들을 전환할 필요가 있을 수 있다. 기관은, 원칙적으로, 에피택셜 층과 동일한 도전형이지만, 또한 반대형일 수도 있다.
- [0053] 게이트들은, 얇은 절연성 층 (13) (실리콘 산화물 또는 질화물) 에 의해 에피택셜 층 (12) 으로부터 절연된, 다결정성 실리콘 게이트들이다. 포토다이오드들은 "핀드 (pinned)" 형의 포토다이오드들이며, 즉 포토다이오드들은 p 형의 에피택셜 층 (12) (모든 화소들의 모든 포토다이오드들에 대한 공통 액티브층), 2개의 전송 게이트들 사이의 에피택셜 층으로 확산된 n 형의 개별 영역 (14), 및 에피택셜 층보다 더 도핑되고 개별 영역 (14) 을 커버하며 그리고 고정된 전위로 유지되는 p 형의 표면 개별 영역 (16) 을 포함하는 다중층에 의해 형성된다. 조명에 의해 발생된 전자들은 n 영역과 에피택셜 p 층 사이의 정선에 형성된 전위 웰들에서 축적될 수 있을 것이다.
- [0054] 오로지 도 4 에만 볼 수 있는, P+ 형으로 도핑된 영역들 (18) 은 표층 영역들 (16) 보다 더 도핑된다. 이들은, 액티브층 (12) 의 전위인, 낮은 기준 전위가 그들에게 인가되게 한다. 이들은 표층 영역들에 인접하며 표층 영역들의 전위가 이 전위가 되게 한다.
- [0055] 원하는 바와 같이 청색에서의 감도 (sensitivity) 를 개선하기 위해, 표층 영역들 (16) 이 매우 얇다면, 영역들 (18) 은 바람직하게 영역들 (16) 보다 더 깊다.
- [0056] 화소 컬럼들은, 상이한 컬럼들의 화소들 사이에서 전하들의 임의의 전송을 방지하는 절연 영역들 STI (규소의 산화물 또는 다른 절연체) 에 의해 분리된다.
- [0057] 도 5 는 전하들의 저장 및 전송이 위치되는 깊이에서, 즉, 액티브층의 상부 표면 약간 아래에서의, 액티브층 외부의 전위들의 다이어그램을 도시한다.

- [0058] 전위들은 동작의 다양한 페이즈동안 도시되며, 게이트에 인가되는 소정의 전위에 대해서, 협소한 핑거들 아래의 전위가 실질적으로 핑거의 협소성으로 인해 게이트의 나머지 아래의 전위와 동일하지 않다는 사실을 고려한다. 보다 정확하게, 게이트에 인가되고, 또한 이로 인해 게이트의 협소한 핑거들에 인가되는 소정의 전위에 대해, 협소한 핑거를 둘러싸는 p+ 영역들 (18) 의 낮은 전위에 의해 발휘되는 영향은 게이트의 나머지 아래의 반도체에서의 전위와 관련하여 협소한 핑거들 아래의 반도체에서의 전위를 감소시키는 경향이 있지만, p+ 영역들에서 만큼 많이 감소시키지는 않는다. 보통의 관례에 따르면, 전위들의 증가는 전자들에 대한 전위 배리어들 및 전위 웰들을 매우 분명하게 하기 위해서 하향된다.
- [0059] 도시된 전위 다이어그램은 도 2 의 V-V 선의 단면에 따른 전위 변화들에 사용하고, 단면 V-V 는 이해를 용이하게 하기 위해서 이들 다이어그램들 상부에 도시된다.
- [0060] 동작의 2개의 모드들이 가능하다:
- [0061] - 적분 주기들 동안 게이트들 아래에 전하들이 축적되는 모드; 이 경우, 높은 전위가 제 1 적분 반주기 동안 컬럼들의 방향 (전하들의 전송 방향) 으로 모든 다른 게이트에 인가되며, 이 높은 전위는 논의되고 있는 게이트 아래에 전위 웰을 형성하고; 다른 게이트들은 낮은 전위를 수신하며; 제 1 적분 반주기의 말미에, 게이트들의 역할이 반전되며: 높은 전위를 가졌던 게이트들이 낮은 전위를 수신하고 낮은 전위를 가졌던 게이트들이 높은 전위를 수신한다. 업스트림으로 배향된 협소한 핑거들을 갖는 게이트들만이 이 시퀀스에 의해 관련된다. 다른 것들은 고정된 낮은 전위를 수신하며, 전하들을 수신하지도 전하들을 통과시키지도 않을 수 있다;
- [0062] - 적분 주기들 동안 전하들이 게이트들 아래보다는 오히려 포토다이오드들에서 축적되는 모드; 게이트들은 단지 짧은 전송 동작 동안 일시적으로 전하들을 저장한다.
- [0063] 도 5 는 제 2 모드에 해당하고, 2개의 페이즈에서의 동작에 해당하며, 이것은 대략 정사각형 형상을 갖는 각각의 화소가 2개의 포토다이오드들을 포함하고, 적분 주기가 각각의 반주기 이후 전하들의 부분 전송에 의해 2개의 적분 반주기들로 분해되는 것을 의미한다. 이것은, 3개 또는 4개 포토다이오드들을 포함하는 대략 정사각형 형상을 갖는 화소들에 의해 3개 또는 4개 페이즈에서 동작할 수도 있음을 상기시킨다.
- [0064] 도 5 는 도 2 에서의 상부로부터 하부로의 전하들의 전송에 대응하며, 즉 우편 게이트들 (G1B, G2B) 이 이들 게이트들을 통해 전송들을 실행하도록 능동적으로 사용되고 좌편 게이트들 (G1A, G2A) 이 중립화된다.
- [0065] 다이어그램의 각 단계에 대해, 액티브 채널의 전위들 (V_{act}) 이 도시되지만, 또한 (시간에 따라 변하지 않지만, 중립화된 게이트들 아래에서의 전하들의 통과를 금지하는 역할을 하는) 중립화된 채널의 전위 (V_{neut}) 도 도시된다.
- [0066] 모든 중립화된 게이트들 (G1A, G2A) 은 모든 적분 및 전하 전송 사이클들 동안 낮은 전위에 머문다. 전하들의 어떠한 저장 또는 전송도 이들 게이트들 아래에서는 일어날 수 없다.
- [0067] 전하들이 없는 것으로 가정되는, 포토다이오드들에서의 반도체의 전위는 p 형의 표층이 액티브층의 기준 전위에서 유지된다는 사실에 의해 고정값을 갖는다. 비어있는 포토다이오드의 이러한 기본 전위는 파선으로 나타내지며; 그것은 포토다이오드에서의 영역들 (12, 14, 16) 의 도핑 프로파일들에 의존한다.
- [0068] 전위들은 지속기간 ($T_{int}/2$) 의 2개의 페이즈로 분해된 하나의 적분 주기 (T_{int}) 에 걸쳐 달라진다.
- [0069] 도 5 에서의 다이어그램의 2개의 로우들의 제 1 그룹은 초기 시간 0 에서 시간 $T_{int}/2$ 까지의 제 1 적분 반주기 동안 액티브층의 내부 전위들을 나타낸다. 모든 게이트들 (G1B, G2B) 은 (게이트들 (G1A, G2A) 과 같이) 낮은 전위에 있고 전하들은 모든 포토다이오드들 아래에 형성된 전위 웰들에서의 광 효과 아래에서 점진적으로 축적된다. 이 웰들은 액티브 게이트들 및 중립화된 게이트들에 인가된 낮은 전위들에 의해 근접된다. 이들은 또한 게이트들 아래에 형성된 배리어보다 심지어 더 높은 전위 배리어를 형성하는 p+ 영역들 (18) 에 의해 근접된다. 마지막으로, 이들은 또한 화소들의 컬럼들을 서로로부터 분리하는 절연 영역들 (STI) 에 의해 근접된다.
- [0070] 다이어그램의 로우들의 제 2 그룹은 시간 $T_{int}/2 - \epsilon$ 에서의, 즉 제 1 적분 반주기 $T_{int}/2$ 의 말미 바로 이전에서의 내부 전위들을 나타낸다. 포토다이오드들은 이 시간의 주기 동안 조명에 의해 발생된 모든 전하들을 획득하였다.
- [0071] 로우들의 제 3 그룹은 모든 다른 액티브 게이트에 전송 단펄스를 인가하는 순간을 나타낸다. 여기서, 게이

트들 (G1B (G1B_i, G1B_{i+1} 등)) 은 모두 이 전송 펄스를 수신하지만 게이트들 (G2B (G2B_i, G2B_{i+1})) 은 그렇지 않다.

[0072] 이 전송 펄스는 높은 전위에 있으며, 이 전위를 수신하는 게이트들 아래에 전위 웰을 형성한다. 포토다이오드들에 축적된 전하들은 포토다이오드들에 인접하는 게이트들 아래에 저장된다. 이것은, 게이트 (G1B_i) 가 포토다이오드 (PH1_i) 로부터 전하들을 수신하지만, 또한 바로 업스트림에 위치한 화소의 포토다이오드 (PH2_{i-1}) 로부터 (그 협소한 핑거들을 통해) 전하들을 수신하는 것을 의미한다. 유사하게, 게이트 (G1B_{i+1}) 는 포토다이오드 (PH2_i) 로부터 전하들을 수신하고 바로 다운스트림에 위치한 화소의 포토다이오드 (PH1_{i+1}) 로부터 전하들을 수신한다.

[0073] 로우들의 제 4 그룹은 시간 T_{int} + ε 에서의, 즉 전송 단펄스의 말미 직후에서의 전위들의 상태를 나타낸다. 게이트들 (G1B) 아래의 전위는 그 시작하는 낮은 레벨로 다시 돌아간다. 게이트들 (G1B) 아래에 저장된 전하들은 다운스트림 측에서 인접한 포토다이오드로 배출된다. 이들은 협소한 핑거들 (배리어를 형성하는 p+ 영역들 (18)) 아래에서만 통과할 수 있기 때문에 업스트림 포토다이오드 측으로 가지 않지만, 협소한 핑거들 아래의 전위는 게이트 아래의 전위의 나머지보다 더 낮으며 전하들은 자연스럽게 다운스트림 방향으로 배향된다. 따라서 포토다이오드들 (PH1 (PH1_i, PH1_{i+1})) 만이 전하들을 수신하고, 포토다이오드들 (PH2) 은 전하들이 없는 상태를 유지한다.

[0074] 로우들의 제 5 그룹은, 새로운 전송 펄스 바로 이전인 시간 T_{int} - ε 에서, 제 2 적분 반주기의 말미를 나타낸다. 포토다이오드 (PH2_i) 는 제 2 적분 반주기 동안 이 포토다이오드의 조명으로부터 야기되는 전하들로 충전되어 왔지만, 포토다이오드 (PH1_i) 는 동시에 이 반주기 동안 화소의 조명으로부터 야기되는 전하들 및 포토다이오드들 (PH1_i 및 PH2_{i-1}) 로부터 비롯되는 이전 전송 펄스 동안 전송되는 전하들로 충전된다.

[0075] 로우들의 제 6 그룹은 시간 T_{int} 에서의 제 2 전송 단펄스 동안의 전위들의 상나타낸다. 게이트들 (G2B) 의 전위는 이 게이트들 아래에 전위 웰들을 형성하기 위해서 높은 레벨로 올려진다. 게이트들 (G1B) 의 전위는 변하지 않는다. 게이트 (G2B_i) 에 인접하는 포토다이오드들 (PH1_i 및 PH2_i) 로부터의 전하들이 게이트 (G2B_i) 아래로 이동한다.

[0076] 마지막으로, 로우들의 제 7 그룹은 전송 단펄스의 말미에서, 시간 T_{int} + ε 에서의 전위들의 최종 상태를 나타낸다. 게이트들 (G2B) 의 전위는 낮은 상태로 다시 되돌려진다. 전하들은 포토다이오드들 내부로 다시 돌아가지만, 전위 배리어가 협소한 핑거들 아래에서 더 높고 게이트의 나머지 아래에서 더 낮은 것으로 인해 업스트림에서 다운스트림 측으로의 방향으로 일방적인 방식으로 다시 돌아간다. 포토다이오드들 (PH2) 은 게이트 (G2B) 아래에 일시적으로 저장된 전하들로 충전된다. 포토다이오드들 (PH1) 은 전하들이 없는 상태를 유지한다.

[0077] 이러한 최종 상태는 새로운 적분 주기의 초기 상태를 구성한다. 포토다이오드들 (PH2_i) 에 포함된 전하들은 (시간 0 에서) 포토다이오드 (PH2_{i-1}) 에 미리 포함된 전하들, 제 1 적분 반주기에서 포토다이오드들 (PH2_{i-1} 및 PH1_i) 에 의해 생성된 전하들, 및 제 2 적분 반주기 동안 포토다이오드들 (PH1_i 및 PH2_i) 에 의해 생성된 전하들의 합이다. 포토다이오드들 (PH1 (PH1_i 및 PH1_{i+1})) 은 이 초기 상태에서는 전하들이 없다.

[0078] 전하들 전송의 전반적인 방향은 좌측에서 우측으로 진행하며, 즉 적분 주기 (T_{int}) 의 시작시 업스트림 화소의 제 2 포토다이오드 (PH2_{i-1}) 에서 축적된 전하들이 주기 (T_{int}) 동안 발생된 전하들에 의해 다음의 적분 주기의 시작시 다음 화소의 제 2 포토다이오드 (PH2_i) 에서 발견된다. 이에 따라, 우측으로의 전하들의 단향 (unidirectional) 전송 및 현재 화소에서 발생된 전하들과 이전 화소에서 축적된 전하들의 누적 모두가 존재하였으며, 이 모두는 TDI 타입의 동작을 제공한다.

[0079] 게이트들 (GA 및 GB) 의 역할을 반전시키고 신호들의 동일한 연대 (chronology) 를 보존함으로써, 전송의 방향이 반전된다.

[0080] 실행된 시뮬레이션들은, 전위 배리어 (BP1_i, BP2_i) 의 높이가 협소한 핑거들 (20) 의 폭에 따라 강하게 달라진다

는 것을 나타내며; 통상적으로 전위 배리어 ($BP1_i$, $BP2_i$) 의 높이는 0.7 마이크로미터에서 0.1 마이크로미터까지 변하는 핑거들의 폭들에 대해 0.5 볼트에서 2.5 볼트까지 변할 수 있고; 이 값들은 식각 테크놀로지 및 이용된 주입의 레벨들에 의존하기 때문에 순수하게 시사적이다. 0.4 마이크로미터 이하의 핑거들의 폭은 양호한 선택이다. 전송 방향에서의 핑거들의 길이는 0.4 마이크로미터 정도일 수 있다.

- [0081] 동일한 게이트의 핑거들의 단부들이 게이트의 협소한 스트립에 의해 함께 연결될 수 있다는 점에 유의할 것이다.
- [0082] 전하들은 컬럼의 단부에서 바람직하게 일련의 전하 스토리지 노드들 및 전하-전압 변환 회로들 (하나의 전하 스토리지 노드 및 하나의 전하-전압 변환 회로가 매트릭스의 각각의 컬럼과 연관됨) 내부로 배출된다. 변환 회로는 CMOS 테크놀로지를 이용한 센서 액티브 화소의 트랜지스터들과 유사한 몇 개의 트랜지스터들을 포함하며, 그 중에서 팔로워 (follower) 트랜지스터 및 리셋 트랜지스터가 있다. 이후, 변환 회로는, 먼저 전하 스토리지 노드의 전위의 리셋의 순간에 리셋 전위 레벨을 샘플링한 다음, 매트릭스의 마지막 로우로부터 전하 스토리지 노드들로 전하들의 배출 이후 유용한 신호 레벨을 샘플링하는, 상관 이중 샘플링 회로와 연관되는 것이 바람직하다. 2가지 샘플들의 차이는 아날로그-디지털 변환기에 의해 변환된다. 기본적인 변환기가 화소들의 각각의 컬럼에 제공될 수도 있거나, 그렇지 않으면 글로벌 변환기가 컬럼들 각각에 대해 순차적으로 변환을 수행한다.
- [0083] 도 6 은 게이트들의 하나의 변형 실시형태를 도시하며; 일 화소와 연관되고 게이트들의 동일한 로우의 부분을 형성하는 2개의 게이트들 중에서, 게이트들 ($G1B$) 중 하나가 미도시된 컨덕터에 의해 전기적으로 함께 연결되는 2개의 부분들로 분할되어 제공되고, 이들 2개의 부분들은 다른 게이트 ($G1A$) 의 양측에 배치된다.
- [0084] 도 7 은 2개의 게이트들 ($G1A$ 및 $G1B$) 이 적어도 2개의 부분들로 분할되고 게이트들 중 하나의 부분들이 다른 게이트의 부분들과 기하학적으로 교호되는 다른 변형예를 도시한다. 각각의 부분은, 게이트 (GA) 의 부분인지 또는 게이트 (GB) 의 부분인지의 여부에 의존하여 하나 또는 다른 포토다이오드 측으로 터닝된, 적어도 하나의 협소한 핑거를 포함한다.
- [0085] 게이트들의 구성이 무엇이든 간에, 게이트들 (게이트들은 투명함) 아래의 반도체에서 발생된 전자가 게이트에 인접한 포토다이오드들 중 하나 또는 다른 포토다이오드 측으로 자연스럽게 지향될 것이라는 사실로 인해 기하학적 변조 전송 기능의 열화의 우려가 존재한다. 이 캡처가 적분 반주기들 중 하나 또는 다른 적분 반주기 동안 일어나는지의 여부에 의존하여, 이것은 MTF 에 대한 부정적인 결과를 가지거나 또는 가지지 않는다.
- [0086] 이로써, 예를 들어:
- [0087] - 제 2 적분 반주기 동안 게이트 ($G2B_i$) 아래에서 생성되는 전자는 보통 포토다이오드 (PHi_2) 측으로 지향되며; 이어지는 전송 펄스 동안, 게이트 ($G2B_i$) 측으로 지향된 다음 포토다이오드 ($PH2_i$) 측으로 지향된다;
- [0088] - 동일한 순간에 게이트 ($G2A_i$) 아래에서 발생된 전자는 보통 포토다이오드 ($PH1_i$) 측으로 지향되고; 이어지는 전송 펄스 동안, 또한 게이트 ($G2B_i$) 측으로 지향된 다음 포토다이오드 ($PH2_i$) 측으로 지향된다.
- [0089] 이 경우, 전자가 게이트 ($G2A_i$) 아래에서 생성된 것인지 또는 게이트 ($G2B_i$) 아래에서 생성된 것인지의 여부에 의존하여 전자의 처리에서는 차이가 없으며, 이것이 이롭다.
- [0090] 하지만:
- [0091] - 제 1 적분 반주기 동안 게이트 ($G2B_i$) 아래에서 생성된 전자는 보통 포토다이오드 (PHi_2) 측으로 지향되고; 이어지는 전송 펄스 동안, 게이트 ($G1B_{i+1}$) 측으로 지향된 다음 포토다이오드 ($PH1_{i+1}$) 측으로 지향된다;
- [0092] - 반대로, 동일한 순간에 게이트 ($G2A_i$) 아래에서 생성된 전자는 보통 포토다이오드 ($PH1_i$) 측으로 지향되고; 이어지는 전송 펄스 동안, 게이트 ($G1B_i$) 측으로 되돌아간 다음 포토다이오드 ($PH1_i$) 측으로 되돌아간다.
- [0093] 따라서, 전자가 게이트 ($G2B_i$) 아래에서 생성된 것인지 또는 게이트 ($G2A_i$) 아래에서 생성된 것인지의 여부에 의존하여 처리에서 차이가 있으며; 이 차이는 하나의 화소로부터 나오는 전자들을 다른 화소로부터 나오는 전자들과 혼합하는 것에 의해 변조 전송 기능에 해롭다.
- [0094] 이러한 열화를 회피하기 위해서, 제공되는 해결책은 반화소의 표면 상부에 수신된 광을 포토다이오드 상으로 집

중시키는 포커싱 마이크로렌즈를 이용하여 각각의 반화소를 커버하는 것이다. 이로써, 전자들이 포토다이오드에서 대칭적으로 생성될 것이며 게이트들 아래에서는 그렇지 않을 것이다.

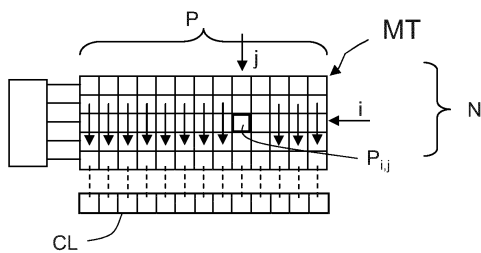
[0095] 도 8의 실시형태에서, 마이크로렌즈 (ML)는 직사각형 형상이고 포토다이오드의 중심에 있다. 마이크로렌즈 (ML)는 포토다이오드의 양측에 위치한 게이트들의 표면 영역의 절반과 함께 전체 포토다이오드를 커버한다.

2개의 각각의 반화소들을 커버하는 2개의 인접한 마이크로렌즈들은 전체 화소에 대응하는 대략적으로 정사각형인 형상을 커버한다.

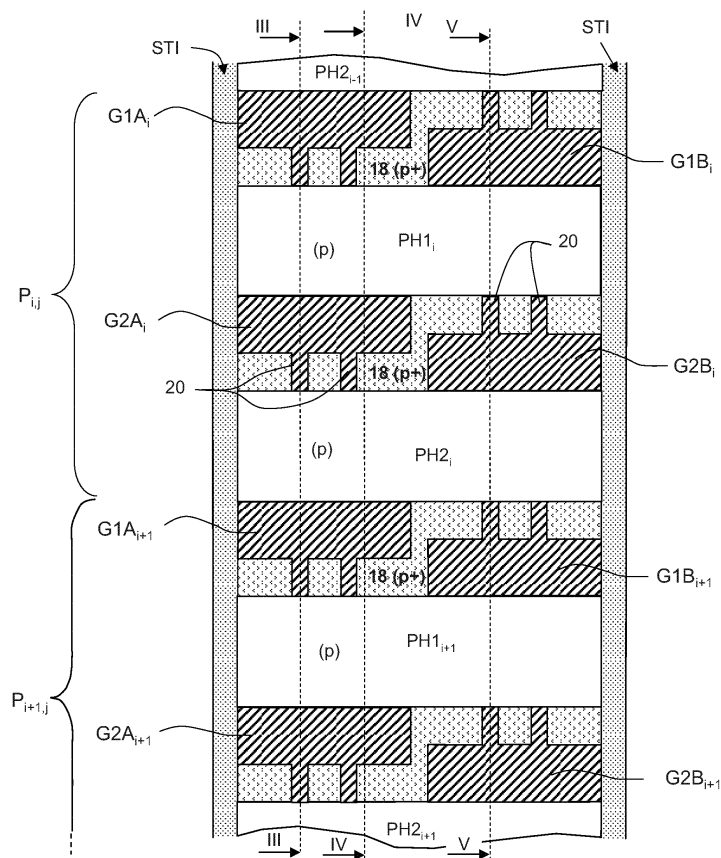
[0096] 도 9의 실시형태에서, 해결책은 직사각형 마이크로렌즈 대신에 2개의 인접한 정사각형 마이크로렌즈들을 로우 (MLa 및 MLb)로 제공하는 것이다. 각각의 마이크로렌즈는 포토다이오드의 절반의 중심에 있고 포토다이오드의 이 절반 및 포토다이오드의 이 절반에 인접하는 게이트들의 절반을 커버한다. 4개 인접한 정사각형 마이크로렌즈들은 전체 화소에 대응하는 대략적으로 정사각형인 표면 영역을 커버한다.

도면

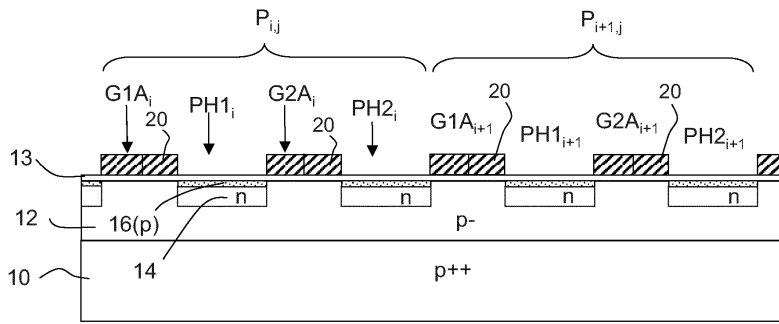
도면1



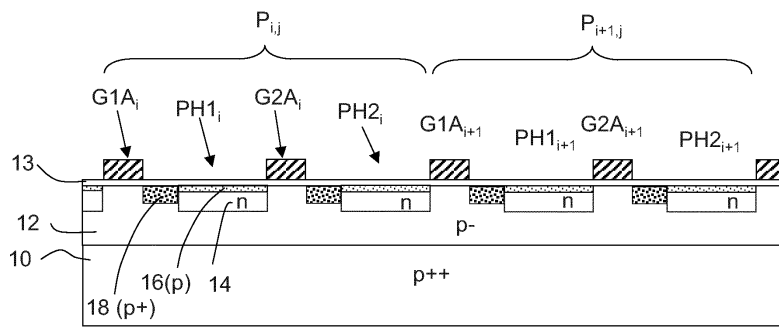
도면2



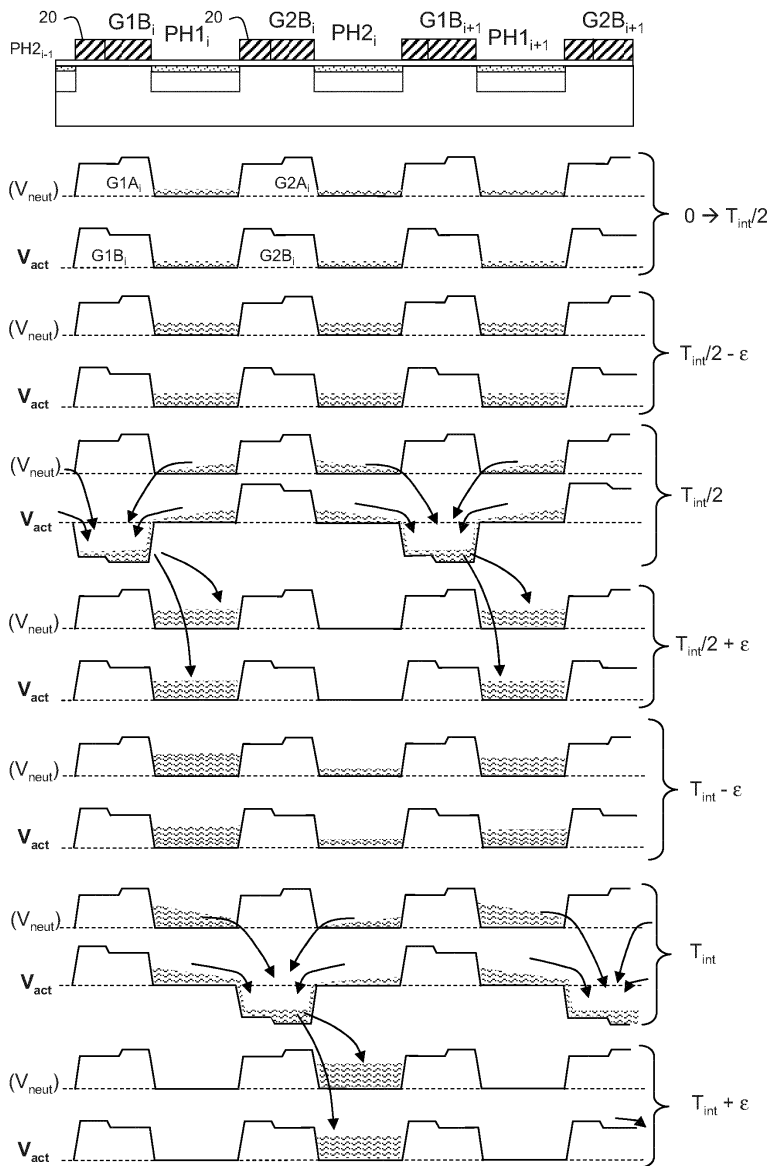
도면3



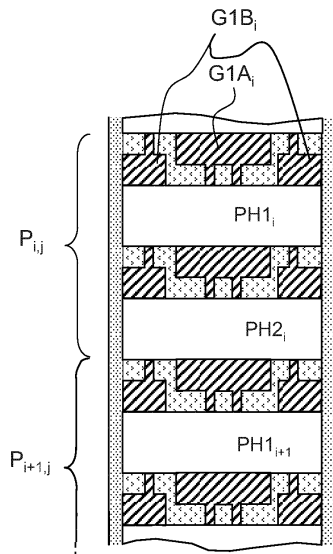
도면4



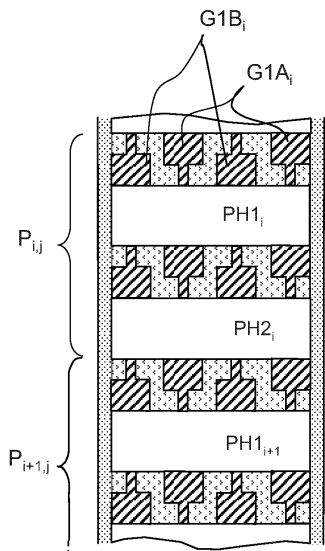
도면5



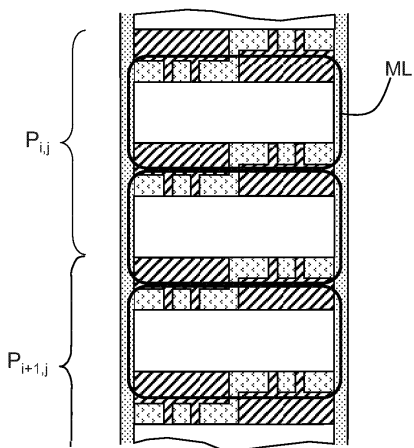
도면6



도면7



도면8



도면9

