

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3803505号
(P3803505)

(45) 発行日 平成18年8月2日(2006.8.2)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl.

H03M 1/74 (2006.01)

F I

H03M 1/74

請求項の数 5 (全 24 頁)

(21) 出願番号	特願平11-132643	(73) 特許権者	000005223
(22) 出願日	平成11年5月13日(1999.5.13)		富士通株式会社
(65) 公開番号	特開2000-323991(P2000-323991A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年11月24日(2000.11.24)	(74) 代理人	100108187
審査請求日	平成16年3月12日(2004.3.12)		弁理士 横山 淳一
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(72) 発明者	鈴木 久雄
			愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		審査官	柳下 勝幸
		(56) 参考文献	特開平11-220399(JP, A)
			最終頁に続く

(54) 【発明の名称】 電圧発生回路及びD/A変換回路

(57) 【特許請求の範囲】

【請求項1】

高電位の第1電源と低電位の第2電源が供給され、前記第1電源と前記第2電源間を分割した電位を有する出力信号を発生する電圧発生回路であって、

前記第1電源が供給される第1端子に接続された第1インピーダンス素子と、

前記第1インピーダンス素子と同一インピーダンスを有し前記第2電源が供給される第2端子に接続された第2インピーダンス素子と、

前記第1インピーダンス素子と前記第2インピーダンス素子との間に接続された所定のインピーダンスを有する第3インピーダンス素子と、

前記第1インピーダンス素子と前記第3インピーダンス素子間の第1ノードに接続され、該第1ノードに第1制御電流を供給する第1電流源と、

前記第2インピーダンス素子と前記第3インピーダンス素子間の第2ノードに接続され、該第2ノードに第2制御電流を供給する第2電流源と、

を備え、

前記第1電流源と前記第2電流源は、前記第1制御電流と前記第2制御電流とを流す方向が互いに逆であり、前記第1制御電流と前記第2制御電流の絶対値の合計が一定値となるように前記両制御電流を制御し、

前記第1ノードの電位と前記第2ノードの電位を前記第1制御電流と前記第2制御電流の値に対応する電位に変更すること

を特徴とする電圧発生回路。

【請求項 2】

複数ビットのデジタル信号に基づいて複数の出力電圧を発生する電圧発生回路と、該複数の出力電圧のうちの 1 つを選択して生成したアナログ信号を出力する選択回路とを備えた D / A 変換回路であって、

前記電圧発生回路は、

第 1 電源が供給される第 1 端子に接続された第 1 インピーダンス素子と、

前記第 1 インピーダンス素子と同一のインピーダンスを有し第 2 電源が供給される第 2 端子に接続された第 2 インピーダンス素子と、

前記第 1 インピーダンス素子と前記第 2 インピーダンス素子との間に接続された所定のインピーダンスを有する第 3 インピーダンス素子と、

前記第 1 インピーダンス素子と前記第 3 インピーダンス素子との間の第 1 ノードに接続され、該第 1 ノードに第 1 制御電流を供給する第 1 電流源と、

前記第 2 インピーダンス素子と前記第 3 インピーダンス素子との間の第 2 ノードに接続され、該第 2 ノードに第 2 制御電流を供給する第 2 電流源と、
を備え、

前記第 1 電流源と前記第 2 電流源は、前記第 1 制御電流と前記第 2 制御電流とを流す方向が互いに逆であり、前記第 1 制御電流と前記第 2 制御電流の絶対値の合計が一定値となるように前記両制御電流を制御すること

を特徴とする D / A 変換回路。

【請求項 3】

前記電圧発生回路は、

前記デジタル信号の下位ビットのビット数に対応する複数の電圧を出力し、

前記選択回路は、

前記デジタル信号の上位ビットに基づいて前記複数の出力電圧から 1 つの電圧を選択すること

を特徴とする請求項 2 に記載の D / A 変換回路。

【請求項 4】

第 1 電源に接続された第 1 インピーダンス素子と、

前記第 1 インピーダンス素子と同一インピーダンスを有し前記第 2 電源に接続された第 2 インピーダンス素子と、

前記第 1 インピーダンス素子と前記第 2 インピーダンス素子との間に接続された所定のインピーダンスを有する第 3 インピーダンス素子と、

前記第 1 インピーダンス素子と前記第 3 インピーダンス素子との間の第 1 ノードから第 1 制御電流を引き込む第 1 電流源と、

前記第 2 インピーダンス素子と前記第 3 インピーダンス素子との間の第 2 ノードに前記第 1 制御電流と相関する第 2 制御電流を供給する第 2 電流源と、

を備え、

前記第 1 電流源と前記第 2 電流源は、前記第 1 制御電流と前記第 2 制御電流の絶対値の合計が一定値となるように前記両制御電流を制御し、

前記第 1 ノードの電位と前記第 2 ノードの電位を前記第 1 制御電流と前記第 2 制御電流の値に対応する電位に変更すること

を特徴とする電圧発生回路。

【請求項 5】

前記第 1 ノードと前記第 2 ノードと前記第 3 インピーダンスとの何れかに接続される少なくとも 2 つの出力端子を備えること

を特徴とする請求項 4 に記載の電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高電位電源と低電位電源の電位差を分圧して分圧電圧を生成する電圧発生回路に

10

20

30

40

50

関し、詳しくは、D/A変換回路に組み込まれる電圧発生回路に関する。

【0002】

近年の半導体装置には、デジタルーアナログ変換回路(D/A変換回路)や電流発生回路等の様々な回路が1つのチップ上に搭載されるようになってきている。そして、それぞれの回路において特性の向上が要求されている。例えば、D/A変換回路は、デジタル回路とアナログ回路との間のインタフェース回路として搭載され、出力するアナログ信号の直線性の精度向上が要求されている。

【0003】

【従来の技術】

図7は、半導体装置に搭載された抵抗ストリング方式のデジタルーアナログ変換回路(D/A変換回路)11の回路図である。 10

【0004】

D/A変換回路11は、高電位電源VDDと低電位電源VSSとの間の電位差を均等に16分割し、デジタル信号D2, D1, D0に対応する電位($(VDD - VSS) \times (n/16) + VSS$)を有するアナログ信号Aoutを生成する。D/A変換回路11は、3ビットデジタル信号D2~D0に対応する数の抵抗R1~R8を有する分圧回路12、スイッチSW1~SW6、インバータ回路13~15を含む。抵抗R1~R8は、高電位電源VDDと低電位電源VSSとの間に直列に接続されている。各抵抗R1~R8の抵抗値は、デジタル信号D2~D0のビット数(=3)に応じて重み付けされている。

【0005】

抵抗R1が基準抵抗値「1」を有している場合、抵抗R2, R7は抵抗値「1」、抵抗R3, R6は抵抗値「2」に、抵抗R4, R5, R8は抵抗値「4」を有するように設定されている。尚、各抵抗R1~R8の抵抗値は、同一抵抗値を有する抵抗素子を所定数並列接続することにより重み付けされている。即ち、抵抗R4, R5, R8を1つの抵抗素子にて構成され、それらと同一抵抗値を有する4つの抵抗素子を並列接続して抵抗R1, R2, R7を、2つの抵抗素子を並列接続して抵抗R3, R6を構成している。 20

【0006】

高電位電源VDD側の抵抗R2, R3にはスイッチSW3, SW4がそれぞれ並列に接続され、低電位電源VSS側の抵抗R6, R7にはスイッチSW5, SW6がそれぞれ並列に接続されている。スイッチSW3, SW4はPチャネルMOSトランジスタにて構成され、スイッチSW5, SW6はNチャネルMOSトランジスタにて構成される。スイッチSW3, SW6のゲートには、デジタル信号D0をインバータ回路15にて反転した信号が供給され、スイッチSW4, SW5のゲートには、デジタル信号D1をインバータ回路14にて反転した信号が供給される。これにより、D/A変換回路11は、下位2ビットデジタル信号D1, D0に従ってスイッチSW3~SW6をオン又はオフするように制御する。 30

【0007】

例えば、下位2ビットデジタル信号「00」に従ってD/A変換回路11は、スイッチSW3, SW4をオフする(スイッチSW5, SW6をオン)。これにより、ノードN2と低電位電源VSSとの間の抵抗値は、「4」に設定される(高電位電源VDDとノードN1の間の抵抗値は「8」に設定される)。D/A変換回路11は、更に下位2ビットデジタル信号「01」に従ってスイッチSW4, SW6をオフにする(スイッチSW3, SW5をオン)。これにより、ノードN2と低電位電源VSSとの間の抵抗値は、「5」に設定される(高電位電源VDDとノードN1との間の抵抗値は「7」に設定される)。 40

【0008】

ノードN1とノードN2との間の抵抗値は、常に「4」(R5の抵抗値)である。従って、D/A変換回路11は、スイッチSW3~SW6を制御して高電位電源VDDと低電位電源VSSとの間の抵抗値を常に一定の値「16」に保持する。D/A変換回路11は、更に下位2ビットデジタル信号D1, D0に従って高電位電源VDDとノードN1間との間の抵抗値及びノードN2と低電位電源VSSとの間の抵抗値を1ずつ変更する。 50

【 0 0 0 9 】

ノード N 1 及び N 2 の電位は、高電位電源 V DD と低電位電源 V SS 間の電位差と、高電位電源 V DD とノード N 1 との間の抵抗値、ノード N 1、N 2 間の抵抗値、ノード N 2 と低電位電源 V SS との間の抵抗値によって決定される。従って、D / A 変換回路 1 1 は、下位 2 ビットデジタル信号 D 1、D 0 に従ってノード N 1 及び N 2 の電位を高電位電源 V DD と低電位電源 V SS 間の電位差の 1 / 1 6 のステップで変更する。

【 0 0 1 0 】

D / A 変換回路 1 1 は、上位ビットデジタル信号 2 に従ってスイッチ S W 1、S W 2 のうちの 1 つをオンする。そのオンされたスイッチを介して 1 つの生成された分圧電圧を持つアナログ信号 A o u t が出力される。

10

【 0 0 1 1 】

【 発明が解決しようとする課題 】

しかしながら、各スイッチ S W 3 ~ S W 6 がオンしたときの抵抗値は 0 オーム () ではない。従って、抵抗 R 2、R 3、R 6、R 7 にスイッチ S W 1 a ~ S W 3 b のオン抵抗がそれぞれ並列に接続される。そして、各スイッチ S W 3 ~ S W 6 は、平行に接続された抵抗 R 2、R 3、R 6、R 7 との間を導電性の素材による配線で接続され、その配線の抵抗成分が各抵抗の抵抗値に加わる。この結果、ノード N 1 と高電位電源 V DD との間の抵抗値、ノード N 2 と低電位電源 V SS との間の抵抗値のそれぞれに誤差が生じ、ノード N 1 とノード N 2 との間の電位が変化する。この変化によって、高電位電源 V DD と低電位電源 V SS の間の電位差が均等に 1 6 分割された分圧電圧が得られなくなる。このことは、デジタル信号 D 2 ~ D 0 からアナログ信号 A o u t への変換精度の低下を招く。

20

【 0 0 1 2 】

本発明は上記問題点を解決するためになされたものであって、その目的は精度の良い出力を得ることができる電圧発生回路及び D / A 変換回路を提供することにある。

【 0 0 1 3 】

【 課題を解決するための手段 】

上記目的を達成するため、請求項 1 に記載の発明は、高電位の第 1 電源と低電位の第 2 電源が供給され、前記第 1 電源と前記第 2 電源間を分割した電位を有する出力信号を発生する電圧発生回路であって、前記第 1 電源が供給される第 1 端子に接続された第 1 インピーダンス素子と、前記第 1 インピーダンス素子と同一インピーダンスを有し前記第 2 電源が供給される第 2 端子に接続された第 2 インピーダンス素子と、前記第 1 インピーダンス素子と前記第 2 インピーダンス素子との間に接続された所定のインピーダンスを有する第 3 インピーダンス素子と、前記第 1 インピーダンス素子と前記第 3 インピーダンス素子間の第 1 ノードに接続され、該第 1 ノードに第 1 制御電流を供給する第 1 電流源と、前記第 2 インピーダンス素子と前記第 3 インピーダンス素子間の第 2 ノードに接続され、該第 2 ノードに第 2 制御電流を供給する第 2 電流源と、を備え、前記第 1 電流源と前記第 2 電流源は、前記第 1 制御電流と前記第 2 制御電流とを流す方向が互いに逆であり、前記第 1 制御電流と前記第 2 制御電流の絶対値の合計が一定値となるように前記両制御電流を制御し、前記第 1 ノードの電位と前記第 2 ノードの電位を前記第 1 制御電流と前記第 2 制御電流の値に対応する電位に変更するものである。このように、制御電流により出力信号の電位を変更することで任意の電位を有する出力信号を発生し、分圧回路はインピーダンス素子にスイッチ回路等の余分な抵抗分を含まないため、それによる分圧精度の低下が抑えられる。

30

40

【 0 0 1 4 】

請求項 2 に記載の発明は、複数ビットのデジタル信号に基づいて複数の出力電圧を発生する電圧発生回路と、該複数の出力電圧のうちの 1 つを選択して生成したアナログ信号を出力する選択回路とを備えた D / A 変換回路であって、前記電圧発生回路は、第 1 電源が供給される第 1 端子に接続された第 1 インピーダンス素子と、前記第 1 インピーダンス素子と同一のインピーダンスを有し第 2 電源が供給される第 2 端子に接続された第 2 インピーダンス素子と、前記第 1 インピーダンス素子と前記第 2 インピーダンス素子との間に接

50

続された所定のインピーダンスを有する第3インピーダンス素子と、前記第1インピーダンス素子と前記第3インピーダンス素子との間の第1ノードに接続され、該第1ノードに第1制御電流を供給する第1電流源と、前記第2インピーダンス素子と前記第3インピーダンス素子との間の第2ノードに接続され、該第2ノードに第2制御電流を供給する第2電流源と、を備え、前記第1電流源と前記第2電流源は、前記第1制御電流と前記第2制御電流とを流す方向が互いに逆であり、前記第1制御電流と前記第2制御電流の絶対値の合計が一定値となるように前記両制御電流を制御するものである。このように、制御電流により出力信号の電位を変更することで任意の電位を有するアナログ信号を生成し、分圧回路はインピーダンス素子に並列に接続されるスイッチ回路を含まないため、それによる分圧精度の低下を抑え、精度の高いアナログ信号を出力する。

10

【0015】

請求項3に記載の発明は、前記電圧発生回路は、前記デジタル信号の下位ビットのビット数に対応する複数の電圧を出力し、前記選択回路は、前記デジタル信号の上位ビットに基づいて前記複数の出力電圧から1つの電圧を選択する。

請求項4に記載の発明は、前記第1電源に接続された第1インピーダンス素子と、前記第1インピーダンス素子と同一インピーダンスを有し前記第2電源に接続された第2インピーダンス素子と、前記第1インピーダンス素子と前記第2インピーダンス素子との間に接続された所定のインピーダンスを有する第3インピーダンス素子と、前記第1インピーダンス素子と前記第3インピーダンス素子との間の第1ノードから第1制御電流を引き込む第1電流源と、前記第2インピーダンス素子と前記第3インピーダンス素子との間の第2ノードに前記第1制御電流と相関する第2制御電流を供給する第2電流源と、を備え、前記第1電流源と前記第2電流源は、前記第1制御電流と前記第2制御電流の絶対値の合計が一定値となるように前記両制御電流を制御し、前記第1ノードの電位と前記第2ノードの電位を前記第1制御電流と前記第2制御電流の値に対応する電位に変更する。

20

請求項5に記載の発明は、前記第1ノードと前記第2ノードと前記第3インピーダンスとの何れかに接続される少なくとも2つの出力端子を備えた。

【0016】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図6に従って説明する。

図1は、一実施形態のD/A変換回路のブロック回路図である。

30

【0017】

D/A変換回路21は、複数ビット（本実施形態では3ビット）のデジタル信号D2～D0に対応する電位を有するアナログ信号Aoutを生成する。D/A変換回路21は、電圧発生回路22、出力電圧選択回路23を備える。

【0018】

電圧発生回路22は、抵抗ストリングを有し、上位ビット数に対応して生成した複数（本実施形態では2つ）の出力信号Vout0、Vout1を選択回路23に出力する。電圧発生回路22は、下位2ビットのデジタル信号D1、D0にตอบสนองし、出力信号Vout0、Vout1の電位差を一定に保持し、且つ両信号Vout0、Vout1の電位を所定のステップで変更する。

【0019】

選択回路23は、上位ビットデジタル信号D2にตอบสนองして出力信号Vout0、Vout1の一方を選択し、その選択した信号の電位を有するアナログ信号Aoutを出力する。2ビットのデジタル信号D1、D0の論理組み合わせのパターン数は「4」であり、電圧発生回路22は、4パターンの電位を持つ出力信号Vout0、Vout1を出力する。従って、D/A変換回路21は、所定ステップ毎の8パターンの電位を持つアナログ信号Aoutを出力する。

40

【0020】

図2は、電圧発生回路22のブロック回路図である。

電圧発生回路22は、第1分圧回路31、（出力電圧）制御電流発生回路32、（出力電圧）制御電流反転回路33、定電流回路34、出力電圧補正回路35、高電圧端子電流補

50

正回路（第１電流補正回路）３６、低電圧端子電流補正回路（第２電流補正回路）３７を含む。

【００２１】

第１分圧回路３１は、高電位の第１基準電源 V_{RP} が供給される第１端子 T_1 と低電位の第２基準電源 V_{RN} が供給される第２端子 T_2 の間に直列接続された複数（本実施形態では６個）のインピーダンス素子としての抵抗 $R_{11} \sim R_{16}$ を含む。第１端子 T_1 に接続された第１抵抗 R_{11} と、第２端子 T_2 に接続された第６抵抗 R_{16} は、実質的に同一のインピーダンスを有する。尚、本実施形態では、第１抵抗 R_{11} と第６抵抗 R_{16} 間の第２～第５抵抗 $R_{12} \sim R_{15}$ は、第１及び第６抵抗 R_{11} 、 R_{16} と実質的に同一のインピーダンスを有する。

10

【００２２】

従って、第１分圧回路３１は、各抵抗 $R_{11} \sim R_{16}$ 間のノードに第１基準電源 V_{RP} と第２基準電源 V_{RN} 間の電位差を分圧した分圧電圧を発生する。そして、第３抵抗 R_{13} と第４抵抗 R_{14} 間のノード N_{11} の電位を有する第１出力信号 V_{out0} と、第４抵抗 R_{14} と第５抵抗 R_{15} 間のノード N_{12} の電位を有する第２出力信号 V_{out1} が図１の選択回路２３に供給される。

【００２３】

第１抵抗 R_{11} と第２抵抗 R_{12} 間のノード N_{13} には第１及び第２電流源としての制御電流発生回路３２が接続され、第５抵抗 R_{15} と第６抵抗 R_{16} 間のノード N_{14} には第２電流源としての制御電流反転回路３３が接続される。両回路３２、３３はノード N_{13} とノード N_{14} に対し、互いに相関のある電流値を有する制御電流 I_a と制御電流 I_b をそれぞれ印加する。更に、両回路３２、３３は、制御電流 I_a と制御電流 I_b を互いに逆方向に流す。

20

【００２４】

詳述すると、制御電流発生回路３２は、ノード N_{13} から第１制御電流 I_a を引き込み、その第１制御電流 I_a の値と相関関係にある値を持つ電流 I_c を制御電流反転回路３３から引き込むように動作する。更に、制御電流発生回路３２は、第１制御電流 I_a の絶対値と電流 I_c のその合計値を常に一定値とするようにそれらの値を制御する。制御電流反転回路３３は、電流 I_c の方向を反転した電流 I_b を流す。即ち、制御電流反転回路３３は、第１制御電流 I_a の値と相関関係にある値を持ち、且つ第１制御電流 I_a と逆方向の第２制御電流 I_b をノード N_{14} に供給する。尚、両回路３２、３３が流す第１制御電流 I_a と第２制御電流 I_b の方向を上記と逆にしても良い、制御電流発生回路３２が引き込む第１制御電流 I_a は第１抵抗 R_{11} のみに流れ、制御電流反転回路３３が供給する第２制御電流 I_b は第６抵抗 R_{16} のみに流れる。従って、制御電流発生回路３２及び制御電流反転回路３３は、第１制御電流 I_a と第２制御電流 I_b の値を制御することで、第１抵抗 R_{11} と第６抵抗 R_{16} の実効的なインピーダンス値をそれぞれ制御する。

30

【００２５】

更に、制御電流発生回路３２は、両制御電流 I_a 、 I_b の絶対値の合計を一定に保つ。従って、第１端子 T_1 と第２端子 T_2 間に流れる電流値は、各制御電流 I_a 、 I_b の値が変更されても一定となる。即ち、これらにより、制御電流発生回路３２及び制御電流反転回路３３は、ノード N_{13} とノード N_{14} の電位、即ちノード N_{11} とノード N_{12} との間の電位差を一定に保ちつつ、それらの電位を制御する。

40

【００２６】

制御電流発生回路３２と制御電流反転回路３３は定電流回路３４に接続されている。定電流回路３４は、出力信号 V_{out0} 、 V_{out1} の電位を変更するステップに対応する値を持つ単位電流を発生させる機能を有する。単位電流の値は、出力信号 V_{out0} 、 V_{out1} を変更するステップに応じて設定される。

【００２７】

即ち、電圧発生回路２２は、ノード N_{11} とノード N_{12} 間の電位差を下位ビットデジ

50

タル信号 D_1 , D_0 のパターン数「4」に等分割した値を1つのステップ(変化量)としている。従って、ノード N_{11} とノード N_{12} 間のインピーダンス(抵抗値)をパターン数「4」で等分割した値(抵抗値)を持つ抵抗(単位抵抗)の両端の電位差を1ステップ分の変化量とする電流量を単位電流の値に設定する。制御電流 I_a , I_b を単位電流毎に増減することで、両ノード N_{13} , N_{14} の電位、即ち両出力信号 V_{out0} , V_{out1} の電位をステップ毎に変更することができる。

【0028】

従って、制御電流発生回路32及び制御電流反転回路33は、制御電流 I_a , I_b の値を、デジタル信号 D_1 , D_0 に基づいて、単位電流の整数倍の値だけ変更する。詳述すると、制御電流発生回路32は、単位電流の整数倍の値 I だけ減少させた値を持つ第1制御電流 I_a をノード N_{13} から引き込み、制御電流反転回路33は、値 I 増加した値を持つ第2制御電流 I_b をノード N_{14} に供給する。

10

【0029】

出力電圧補正回路35は、常に初期値を持つ設定電流 I_d をノード N_{14} に供給する。この設定電流 I_d は、第6抵抗 R_{16} のみに流れ、その実効的なインピーダンスを変更する。これにより、第1端子 T_1 と第2端子 T_2 との間の実効的なインピーダンスを所定値に設定する。本実施形態では、第1端子 T_1 と第2端子 T_2 との間の実効的なインピーダンスを単位抵抗の36倍の値に設定している。これにより、電圧発生回路22は、第1基準電源 V_{RP} と第2基準電源 V_{RN} 間の電位差を36分割したステップ毎の値を持つ出力信号 V_{out0} , V_{out1} を出力する。尚、第1端子 T_1 と第2端子 T_2 との間の実効インピーダンスを適宜変更してもよい。

20

【0030】

第1電流補正回路36と第2電流補正回路37は第1端子 T_1 と第2端子 T_2 にそれぞれ接続されている。第1電流補正回路36と第2電流補正回路37は、制御電流 I_a , I_b の値に対応する値を持つ補正電流 I_e , I_f を第1端子 T_1 と第2端子 T_2 に供給する。これにより、第1電流補正回路36と第2電流補正回路37は、制御電流発生回路32と制御電流反転回路33が流す制御電流 I_a , I_b により第1基準電源 V_{RP} と第2基準電源 V_{RN} が変動するのを防ぐ。

【0031】

詳述すると、第1電流補正回路36は、制御電流反転回路33がノード N_{14} に供給する第2制御電流 I_b の値と同一値を持つ第1補正電流 I_e を第1端子 T_1 から引き込む。第2制御電流 I_b の値は、第1制御電流 I_a のそれと相関がある。従って、第1電流補正回路36は、第1制御電流 I_a の値と相関値を持つ第1補正電流 I_e を第1端子 T_1 から引き抜く、ということもできる。これにより、第1端子 T_1 と第2端子 T_2 との間の電流量を一定に保ち、第1端子 T_1 と第2端子 T_2 の電位を安定させる。

30

【0032】

第2電流補正回路37は、制御電流発生回路32がノード N_{13} から引き抜く第1制御電流 I_a の値と同一値を持つ第2補正電流 I_f を第2端子 T_2 に供給する。同様に、第2電流補正回路37は、第2制御電流 I_b の値と相関値を持つ第2補正電流 I_f を第2端子 T_2 に供給する、ということもできる。これにより、第1端子 T_1 と第2端子 T_2 との間の電流量を一定に保ち、第1端子 T_1 と第2端子 T_2 の電位を安定させる。

40

【0033】

次に、電圧発生回路22の動作原理を説明する。

図3は、図2の電圧発生回路22を簡略化したブロック回路図であり、この回路により電圧発生回路の動作原理が容易に説明される。

【0034】

図3の電圧発生回路は、抵抗 R_{21} , R_{22} , R_{23} と第1及び第2電流源 4_1 , 4_2 を含む。

抵抗 $R_{21} \sim R_{23}$ は、高電位の第1基準電源 V_{RP} が供給される第1端子 T_1 と、低電位の第2基準電源 V_{RN} が供給される第2端子 T_2 の間に直列接続され、分圧回路43を構成

50

する。

【 0 0 3 5 】

第 1 端子 T 1 に接続された第 1 抵抗 R 2 1 と、第 2 端子 T 2 に接続された第 3 抵抗 R 2 3 は、実質的に同一のインピーダンスを有し、尚、本説明では、第 2 抵抗 R 2 2 は抵抗 R 2 1 , R 2 3 と実質的に同一のインピーダンスを有し、それらを「 R 」とする。

【 0 0 3 6 】

第 1 抵抗 R 2 1 と第 2 抵抗 R 2 2 間のノード N 1 3 には第 1 電流源 4 1 が接続され、この第 1 電流源 4 1 はノード N 1 3 から第 1 制御電流 I a を引き込む。第 2 抵抗 R 2 2 と第 3 抵抗 R 2 3 間のノード N 1 4 には第 2 電流源 4 2 が接続され、この第 2 電流源 4 2 はノード N 1 4 に第 1 制御電流 I a と相関値を持つ第 2 制御電流 I b を供給する。

10

【 0 0 3 7 】

そして、第 1 抵抗 R 2 1 と第 2 抵抗 R 2 2 間のノード N 1 1 の電位を持つ第 1 出力信号 V out0 と、第 2 抵抗 R 2 2 と第 3 抵抗 R 2 3 間のノード N 1 2 の電位を持つ第 2 出力信号 V out1 が生成される。

【 0 0 3 8 】

今、第 1 基準電圧 V RP の値を「 V1」、第 2 基準電圧 V RN の値を「 0 ボルト」とする。

先ず、出力信号 V out0 , V out1 の初期電圧として、ノード N 1 1 , N 1 2 に与える電位を設定する。即ち、初期電圧設定値として、第 1 出力信号 V out0 を「 $8/16 \times V1$ 」に、第 2 出力信号 V out1 を「 $4/16 \times V1$ 」にするために第 1 電流源 4 1 が引き込む第 1 制御電流 I a の値（定常電流値）を設定する。設定電流値は、次式により算出される。

20

【 0 0 3 9 】

第 1 電流源 4 1 が 0 アンペア（ A ）の第 1 制御電流 I a を流している時、第 1 出力信号 V out0 は、

$$V_{out0} = (2R/3R) \times V1 = 2/3 \times V1$$

となる。従って、設定する目標電圧値との差電圧 V は、

$$V = 2/3 \times V1 - 8/16 \times V1 = 1/6 \times V1$$

となる。そして、第 1 電流源 4 1 による制御電流 I a は第 1 抵抗 R 4 1 にのみ流れる。このため電流源 1 に設定する電流値 I (0) は、

$$I(0) = V/R = (1/6 \times V1)/R$$

として求められる。

30

【 0 0 4 0 】

次に、出力信号 V out0 , V out1 を 1 ステップ、即ち「 $1/16 \times V1$ 」上昇させるために第 1 電流源 4 1 と第 2 電流源 4 2 が流す制御電流 I a , I b の制御量、即ち単位電流の電流値 I (t) は、

$$|I(t)| = (1/16 \times V1)/R$$

となる。

【 0 0 4 1 】

従って、第 1 出力信号 V out0 を初期電圧設定値からステップ毎に変化させるときの第 1 電流源 4 1 の制御電流 I a の値 I (1) は、

$$I(1) = I(0) - I(t) \times D(n)$$

40

$$= (1/6 \times V1)/R - ((1/16 \times V1)/R) \times D(n)$$

となる。そして、第 1 及び第 2 電流源 4 1 , 4 2 は、制御電流 I a , I b の絶対値の和を常に一定値に制御するため、第 2 電流源 4 2 の制御電流 I b の値 I (2) は、

$$I(2) = I(t) \times D(n)$$

$$= ((1/16 \times V1)/R) \times D(n)$$

となる。尚、D(n) はデジタル信号 D 1 , D 0 の 10 進数値であり、「 0 」～「 3 」の値を取る。従って、第 1 及び第 2 出力信号 V out0 , V out1 をステップ毎に得るための第 1 及び第 2 制御電流 I a , I b の値 I (1) , I (2) は、

50

$V_{out0}=8/16 \times V_1$, $V_{out1}=4/16 \times V_1$ の時の設定電流値は、

$$I(1)=(1/6 \times V_1)/R - ((1/16 \times V_1)/R) \times 0$$

$$I(2)=((1/16 \times V_1)/R) \times 0$$

$V_{out0}=9/16 \times V_1$, $V_{out1}=5/16 \times V_1$ の時の設定電流値は、

$$I(1)=(1/6 \times V_1)/R - ((1/16 \times V_1)/R) \times 1$$

$$I(2)=((1/16 \times V_1)/R) \times 1$$

$V_{out0}=10/16 \times V_1$, $V_{out1}=6/16 \times V_1$ の時の設定電流値は、

$$I(1)=(1/6 \times V_1)/R - ((1/16 \times V_1)/R) \times 2$$

$$I(2)=((1/16 \times V_1)/R) \times 2$$

$V_{out0}=11/16 \times V_1$, $V_{out1}=7/16 \times V_1$ の時の設定電流値は、

$$I(1)=(1/6 \times V_1)/R - ((1/16 \times V_1)/R) \times 3$$

$$I(2)=((1/16 \times V_1)/R) \times 3$$

となる。

【0042】

上記の第1及び第2電流源41, 42が流す第1及び第2制御電流 I_a , I_b の電流値 $I(1)$, $I(2)$ と、第1及び第2出力信号 V_{out0} , V_{out1} の組み合わせを適宜選択することで、「 $4/16 \times V_1$ 」～「 $11/16 \times V_1$ 」の8パターンの電圧を得ることができる。

【0043】

上記のように、電圧発生回路22の第1分圧回路43、即ち抵抗ストリングに、分圧電圧を発生するための素子は抵抗素子のみしか存在しておらず、従来のD/A変換回路11で問題となるスイッチとそれを接続する配線による抵抗は存在していない。これらにより、電圧発生回路22及びそれを用いた抵抗ストリング方式D/A変換回路においては、高精度に均等分割した電圧を出力することが可能である。

【0044】

次に、各回路の構成及び動作を説明する。

図4は、第1分圧回路31、定電流回路34の回路図である。

第1分圧回路31の抵抗 $R_{11} \sim R_{16}$ は、実質的に同一インピーダンスを有する複数(4個)の単位抵抗 R_a から構成される。

【0045】

定電流回路34は、第2及び第3分圧回路51, 52、オペアンプ53、第1, 第2カレントミラー回路54, 55を含む。

第2分圧回路51は、第1基準電源 V_{RP} と第2基準電源 V_{RN} がそれぞれ供給される第1端子 T_1 と第2端子 T_2 との間に直列接続された32本の単位抵抗素子 R_b を含む。全ての抵抗素子 R_b は、第1分圧回路31を構成する単位抵抗 R_a と実質的に同一のインピーダンスを有する。従って、第1端子 T_1 から数えて16番目の抵抗 R_b と17番目の抵抗 R_b 間のノード N_{21} は、第1基準電源 V_{RP} と第2基準電源 V_{RN} との間の中間の電位($(V_{RP} - V_{RN})/2$)を有する。

【0046】

第3分圧回路52は、第1端子 T_1 と第2端子 T_2 との間に直列接続された32本の単位抵抗素子 R_c を含む。全ての抵抗素子 R_c は、第1分圧回路31を構成する単位抵抗 R_a と実質的に同一のインピーダンスを有する。従って、8, 9番目の抵抗 R_c 間のノード N_{22} と第1端子 T_1 の間の合成抵抗値と、24, 25番目の抵抗 R_c 間のノード N_{23} と第2端子 T_2 の間の合成抵抗値は実質的に同じである。

【0047】

14, 15番目の抵抗 R_c の間のノード N_{24} とノード N_{22} の間の合成抵抗値は、第2分圧回路51のノード N_{21} と第1端子 T_1 の間の合成抵抗値よりも、2本の抵抗 R_c 、即ち単位抵抗 R_a の抵抗値の2倍の値だけ小さい値($= 14 \times R_a$)を持つ。ノード N_{24} とノード N_{23} の間の合成抵抗値は、ノード N_{21} と第2端子 T_2 の間の合成抵抗値よりも2本の抵抗 R_c 、即ち単位抵抗 R_a の抵抗値の2倍の値だけ大きい値($= 18 \times R_a$)を持つ。

10

20

30

40

50

【 0 0 4 8 】

オペアンプ 5 3 のプラス入力端子は第 2 分圧回路 5 1 のノード N 2 1 に接続され、マイナス入力端子は第 3 分圧回路 5 2 のノード N 2 4 に接続されている。オペアンプ 5 3 の出力端子は、第 1 カレントミラー回路 5 4 に接続されている。

【 0 0 4 9 】

第 1 カレントミラー回路 5 4 は P チャネル MOS トランジスタ T P 1 , T P 2 から構成され、トランジスタ T P 1 , T P 2 のソースは、第 1 基準電源 V RP よりも高い電位を持つ高電位電源 V DD が供給される第 3 端子 T 3 に接続されている。入力側の第 1 P MOS トランジスタ T P 1 のドレインがオペアンプ 5 3 の出力端子に接続され、出力側の第 2 P MOS トランジスタ T P 2 のドレインが第 2 カレントミラー回路 5 5 に接続されている。

10

【 0 0 5 0 】

第 2 カレントミラー回路 5 5 は、N チャネル MOS トランジスタ T N 1 , T N 2 , T N 3 から構成され、各トランジスタ T N 1 ~ T N 3 のソースは、第 2 基準電源 V RN よりも低い電位を持つ低電位電源 V SS が供給される第 4 端子 T 4 に接続されている。入力側の第 1 N MOS トランジスタ T N 1 のドレインが第 2 トランジスタ T P 2 のドレインに接続され、出力側の第 2 N MOS トランジスタ T N 2 と第 3 N MOS トランジスタ T N 3 のドレインが第 3 分圧回路 5 2 のノード N 2 2 , N 2 3 にそれぞれ接続されている。

【 0 0 5 1 】

第 2 P MOS トランジスタ T P 2 は、第 1 P MOS トランジスタ T P 1 と実質的に同一値の電流を流すように形成され、第 2 及び第 3 N MOS トランジスタ T N 2 , T N 3 は第 1 N MOS トランジスタ T N 1 と実質的に同一値の電流を流すように形成されている。従って、第 2 N MOS トランジスタ T N 2 と第 3 N MOS トランジスタ T N 3 は、オペアンプ 5 3 の出力電流値と実質的に同一値の電流 I 11 , I 12 をそれぞれノード N 2 2 , N 2 3 から第 4 端子 T 4 に流す。

20

【 0 0 5 2 】

オペアンプ 5 3 は両入力端子に同一電圧値を受けるように出力端子から電流を出力する。オペアンプ 5 3 の入力端子差電圧、即ちノード N 2 1 , N 2 4 の電位差は、単位抵抗 R a の両端にかかる電位の 2 倍の値となり、この差電圧をゼロとするように、抵抗 R c 8 本分に対して電流を印加するようにオペアンプ 5 3 が動作する。

【 0 0 5 3 】

オペアンプ 5 3 の出力電流値は、第 2 P MOS トランジスタ T P 2 が流す電流値と実質的に同一であり、この電流値は、第 2 N MOS トランジスタ T N 2 と第 3 N MOS トランジスタ T N 3 がそれぞれ流す電流 I 11 , I 12 の値と実質的に同一である。

30

【 0 0 5 4 】

単位抵抗 R a (= R b = R c) の抵抗値を「 1 」とすると、電流 I 11 , I 12 は、

$$\begin{aligned} I 11 = I 12 &= (V RP - V RN) \times (2/32)/8 \\ &= (V RP - V RN) \times (1/128) \\ &= (V RP - V RN)/128 \end{aligned}$$

40

となる。この電流 I 11 , I 12 の値と同じ電流値を持つ電流が単位電流である。以降、単位電流を I (t) で表す。

【 0 0 5 5 】

尚、ノード N 2 1 が第 1 基準電源 V RP と第 2 基準電源 V RN との間の中間電位 ((V RP - V RN) / 2) に設定されれば、第 2 分圧回路 5 1 を構成する抵抗の数が変更されてもよい。また、各抵抗が異なる値を有していても良い。

【 0 0 5 6 】

制御電流発生回路 3 2 は、第 2 カレントミラー回路 5 5 の入力側のトランジスタ T N 1 とカレントミラー接続された N MOS トランジスタ T N 2 1 ~ T N 2 4 を含む。トランジスタ T N 2 1 ~ T N 2 4 は、第 2 カレントミラー回路 5 5 の出力側のトランジスタ T N 2 と

50

実質的に同一の電気的特性を有する。従って、各トランジスタ $T_{N21} \sim T_{N24}$ は、トランジスタ T_{N2} が流す電流 I_{11} と同じ電流値、即ち単位電流 $I(t)$ と同じ値を有する電流 $I_{21} \sim I_{24}$ を流す。

【0057】

出力電圧補正回路35は、第2カレントミラー回路55のトランジスタ T_{N1} とカレントミラー接続されたNMOSTランジスタ T_{N31} を含む。トランジスタ T_{N31} は、第2カレントミラー回路55の出力側のトランジスタ T_{N2} の電気的特性と実質的に4倍の電気的特性を有する。従って、トランジスタ T_{N31} は、単位電流 $I(t)$ の電流値の4倍の電流値を持つ電流 I_{31} を流す。

【0058】

第2電流補正回路37は、第2カレントミラー回路55のトランジスタ T_{N1} とカレントミラー接続されたNMOSTランジスタ T_{N41} を含む。トランジスタ T_{N41} は、第2カレントミラー回路55の出力側のトランジスタ T_{N2} と実質的に同一の電気的特性を有する。従って、トランジスタ T_{N41} は、単位電流 $I(t)$ と同じ電流値を有する電流 I_{41} を流す。

【0059】

次に、制御電流発生回路32と制御電流反転回路33の構成及び動作を、図6に従って説明する。

制御電流発生回路32は、トランジスタ $T_{N21} \sim T_{N24}$ 、インバータ61～66、スイッチ回路67～69を含む。トランジスタ $T_{N21} \sim T_{N23}$ は、ソースが低電位電源 V_{SS} が供給される第4端子 T_4 （図4参照）に接続され、ドレインが各スイッチ回路67～69に接続されている。

【0060】

各スイッチ回路67～69は、トランジスタ対 T_{N25a} 、 T_{N25b} 、 T_{N26a} 、 T_{N26b} 、 T_{N27a} 、 T_{N27b} を含む。第1トランジスタ対 T_{N25a} 、 T_{N25b} はソースは互いに接続され、その接続点が第1トランジスタ T_{N21} のドレインに接続されている。第2トランジスタ対 T_{N26a} 、 T_{N26b} はソースが互いに接続され、その接続点が第2トランジスタ T_{N22} のドレインに接続されている。第3トランジスタ対 T_{N27a} 、 T_{N27b} は、ソースが互いに接続され、その接続点が第3トランジスタ T_{N23} のドレインに接続されている。

【0061】

第1インバータ61にはデジタル信号 D_0 が入力され、出力端子はトランジスタ T_{N25a} のゲートと第2インバータ62の入力端子に接続され、第2インバータ62の出力端子はトランジスタ T_{N25b} のゲートに接続されている。第3インバータ63にはデジタル信号 D_1 が入力され、出力端子はトランジスタ T_{N26a} のゲートと第4インバータ64の入力端子に接続され、第4インバータ64の出力端子はトランジスタ T_{N26b} のゲートに接続されている。第5インバータ65にはデジタル信号 D_1 が入力され、出力端子はトランジスタ T_{N27a} のゲートと第6インバータ66の入力端子に接続され、第6インバータ66の出力端子はトランジスタ T_{N27b} のゲートに接続されている。

【0062】

トランジスタ $T_{N21} \sim T_{N24}$ は定電流回路34のトランジスタ T_{N3} とカレントミラー接続され、各々電流 $I_{21} \sim I_{24}$ を出力する。

インバータ61は、デジタル信号 D_0 にตอบสนองしてトランジスタ T_{N25a} とインバータ62を駆動する。インバータ62は、インバータ61からの信号にตอบสนองしてトランジスタ T_{N25b} を駆動する。これにより、トランジスタ対 T_{N25a} 、 T_{N25b} は、デジタル信号 D_0 にตอบสนองして相補的にオン・オフする。

【0063】

インバータ63は、デジタル信号 D_1 にตอบสนองしてトランジスタ T_{N26a} とインバータ64を駆動する。インバータ64は、インバータ63からの信号にตอบสนองしてトランジスタ T_{N26b} を駆動する。これにより、トランジスタ対 T_{N26a} 、 T_{N26b} は、デジタル信号 D_1 にตอบสนองして相補的にオン・オフする。

10

20

30

40

50

【 0 0 6 4 】

インバータ 6 5 は、デジタル信号 D 1 に応答してトランジスタ T N27a とインバータ 6 6 を駆動する。インバータ 6 6 は、インバータ 6 5 からの信号に応答してトランジスタ T N27b を駆動する。これにより、トランジスタ対 T N27a, T N27b は、デジタル信号 D 1 に応答して相補的にオン・オフする。

【 0 0 6 5 】

このように、制御電流発生回路 3 2 は、デジタル信号 D 1, D 0 に応答してオンしたトランジスタの組み合わせにより、制御電流 I_a と、その電流 I_a の値と相関値を持つ電流 I_c を流す。

【 0 0 6 6 】

10

[L レベルのデジタル信号 D 1, D 0 のケース]

デジタル信号 D 1, D 0 に応答してトランジスタ T N25a, T N26a, T N27a がオンする。これにより、制御電流発生回路 3 2 は、第 1 ~ 第 4 トランジスタ T N 2 1 ~ T N 2 4 が流す電流 $I_{21} \sim I_{24}$ の合計値、即ち単位電流 $I(t)$ の 4 倍の値を持つ制御電流 I_a を流す。ちなみに、この時の電流 I_c の値は 0 である。

【 0 0 6 7 】

[H レベルのデジタル信号 D 0, L レベルのデジタル信号 D 1 のケース]

デジタル信号 D 0 に応答してトランジスタ T N25b がオンし、デジタル信号 D 1 に応答してトランジスタ T N26a, T N27a がオンする。これにより、制御電流発生回路 3 2 は、第 1 トランジスタ T N 2 1 が流す電流 I_{21} の値、即ち単位電流 $I(t)$ と同じ値を持つ制御電流 I_c と、第 2 ~ 第 4 トランジスタ T N 2 2 ~ T N 2 4 が流す電流 $I_{22} \sim I_{24}$ の合計値、即ち単位電流 $I(t)$ の 3 倍の値を持つ制御電流 I_a を流す。

20

【 0 0 6 8 】

[L レベルのデジタル信号 D 0, H レベルのデジタル信号 D 1 のケース]

デジタル信号 D 0 に応答してトランジスタ T N25a がオンし、デジタル信号 D 1 に応答してトランジスタ T N26b, T N27b がオンする。これにより、制御電流発生回路 3 2 は、第 1 トランジスタ T N 2 1 と第 4 トランジスタ T N 2 4 がそれぞれ流す電流 I_{21}, I_{24} の合計値、即ち単位電流 $I(t)$ の 2 倍の値を持つ制御電流 I_a と、第 2 ~ 第 4 トランジスタ T N 2 2 ~ T N 2 4 が流す電流 I_{22}, I_{23} の合計値、即ち単位電流 $I(t)$ の 2 倍の値を持つ制御電流 I_c を流す。

30

【 0 0 6 9 】

[H レベルのデジタル信号 D 1, D 0 のケース]

デジタル信号 D 1, D 0 に応答してトランジスタ T N25b, T 26b, T 27b がオンする。これにより、制御電流発生回路 3 2 は、第 1 ~ 第 3 トランジスタ T N 2 1 ~ T N 2 3 が流す電流 $I_{21} \sim I_{23}$ の合計値、即ち単位電流 $I(t)$ の 3 倍の値を持つ制御電流 I_c と、第 4 トランジスタ T N 2 4 が流す電流 I_{24} の値、即ち単位電流 $I(t)$ と同一値を持つ制御電流 I_a を流す。

【 0 0 7 0 】

上記をまとめると、次のようになる。

制御電流発生回路 3 2 は、デジタル信号 D 1, D 0 に対応して、

40

1 0 進数換算値 " 0 " の時、 $I_a = 4 \times I(t)$ 、 $I_c = 0 \times I(t)$ 、

1 0 進数換算値 " 1 " の時、 $I_a = 3 \times I(t)$ 、 $I_c = 1 \times I(t)$ 、

1 0 進数換算値 " 2 " の時、 $I_a = 4 \times I(t)$ 、 $I_c = 2 \times I(t)$ 、

1 0 進数換算値 " 3 " の時、 $I_a = 1 \times I(t)$ 、 $I_c = 3 \times I(t)$ 、

を各々出力する。

【 0 0 7 1 】

制御電流反転回路 3 3 は P M O S トランジスタ T P 5 1, T P 5 2 を含み、トランジスタ T P 5 1, T P 5 2 はカレントミラー回路 7 1 を形成する。入力側のトランジスタ T P 5 1 は、ドレインが制御電流発生回路 3 2 のスイッチ回路 6 7 ~ 6 9 を構成する第 2 トランジスタ T N25b, T N26b, T N27b のソースに接続され、制御電流 I_c が流れる。出力側の第

50

2トランジスタTP52はドレインが第1分圧回路31のノードN14に接続されている。第2トランジスタTP52は、第1トランジスタTP51と実質的に同一の電気的特性を有し、トランジスタTP51に流れる電流Icの値と同一値を持つ制御電流IbをノードN14に供給する。

【0072】

第1分圧回路31のノードN14には図5の出力電圧補正回路35が接続され、その出力電圧補正回路35から単位電流I(t)の値の4倍の値を持つ設定電流Idが供給される。即ち、ノードN14には、制御電流反転回路33による制御電流Ibと、出力電圧補正回路35による設定電流Idの合成電流Igが供給される。

【0073】

制御電流Ib(=Ic)は、デジタル信号D1, D0の10進数換算値に対応する値を持ち、設定電流Idは常に一定の値を持つ。従って、ノードN14に供給される制御電流Igは、デジタル信号D1, D0に対応して、

10進数換算値"0"の時、 $I_g = 4 \times I(t)$ 、

10進数換算値"1"の時、 $I_g = 5 \times I(t)$ 、

10進数換算値"2"の時、 $I_g = 6 \times I(t)$ 、

10進数換算値"3"の時、 $I_g = 7 \times I(t)$ 、

となる。

【0074】

次に、出力電圧補正回路35、第1電流補正回路36、第2電流補正回路37の構成及び動作を、図5に従って説明する。

出力電圧補正回路35は、NMOSTランジスタTN31、PMOSTランジスタTP31, TP32を含む。

【0075】

トランジスタTN31は定電流回路34のトランジスタTN1とカレントミラー接続され、単位電流I(t)の4倍の値を持つ電流I31を流す。

トランジスタTP31, TP32はカレントミラー回路72を形成し、トランジスタTP31, TP32のソースには高電位電源VDDが供給される。入力側のトランジスタTP31のドレインはトランジスタTN31のドレインに接続され、トランジスタTN31の出力電流I31を受ける。出力側のトランジスタTP32は、トランジスタTP31と実質的に同一の電気的特性を持ち、トランジスタTP31が流す電流I31の値と同一値(単位電流I(t)の4倍の値)を持つ設定電流Idを出力する。

【0076】

第1電流補正回路36は、PMOSTランジスタTP61とNMOSTランジスタTN61, TN62を含む。トランジスタTP61は、ソースに高電位電源VDDが供給され、ドレインはNMOSTランジスタTN61に接続されている。トランジスタTP61は、制御電流反転回路33のカレントミラー回路71を構成する入力トランジスタTP51とカレントミラー接続され、そのトランジスタTP51が流す電流Icの値と同一値を持つ電流I61を流す。

【0077】

NMOSTランジスタTN61, TN62はカレントミラー回路73を形成する。トランジスタTN61, TN62のソースには低電位電源VSSが供給され、入力側のトランジスタTN61のPMOSTランジスタTP61のドレインに接続されている。出力側のトランジスタTN62は、ドレインが第1基準電源VRPが供給される第1端子T1(図2参照)に接続されている。

【0078】

出力側のトランジスタTN62は、入力側のトランジスタTN61と実質的に同一の電気的特性を有する。従って、出力側トランジスタTN62は、入力側トランジスタTN61に流れる電流I61の値と同じ値を持つ第1補正電流Ieを第1基準電源VRP(第1端子T1)から低電位電源VSSに流す。

10

20

30

40

50

【 0 0 7 9 】

トランジスタ T_{N61} に流れる電流 I_{61} の値は、制御電流反転回路 33 が第 1 分圧回路 31 のノード N_{14} に供給する制御電流 I_b の値と同一である。従って、第 1 電流補正回路 36 は、制御電流 I_b の値と同一値を持つ補正電流 I_e を、第 1 基準電源 V_{RP} から低電位電源 V_{SS} に流す。これを、デジタル信号 D_1 , D_0 の 10 進数換算値に対応して示すと、

10 進数換算値 "0" の時、 $I_e = 0 \times I(t)$ 、

10 進数換算値 "1" の時、 $I_e = 1 \times I(t)$ 、

10 進数換算値 "2" の時、 $I_e = 2 \times I(t)$ 、

10 進数換算値 "3" の時、 $I_e = 3 \times I(t)$ 、

となる。

10

【 0 0 8 0 】

第 2 電流補正回路 37 は、NMOS トランジスタ T_{N41} , T_{N42} 、PMOS トランジスタ $T_{P41} \sim T_{P44}$ を含む。

NMOS トランジスタ T_{N41} は定電流回路 34 のトランジスタ T_{N1} とカレントミラー接続され、単位電流 $I(t)$ と同一値を持つ電流 I_{41} を流す。

【 0 0 8 1 】

NMOS トランジスタ T_{N42} は、第 1 電流補正回路 36 のトランジスタ T_{N61} とカレントミラー接続され、補正電流 I_e 、即ち制御電流 I_b と同一値を持つ電流 I_{42} を流す。

【 0 0 8 2 】

PMOS トランジスタ T_{P41} , T_{P42} はカレントミラー回路 74 を形成し、トランジスタ T_{P41} , T_{P42} は、ソースに高電位電源 V_{DD} が供給され、ドレインがカレントミラー回路 74 を形成するトランジスタ T_{P43} , T_{P44} のソースに接続されている。また、トランジスタ T_{P42} のドレインはトランジスタ T_{N42} のドレインに接続されている。トランジスタ T_{P43} のドレインはトランジスタ T_{N41} のドレインに接続され、トランジスタ T_{P44} のドレインは第 2 基準電源 V_{RN} が供給される第 2 端子 T_2 (図 2 参照) に接続されている。

20

【 0 0 8 3 】

カレントミラー回路 74 を構成する出力側のトランジスタ T_{P42} は、入力側トランジスタ T_{P41} が持つ電氣的特性の 3 倍の電氣的特性を持つ。従って、カレントミラー回路 74 は、トランジスタ T_{N41} が流す電流 I_{41} を入力側トランジスタ T_{P41} で受け、出力側トランジスタ T_{P42} から電流 I_{41} の 3 倍の値 (単位電流 $I(t)$ の 3 倍の値) を持つ電流 I_{43} を流す。

30

【 0 0 8 4 】

第 2 カレントミラー回路 75 は、第 1 カレントミラー回路 74 にカスケード接続されている。カレントミラー回路 75 を構成する出力側のトランジスタ T_{P44} は、入力側のトランジスタ T_{P43} が持つ電氣的特性の 3 倍のそれを持つ。

【 0 0 8 5 】

入力側トランジスタ T_{P43} は、第 1 カレントミラー回路 74 の入力側トランジスタ T_{P41} の出力電流をそのままトランジスタ T_{N41} に通過させている。出力側のトランジスタ T_{P44} は、トランジスタ T_{N42} の出力電流 I_{42} とトランジスタ T_{P42} の出力電流 I_{43} を合成した第 2 補正電流 I_f を第 2 基準電源 V_{RN} に供給する。

40

【 0 0 8 6 】

トランジスタ T_{P42} は一定値を持つ電流 I_{43} を流す。従って、トランジスタ T_{P44} が流す補正電流 I_f は、

$$I_f = I_{43} - I_{42}$$

となる。

【 0 0 8 7 】

従って、デジタル信号 D_1 , D_0 の 10 進数換算値に対応して示すと、

$$10 \text{ 進数換算値 "0" の時、 } I_f = 3 \times I(t) \text{ 、}$$

$$10 \text{ 進数換算値 "1" の時、 } I_f = 2 \times I(t) \text{ 、}$$

50

10進数換算値"2"の時、 $I_f = 1 \times I(t)$ 、
 10進数換算値"3"の時、 $I_f = 0 \times I(t)$ 、
 となる。

【0088】

次に、選択回路23の構成及び動作を、図6に従って説明する。

選択回路23は、第1及び第2スイッチ回路81、82、インバータ83を含む。第1スイッチ回路81は第1分圧回路31のノードN11に接続され、第2スイッチ回路82はノードN12に接続されている。

【0089】

第1及び第2スイッチ回路81、82は、それぞれ並列接続された一対のPMOSトランジスタとNMOSトランジスタにより構成されている。第1スイッチ回路81のNMOSトランジスタと第2スイッチ回路82のPMOSトランジスタのゲートにはデジタル信号D2が入力され、第1スイッチ回路81のPMOSトランジスタと第2スイッチ回路82のNMOSトランジスタのゲートには、デジタル信号D2が入力されるインバータ83の出力信号が入力される。

【0090】

このように構成された第1及び第2スイッチ回路81、82は、デジタル信号D2に応答して相補的にオン・オフする。そして、オンしたスイッチ回路81、82を介して出力信号Vout0、Vout1のうち的一方が、アナログ信号Aoutとして出力される。

【0091】

次に、上記のように構成されたD/A変換回路21の作用を説明する。

[10進数換算値"0"のケース(D0=L0, D1=L0, D2=L0)]

単位電流I(t)の4倍の値を持つ制御電流Iaと、単位電流I(t)の4倍の値を持つ制御電流Igを受けて、第1分圧回路31のノードN13の電位は、第2分圧回路51の第1基準電源VRPから8本目と9本目の接点電圧と同電圧値に、第1分圧回路31のノードN14の電位は、第2分圧回路51の第1基準電源VRPから24本目と25本目の接点電圧と同電圧値になる。

【0092】

従って、第1分圧回路31のノードN13からノードN14までの抵抗素子間接点17個所の電圧は、第2分圧回路51の第1基準電源VRPから8本目と9本目の接点から、第1基準電源VRPから24本目と25本目の接点までの抵抗素子間接点17個所の電圧と各々一致する。

【0093】

Lレベルのデジタル信号D2に応答してスイッチ回路82がオンし、出力信号Vout0、即ちノードN11の電位(第2分圧回路51の第1基準電源VRPから20本目と21本目の接点の電位)を持つアナログ信号Aoutが出力される。このアナログ信号Aoutの電圧値は、

$$Aout = (VRP - VRN) \times (12/32) + VRN$$

となる。

【0094】

[10進数換算値"1"のケース(D0=L0, D1=L0, D2=L0)]

単位電流I(t)の4倍の値を持つ制御電流Iaと、単位電流I(t)の4倍の値を持つ制御電流Igを受けて、第1分圧回路31のノードN13の電位は、第2分圧回路51の第1基準電源VRPから7本目と8本目の接点電圧と同電圧値に、第1分圧回路31のノードN14の電位は、第2分圧回路51の第1基準電源VRPから23本目と24本目の接点電圧と同電圧値になる。

【0095】

従って、第1分圧回路31のノードN13からノードN14までの抵抗素子間接点17個所の電圧は、第2分圧回路51の第1基準電源VRPから7本目と8本目の接点から、第1基準電源VRPから23本目と24本目の接点までの抵抗素子間接点17個所の電圧と各々

10

20

30

40

50

一致する。

【 0 0 9 6 】

Lレベルのデジタル信号D2に応答してスイッチ回路82がオンし、出力信号V_{out0}、即ちノードN11の電位(第2分圧回路51の第1基準電源VRPから19本目と20本目の接点の電位)を持つアナログ信号A_{out}が出力される。このアナログ信号A_{out}の電圧値は、

$$A_{out} = (VRP - VRN) \times (13/32) + VRN$$

となる。

【 0 0 9 7 】

[10進数換算値"2"のケース(D0=L0, D1=L0, D2=L0)]

10

単位電流I(t)の4倍の値を持つ制御電流I_aと、単位電流I(t)の4倍の値を持つ制御電流I_gを受けて、第1分圧回路31のノードN13の電位は、第2分圧回路51の第1基準電源VRPから6本目と7本目の接点電圧と同電圧値に、第1分圧回路31のノードN14の電位は、第2分圧回路51の第1基準電源VRPから22本目と23本目の接点電圧と同電圧値になる。

【 0 0 9 8 】

従って、第1分圧回路31のノードN13からノードN14までの抵抗素子間接点17個所の電圧は、第2分圧回路51の第1基準電源VRPから6本目と7本目の接点から、第1基準電源VRPから22本目と23本目の接点までの抵抗素子間接点17個所の電圧と各々一致する。

20

【 0 0 9 9 】

Lレベルのデジタル信号D2に応答してスイッチ回路82がオンし、出力信号V_{out0}、即ちノードN11の電位(第2分圧回路51の第1基準電源VRPから18本目と19本目の接点の電位)を持つアナログ信号A_{out}が出力される。このアナログ信号A_{out}の電圧値は、

$$A_{out} = (VRP - VRN) \times (14/32) + VRN$$

となる。

【 0 1 0 0 】

[10進数換算値"3"のケース(D0=L0, D1=L0, D2=L0)]

30

単位電流I(t)の1倍の値を持つ制御電流I_aと、単位電流I(t)の7倍の値を持つ制御電流I_gを受けて、第1分圧回路31のノードN13の電位は、第2分圧回路51の第1基準電源VRPから5本目と6本目の接点電圧と同電圧値に、第1分圧回路31のノードN14の電位は、第2分圧回路51の第1基準電源VRPから20本目と21本目の接点電圧と同電圧値になる。

【 0 1 0 1 】

従って、第1分圧回路31のノードN13からノードN14までの抵抗素子間接点17個所の電圧は、第2分圧回路51の第1基準電源VRPから5本目と6本目の接点から、第1基準電源VRPから20本目と21本目の接点までの抵抗素子間接点17個所の電圧と各々一致する。

【 0 1 0 2 】

40

Lレベルのデジタル信号D2に応答してスイッチ回路82がオンし、出力信号V_{out0}、即ちノードN11の電位(第2分圧回路51の第1基準電源VRPから17本目と18本目の接点の電位)を持つアナログ信号A_{out}が出力される。このアナログ信号A_{out}の電圧値は、

$$A_{out} = (VRP - VRN) \times (15/32) + VRN$$

となる。

【 0 1 0 3 】

[10進数換算値"4"のケース(D0=L0, D1=L0, D2=L0)]

このケースは、10進数換算値が"0"のケースと同様な電位設定を行う。そして、Hレベルのデジタル信号D2に応答してスイッチ回路81がオンし、出力信号V_{out1}、即ちノ

50

ードN12の電位(第2分圧回路51の第1基準電源VRPから16本目と17本目の接点の電位)を持つアナログ信号Aoutが出力される。このアナログ信号Aoutの電圧値は、

$$Aout = (VRP - VRN) \times (16/32) + VRN$$

となる。

【0104】

[10進数換算値"5"のケース(D0=L0,D1=L0,D2=L0)]

このケースは、10進数換算値が"1"のケースと同様な電位設定を行う。そして、Hレベルのデジタル信号D2に应答してスイッチ回路81がオンし、出力信号Vout1、即ちノードN12の電位(第2分圧回路51の第1基準電源VRPから15本目と16本目の接点の電位)を持つアナログ信号Aoutが出力される。このアナログ信号Aoutの電圧値は、

$$Aout = (VRP - VRN) \times (17/32) + VRN$$

となる。

【0105】

[10進数換算値"6"のケース(D0=L0,D1=L0,D2=L0)]

このケースは、10進数換算値が"2"のケースと同様な電位設定を行う。そして、Hレベルのデジタル信号D2に应答してスイッチ回路81がオンし、出力信号Vout1、即ちノードN12の電位(第2分圧回路51の第1基準電源VRPから14本目と15本目の接点の電位)を持つアナログ信号Aoutが出力される。このアナログ信号Aoutの電圧値は、

$$Aout = (VRP - VRN) \times (18/32) + VRN$$

となる。

【0106】

[10進数換算値"7"のケース(D0=L0,D1=L0,D2=L0)]

このケースは、10進数換算値が"3"のケースと同様な電位設定を行う。そして、Hレベルのデジタル信号D2に应答してスイッチ回路81がオンし、出力信号Vout1、即ちノードN12の電位(第2分圧回路51の第1基準電源VRPから13本目と14本目の接点の電位)を持つアナログ信号Aoutが出力される。このアナログ信号Aoutの電圧値は、

$$Aout = (VRP - VRN) \times (19/32) + VRN$$

となる。

【0107】

次に、第1電流補正回路36による第1端子T1に供給される第1基準電源VRPに対する電流変動補正動作を説明する。

上記のように、第1基準電源VRPが供給される第1端子T1から第1分圧回路31への流入電流は、制御電流Iaによって変動する。これを相殺するために、第1電流補正回路36により、第1端子T1から補正電流Ieを流す。

【0108】

[10進数換算値"0"又は"4"のケース(D0=L0,D1=L0)]

この場合、単位電流I(t)の4倍の値を持つ制御電流IaがノードN13から引き抜かれる。従って、第1電流補正回路36は、単位電流I(t)の0倍の値を持つ補正電流Ieを流す。

【0109】

[10進数換算値"1"又は"5"のケース(D0=Hi,D1=L0)]

この場合、単位電流I(t)の3倍の値を持つ制御電流IaがノードN13から引き抜かれる。従って、第1電流補正回路36は、単位電流I(t)の1倍の値を持つ補正電流Ieを流す。

【0110】

[10進数換算値"2"又は"6"のケース(D0=L0,D1=Hi)]

10

20

30

40

50

この場合、単位電流 $I(t)$ の 2 倍の値を持つ制御電流 I_a がノード N 1 3 から引き抜かれる。従って、第 1 電流補正回路 3 6 は、単位電流 $I(t)$ の 2 倍の値を持つ補正電流 I_e を流す。

【 0 1 1 1 】

[1 0 進数換算値 "3" 又は "7" のケース ($D_0 = Hi$, $D_1 = Hi$)]

この場合、単位電流 $I(t)$ の 1 倍の値を持つ制御電流 I_a がノード N 1 3 から引き抜かれる。従って、第 1 電流補正回路 3 6 は、単位電流 $I(t)$ の 3 倍の値を持つ補正電流 I_e を流す。

【 0 1 1 2 】

以上のように、第 1 電流補正回路 3 6 は、制御電流 I_a の絶対値と補正電流 I_e の絶対値の和を常に一定値 (= 単位電流 $I(t)$ の 4 倍の値) に保つように補正電流 I_e の値を制御する。これにより、第 1 端子 T 1 の電位変動が抑えられ、出力信号 V_{out0} , V_{out1} の電圧精度、即ちアナログ信号 A_{out} の変換精度が高くなる。

【 0 1 1 3 】

次に、第 2 電流補正回路 3 7 による第 2 端子 T 2 に供給される第 2 基準電源 V_{RN} に対する電流変動補正動作を説明する。

上記のように第 1 分圧回路 3 1 から第 2 基準電源 V_{RN} が供給される第 2 端子 T 2 への流出電流は、制御電流 I_g (制御電流 I_b と設定電流 I_d の合成電流) によって変動する。これを相殺する (絶対値の和を一定値に保つ) ために、第 2 電流補正回路 3 7 から、第 2 端子 T 2 へ補正電流 I_f を流し込む。

【 0 1 1 4 】

[1 0 進数換算値 "0" 又は "4" のケース ($D_0 = Lo$, $D_1 = Lo$)]

この場合、単位電流 $I(t)$ の 4 倍の値を持つ制御電流 I_g がノード N 1 4 に供給される。従って、第 2 電流補正回路 3 7 は、単位電流 $I(t)$ の 3 倍の値を持つ補正電流 I_f を流す。

【 0 1 1 5 】

[1 0 進数換算値 "1" 又は "5" のケース ($D_0 = Hi$, $D_1 = Lo$)]

この場合、単位電流 $I(t)$ の 5 倍の値を持つ制御電流 I_g がノード N 1 4 に供給される。従って、第 2 電流補正回路 3 7 は、単位電流 $I(t)$ の 2 倍の値を持つ補正電流 I_f を流す。

【 0 1 1 6 】

[1 0 進数換算値 "2" 又は "6" のケース ($D_0 = Lo$, $D_1 = Hi$)]

この場合、単位電流 $I(t)$ の 6 倍の値を持つ制御電流 I_g がノード N 1 4 に供給される。従って、第 2 電流補正回路 3 7 は、単位電流 $I(t)$ の 1 倍の値を持つ補正電流 I_f を流す。

【 0 1 1 7 】

[1 0 進数換算値 "3" 又は "7" のケース ($D_0 = Hi$, $D_1 = Hi$)]

この場合、単位電流 $I(t)$ の 7 倍の値を持つ制御電流 I_g がノード N 1 4 に供給される。従って、第 2 電流補正回路 3 7 は、3 倍の単位電流 $I(t)$ の 0 倍の値を持つ補正電流 I_f を流す。

【 0 1 1 8 】

以上のように、第 2 電流補正回路 3 7 は、制御電流 I_g の絶対値と補正電流 I_f の絶対値の和を常に一定値 (= 単位電流 $I(t)$ の 7 倍の値) に保つように補正電流 I_f の値を制御する。これにより、第 2 端子 T 2 の電位変動が抑えられ、出力信号 V_{out0} , V_{out1} の電圧精度、即ちアナログ信号 A_{out} の変換精度が高くなる。

【 0 1 1 9 】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 第 1 基準電源 V_{RP} が供給される第 1 端子 T 1 に接続された第 1 抵抗 R_{11} と、第 2 基準電源 V_{RN} が供給される第 2 端子 T 2 に接続され第 1 抵抗 R_{11} と同一インピーダンスを有する第 6 抵抗 R_{16} と、両抵抗 R_{11} , R_{16} 間に直列接続された抵抗 $R_{12} \sim R_{15}$

10

20

30

40

50

5を含む。第1抵抗 R_{11} と第2抵抗 R_{12} との間のノード N_{13} から第1制御電流 I_a を引き抜き、第5抵抗 R_{15} と第6抵抗 R_{16} 間のノード N_{14} に第1制御電流 I_a と相関値を持つ第2制御電流 I_b を供給する。そして、第1及び第2制御電流 I_a 、 I_b を制御してノード N_{13} 、 N_{14} 間の電位差を一定値に保ったまま、それらノード N_{13} 、 N_{14} の電位を変更し、第4抵抗 R_{14} の両端の電位を持つ第1、第2出力信号 V_{out0} 、 V_{out1} を出力するようにした。この様に、制御電流 I_a 、 I_b の値を制御することで第1及び第2出力信号 V_{out0} 、 V_{out1} の電圧を変更することができる。その結果、第1～第6抵抗 $R_{11} \sim R_{16}$ にスイッチ回路等の抵抗分の影響がなく、第1及び第2出力信号 V_{out0} 、 V_{out1} の電圧精度を高くする事ができる。これによりD/A変換回路21は、精度の高いアナログ信号 A_{out} を生成することができる。

10

【0120】

(2) 第1電流補正回路36(高電位端子電流補正回路)は、第1基準電源 V_{RP} が供給される第1端子 T_1 から第2制御電流 I_b と同一値を有する第1補正電流 I_e を引き抜く。第2電流補正回路37(停電異端視電流補正回路)は、第2基準電源 V_{RN} が供給される第2端子 T_2 へ第1制御電流 I_a と同一値を有する第2補正電流 I_f を供給する。これにより、第2制御電流 I_b により第1及び第2基準電源 V_{RP} 、 V_{RN} の電位が変動するのを防ぎ、精度の高い第1及び第2出力信号 V_{out0} 、 V_{out1} を出力することができる。

【0121】

(3) 電圧補正回路35は、ノード N_{14} へ所定値の設定電流 I_d を供給する。これにより、ノード N_{14} と第2端子 T_2 間の抵抗 R_{16} の実効インピーダンスを変更し、第1端子 T_1 と第2端子 T_2 との間の分圧電圧を所定の電圧ステップに容易に初期設定することができる。

20

【0122】

尚、前記実施形態は、以下の態様に変更してもよい。

制御電流発生回路32に含まれ、定電流回路34のカレントミラー回路55を構成する入力側のトランジスタ T_{N1} とカレントミラー接続されたトランジスタ $T_{N21} \sim T_{N24}$ を、デジタル信号 D_1 、 D_0 のビット位置に応じて重み付けして構成しても良い。

【0123】

【発明の効果】

以上詳述したように、請求項1、請求項4、請求項5に記載の発明によれば、出力信号の電圧を変更するために分圧回路に対して、余分なスイッチ回路等の抵抗分の影響なく、精度の高い出力信号を得ることが可能な電圧発生回路を提供することができる。

30

【0124】

請求項2及び請求項3に記載の発明によれば、出力信号の電圧を変更するために分圧回路に対して、余分なスイッチ回路等の抵抗分の影響なく、精度の高いアナログ信号を得ることが可能なD/A変換回路を提供することができる。

【0125】

以上の説明に関して以下の項を開示する。

(1) 第1乃至第3インピーダンス素子は、所定の抵抗値を有する単位抵抗素子を複数接続して構成される、ことを特徴とする請求項1乃至3のうちの何れか1項に記載の電圧発生回路。

40

(2) 前記第3インピーダンス素子は、前記第1インピーダンス素子と同一インピーダンスを有する複数の副インピーダンス素子を直列接続して構成され、前記複数の副インピーダンス素子間のノードから前記出力信号を出力する、ことを特徴とする請求項1乃至3及び上記(1)のうちの何れか1項に記載の電圧発生回路。

(3) 単位電流を発生する定電流回路を備え、前記第1電流源と前記第2電流源は、前記単位電流に基づいて前記第1制御電流と前記第2制御電流をそれぞれ変更する、ことを特徴とする請求項1乃至3及び上記(1)(2)のうちの何れか1項に記載の電圧発生回路。

(4) 前記単位電流は、前記出力信号の電圧可変ステップに対応して設定される、ことを

50

特徴とする上記(3)に記載の電圧発生回路。

(5) 前記定電流回路は、前記第1基準電源と前記第2基準電源との差電圧を分圧して第1分圧電圧を生成する第2分圧回路と、前記第1基準電源と前記第2基準電源がそれぞれ供給される同一インピーダンスを有する第1及び第2インピーダンス素子と、前記第1インピーダンス素子と前記第2インピーダンス素子間に接続された第3インピーダンス素子を含む第3分圧回路と、を備え、前記第3インピーダンス素子は、前記第1分圧電圧と所定の電位差を有する第2分圧電圧を生成するための複数の副インピーダンス素子を含み、前記第1分圧電圧と前記第2分圧電圧が一致するように出力電流を出力する差動回路と、前記出力電流を受け、前記第1インピーダンス素子と前記第3インピーダンス素子間のノードと、前記第2インピーダンス素子と前記第3インピーダンス素子間のノードから前記出力電流と同一値を有する単位電流をそれぞれ流すカレントミラー回路と、を備えた、ことを特徴とする上記(3)又は(4)に記載の電圧発生回路。

10

(6) 前記第1電流源と前記第2電流源は、デジタル信号にตอบสนองして前記単位電流のステップで変化させた前記第1制御電流を発生すると共に、該第1制御電流と相関値を持つ第3制御電流を発生する制御電流発生回路と、前記第3制御電流の方向を反転した前記第2制御電流を生成する制御電流反転回路と、から構成された、ことを特徴とする請求項1乃至3及び上記(1)乃至(5)のうちの何れか1項に記載の電圧発生回路。

(7) 前記制御電流発生回路は、前記単位電流と同一値の電流を流すトランジスタを複数ビットのデジタル信号に対応した数だけ設け、前記複数のトランジスタのうち、複数ビットのデジタル信号に対応するトランジスタが流す電流に基づいて前記第1制御電流を発生させると共に、他のトランジスタが流す電流に基づいて前記第3制御電流を発生させる、ことを特徴とする上記(6)に記載の電圧発生回路。

20

(8) 前記複数のトランジスタのうちの1つは、前記第1制御電流を発生させるために常時用いられる、ことを特徴とする上記(7)に記載の電圧発生回路。

(9) 前記制御電流反転回路は、前記第3制御電流を受け、反対方向に流れる前記第2制御電流を発生するカレントミラー回路である、ことを特徴とする上記(6)に記載の電圧発生回路。

(10) 前記第1分圧回路を構成する単位抵抗素子は、前記第1基準電源と前記第2基準電源間の分割数よりも少なく設けられ、前記第1及び第2ノードの少なくとも一方に所定の設定電流を供給する電圧補正回路を備え、前記第1基準電源と前記第2基準電源間の合成インピーダンスが前記分割数に対応するように前記定電流を供給するノードと前記基準電源間の実効インピーダンスを補正する、ことを特徴とする上記(1)に記載の電圧発生回路。

30

(11) 前記第1端子に接続され、該端子から前記第2制御電流と同一値を有する第1補正電流を引く抜く第1電流補正回路を備えた、ことを特徴とする請求項1乃至3及び上記(1)乃至(10)のうちの何れか1項に記載の電圧発生回路。

(12) 前記第2端子に接続され、該端子へ前記第1制御電流と同一値を有する第2補正電流を供給する第2電流補正回路を備えた、ことを特徴とする請求項1乃至3及び上記(1)乃至(11)のうちの何れか1項に記載の電圧発生回路。

【図面の簡単な説明】

40

【図1】 一実施形態のD/A変換回路のブロック回路図である。

【図2】 電圧発生回路のブロック回路図である。

【図3】 電圧発生回路の原理説明図である。

【図4】 分圧回路及び定電流回路の回路図である。

【図5】 電圧補正回路、第1、第2電流補正回路の回路図である。

【図6】 制御電流発生回路、制御電流反転回路、及び出力電圧選択回路の回路図である。

。

【図7】 従来のD/A変換回路の回路図である。

【符号の説明】

31 第1分圧回路

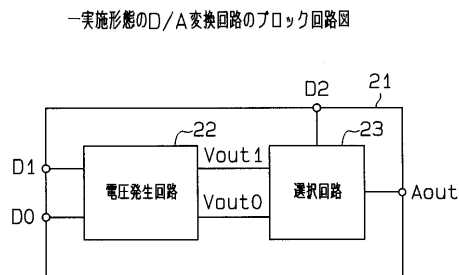
50

- 3 2 第 1 電流源及び第 2 電流源としての制御電流発生回路
 3 3 第 2 電流源としての制御電流反転回路
 3 4 定電流回路
 3 5 電圧補正回路
 3 6 第 1 電流補正回路
 3 7 第 2 電流補正回路
 4 1 第 1 電流源
 4 2 第 2 電流源
 R 1 1 , R 2 1 第 1 インピーダンス素子
 R 1 6 , R 2 3 第 2 インピーダンス素子
 R 1 2 ~ R 1 5 , R 2 2 第 3 インピーダンス素子
 R a , R b , R c 単位抵抗
 A o u t アナログ信号
 D 2 ~ D 0 デジタル信号
 I a , I b 制御電流
 I d 設定電流
 I e 第 1 補正電流
 I f 第 2 補正電流
 V R P 第 1 基準電源
 V R N 第 2 基準電源
 V o u t 0 第 1 出力信号
 V o u t 1 第 2 出力信号

10

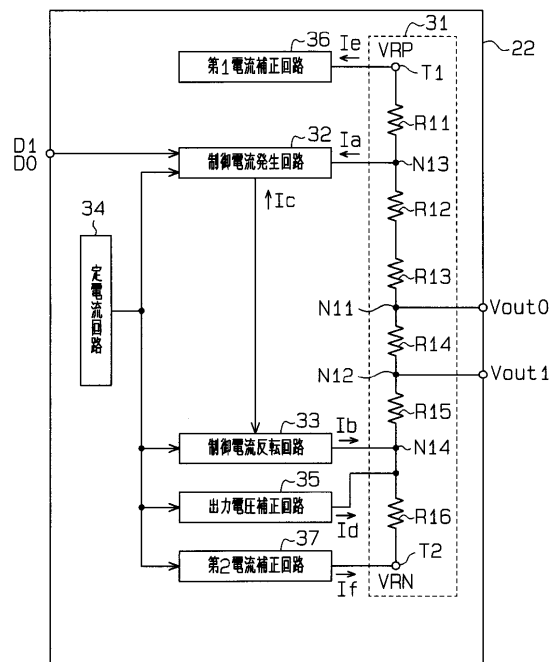
20

【 図 1 】



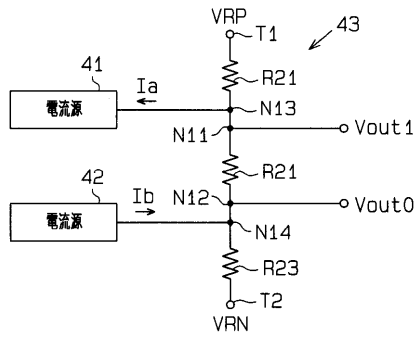
【 図 2 】

電圧発生回路のブロック回路図



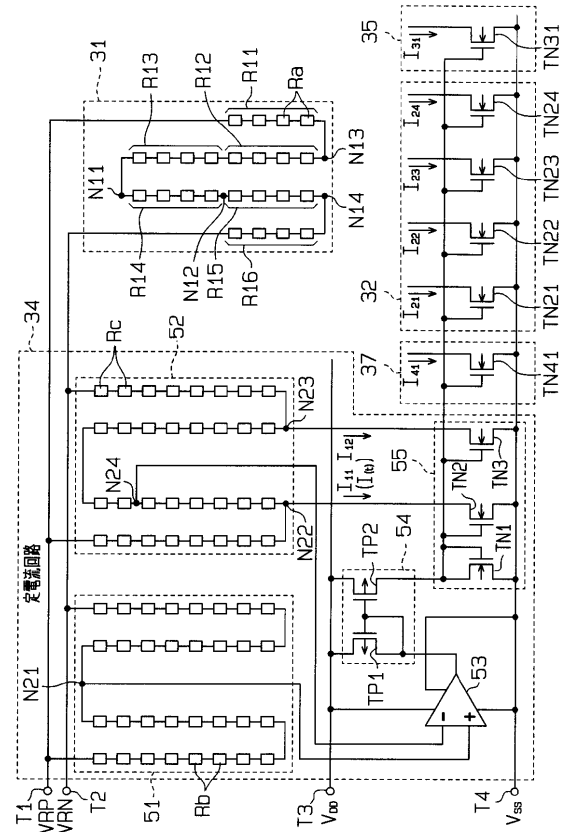
【図 3】

電圧発生回路の原理説明図



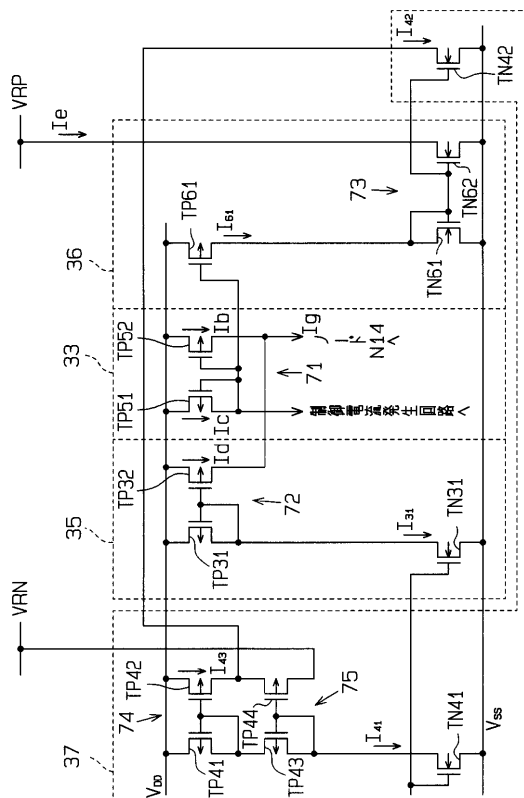
【図 4】

分圧回路及び電流回路の回路図



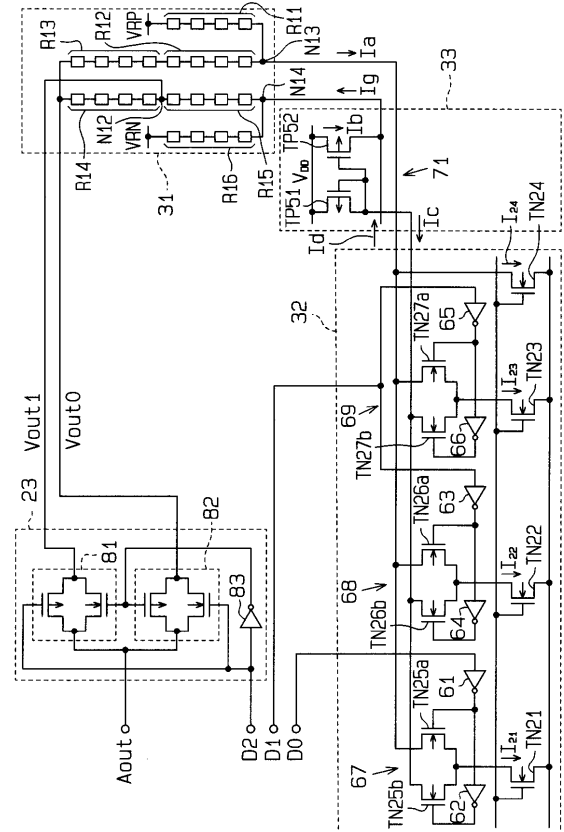
【図 5】

電圧補正回路、第1及び第2電流補正回路の回路図

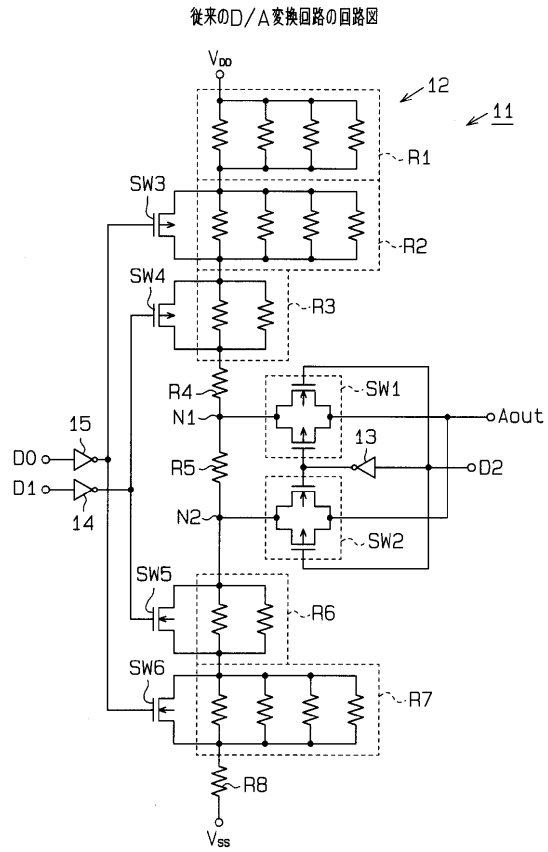


【図 6】

制御電流発生回路、制御電流反転回路、及び出力電圧選択回路の回路図



【図 7】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H03M1/00-1/88