(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년05월26일
(11) 등록번호 10-1522808
(24) 등록일자 2015년05월18일

(51) 국제특허분류(Int. Cl.)
*H01H 85/046* (2006.01) *H01H 85/06* (2006.01)
*H01H 85/10* (2006.01) *H01H 85/12* (2006.01)
(21) 출원번호 10-2013-7030319
(22) 출원일자(국제) 2012년04월20일
심사청구일자 2013년11월15일
(85) 번역문제출일자 2013년11월15일
(65) 공개번호 10-2014-0009496
(43) 공개일자 2014년01월22일
(86) 국제출원번호 PCT/JP2012/060660
(87) 국제공개번호 WO 2012/144578
국제공개일자 2012년10월26일
(30) 우선권주장
JP-P-2011-095733 2011년04월22일 일본(JP)
(56) 선행기술조사문헌
JP09330644 A
JP2000123694 A
JP11213852 A
JP2007250347 A

(73) 특허권자
**소신 덴키 가부시키가이샤**
일본 나가노켄 사쿠시 나가토로 800-38
**고쿠리츠다이가쿠호진 사이타마 다이가쿠**
일본국 사이타마켄 사이타마시 사쿠라쿠 시모오쿠보 255
(72) 발명자
**안도 아키라**
일본 108-8322 도쿄도 미나토쿠 미타 3-13-16 소신 덴키 가부시키가이샤 나이
**고바야시 신이치**
일본 338-8570 사이타마켄 사이타마시 사쿠라쿠 시모오쿠보 255 고쿠리츠다이가쿠호진 사이타마 다이가쿠 나이
(74) 대리인
**송승필**

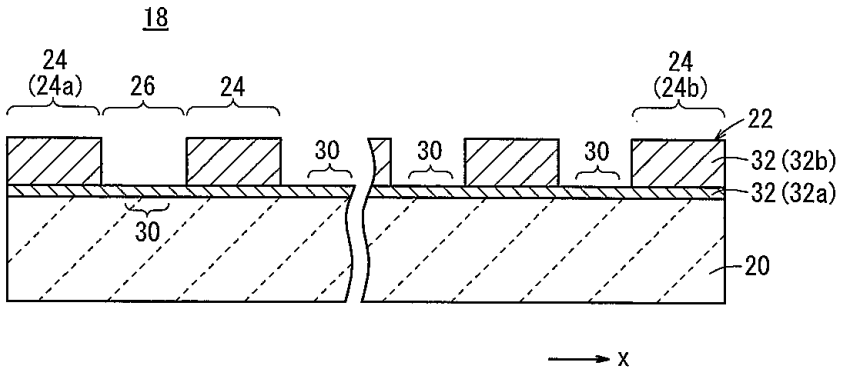
전체 청구항 수 : 총 4 항 심사관 : 안병건

(54) 발명의 명칭 **전력용 퓨즈**

## (57) 요 약

본 발명의 전력용 퓨즈(10)는, 세라믹 기판(20) 상에 형성되며, 복수의 방열부(24)와 복수의 차단 그리드(26)가 일체로 연속 형성된 도전막(22)을 갖는 퓨즈 엘리먼트(18)를 포함한다. 상기 도전막(22)은, 1회 이상의 인쇄 공정에 의해 상기 기판(20)의 표면에 형성된 인쇄층(32)을 구비하고, 상기 방열부(24)에서의 상기 인쇄층(32)의 적층수는, 상기 차단 그리드(26)에서의 상기 인쇄층(32)의 적층수 이상이다.

*대 표 도* - 도3



# 명 세 서

## 청구범위

### 청구항 1

기판(20) 상에 형성되며, 복수의 방열부(24)와 복수의 차단 그리드(26)가 일체로 연속 형성된 도전막(22)을 갖는 퓨즈 엘리먼트(18)를 포함하며,

상기 도전막(22)은, 1회 이상의 인쇄 공정에 의해 상기 기판(20)의 표면에 형성된 인쇄층(32)을 구비하고,

상기 방열부(24)에서의 상기 인쇄층(32)의 적층수는, 상기 차단 그리드(26)에서의 상기 인쇄층(32)의 적층수 이상이고,

상기 각 차단 그리드(26)는, 병렬로 배열된 복수의 협소부(30)를 포함하고,

상기 차단 그리드(26)는, 직렬로 배치되어 상기 퓨즈 엘리먼트(18)를 구성하고,

서로 동일 형상인 상기 협소부(30)가 병렬로 배열되는 상기 차단 그리드(26)를 제1 차단 그리드(26A)로 하고,

상기 제1 차단 그리드(26A)가 직렬로 배치되어 제1 퓨즈부(36A)를 구성하며,

상기 제1 퓨즈부(36A)와, 전류-용단(溶斷) 시간 특성이 상기 제1 퓨즈부(36A)와 상이한 제2 퓨즈부(36B)가, 동일 기판(20) 상에서 연속적으로 접속되어 있고,

상기 제2 퓨즈부(36B)는 직렬로 배치된 복수의 제2 차단 그리드(26B)를 포함하고, 상기 제2 차단 그리드(26B)는, 상기 협소부(30)의 형상, 상기 협소부(30)의 폭 및 상기 인쇄층(32)의 적층수 중 적어도 하나가 상기 제1 퓨즈부(36A)의 상기 제1 차단 그리드(26A)와 상이한 것인 전력용 퓨즈.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

제1항에 있어서, 상기 제1 퓨즈부(36A)에서의 상기 제1 차단 그리드(26A)의 상기 인쇄층(32)의 금속 재료와, 상기 제2 퓨즈부(36B)에서의 상기 제2 차단 그리드(26B)의 상기 인쇄층(32)의 금속 재료는, 서로 상이한 것인 전력용 퓨즈.

### 청구항 6

제1항에 있어서, 적어도 상기 차단 그리드(26)의 표면에 산화 방지막이 형성되어 있는 것인 전력용 퓨즈.

### 청구항 7

제1항에 있어서, 적어도 상기 차단 그리드(26) 상에 소호제 페이스트(34)가 인쇄되어 있는 것인 전력용 퓨즈.

## 발명의 설명

### 기 술 분 야

[0001] 본 발명은, 기판 상에 도전막이 형성되고, 방열부와 차단 그리드가 일체로 연속 형성된 전력용 퓨즈에 관한 것이다.

## 배 경 기 술

[0002] 종래에는, GTO(Gate Turn Off) 사이리스터(thyristor), IGBTs(Insulated Gate Bipolar Transistors) 등의 반도체 스위칭 디바이스를 보호하기 위한 전력용 퓨즈는, 속단(速斷) 성능이 주로 요구되었다.

[0003] 이러한 전력용 퓨즈는, 퓨즈 튜브 내에 수용된 소호제(消弧劑)에 매립된 퓨즈 엘리먼트를 구비한다. 이러한 퓨즈 엘리먼트의 종류로서는, 프레스 가공에 의해 제조된 것과, 에칭 가공에 의해 제조된 것이 알려져 있다(일본 특허 출원 공개 제2006-073331호 공보 및 일본 특허 출원 공개 제2009-193723호 공보 참조). 프레스 가공에 의한 퓨즈 엘리먼트는, 금속제, 예컨대 은(Ag)의 리본을 프레스 금형으로 펀칭하여 얻어진 단면적이 작은 다수의 협소부가 배열되어 구성된다. 에칭 가공에 의한 퓨즈 엘리먼트는, 세라믹 기판의 상면에 구리, 은 등의 도전성 박막을 형성하여 구성된다. 도전성 박막을 에칭하고 패터닝하여, 단면적이 작은 다수의 협소부가 배열된다. 프레스 가공에 의한 퓨즈 엘리먼트는, 도전성 박막의 두께 및 선폭(線幅)이 150 ㎛로 한계가 있어서, $I^2t$ 값의 저감 및 전력용 퓨즈의 소형화에 한계가 있다. 한편, 에칭 가공에 의한 퓨즈 엘리먼트는, 도전성 박막의 두께 및 선폭을 보다 작게 할 수 있어서, 프레스 가공에 의한 퓨즈 엘리먼트에 비해 $I^2t$ 값의 저감 및 소형화를 기대할 수 있다. 그러나, 에칭 가공에 의한 퓨즈 엘리먼트는, 비용 및 대량 생산시 제조 베리에이션에 관련된 개선해야 할 문제가 있다. 여기서, $I^2t$ 값은 차단 성능을 나타내는 대표값으로서, 차단 전류 I의 제곱값($I^2dt$)을 차단 시간[0~t(t : 총 차단 시간)]으로 적분한 값이다.

## 발명의 내용

### 해결하려는 과제

[0004] 퓨즈 엘리먼트를 에칭에 의해 제조하는 경우, 세라믹 기판에 형성된 도전성 박막의 일부를 제거하기 위해, 타깃으로 하는 금속을 부식 및 용해하는 성질을 갖는 액체 약품을 사용하여, 원하는 도체 패턴을 형성한다. 퓨즈 엘리먼트에 요구되는 도체 패턴은, 방열부가 두께 약 100 ㎛이며, 차단 그리드가 폭 65 ㎛~100 ㎛, 두께 약 25 ㎛인 고종횡비를 갖는 패턴이다.

[0005] 에칭에 의한 퓨즈 엘리먼트의 제조에는, 이하의 문제가 있다.

[0006] (a) 도전성 박막이 깊게 에칭되면, 도전막은 에칭 마스크의 바로 아래에서 부식이 일어나기 쉬워, 언더컷이 발생된다. 그러므로, 도전성 박막을 고정밀도로 미세 제조하기 어렵다.

[0007] (b) 약품의 온도 및 약품이 교반되는 교반 속도에 따라 에칭 레이트가 변화하기 때문에, 에칭 공정의 재현성, 즉 도체 패턴의 재현성이 부족하다.

[0008] 결과적으로, 차단 그리드의 도체 패턴이 기판 상의 위치에 따라 베리에이션이 발생하고, 또는 세라믹 기판에서도 베리에이션이 발생한다.

[0009] 이에 의해, 각 차단 그리드에서의 패턴 도체량과 퓨즈 엘리먼트의 전체 저항값에 베리에이션이 발생할 수 있어, $I^2t$ 값의 베리에이션 및 정격 전류의 베리에이션을 초래한다.

[0010] 차단 그리드간의 베리에이션 및 퓨즈 엘리먼트간의 베리에이션을 최소화하려면, 차단 그리드의 폭의 축소에 한계가 생긴다. 그러므로, $I^2t$ 값의 저감, 비용 저감 및 전력용 퓨즈의 소형화를 충분히 도모할 수 없다.

### 과제의 해결 수단

[0011] 본 발명은 상기한 문제점을 감안하여 이루어진 것이다. 본 발명의 목적은, 차단 그리드간의 베리에이션 및 퓨즈 엘리먼트간의 베리에이션을 최소화하면서, $I^2t$ 값의 저감, 비용 저감 및 전력용 퓨즈의 소형화를 도모할 수 있는 전력용 퓨즈를 제공하는 것이다.

[0012] [1] 본 발명의 따른 전력용 퓨즈는, 기판 상에 도전막이 형성되고, 복수의 방열부와 복수의 차단 그리드가 일체로 연속 형성된 퓨즈 엘리먼트를 포함하며, 상기 도전막은 1회 이상의 인쇄 공정에 의해 상기 기판의 표면에 형성된 인쇄층을 구비하고, 방열부에서의 인쇄층의 적층수는 차단 그리드에서의 인쇄층의 적층수 이상인 것인 전력용 퓨즈이다.

[0013] 전술한 구성에 의해, 차단 그리드간의 협소부의 막 두께의 베리에이션 및 퓨즈 엘리먼트간의 베리에이션을 최소

화할 수 있어서, $I^2t$ 값의 베리에이션을 최소화한다. 방열부 및 차단 그리드는 인쇄되어 형성되기 때문에, 방열부 및 차단 그리드를 서로 별개로 형성할 수 있어서, 차단 그리드의 협소부의 두께를 방열부의 두께에 의존하지 않고 임의로 제어할 수 있다. 이러한 방식으로 협소부의 두께를 제어함으로써, $I^2t$ 값의 저감을 달성할 수 있다. 이에 의해, 전력용 퓨즈의 비용 저감 및 소형화를 도모할 수 있다.

[0014] [2] 본 발명에 따르면, 각 차단 그리드는 병렬로 배열된 복수의 협소부를 포함하고, 이 차단 그리드가 직렬로 배치됨으로써, 퓨즈 엘리먼트를 구성할 수 있다.

[0015] [3] 서로 동일 형상인 협소부가 병렬로 배열되는 차단 그리드를 제1 차단 그리드로 할 수 있다. 제1 차단 그리드가 직렬로 배치되어 제1 퓨즈부를 구성하며, 제1 퓨즈부와, 전류-용단(溶斷) 시간 특성이 제1 퓨즈부와 상이한 제2 퓨즈부가, 동일 기판 상에서 연속적으로 접속될 수 있다. 이러한 방식으로 구성된 전력용 퓨즈는, 고전류 영역에서의 전류에 대한 시간의 기울기가 저전류 영역에서의 전류에 대한 시간의 기울기보다 큰 특성을 나타낸다.

[0016] [4] 제2 퓨즈부는 직렬로 배치된 복수의 제2 차단 그리드를 포함하고, 이 제2 차단 그리드는, 협소부의 형상, 협소부의 폭 및 인쇄층의 적층수 중 적어도 하나가 제1 퓨즈부의 제1 차단 그리드와 상이할 수 있다.

[0017] [5] 제1 퓨즈부에서의 제1 차단 그리드의 인쇄층을 구성하는 금속 재료와, 제2 퓨즈부에서의 제2 차단 그리드의 인쇄층을 구성하는 금속 재료는 서로 상이할 수 있다.

[0018] [6] 본 발명의 전력용 퓨즈에 있어서, 적어도 차단 그리드의 표면에 산화 방지막이 형성될 수 있다. 이 산화 방지막이 적어도 차단 그리드의 산화를 방지하는데 효과적이어서, 퓨즈 엘리먼트의 장기간의 신뢰성을 유지할 수 있다.

[0019] [7] 본 발명에 따르면, 적어도 차단 그리드 상에 소호제 페이스트가 인쇄될 수 있다. 이러한 방식으로, 소호제를 수용하는 내부 공간이 감소된다. 인쇄된 소호제 페이스트는 전력용 퓨즈의 소형화에 상당히 효과적이다.

## *발명의 효과*

[0020] 전술한 바와 같이, 본 발명에 따른 전력용 퓨즈는, 이하의 이점을 제공한다.

[0021] (1) 차단 그리드간의 협소부의 막 두께의 베리에이션 및 퓨즈 엘리먼트간의 베리에이션을 최소화할 수 있어서, $I^2t$ 값의 베리에이션을 최소화한다.

[0022] (2) 방열부 및 차단 그리드는 인쇄되어 형성되기 때문에, 방열부 및 차단 그리드는 서로 별개로 형성될 수 있어서, 차단 그리드의 협소부의 두께를 방열부의 두께에 의존하지 않고 임의로 제어할 수 있다. 이러한 방식으로 협소부의 두께를 제어함으로써, $I^2t$ 값의 저감을 달성할 수 있다.

[0023] (3) 상기한 (1) 및 (2)의 이점에 의해, 전력용 퓨즈의 비용 저감 및 소형화를 도모할 수 있다.

## *도면의 간단한 설명*

[0024] 도 1은 본 발명의 실시형태에 따른 전력용 퓨즈의 단면도이다.

도 2는 전력용 퓨즈에서의 퓨즈 엘리먼트의 도체 패턴의 일례를 일부 생략하여 도시하는 평면도이다.

도 3은 퓨즈 엘리먼트를 일부 생략하여 도시하는 단면도이다.

도 4a는 용제에 의해 페이스트상으로 하여(이하, "소호제 페이스트"라고 칭함) 차단 그리드 상에 인쇄된 소호제를 일부 생략하여 도시하는 단면도이다.

도 4b는 차단 그리드와 방열부 상에 인쇄된 소호제 페이스트를 일부 생략하여 도시하는 단면도이다.

도 5는 제1 변형예에 따른 퓨즈 엘리먼트(제1 퓨즈 엘리먼트)~제6 변형예에 따른 퓨즈 엘리먼트(제6 퓨즈 엘리먼트)의 개략 구성을 도시하는 평면도이다.

도 6a는 제1 퓨즈 엘리먼트의 제1 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 6b는 제1 퓨즈 엘리먼트의 제2 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 7a는 제2 퓨즈 엘리먼트의 제1 퓨즈부를 일부 생략하여 도시하는 단면도이다.

도 7b는 제2 퓨즈 엘리먼트의 제2 퓨즈부를 일부 생략하여 도시하는 단면도이다.

도 8a는 제3 퓨즈 엘리먼트의 제1 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 8b는 제3 퓨즈 엘리먼트의 제2 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 9a는 제4 퓨즈 엘리먼트의 제1 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 9b는 제4 퓨즈 엘리먼트의 제2 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 10a는 제5 퓨즈 엘리먼트의 제1 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 10b는 제5 퓨즈 엘리먼트의 제2 퓨즈부에서의 도체 패턴을 일부 생략하여 도시하는 평면도이다.

도 11a는 제6 퓨즈 엘리먼트의 제1 퓨즈부를 일부 생략하여 도시하는 단면도이다.

도 11b는 제6 퓨즈 엘리먼트의 제2 퓨즈부를 일부 생략하여 도시하는 단면도이다.

도 12는 제6 퓨즈 엘리먼트를 포함하는 전력용 퓨즈의 용단 특성의 일례를 나타내는 그래프이다.

도 13은 실시예 1(도 2 및 도 3 참조)과, 비교예 1 및 비교예 2의 동작 특성(정격 전류-동작 $I^2t$값 특성)을 나타내는 그래프이다.

## *발명을 실시하기 위한 구체적인 내용*

[0025] 이하에, 본 발명의 실시형태에 따른 전력용 퓨즈를 도 1 내지 도 13을 참조하여 설명한다. 이하의 설명에 있어서, 수치 범위를 나타내는 "~"은, 그 전후에 기재되는 수치를 하한치 및 상한치로 포함하는 의미로 해석되어야 한다.

[0026] 도 1에 도시하는 바와 같이, 본 발명의 실시형태에 따른 전력용 퓨즈(10)는, 원통형, 사각통형 등을 갖는 수지제의 케이싱(12)과, 이 케이싱(12)의 양측에 각각 장착되는 금속제의 제1 단자부(14a) 및 제2 단자부(14b)와, 이 케이싱(12) 내에 수용되는 규사(硅砂) 등의 소호제(16) 및 퓨즈 엘리먼트(18)를 포함한다.

[0027] 도 2 및 도 3에 도시하는 바와 같이, 퓨즈 엘리먼트(18)는, 예컨대 두께 1 ㎜의 알루미나 등으로 이루어진 세라믹 기판(20)과, 이 세라믹 기판(20) 상에 형성된 도전막(22)을 포함한다. 보다 구체적으로, 퓨즈 엘리먼트(18)는 세라믹 기판(20) 상에 도전막(22)이 형성되고, 복수의 방열부(24)와 복수의 차단 그리드(26)가 일체로 연속 형성되어 구성된다. 방열부(24) 중, 양측에 위치된 방열부(24)는, 금속제의 접속판(28)(도 1 참조)에 의해, 대응하는 단자부[도 1에 도시된 제1 단자부(14a) 및 제2 단자부(14b)]에 전기적으로 접속된다. 또한, 양측에 위치된 방열부(24)를, 제1 단자 접속부(24a) 및 제2 단자 접속부(24b)로 나타낼 수도 있다. 제1 단자 접속부(24a)로부터 제2 단자 접속부(24b)를 향하는 방향[또는, 제2 단자 접속부(24b)로부터 제1 단자 접속부(24a)를 향하는 방향]을 길이 방향(x 방향)이라 하고, 도전막(22) 상의 길이 방향과 직교하는 방향을 폭 방향(y 방향)이라 한다.

[0028] 도 2에 도시하는 바와 같이, 각 차단 그리드(26)는 y 방향을 따라 병렬로 배열된 복수의 협소부(30)를 구비한다. 또한, 차단 그리드(26)가 x 방향을 따라 직렬로 배치됨으로써, 퓨즈 엘리먼트(18)를 구성한다. 도 2에서, 각 차단 그리드(26)는 y 방향을 따라 병렬로 배열된 32개의 협소부(30)를 구비하며, 인접한 2개의 차단 그리드(26) 사이에 방열부(24)가 각각 위치하게, 차단 그리드(26)가 x 방향을 따라 직렬로 배치된다. 협소부(30)의 형상, 특히 평면에서 보았을 때 측벽의 형상은 실질적으로 직선형으로 되어 있다.

[0029] 도 2에 도시하는 바와 같이, 도전막(22)은, 1회 이상의 인쇄 공정에 의해 세라믹 기판(20)의 표면 상에 배치되는 인쇄층(32)을 포함한다. 방열부(24)에서의 인쇄층(32)의 적층수는, 차단 그리드(26)에서의 인쇄층(32)의 적층수 이상으로 되어 있다. 인쇄층(32)은, 예컨대 구리 페이스트, 은 페이스트 등의 잉크로 제조될 수 있다. 도 2에서, 방열부(24)에서의 인쇄층(32)의 적층수는 2이고, 차단 그리드(26)에서의 인쇄층(32)의 적층수는 1이다. 방열부(24)에서의 인쇄층(32)의 적층수가 차단 그리드(26)에서의 인쇄층(32)의 적층수 이상이면, 적층수는 어떠한 조합이어도 무방하다. 1층째의 인쇄층(32a)과 2층째의 인쇄층(32b)은, 동일 두께일 수도 있고 상이한 두께일 수도 있다. 도 3에서, 제1 스크린 인쇄 공정으로 세라믹 기판(20) 상에, 예컨대 20 ㎛~30 ㎛의 두께 범위로 1층째의 인쇄층(32a)을 형성하고, 제2 스크린 인쇄 공정으로 상기 인쇄층(32a) 상에, 예컨대 75 ㎛~100 ㎛의 두께 범위로 2층째의 인쇄층(32b)을 형성한다. 1층째의 인쇄층(32a)이 인쇄될 때, 차단 그리드(26)의 협

소부(30)가 동시에 형성된다. 종래의 에칭 공정에 따르면, 차단 그리드의 두께에 대응하는 두께로 도금층이 형성된 후, 차단 그리드를 형성하기 위해 선택적으로 에칭하고, 그 후, 차단 그리드를 마스킹하면서 추가의 도금층을 형성하여 방열부를 생성한다. 도금 공정 및 에칭 공정을 비롯한 다른 공정을 반복해야 할 필요가 있기 때문에, 종래의 에칭 공정은 복잡하고 정밀도가 떨어진다.

[0030] 본 실시형태에 따르면, 방열부(24) 및 차단 그리드(26)를 포함하는 도전막(22)을, 스크린 인쇄 공정에 의해 세라믹 기판(20) 상에 형성하기 때문에, 전술한 에칭 공정에 의한 것보다 용이하게 도전막(22)을 형성할 수 있다. 또한, 협소부(30) 및 방열부(24)의 상부가 부식될 문제가 없기 때문에, 패터닝된 도전막(22)을 형성할 때, 차단 그리드(26)간 또는 방열부(24)간의 패턴 형상(두께 등)의 베리에이션 및 퓨즈 엘리먼트(18)간의 패턴 형상(두께 등)의 베리에이션이 최소화된다. 따라서, 도전막(22)에 의해 형성된 도체 패턴을 고정밀도로 제조할 수 있다.

[0031] 보다 구체적으로, 차단 그리드(26)간의 협소부(30)의 막 두께의 베리에이션 및 퓨즈 엘리먼트(18)간의 베리에이션을 최소화할 수 있어서, $I^2t$ 값의 베리에이션이 최소화된다. 또한, 방열부(24) 및 차단 그리드(26)가 인쇄되어 형성되기 때문에, 별개로 형성할 수 있어, 차단 그리드(26)에서의 협소부(30)의 두께를 방열부(24)의 두께에 의존하지 않고 임의로 제어할 수 있다. 이러한 방식으로, 협소부(30)의 두께를 제어함으로써, $I^2t$ 값의 저감을 달성할 수 있다. 따라서, 전력용 퓨즈(10)의 비용 저감 및 소형화를 도모할 수 있다.

[0032] 퓨즈 엘리먼트(18)의 바람직한 양태에 따르면, 적어도 차단 그리드(26)의 표면 상에 CuO 등의 산화 방지막이 형성된다. 바람직하게는, 예컨대, 스크린 인쇄 공정에 의해 차단 그리드(26)의 상면에만 CuO 페이스트 등을 형성함으로써, 두께 수 ㎛ 정도의 산화 방지막을 형성한다. 이러한 방식으로 인쇄된 산화 방지막은, 적어도 차단 그리드(26)의 산화를 방지하는 데 효과적이어서, 퓨즈 엘리먼트(18)의 장기간의 신뢰성을 유지할 수 있다.

[0033] 퓨즈 엘리먼트(18)의 바람직한 다른 양태에 따르면, 소호제(16)를 페이스트상으로 하여 퓨즈 엘리먼트(18)의 표면 상에 인쇄한다. 보다 구체적으로는, 도 4a에 도시하는 바와 같이, 소호제(16)를 용제에 의해 ($SiO_2$ 등의) 페이스트상, 즉 소호제 페이스트(34)로 하여, 이 소호제 페이스트(34)를 차단 그리드(26) 상에 인쇄한다. 또는, 도 4b에 도시하는 바와 같이, 소호제 페이스트(34)를 차단 그리드(26) 및 방열부(24) 상에 각각 인쇄할 수도 있다. 일반적으로, 전력용 퓨즈(10)의 내부 공간의 대부분은, 소호제(16)에 의해 채워져 있다. 실제로, 전력용 퓨즈(10) 내에서 소호에 필요한 영역은, 단지 차단 그리드(26)의 표면에 근접한 영역만이기 때문에, 소호제 페이스트(34)는 적어도 차단 그리드(26) 상에 인쇄된다. 이러한 방식으로, 소호제(16)를 수용하는 내부 공간을 감소시킬 수 있다. 또한, 인쇄된 소호제 페이스트(34)는 전력용 퓨즈(10)의 소형화에 상당히 효과적이다.

[0034] 이하에, 퓨즈 엘리먼트(18)의 여러가지 변형예를 도 5 내지 도 11b를 참조하여 설명한다.

[0035] 도 5에 도시하는 바와 같이, 제1 변형예에 따른 퓨즈 엘리먼트[이하, "제1 퓨즈 엘리먼트(18a)"라고 함]는, 제1 단자 접속부(24a)와 제2 단자 접속부(24b) 사이에 배치되는 제1 퓨즈부(36A) 및 제2 퓨즈부(36B)를 포함하고, 이들 사이에 배치된 중앙 방열부(24c)에 의해 연속적으로(직렬로) 접속된다.

[0036] 도 6a에 일부 생략하여 도시하는 바와 같이, 제1 퓨즈부(36A)는, 예컨대 32개의 병렬 배치된 협소부(30)를 구비한 복수의 제1 차단 그리드(26A)가, x 방향을 따라 직렬로 배치된 것이다. 도 6b에 일부 생략하여 도시하는 바와 같이, 제2 퓨즈부(36b)는, 예컨대 32개의 병렬 배치된 협소부(30)를 구비한 복수의 제2 차단 그리드(26B)가, x 방향을 따라 직렬로 배치된 것이다. 제1 차단 그리드(26A)의 협소부(30)는 폭 da(y 방향의 길이)를 갖고, 제2 차단 그리드(26B)의 협소부(30)는 폭 da와는 다른 폭 db(y 방향의 길이)를 갖는다. 보다 구체적으로, 도 6a 및 도 6b에 도시하는 바와 같이, 제2 차단 그리드(26B)의 협소부(30)의 폭 db는, 제1 차단 그리드(26A)의 협소부(30)의 폭 da보다 크다.

[0037] 제2 변형예에 따른 퓨즈 엘리먼트[이하, "제2 퓨즈 엘리먼트(18b)"라고 함]는, 전술한 제1 퓨즈 엘리먼트(18a)와 거의 동일한 구조이지만, 이하의 점에서 상이하다.

[0038] 도 7a 및 도 7b에 도시하는 바와 같이, 제1 차단 그리드(26A)에서의 인쇄층(32)의 적층수와 제2 차단 그리드(26B)에서의 인쇄층(32)의 적층수는, 서로 상이하다. 도 7a 및 도 7b에서, 제1 차단 그리드(26A)에서의 인쇄층(32)의 적층수는 1이고, 제2 차단 그리드(26B)에서의 인쇄층(32)의 적층수는 2이다.

[0039] 제3 변형예에 따른 퓨즈 엘리먼트[이하, "제3 퓨즈 엘리먼트(18c)"라고 함]는, 전술한 제1 퓨즈 엘리먼트(18a)와 거의 동일한 구조이지만, 이하의 점에서 상이하다.

[0040] 도 8a 및 도 8b에 도시하는 바와 같이, 제1 차단 그리드(26A)의 협소부(30)는 폭 da 및 배열 피치 Pa를 갖고, 제2 차단 그리드(26B)의 협소부(30)는 폭 db 및 배열 피치 Pb를 갖는다. 각각의 폭 및 배열 피치는 다음 식의 관계를 갖는다.

[0041] da = db

[0042] Pa < Pb

[0043] 제4 변형예에 따른 퓨즈 엘리먼트[이하, "제4 퓨즈 엘리먼트(18d)"라고 함]는, 전술한 제1 퓨즈 엘리먼트(18a)와 거의 동일한 구조이지만, 이하의 점에서 상이하다.

[0044] 도 9a 및 도 9b에 도시하는 바와 같이, 제2 차단 그리드(26B)의 협소부(30)의 폭 db 및 배열 피치는, 제1 차단 그리드(26A)의 협소부(30)의 폭 da 및 배열 피치보다 크다.

[0045] 제5 변형예에 따른 퓨즈 엘리먼트[이하, "제5 퓨즈 엘리먼트(18e)"라고 함]는, 전술한 제1 퓨즈 엘리먼트(18a)와 거의 동일한 구조이지만, 이하의 점에서 상이하다.

[0046] 제1 차단 그리드(26A)의 협소부(30)의 형상은, 제2 차단 그리드(26B)의 협소부(30)의 형상과 상이하다. 도 10a 및 도 10b에서, 평면에서 보았을 때, 제1 차단 그리드(26A)의 협소부(30)의 측벽의 형상은 실질적으로 직선형으로 되어 있는 반면, 제2 차단 그리드(26B)의 협소부(30)의 측벽의 형상은 만곡형으로 되어 있다. 제1 차단 그리드(26A)의 협소부(30)의 폭 da(y 방향의 길이)는, 제2 차단 그리드(26B)의 협소부(30)의 최소폭 db와 상이할 수도 있고, 동일할 수도 있다.

[0047] 제6 변형예에 따른 퓨즈 엘리먼트[이하, "제6 퓨즈 엘리먼트(18f)"라고 함]는, 전술한 제1 퓨즈 엘리먼트(18a)와 거의 동일한 구조이지만, 이하의 점에서 상이하다.

[0048] 도 11a 및 도 11b에 도시하는 바와 같이, 제1 차단 그리드(26A)에서의 인쇄층(32)의 적층수와 제2 차단 그리드(26B)에서의 인쇄층(32)의 적층수는 서로 동일하다. 반면에, 제1 차단 그리드(26A)의 인쇄층(32)의 금속 재료는, 제2 차단 그리드(26B)의 인쇄층(32)의 금속 재료와 상이하다. 예컨대, 제1 차단 그리드(26A)는 은 페이스트로 이루어진 인쇄층(32)을 구비하는 반면, 제2 차단 그리드(26B)는 구리 페이스트로 이루어진 인쇄층(32)을 구비한다. 제1 차단 그리드(26A)의 인쇄층(32)의 금속 재료와 제2 차단 그리드(26B)의 인쇄층(32)의 금속 재료가 서로 상이하다면, 퓨즈로서 일반적으로 사용되는 저융점의 금속 재료를 조합하여 사용할 수 있다.

[0049] 제1 퓨즈 엘리먼트(18a)~제6 퓨즈 엘리먼트(18f)에서의 제1 차단 그리드(26A) 및 제2 차단 그리드(26B)를 임의로 조합하여 신규의 퓨즈 엘리먼트를 제조할 수도 있다.

[0050] 제1 퓨즈 엘리먼트(18a)~제6 퓨즈 엘리먼트(18f)에 있어서, 제1 퓨즈부(36A) 및 제2 퓨즈부(36B)의 용단 특성(전류-용단 시간 특성)을 변경할 수 있다. 구체적으로, 도 12에 나타내는 바와 같이, 제6 퓨즈 엘리먼트(18f)에서의 제1 전류치(A1)로부터 제2 전류치(A2)까지의 전류-용단 시간 특성에 따르면, 제2 퓨즈부(36B)의 전류에 대한 용단 시간의 변화가, 제1 퓨즈부(36A)의 경우보다 급격하게 나타난다.

[0051] 그 결과, 도 12의 실선으로 나타내는 바와 같이, 전력용 퓨즈(10)는, 제6 퓨즈 엘리먼트(18f)의 전체 전류-용단 시간 특성 곡선으로서, 고전류 영역에서의 전류에 대한 시간 변화가 저전류 영역에서의 전류에 대한 시간 변화보다 급격한 특성을 나타낸다.

[0052] 실시예 :

[0053] 비교예 1 및 비교예 2, 실시예 1에 관련된 동작 특성(정격 전류-동작 $I^2t$값 특성)을 확인했다. 도 13은 실시예 1, 비교예 1 및 비교예 2의 동작 특성(정격 전류-동작 $I^2t$값 특성)을 나타낸다. 도 13에서, ●으로 표시된 특성 곡선은 실시예 1을 나타내고, ▲으로 표시된 특성 곡선은 비교예 1을 나타내며, ○으로 표시된 특성 곡선은 비교예 2를 나타낸다.

[0054] 도 13에 나타낸 비교예 1의 특성 곡선은, 일본 특허 출원 공개 제2006-073331호 공보의 도 3에 나타낸 패턴과 동등한 패턴을 에칭하여 생성한 시판품의 데이터에 기초하여 나타내었다.

[0055] 도 13에 나타낸 비교예 2의 특성 곡선은, 은 리본을 프레스 가공에 의해 제조한 시판품의 데이터에 기초하여 나타내었다.

[0056] 실시예 1의 특성 곡선은, 본 실시형태에 따른 전력용 퓨즈(10)와 동일한 구조인 전력용 퓨즈의 데이터에 기초하

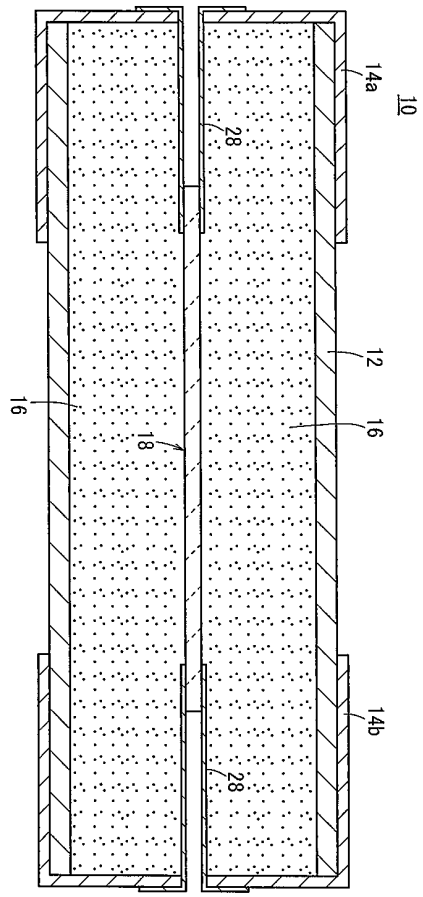
여 나타내었다. 퓨즈 엘리먼트(18)는 이하의 방식으로 제조된다. 먼저, 도 3에 도시하는 바와 같이, 세라믹 기판(20)으로서 두께 1 ㎜의 알루미나 기판을 이용하고, 스크린 인쇄 공정에 의해, 이 알루미나 기판 상에, 두께 25 ㎛의 인쇄층(32a)(구리 페이스트의 인쇄층)을 1층째로서 형성한다. 이때, 도 2에 도시된 패턴으로 인쇄층(32a)을 인쇄한다. 그 후, 이 인쇄층(32a) 상에, 2회째의 스크린 인쇄 공정에 의해, 두께 75 ㎛의 다른 인쇄층(32b)(구리 페이스트의 인쇄층)을 2층째로서 형성한다. 이때, 각각의 방열부(24)가 되는 부분에만 인쇄층(32b)을 인쇄한다.

[0057] 도 13에 나타낸 결과로부터 알 수 있는 바와 같이, 실시예 1은 비교예 1 및 비교예 2보다 양호한 동작 특성을 나타낸다. 보다 구체적으로, 실시예 1에 따른 전력용 퓨즈는, 차단 그리드(26)간의 베리에이션 및 퓨즈 엘리먼트(18)간의 베리에이션을 최소화할 수 있으면서, $I^2t$ 값을 저감시킬 수 있어, 비용 저감 및 소형화를 도모할 수 있다.

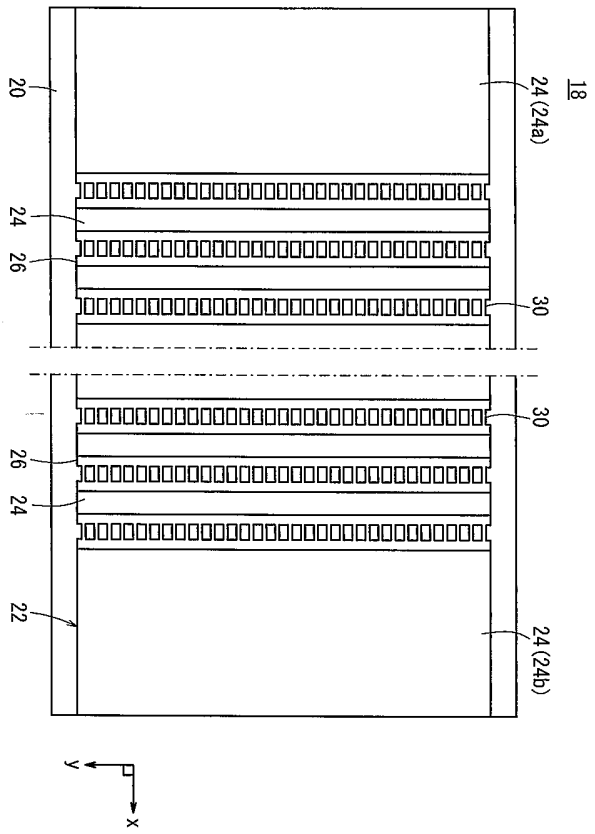
[0058] 본 발명에 따른 전력용 퓨즈는, 전술한 실시형태에 한정되는 것은 아니며, 본 발명의 취지를 벗어나지 않으면서, 추가적인 또는 대체적인 구성을 포함할 수 있다.

## 도면

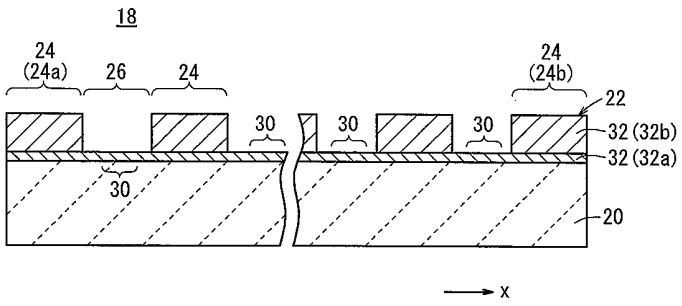
### 도면1



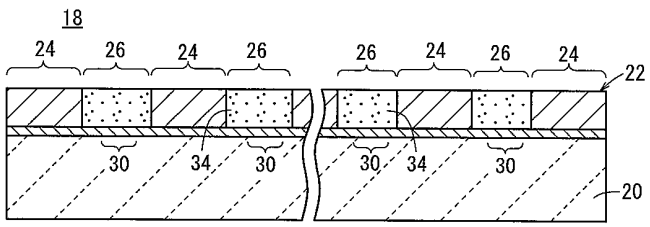
도면2


18
20
24 (24a)
24
26
30
30
26
24
22
24 (24b)
y
x

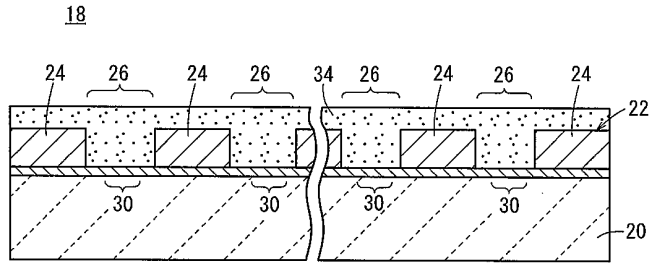
도면3


18
24
(24a)
26
24
24
(24b)
22
30
30
30
32 (32b)
32 (32a)
30
20
x

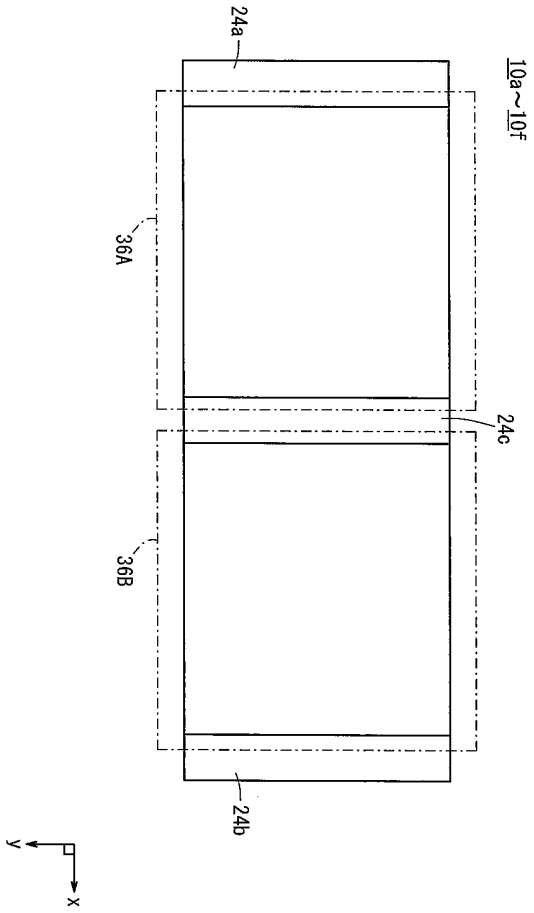
도면4a


18
24
26
24
26
26
24
26
24
22
30
34
30
30
34
30
20

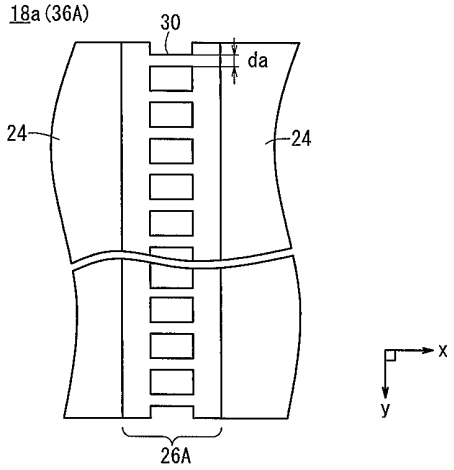
도면4b


18
24
26
24
26
34
26
24
26
24
22
30
30
30
30
20

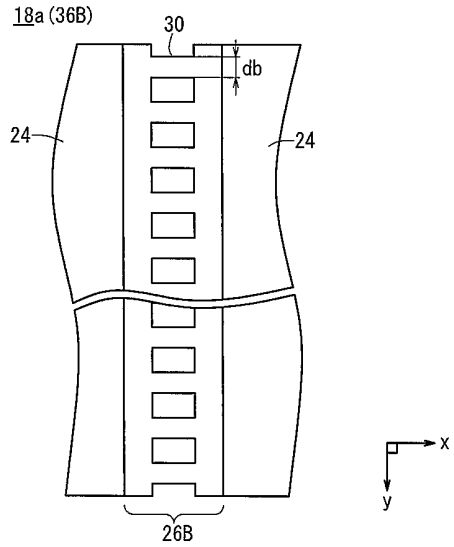
도면5


24a
10a~10f
36A
24c
36B
24b
y
x

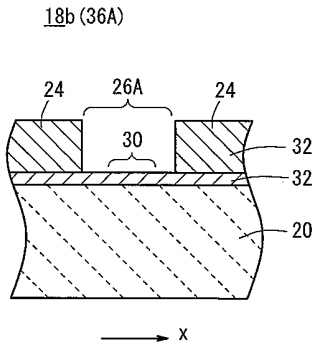
도면6a



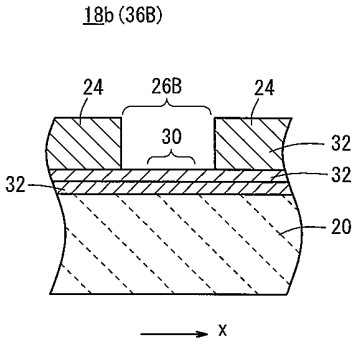

도면6b



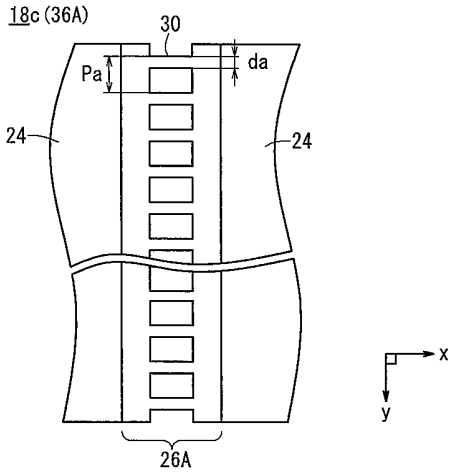

도면7a



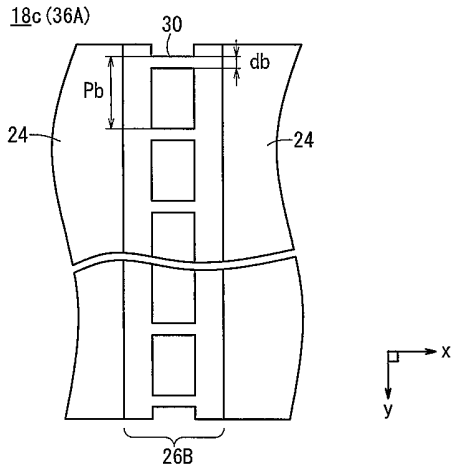
도면7b



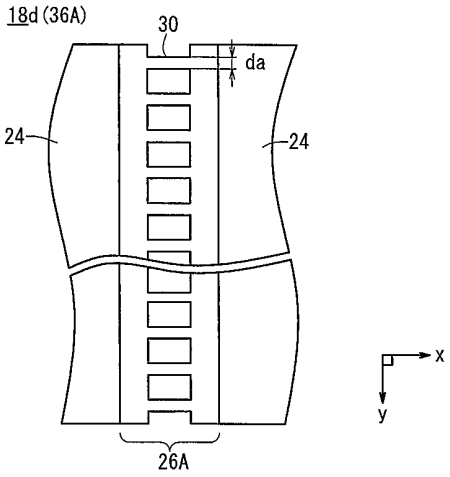

도면8a



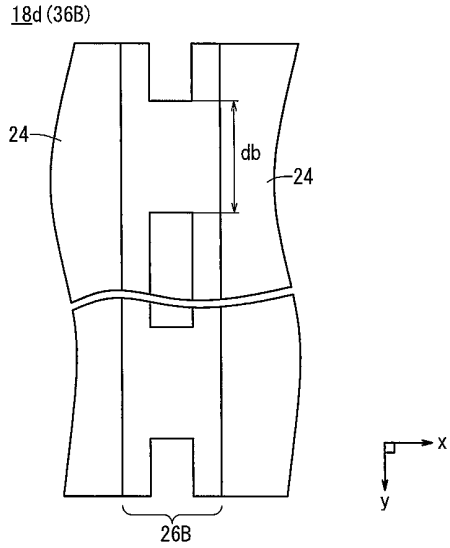

도면8b



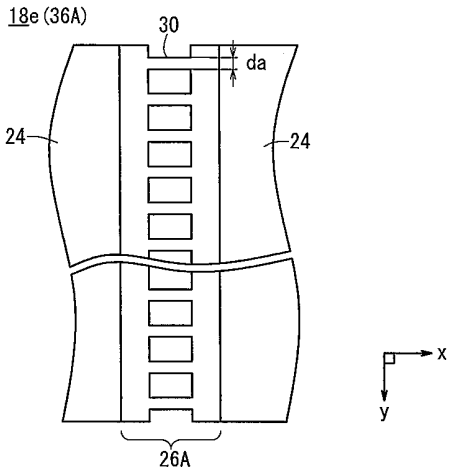
도면9a



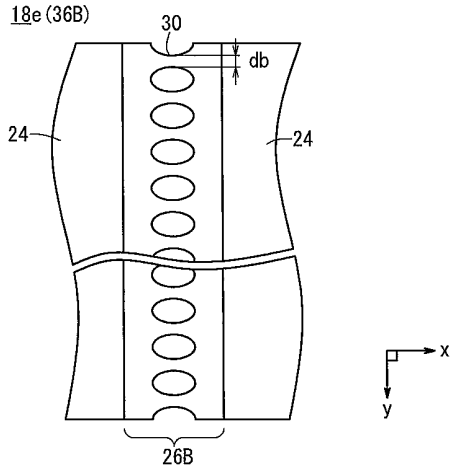

도면9b



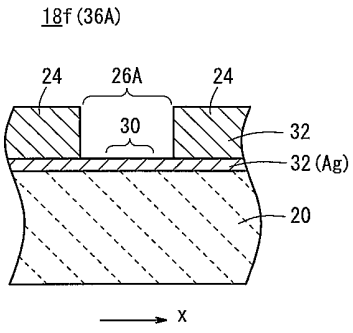
도면10a



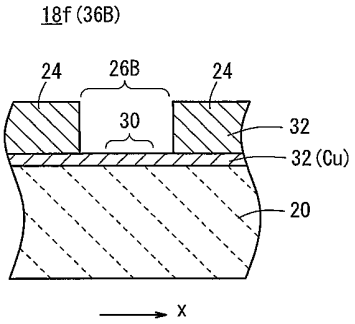

도면10b



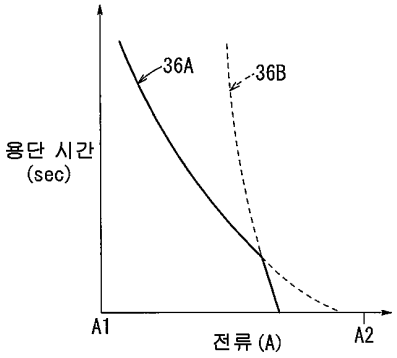

도면11a



도면11b




도면12



도면13

