

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4268726号
(P4268726)

(45) 発行日 平成21年5月27日 (2009. 5. 27)

(24) 登録日 平成21年2月27日 (2009. 2. 27)

(51) Int. Cl.

F I

G 1 1 C 11/407 (2006. 01)

G 0 6 F 1/10 (2006. 01)

G 0 6 F 1/04 (2006. 01)

G 1 1 C 11/4076 (2006. 01)

H 0 3 L 7/18 (2006. 01)

G 1 1 C 11/34 3 6 2 S

G 0 6 F 1/04 3 3 0 A

G 0 6 F 1/04 3 0 1 C

G 1 1 C 11/34 3 5 4 C

H 0 3 L 7/18 Z

請求項の数 4 (全 27 頁)

(21) 出願番号 特願平11-151913

(22) 出願日 平成11年5月31日 (1999. 5. 31)

(65) 公開番号 特開2000-339959 (P2000-339959A)

(43) 公開日 平成12年12月8日 (2000. 12. 8)

審査請求日 平成18年4月24日 (2006. 4. 24)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、
 前記同期クロック発生回路は、
 前記源クロック信号を遅延させ、帰還クロック信号を出力するクロック遅延回路と、
 前記外部クロック信号と前記帰還クロック信号との位相差に応じて前記源クロック信号
 を発生する信号発生回路とを含み、
 前記源クロック信号を受けて、動作モードが活性モードのときに中間クロック信号を出
 力し、前記動作モードが待機モードのときに出力を非活性化するクロック供給回路と、
 前記中間クロック信号を伝達するクロック伝達部と、
 前記クロック伝達部から前記中間クロック信号に対応する内部クロック信号を受け、所
 定の動作を行う内部回路とをさらに備え、
 前記内部回路は、
 前記内部クロック信号に応じてデータの取込みおよび保持を行うデータ保持回路を含み
 、前記データ保持回路は、前記内部クロック信号に応じてデータの取込みおよび保持を行
 うラッチ回路を含み、
 前記データ保持回路に第1の動作電流を供給する主電源線と、
 前記主電源線と独立して設けられ、前記信号発生回路に第2の動作電流を供給する副電
 源線とをさらに備え、
 前記内部回路は、

前記ラッチ回路とデータを授受し論理演算を行う論理回路をさらに含み、

前記副電源線は、さらに前記論理回路と前記クロック供給回路とに第３、第４の動作電流をそれぞれ供給する、半導体装置。

【請求項２】

外部から前記第１の動作電流が供給される主電源端子と、

前記活性モードにおいて外部から前記第２、第３および第４の動作電流が供給され、前記待機モードにおいて動作電流の供給が停止される副電源端子とをさらに備える、請求項１に記載の半導体装置。

【請求項３】

前記主電源線と前記副電源線との間に設けられ、前記活性モードにおいて前記主電源線から前記第２、第３および第４の動作電流を前記副電源線に供給し、前記待機モードにおいて前記第２、第３および第４の動作電流の供給を停止する電流供給回路をさらに備える、請求項１に記載の半導体装置。

10

【請求項４】

前記クロック伝達部に所定の電位を与え、前記内部クロック信号のレベルを固定するクロック固定回路をさらに備える、請求項１に記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体装置に関し、より特定的には、外部から入力されるクロック信号に同期した内部クロック信号を発生させる同期クロック発生回路を搭載する半導体装置に関する。

20

【０００２】

【従来の技術】

従来の半導体装置においては、外部から入力されるクロック信号に同期した内部クロック信号を発生させる回路、たとえばPLL（フェイズロックドループ）回路を搭載するものがある。

【０００３】

図１７は、従来の半導体装置５００の構成を概略的に示す図である。

図１７を参照して、半導体装置５００は、クロック信号REF・CLKとクロック信号FB・CLKを受けてクロック信号ICLKを発生するPLL回路５５４と、クロック信号CLKを増幅し出力するクロックドライバ５６０と、クロックドライバ５６０の出力クロックを受けて所定の動作を行なう内部回路５６２とを含む。

30

【０００４】

内部回路５６２は、クロック信号を受けて動作する複数個のフリップフロップ回路などを含んでいるラッチ回路５６６と、ラッチ回路以外の内部回路である組合せ回路５６４とを含む。

【０００５】

このように、一般的な大規模集積回路（LSI：Large Scale Integrated circuit）では、クロックドライバの先に多数のフリップフロップ回路などを含んでいるラッチ回路が接

40

【０００６】

次に、簡単にPLL回路５５４の動作を説明する。フィードバックされたクロック信号FB・CLKが外部から入力されるクロック信号REF・CLKと同期し、かつ、位相が等しくなるように、PLL回路５５４はクロック信号ICLKを出力する。その結果、クロック信号REF・CLKと同相のクロック信号ICLKが内部のラッチ回路５６６に与えられる。

【０００７】

このような構成により、LSIの内部と外部とのクロック信号の同期をとることができる。

50

【 0 0 0 8 】

一般に、LSIにおいては、クロック信号を分配する回路において大量に電力が消費される。クロック信号を分配する回路としては、たとえば、配線容量や負荷容量の大きいクロック配線を駆動するためのクロックドライバ等がある。

【 0 0 0 9 】

一方、携帯機器などに用いられるLSIにおいては、特に処理すべき入力信号がない期間、すなわち待機期間が大部分を占めており、その間にはLSIの主な機能を動作させる必要がない場合が多い。

【 0 0 1 0 】

したがって、待機期間にクロックを止めることができれば、低消費電力化を大幅に図ることが可能となる。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかし、低消費電力化のために回路動作を一時的に停止させる場合に、従来の方式では、次のような問題点がある。

【 0 0 1 2 】

図17に示した回路では、クロック信号を停止させるためには、PLL回路554とクロックドライバ560との間にスイッチを入れてPLL回路554におけるクロック発生を停止し、クロックドライバ560の動作を止める方法が考えられる。しかし、その方法ではクロック信号を再び発生し内部回路562に与える際に、しばらくの間PLL回路554が発生するクロック信号ICKはクロック信号REFCLKと同期がとれていない。

【 0 0 1 3 】

したがって、クロック信号が同期するまでの期間に内部回路562に与えられる不安定なクロック信号のためにラッチ回路566に貯えられたデータが破壊され、誤動作を引き起こしてしまう。

【 0 0 1 4 】

すなわち、従来の方法ではクロック再起動時にPLLの同期に時間を要するため、内部のラッチ回路のデータが破壊されてしまうという問題点があった。そこで、特開平7-202687号公報に記載された発明が考えられた。

【 0 0 1 5 】

図18は、特開平7-202687号公報に記載されたクロック回路400の構成を示す回路図である。

【 0 0 1 6 】

図18を参照して、クロック回路400は、外部クロック信号CLKと帰還クロック信号FCKとを受取る位相差電圧変換回路PVCと、位相差電圧変換回路PVCの出力電圧により制御され、共通クロック信号を出力する電圧制御発振回路VCOと、電圧制御発振回路VCOの出力を受けて論理回路LDにローカルクロック信号LCKを供給するクロック供給回路CSと、電圧制御発振回路VCOの出力を受けてダミークロック信号DCLを出力するダミークロック回路DCSと、動作モードMODEに応じた制御信号Rを受けてローカルクロック信号LCKとダミークロック信号DCLのいずれかを帰還クロック信号FCKとして位相差電圧変換回路PVCに与える選択回路SELとを含む。

【 0 0 1 7 】

しかしながら、図18に示した回路では、選択回路SELによって外部クロックCLKとローカルクロックLCKとの間に位相差が生じるという欠点があった。

【 0 0 1 8 】

図19は、図18に示したクロック回路400の動作を説明するための動作波形図である。

【 0 0 1 9 】

図18、図19を参照して、時刻 $t_0 \sim t_1$ において、動作モードはアクティブ状態とな

10

20

30

40

50

っており、外部クロック信号CLKとローカルクロック信号CLKとは同期している。

【0020】

時刻 $t_1 \sim t_2$ において、動作モードがアクティブ状態から待機状態へと変化する。応じて時刻 $t_2 \sim t_3$ の間は、ローカルクロック信号CLKはLレベルに固定される。

【0021】

次に、時刻 $t_3 \sim t_4$ において、再び動作モードが待機状態からアクティブ状態へと変化する。応じて、時刻 t_4 以降再びローカルクロックCLKは外部クロック信号CLKに同期したクロック信号となる。

【0022】

ここで、時刻 t_0 付近において、外部クロック信号とローカルクロック信号とのロック状態について説明すると、位相差電圧変換回路PVCが含んでいる位相比較器PDは、入力CK1、CK2が同じ位相になるときに、定常状態となるため、このクロック回路400の定常状態においては、帰還クロック信号FCCKと外部クロック信号CLKの位相が一致した状態となる。

【0023】

帰還クロック信号FCCKは、論理回路LDに供給されるローカルクロック信号CLKが選択回路SELを経由して出力された信号である。したがって、選択回路SELによる遅延時間分だけのオフセット時間TOF分だけ外部クロック信号CLKに対してローカルクロック信号CLKは位相が進んだクロック信号となってしまう。

【0024】

この発明の目的は、活性状態において外部クロック信号と内部回路に与えられるクロック信号との間に位相差を生じず、かつ、待機状態においてクロック信号を止めて電力消費を抑えつつラッチ回路に貯えられたデータを破壊せずに待機状態から復帰できるクロック供給回路を備える半導体装置を提供することである。

【0025】

【課題を解決するための手段】

請求項1に記載の半導体装置は、外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、同期クロック発生回路は、源クロック信号を遅延させ、帰還クロック信号を出力するクロック遅延回路と、動作モードが活性モードおよび待機モードのときに、外部クロック信号と帰還クロック信号との位相差に応じて源クロック信号を発生する信号発生回路とを含み、源クロック信号を受けて、活性モードにおいて中間クロック信号を出力し、待機モードにおいて出力を非活性化するクロック供給回路と、中間クロック信号を伝達するクロック伝達部と、クロック伝達部から中間クロック信号に対応する内部クロック信号を受け、所定の動作を行う内部回路とをさらに備え、内部回路は、内部クロック信号に応じてデータの取込みおよび保持を行うデータ保持回路を含む。

【0026】

請求項2に記載の半導体装置は、請求項1に記載の半導体装置の構成において、クロック遅延回路は、源クロック信号を受けて、クロック供給回路およびクロック伝達部の遅延時間の合計時間に対応する遅延をさせて帰還クロック信号を出力する。

【0027】

請求項3に記載の半導体装置は、請求項2に記載の半導体装置の構成に加えて、クロック遅延回路は、合計時間に対応する遅延時間を有する、直列に接続された複数のインバータを含む。

【0028】

請求項4に記載の半導体装置は、請求項1に記載の半導体装置の構成において、クロック供給回路は、動作モードに対応するクロック活性化信号を受けて、クロック活性化信号の活性化に応じて中間クロック信号を出力し、クロック活性化信号の非活性化に応じて出力のレベルを固定する。

【0029】

請求項5に記載の半導体装置は、請求項4に記載の半導体装置の構成に加えて、クロック

10

20

30

40

50

供給回路は、クロック活性化信号および源クロック信号をうける論理積回路を含む。

【0030】

請求項6に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、信号発生回路は、帰還クロック信号を外部クロック信号と比較して、外部クロック信号と帰還クロック信号との位相差に応じた位相差信号を出力する位相比較器と、位相差信号に応じてクロック周波数制御信号を出力する周波数制御回路と、クロック周波数制御信号に応じて源クロック信号の周波数を変化させて出力する周波数可変発振回路とを有する。

【0031】

請求項7に記載の半導体装置は、外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、同期クロック発生回路は、源クロック信号を遅延させ、帰還クロック信号を出力するクロック遅延回路と、外部クロック信号と帰還クロック信号との位相差に応じて源クロック信号を発生する信号発生回路とを含み、源クロック信号を受けて、動作モードが活性モードのときに中間クロック信号を出力し、動作モードが待機モードのときに出力を非活性化するクロック供給回路と、中間クロック信号を伝達するクロック伝達部と、クロック伝達部から中間クロック信号に対応する内部クロック信号を受け、所定の動作を行う内部回路とをさらに備え、内部回路は、内部クロック信号に応じてデータの取込みおよび保持を行うデータ保持回路を含み、データ保持回路に第1の動作電流を供給する主電源線と、主電源線と独立して設けられ、信号発生回路に第2の動作電流を供給する副電源線とをさらに備える。

10

【0032】

請求項8に記載の半導体装置は、請求項7に記載の半導体装置の構成に加えて、外部から第1の動作電流が供給される主電源端子と、活性モードにおいて外部から第2の動作電流が供給され、待機モードにおいて動作電流の供給が停止される副電源端子とをさらに備える。

20

【0033】

請求項9に記載の半導体装置は、請求項7に記載の半導体装置の構成に加えて、主電源線と副電源線との間に設けられ、活性モードにおいて主電源線から第2の動作電流を副電源線に供給し、待機モードにおいて第2の動作電流の供給を停止する電流供給回路をさらに備える。

【0034】

請求項10に記載の半導体装置は、請求項7に記載の半導体装置の構成に加えて、データ保持回路は、内部クロック信号に応じてデータの取込みおよび保持を行うラッチ回路を含み、内部回路は、ラッチ回路とデータを授受し論理演算を行う論理回路をさらに含み、副電源線は、さらに論理回路とクロック供給回路とに第3、第4の動作電流をそれぞれ供給する。

30

【0035】

請求項11に記載の半導体装置は、請求項10に記載の半導体装置の構成に加えて、外部から第1の動作電流が供給される主電源端子と、活性モードにおいて外部から第2、第3および第4の動作電流が供給され、待機モードにおいて動作電流の供給が停止される副電源端子とをさらに備える。

40

【0036】

請求項12に記載の半導体装置は、請求項10に記載の半導体装置の構成に加えて、主電源線と副電源線との間に設けられ、活性モードにおいて主電源線から第2、第3および第4の動作電流を副電源線に供給し、待機モードにおいて第2、第3および第4の動作電流の供給を停止する電流供給回路をさらに備える。

【0037】

請求項13に記載の半導体装置は、請求項10に記載の半導体装置の構成に加えて、クロック伝達部に所定の電位を与え、内部クロック信号のレベルを固定するクロック固定回路をさらに備える。

【0038】

50

請求項 14 に記載の半導体装置は、外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、同期クロック発生回路は、源クロック信号を遅延させ、帰還クロック信号を出力するクロック遅延回路と、外部クロック信号と帰還クロック信号との位相差に応じて源クロック信号を発生する信号発生回路とを含み、源クロック信号を受けて、動作モードが活性モードのときに中間クロック信号を出力し、動作モードが待機モードのときに出力を非活性化するクロック供給回路をさらに備え、クロック供給回路は、活性モードにおいてバックゲートとソース間の電位差の絶対値が第 1 の値にされ、待機モードにおいてバックゲートとソース間の電位差の絶対値が第 1 の値よりも大きい第 2 の値にされる MOS トランジスタを含み、中間クロック信号を伝達するクロック伝達部と、クロック伝達部から中間クロック信号に対応する内部クロック信号を受け、所定の動作を行う内部回路とをさらに備え、内部回路は、内部クロック信号に応じてデータの取込みおよび保持を行うデータ保持回路を含む。

10

【 0 0 3 9 】

請求項 15 に記載の半導体装置は、請求項 14 に記載の半導体装置の構成に加えて、クロック供給回路は、動作モードに応じて MOS トランジスタのバックゲートに与える電位を切換える切換回路をさらに含む。

【 0 0 4 0 】

請求項 16 に記載の半導体装置は、外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、同期クロック発生回路は、源クロック信号を遅延させ、帰還クロック信号を出力するクロック遅延回路と、外部クロック信号と帰還クロック信号との位相差に応じて源クロック信号を発生する信号発生回路とを含み、源クロック信号を受けて、動作モードが活性モードのときに中間クロック信号を出力し、動作モードが待機モードのときに出力を非活性化するクロック供給回路と、中間クロック信号を伝達するクロック伝達部と、クロック伝達部から中間クロック信号に対応する内部クロック信号を受け、所定の動作を行う内部回路とをさらに備え、内部回路は、活性モードにおいてバックゲートとソース間の電位差の絶対値が第 1 の値にされ、待機モードにおいてバックゲートとソース間の電位差の絶対値が第 1 の値よりも大きい第 2 の値にされる MOS トランジスタを含む。

20

【 0 0 4 1 】

請求項 17 に記載の半導体装置は、外部クロック信号に同期した源クロック信号を発生する同期クロック発生回路を備え、同期クロック発生回路は、入力信号を遅延させるクロック遅延回路と、動作モードが活性モードのときには源クロック信号を入力信号としてクロック遅延回路に与え、かつ、クロック遅延回路の出力を帰還クロック信号として出力し、動作モードが待機モードのときには源クロック信号をそのまま帰還クロック信号として出力し、かつ、クロック遅延回路に源クロック信号の供給を停止する切換回路と、外部クロック信号と帰還クロック信号との位相差に応じて源クロック信号を発生する信号発生回路とを含み、源クロック信号を受けて、動作モードが活性モードのときに中間クロック信号を出力し、動作モードが待機モードのときに出力を非活性化するクロック供給回路と、中間クロック信号を伝達するクロック伝達部と、クロック伝達部から中間クロック信号に対応する内部クロック信号を受け、所定の動作を行う内部回路とをさらに備え、内部回路は、内部クロック信号に応じてデータの取込みおよび保持を行うデータ保持回路を含む。

30

40

【 0 0 4 2 】**【 発明の実施の形態 】**

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【 0 0 4 3 】

図 1 は、本発明の実施の形態の半導体装置の例である同期型半導体記憶装置 1 の構成を示すブロック図である。

【 0 0 4 4 】

同期型半導体記憶装置は、以下に説明するように、外部クロックと位相の等しい内部クロ

50

ックに基づき動作が行われるので、内部クロックを発生させる回路は極めて重要である。

【 0 0 4 5 】

図 1 では、1 ビットのデータ授受に関連する部分および周辺回路の構成が示されており、このデータ授受に関連する部分はデータ入出力端子それぞれに対応して設けられる。

【 0 0 4 6 】

図 1 を参照して、同期型半導体記憶装置 1 は、各々が行列状に配列される複数のメモリセルを有するメモリアレイ 1 a a、1 a b、1 b a および 1 b b を含む。

【 0 0 4 7 】

同期型半導体記憶装置 1 は、2 つのバンクを有し、メモリアレイ 1 a a および 1 a b がバンク A を構成し、メモリアレイ 1 b a および 1 b b がバンク B を構成する。

10

【 0 0 4 8 】

このバンク A および B それぞれにおいて、メモリアレイ 1 a a がサブバンク A 0 を構成し、メモリアレイ 1 a b がサブバンク A 1 を構成し、メモリアレイ 1 b a がサブバンク B 0 を構成し、メモリアレイ 1 b b がサブバンク B 1 を構成する。

【 0 0 4 9 】

同期型半導体記憶装置 1 は、2 バンク S D R A M として機能する。バンク A および B は、それぞれ互いに独立に活性 / 非活性状態へ駆動することができる。バンクの指定は、各コマンドと同時に与えられるバンクアドレスにより行なわれる。

【 0 0 5 0 】

メモリアレイ 1 a a に対し、バンクアドレス信号 B X により活性化され、ロウアドレス信号 X 0 - j をデコードし、メモリアレイ 1 a a のアドレス指定された行を選択状態へ駆動する X デコーダ群 2 a a と、センスアンプ活性化信号 S A A により活性化され、メモリアレイ 1 a a の選択行に接続されるメモリセルデータの検知、増幅およびラッチを行なうセンスアンプ群 3 a a と、バンクアドレス信号 B Y により活性化され、コラムアドレス信号 Y E 0 - k をデコードし、メモリアレイ 1 a a のアドレス指定された列を選択する Y デコーダ群 4 a a とが設けられる。

20

【 0 0 5 1 】

この Y デコーダ群 4 a a により選択された列上のメモリセルは、内部データバス 5 a a に結合される。バンクアドレス信号 B X は、アクティブコマンドまたはプリチャージ状態への復帰を指示するプリチャージコマンドと同時に与えられるバンクアドレス信号であり、またバンクアドレス信号 B Y は、リードコマンドまたはライトコマンドと同時に与えられるバンクアドレス信号である。

30

【 0 0 5 2 】

メモリアレイ 1 a b に対しても、同様に、X デコーダ群 2 a b と、センスアンプ群 3 a b と、Y デコーダ群 4 a b とが設けられる。

【 0 0 5 3 】

この Y デコーダ群 4 a b により選択された列上のメモリセルは、内部データバス 5 a b に結合される。

【 0 0 5 4 】

メモリアレイ 1 b a に対しても、同様に、バンクアドレス信号 / B X により活性化される X デコーダ群 2 b a と、センスアンプ活性化信号 S A B により活性化されるセンスアンプ群 3 b a と、バンクアドレス信号 / B Y により活性化される Y デコーダ群 4 b a が設けられる。

40

【 0 0 5 5 】

この Y デコーダ群 4 b a により選択された列上のメモリセルは、内部データバス 5 b a に結合される。

【 0 0 5 6 】

メモリアレイ 1 b b に対しても、同様に、X デコーダ群 2 b b と、センスアンプ群 3 b b と、Y デコーダ群 4 b b が設けられる。

【 0 0 5 7 】

50

このＹデコーダ群４ｂｂにより選択された列上のメモリセルは、内部データバス５ｂｂに結合される。ここで、Ｘデコーダ群、センスアンプ群およびＹデコーダ群と称しているのは、Ｘデコーダ群は、各行に対応して配置されるＸデコーダを備え、センスアンプ群は、対応のメモリアレイの各列に対応して設けられるセンスアンプを有し、Ｙデコーダ群は、各列に対応して設けられるＹデコーダを含むためである。

【００５８】

メモリアレイ１ａａおよび１ａｂにおいてバンクアドレス信号ＢＸおよびＢＹに従って同時にメモリセル選択動作が行なわれ、一方、メモリアレイ１ｂａおよび１ｂｂではバンクアドレス信号／ＢＸおよび／ＢＹに従って同時に選択動作が行なわれる。

【００５９】

メモリアレイ１ａａからデータを読み出すために、ライトドライバ&プリアンプ９ａａが設けられる。ライトドライバ&プリアンプ９ａａは、レジスタ活性化信号ＲＢＡ０の活性化に 응답して、センスアンプ群３ａａによって内部データバス５ａａ上に読出されたメモリアレイ１ａａからのデータを受けて増幅しラッチする。また、ライトドライバ&プリアンプ９ａａは、メモリアレイ１ａａへとデータを書込むために、レジスタ活性化信号ＷＢＡ０の活性化に応じて後述のバンクセクタ８ａから与えられるデータを受けてラッチし内部データバス５ａａに対して出力する。

【００６０】

メモリアレイ１ａｂ、１ｂａおよび１ｂｂに対しても、それぞれ対応するライトドライバ&プリアンプ９ａｂ、９ｂａおよび９ｂｂが設けられる。

【００６１】

ライトドライバ&プリアンプ９ａａおよび９ｂａに対しては、バンクセクタ８ａが設けられる。バンクセクタ８ａはデータ選択信号ＢＡ０、ＢＡ１に従ってライトドライバ&プリアンプ９ａａおよび９ｂａが出力するデータ信号のいずれかを選択し出力する。

【００６２】

ライトドライバ&プリアンプ９ａｂおよび９ｂｂに対しては、バンクセクタ８ｂが設けられる。バンクセクタ８ｂはデータ選択信号ＢＡ０、ＢＡ１に従ってライトドライバ&プリアンプ９ａｂおよび９ｂｂが出力するデータ信号のいずれかを選択し出力する。

【００６３】

バンクセクタ８ａ、８ｂに対しては、データの読出時に選択信号ＳＥＯ、ＳＥＥに応じてバンクセクタ８ａ、８ｂからいずれかの出力を選択するセクタ２６と、セクタ２６の出力を受けて増幅する入出力バッファ２８と、入出力バッファ２８の出力信号を外部に出力するデータ入出力端子６とが設けられる。

【００６４】

データの書込時においては、書込選択信号ＷＳＥＥ、ＷＳＥＯに応じてセクタ２６は、入出力バッファ２８を介して外部よりクロック信号ＣＬＫａに同期して入力されるデータをバンクセクタ８ａまたは８ｂに対して出力する。

【００６５】

同期型半導体記憶装置１は、さらに、入力端子１２ａ、１２ｂ、１２ｃおよび１２ｄにそれぞれ与えられる外部制御信号ｅｘｔ．／ＲＡＳ、ｅｘｔ．／ＣＡＳ、ｅｘｔ．／ＣＳおよびｅｘｔ．／ＷＥをクロック信号ＣＬＫｂの立上がり同期して取込み、かつその状態を判定して内部制御信号ｘａ、ｙａ、Ｗ、ＣＳ、ＲおよびＣＡを生成する制御信号発生回路１３とを含む。

【００６６】

信号ｅｘｔ．／ＣＳは、チップセレクト信号であり、このチップセレクト信号ｅｘｔ．／ＣＳが活性化状態のときに同期型半導体記憶装置１はデータ授受を行なう。

【００６７】

信号ｘａは、アクティブコマンドが与えられたときに活性化され、ロウアドレス信号の取込を指示する。信号ｙａは、リードコマンドまたはライトコマンドが与えられたときに活性化され、コラムアドレス信号の取込を指示する。信号Ｗは、ライトコマンドが与

10

20

30

40

50

えられたときに活性化され、データ書込を指示する。信号 R は、アクティブコマンドが与えられたときに活性化され、行選択に関連する部分の回路を活性化する。信号 CA は、リードコマンドまたはライトコマンドが与えられたときに活性化され、列選択およびデータ出力に関連する部分の回路（コラム系回路）を活性化する。

【 0 0 6 8 】

同期型半導体記憶装置 1 は、さらに、ロウアドレス取込指示信号 xa の活性化にตอบสนองして外部アドレス信号 ext . A 0 - i を取込み、内部ロウアドレス信号 X 0 - j およびバンクアドレス信号 BX を生成する X アドレスバッファ 1 4 と、コラムアドレス取込指示信号 ya の活性化時に活性化され、外部アドレス信号 ext . A 0 - i を取込み内部コラムアドレス信号を発生する Y アドレスバッファ 1 5 と、この Y アドレスバッファ 1 5 から与えられる内部コラムアドレス信号を先頭アドレスとして、クロック信号 CLK c に同期して所定のシーケンスでこのアドレスを変化させて偶数コラムアドレス信号 YE 0 - k および奇数コラムアドレス信号 Y 0 0 - k およびバンクアドレス信号 BY、BA 0、BA 1 を発生する Y アドレスオペレーション回路 1 6 とを含む。

10

【 0 0 6 9 】

この Y アドレスオペレーション回路 1 6 は、バーストアドレスカウンタを含み、2 クロックサイクルごとにコラムアドレス信号を変化させる。

【 0 0 7 0 】

同期型半導体記憶装置 1 は、さらに、コラム系活性化信号 CA の活性化に従って内部クロック信号 CLK b をカウントし、そのカウント値に従って所定のタイミングでカウントアップ信号を生成するクロックカウンタ 1 7 と、クロックカウンタ 1 7 のカウントアップ信号と、バンクアドレス信号 BX および BY と、コラムアドレス信号の最下位ビット Y 0 を受け、各種内部制御信号 RBB 0、RBB 1、RBA 0、RBA 1、SAA、SAB、SEO、SEE、WBB 0、WBB 1、WBA 0、WBA 1、WSEO、WSEE を生成する制御信号発生回路 3 2 を含む。

20

【 0 0 7 1 】

バンクアドレス信号 BX および BY に従って、指定されたバンクに対する制御信号が活性状態とされる。最下位コラムアドレス信号ビット Y 0 は、1 つのバンクに含まれる 2 つのメモリアレイのうちいずれのメモリアレイに先にアクセスするかを示すために用いられる。

30

【 0 0 7 2 】

クロックカウンタ 1 7 は、CAS レイテンシおよびバースト長をカウントするカウンタを含み、指定された動作モードに従って所定のタイミングでカウントアップ信号を生成する。

【 0 0 7 3 】

クロック信号 CLK a、CLK b、CLK c は、外部からクロックバッファ 2 0 を介して入出力される外部クロック信号 ext . CLK に従って内部クロック発生回路 2 2 で生成されるクロック信号である。

【 0 0 7 4 】

同期型半導体記憶装置では、一般に外部から与えられたクロック信号と等しい位相の内部クロック信号に基づき動作が行われる。外部クロック信号をそのまま使用すると、内部回路に伝わるまでの遅延時間があるためデータ授受を外部と行う速度が制限される。したがって、この遅延時間を補償した内部クロックを発生させる内部クロック発生回路 2 2 は、きわめて重要な役割を果たしている。

40

【 0 0 7 5 】

なお、この同期型半導体記憶装置 1 は、外部クロック信号に同期した内部クロック発生回路を搭載する半導体装置の一例である。したがって、本発明の適用できる半導体装置は、半導体記憶装置に限定されるものではない。

【 0 0 7 6 】

[実施の形態 1]

50

図 2 は、本発明の実施の形態 1 の半導体装置 5 0 の構成を示す回路図である。

【 0 0 7 7 】

図 2 では、図 1 で示した半導体装置の例をより簡単な図として表わしている。図 2 を参照して、半導体装置 5 0 は、外部から電源電位 VDD が与えられる端子 6 9 と、内部から接地電位 VSS が与えられる端子 7 0 と、外部から与えられるクロック信号 REF_CLK を受けてクロックを発生し、制御信号 CNT_CK に応じてクロック信号 OUT_CLK を出力するクロック回路 5 2 と、クロック信号 OUT_CLK を受けて所定の動作を行なう内部回路 6 2 とを含む。クロック回路 5 2 は、図 1 における内部クロック発生回路 2 2 に相当する。

【 0 0 7 8 】

クロック回路 5 2 は、クロック信号 REF_CLK から源クロック信号 $SCCLK$ を発生する信号発生回路 5 3 と、制御信号 CNT_CK が活性状態において源クロック信号 $SCCLK$ をノード $N1$ に出力し、制御信号 CNT_CK が非活性状態のときにノード $N1$ を L レベルに固定するクロック供給回路 5 8 と、ノード $N1$ が入力に接続されクロック信号 OUT_CLK を出力するクロックドライバ 6 0 とを含む。

【 0 0 7 9 】

信号発生回路 5 3 は、クロック信号 REF_CLK および帰還クロック信号 FB_CLK を受けて源クロック信号 $SCCLK$ を出力する PLL 回路 5 4 と、源クロック信号 $SCCLK$ を所定の時間分遅延させ帰還クロック信号 FB_CLK を出力するダミー回路 5 6 とを含む。

【 0 0 8 0 】

内部回路 6 2 は、クロック信号 OUT_CLK を受けてデータ取込みおよび保持動作を行なうラッチ回路 6 6 を含む。ラッチ回路 6 6 は、クロック入力ノードにクロック信号 OUT_CLK が与えられ信号 $S1$ をデータとして取込み、信号 $S2$ を出力信号として出力する複数のフリップフロップ 6 8 を含む。

【 0 0 8 1 】

内部回路 6 2 は、ラッチ回路 6 6 以外にも、組合せ回路 6 4 を含む。組合せ回路 6 4 は、保持すべきデータとしてラッチ回路 6 6 へ信号 $S1$ を出力し、ラッチ回路が保持していたデータである信号 $S2$ を受取り、そして所定の動作を行なう。

【 0 0 8 2 】

図 3 は、図 2 に示した PLL 回路 5 4 の構成を示すブロック図である。

図 3 を参照して、 PLL 回路 5 4 は、クロック信号 REF_CLK と帰還クロック信号 FB_CLK との位相を比較し信号 UP 、信号 $DOWN$ を出力する位相比較器 $B12$ と、位相比較器 $B12$ の出力を受けるチャージポンプ $B13$ と、チャージポンプ $B13$ の出力を受け制御電圧 $VCOin$ を出力するループフィルタ $B14$ と、制御電圧 $VCOin$ に応じた源クロック信号 $SCCLK$ を出力する可変発振器 $B15$ とを含む。

【 0 0 8 3 】

図 4 は、図 3 に示した位相比較器 $B12$ の構成を示す回路図である。

図 4 を参照して、位相比較器 $B12$ は、クロック信号 REF_CLK を受け反転するインバータ $B12a$ と、インバータ $B12a$ の出力およびノード NL の電位を受け、その出力がノード Nf に接続される $NAND$ 回路 $B12f$ と、ノード Nf 、 Nr 、および Ng が入力に接続されその出力がノード NL に接続される $NAND$ 回路 $B12L$ と、ノード Nf および Nh が入力に接続されその出力がノード Ng に接続される $NAND$ 回路 $B12g$ と、ノード Ng および Nr が入力に接続されその出力がノード Nh に接続される $NAND$ 回路 $B12h$ と、入力がノード NL に接続され制御信号 UP を出力する直列に接続されたインバータ $B12c$ 、 $B12d$ とを含む。

【 0 0 8 4 】

位相比較器 $B12$ は、さらに、帰還クロック信号 FB_CLK を受けるインバータ $B12b$ と、インバータ $B12b$ の出力とノード Nn の電位を受けてその出力がノード Nk に接続される $NAND$ 回路 $B12k$ と、入力にノード Nj 、 Nr および Nk が接続されその出

10

20

30

40

50

力がノード N_n に接続される $NAND$ 回路 B_{12m} と、ノード N_i および N_k が入力に接続されその出力がノード N_j に接続される $NAND$ 回路 B_{12j} と、入力にノード N_r および N_j が接続されその出力がノード N_i に接続される $NAND$ 回路 B_{12i} と、入力にノード N_g 、 N_f 、 N_k および N_j が接続されその出力がノード N_r に接続される $NAND$ 回路 B_{12n} と、入力がノード N_n に接続され制御信号 $DOWN$ を出力するインバータ B_{12e} とを含む。

【0085】

図5は、図3に示したチャージポンプ B_{13} およびループフィルタ B_{14} の構成を示す回路図である。

【0086】

図5を参照して、チャージポンプ B_{13} は電源電位 V_{DD} が与えられる電源ノードと接地ノードとの間に直列接続された定電流源 B_{13a} 、 P チャネルトランジスタ B_{13b} 、 N チャネルトランジスタ B_{13c} および定電流源 B_{13d} を含む。

【0087】

P チャネルトランジスタ B_{13b} のゲートは制御信号 UP を受け、 N チャネルトランジスタ B_{13c} のゲートは制御信号 $DOWN$ を受ける。 P チャネルトランジスタ B_{13b} と N チャネルトランジスタ B_{13c} との接続ノード N_{13} がチャージポンプ B_{13} の出力ノードとなる。

【0088】

ループフィルタ B_{14} は、チャージポンプ B_{13} の出力ノード N_{13} と接地ノードとの間に直列接続された抵抗 B_{14a} およびキャパシタ B_{14b} とを含む。

【0089】

図6は、図3に示した可変発振器 B_{15} の構成を示す回路図である。

図6を参照して、可変発振器 B_{15} は、制御電圧 V_{COin} を受けて電位 V_P 、電位 V_N を出力する制御電位発生回路 B_{21} と、制御電位 V_P および制御電位 V_N に応じた周波数で発振する発振器 B_{22} と、発振器 B_{22} の出力を受けて源クロック信号 $SCCLK$ を出力するバッファ回路 B_{23} を含む。

【0090】

制御電位発生回路 B_{21} は、ゲートに制御電圧 V_{COin} を受け、ソースが接地電位に結合された N チャネルトランジスタ B_{21c} と、ゲートおよびドレインが N チャネルトランジスタ B_{21c} のドレインと接続され、ソースが電源電位 V_{DD} に結合された P チャネルトランジスタ B_{21a} と、ゲートに N チャネルトランジスタ B_{21c} のドレインの電位を受け、ソースが電源電位 V_{DD} に結合された P チャネルトランジスタ B_{21b} と、ドレインとゲートが P チャネルトランジスタ B_{21b} に接続されそのソースが接地電位と結合される N チャネルトランジスタ B_{21d} とを含む。

【0091】

N チャネルトランジスタ B_{21c} のドレインの電位は制御電位 V_P となり、 P チャネルトランジスタ B_{21b} のドレインの電位は制御電位 V_N となる。

【0092】

発振器 B_{22} は、直列に接続される奇数段の複数のインバータ $B_{221} \sim B_{22k}$ を含む。インバータ B_{22k} の出力は、インバータ B_{221} の入力にフィードバックされている。

【0093】

また、バッファ回路 B_{23} の入力には、インバータ B_{22k} の出力が接続される。

【0094】

インバータ B_{22k} (k は自然数) は、遅延時間を制御することができるインバータであり、制御電位 V_P をゲートに受け、電源電位 V_{DD} が与えられる電源ノードからの電流を制限する P チャネルトランジスタ B_{22ak} と、ゲートに制御電位 V_N を受け接地ノードへ流れ出す電流を制限する N チャネルトランジスタ B_{22dk} と、 P チャネルトランジスタ B_{22ak} のドレインと N チャネルトランジスタ B_{22dk} のドレインとの間に直列接

10

20

30

40

50

続されるPチャネルトランジスタB 2 2 b kおよびNチャネルトランジスタB 2 2 c kとを有する。

【0095】

PチャネルトランジスタB 2 2 b kのゲートとNチャネルトランジスタB 2 2 c kのゲートは接続され、インバータB 2 2 kの入力ノードとなり、PチャネルトランジスタB 2 2 b kのドレインはインバータB 2 2 kの出力ノードとなる。

【0096】

図7は、図2に示したダミー回路56の構成を示す回路図である。

図7を参照して、ダミー回路56は、源クロック信号SCLKを受け帰還クロック信号FBCLKを出力する直列に接続されるインバータ56#1~56#nを含む。ダミー回路56の遅延時間は、源クロック信号SCLKが図2に示すクロック供給回路58、クロックドライバ60および内部回路62までのクロック配線を経由して内部回路62に到達するまでの遅延時間と等しくなるように調整されている。

10

【0097】

この調整は、たとえば、回路シミュレーションによりインバータの段数や大きさを変えて検討することにより容易に実現可能である。また、ダミー回路は、このような直列に接続されるインバータ以外にも、導通状態にしたトランスミッションゲート等を含む回路で実現することもできる。

【0098】

また、ダミー回路56は、LSI全体にクロックを供給するクロックドライバ60に比べると、駆動能力が少なくてもかまわないため、小さなトランジスタで実現できる。したがって、待機時にダミー回路56で消費される電力は、動作時にクロックドライバで消費される電力に比べて非常に小さい。

20

【0099】

図8は、図2に示したクロック回路52の動作を説明するための動作波形図である。

【0100】

図2、図8を参照して、時刻t0~t1における通常の動作時には、制御信号CNTCKはHレベルとなり、源クロック信号SCLKはノードN1に伝えられる。

【0101】

ここで、ダミー回路56の遅延時間は、源クロック信号SCLKが図2に示すクロック供給回路58、クロックドライバ60および内部回路62までのクロック配線を経由して内部回路62に到達するまでの遅延時間と等しくなるように調整されている。

30

【0102】

すると、源クロック信号SCLKからダミー回路56の出力である帰還クロック信号FBCLKまでの遅延時間は、内部回路62に与えられるクロック信号OUTCLKまでの遅延時間と等しいので、帰還クロック信号FBCLKとクロック信号OUTCLKは同じ位相のクロック信号となる。

【0103】

したがって、PLL回路54によってクロック信号REFCLKと帰還クロック信号FBCLKとの位相が等しくなるように同期がとられると、同時に、クロック信号REFCLKとクロック信号OUTCLKとの間の位相も等しくなる。したがって、クロック回路52は、図17に示したクロック発生系と全く同じクロックを発生することができる。

40

【0104】

次に、時刻t1~t2において、制御信号CNTCKをHレベルからLレベルへと立下げると、ノードN1はLレベルに固定され、クロック信号OUTCLKはLレベルに固定された信号となる。つまり、ラッチ回路66へのクロックの供給は停止される。ただし、このときダミー回路56によるフィードバックループによって信号発生回路53は動作状態を維持しているので、クロック信号REFCLKと帰還クロック信号FBCLKとの間の同期は保たれている。

50

【 0 1 0 5 】

L S I が待機状態から動作状態へと再び復帰する場合には、制御信号 C N T . C K は時刻 $t_3 \sim t_4$ において、再び H レベルへと立上げられる。すると、同期されたクロック信号は再びノード N 1 に伝えられ、クロック信号 O U T . C L K としてラッチ回路 6 6 に与えられる。このとき、待機解除直後から、信号 R E F . C L K と同期したクロック信号 O U T . C L K が供給されるため、ラッチ回路 6 6 に誤動作は生じない。

【 0 1 0 6 】

なお、図 8 に示すように、クロック信号 R E F . C L K が L レベルの間に制御信号 C N T . C K を変化させるようにしないと、クロック信号 O U T . C L K に幅の狭いパルスが出力され誤動作を招く恐れがある。したがって、クロック信号 C N T . C K の切替は、図 8

10

【 0 1 0 7 】

このような場合、たとえば、半導体装置 5 0 の外部または内部で、クロック信号 R E F . C L K またはこれに応じたクロック信号によって動作するフリップフロップで制御信号 C N T . C K を一旦受けておけば、切替タイミングを気にせずに制御信号 C N T . C K を切替えることができるようになる。

【 0 1 0 8 】

以上説明したように、実施の形態 1 の半導体装置においては、クロックドライバ 6 0 より消費電力が少ないダミー回路 5 6 によりクロックの同期を維持しつつ、制御信号 C N T . C K によって、クロックドライバ 6 0 の出力を停止状態にするので、待機時における消費電力を極めて少なく抑えることができる。

20

【 0 1 0 9 】

そして、待機時から動作時に復帰する場合において、不安定なクロック信号をラッチ回路に供給することがないので、誤動作を引起こすことなく L S I の消費電力を大きく低減することができる。

【 0 1 1 0 】

また、図 1 8 に示した従来例の回路と比べて、選択回路 S E L を持たないため、より少ないトランジスタ数での回路の実現が可能となる。さらに、内部のラッチに使用されるクロック信号と外部から与えられるクロック信号との位相差を少なくする面でも有利である。

【 0 1 1 1 】

なお、実施の形態 1 ではクロックの制御スイッチとして A N D 回路によるスイッチを用いたが、N A N D 回路やトランスミッションゲートを用いたセレクト回路などでも実現することは可能である。

30

【 0 1 1 2 】

[実施の形態 2]

図 9 は、実施の形態 2 の半導体装置 1 0 0 の概略的な構成を示す回路図である。

【 0 1 1 3 】

図 9 を参照して、半導体装置 1 0 0 は、チップ内部で主電源線に接続され電源電位を内部に供給するための端子 6 9 に加えて、チップ内部で第 1 の副電源線に接続され P L L 回路 5 4 に電源電位を供給するための端子 1 0 2 と、チップ内部で第 2 の副電源線に接続されダミー回路 5 6 に電源電位を供給するための端子 1 0 4 とをさらに備える点が図 2 に示した半導体装置 5 0 と異なる。他の構成は、実施の形態 1 の半導体装置 5 0 と同様であるので説明は繰返さない。

40

【 0 1 1 4 】

電源端子 1 0 2 および 1 0 4 には、それぞれ制御信号 C N T . V D に応じて導通するスイッチ 1 0 6 、 1 0 8 によって電源電位 V D D が与えられる。

【 0 1 1 5 】

図 1 0 は、図 9 に示した半導体装置 1 0 0 の動作を説明するための動作波形図である。

【 0 1 1 6 】

図 1 0 を参照して、時刻 $t_0 \sim t_1$ において、半導体装置 1 0 0 は動作状態にある。スイ

50

ッチ 106 および 108 は導通状態にあり、PLL 回路 54 およびダミー回路 56 には電源電位が供給されている。内部回路 62 には、外部からのクロック信号 REF・CLK と同期したクロック信号 OUT・CLK が与えられている。

【0117】

次に、時刻 $t_1 \sim t_2$ において、制御信号 CNT・CK が H レベルから L レベルへと立下がり、クロック信号 OUT・CLK は L レベルに固定される。したがって、内部回路 62 は待機状態となる。フリップフロップ 68 は、クロック入力信号が L レベルに固定されると、そのとき保持しているデータを保持し続けることができるような構成を有している。したがって、待機状態においてラッチ回路 66 に含まれているすべてのフリップフロップはデータを保持しており、内部回路 62 は、そのときの動作状態を保持することができる。

10

【0118】

時刻 $t_2 \sim t_3$ において、制御信号 CNT・VD が H レベルから L レベルへと立下がり、電源端子 102、104 にそれぞれ接続されているスイッチ 106、108 は非導通状態となる。したがって、PLL 回路 54 が発生する源クロック信号 SCLK は出力されなくなり、帰還クロック信号 FB・CLK も L レベルに固定される。したがって、時刻 $t_3 \sim t_4$ においては、内部回路 62 に加えて、クロック回路 52 も非動作状態となり、半導体装置 100 の消費電力は一層少なく抑えることができる。

【0119】

一般に、PLL 回路は、通常のロジック回路に比べて定常的な電流が流れるため、このような構成とすることで待機時の消費電力の低減に大きな効果がある。また、ダミー回路 56 を初めとするロジック回路も内部ノードが固定されている非動作状態にあっても非導通状態のトランジスタに微小リーク電流が流れるため、このような構成とすることによりリーク電流もなくすことができ消費電力が一層低減される。

20

【0120】

次に、待機状態から動作状態に復帰する際の説明をする。

時刻 $t_4 \sim t_5$ において、まず制御信号 CNT・VD が L レベルから H レベルへと立上がり端子 102、104 に再び電源電位が供給される。応じて PLL 回路 54 は源クロック信号 SCLK の出力を開始し、クロック回路 52 は一定時間経過後にクロック信号 REF・CLK に同期して動作するようになる。

30

【0121】

時刻 $t_5 \sim t_6$ において、制御信号 CNT・CK を L レベルから H レベルへと立上げると、クロック供給回路 58 の出力が活性化されるため、再びクロック信号 OUT・CLK が内部回路 62 に与えられる。そして、内部回路 62 は動作状態に復帰する。

【0122】

このような構成とすることにより、待機状態における PLL 回路 54 およびダミー回路 56 の電流を低減することができるため、実施の形態 1 に示した半導体装置 50 よりもさらに消費電力を低減することができる。

【0123】

なお、実施の形態 2 においては、PLL 回路 54 およびダミー回路に対する電源電位の供給を他の回路と独立に制御するため端子 102、104 を設けたが、これらは 1 つにまとめた端子であってもよい。また、電源電位の供給を制御する代わりに、接地電位の供給を制御する端子を端子 70 と別に設けてもよい。もちろん、電源電位および接地電位の両方の供給を同時に制御しても構わない。

40

【0124】

[実施の形態 3]

図 11 は、実施の形態 3 の半導体装置 120 の構成を示す回路図である。

【0125】

図 11 を参照して、半導体装置 120 は、端子 102、104 およびクロック回路 52 に代えて、クロック回路 122 を含む点が図 9 に示した半導体装置 100 と異なる。クロッ

50

ク回路 1 2 2 は、信号発生回路 5 3 に代えて信号発生回路 1 2 3 を含む。

【 0 1 2 6 】

半導体装置 1 2 0 の他の部分の構成は、図 9 に示した半導体装置 1 0 0 と同様であるので、説明は繰返さない。

【 0 1 2 7 】

信号発生回路 1 2 3 は、制御信号 / C N T . V D に応じて P L L 回路 5 4 に対する電源電位の供給を制御するトランジスタ 1 2 4 と、制御信号 / C N T . V D に応じてダミー回路 5 6 に対する電源電位の供給を制御するトランジスタ 1 2 6 とをさらに含む点が図 9 に示した信号発生回路 5 3 と異なる。トランジスタ 1 2 4 は、端子 6 9 に接続される主電源線と P L L 回路 5 4 に電源電流を供給する第 1 の副電源線との間に設けられる。トランジスタ 1 2 6 は、端子 6 9 に接続される主電源線とダミー回路 5 6 に電源電流を供給する第 2 の副電源線との間に設けられる。

10

【 0 1 2 8 】

他の構成は図 9 に示した信号発生回路 5 3 と同様であるので、説明は繰返さない。

【 0 1 2 9 】

このような構成とすることにより、実施の形態 2 の半導体装置 1 0 0 と同様の効果を得られ、かつ、トランジスタ 1 2 4、1 2 6、P L L 回路 5 4 およびダミー回路 5 6 を同一のチップ上に集積することが可能となる。したがって、半導体装置を搭載するプリント基板をよりコンパクトなものにすることが可能となる。

【 0 1 3 0 】

20

なお、実施の形態 3 では、スイッチとしてのトランジスタ 1 2 4、1 2 6 をそれぞれ P L L 回路 5 4、ダミー回路 5 6 の電源電位の供給の制御のために設けたが、P L L 回路 5 4、ダミー回路 5 6 の接地電位の供給を制御するためにトランジスタを設けても構わない。この場合は、トランジスタを N チャネル M O S トランジスタとするとよい。また、P L L 回路 5 4 とダミー回路 5 6 とに対応するトランジスタを別々に設けたが、これらはまとめた 1 つのトランジスタとしても構わない。もちろん、電源側と接地側にそれぞれトランジスタを設け、電源電位の供給と接地電位の供給とを同時に制御しても構わない。

【 0 1 3 1 】

[実施の形態 4]

図 1 2 は、実施の形態 4 の半導体装置 1 4 0 の構成を示す回路図である。

30

【 0 1 3 2 】

図 1 2 を参照して、半導体装置 1 4 0 は、端子 6 9、7 0 に加えて端子 1 4 2、1 4 4 を備える点が、図 2 に示した半導体装置 5 0 と異なる。端子 6 9 は、ラッチ回路 6 6 に含まれるすべてのフリップフロップの電源電位を供給する主電源線に外部から電源電位を与えるための端子である。一方、端子 1 4 2 は、P L L 回路 5 4、クロック供給回路 5 8、ダミー回路 5 6、クロックドライバ 6 0 および組合せ回路 6 4 に電源電位を供給するためのサブ電源線 1 5 0 に対して電源電位を与えるために設けられる。端子 1 4 4 は、ラッチ回路 6 6 に与えられるクロック信号 O U T . C L K を待機状態において接地電位に固定しておくために設けられる端子である。端子 1 4 4 にはスイッチ 1 4 8 によって接地電位 V S S が与えられる。端子 1 4 2 には、スイッチ 1 4 6 によって電源電位 V D D が与えられる。

40

【 0 1 3 3 】

次に、半導体装置 1 4 0 の動作について説明する。

動作状態においては、スイッチ 1 4 6 は導通状態、スイッチ 1 4 8 は非導通状態に設定される。動作状態から待機状態に移行する際には、まず、制御信号 C N T . C K を H レベルから L レベルへと立下げることによってクロック信号 O U T . C L K を L レベルに固定し、内部回路 6 2 を待機状態にした後、スイッチ 1 4 8 を導通させる。これにより、信号 O U T . C L K は L レベルに固定された信号となる。次に、スイッチ 1 4 6 を非導通状態とする。すると、ラッチ回路 6 6 以外のすべての回路が電源から切り離されるため消費電力が低減される。このとき、ラッチ回路 6 6 には端子 6 9 から供給される電源電位が与えら

50

れており、ラッチ回路 66 のクロックノードは接地電位 V_{SS} に固定されているため、ラッチ回路が保持しているデータは破壊されない。

【0134】

次に、待機状態から動作状態に復帰する際の説明をする。

まず、スイッチ 146 を導通状態とした後に、スイッチ 148 を非導通状態とし、PLL 回路 54 が同期した後に制御信号 $CNT \cdot CK$ を H レベルとし、内部回路 62 に対して同期したクロックの供給を行なう。

【0135】

なお、実施の形態 4 では、端子 142 を設け、スイッチ 146 により待機時にラッチ回路 66 以外のすべての回路への電源の供給を停止する例について説明したが、ラッチ回路 66 以外のすべての回路に対する接地電位の供給を制御してもよく、このため端子 70 と別に端子を設けてスイッチにより制御しても構わない。もちろん、電源電位と接地電位との供給の両方を同時に制御しても同様の効果を得ることができる。さらに、スイッチ 148 に関しては、ラッチ回路 66 がクロックノードが H レベルの状態ではデータが破壊されないのであれば、接地電位 V_{SS} を与えてクロック信号 $OUT \cdot CLK$ を固定する代わりに、電源電位 V_{DD} を与えて固定しても同様に効果は得られる。

【0136】

[実施の形態 5]

図 13 は、実施の形態 5 の半導体装置 160 の構成を示す回路図である。

【0137】

図 13 を参照して、半導体装置 160 は、端子 142、144 に代えて、トランジスタ 162、164 を含む点が図 12 に示した半導体装置 140 と異なる。他の部分の構成は図 12 に示した半導体装置 140 と同様であるので説明は繰返さない。

【0138】

トランジスタ 162 は、P チャネル MOS トランジスタであり、電源電位 V_{DD} が与えられる電源ノードとサブ電源線 150 の間に接続され、ゲートには制御信号 $CNT \cdot V_2$ が与えられる。

【0139】

トランジスタ 164 は、N チャネル MOS トランジスタであり、接地電位 V_{SS} が与えられる接地ノードとクロック信号 $OUT \cdot CLK$ が与えられるクロックノードとの間に接続され、ゲートには制御信号 $CNT \cdot F$ が与えられる。

【0140】

実施の形態 5 の半導体装置 160 は、実施の形態 4 に示した半導体装置 140 において、外部に設けられるスイッチ 146 を半導体装置内部に設けられるトランジスタ 162 に置換え、また、スイッチ 148 をトランジスタ 164 に置換えたものであり、動作は実施の形態 4 の場合と同様であるため、説明は繰返さない。

【0141】

このような構成とすることにより、実施の形態 4 の場合と同様な効果が得られ、かつ、PLL 回路 54、ダミー回路 56、クロック供給回路 58、クロックドライバ 60、ラッチ回路 66、ラッチ回路以外の回路である組合せ回路 64 およびトランジスタ 162、164 を同一のチップ上に集積することが可能になる。なお、実施の形態 5 では、P チャネル MOS トランジスタによるスイッチであるトランジスタ 162 をラッチ回路 66 以外の全回路に電源電位を供給する制御を行なうために設けた場合を説明したが、ラッチ回路 66 以外の全回路に接地電位を供給する制御を行なってもよい。この場合は、トランジスタを N チャネル MOS トランジスタにするのが好ましい。また、ラッチ回路 66 以外の全回路への電源電位の供給および接地電位の供給を同時に制御しても同様の効果を得ることができる。

【0142】

さらに、ラッチ回路 66 がクロックノードが H レベルの状態ではデータが破壊されないのであれば、待機時に接地電位 V_{SS} を与える代わりに電源電位 V_{DD} をクロックノードに与

10

20

30

40

50

えて固定しても構わない。この場合は、NチャネルMOSトランジスタ164をPチャネルMOSトランジスタに置換えて同様な効果を得ることができる。

【0143】

[実施の形態6]

図14は、実施の形態6の半導体装置200の構成を示す回路図である。

【0144】

図14を参照して、半導体装置200は、クロック回路52に代えて、クロック回路252を含み、内部回路62に代えて内部回路262を含む点が図2に示した実施の形態1の半導体装置50と異なる。他の構成は半導体装置50と同様であるので説明は繰返さない。

10

【0145】

クロック回路252は、クロック供給回路58に代えて、クロック供給回路258を含み、クロックドライバ60に代えて、クロックドライバ260を含む点が図2に示したクロック回路52と異なる。他の構成は、クロック回路52と同様であるため説明は繰返さない。

【0146】

内部回路262は、ラッチ回路66に代えてラッチ回路266を含み、組合せ回路64に代えて組合せ回路264を含む点が図2に示した内部回路62と異なる。

【0147】

ここで、領域270について説明する。領域270は、クロック供給回路258、クロックドライバ260、内部回路262を含む。領域270に含まれる各回路は、バックゲートに逆バイアスを与えることができるトランジスタによって構成される。すなわち、各々のMOSトランジスタにおいて、バックゲートに与える電位を切換えることが可能になっている。つまり、PチャネルMOSトランジスタの場合は電源電位以上の所定の電位と電源電位とを切換えてバックゲートに与える。また、NチャネルMOSトランジスタにおいては、バックゲートに与える電位を接地電位と負の電位とで切換えることが可能になっている。

20

【0148】

図15は、図14におけるクロック供給回路258の構成を示す回路図である。

【0149】

図15を参照して、クロック供給回路258はAND回路であり、ソースが接地電位VSSに結合されゲートに制御信号CNT、CKが与えられるNチャネルMOSトランジスタ278と、ソースにNチャネルMOSトランジスタ278のドレインが接続されゲートに源クロック信号SCLKが与えられるNチャネルMOSトランジスタ276と、ソースが電源電位VDDと結合されドレインがNチャネルMOSトランジスタ276のドレインと接続されゲートに制御信号CNT、CKが与えられるPチャネルMOSトランジスタ272と、ソースが電源電位VDDに結合されドレインがNチャネルMOSトランジスタ276のドレインと接続されゲートに源クロック信号SCLKが与えられるPチャネルMOSトランジスタ274とを含む。

30

【0150】

クロック供給回路258は、さらに、PチャネルMOSトランジスタ272、274のバックゲートに電源電位VDDと電源電位VDDよりもさらに高い電源電位VDD2とのいずれかを選択的に与えるスイッチ回路280と、NチャネルMOSトランジスタ276、278のバックゲートに接地電位VSSと接地電位よりもさらに低い負電位VBBとのいずれかを選択的に与えるスイッチ回路282とを含む。

40

【0151】

例として、クロック供給回路258のトランジスタによる回路図を示したが、クロックドライバ260、組合せ回路264およびラッチ回路266も、それぞれが含んでいるトランジスタのバックゲートは動作時と待機時で切換えて与えられるようになっている。

【0152】

50

次に、動作を説明する。

再び、図 14 を参照して、まず、領域 270 に含まれる回路の P チャンネル MOS トランジスタのバックゲートには電源電位が与えられている。

【0153】

動作状態から待機状態に移行する際には、まず制御信号 CNT、CK を L レベルに立下げてクロック信号 OUT、CLK を L レベルに固定した後に、領域 270 に含まれる P チャンネル MOS トランジスタのバックゲートに電源電位より高い電位を与える。さらに、領域 270 に含まれる N チャンネル MOS トランジスタのバックゲートには負電位を与える。つまり、領域 270 に含まれる P チャンネル MOS トランジスタ、N チャンネル MOS トランジスタはともにバックゲートに逆バイアスがかかった状態にされる。

10

【0154】

一般的に、トランジスタはバックゲートに逆バイアスがかかると、基板効果によってしきい値電圧が上昇する。ここで、逆バイアスがかかった状態とは P チャンネル MOS トランジスタの場合にはチャンネルが形成される基板部分、すなわちバックゲートの電位がソースよりも高い状態をいう。しきい値電圧が上昇すれば、トランジスタの非動作時におけるリーク電流は減少する。このため、待機状態におけるクロック供給回路 258、クロックドライバ 260、ラッチ回路 266、組合せ回路 264 のトランジスタのリーク電流が小さくなり、消費電力が低減される。

【0155】

次に、待機状態から動作状態に復帰する際には、まず、領域 270 に含まれる P チャンネル MOS トランジスタおよび N チャンネル MOS トランジスタのバックゲート電位をそれぞれ電源電位 VDD および接地電位 VSS に戻し、しきい値電圧を元の大きさに戻す。そして、PLL 回路 54 が同期した後に制御信号 CNT、CK を H レベルに立上げ、同期したクロックの供給を内部回路 262 に行なう。

20

【0156】

このような構成とすることにより、待機状態においてリーク電流を低減することができるため、実施の形態 1 の場合よりも消費電力をさらに低減することができる。

【0157】

なお、実施の形態 6 で説明した構成に実施の形態 2 および実施の形態 3 で説明した構成を重ねて適用することによって、待機時に PLL 回路 54 とダミー回路 56 の動作を停止させ、さらに消費電力を低減させることも可能である。この場合の動作は、制御信号 CNT、CK を H レベルから L レベルに立下げることによりクロックの供給を停止した後、PLL 回路 54 とダミー回路 56 への電源電位の供給を停止し、さらに領域 270 に含まれるトランジスタのバックゲートに逆バイアスをかける。この、電源を切り離す動作とバックゲートに逆バイアスをかける動作はどちらを先に行なっても構わない。

30

【0158】

次に、待機状態から動作状態へと復帰する際には、PLL 回路 54 とダミー回路 56 に電源の供給を開始した後に、領域 270 に含まれるトランジスタのバックゲートの電位を元に戻す。すなわち、P チャンネル MOS トランジスタのバックゲートの電位を電源電位にし、N チャンネル MOS トランジスタのバックゲートの電位を接地電位 VSS に戻す。

40

【0159】

そして、制御信号 CNT、CK を H レベルに立上げて内部回路 262 にクロックの供給を行なう。PLL 回路 54 およびダミー回路 56 に電源の供給を開始する動作と領域 270 に含まれるトランジスタのバックゲートの電位を元に戻す動作はどちらを先に行なっても構わない。

【0160】

また、実施の形態 6 では、P チャンネル MOS トランジスタのバックゲートに逆バイアスがかかった状態を作り出すのにソースに電源電位を与え、バックゲートに電源電位よりさらに高い電位を与えたが、他の方法でもトランジスタに逆バイアスがかかった状態を作り出すことができる。たとえば、(a) P チャンネル MOS トランジスタのバックゲートを電源

50

電位にしておいて、ソースの電位を電源電位より低くする。(b)バックゲートとソースの電位は電源電位より大きく、かつ、バックゲートの方が電位が高い状態にする。(c)バックゲートとソースの電位は電源電位よりも低くし、バックゲートの電位を電源電位より高くする。などが考えられる。

【0161】

また、NチャネルMOSトランジスタのバックゲートに逆バイアス进行ける場合は、(e)NチャネルMOSトランジスタのバックゲートに接地電位を与え、かつ、ソースの電位を接地電位より高くする。(f)バックゲートとソースの電位は接地電位より低くし、かつバックゲートの方がソースよりも電位が低い状態にする。(g)バックゲートとソースの電位は接地電位より高く設定し、かつ、バックゲートの電位の方がソースよりも電位が低い状態とする。(h)ソースの電位を接地電位よりも高くし、バックゲートの電位を接地電位より低くする。等種々の方法が考えられ、いずれの場合でも構わない。

10

【0162】

[実施の形態7]

図16は、実施の形態7の半導体装置300の構成を示す回路図である。

【0163】

図16を参照して、半導体装置300は、クロック回路52に代えてクロック回路352を含む点が図2に示した半導体装置50と異なる。クロック回路352は、信号発生回路53に代えて信号発生回路353を含む。他の構成は半導体装置50と同様であるため説明は繰返さない。

20

【0164】

信号発生回路353は、スイッチ回路304、302をさらに含む点が、図2に示した信号発生回路53と異なる。スイッチ回路302は、源クロック信号SCLKをダミー回路の入力ノードであるノードN2、または、ノードN4のいずれかに選択的に与える。スイッチ回路304は、ダミー回路の出力ノードであるノードN3、または、ノードN4のいずれかから信号を受け、帰還クロック信号FBCLKとしてPLL回路54に与える。他の構成は、図2に示した信号発生回路53と同様であるため説明は繰返さない。

【0165】

次に、動作を説明する。

動作状態においては、スイッチ302はノードN2に接続され、スイッチ304はノードN3に接続されている。

30

【0166】

動作状態から待機状態に移行する際には、まず制御信号CNTCKを立下げることにより内部回路62を待機状態とした後に、スイッチ302および304をノードN4に接続する。こうすることにより、PLL回路54はダミー回路56を経由せずにロックする。しかしながらこの状態では、ダミー回路56の遅延時間が考慮されていないため、PLL回路54は、ロック状態において、クロック信号REFCLKに対して周波数は同じになるがダミー回路56の遅延時間分だけ位相オフセットを持つクロック信号OUTCLKを出力するような状態にある。

40

【0167】

次に、待機状態から動作状態に復帰する際には、切換スイッチ302をノードN2に接続し、切換スイッチ304をノードN3に接続する。そして、正常な同期クロックが得られた後に制御信号CNTCKを再び立上げることにより内部回路62にクロック信号を供給し動作状態に復帰する。

【0168】

このような構成とすることにより、待機状態においてダミー回路56が動作しないため、実施の形態1の場合と比べて待機状態の消費電力がさらに低減できる。また、実施の形態2の場合と比べると、待機時においても外部から入力されるクロック信号REFCLKと同じ周波数でPLL回路はロックしているために待機状態から復帰する場合にPLL回路54が完全にロックするまでの時間が短くなり、待機状態から通常の動作状態に素早く

50

復帰することができる。

【 0 1 6 9 】

以上実施の形態 1 ～ 実施の形態 7 においては、クロックの同期回路として P L L 回路を用いた例を示したが、D L L (Delay Locked Loop) 回路など他のクロック同期回路を内蔵する場合にも適用が可能である。

【 0 1 7 0 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

10

【 0 1 7 1 】

【発明の効果】

請求項 1 ～ 3 に記載の半導体装置は、クロックドライバより消費電力が少ないダミー回路によりクロックの同期を維持しつつ、クロックドライバを停止状態にするので、待機時における消費電力を極めて少なく抑えることができる。そして、待機時から動作時に復帰する場合において、不安定なクロック信号をラッチ回路に供給することがないので、誤動作を引起すことがない。また、内部のラッチに使用されるクロック信号と外部から与えられるクロック信号との位相差を少なくする面でも有利である。

【 0 1 7 2 】

請求項 4 ～ 5 に記載の半導体装置は、請求項 1 に記載の半導体装置が奏する効果に加えて、クロックドライバを簡単な構成で停止状態にすることができる。

20

【 0 1 7 3 】

請求項 6 に記載の半導体装置は、請求項 1 に記載の半導体装置が奏する効果に加えて、外部クロックに同期したクロック信号を発生できる。

【 0 1 7 4 】

請求項 7 ～ 8 に記載の半導体装置は、待機時の消費電力を少なくすることができる。

【 0 1 7 5 】

請求項 9 に記載の半導体装置は、請求項 7 に記載の半導体装置が奏する効果に加えて、半導体装置を実装するプリント基板を簡単にすることができる。

【 0 1 7 6 】

30

請求項 10 ～ 11 に記載の半導体装置は、請求項 7 に記載の半導体装置が奏する効果に加えて、さらに、待機時の消費電力を少なくすることができる。

【 0 1 7 7 】

請求項 12 に記載の半導体装置は、請求項 10 に記載の半導体装置が奏する効果に加えて、半導体装置を実装するプリント基板を簡単にすることができる。

【 0 1 7 8 】

請求項 13 に記載の半導体装置は、請求項 10 に記載の半導体装置が奏する効果に加えて、待機時にラッチ回路のデータ保持を確実にできる。

【 0 1 7 9 】

請求項 14 ～ 16 に記載の半導体装置は、待機状態においてリーク電流を低減することができるため、消費電力を低減することができる。

40

【 0 1 8 0 】

請求項 17 に記載の半導体装置は、待機状態の消費電力を低減できる。また、待機状態から復帰する場合に P L L 回路 54 が完全にロックするまでの時間が短くなり、待機状態から通常の動作状態に素早く復帰することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態の半導体装置の例である同期型半導体記憶装置 1 の構成を示すブロック図である。

【図 2】 本発明の実施の形態 1 の半導体装置 50 の構成を示す回路図である。

【図 3】 図 2 に示した P L L 回路 54 の構成を示すブロック図である。

50

【図４】 図３に示した位相比較器Ｂ１２の構成を示す回路図である。

【図５】 図３に示したチャージポンプＢ１３およびループフィルタＢ１４の構成を示す回路図である。

【図６】 図３に示した可変発振器Ｂ１５の構成を示す回路図である。

【図７】 図２に示したダミー回路５６の構成を示す回路図である。

【図８】 図２に示したクロック回路５２の動作を説明するための動作波形図である。

【図９】 実施の形態２の半導体装置１００の概略的な構成を示す回路図である。

【図１０】 図９に示した半導体装置１００の動作を説明するための動作波形図である。

【図１１】 実施の形態３の半導体装置１２０の構成を示す回路図である。

【図１２】 実施の形態４の半導体装置１４０の構成を示す回路図である。

【図１３】 実施の形態５の半導体装置１６０の構成を示す回路図である。

【図１４】 実施の形態６の半導体装置２００の構成を示す回路図である。

【図１５】 図１４におけるクロック供給回路２５８の構成を示す回路図である。

【図１６】 実施の形態７の半導体装置３００の構成を示す回路図である。

【図１７】 従来の半導体装置５００の構成を概略的に示す図である。

【図１８】 特開平７－２０２６８７号公報に記載されたクロック回路４００の構成を示す回路図である。

【図１９】 図１８に示したクロック回路４００の動作を説明するための動作波形図である。

【符号の説明】

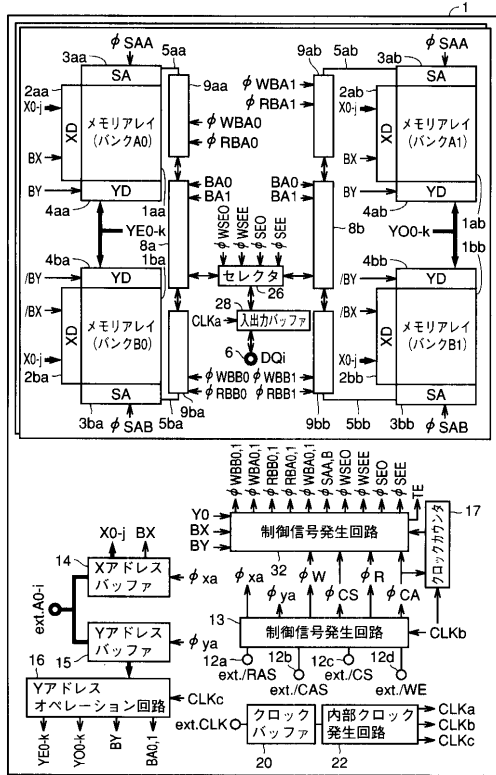
１，５０，１２０，１４０，１６０，２００，３００ 半導体装置、５２，１２２，２５２，３５２ クロック回路、５３，１２３，３５３ 信号発生回路、５４ ＰＬＬ回路、５６ ダミー回路、５８，２５８ クロック供給回路、６０，２６０ クロックドライバ、６２，２６２ 内部回路、６４，２６４ 組合せ回路、６６，２６６ ラッチ回路、６８，２６８ フリップフロップ、６９，７０，１０２，１０４，１４２，１４４ 端子、１００ 半導体装置、１０６，１０８，１４６，１４８ スイッチ、１２４，１２６，１６２，１６４ トランジスタ、２７０ 領域、ＳＣＬＫ 源クロック信号、ＦＢ．ＣＬＫ 帰還クロック信号、ＲＥＦ．ＣＬＫ，ＯＵＴ．ＣＬＫ クロック信号、ＣＮＴ．ＣＫ，ＣＮＴ．ＶＤ，／ＣＮＴ．ＶＤ 制御信号、２７２，２７４ ＰチャネルＭＯＳトランジスタ、２７６，２７８ ＮチャネルＭＯＳトランジスタ、２８０，２８２ スイッチ回路、３０２，３０４ スイッチ回路、Ｎ１～Ｎ４ ノード、Ｂ１２ 位相比較器、Ｂ１３ チャージポンプ、Ｂ１４ ループフィルタ、Ｂ１５ 可変発振器。

10

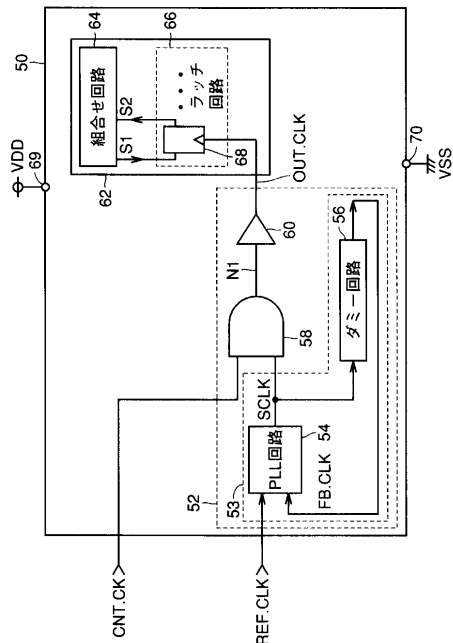
20

30

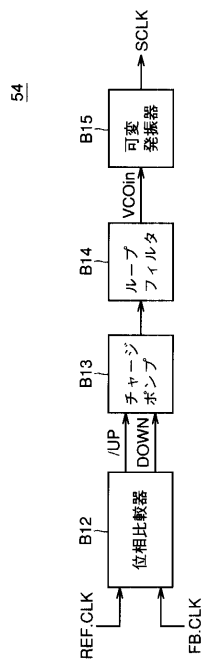
【図 1】



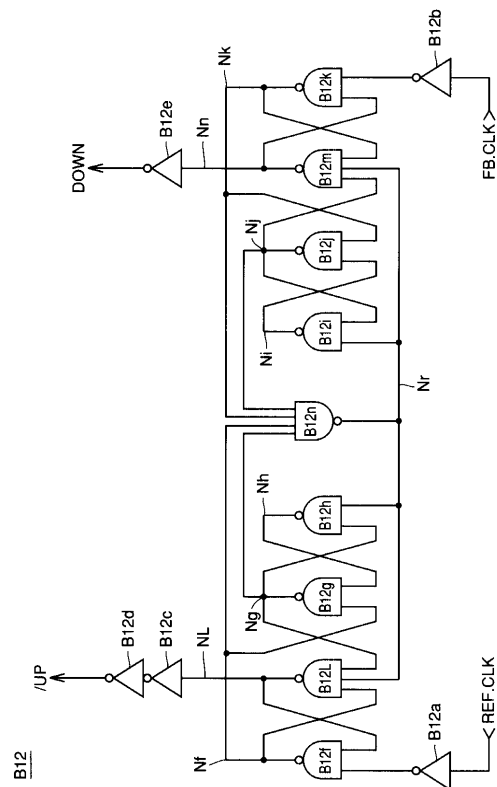
【図 2】



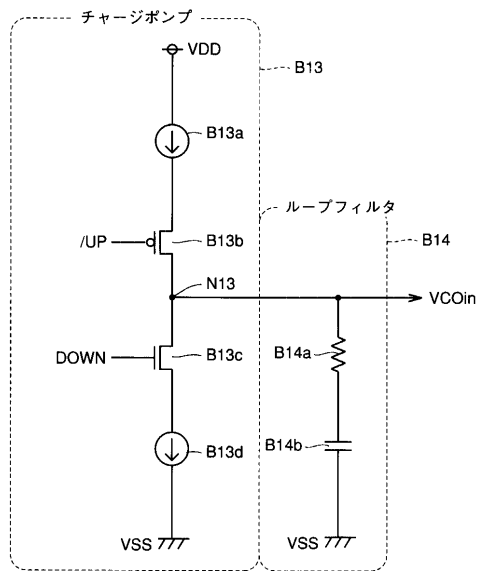
【図 3】



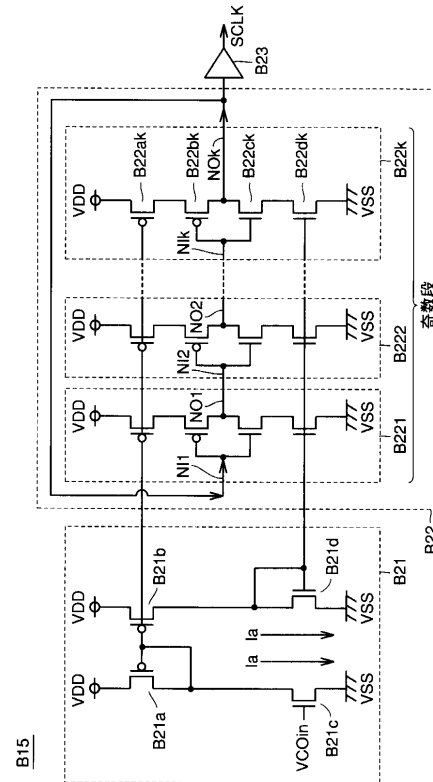
【図 4】



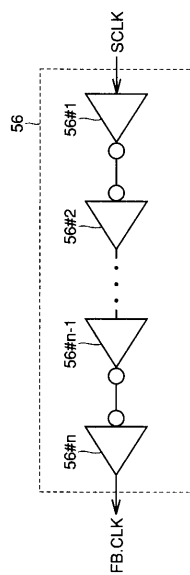
【図 5】



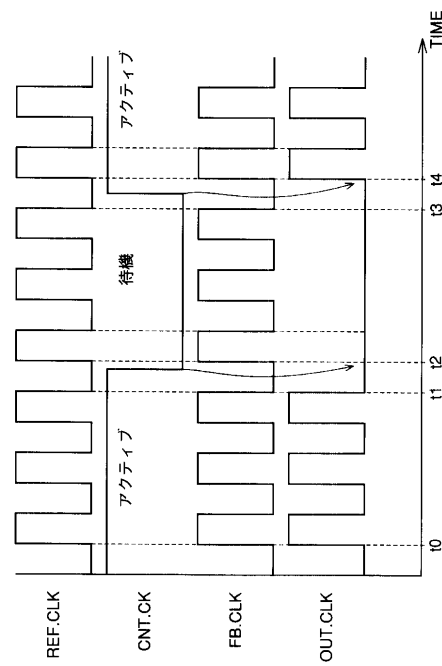
【図 6】



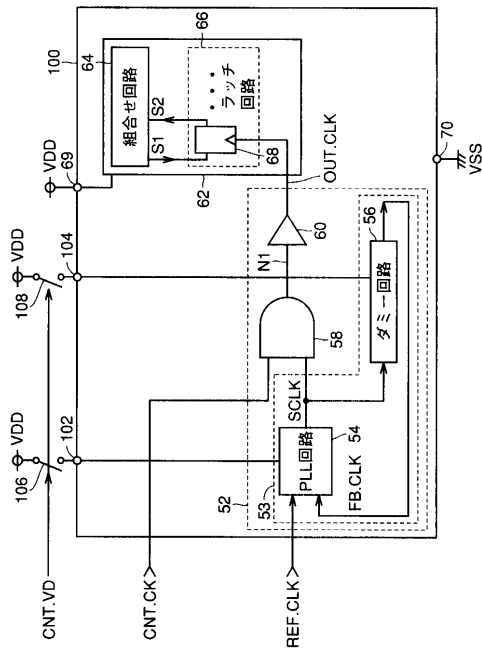
【図 7】



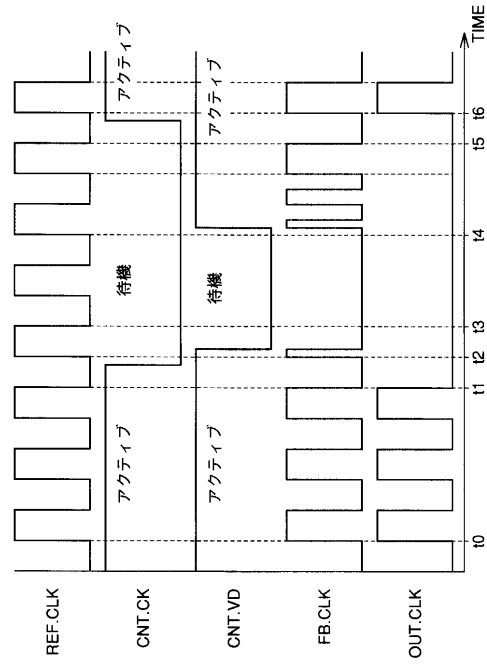
【図 8】



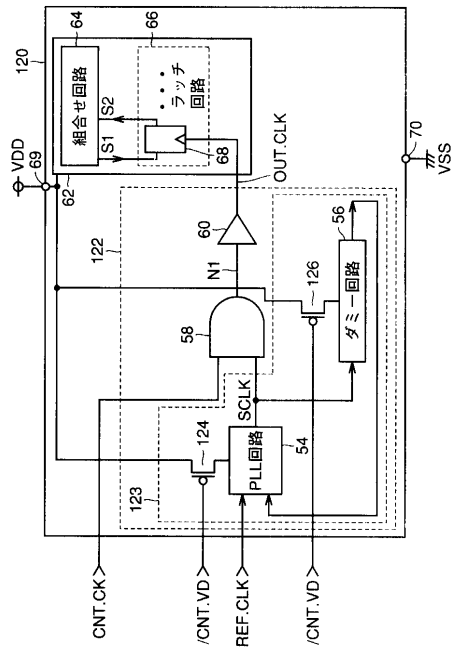
【図 9】



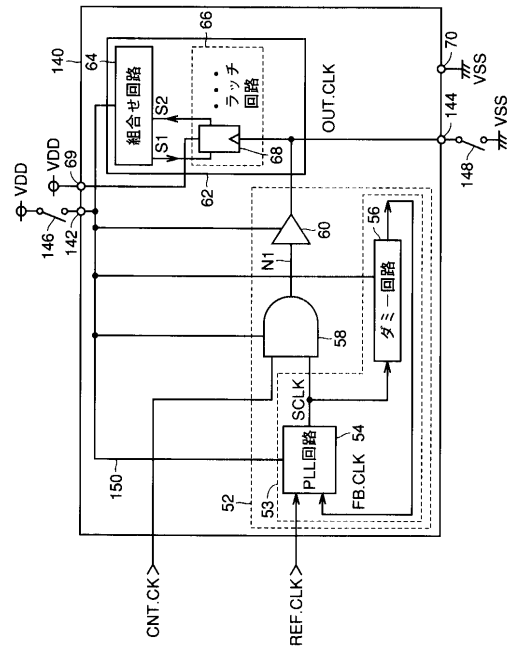
【図 10】



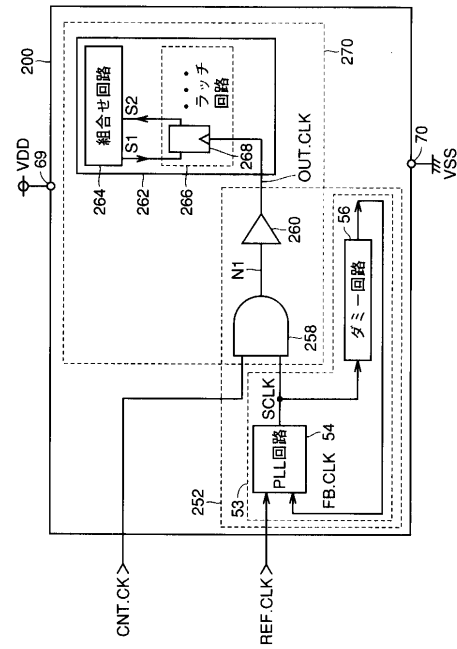
【図 11】



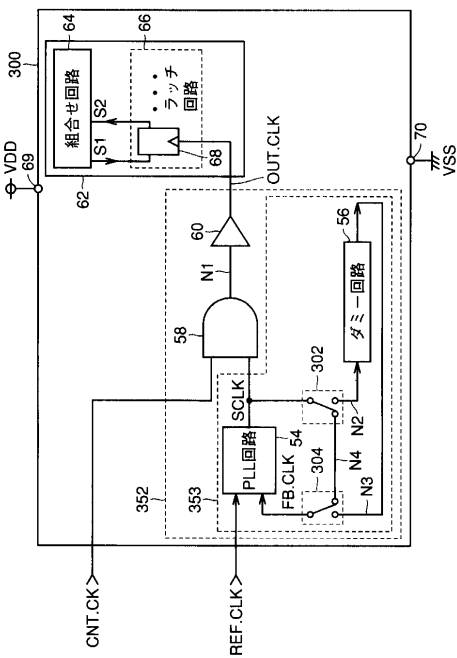
【図 12】



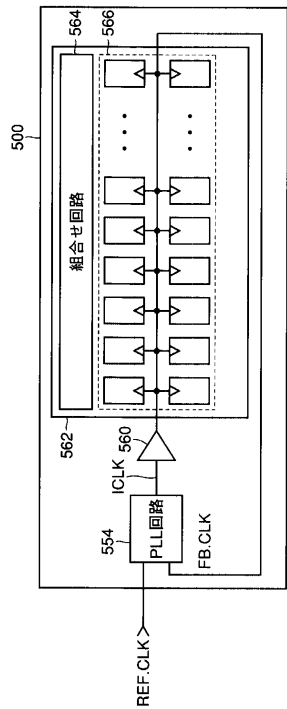
【 図 1 4 】



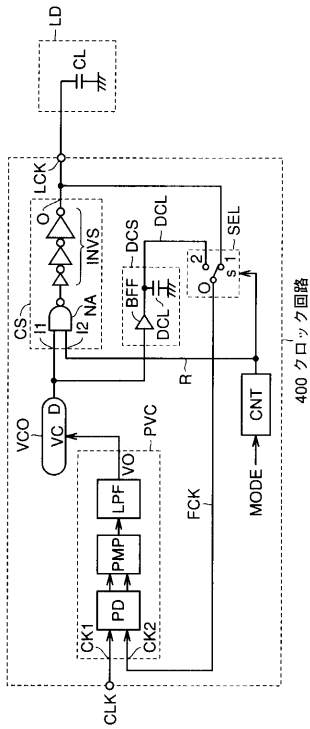
【 図 1 6 】



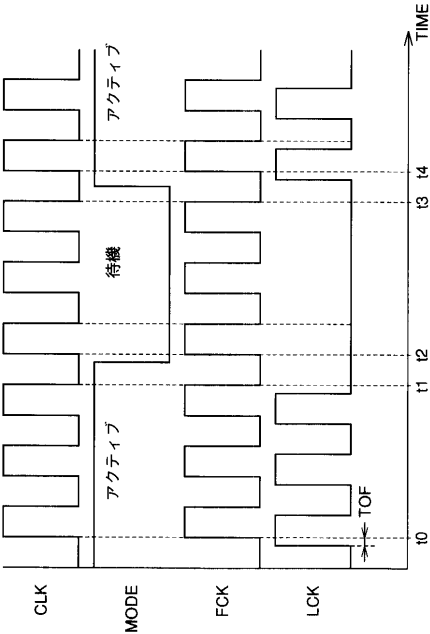
【図 17】



【図 18】



【図 19】



フロントページの続き

- (72)発明者 中西 甚吾
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 牧野 博之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 吉村 勉
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 須原 宏光

- (56)参考文献 特開平08-023272(JP,A)
特開平06-085663(JP,A)
特開平11-055091(JP,A)
特開平01-206725(JP,A)
国際公開第97/032399(WO,A1)
国際公開第98/022863(WO,A1)
特開平05-108194(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- G11C 11/401-56
H03K3/00-22
H03K3/26-36
H03K19/098-23