

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年1月18日(2018.1.18)

【公表番号】特表2017-501493(P2017-501493A)

【公表日】平成29年1月12日(2017.1.12)

【年通号数】公開・登録公報2017-002

【出願番号】特願2016-539910(P2016-539910)

【国際特許分類】

G 06 F 13/38 (2006.01)

G 06 F 13/42 (2006.01)

【F I】

G 06 F 13/38 3 3 0 Z

G 06 F 13/38 3 5 0

G 06 F 13/42 3 4 0 B

【手続補正書】

【提出日】平成29年12月1日(2017.12.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

レシーバデバイスによって実行される方法であって、  
複数のシンボルを共有バスを介して受信するステップと、  
前記複数のシンボルのシンボル間遷移の中に埋め込まれたクロック信号を抽出するステップであって、前記シンボルは、2つの連続シンボルが同じ値を有しないようにクロックサイクルごとに遷移する、ステップと、

前記複数のシンボルを複数の遷移番号に変換するステップであって、各遷移番号は、現在のシンボルと直前にくるシンボルとの差を表し、2つの引き続く遷移番号は、同じ値を有し得る、ステップと、

前記複数の遷移番号をデータビットに変換するステップと、

前記データビットの少なくとも一部分を1つまたは複数のレジスタに、前記クロック信号のみを使用して、記憶するステップと  
を備える方法。

【請求項2】

前記レシーバデバイスは、前記共有バスに接続された他のいかなるデバイスにも通知することなく、独立にスリープモードに入る、請求項1に記載の方法。

【請求項3】

前記レシーバデバイスが、前記データビットの少なくとも一部分を受信し、それを前記1つまたは複数のレジスタに、局所的なフリーランニングクロックを使用することなく、また前記抽出されるクロックを生成するためのビットをパディングすることなく書き込むために、

前記データビットの少なくとも一部分は、前記1つまたは複数のレジスタに、  
前記クロック信号の最初のサイクルを検出するとダウンカウンタを開始することと、  
前記ダウンカウンタが事前定義された値に到達するとマーカをトリガすることと、  
前記データビットの少なくとも一部分をレジスタに記憶するために前記マーカを使用することと

によって書き込まれる、請求項1に記載の方法。

【請求項4】

前記レシーバデバイスは、前記データビットの少なくとも一部分を受信し、それを前記1つまたは複数のレジスタに、前記レシーバがスリープモードにある間に書き込む、請求項1に記載の方法。

【請求項5】

前記遷移番号は3進数として表現される、請求項1に記載の方法。

【請求項6】

前記複数の遷移番号は12桁の3進数を形成する、請求項1に記載の方法。

【請求項7】

前記共有バスは、カメラ制御インターフェース拡張(CCIE)バスである、請求項1に記載の方法。

【請求項8】

前記事前定義された値は、前記クロック信号の最終のクロックサイクルに到達すると生じる、請求項3に記載の方法。

【請求項9】

前記複数の遷移番号は、前記クロック信号の最後から2番目のクロックサイクルと最後のクロックサイクルとの間で前記データビットに変換され、

前記データビットの前記少なくとも一部分は、前記クロック信号の最後のクロックサイクルにおいてレジスタに記憶される、

請求項1に記載の方法。

【請求項10】

複数のシンボルを共有バスを介して受信するための手段と、

前記複数のシンボルのシンボル間遷移の中に埋め込まれたクロック信号を抽出するための手段であって、前記シンボルは、2つの連続シンボルが同じ値を有しないようにクロックサイクルごとに遷移する、手段と、

前記複数のシンボルを複数の遷移番号に変換するための手段であって、各遷移番号は、現在のシンボルと直前にくるシンボルとの差を表し、2つの引き続く遷移番号は、同じ値を有し得る、手段と、

前記複数の遷移番号をデータビットに変換するための手段と、

前記データビットの少なくとも一部分をレジスタに、前記クロック信号のみを使用して、記憶するための手段と

を備えるレシーバデバイス。

【請求項11】

前記レシーバデバイスは、前記共有バスに接続された他のいかなるデバイスにも通知することなく、独立にスリープモードに入るよう構成される、請求項10に記載のレシーバデバイス。

【請求項12】

前記データビットの少なくとも一部分を前記レジスタに記憶するための前記手段は、

前記データビットの少なくとも一部分を前記1つまたは複数のレジスタに、局所的なフリーランニングクロックを使用することなく書き込むために、

前記クロック信号の最初のサイクルを検出するとダウンカウンタを開始し、

前記ダウンカウンタが事前定義された値に到達するとマーカをトリガし、

前記データビットの少なくとも一部分をレジスタに記憶するために前記マーカを使用するように構成され、

前記事前定義された値は、前記クロック信号の最終のクロックサイクルに到達すると生じる、

請求項10に記載のレシーバデバイス。

【請求項13】

前記データビットの少なくとも一部分を前記レジスタに記憶するための前記手段は、

前記データビットの少なくとも一部分を前記1つまたは複数のレジスタに、前記レシーバがスリープモードにある間に書き込むように構成される、

請求項10に記載のレシーバデバイス。

【請求項14】

前記データビットの少なくとも一部分を前記レジスタに記憶するための前記手段は、

前記複数の遷移番号を、前記クロック信号の最後から2番目のクロックサイクルと最後のクロックサイクルとの間で前記データビットに変換し、

前記データビットの少なくとも一部分を、前記クロック信号の最後のクロックサイクルにおいてレジスタに記憶するように構成される、

請求項10に記載のレシーバデバイス。

【請求項15】

その上に記憶された命令を有する非一時的機械可読記憶媒体であって、前記命令は少なくとも1つのプロセッサによって実行されたとき、前記少なくとも1つのプロセッサに、請求項1から9のいずれか一項に記載の方法を実行させる、

非一時的機械可読記憶媒体。