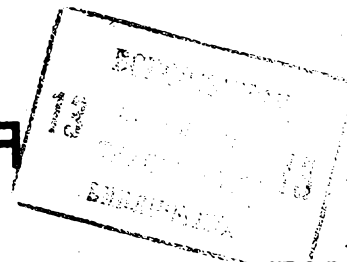




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3486937/18-24

(22) 30.08.82

(46) 15.09.84. Бюл. № 34

(72) М.А.Гладштейн, В.А.Баскаков
и В.М.Комаров

(71) Рыбинский авиационный техноло-
гический институт

(53) 681.325(088.8)

(56) 1. Соучек В. Микропроцессоры
и микро-ЭВМ. М., "Советское радио",
1979, с. 205-246.

2. Аналоговые и цифровые интег-
ральные схемы. Под ред. С.В.Якубов-
ского. М., "Советское радио", 1979,
с. 159-177, рис. 3, 66 (прототип).

(54)(57) ОПЕРАЦИОННОЕ УСТРОЙСТВО,
содержащее $2n$ двухбитных ($n=1, 2, \dots$)
операционных блоков, входы кода опе-
рации которых объединены и являются
входами кода операции устройства,
вход кода маски i -го ($i=1, 2, \dots, 2n-1, 2n$) двухбитного операционного
блока является i -м входом кода мас-
ки устройства, первый и второй ин-
формационные входы первой группы $2n$
двухбитных операционных блоков явля-
ются информационными входами устрой-
ства, информационные и адресные вы-
ходы $2n$ двухбитных операционных бло-
ков являются соответственно информа-
ционными и адресными выходами ус-
тройства, выход переноса k -го
($k = 2, 3, \dots, 2n$) двухбитного опе-
рационного блока соединен с входом
переноса ($k-1$)-го двухбитного
операционного блока, выход переноса
первого двухбитного операционного
блока объединен с выходом сдвига
вправо $2n$ -го двухбитного операцион-

ного блока и является выходом пере-
носа и сдвига вправо устройства,
вход переноса $2n$ -го двухбитного опе-
рационного блока объединен с входом
сдвига вправо первого двухбитного
операционного блока и является вхо-
дом переноса и сдвига вправо ус-
тройства, выход сдвига вправо m -го
($m=1, 2, \dots, 2n-1$) двухбитного
операционного блока соединен с входом
сдвига вправо ($m+1$)-го двухбитного
операционного блока, входы синхро-
низации $2n$ двухбитных операционных
блоков соединены с входом синхрониза-
ции устройства, о т л и ч а ю щ е-
е с я тем, что, с целью повышения
быстродействия, оно дополнительно
содержит мультиплексор, n триггеров,
две группы n элементов И и группу n
элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, причем
первый и второй информационные входы
мультиплексора соединены соответ-
ственно с входом переноса и сдвига
вправо устройства и с выходом пере-
носа и сдвига вправо устройства,
выход мультиплексора соединен с ин-
формационным входом первого триггера,
входы синхронизации n триггеров сое-
динены с входом синхронизации устрой-
ства, информационный вход L -го ($L=2, 3, \dots, n$) триггера соединен с выхо-
дом сдвига вправо ($2L-2$)-го двухбит-
ного операционного блока и с выходом
переноса ($2L-1$)-го двухбитного опе-
рационного блока, информационный вы-
ход p -го ($p = 1, 2, \dots, n$) триггера
соединен с первыми входами p -го эле-
мента И первой группы и p -го элемен-
та ИСКЛЮЧАЮЩЕЕ ИЛИ группы, выход
которого соединен с первым входом

р-го элемента И второй группы, с первым информационным входом второй группы 2 р-го двухбитного операционного блока и с вторым входом р-го элемента И первой группы, выход которого соединен с вторым информационным входом второй группы (2 р - 1)-го двухбитного операционного блока, вход р-го элемента И второй группы соединен с вторым информационным входом второй группы 2 р-го двухбитного опе-

рационного блока, вторые входы р элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и р элементов И второй группы подключены к одному из входов кода операции устройства, остальные входы кода операции устройства подключены к управляющим входам мультиплексора, первый информационный вход второй группы (2 р - 1)-го двухбитного операционного блока подключен к шине нулевого потенциала.

1

Изобретение относится к вычислительной технике и может найти применение при построении быстродействующих контроллеров и универсальных ЭВМ высокого быстродействия.

Известно операционное устройство микро-ЭВМ, которое содержит арифметико-логическое устройство и схему десятичной коррекции [1].

Недостаток такого операционного устройства - узкие функциональные возможности, так как в его системе команд нет операций двоично-десятичной арифметики. Данное устройство позволяет реализовать лишь команду десятичной коррекции ДАА (десятичное преобразование накапливающего регистра). Эта команда применяется для преобразования кода результата, получающегося при двоичном суммировании двоично-десятичных кодов чисел в двоично-десятичный код (8 - 4 - 2 - 1), и выполняется в течение одного цикла за несколько тактов синхронизации: содержимое программного счетчика выдается на группу шин адреса, и на группу информационных шин поступает информация о состоянии; проверяется наличие сигналов подтверждения состояний: "ОСТАНОВ", "ГОТОВНОСТЬ" и "ЗАХВАТ"; код управления из памяти поступает по группе информационных шин в регистр кода операции; выполнение операции: если значение четырех младших (четырех старших) разрядов накапливающего регистра больше девяти или есть перенос из четвертого (восьмого) разряда, то число 6 прибавляется к четырем младшим (стар-

2

шим) разрядам накапливающего регистра. Таким образом, даже эта команда выполняется не за один, а за четыре такта синхронизации.

Данная команда может быть использована при программной реализации алгоритма преобразования двоично-десятичного кода числа в двоичный код. В то же время часто требуется производить деление на 2 двоично-десятичного кода (например, при реализации алгоритма обратного преобразования двоичного кода числа в двоично-десятичный код), что при использовании двоичного арифметико-логического устройства делает необходимой реализацию операции десятичной коррекции при сдвиге вправо. Такими возможностями рассматриваемое устройство не обладает.

Из известных операционных устройств наиболее близким к заявляемому является устройство, содержащее ряд последовательно соединенных по целям переноса и сдвига двухбитных операционных блоков, вход переноса и выход сдвига вправо младшего из которых соединены с входом сдвига вправо и выходом переноса старшего центрального процессорного элемента, выходы адреса двухбитных операционных блоков объединены шиной адреса, выходы данных - выходной шиной данных, входы данных - входной шиной данных, входы маски - входной шиной маски, первые входы управления и второй вход управления объединены первой и второй шинами управления соответствен-

но, а входы синхронизации - шиной синхронизации [2].

Данное устройство обеспечивает простой сдвиг вправо на один разряд с загрузкой либо 1, либо 0 в старший разряд накапливающего регистра за один такт синхронизации (в отличие от операционного устройства [1]).

Недостатком известного устройства является отсутствие аппаратных средств для операций десятичной коррекции при переносе (сложение двоично-десятичных чисел, прямое преобразование двоично-десятичного числа в двоичное) и при сдвиге вправо (деление на 2 двоично-десятичного числа, обратное преобразование двоичного числа в двоично-десятичное), что значительно уменьшает быстродействие устройства при выполнении указанных операций.

Цель изобретения - повышение быстродействия устройства за счет реализации операций десятичной коррекции при переносе и сдвиге вправо за один такт синхронизации.

Поставленная цель достигается тем, что в операционное устройство, содержащее $2n$ двухбитных ($n = 1, 2, \dots$) операционных блоков, входы кода операции которых объединены и являются входами кода операции устройства, вход кода маски i -го ($i = 1, 2, \dots, 2n - 1, 2n$) двухбитного операционного блока является i -м входом кода маски устройства, первый и второй информационные входы первой группы $2n$ двухбитных операционных блоков являются информационными входами устройства, информационные и адресные выходы $2n$ двухбитных операционных блоков являются соответственно информационными и адресными выходами устройства, выход переноса k -го ($k = 2, 3, \dots, 2n$) двухбитного операционного блока соединен с входом переноса ($k-1$)-го двухбитного операционного блока, выход переноса первого двухбитного операционного блока объединен с выходом сдвига вправо $2n$ -го двухбитного операционного блока и является выходом переноса и сдвига вправо устройства, вход переноса $2n$ -го двухбитного операционного блока объединен с входом сдвига вправо первого двухбитного операционного блока и является входом переноса и сдвига вправо устройства, выход сдвига вправо m -го

($m = 1, 2, \dots, 2n-1$) двухбитного операционного блока соединен с входом сдвига вправо ($m+1$)-го двухбитного операционного блока, входы синхронизации $2n$ двухбитных операционных блоков соединены с входом синхронизации устройства, введены мультиплексор, n триггеров, две группы n элементов И и группу n элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, причем первый и второй информационные входы мультиплексора соединены соответственно с входом переноса и сдвигом вправо устройства и с выходом переноса и сдвига вправо устройства, выход мультиплексора соединен с информационным входом первого триггера, входы синхронизации n триггеров соединены с входом синхронизации устройства, информационный вход L -го ($L = 2, 3, \dots, n$) триггера соединен с выходом сдвига вправо ($2L-2$)-го двухбитного операционного блока и с выходом переноса ($2L-1$)-го двухбитного операционного блока, информационный выход r -го ($r = 1, 2, \dots, n$) триггера соединен с первыми входами r -го элемента И первой группы и r -го элемента ИСКЛЮЧАЮЩЕЕ ИЛИ группы, выход которого соединен с первым входом r -го элемента И второй группы, с первым информационным входом второй группы $2r$ -го двухбитного операционного блока и с вторым входом r -го элемента И первой группы, выход которого соединен с вторым информационным входом второй группы ($2r-1$)-го двухбитного операционного блока, выход r -го элемента И второй группы соединен с вторым информационным входом второй группы $2r$ -го двухбитного операционного блока, вторые входы r элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и r элементов И второй группы подключены к одному из входов кода операции устройства, остальные входы кода операции устройства подключены к управляющим входам мультиплексора, первый информационный вход второй группы ($2r-1$)-го двухбитного операционного блока подключен к шине нулевого потенциала.

На фиг. 1 представлена функциональная схема предложенного устройства; на фиг. 2 - структурная схема двухбитного операционного блока.

Устройство содержит двухбитные операционные блоки 1, вход 2 переноса и сдвига вправо, выход 3 переноса

са и сдвига вправо, адресные выходы 4, информационные выходы 5, первую группу 6 информационных входов, входы 7 кода маски, входы 8 кода операции, вход 9 синхронизации, триггеры 10, элементы И 11 и 12, элементы 13 ИСКЛЮЧАЮЩЕЕ ИЛИ, первый информационный вход 14 второй группы, мультиплексор 15.

Двухбитный операционный блок (см. фиг. 2) выполняет арифметические, логические, регистровые функции. Данные от внешних источников (таких как главная память, внешние устройства и так далее) поступают в блок 1 по одному из трех входов M_1M_0 , J_1J_0 и K_1K_0 . Данные от блока 1 передаются на внешние устройства по одному из двух выходов A_1A_0 и D_1D_0 . Внутри блока 1 данные хранятся в одном из 11 регистров сверхоперативного ЗУ (СОЗУ) R_0-R_9 , Т или в накапливающем регистре АС. Данные от внешних устройств из регистров СОЗУ и АС поступают в арифметико-логическое устройство (АЛУ) через два внутренних мультиплексора А и В.

Код операции F_0-F_6 декодируется для выборки функций АЛУ, выработки адреса СОЗУ и управления мультиплексорами А и В.

Входы M_1M_0 предназначены для передачи данных из внешней главной памяти. Данные входов M_1M_0 поступают через внутренний мультиплексор А на вход АЛУ. Входы J_1J_0 предназначены для передачи данных от внешних систем ввода-вывода. Данные с входов J_1J_0 поступают также на вход АЛУ, но через мультиплексор В, независимо от входов M_1M_0 .

Сигнал с выхода СОЗУ поступает через внутренний мультиплексор А на вход АЛУ, а с выхода АЛУ, в свою очередь, на вход СОЗУ.

Накапливающий регистр АС служит для запоминания результата операции АЛУ. Выход АС связан через мультиплексоры А и В с входом АЛУ; кроме того, выход АС подключен к выходному буферу (на 3 состояния) для выдачи на входы D_1D_0 . Обычно входы D_1D_0 используются для передачи данных во внешнюю главную память или на внешние устройства ввода-вывода при наличии сигнала разрешения выдачи данных ЕД.

Мультиплексоры А и В выбирают один из двух входов АЛУ в зависимости

от кода операции на входах F_0-F_6 . На входы мультиплексора А подаются данные с M_1M_0 , выход СОЗУ и АС, на входы мультиплексора В — данные с J_1J_0 , АС и данные с K_1K_0 . Данные на выбранном входе мультиплексора В всегда логически умножаются на содержимое соответствующего входа K_1K_0 для обеспечения гибкого маскирования и возможности проверки разрядов.

АЛУ способно выполнить арифметические и логические операции, включая двоичное сложение в дополнительном коде, +1 и -1, поразрядное логическое сложение и умножение, поразрядное исключающее ИЛИ-НЕ и поразрядное логическое дополнение. Результат операции АЛУ может быть запомнен в АС или в одном из регистров СОЗУ.

Для выполнения операции сдвига вправо выведены отдельные вход сдвига вправо (L_1) и выход сдвига вправо (R_0). Линии входа и выхода переноса (C_n и C_0) предназначены для обеспечения нормального распространения последовательного переноса. Данные на выходы C_0 и R_0 поступают через два буфера (на 3 состояния каждый), причем разрешается выдача либо только на C_0 , либо только на R_0 . Кроме того, стандартные выходы для схем ускоренного переноса X и Y позволяют получить ускоренный перенос для произвольной длины слова.

Возможность маскировать входы АЛУ при помощи шины K_1K_0 значительно увеличивает универсальность АЛУ. При неарифметических операциях схемы переноса используются для получения логической сборки (ИЛИ) всех разрядов слова с целью анализа на "0" результата операции или одного из регистров. Входы K_1K_0 используются также при арифметических операциях для маскирования частей обрабатываемых операндов. Дополнительной функцией входов K_1K_0 является передача констант из микропрограммы в операционном блоке.

Регистр РА и выходы A_1A_0 используются для пересылки адресов во внешнюю главную память. Регистр РА и выходы A_1A_0 также могут быть использованы для выборки внешнего устройства при выполнении операции ввода-вывода.

Выходы ускоренного переноса X, Y в предлагаемом устройстве не используются, а входы разрешения адреса ЕА

и данных ЕД необходимо подключить к шине нулевого потенциала.

Операционное устройство работает следующим образом.

Двоичный код, подаваемый по входам 8, задает вид реализуемой за один такт синхронизации арифметико-логической операции и адрес пары операндов, над которыми она производится. В качестве операнда может выступать двоичный код, хранимый либо на внутренних регистрах накапливающего типа - аккумуляторе (Ас), Т - регистре (Т), либо во внутренних регистрах общего назначения R_0-R_9 , или находящийся на входах 6, а также подаваемый на входы I_0-I_3 с учетом инверсности данных входов.

На входах I_0-I_3 двухбитных операционных блоков 1, составляющих полубайт, возможны следующие 4 кодовые комбинации в зависимости от уровней сигналов на входе F_0 и выходе соответствующего триггера 10 (см. табл. 1).

В табл. 1 учтена инверсность входов.

Код, находящийся на входах кода маски 7, с учетом инверсности является третьим операндом, постоянно участвующим в любой операции, выполняемой предлагаемым устройством.

В то время, как уровень сигнала на входе синхронизации 9 равен "1", происходит формирование кода результата операции и сигналов переноса или сдвига вправо в арифметико-логическом устройстве каждого операционного блока 1, входящего в полубайт, с выдачей сигналов переноса или сдвига вправо на выходы C_0 и R_0 соответственно с учетом инверсности этих выходов, в зависимости от сигналов, поступающих на входы переноса C_1 или сдвига вправо L_1 .

По заднему фронту тактового импульса, поступающего на входы синхронизации блока 1, происходит запись кода результата операции на какие-либо внутренние регистры, либо общего назначения R_0-R_9 , либо Ас и Т, либо в те и в другие, либо в регистр адреса, в зависимости от кода операции. Если уровень сигнала на входе F_0 равен "0", то запись может быть произведена либо в регистр общего назначения с четным индексом, либо в Т. Если уровень сигнала на входе F_0 равен "1", то запись производится в регистры с нечетными индексами или

в Ас. Одновременно происходит фиксация сигналов переноса или сдвига вправо, поступающих с выходов переноса блока 1 старших разрядов каждого полубайта и с выходов сдвига вправо блока 1 младших разрядов соседнего полубайта. В триггере 10 старшего полубайта фиксируется информация, выбираемая либо с входа 2, либо с выхода 3 с помощью мультиплексора 15 в зависимости от кода операции (см. табл. 2).

Код, находящийся на выходах 5 и 4, равен содержимому Ас и внутреннего регистра адреса соответственно с точностью до инверсности информационных выходов и адресных выходов каждого блока 1.

В табл. 3 и 4 приведены микропрограммы реализации соответственно двоично-десятичного сложения и деления на 2 двоично-десятичного числа, написанные на языке микроассемблера. В первом случае в Ас находится одно из двух двоично-десятичных чисел, второе - на информационных входах первой группы 6, а во втором случае - исходное двоично-десятичное число. Во всех случаях учтена инверсность входов и выходов, а $n = 8$ (16 - разрядное операционное устройство микро-ЭВМ).

Из табл. 3 следует, что двоично-десятичное суммирование выполняется за 6 тактов синхронизации вместо 11 тактов, необходимых известному операционному устройству микро-ЭВМ (две команды: АДСМ - 2 цикла по 4 и 3 такта и ДАА - 1 цикл в 4 такта).

В табл. 5 и 6 приведены микропрограммы реализации соответственно прямого преобразования двоично-десятичного числа в двоичное на основе двоично-десятичного суммирования (умножения на 2 двоично-десятичного числа) и обратного преобразования двоичного числа в двоично-десятичное на основе деления на 2 двоично-десятичного числа. В обоих случаях исходные числа находятся в регистре Т, инверсность входов и выходов учтена. Разрядность операционного устройства микро-ЭВМ равна 16.

Эффективность изобретения заключается в увеличении быстродействия операционного устройства путем обеспечения реализации дополнительных операций десятичной коррекции при переносе и сдвиге вправо, выполняемых за один

такт синхронизации. Это обусловлено наличием специальных схем формирования корректирующих кодов в зависимости от значений сигнала переноса - сдвига вправо, полученных в предыдущем такте при выполнении обычных двоичных операций суммирования или сдвига.

Выполнение за один такт операций десятичной коррекции при переносе и сдвиге вправо обеспечивает простую микропрограммную реализацию алгоритмов двоично-десятичной арифметики (в коде 8 - 4 - 2 - 1) без увеличения формата микрокоманды.

Т а б л и ц а 1

Выход D-триггера		Входы $J_0 - J_3$			
F_0	Q	2^3	2^2	2^1	2^0
0	0	1	1	1	1
0	1	1	0	0	1
1	0	1	1	0	0
1	1	1	1	1	1

Т а б л и ц а 2

Входы 8						Выход мультиплексора 15
F_6	F_5	F_4	F_3	F_2	F_1	

0 0 0 1 1 1

Вход 2

Все остальные комбинации

Выход 3

Т а б л и ц а 3

Входы маски	Мнем.	Операция	Шина 3	Шина 4	Примечание
1	2	3	4	5	6
00	NOP_{RD}	$C_1 \rightarrow C_0, R_c \rightarrow R_0$	1	1	Уст. триггеров 1-2 В лог. 1
11	LDI_T	$K - 1 + C_1 \rightarrow T$	0	1	См. табл. 1 для $F_0 Q = 01 \Rightarrow \Rightarrow 9.9.9.9 \rightarrow T$
CO	CMA_T	$C_1 \rightarrow C_0, \uparrow \rightarrow T$	x	x	$6.6.6.6 \rightarrow T$
11	ALR_T	$AC + T + C_1 \rightarrow AC, T$	1	1	Формиров. кода с избытком 6 $\rightarrow Ac$

1	2	3	4	5	6
11	AMA _T	$M + AC + C_I \rightarrow T$	1		Дв. сумма с изб. 6 $\rightarrow T$ уст. триггеров 12
11	AJA _T	$K + T + C_I \rightarrow T$	0		Дес. коррекция при переносе $\rightarrow T$, см. табл. 1 для $F_0 = 0$

Т а б л и ц а 4

Входы маски	Мнем.	Операция	Шина 3	Шина 4	Примечания
00	SRA _{Ac}	$L_I \rightarrow AC_I, AC_I \rightarrow AC_0$ $AC_0 \rightarrow R_0$	1		Дв. деление на 2 $\rightarrow Ac$ Уст. триггеров 12
11	AIA _{Ac}	$K + Ac + C_I \rightarrow Ac$	0		Дес. коррекция при сдвиге вправо $\rightarrow Ac$, см. табл. 1 при $F_0 = 1$

Т а б л и ц а 5

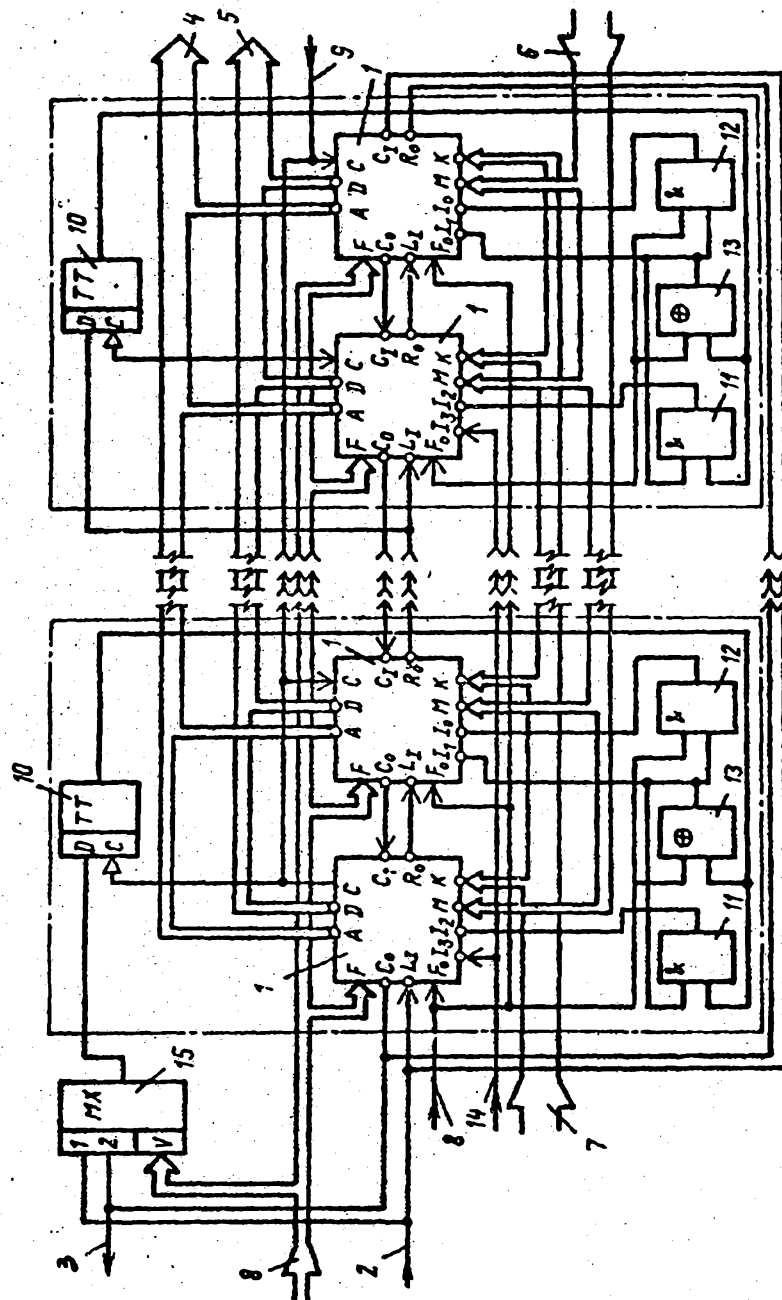
№	№ обр.	Вх. мас- ки	Мнем.	Операция	шина 3	шина 4	Примечания
1	2	3	4	5	6	7	8
		00	CLR _{R₀}	$C_I \rightarrow C_0, 0 \rightarrow R_0$	x	x	Очистка R ₀
		00	INR _{R₀}	$R_0 + C_I \rightarrow R_0$	0	✓1	Маркерная 1 $\rightarrow$ мл. разряд R ₀
		00	CLA _{Ac}	$C_I \rightarrow C_0, 0 \rightarrow Ac$	0	0	Уст. триггеров 12 в лог. 0.
		11	LDI _{Ac}	$K - 1 + C_I \rightarrow Ac$	0	1	См. табл. 1 для $F_0 Q = 10 \Rightarrow$ $\Rightarrow 2.12.12.12 \rightarrow Ac$
		00	CMA _{Ac}	$C_I \rightarrow C_0, \bar{Ac} \rightarrow Ac$	x	x	3.3.3.3 $\rightarrow Ac$
		11	ALR _T	$Ac + T + C_I \rightarrow Ac, T$	1		Код с изб. 3 $\rightarrow Ac, T$
		11	ADR _T	$Ac + T + C_I \rightarrow T$	1	$\rightarrow 2$	Дв. умнож. на 2 кода с изб. 3 $\rightarrow T$ Уст. триггеров 12 $C_0 \rightarrow 2$

Продолжение табл. 5

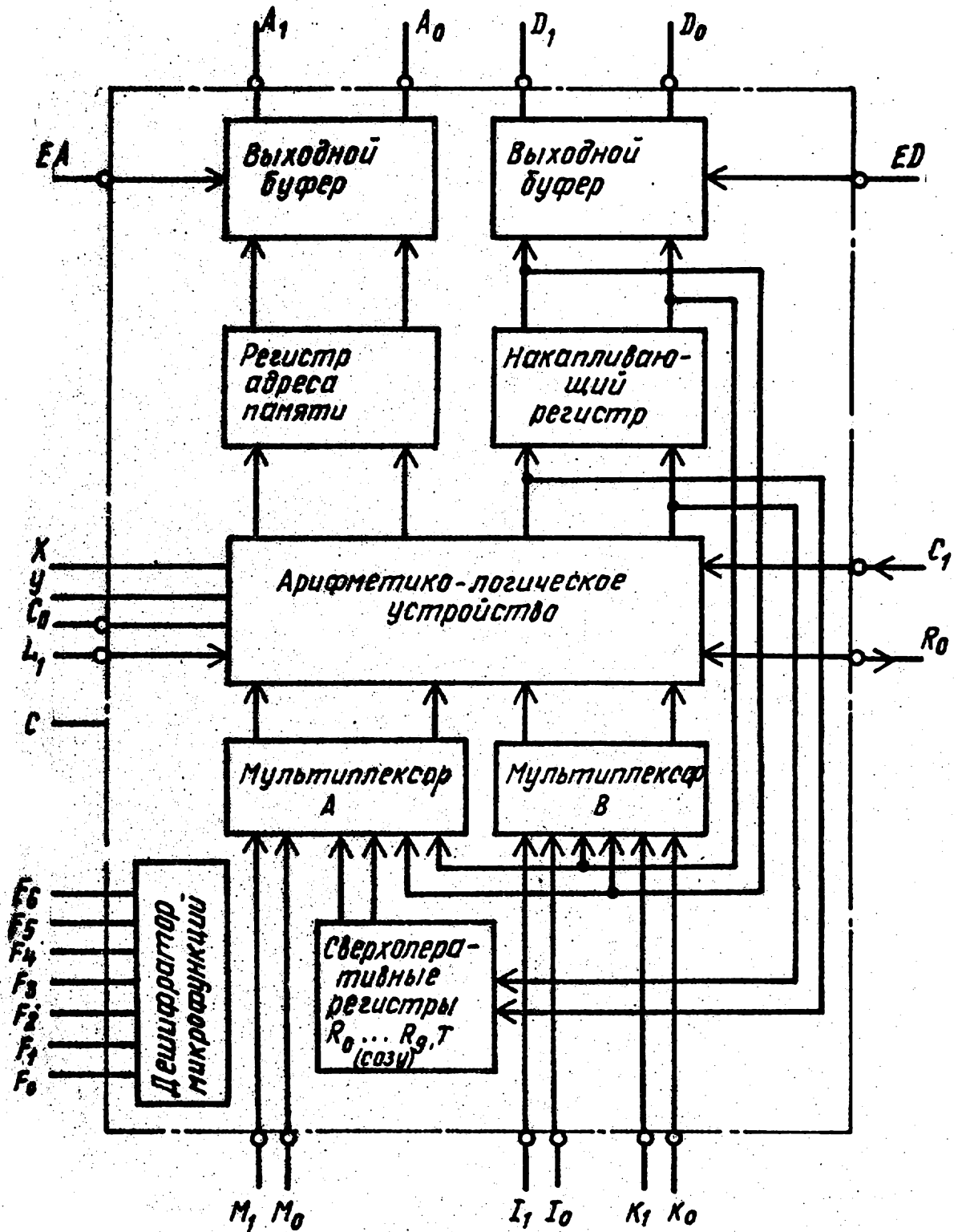
1	2	3	4	5	6	7	8
		11	AIA _T	$K+T+C_I \rightarrow T$	0		Дес. коррекция при переносе $\rightarrow T$. См. табл. 1 для $F_0=0$.
		00	ILR _{R₀}	$R_0+C_I \rightarrow R_0, A_C$	1	1	$R_0 \rightarrow A_C$
			ADR _{R₀}	$A_C+R_0+C_I \rightarrow R_0$	z		Дв. умнож. на 2
	2		IFL			0	с занесен. Z в мл. разряд R_0
	1					1	Переход по марк. 1
2			Конец				Искомое дв. число в R_0

Т а б л и ц а 6

№	№_д_р	Вх. мас-ки	Мнем.	Операция	шина 3	шина 4	Примечания
		00	SRA _T	$L_I \rightarrow T_1, T_1 \rightarrow T_0, T_1 \rightarrow R_0$	0	$\rightarrow z$	Маркер. 1 $\rightarrow$ ст. разряд T Запоминание мл. разряда числа (z)
		00	CLA _{A_C}	$C_I \rightarrow C_0, 0 \rightarrow A_C$	x	x	Очистка A_C
		00	SRA _{A_C}	$L_I \rightarrow A_{C1}, A_{C1} \rightarrow A_{C0}, A_{C0} \rightarrow R$	z		Дв. деление на 2 $A_C \rightarrow A_C$ занесение z в ст. разряд A_C Уст. триггеров 12
		11	AIA _{A_C}	$K+A_C+C_I \rightarrow A_C$	0		Дес. коррекция при сдвиге вправо $A_C \rightarrow A_C$ см. Табл. 1 при $F_0 = 1$
		00	SRA _T	$L_I \rightarrow T_1, T_1 \rightarrow T_0, T_0 \rightarrow R_0$	1	$\rightarrow z$	Дв. деление на 2 $T \rightarrow T$
		11	TZA _T	$C_I \vee T \rightarrow C_0$	1		Проверка T на 0 и переход
	1		IFL	$T \rightarrow T$		0	
	2					1	
2			Конец				Дв.-дес. число в A_C .



முழு. 1



Фиг. 2

ВНИИПИ Заказ 7490 Тираж 698 Подписное

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4