

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)



(10) 国际公布号
WO 2018/040482 A1

(51) 国际专利分类号:
H01L 27/092 (2006.01) **H01L 21/8238** (2006.01)
H01L 29/10 (2006.01)

(21) 国际申请号: PCT/CN2017/071286

(22) 国际申请日: 2017 年 1 月 16 日 (16.01.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610794123.6 2016 年 8 月 31 日 (31.08.2016) CN

(71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 石龙强 (SHI, Longqiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜广场第一座西翼 713 室吴大建 / 王浩, Beijing 100052 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格 (细则 4.17(iv))

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: COMS DEVICE BASED ON LTPS AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种基于 LTPS 的 COMS 器件及其制作方法

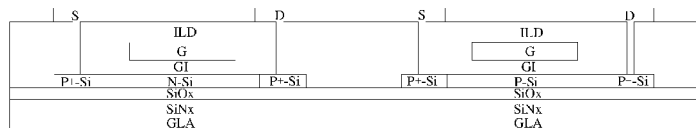


图 2

(57) Abstract: A COMS device based on LTPS and a manufacturing method therefor. The device comprises NMOS type LTPS, wherein a PN junction is arranged in a channel of the NMOS type LTPS to reduce the flow speed of an electron in the channel, so as to avoid a thermoelectric effect. The flow speed of an electron can be reduced, and a thermoelectric effect is avoided.

(57) 摘要: 一种基于 LTPS 的 CMOS 器件及其制作方法, 该器件包括 NMOS 型 LTPS, 其中, 在 NMOS 型 LTPS 的沟道内设置有用以降低电子在沟道内流通速度的 PN 结, 用以避免热电子效应。可以降低电子流通速度, 避免热电子效应。

WO 2018/040482 A1

一种基于 LTPS 的 COMS 器件及其制作方法

相关申请的交叉引用

本申请要求享有 2016 年 08 月 31 日提交的名称为“一种基于 LTPS 的 COMS 器件及其制作方法”的中国专利申请 CN201610794123.6 的优先权，该申请的全部内容通过引用并入本文中。

技术领域

本发明属于半导体技术领域，具体地说，尤其涉及一种基于 LTPS 的 COMS 器件及其制作方法。

背景技术

LTPS (Low Temperature Poly-silicon, 低温多晶硅) 由于具有高迁移率，并且能用来制作 CMOS 器件，因而得到了广泛研究。

CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 由一个 NMOS 和 PMOS 组成。其中，由于 NMOS 器件中电子的迁移率太高，在强电场下容易产生热电子效应，从而将器件损坏。

现有技术中一种解决以上问题的方法是做 LDD (Lightly Doped Drain, 轻掺杂漏结构) 结构的 NMOS LTPS 器件，但是由于引入了 N- -Si 掺杂，多了一道工艺，结果增加了制作成本。

发明内容

为解决以上问题，本发明提供了一种基于 LTPS 的 COMS 器件及其制作方法，用以降低电子流通速度，避免热电子效应。

根据本发明的一个方面，提供了一种基于 LTPS 的 COMS 器件，包括 NMOS 型 LTPS，其中，

在 NMOS 型 LTPS 的沟道内设置有用以降低电子在沟道内流通速度的 PN 结，以避免热电子效应。

根据本发明的一个实施例，在 NMOS 型 LTPS 的沟道两端均设置有 P 型重

掺杂区，用以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道之间形成 PN 结。

根据本发明的一个实施例，在 NMOS 型 LTPS 的沟道内部设置有一 P 型重掺杂区，用以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道之间形成 PN 结。

根据本发明的一个实施例，所述 P 型重掺杂区位于 NMOS 型 LTPS 的沟道的中间。

根据本发明的一个实施例，所述 NMOS 型 LTPS 还包括：

缓冲层，设置于 NMOS 型 LTPS 的沟道所在的沟道层下；

栅绝缘层，设置于 NMOS 型 LTPS 的沟道所在的沟道层和裸露的缓冲层上；

栅极层，设置于所述栅绝缘层上；

介质层，设置于所述栅极层及裸露的栅绝缘层上；

源漏极，设置于所述介质层上并与 NMOS 型 LTPS 的沟道两端通过过孔连通。

根据本发明的一个实施例，所述 NMOS 型 LTPS 还包括：

缓冲层，设置于 NMOS 型 LTPS 的沟道所在的沟道层下；

栅绝缘层，设置于 NMOS 型 LTPS 的沟道所在的沟道层和裸露的缓冲层上；

栅极层，设置于所述栅绝缘层上；

介质层，设置于所述栅极层及裸露的栅绝缘层上；

源漏极，设置于所述介质层上并与 NMOS 型 LTPS 的沟道两端通过过孔连通。

根据本发明的一个实施例，所述器件还包括一 PMOS 型 LTPS，其中，所述 PMOS 型 LTPS 包括：

缓冲层，设置于玻璃基板上；

沟道层，设置于所述缓冲层上；

栅绝缘层，设置于 PMOS 型 LTPS 的沟道层和裸露的缓冲层上；

栅极层，设置于所述栅绝缘层上；

介质层，设置于所述栅极层及裸露的栅绝缘层上；

源漏极，设置于所述介质层上并与 PMOS 型 LTPS 的沟道两端通过过孔连通。

根据本发明的另一个方面，还提供了一种用于制作基于 LTPS 的 COMS 器件的方法，包括：

在玻璃基板上形成缓冲层；

在所述缓冲层上对应 PMOS 区域和 NMOS 区域均形成 PMOS 型 LTPS 沟道

层；

对 NMOS 区域的 PMOS 型 LTPS 沟道层进行 N 型轻掺杂处理，以形成 NMOS 型 LTPS 沟道层；

对所述 NMOS 型 LTPS 沟道层的沟道两端和 PMOS 区域的 PMOS 型 LTPS 沟道层的沟道两端进行 P 型重掺杂处理；

在所述 NMOS 型 LTPS 沟道层、所述 PMOS 型 LTPS 沟道层和裸露的缓冲层上形成栅绝缘层；

在所述栅绝缘层上形成栅极层；

在所述栅极层及裸露的栅绝缘层上形成介质层，并在所述介质层上蚀刻连通 NMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域和 PMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域的过孔；

在所述介质层上形成所述 COMS 器件的源漏极，所述源漏极通过所述过孔与各自对应的 P 型重掺杂处理区域连通。

根据本发明的另一个方面，还提供了另一种用于制作基于 LTPS 的 COMS 器件的方法，包括：

在玻璃基板上形成缓冲层；

在所述缓冲层上对应 PMOS 区域和 NMOS 区域均形成 PMOS 型 LTPS 沟道层；

对 NMOS 区域的 PMOS 型 LTPS 沟道层的沟道中间区域进行 P 型重掺杂处理；

对 NMOS 区域的 PMOS 型 LTPS 沟道层的沟道进行 N 型轻掺杂处理以形成 NMOS 型 LTPS 沟道层；

对 NMOS 型 LTPS 沟道层的沟道两端进行 N 型重掺杂处理；

对 PMOS 区域的 PMOS 型 LTPS 沟道层的沟道两端进行 P 型重掺杂处理；

在所述 NMOS 型 LTPS 沟道层、所述 PMOS 型 LTPS 沟道层和裸露的缓冲层上形成栅绝缘层；

在所述栅绝缘层上形成栅极层；

在所述栅极层及裸露的栅绝缘层上形成介质层，并在所述介质层上蚀刻连通 NMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域和 PMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域的过孔；

在所述介质层上形成所述 COMS 器件的源漏极，所述源漏极通过所述过孔

与各自对应的 P 型重掺杂处理区域连通。

根据本发明的一个实施例，在对 NMOS 型 LTPS 沟道层的沟道两端进行 N 型重掺杂处理的步骤，与对 PMOS 区域的 PMOS 型 LTPS 沟道层的沟道两端进行 P 型重掺杂处理的步骤的顺序互换。

本发明的有益效果：

本发明针对现有 LDD 工艺复杂的问题，通过在 NMOS 型 LTPS 沟道内设置 PN 结，从而降低电子流通速度，避免热电子效应。

本发明的其他优点、目标，和特征在某种程度上将在随后的说明书中进行阐述，并且在某种程度上，基于对下文的考察研究对本领域技术人员而言将是显而易见的，或者可以从本发明的实践中得到教导。本发明的目标和其他优点可以通过下面的说明书，权利要求书，以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本申请的技术方案或现有技术的进一步理解，并且构成说明书的一部分。其中，表达本申请实施例的附图与本申请的实施例一起用于解释本申请的技术方案，但并不构成对本申请技术方案的限制。

图 1a 是根据本发明的一个实施例的 PMOS LTPS 制作步骤对应的器件结构示意图；

图 1b 根据本发明的一个实施例的 NMOS LTPS 制作步骤对应的器件结构示意图；

图 1c 是根据本发明的一个实施例的 P 型重掺杂步骤对应的器件结构示意图；

图 1d 是根据本发明的一个实施例的栅绝缘层制作步骤对应的器件结构示意图；

图 1e 是根据本发明的一个实施例的栅极层制作步骤对应的器件结构示意图；

图 1f 是根据本发明的一个实施例的介质层制作步骤对应的器件结构示意图；

图 2 是根据本发明的一个实施例的源漏极制作步骤对应的器件结构示意图；

图 3a 是根据本发明的一个实施例的 PMOS LTPS 制作步骤对应的器件结构示意图；

图 3b 是根据本发明的一个实施例的沟道 P 型重掺杂步骤对应的器件结构示意图；

图 3c 根据本发明的一个实施例的 NMOS LTPS 制作步骤对应的器件结构示意图；

图 3d 根据本发明的一个实施例的 NMOS 沟道 N 型轻掺杂步骤对应的器件结构示意图；

图 3e 是根据本发明的一个实施例的 N 型重掺杂步骤对应的器件结构示意图；

图 3f 是根据本发明的一个实施例的 P 型重掺杂步骤对应的器件结构示意图；

图 4 是根据本发明的一个实施例的源漏极制作步骤对应的器件结构示意图。

具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征，在不相冲突前提下可以相互结合，所形成的技术方案均在本发明的保护范围之内。

为解决现有技术中 LDD 工艺复杂的问题，本发明提出了一种解决 NMOS 型 LTPS 热载流子效应的 COMS 器件。

该 COMS 器件包括 NMOS 型 LTPS，其中，在 NMOS 型 LTPS 的沟道内设置有用以降低电子在沟道流通速度的 PN 结，用以避免热电子效应。

如图 2 所示为根据本发明的一个实施例的 NMOS 型 LTPS 结构示意图。如图 2 所示，该 NMOS 型 LTPS 由下至上依次包括：设置于玻璃基板 GLA 上的缓冲层，该缓冲层包括设置于玻璃基板 GLA 上的氮化硅 SiN_x 层以及设置于 SiN_x 层上的氧化硅 SiO_x 层；设置于缓冲层上的 NMOS 型 LTPS 的沟道层，该沟道层包括 N 型沟道 N-Si 以及沟道两端、与源漏极连通的 P 型重掺杂区 P⁺-Si；设置于 NMOS 型 LTPS 的沟道层和裸露的缓冲层上的栅绝缘层 GI；设置于栅绝缘层 GI 上的栅极层，用于形成栅极图案 G；设置于栅极层及裸露的栅绝缘层 GI 上的介质层 ILD；设置于介质层 ILD 上并与 NMOS 型 LTPS 的沟道两端连通的源极 S 和漏极 D。

具体的，如图 2 所示，在源漏极与 NMOS 型 LTPS 接触的区域设置为 P 型重掺杂区 P⁺-Si，而不是设置 N 型重掺杂区，可以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道之间形成 PN 结。这样，NMOS 型 LTPS 的沟道区会形成 P⁺NP⁺型的三极管的结构。其中 P⁺表示 P 型重掺杂，N⁺表示 N 型重掺杂。当有电流从漏

极 D 端移动向源极 S 端的时候, P+N 形成的二极管正向导通, 电流通畅无阻。但是, NP+形成了一个齐纳二极管。齐纳二极管的好处是形成很小的空乏区, 电子穿过空乏区会减速。电子可以穿过空乏区, 但不会像雪崩二极管那样将器件损伤。这样既解决了电子速度太大造成的热电子效应, 并且解决了源漏极和 LTPS 接触的问题, 省去了形成 LDD 结构时对应 N 型重掺杂 N+和 N 型轻掺杂 N-的两道光罩。

如图 4 所示为根据本发明的另一个实施例的 NMOS 型 LTPS 结构示意图。如图 4 所示, 在 NMOS 型 LTPS 的沟道区内部设置有一 P 型重掺杂区, 用以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道区形成 PN 结。在 NMOS 型 LTPS 的沟道中间进行 P 型重掺杂, 形成 NP+N 三极管结构。该结构可以将 P+型的 LTPS 比作栏杆, 电子跨过栏杆需要损耗一定的速度, 从而避免了热电子效应, 并省却了 N 型轻掺杂 N-所需的光罩。该 NMOS 型 LTPS 的沟道区的其他结构与图 2 相同, 此处不再详述。

在本发明的一个实施例中, 该基于 LTPS 的 COMS 器件还包括一 PMOS 型 LTPS。该 PMOS 型 LTPS 与 NMOS 型 LTPS 构成一个完整的 COMS 器件。如图 2 和 4 所示, 该 PMOS 型 LTPS 由下至上依次包括: 设置于玻璃基板 GLA 上的缓冲层, 该缓冲层包括设置于玻璃基板 GLA 上的 SiNx 层以及设置于 SiNx 层上的 SiOx 层; 设置于缓冲层上的 PMOS 型 LTPS 的沟道层, 该沟道层包括 P 型沟道 P-Si 以及沟道区两端、与源漏极连通 P 型重掺杂区 P+-Si; 设置于 PMOS 型 LTPS 的沟道层和裸露的缓冲层上的栅绝缘层 GI; 设置于栅绝缘层 GI 上的栅极层, 用于形成栅极图案 G; 设置于栅极层及裸露的栅绝缘层 GI 上的介质层 ILD; 设置于介质层 ILD 上并与 PMOS 型 LTPS 的沟道两端连通的源极 S 和漏极 D。

根据本发明的另一个方面, 还提供了一种用于制作基于 LTPS 的 COMS 器件的方法, 具体包括以下几个步骤:

首先, 在玻璃基板 GLA 上形成缓冲层。具体的, 采用 CVD (Chemical Vapor Deposition, 化学气相沉积) 成膜技术, 在基板 GLA 上形成 SiNx 层, 然后在 SiNx 层上形成 SiOx 层。

接着, 在缓冲层上形成 PMOS 型 LTPS 沟道层和 NMOS 型 LTPS 沟道层。PMOS 型 LTPS 沟道层包括 P 型沟道 P-Si 以及沟道两端、与源漏极连通的 P 型重掺杂区 P+-Si; NMOS 型 LTPS 沟道层包括 N 型沟道 N-Si 以及沟道两端、与源漏极连通的 P 型重掺杂区 P+-Si。

具体的，在形成 PMOS 型 LTPS 沟道层和 NMOS 型 LTPS 沟道层时，首先在缓冲层上采用 CVD 成膜技术形成一层非晶硅 a-Si 膜，然后经曝光、刻蚀后形成 a-Si 硅岛图案，然后经 ELA 结晶形成 P 型 LTPS，如图 1a 所示。然后，进行光阻涂布、曝光，对 NMOS 区域的 LTPS 进行 N 型轻掺杂处理，然后进行光阻剥离，形成 NMOS 型 LTPS 图案（NMOS 型 LTPS 沟道层），如图 1b 所示。接着，继续进行光阻涂布、曝光，对 PMOS 型 LTPS 沟道层的沟道两端和 NMOS 型 LTPS 沟道层的沟道两端进行 P 型重掺杂处理，即对 a-Si 硅岛图案的两端进行 P 型重掺杂，接着进行光阻剥离，从而形成 P+-Si 图案，如图 1c 所示。

接下来，采用 CVD 成膜技术在 NMOS 型 LTPS 的沟道层和 PMOS 型 LTPS 的沟道层和裸露的缓冲层上形成栅绝缘层 GI，如图 1d 所示。

接下来，在栅绝缘层 GI 上形成栅极层。具体的，在栅绝缘层 GI 上采用 PVD 技术形成一金属膜，然后经曝光、显影处理形成栅极，如图 1e 所示。

接下来，在栅极层及裸露的栅绝缘层上形成介质层 ILD，并在介质层 ILD 上蚀刻连通 NMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域和 PMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域的过孔。具体的，采用 CVD 成膜技术形成介质层，然后经曝光、干法蚀刻形成 IDL 层图案，如图 1f 所示。

最后，在介质层 IDL 上形成 COMS 器件的源漏极，源漏极通过过孔与各自对应的 P 型重掺杂处理区域连通。具体的，采用 PVD 成膜技术形成一层金属膜，并经曝光、显影处理形成源漏极图案。其中，源漏极通过过孔与 NMOS 型 LTPS 和 PMOS 型 LTPS 对应的源漏极区域连通，如图 2 所示。

根据本发明的另一个方面，还提供了另外一种用于制作基于 LTPS 的 COMS 器件的方法，具体包括以下几个步骤：

首先，在玻璃基板 GLA 上形成缓冲层。具体的，采用 CVD 成膜技术，在基板 GLA 上形成 SiNx 层，然后在 SiNx 层上形成 SiOx 层。

接下来，在缓冲层上对应 PMOS 区域和 NMOS 区域均形成 PMOS 型 LTPS 沟道层，如图 3a 所示。

接下来，对 NMOS 区域的 PMOS 型 LTPS 沟道层的沟道内部一区域进行 P 型重掺杂处理，得到 P 型重掺杂区域 P+-Si，如图 3b 所示。具体的，在 PMOS 型 LTPS 沟道层上涂布光阻 PR，采用半遮光光罩照射 NMOS 区域的 PMOS 型 LTPS 沟道层的沟道内部一区域，优选沟道中间区域，从而将该部位光阻去除。接着，对该去除光阻的部位进行 P 型重掺杂，从而得到 P 型重掺杂的 LTPS。

接下来,采用干刻蚀法,将 NMOS 对应的光阻刻蚀掉,PMOS 的光阻保留,如图 3c 所示。

接下来,对 NMOS 区域的 LTPS 沟道进行 N 型轻掺杂处理,然后进行光阻剥离,形成 NMOS 型 LTPS 图案(NMOS 型 LTPS 沟道层),如图 3d 所示。

接下来,继续进行光阻涂布、曝光,对 NMOS 区域的 LTPS 的 a-Si 硅岛图案的两端进行 N 型重掺杂处理,接着光阻剥离,从而形成 N+-Si 图案,如图 3e 所示。

接下来,继续进行光阻涂布、曝光,对 PMOS 区域的 LTPS 的 a-Si 硅岛图案的两端进行 P 型重掺杂处理,接着光柱剥离,从而形成 P+-Si 图案,如图 3f 所示。

接下来,采用 CVD 成膜技术在 NMOS 型 LTPS 沟道层和 PMOS 型 LTPS 的沟道层和裸露的缓冲层上形成栅绝缘层 GI。

接下来,在栅绝缘层 GI 上形成栅极层。具体的,在栅绝缘层 GI 上采用 PVD 技术形成一金属层,然后经曝光、显影处理形成栅极。

接下来,在栅极层及裸露的栅绝缘层上形成介质层 ILD,并在所介质层 ILD 上蚀刻连通 NMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域和 PMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域的过孔。具体的,采用 CVD 成膜技术形成介质层,然后经曝光、干法蚀刻形成 IDL 层图案。

最后,在介质层上形成 COMS 器件的源漏极,源漏极通过过孔与各自对应的 P 型重掺杂处理区域连通。具体的,采用 PVD 成膜技术形成一层金属膜,并经曝光、显影处理形成源漏极图案。其中,源漏极通过过孔与 NMOS 型 LTPS 和 PMOS 型 LTPS 对应的源漏极区域连通,如图 4 所示。

在通过 N 型重掺杂形成 N+-Si 图案的步骤和通过 P 型重掺杂形成 P+-Si 图案的步骤,这两个步骤可以互换。

虽然本发明所揭露的实施方式如上,但所述的内容只是为了便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属技术领域内的技术人员,在不脱离本发明所揭露的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

权利要求书

1. 一种基于 LTPS 的 COMS 器件，包括 NMOS 型 LTPS，其中，
在 NMOS 型 LTPS 的沟道内设置有用以降低电子在沟道内流通速度的 PN 结，以避免热电子效应。
2. 根据权利要求 1 所述的器件，其中，在 NMOS 型 LTPS 的沟道两端均设置有 P 型重掺杂区，用以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道之间形成 PN 结。
3. 根据权利要求 1 所述的器件，其中，在 NMOS 型 LTPS 的沟道内部设置有一 P 型重掺杂区，用以在 P 型重掺杂区和 NMOS 型 LTPS 的沟道之间形成 PN 结。
4. 根据权利要求 3 所述的器件，其中，所述 P 型重掺杂区位于 NMOS 型 LTPS 的沟道的中间。
5. 根据权利要求 2 所述的器件，其中，所述 NMOS 型 LTPS 还包括：
缓冲层，设置于 NMOS 型 LTPS 的沟道所在的沟道层下；
栅绝缘层，设置于 NMOS 型 LTPS 的沟道所在的沟道层和裸露的缓冲层上；
栅极层，设置于所述栅绝缘层上；
介质层，设置于所述栅极层及裸露的栅绝缘层上；
源漏极，设置于所述介质层上并与 NMOS 型 LTPS 的沟道两端通过过孔连通。
6. 根据权利要求 4 所述的器件，其中，所述 NMOS 型 LTPS 还包括：
缓冲层，设置于 NMOS 型 LTPS 的沟道所在的沟道层下；
栅绝缘层，设置于 NMOS 型 LTPS 的沟道所在的沟道层和裸露的缓冲层上；
栅极层，设置于所述栅绝缘层上；
介质层，设置于所述栅极层及裸露的栅绝缘层上；
源漏极，设置于所述介质层上并与 NMOS 型 LTPS 的沟道两端通过过孔连通。
7. 根据权利要求 1 所述的器件，其中，所述器件还包括一 PMOS 型 LTPS，其中，所述 PMOS 型 LTPS 包括：
缓冲层，设置于玻璃基板上；
沟道层，设置于所述缓冲层上；
栅绝缘层，设置于 PMOS 型 LTPS 的沟道层和裸露的缓冲层上；

栅极层，设置于所述栅绝缘层上；

介质层，设置于所述栅极层及裸露的栅绝缘层上；

源漏极，设置于所述介质层上并与PMOS型LTPS的沟道两端通过过孔连通。

8. 一种用于制作基于LTPS的COMS器件的方法，包括：

在玻璃基板上形成缓冲层；

在所述缓冲层上对应PMOS区域和NMOS区域均形成PMOS型LTPS沟道层；

对NMOS区域的PMOS型LTPS沟道层进行N型轻掺杂处理，以形成NMOS型LTPS沟道层；

对所述NMOS型LTPS沟道层的沟道两端和PMOS区域的PMOS型LTPS沟道层的沟道两端进行P型重掺杂处理；

在所述NMOS型LTPS沟道层、所述PMOS型LTPS沟道层和裸露的缓冲层上形成栅绝缘层；

在所述栅绝缘层上形成栅极层；

在所述栅极层及裸露的栅绝缘层上形成介质层，并在所述介质层上蚀刻连通NMOS型LTPS沟道层的沟道两端的P型重掺杂处理区域和PMOS型LTPS沟道层的沟道两端的P型重掺杂处理区域的过孔；

在所述介质层上形成所述COMS器件的源漏极，所述源漏极通过所述过孔与各自对应的P型重掺杂处理区域连通。

9. 一种用于制作基于LTPS的COMS器件的方法，包括：

在玻璃基板上形成缓冲层；

在所述缓冲层上对应PMOS区域和NMOS区域均形成PMOS型LTPS沟道层；

对NMOS区域的PMOS型LTPS沟道层的沟道中间区域进行P型重掺杂处理；

对NMOS区域的PMOS型LTPS沟道层的沟道进行N型轻掺杂处理以形成NMOS型LTPS沟道层；

对NMOS型LTPS沟道层的沟道两端进行N型重掺杂处理；

对PMOS区域的PMOS型LTPS沟道层的沟道两端进行P型重掺杂处理；

在所述NMOS型LTPS沟道层、所述PMOS型LTPS沟道层和裸露的缓冲层上形成栅绝缘层；

在所述栅绝缘层上形成栅极层；

在所述栅极层及裸露的栅绝缘层上形成介质层，并在所述介质层上蚀刻连通 NMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域和 PMOS 型 LTPS 沟道层的沟道两端的 P 型重掺杂处理区域的过孔；

在所述介质层上形成所述 COMS 器件的源漏极，所述源漏极通过所述过孔与各自对应的 P 型重掺杂处理区域连通。

10. 根据权利要求 9 所述的方法，其中，在对 NMOS 型 LTPS 沟道层的沟道两端进行 N 型重掺杂处理的步骤，与对 PMOS 区域的 PMOS 型 LTPS 沟道层的沟道两端进行 P 型重掺杂处理的步骤的顺序互换。

	P-Si		P-Si
	SiO _x		SiO _x
	SiN _x		SiN _x
	GLA		GLA

图 1a

	N-Si		P-Si
	SiO _x		SiO _x
	SiN _x		SiN _x
	GLA		GLA

图 1b

P+-Si	N-Si	P+-Si	P+-Si	P-Si	P+-Si
	SiO _x			SiO _x	
	SiN _x			SiN _x	
	GLA			GLA	

图 1c

GI				GI					
P+-Si		N-Si		P+-Si		P-Si		P+-Si	
SiOx				SiOx					
SiNx				SiNx					
GLA				GLA					

图 1d

G			G		
GI			GI		
P+-Si	N-Si	P+-Si	P+-Si	P-Si	P+-Si
SiOx			SiOx		
SiNx			SiNx		
GLA			GLA		

图 1e

ILD			ILD		
G			G		
GI			GI		
P+-Si	N-Si	P+-Si	P+-Si	P-Si	P+-Si
SiOx			SiOx		
SiNx			SiNx		
GLA			GLA		

图 1f

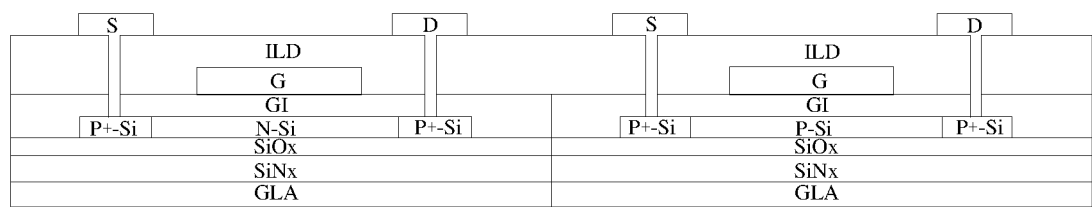


图 2

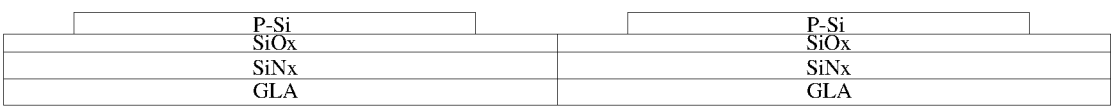


图 3a

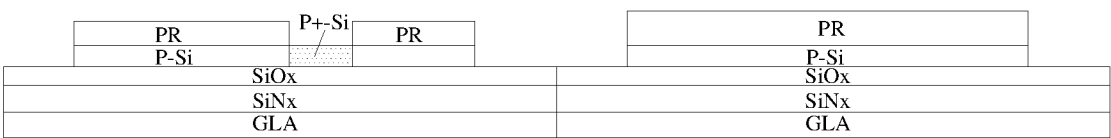


图 3b

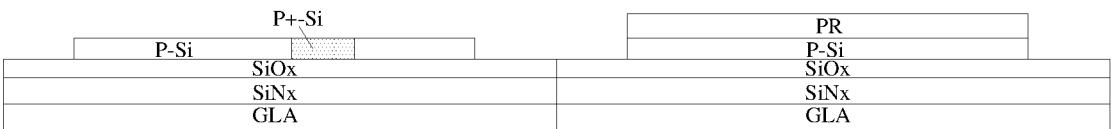


图 3c

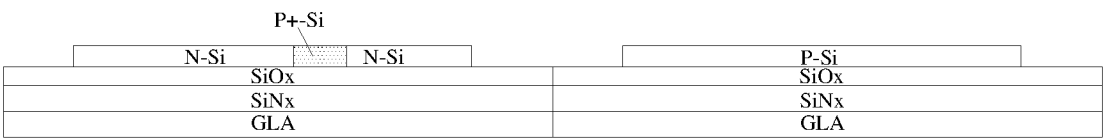


图 3d

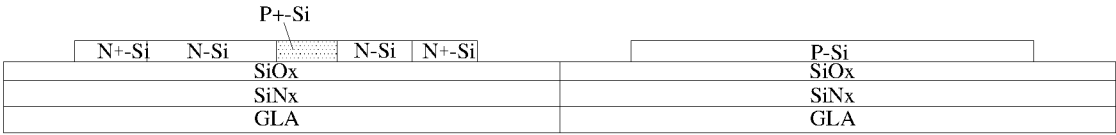


图 3e

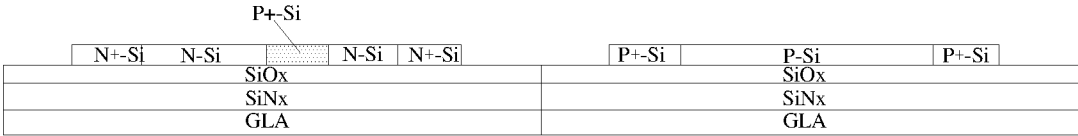


图 3f

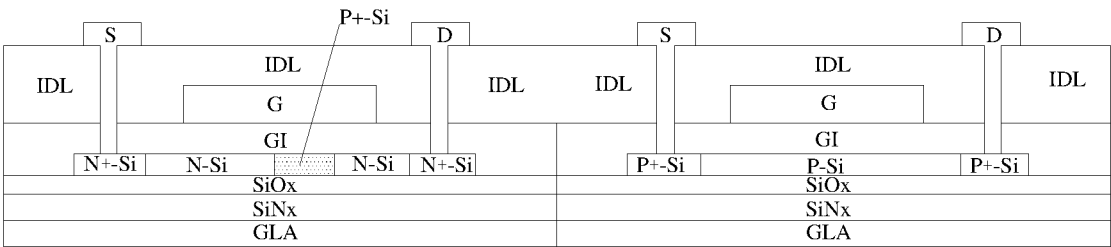


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/071286

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/092 (2006.01) i; H01L 29/10 (2006.01) i; H01L 21/8238 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI, IEEE: 沟道, PN 结, 热载流子, 热电子, LTPS, 低温多晶硅, channel, PN, hot, carrier, effect, electron, mobilities, low, temperature, poly, silicon

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2005012087 A1 (SHEU, Yiming et al.) 20 January 2005 (20.01.2005), description, paragraphs [0004]-[0040], and figures 1, 2 and 3a-3o	1-10
Y	CN 102881657 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 January 2013 (16.01.2013), description, paragraphs [0043]-[0066], and figures 1-10	1-10
A	CN 101150072 A (DONGBU HITEK CO., LTD.) 26 March 2008 (26.03.2008), entire document	1-10
PX	CN 106169473 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 November 2016 (30.11.2016), claims 1-10, description, paragraphs [0081]-[0105], and figures 1a-1g and 2a-2g	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 May 2017	Date of mailing of the international search report 31 May 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Tianfei Telephone No. (86-10) 62414060

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/071286

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2005012087 A1	20 January 2005	TW I255530 B	21 May 2006
		TW 200503175 A	16 January 2005
CN 102881657 A	16 January 2013	US 2014087532 A1	27 March 2014
		US 9006059 B2	14 April 2015
		CN 102881657 B	07 January 2015
CN 101150072 A	26 March 2008	US 7863692 B2	04 January 2011
		US 2008067616 A1	20 March 2008
		KR 20080026258 A	25 March 2008
		KR 100840662 B1	24 June 2008
CN 106169473 A	30 November 2016	None	

A. 主题的分类 H01L 27/092(2006.01)i; H01L 29/10(2006.01)i; H01L 21/8238(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, EPDOC, WPI, IEEE: 沟道, PN结, 热载流子, 热电子, LTPS, 低温多晶硅, channel, PN, hot, carrier, effect, electron, mobilities, low, temperature, poly, silicon																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2005012087 A1 (SHEU, YIMING 等) 2005年 1月 20日 (2005 - 01 - 20) 说明书第[0004]-[0040]段, 图1, 2, 3a-3o</td> <td>1-10</td> </tr> <tr> <td>Y</td> <td>CN 102881657 A (京东方科技集团股份有限公司) 2013年 1月 16日 (2013 - 01 - 16) 说明书第[0043]-[0066]段, 图1-10</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 101150072 A (东部高科股份有限公司) 2008年 3月 26日 (2008 - 03 - 26) 全文</td> <td>1-10</td> </tr> <tr> <td>PX</td> <td>CN 106169473 A (深圳市华星光电技术有限公司) 2016年 11月 30日 (2016 - 11 - 30) 权利要求第1-10项, 说明书第[0081]-[0105]段, 图1a-1g, 2a-2g</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	US 2005012087 A1 (SHEU, YIMING 等) 2005年 1月 20日 (2005 - 01 - 20) 说明书第[0004]-[0040]段, 图1, 2, 3a-3o	1-10	Y	CN 102881657 A (京东方科技集团股份有限公司) 2013年 1月 16日 (2013 - 01 - 16) 说明书第[0043]-[0066]段, 图1-10	1-10	A	CN 101150072 A (东部高科股份有限公司) 2008年 3月 26日 (2008 - 03 - 26) 全文	1-10	PX	CN 106169473 A (深圳市华星光电技术有限公司) 2016年 11月 30日 (2016 - 11 - 30) 权利要求第1-10项, 说明书第[0081]-[0105]段, 图1a-1g, 2a-2g	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	US 2005012087 A1 (SHEU, YIMING 等) 2005年 1月 20日 (2005 - 01 - 20) 说明书第[0004]-[0040]段, 图1, 2, 3a-3o	1-10															
Y	CN 102881657 A (京东方科技集团股份有限公司) 2013年 1月 16日 (2013 - 01 - 16) 说明书第[0043]-[0066]段, 图1-10	1-10															
A	CN 101150072 A (东部高科股份有限公司) 2008年 3月 26日 (2008 - 03 - 26) 全文	1-10															
PX	CN 106169473 A (深圳市华星光电技术有限公司) 2016年 11月 30日 (2016 - 11 - 30) 权利要求第1-10项, 说明书第[0081]-[0105]段, 图1a-1g, 2a-2g	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2017年 5月 17日		国际检索报告邮寄日期 2017年 5月 31日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘天飞 电话号码 (86-10)62414060															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/071286

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2005012087	A1	2005年 1月 20日	TW	I255530	B	2006年 5月 21日
				TW	200503175	A	2005年 1月 16日
CN	102881657	A	2013年 1月 16日	US	2014087532	A1	2014年 3月 27日
				US	9006059	B2	2015年 4月 14日
				CN	102881657	B	2015年 1月 7日
CN	101150072	A	2008年 3月 26日	US	7863692	B2	2011年 1月 4日
				US	2008067616	A1	2008年 3月 20日
				KR	20080026258	A	2008年 3月 25日
				KR	100840662	B1	2008年 6月 24日
CN	106169473	A	2016年 11月 30日	无			