(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
31. Januar 2008 (31.01.2008)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2008/011977 A1

(51) Internationale Patentklassifikation:
H03H 15/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2007/006040

(22) Internationales Anmeldedatum:
7. Juli 2007 (07.07.2007)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2006 034 033.7 24. Juli 2006 (24.07.2006) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **UNIVERSITÄT STUTTGART** [DE/DE]; Keplerstrasse 7, 70174 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: **GRÖZING, Markus** [DE/DE]; Johannesstr. 23, 70176 Stuttgart (DE). **BERROTH, Manfred** [DE/DE]; Schafweideweg 9, 71063 Sindelfingen (DE).

(74) Anwalt: **WÖRZ, Volker**; Dreiss, Fuhlendorf, Steimle & Becker, Postach 10 37 62, 70032 Stuttgart (DE).

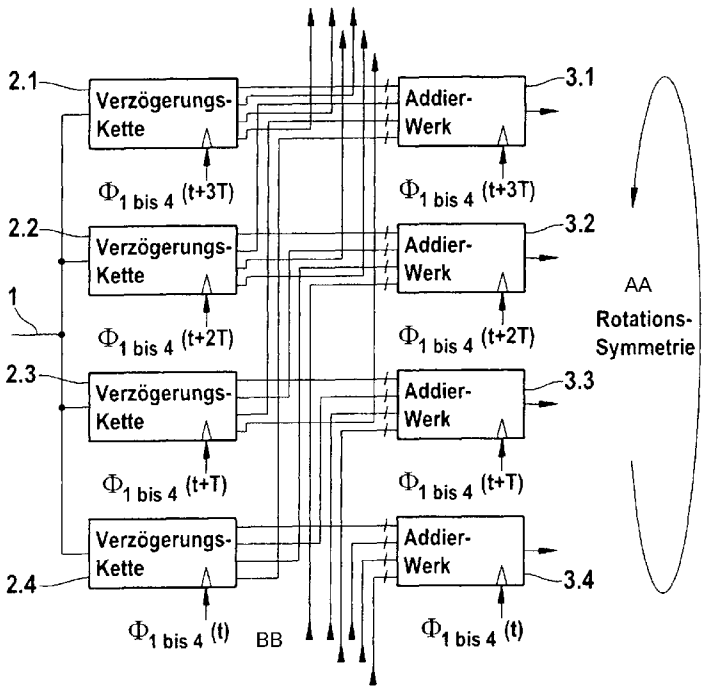
(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW,

[Fortsetzung auf der nächsten Seite]

(54) Title: FILTER STRUCTURE AND METHOD FOR FILTERING AN INPUT SIGNAL

(54) Bezeichnung: FILTERSTRUKTUR UND VERFAHREN ZUM FILTERN EINES EINGANGSSIGNALS



2.1, 2.2, 2.3, 2.4...delay chain
3.1, 3.2, 3.3, 3.4...addition unit
AA...rotational symmetry
BB...1 to 4

(57) **Abstract:** The invention relates to a method and filter structure for filtering an input signal, which is applied to an input (1) of the filter structure, having a symbol rate. The input signal is guided to multiple parallel branches of the filter structure connected to the input (1), in which at least two sequence holding members (4) are each disposed. Symbol values of the input signal, which are applied to the outputs of the sequence holding members (4) at certain points are guided to multiple (N) parallel signal addition units (3) having weighted inputs. One output signal each is generated in the signal addition units (3) as the sum of the weighted symbol values that are applied to the inputs. According to the invention, space and energy saving filter structure is provided, wherein: the same amount of sequence holding members (4.1, 4.2, 4.3) is disposed in each of the parallel branches; as many signal addition units (3.1, 3.2, 3.3, 3.4) are disposed in the filter structure as the amount of parallel branches are provided in the filter structure; the sequence holding members (4.1, 4.2, 4.3) and addition units (3.1, 3.2, 3.3, 3.4) are nested inside each other; and the sequence holding members die (4.1, 4.2, 4.3) and the signal addition units (3) are controlled via a multi-phase clock signal (Φ_{1to4}).

[Fortsetzung auf der nächsten Seite]

WO 2008/011977 A1

GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:
— *mit internationalem Recherchenbericht*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren und eine Filterstruktur zum Filtern eines an einem Eingang (1) der Filterstruktur mit einer Symbolrate anliegenden Eingangssignals. Das Eingangssignal wird auf mehrere parallele, an den Eingang (1) angeschlossene Zweige der Filterstruktur, in denen jeweils mindestens zwei Folge-Halte-Glieder (4) angeordnet sind, geführt. An den Ausgängen der Folge-Halte-Glieder (4) zu bestimmten Zeitpunkten anliegende Symbolwerte des Eingangssignals werden an mehrere (N) parallele Signaladdierwerke (3) mit gewichteten Eingängen geführt. In den Signaladdierwerken (3) wird jeweils ein Ausgangssignal als Summe der gewichteten, an den Eingängen anliegenden Symbolwerte erzeugt. Erfindungsgemäß wird eine platz- und energiesparende Filterstruktur vorgeschlagen, bei der: in jedem der parallelen Zweige die gleiche Anzahl an Folge-Halte-Gliedern (4.1, 4.2, 4.3) angeordnet ist; in der Filterstruktur so viele Signaladdierwerke (3.1, 3.2, 3.3, 3.4) wie parallele Zweige in der Filterstruktur vorgesehen sind angeordnet werden; Folge-Halte-Glieder (4.1, 4.2, 4.3) und Addierwerke (3.1, 3.2, 3.3, 3.4) sind ineinander verschachtelt; und die Folge-Halte-Glieder (4.1, 4.2, 4.3) und die Signaladdierwerke (3) über ein Mehrphasen-Takt signal (Φ_{1bis4}) angesteuert werden.

Titel: Filterstruktur und Verfahren zum Filtern eines Eingangssignals

Beschreibung

Die vorliegende Erfindung betrifft ein mehrfach paralleles Filter mit finiter Impulsantwort. (engl. Finite impulse response, FIR) zum Filtern eines Eingangssignals. Insbesondere betrifft die Erfindung eine Filterstruktur, umfassend:

- einen Eingang, an dem ein Eingangssignal mit einer Symbolrate R anliegt,
- mehrere N parallele, an den Eingang angeschlossene Zweige, in denen jeweils mindestens zwei analoge getaktete Verzögerungselemente hintereinander angeordnet sind, wobei N eine gerade Zahl ist,
- mehrere N parallele, an Ausgänge der Verzögerungselemente angeschlossene Signaladdierwerke mit jeweils mehreren K gewichteten Eingängen, wobei die Anzahl der Signaladdierwerke gleich der Anzahl der in der Filterstruktur vorgesehenen parallelen Zweigen ist, und
- ein Ansteuerungsnetzwerk, welches ein Mehrphasen-Taktsignal mit mehreren N einzelnen Taktsignalen führt, wobei die einzelnen Taktsignale dieselbe Form aufweisen, um eine Abtastperiodendauer T relativ zueinander verschoben sind und die Anzahl N der einzelnen Taktsignale des Mehrphasen-Taktsignals gleich der Anzahl N der parallelen Zweige ist, und zur Ansteuerung der Verzögerungselemente mit dem Mehrphasen-Taktsignal.

Außerdem betrifft die Erfindung ein Verfahren zum Filtern eines an einem Eingang einer Filterstruktur mit einer

Symbolrate anliegenden Eingangssignals, wobei

- das Eingangssignal über mehrere N parallele, an den Eingang angeschlossene Zweige der Filterstruktur, in denen jeweils mindestens zwei analoge getaktete Verzögerungselemente hintereinander angeordnet sind, geführt wird, wobei N eine gerade Zahl ist,
- mehrere N parallele Signaladdierwerke mit jeweils mehreren K gewichteten Eingängen an Ausgänge der Verzögerungselemente angeschlossen werden, wobei die Anzahl N der Signaladdierwerke gleich der Anzahl N der in der Filterstruktur vorgesehenen parallelen Zweigen gewählt wird, und
- der Filterstruktur ein Mehrphasen-Taktsignal mit mehreren N einzelnen Taktsignalen zugeführt wird, wobei die einzelnen Taktsignale dieselbe Form aufweisen, um eine Abtastperiodendauer T relativ zueinander verschoben sind und die Anzahl N der einzelnen Taktsignale des Mehrphasen-Taktsignals gleich der Anzahl N der in der Filterstruktur vorgesehenen parallelen Zweige gewählt wird, und die Verzögerungselemente mit dem Mehrphasen-Taktsignal angesteuert werden.

Das Eingangssignal wird auf N parallele, an den Eingang angeschlossene Zweige der Filterstruktur, in denen jeweils mindestens zwei analoge getaktete Verzögerungselemente angeordnet sind, geführt. An den Ausgängen der Verzögerungselemente liegen abgetastete Symbolwerte des Eingangssignals an, welche zu bestimmten, durch eine Abtastperiodendauer T der Filterstruktur vorgegebenen Zeitpunkten dem Eingangssignal entnommen wurden. Diese Symbolwerte werden an N Signaladdierwerke mit gewichteten Eingängen geführt. In den N Signaladdierwerken wird ein Ausgangssignal als Summe einer geeigneten Auswahl an K Stück bestimmter gewichteter, an den Ausgängen der Verzögerungselemente anliegender Symbolwerte erzeugt.

Aus dem Stand der Technik sind zum Herausfiltern von Verzerrungen aus einem schnellen, seriellen Datenstrom mit binärer, duobinärer oder x-facher Pulsamplituden-Modulation verschiedene Verfahren bekannt. Die Verzerrungen können ihre Ursache in bestimmten Beschränkungen in der Datenübertragung, bspw. einer Übertragung über einen dispersionsbehafteten, d.h. bandbegrenzten Kanal haben. Verzerrungen in den übertragenen Signalen führen dazu, dass die einzelnen Datensymbole aufgeweitet und ihre Amplitude verringert wird. Durch die zeitliche Aufweitung überlappen sich die einzelnen aufeinander folgenden Datensymbole (sog. Intersymbolinterferenz, ISI) und können im Empfänger nicht mehr unabhängig von den vorlaufenden und nachlaufenden Datensymbolen detektiert werden. Übersteigt die Verzerrung des Eingangssignals am Empfänger einen bestimmten Grad, kann das verzerrte Signale nicht mehr mittels eines einfachen Entscheiders detektiert werden. Es sind dann wesentlich aufwendigerere Techniken notwendig, um die Verzerrung in dem übertragenen Signal zu minimieren. Bekannte Verfahren zum Entzerren bzw. Filtern von Datenströmen umfassen:

a) getaktete Filter mit finiter Impulsantwort (FIR) im Sender zur Vorverzerrung des Signals (vgl. US 7,030,657),

b) rein analoge zeitkontinuierliche Entzerrungsfilter (aktive Gm-C Filter oder RC-Filter) zur Anhebung der hochfrequenten Signalanteile im Empfänger (vgl. US 6,542,540 und US 7,026,856),

c) zeitkontinuierliche FIR-Filter (sog. Transversalentzerrer) mit LC-Elementen oder Leitungsstücken als Verzögerungsstufen im Empfänger (vgl. US 5,055,795),

a) bis c) jeweils gegebenenfalls in Kombination mit einem entscheidungsrückgekoppelten Entzerrer (sog. decision feedback equalizer, DFE) im Empfänger,

d) vollserielle abtastende FIR-Filter im Empfänger, bei denen ein einziger Zweig von kaskadierten analogen getakteten Verzögerungselementen die abgetasteten Symbolwerte im Takt der Abtastperiodendauer von einem zum nächsten Verzögerungselement weitergibt (vgl. US 5,734,680)

e) vollparallele abtastende FIR-Filter im Empfänger, bei denen für ein FIR-Filter mit Grad K insgesamt N gleichartige Folge-Halte-Glieder und N gleichartige Addierwerke am Eingang parallel geschaltet werden und die ein Mehrphasen-Taktsignal mit N einzelnen Taktsignalen mit einem Tastverhältnis von 1:(N-1) benötigen (vgl. US 6,768,372 und US 6,529,926).

Die bekannten Verfahren besitzen verschiedene Nachteile:

zu a) Das Anpassen der Koeffizienten im Sender ist schwierig, da das Empfangssignal und damit die Kanaleigenschaften im Sender nicht bekannt sind oder nur schwierig zu beschaffen sind.

zu b) aktive Gm-C Filter und aktive RC-Filter sind für den Einsatz bei schnellen Datenübertragungsraten im Bereich von mehreren 10 Gbit/sec zu langsam und nehmen eine relativ hohe elektrische Leistung auf. Zudem sind sie nur eingeschränkt bitratenflexibel und rauschen stark.

zu c) Zeitkontinuierliche FIR-Filter im Empfänger benötigen aufgrund der zu realisierenden Spiralinduktivitäten (LC-Filter) oder aufgrund der relativ langen Leitungsstücken viel Chipfläche im Empfänger und sind nicht bitratenflexibel. Diese Filter werden also für bestimmte Bitraten ausgelegt und können nicht einfach für eine andere Bitrate eingesetzt werden.

zu d) Die kaskadierten Ketten der analogen getakteten Verzögerungselemente sind für den Empfang und die Filterung von Signalen bei hohen Baudraten zu langsam, die abgetasteten Signalwerte können dann nicht mehr im schnellen Takt der einlaufenden Datensymbole von einer Verzögerungsstufe zur nächsten weiter gegeben werden. Außerdem addieren sich bei langen kaskadierten Ketten die nichtlinearen Verzerrungen (Signalkompression), das Rauschen und die linearen Verzerrungen (Bandbegrenzungen) der einzelnen analogen getakteten Verzögerungselemente auf, so dass die Signalverarbeitung mit solchen Filtern bei zunehmendem Filtergrad (und damit zunehmender Kettenlänge) immer schwieriger wird.

zu e) Um ein Filter mit dem Grad K zu realisieren, müssen N Teilfilter parallel angeordnet werden. N muss dabei größer sein als K, meist ist N=2*k. Daher ist der Grad an Parallelisierung direkt an den Filtergrad gekoppelt. Ist aufgrund des Übertragungskanals ein größerer Filtergrad K erforderlich, so muss auch der Parallelisierungsgrad N vergrößert werden. Bei größerem Parallelisierungsgrad N muss dann aber auch die Takterzeugung für das parallelisierte Filter entsprechend modifiziert werden. Außerdem ist die Erzeugung der Taktsignale mit dem Tastverhältnis 1:(N-1) aufwendig, und es ist äußerst schwierig, bei großem Parallelisierungsgrad N alle N Taktsignale mit präziser zeitlicher Lage an die N Folge-Halte-Glieder zu führen.

Im Stand der Technik stellt also die Realisierung eines fehlerfreien bzw. fehlerarmen Empfangs eines schnellen seriellen Datenstroms mit binärer, duobinärer oder x-facher Pulsamplituden-Modulation, wobei der Datenstrom über einen dispersionsbehafteten, d.h. bandbegrenzten Kanal, übertragen wird und dadurch verzerrt ist, ein erhebliches Problem dar, insbesondere wenn der Empfang bitratenflexibel erfolgen soll.

In der US 6,553,398 (Capofreddi) ist bspw. in Figur 9 eine Filterstruktur der eingangs genannten Art beschrieben. Insbesondere zeigt diese Druckschrift einen wertekontinuierlichen, zeitdiskreten Entzerrer zum Filtern eines Datenstroms, bei dem mehrere in Serie geschaltete Folge-Halte-Glieder (Track and Hold, T/H) eine Verzögerungskette bilden. Mehrere solcher Verzögerungsketten sind in N parallel zueinander angeordneten Zweigen angeordnet. Das heißt, das bekannte Filter stellt sozusagen eine verallgemeinerte Kombination aus den obigen Filterkonzepten nach d) (vollseriell) und e) (vollparallel) dar.

Dabei sind in den einzelnen Zweigen aus Gründen einer Synchronisation unterschiedlich viele Folge-Halte-Glieder am Anfang der Ketten angeordnet, und zum gleichen Zweck ist der Phasenabstand der einzelnen Taktsignale, mit dem die einzelnen in der Kette aufeinander folgenden Folge-Halte-Glieder angesteuert werden, unterschiedlich groß. Die Synchronisation bewirkt, dass ab einer bestimmten Stelle längs der N parallelen Verzögerungsketten die anliegenden abgetasteten Symbolwerte synchron zu einem bestimmten einzelnen Taktsignal des Mehrphasen-Taktsignals weitergegeben werden. Dadurch liegen zu einem bestimmten Zeitpunkt, d.h. zu einer bestimmten Taktperiode, die abgetasteten aufeinander folgenden Symbolwerte gleichzeitig parallel in den Zweigen zur Auswertung bspw. durch ein Signaladdierwerk vor.

Jedes Folge-Halte-Glied bewirkt jedoch die Addition von nichtlinearen Verzerrungen (Signalkompression), von Rauschen und von linearen Verzerrungen (Bandbegrenzung) zum eigentlich gewünschten abgetasteten Symbolwert, der im idealen Fall ungestört entlang der Kette weitergegeben werden soll. Das heißt, das Entzerrungsfilter selbst addiert weitere Störungen zum Signal, welche in einem ungünstigen Fall die

Signalentscheidung nach den Signaladdierwerken beeinträchtigen und verfälschen kann.

Durch die unterschiedlich große Anzahl an Folge-Halte-Gliedern in den einzelnen Verzögerungsketten und durch den unterschiedlich großen zeitlichen Abstand der Taktsignale, mit welchem aufeinander folgende Folge-Halte-Glieder innerhalb einer Kette angesteuert werden, ergibt sich jedoch ein verschieden großer Grad an Rauschen und an linearen und nichtlinearen Verzerrungen in den parallelen Pfaden. Insbesondere sind die abgetasteten Signalwerte, welche an äquivalenten Eingängen der Signaladdierwerke (also an Eingängen, welche mit dem gleichen Koeffizienten gewichtet werden) anliegen, in unterschiedlich großem Grad durch das Rauschen und die Verzerrungen der vorgeschalteten Folge-Halte-Glieder gestört. Dadurch ergibt sich die sehr ungünstige Eigenschaft, dass sich die Übertragungseigenschaften der N logischen Signalpfade vom Eingang des Filters zu den N äquivalenten Eingängen der parallelen Signaladdierwerke voneinander unterscheiden. Letztendlich hängt dann die Fehlerwahrscheinlichkeit für ein am Eingang empfangenes Symbol davon ab, in welches der N parallelen Zweige es am Eingang durch den Abtasttakt hineinsortiert wird. Diese Unsymmetrie bezüglich der Verarbeitung der abgetasteten analogen Symbolwerte in den N Signalpfaden ist die Ursache für zusätzliche Fehlerquellen und Imperfektionen, welche nicht einfach durch Nachjustieren der Gewichtungsfaktoren oder auf andere Weise behoben werden können. Bei dem bekannten Entzerrer handelt es sich also um einen parallelisierten Entzerrer mit einer unsymmetrischen Struktur bezüglich der Signalpfade vom Eingang des Filters zu äquivalenten Eingängen der Signaladdierwerke.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen seriellen Datenstrom mittels eines bitratenflexiblen Filters im Empfänger bei höchsten Datenraten mit einer möglichst

geringen Leistungsaufnahme ohne die Verwendung von flächen- und leistungsintensiven LC-Stufen zu entzerren.

Zur Lösung dieser Aufgabe wird ausgehend von der Filterstruktur der eingangs genannten Art vorgeschlagen, dass

- in jedem der N Zweige die gleiche Anzahl an Verzögerungselementen hintereinander angeordnet ist,
- Taktsignale, welche zur Ansteuerung einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente in verschiedenen Zweigen vorgesehen sind, jeweils um eine Abtastperiodendauer T (Taktphasendauer) gegeneinander verschoben sind,
- Taktsignale, welche zur Ansteuerung der Signaladdierwerke vorgesehen sind, jeweils um eine Abtastperiodendauer T (Taktphasendauer) gegeneinander verschoben sind,
- Taktsignale, welche zur Ansteuerung aufeinander folgender Verzögerungselemente eines Zweiges vorgesehen sind, jeweils um eine halbe Taktperiodendauer T*N/2 gegeneinander verschoben sind, und
- die Signaladdierwerke derart mit den Ausgängen der Verzögerungselemente in den Zweigen verschaltet sind, dass alle logischen Signalpfade zwischen dem Eingang der Filterstruktur und den mit dem gleichen Gewichtungsfaktor gewichteten entsprechenden Eingängen der Signaladdierwerke jeweils über die gleiche Anzahl an Verzögerungselementen und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente in verschiedenen Zweigen geführt sind.

Gemäß einer vorteilhaften Weiterbildung der Erfindung wird vorgeschlagen, dass die Taktsignale, welche zur Ansteuerung einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente in aufeinander folgenden Zweigen vorgesehen sind, um jeweils eine Abtastperiodendauer T gegeneinander verschoben sind, und dass die Signaladdierwerke

derart mit den Ausgängen der Verzögerungselemente in den Zweigen verschaltet sind, dass alle logischen Signalpfade zwischen dem Eingang der Filterstruktur und den mit dem gleichen Gewichtungsfaktor gewichteten entsprechenden Eingängen der Signaladdierwerke jeweils über die gleiche Anzahl an Verzögerungselementen und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente in aufeinander folgenden Zweigen geführt sind, wobei der auf den letzten Zweig der Filterstruktur folgende Zweig der erste Zweig ist.

Zur Lösung dieser Aufgabe wird außerdem ausgehend von dem Verfahren der eingangs genannten Art vorgeschlagen, dass

- in jedem der Zweige die gleiche Anzahl an Verzögerungselementen hintereinander angeordnet wird,
- Taktsignale, die zur Ansteuerung von einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselementen in verschiedenen Zweigen herangezogen werden, jeweils um eine Abtastperiodendauer T gegeneinander verschoben werden,
- Taktsignale, die zur Ansteuerung der Signaladdierwerke herangezogen werden, jeweils um eine Abtastperiodendauer T gegeneinander verschoben werden,
- Taktsignale, die zur Ansteuerung aufeinander folgender Verzögerungselemente eines Zweiges herangezogen werden, jeweils um eine halbe Taktperiodendauer (T*N/2) gegeneinander verschoben werden, und
- die Signaladdierwerke derart mit den Ausgängen der Verzögerungselemente in den Zweigen verschaltet werden, dass alle Signalpfade zwischen dem Eingang der Filterstruktur und den mit dem gleichen Gewichtungsfaktor gewichteten entsprechenden Eingängen der Signaladdierwerke jeweils über die gleiche Anzahl an Verzögerungselementen und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente in verschiedenen Zweigen, vorzugsweise in unmittelbar aufeinander folgenden Zweigen, geführt werden.

In den Unteransprüchen sind vorteilhafte Ausgestaltungen und Ausführungsformen der Erfindung angegeben.

Zur Elimination zusätzlicher Fehlerquellen weisen also alle äquivalenten (gleichwertigen) parallelen Signalpfade in der parallelisierten Struktur die gleiche Verzögerungszeit auf, und die Anzahl und Anordnung der Verzögerungselemente in den parallelen Pfaden ist gleich und unterscheidet sich nur in der Ansteuerung durch die nächstfolgenden Taktphasen. Der Phasenabstand der einzelnen Taktsignale des Mehrphasen-Taktsignals, welche innerhalb einer Kette aufeinander folgende analoge Verzögerungselemente ansteuern, ist immer gleich groß.

Zur Realisierung der Filterverzögerungselemente werden analoge getaktete Verzögerungselemente, z.B. Folge-Halte-Glieder, verwendet. Durch Ansteuerung mittels eines Mehrphasen-Takts wird der empfangene Datenstrom in mehrere parallele, miteinander verschränkte und zueinander voll symmetrische Zweige aufgeteilt, wobei die Anzahl N der Phasen des Mehrphasen-Taktsignals gleich groß ist wie die Anzahl N der parallelen Zweige. In den einzelnen Zweigen erfolgt dann die FIR-Filterung K-ten Grades bei 1/N-fach reduzierter Taktrate bzw. Verarbeitungsgeschwindigkeit. Die erfindungsgemäße Filterstruktur ist insbesondere zum Filtern von verzerrten binären oder duobinären oder x-fach pulsamplitudenmodulierten Signalen ausgelegt.

Mit der vorliegenden Erfindung wird erstmals eine vollsymmetrische Entzerrungsstruktur mit parallelen Zweigen aus kaskadierten analogen Verzögerungselementen vorgeschlagen, welche durch einen Mehrphasentakt angesteuert wird und bei der alle äquivalenten Signalpfade die gleiche Struktur aufweisen. Außerdem kann die Struktur mit einfach zu erzeugenden Taktsignalen mit einem Tastverhältnis von 1:1 angesteuert werden.

Mit der vorliegenden Erfindung ist eine Entzerrung mittels zeitdiskreter Filterung mit finiter Impulsantwort (FIR-Filterung) bei einer sehr hohen Eingangsdatenrate R und i-facher Überabtastung mit einem Verarbeitungstakt möglich, welcher auf die Frequenz i*R/N reduziert ist. Zudem können weniger komplexe, flächen- und stromsparende Folge-Halte-Glieder als Verzögerungselemente in der Filterstruktur eingesetzt werden. Die erfindungsgemäße Struktur arbeitet aufgrund der Ansteuerung durch ein vorgebbares Taktsignal bei nahezu beliebigen Bitraten bei unveränderter Filterstruktur, so dass praktisch volle Bitraten-Flexibilität herrscht. Es ist möglich, eine hohe Eingangsdatenrate entweder durch eine große Parallelität (viele parallele Verzögerungszweige) oder durch eine hohe Taktrate bzw. Verarbeitungsgeschwindigkeit in den einzelnen Zweigen zu erreichen und so ein Optimum an verarbeitbarer Datenrate, Kosten- und Stromeinsparung und Filtereigenschaften zu erzielen.

Gemäß der Erfindung wird ein serielles FIR-Filter in mehrere logische parallele Teilfilter aufgespalten. Das parallelisierte Filter umfasst N parallele Teilverzögerungsketten und N parallele Signaladdierwerke. Die Teilverzögerungsketten, die auch als Verzögerungszweige oder einfach nur als Zweige bezeichnet werden, enthalten jeweils mindestens zwei in Serie geschaltete Verzögerungselemente, welche über den Mehrphasentakt mit N Phasen und mit der Periodendauer N*T angesteuert werden (sog. "Eimerketten" mit Verzögerungszeitquantum T). Die getakteten Signaladdierwerke greifen in geeigneter Art und Weise auf die Signale von (im allgemeinen) mehreren Teilverzögerungsketten zu. Die benachbarten Teilverzögerungsketten arbeiten zueinander um die Zeit T verschoben. Die jeweiligen logischen Teilfilter bestehen aus dem jeweiligen Signaladdierwerk und denjenigen Teilen der Teilverzögerungsketten, aus denen das jeweilige Signaladdierwerk die abgetasteten Symbolwerte entnimmt.

Dadurch ergibt sich eine Verschränkung oder Verschachtelung der Teilfilter. Die Topologie der Verschaltung der Signaladdierwerke mit den Signalen der Teilverzögerungsketten weist eine Rotationssymmetrie auf, d.h. die Struktur aller logischen Teilfilter ist gleich, es gibt eine eindeutige Reihenfolge der parallelen Teilfilter (also eine Reihenfolge, in welcher die abgetasteten Symbolwerte in die Teilfilter eingelesen werden), es gibt aber kein "erstes" und kein "letztes" paralleles Teilfilter. Auf das letzte Teilfilter folgt das erste Teilfilter der Filterstruktur.

Die gewünschte Symmetrie der erfindungsgemäßen Filterstruktur wird gemäß obigem Beispiel dadurch erzielt, dass jeder Eingang eines jeden Addierwerkes mit Ausgängen von bestimmten Verzögerungselementen verbunden ist, wobei die Verzögerungselemente in einem bestimmten Zweig und an einer bestimmten Stelle innerhalb eines der Zweiges angeordnet sind. So ist bspw. der erste Eingang des ersten Signaladdierwerks der Filterstruktur mit Ausgängen von bestimmten Verzögerungselementen aus dem der Nummer des Addierwerks entsprechenden (ersten) Zweig, aus dem vorangegangenen (letzten) Zweig und aus dem nachfolgenden (zweiten) Zweig verbunden. Als Verzögerungselemente werden bspw. das erste Verzögerungselement aus dem letzten Zweig, das zweite Verzögerungselement aus dem ersten Zweig und das dritte Verzögerungselement aus dem zweiten Zweig herangezogen. In entsprechender Weise wäre dann der erste Eingang des zweiten Signaladdierwerks der Filterstruktur mit Ausgängen von bestimmten Verzögerungselementen aus dem der Nummer des Addierwerks entsprechenden (zweiten) Zweig, aus dem vorangegangenen (ersten) Zweig und aus dem nachfolgenden (dritten) Zweig verbunden, wobei auch hier in entsprechender Weise das erste Verzögerungselement aus dem ersten Zweig, das zweite Verzögerungselement aus dem zweiten Zweig und das dritte Verzögerungselement aus dem dritten Zweig herangezogen werden. In entsprechender Weise sind alle ersten Eingänge und alle weiteren Eingänge der

Signaladdierwerke mit bestimmten Verzögerungselementen aus bestimmten Zweigen verbunden, so dass sich insgesamt eine symmetrische Filterstruktur ergibt.

Es ergibt sich eine Filterstruktur, bei der die Wahl des Parallelisierungsgrads und des Filtergrads unabhängig voneinander ist, d.h. es muss nur so weit parallelisiert werden wie unbedingt nötig (aufgrund der Geschwindigkeitsanforderung in den Teilverzögerungsketten und Teiladdierwerken). Bei den aus dem Stand der Technik bekannten Konzepten wird dagegen der Parallelisierungsgrad üblicherweise doppelt so groß wie der Filtergrad gewählt, damit genügend Rechenzeit in den Signaladdierwerken zur Verfügung steht. Die erfindungsgemäße Struktur ist zum einen flexibel anpassbar, indem die Anzahl der parallelen Zweige und die Länge der Zweige, d.h. die Anzahl der Folge-Halte-Glieder je Zweig, optimal auf die Taktrate, Signalqualität und (kostentechnisch und größentechnisch) verfügbare Qualität der elektronischen Bauteile abgestimmt werden kann. Zum anderen ist die Struktur durch ihren vollständig symmetrischen Aufbau in der Lage, eine gleich bleibende Signalqualität in jedem Zweig und in jeder Phase der Signalverarbeitung zu gewährleisten. Ein wichtiger Aspekt der Erfindung ist es, die notwendige Taktrate bei der Signalverarbeitung in den einzelnen Zweigen durch Aufteilung des Datenstroms auf mehrere Zweige zu reduzieren und somit insgesamt höhere Taktraten für die eigentliche Signalübertragung zu ermöglichen.

Besondere Vorteile und bevorzugte Ausführungsbeispiele der erfindungsgemäßen Filterstruktur werden nachfolgend unter Bezugnahme auf die Figuren näher erläutert. Es zeigen:

Fig. 1 ein Blockschaltbild einer Filterstruktur gemäß der Erfindung mit vier parallelen Zweigen;

Fig. 2 ein Beispiel einer Teilverzögerungskette einer Filterstruktur gemäß der Erfindung mit drei hintereinander geschalteten Folge-Halte-Gliedern;

Fig. 3 Beispiele möglicher Mehrphasen-Taktsignale zur Ansteuerung der Folge-Halte-Glieder einer Filterstruktur gemäß der Erfindung;

Fig. 4 ein Beispiel für eine Realisierung einer Filterstruktur gemäß der Erfindung, bei der die Folge-Halte-Glieder durch ein Taktsignal mit einer Frequenz entsprechend der halben Symbolrate R angesteuert werden;

Fig. 5 ein Schaltplan eines Folge-Halte-Glieds;

Fig. 6 ein Beispiel für ein getaktetes Signaladdierwerk für einen Entzerrer mit finiter Impulsantwort (FIR);

Fig. 7 ein Schaltplan eines Addierers für einen entscheidungsrückgekoppelten Entzerrer mit integriertem Entscheider;

Fig. 8 ein Beispiel für ein Blockschaltbild eines Taktgenerators zur Ansteuerung der erfindungsgemäßen Filterstruktur;

Fig. 9 ein Blockschaltbild einer erfindungsgemäßen Filterstruktur gemäß einer bevorzugten Ausführungsform als 2-fach paralleler FIR-Entzerrer mit 2-Phasen-Takt;

Fig. 10 einen ersten Schaltzustand der Filterstruktur aus Fig. 9;

Fig. 11 einen zweiten Schaltzustand der Filterstruktur aus Fig. 9;

Fig. 12 einen dritten Schaltzustand der Filterstruktur aus Fig. 9;

Fig. 13 einen vierten Schaltzustand der Filterstruktur aus Fig. 9;

Fig. 14 ein Blockschaltbild einer erfindungsgemäßen Filterstruktur gemäß einer bevorzugten Ausführungsform als 4-fach paralleler FIR-Entzerrer mit 4-Phasen-Takt;

Fig. 15 einen ersten Schaltzustand der Filterstruktur aus Fig. 14;

Fig. 16 einen zweiten Schaltzustand der Filterstruktur aus Fig. 14;

Fig. 17 einen dritten Schaltzustand der Filterstruktur aus Fig. 14; und

Fig. 18 einen vierten Schaltzustand der Filterstruktur aus Fig. 14.

Basisbanddatenübertragung über elektronische Leiterplatten (englisch: printed circuit board; PCB) beispielsweise in Rückwandplatinenbussen für Vermittlungs- oder Großrechner, oder über den Speicherbus in Personalcomputern kann Raten von mehreren Gbit/s pro Kanal erreichen. In optischen Lichtleiter-Netzwerken (LANs, local area netowrks, lokale Netzwerke; MANs, metropolitan area networks, regionale Netzwerke; WANs, wide area networks, Weitverkehrs-Netzwerke) erreicht die Datenübertragungsrate mehrere 10 Gbit/s. Aber sowohl die elektrische Übertragung über Leiterbahnen auf

Standard PCB-Substraten als auch die optische Übertragung über Lichtleiter leiden unter Dispersion, Verlusten und Reflexionen. Eine einfache binäre Übertragung (mit binärem Sender und binärem Empfänger) scheitert aufgrund von Intersymbolinterferenzen (ISI; inter-symbol interference) zwischen den aufeinander folgenden Datensymbolen, wenn sie jenseits einer bestimmten Übertragungsentfernung oder jenseits einer bestimmten Symbolrate eingesetzt wird. Dies wird bei Betrachtung des empfangenen Signals in einem sogenannten geschlossenen Augendiagramm (closed eye diagram) deutlich.

Eine bewusste Vorverzerrung des zu übertragenden Signals im Sender (transmitter pre-distortion) und eine Nachverzerrung oder Entzerrung im Empfänger (receiver equalization) sind Methoden, um die Schwäche des Übertragungskanals abzumildern. Eine bekannte Methode ist der Einsatz eines Filters mit finiter Impulsantwort (englisch: finite-impulse-response; FIR) im Sender und eines entscheidungsrückgekoppelten Filters (englisch: decision-feedback-equalizer; DFE) im Empfänger. Zusätzliche zeitkontinuierliche Verstärker mit Anhebung der hochfrequenten Signalanteile (sogenannte peaking amplifiers) im Empfänger werden ebenfalls eingesetzt. Nachteile der Vorverzerrung sind das erforderliche Wissen auf der Senderseite bezüglich der Kanaleigenschaften sowie eine zunehmende hochfrequente Signalleistung beim Sender, die sich auf andere Kanäle einkoppeln kann. Elektronische Entzerrer für optische Systeme verwenden häufig relativ lange bei der vollen Symbolrate arbeitende FIR-Filter zur Nachverzerrung im Empfänger, die meistens mit leistungs- und flächenintensiven LC-Verzögerungsschaltungen (full-rate buffered LC-delay lines) implementiert sind.

Gemäß der vorliegenden Erfindung wird eine Filterstruktur für einen Entzerrer (englisch: equalizer) vorgestellt, in dem herkömmliche Folge-Halte-Glieder als FIR-Filterverzögerungs-

elemente eingesetzt werden. Weder chipflächenintensive LC-Verzögerungselemente noch Übertragungsleitungsverzögerungen noch irgendwelche anderen zeitkontinuierlichen analogen Verzögerungselemente sind in dem erfindungsgemäßen Konzept erforderlich. Die Verzögerung des Ausgangssignals gegenüber dem Eingangssignal der Folge-Halte-Glieder wird durch das datensynchrone Mehrphasen-Taktsignal vorgegeben, so dass die erfindungsgemäße Filterstruktur bitratenflexibel ist.

Die vorliegende Erfindung betrifft ein FIR-Filter zur Filterung eines Datenstroms bei einer schnellen, seriellen Datenübertragung. Der Datenstrom kann über Kupferleitungen oder optische Fasern übertragen werden. Ein mögliches Anwendungsgebiet für ein solches Filter ist beispielsweise die Datenübertragung zwischen einem Prozessor und einem Speicher bzw. einem sogenannten memory controller und dem Speicher in einem Rechensystem, beispielsweise einem Computer. Eine Erhöhung der Datenübertragungsrate kann durch eine Erhöhung der Anzahl der parallelen Leitungen erzielt werden. Derzeit erfolgt eine Datenübertragung zwischen Prozessor und Speicher in der Regel über einen Datenbus mit 64 parallelen Leitungen, also einem 64 Bit breitem Parallelbus. Eine weitere Verbreiterung des Datenbusses, bspw. auf 128 oder noch mehr Bits, stößt aufgrund des dafür erforderlichen Platzes auf der Leiterplatte an Grenzen. Aus diesem Grund kann eine weitere Erhöhung der Datenrate über den gesamten Speicherbus von derzeit etwa 64 Gbit/s (64 * 1 Gbit/s, entspricht insgesamt 8 Gbyte/s) bei einem 64 Bit breiten Datenbus auf beispielsweise 320 Gbit/s (40 Gbyte/s) oder gar 640 Gbit/s (80 Gbyte/s) allein durch Verbreiterung des Datenbusses nicht erzielt werden.

Auch eine Erhöhung der Symbolrate auf den einzelnen Leitungen, so dass Datenraten von mehreren 1 Gbit/s pro Leitung übertragen werden können, ist nicht ohne weiteres möglich. Eine Erhöhung der Symbolrate führt nämlich zu einer

weiteren Verschlechterung des übertragenen Signals, so dass es beim Empfänger nur noch schlecht bzw. gar nicht mehr detektiert werden kann. Insbesondere führt eine Erhöhung der Datenübertragungsrate tendenziell zu einer Verbreiterung und Abflachung der einzelnen Datensymbole, so dass beispielsweise eine Impulsantwort beim Empfänger nicht mehr als kurzer Impuls mit steilen Flanken und relativ hoher Amplitude, sondern eher als abgeflachte, langsam ansteigende und von ihrem Maximalwert dann wieder langsam abfallende Schwingung empfangen wird.

Bei der Datenübertragung zwischen dem memory controller und dem Speicher in einem Computer, also bei der Datenübertragung über Speicherbusse, wird eine Fehlerrate von Null erwartet. In einem anderen möglichen Anwendungsgebiet der erfindungsgemäßen Filterstruktur, der Telekommunikation, können dank des Einsatzes geeigneter Fehlerdetektions- und Fehlerkorrekturalgorithmen geringe Fehlerraten, beispielsweise im Bereich von 1 Promille, akzeptiert werden.

Um die Qualität eines übertragenen Signals zu verbessern, werden im Stand der Technik verschiedenartige Filter eingesetzt. Beispiele für solche bekannten Filter sind in der US 6,768,372 B2, sowie in der US 6,553,398 B2 beschrieben. Durch die Filter sollen die Signalanteile mit niedriger Amplitude gedämpft und die Signalanteile mit hoher Amplitude dagegen verstärkt werden, damit das beim Empfänger eingehende Signal beispielsweise mittels eines simplen Entscheiders, der prüft, ob eine Schwelle über- bzw. unterschritten wird, detektiert werden kann.

Erfindungsgemäß wird eine Filterstruktur zur Filterung eines analogen Eingangssignals mit einer bestimmten Symbolrate R vorgeschlagen. Ein Blockschaltbild einer erfindungsgemäßen Filterstruktur mit vier parallelen Zweigen (N = 4) ist in Figur 1 dargestellt. Die Filterstruktur umfasst einen Eingang

1, an dem das Eingangssignal mit einer bestimmten Symbolrate R anliegt (1/R ist die Dauer eines einzelnen Datensymbols). Die Filterstruktur umfasst mehrere parallele Zweige, die jeweils eine Verzögerungskette 2 aufweisen, und mehrere Signaladdierwerke 3. In dem in Figur 1 dargestellten Ausführungsbeispiel umfasst die erfindungsgemäße Filterstruktur vier solcher paralleler Zweige und vier Addierwerke 3. Selbstverständlich ist auch eine Filterstruktur mit lediglich zwei oder mit acht parallelen Zweigen bzw. Addierwerken 3 denkbar. Vorzugsweise umfasst die Filterstruktur 2^j parallele Zweige, wobei j eine natürliche positive Zahl ohne 0 ist. Selbstverständlich kann die Filterstruktur auch 6, 10 oder eine beliebig andere gerade Anzahl an Zweigen und Addierwerken 3 aufweisen.

Jedes Addierwerk 3 kann über einen Signalpfad oder auch über mehrere Signalpfade mit Ausgängen der Verzögerungselemente innerhalb einer Verzögerungskette 2 in Verbindung stehen. Diese unter Umständen mehrfache Verbindung zwischen einem bestimmten Addierwerk 3 und einer bestimmten Verzögerungskette 2 ist in Figur 1 mit einer Linie gekennzeichnet. Jedes Addierwerk 3 kann mit einer, mit mehreren oder mit allen Verzögerungsketten 2 in Verbindung stehen. Wichtig ist dabei die rotationssymmetrische Anordnung der Verbindungen. Wenn also beispielsweise das oberste Addierwerk 3.1 mit dem ersten Verzögerungsglied 4.1 und dem letzten Verzögerungsglied 4.3 in der von oben gezählt zweiten Verzögerungskette 2.2 in Verbindung steht, dann muss das von oben gezählt zweite Addierwerk 3.2 mit dem ersten Verzögerungsglied 4.1 und dem dritten Verzögerungsglied 4.3 in der dritten Verzögerungskette 2.3 in Verbindung stehen, und dann muss das von oben gezählt dritte Addierwerk 3.3 mit dem ersten Verzögerungsglied 4.1 und dem dritten Verzögerungsglied 4.3 in der vierten Verzögerungskette 2.4 in Verbindung stehen, und dann muss das von oben gezählt vierte Addierwerk 3.4 mit dem ersten Verzögerungsglied 4.1 und dem

dritten Verzögerungsglied 4.3 in der obersten Verzögerungskette 2.1 in Verbindung stehen. Allgemein ausgedrückt bedeutet dies, dass das i-te Addierwerk 3.i mit dem ersten Verzögerungsglied 4.1 und dem dritten Verzögerungsglied 4.3 in der (i+1)-ten Verzögerungskette 2.(i+1) in Verbindung stehen. Diese Symmetrie kann in entsprechend angepasster Weise bspw. Figur 9 und Figur 14 entnommen werden, die beide weiter unten noch näher erläutert werden.

Durch Variieren der Filterkoeffizienten an den Eingängen der Addierwerke 3 zum Gewichten der anliegenden Eingangssignale können die Filtereigenschaften der Filterstruktur in einem weiten Bereich verändert und an die aktuellen Kanaleigenschaften angepasst werden.

Es müssen nicht alle in Figur 1 dargestellten möglichen Verbindungspfade zwischen den Verzögerungsketten 2 und den Addierwerken 3 benutzt werden. So wäre es beispielsweise auch denkbar, dass das Addierwerk 3.1 lediglich mit den Verzögerungsketten 2.1, 2.2 und 2.3 in Verbindung steht. In entsprechender Weise wären dann auch die übrigen Addierwerke 3.2, 3.3, 3.4 lediglich mit drei der Verzögerungsketten 2 in Verbindung. Insbesondere wäre das Addierwerk 3.2 mit den Verzögerungsketten 2.2, 2.3 und 2.4, das Addierwerk 3.3 mit den Verzögerungsketten 2.3, 2.4 und 2.1 und schließlich das Addierwerk 3.4 mit den Verzögerungsketten 2.4, 2.1 und 2.2 in Verbindung. Die getakteten Signaladdierwerke 3 greifen somit auf Signale von mehreren Verzögerungsketten 2 zu, so dass man davon sprechen kann, dass die einzelnen Teilfilter in den Zweigen der Filterstruktur miteinander verschränkt oder ineinander verschachtelt sind. Die Topologie der Verschaltung der Signaladdierwerke 3 mit den Signalen aus den Verzögerungsketten 2 weist eine Rotationssymmetrie auf, d. h. die Struktur aller logischen Teilfilter in den Zweigen der Filterstruktur ist gleich, es gibt eine Reihenfolge der

parallelen Teilfilter, aber kein "erstes" und "letztes" Teilfilter.

Somit ergibt sich erfindungsgemäß eine Filterstruktur, bei der die Wahl des Parallelisierungsgrades, d. h. die Anzahl der parallelen Zweige, und des Filtergrades, d. h. die Anzahl der Eingänge bzw. Filterkoeffizienten der Addierwerke 3, unabhängig voneinander sind. Grundlegendes Ziel der erfindungsgemäßen Filterstruktur ist es, die notwendige Taktrate bei der Signalverarbeitung in den einzelnen Pfaden bzw. Zweigen der Filterstruktur durch die Aufteilung des Datenstroms auf mehrere Zweige zu reduzieren und somit insgesamt höhere Taktraten für die eigentliche Signalübertragung zu ermöglichen. Durch die parallelen Zweige der Filterstruktur wird die Verarbeitungsgeschwindigkeit in den einzelnen Filterzweigen reduziert. Es muss also nur so weit parallelisiert werden wie unbedingt nötig aufgrund der Geschwindigkeitsanforderung in den Verzögerungsketten 2 und den Addierwerken 3.

Die Taktsignale ϕ_{1-4} zur Ansteuerung der Verzögerungsketten 2 und der Addierwerke 3 in den einzelnen Zweigen sind relativ zueinander um jeweils eine Zeitdauer T verschoben. T entspricht der Abtastperiodendauer, das heißt dem zeitlichen Abstand der Entnahme von abgetasteten Signalwerten aus dem Eingangssignal durch die Filterstruktur, $T = 1/(i*R)$, wobei i der Grad der Überabtastung des Eingangssignals ist. Das Mehrphasen-Taktsignal ϕ_{1-4} hat so viele (N) Phasen wie parallele Zweige in der Filterstruktur vorgesehen sind, das heißt in dem Beispiel aus Figur 1 vier Phasen ($N = 4$). N entspricht dem Parallelisierungsgrad des Filters, das heißt der Anzahl der parallelen Verzögerungsketten 2 und der Anzahl der gegeneinander verschobenen Taktsignale ϕ_1, ϕ_2, ϕ_3, ϕ_4 im Mehrphasen-Taktsignal ϕ_{1-4}. Die Phasen sind jeweils um eine Zeitdauer T entsprechend einem i-tel der Symboldauer 1/R

gegeneinander verschoben ($T = 1/(i*R)$). Das Taktsignal ϕ_{1-4} hat eine Frequenz f_{takt} entsprechend dem i-fachen der Symbolrate R geteilt durch die Anzahl der parallelen Zweige ($f_{takt} = i \cdot R/4$). i ist eine natürliche positive Zahl ohne Null.

Die Verzögerungsketten 2 weisen jeweils mindestens zwei in Serie geschaltete Folge-Halte-Glieder auf, welche über den Mehrphasentakt ϕ_{1-4} angesteuert werden. Ein Beispiel für eine solche Verzögerungskette 2 mit drei seriellen Folge-Halte-Gliedern 4 ist in Figur 2 dargestellt. Erfindungsgemäß sind in jedem der Zweige der Filterstruktur die gleiche Anzahl an Folge-Halte-Gliedern 4 hintereinander angeordnet. Des weiteren ist der Phasenabstand der Taktsignale, welche innerhalb einer Kette aufeinander folgende Folge-Halte-Glieder 4 ansteuern, immer gleich groß.

In Figur 3 sind Beispiele möglicher Taktsignale $\phi_1(t)$ bis $\phi_4(t)$ zur Ansteuerung der Folge-Halte-Glieder 4 der verschiedenen parallelen Zweige der erfindungsgemäßen Filterstruktur dargestellt. Die Periodendauer des Taktsignals ist mit N*T bezeichnet und entspricht dem zeitlichen Abstand der Entnahme von Abtastwerten aus dem Eingangssignal durch ein und dieselbe Verzögerungskette 2. $1/(N*T)$ entspricht der Frequenz des Mehrphase-Taktsignals ϕ_{1-4}. Aufeinander folgende Phasen des Taktsignals sind um jeweils die Zeitdauer T gegeneinander verschoben. Die einzelnen Taktphasen sind mit den Zahlen 1 bis 4 im Kreis gekennzeichnet.

In Figur 4 ist ein weiteres Beispiel für eine Realisierung einer erfindungsgemäßen Filterstruktur mit nachgeschaltetem entscheidungsrückgekoppeltem Entzerrer (DFE) dargestellt, bei der die Folge-Halte-Glieder 4 durch ein Taktsignal mit einer Frequenz entsprechend der halben Symbolrate R des am Eingang 1 anliegenden Eingangssignals angesteuert werden (Überab-

tastungsfaktor i = 1). Die Filterstruktur aus Figur 4 umfasst zwei parallele Zweige, an denen das Eingangssignal D_{in} anliegt. Jeder der Zweige umfasst drei in Serie geschaltete Folge-Halte-Glieder 4 (sog. track and hold circuits, T&H). Außerdem umfasst die Filterstruktur zwei Signaladdierwerke 3 (FIR filter adder). Die Addierwerke 3 weisen jeweils drei Eingänge auf, wobei das obere Addierwerk 3.1 mit dem Ausgang des ersten und dritten Folge-Halte-Gliedes 4.1, 4.3 des oberen Zweiges und dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des zweiten Zweiges und das untere Addierwerk 3.2 mit den Ausgängen des ersten und dritten Folge-Halte-Gliedes 4.1, 4.3 des unteren Zweigs, sowie mit dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des oberen Zweiges in Verbindung steht.

Die erfindungsgemäße Filterstruktur ist vorzugsweise am Ende einer Datenübertragungsstrecke angeordnet. Die Kanaleigenschaften werden in an sich bekannter Weise durch Vermessen des empfangenen Signals ermittelt, so dass die Filterfunktion anhand an sich ebenfalls bekannter Optimierungsalgorithmen optimiert werden kann.

Die erfindungsgemäße Filterstruktur kann nach den Addierwerken 3 enden. An die Ausgänge 5 der Addierwerke 3 können direkt einfache Entscheider angeschlossen werden, die prüfen, ob das an dem Ausgang 5 anliegende Ausgangssignal oberhalb oder unterhalb vorgebbarer Schwellen liegt. Alternativ ist es auch denkbar, dass die Filterstruktur noch einen entscheidungsrückgekoppelten Entzerrer 6 (englisch: decision feedback equalizers, DFE) aufweist, der an den Ausgängen 5 der Addierwerke 3 angeschlossen ist. In Figur 4 ist der Entzerrer 6 als ein 2-fach parallelisierter DFE-Entzerrer ausgebildet. Der Entzerrer 6 umfasst zwei Addierer 6.1, 6.2, jeweils mit integriertem Entscheider. Die in Figur 4 gezeigte Kombination eines erfindungsgemäßen FIR-Filters mit 2-facher Parallelisierung mit einem im Gegentakt arbeitenden (also

ebenfalls 2-fach parallelisierten) entscheidungsrückgekoppelten Entzerrer 6 stellt eine ganz besonders vorteilhafte Ausführungsform zur Entzerrung im Empfänger dar.

In einem aus dem Stand der Technik bekannten, mit der vollen Taktrate betriebenen Konzept (also nicht parallelisierten FIR-Filter) sind mindestens zwei kaskadierte Folge-Halte-Glieder 4 in einer Master-Slave-Konfiguration erforderlich, um eine einfache Einheitsverzögerung T zu implementieren, wobei lediglich 50% der Zeit T für das Folgen zur Verfügung steht; die anderen 50% werden für das Halten genutzt. Somit sind sechs kaskadierte Folge-Halte-Glieder 4 für eine FIR-Filterstruktur mit drei seriellen Einheitsverzögerungen T erforderlich. Die Bandbreite der Folge-Halte-Glieder 4 in den Zweigen ist begrenzt, sowohl durch die Bandbreite des Abtastschalters am Eingang als auch durch die Bandbreite des kapazitiven umzuladenden Ausgangs. Folglich ist die gesamte kaskadierte Bandbreite einer sechsstufigen Folge-Halte-Glied-Kette zu klein für eine bspw. 10 Gbit/s Datenübertragungsrate in 0,13 µm CMOS-Technik.

Deshalb wird eine Filterstruktur, wie sie in Figur 4 dargestellt ist, vorgeschlagen, die mit der halben Taktrate betrieben wird. Zwei miteinander wechselwirkende und ineinander verschachtelte FIR-Filterzweige arbeiten im Gegentakt zusammen, wobei sie durch ein Taktsignal CLK/2 mit halbierter Taktrate (f_{takt} = R/2) angesteuert werden. Der Vorteil hinsichtlich Bandbreite des mit der halben Taktrate betriebenen Konzepts ist, dass zum einen die Kettenlänge der Folge-Halte-Glieder 4 in den Verzögerungsketten 2 halbiert werden kann und zum anderen nunmehr die gesamte Einheitsverzögerungszeit T für das Folgen zur Verfügung steht. Somit entspannt sich das Bandbreitenproblem der kaskadierten Folge-Halte-Glieder 4 um den Faktor 4 und das Problem von sich aufaddierendem Rauschen und von sich aufaddierenden

nichtlinearen Verzerrungen über die Verzögerungsketten 2 um den Faktor 2.

Für die erfolgreiche Realisierung der Erfindung ist es erforderlich, dass die beiden Zweige gleich ausgestaltet sind, was jedoch durch eine symmetrische Auslegung der Schaltung realisiert werden kann. Im Gegensatz zu den aus dem Stand der Technik bekannten FIR-Filterstrukturen kann der Grad der Parallelisierung des erfindungsgemäßen Filters drastisch reduziert werden und ist unabhängig vom zu realisierenden Grad des FIR-Filters. Das heißt der Grad der Parallelisierung kann deutlich kleiner als der Grad des Filters gewählt werden. Somit lassen sich mit dem erfindungsgemäßen Konzept deutliche Einsparungen hinsichtlich der erforderlichen Chipfläche und des Leistungsverbrauchs realisieren.

In Figur 5 ist ein Beispiel für eine Schaltung eines Folge-Halte-Glieds 4, wie es in der erfindungsgemäßen Filterstruktur verwendet wird, im Detail dargestellt. Die Schaltung ist eine Kombination eines differentiellen komplementären CMOS Durchlassgatters 7 mit einem Pufferverstärker 8 mit einem Verstärkungsfaktor von 1. Die Haltekapazität ist zusammengesetzt aus der parasitären Kapazität am Eingang des Pufferverstärkers 8 und der parasitären Kapazität auf der Halteseite des Durchlassgatters. Das Taktsignal CLK/2n für den n-Kanal Übertragungs-MOSFET wird angehoben, da das Gleichtaktniveau der Eingangsspannung $V_{in,D}$ lediglich etwa 300 mV unterhalb der positiven Versorgungsspannung V_{DD} liegt. Um die Symmetrie der Taktsignal-Pfade für den n-Kanal- und den p-Kanal-MOSFET im Durchlassgatter 7 sicherzustellen, wird das Taktsignal CLK/2p für den p-Kanal-Durchlasstransistor ebenfalls angehoben.

In Figur 6 ist ein Beispiel für ein in der erfindungsgemäßen Filterstruktur verwendetes Addierwerk 3 dargestellt. Das

Addierwerk 3 umfasst drei differentielle Durchlassgatter 9.1, 9.2, 9.3, die an differentielle Transkonduktoren 10.1, 10.2, 10.3 angeschlossen sind, die ihre Ausgangsströme auf ein gemeinsames Paar von Lastwiderständen 11 aufsummieren. Ein Transkonduktor ist ein Spannungs-Strom-Wandler, gemäß der Gleichung $i_{out}=G_m*v_{in}$, wobei G_m der Verstärkungsfaktor des Transkonduktors ist.

Da sich abhängig von der Länge der Leiterbahnen auf dem PCB (printed circuit board) und von der Datenrate nur die Größe und nicht das Vorzeichen der optimalen Gewichtungsfaktoren des FIR-Filters ändert, werden die Vorzeichen der Gewichtungsfaktoren durch die Polarität der Anschlüsse der Transkonduktoren 10.1, 10.2, 10.3 fest verdrahtet. Die Maxima der Gewichtungsfaktoren werden durch eine Dimensionierung der entsprechenden Transistorbreiten in den Transkonduktoren 10.1, 10.2, 10.3 gesetzt. Die Gewichtungsfaktoren werden durch Steuerung der Ströme I_1 und I_2 mittels Steuerströmen variiert, die extern angelegt werden. Die Hälfte der Summe der Ströme I_1 und I_2 wird an jeden Ausgangsknoten durch p-Kanal MOSFETs 12.1, 12.2 angelegt, um ein konstantes Gleichspannungsniveau am Ausgang 13 sicherzustellen. Dies ist besonders wichtig für den Eingang des nachfolgenden entscheidungsrückgekoppelten Filters 6 und verhindert eine Degeneration der differentiellen paarweisen Transkonduktoren bei großen Gewichtungsfaktoren.

In Figur 7 ist ein Blockschaltbild eines Addierers mit integriertem Entscheider für das entscheidungsrückgekoppelte Filter 6 dargestellt. Der Addierer für die Entscheidungsrück-kopplungsentzerrung ist ähnlich wie im Addierer für das FIR-Filter durch mehrere parallele differenzielle Transkonduktoren 14.1 bis 14.5 realisiert, welche ihre Ausgangsströme auf ein gemeinsames Paar von Lastwiderständen 15 aufsummieren. Die Transkonduktoren 14.1 bis 14.5 sind im Gegensatz zum Addierer für das FIR-Filter jedoch getaktet.

Weiterhin ist in den Addierer ein getakteter Entscheider 16 (englisch: decision latch) integriert. Die Eingangsspannung $V_{in,D}$ wird an den getakteten Folgetranskonduktor 14.1 angelegt, und die Entscheidung wird durch den getakteten Entscheider 16 getroffen. Während des Folgens werden die rückgekoppelten Signale über anpassbare differentielle Transkonduktoren 14.2 bis 14.5 addiert. Zwei Transkonduktoren 14.2 und 14.4 sind für positives und zwei Transkonduktoren 14.3 und 14.5 für negatives Rückkopplungsvorzeichen angeschlossen. Das entsprechende Vorzeichen wird ausgewählt, indem die Steuerströme an die entsprechenden Eingänge I_{1+}, I_{1-}, I_{2+}, I_{2-} für das entscheidungsrückgekoppelte Filter 16 angelegt werden.

In Figur 8 ist ein Blockschaltbild für einen Taktgenerator dargestellt, der ein Mehrphasen-Taktsignal zur Ansteuerung der erfindungsgemäßen Filterschaltung generiert. Dieses Mehrphasen-Taktsignal wird der Filterschaltung bzw. den Verzögerern und den Addierwerken zugeführt. In der beispielhaft dargestellten Schaltung sind sechs individuelle Taktpfade vorgesehen, welche mit der halben Frequenz der am Eingang wirksamen Abtastfrequenz schwingen. Der entscheidungsrückgekoppelte Entzerrer (DFE) arbeitet mit einem komplementären Paar voll angesteuerter CMOS Taktsignale (CLK/2 und _CLK/2). Die Folge-Halte-Glieder der Verzögerungsketten 2 und die Addierwerke 3 des erfindungsgemäßen FIR-Filters erfordern komplementäre Paare von angehobenen, näherungsweise voll schwingenden Taktsignalen sowohl für die n-Kanal-MOSFETs (CLK/2n und _CLK/2n) als auch für die p-Kanal-MOSFETs (CLK/2p und _CLK/2p) der Durchlassgatter.

Die Taktgeneratorschaltung umfasst ein extern anliegendes Taktsignal CLK_{in} einer vollständigen Taktrate (hat die Frequenz i*R). Dieses wird durch eine differenzielle Eingangstakttreiberkette 17 zunächst verstärkt und in ein

differentielles Signal gewandelt. Das differentielle Taktsignal wird dann mittels eines Taktteilers 18 durch zwei geteilt. Das geteilte Taktsignal wird einer differentiellen Treiberkette 19 mit zunehmender Treiberstärke zugeführt und dann mit zwei CMOS Inverterketten 20 mit zunehmender Treiberstärke weiter verstärkt. Die erste CMOS Inverterentscheidungsschwelle wird durch eine Rückkopplungsschleife 21 gesteuert, um ein Tastverhältnis von 50% an den Ausgängen 22 des Taktgenerators sicherzustellen. Die komplementären, angehobenen Taktsignale werden durch passive Anhebungsschaltungen 23 (boot strap circuits) generiert, die Kapazitäten und kleine getaktete MOSFETs umfassen. Die Gleichtaktpegel der angehobenen Taktsignale werden in der Schaltung voreingestellt, sie können aber auch mittels externer Steuerspannungen eingestellt werden.

In Figur 9 ist ein weiteres Ausführungsbeispiel der erfindungsgemäßen Filterstruktur dargestellt. Die Struktur in Figur 9 entspricht dem ersten Teil des kombinierten FIR- und DFE-Filters aus Figur 4. Die Filterstruktur gemäß dieser Ausführungsform umfasst zwei parallele Filterzweige mit jeweils drei in Serie geschalteten Folge-Halte-Gliedern 4.1, 4.2 und 4.3. Außerdem umfasst die Filterstruktur zwei Addierwerke 3.1 und 3.2 mit jeweils drei Eingängen. Die Eingänge des ersten Addierwerkes 3.1 sind mit den Ausgängen des ersten und des dritten Folge-Halte-Gliedes 4.1 und 4.3 des oberen Zweiges sowie mit dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des unteren Zweiges verbunden. Das zweite Addierwerk 3.2 ist mit den Ausgängen des ersten und dritten Folge-Halte-Gliedes 4.1 und 4.3 des zweiten Zweiges sowie mit dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des oberen Zweiges verbunden. An Multiplikationsstellen 24.1, 24.2 und 24.3 in den Addierwerken 3.1 und 3.2 werden die an den Eingängen der Addierwerke 3.1 und 3.2 anliegenden Signale mit Gewichtungsfaktoren c0, c1, c2 multipliziert. Mindestens einer der Gewichtungsfaktoren kann gleich 1 gesetzt werden,

so dass nicht alle Gewichtungsfaktoren, vorzugsweise lediglich zwei der Gewichtungsfaktoren, eingestellt werden müssen. Die Möglichkeit der Variation der Gewichtungsfaktoren ist durch die gestrichelten Pfeile zu den Multiplikationsstellen 24.1, 24.2 und 24.3 verdeutlicht. In jedem der Addierwerke 3.1 und 3.2 ist ein Summationspunkt 25 vorgesehen, in dem die Ausgänge der Multiplikationspunkte 24.1, 24.2 und 24.3 zusammenlaufen und wo die Ausgangssignale der Multiplikationspunkte 24.1, 24.2 und 24.3 addiert werden. An den Ausgängen 5.1 und 5.2 der Addierwerke 3.1 und 3.2 liegen also die mit den Filterkoeffizienten gewichteten Summen der Ausgangssignale von ausgewählten Folge-Halte-Gliedern 4 des oberen und des unteren Zweiges an.

Die Gewichtungsfaktoren c0, c1, c2 können entweder nur zu Beginn des Betriebs der erfindungsgemäßen Filterstruktur, oder aber auch während der gesamten Betriebsdauer des Filters variiert werden. Die Ausführungsform mit während des Betriebs anpassbaren Filterkoeffizienten ist insbesondere für den Einsatz des erfindungsgemäßen Filters im Bereich der Telekommunikation von Interesse, wo es aufgrund von sich verändernder Beschaffenheit des Übertragungsweges und/oder der Kanaleigenschaften zu Veränderungen in den Übertragungseigenschaften kommen kann, die durch eine Variation bzw. ein Anpassen der Filterkoeffizienten kompensiert werden können.

Die Folge-Halte-Glieder 4 und die Addierwerke 3 werden mit einem Mehrphasen-Taktsignal $\phi_{1,2}$ angesteuert. Das Taktsignal weist in dem Ausführungsbeispiel aus Figur 9 mit zwei parallelen Zweigen zwei Phasen auf. Während an den ersten und dritten Folge-Halte-Gliedern 4.1 und 4.3 des oberen Zweiges und an dem Folge-Halte-Glied 4.2 des unteren Zweiges, sowie an dem zweiten Addierwerk 3.2 das Taktsignal ϕ_1 anliegt, liegt an dem zweiten Folge-Halte-Glied 4.2 des oberen Zweiges und an den ersten und dritten Folge-Halte-Gliedern 4.1 und

4.3 des unteren Zweiges, sowie an dem ersten Addierwerk 3.1 das phasenverschobene, in dem Ausführungsbeispiel mit lediglich zwei Zweigen invertierte, Taktsignal ϕ_2 an.

Der Betrieb der Filterstruktur aus Figur 9 zu verschiedenen aufeinanderfolgenden Taktphasen wird nachfolgend anhand der Figuren 10 bis 13 näher erläutert. Jeweils diejenigen Folge-Halte-Glieder 4, die sich in der Halte-Phase befinden, sowie dasjenige Addierwerk 3, das den an seinem Eingang anliegenden Signalen folgt, sind in den Figuren 10 bis 13 mit einer stärkeren Linie dargestellt und zusätzlich mit "H" gekennzeichnet, als diejenigen Folge-Halte-Glieder 4, die sich in der Folge-Phase befinden (und zusätzlich mit "F" gekennzeichnet sind), und dasjenige Addierwerk 3, das die an seinem Eingang anliegenden Signalwerte hält. Es sind also diejenigen Folge-Halte-Glieder 4 dick umrandet, welche an ihren Ausgängen die Signale für die sich in der jeweiligen Taktphase im Folgemodus befindlichen Addierwerke 3 liefern. Außerdem sind die sich im Folgemodus befindlichen Addierwerke 3 dick umrandet.

Am Eingang 1 der erfindungsgemäßen Filterstruktur liegt eine beliebige Datensymbolfolge mit der Symbolrate R = 1/T als Eingangssignal an. Die Reihenfolge des Eintreffens der Symbole am Eingang 1 ist mit den Nummern "0, 1, 2, 3, 4" in den Figuren 10 bis 13 eindeutig gekennzeichnet, um die Weiterreichung der abgetasteten Symbolwerte in den Verzögerungsketten 2 bzw. den analogen Verzögerungselementen 4 und den Addierwerken 3 deutlich zu machen. Am Ausgang einiger der Folge-Halte-Glieder 4 liegen noch abgetastete Symbolwerte an, welche in zu bereits vergangenen Abtastzeitpunkten abgetastet wurden ("-3, -2, -1"). Es wird dabei der Einfachheit halber von i = 1 ausgegangen, das heißt jedes einlaufende Datensymbol wird genau einmal abgetastet.

Während der in Figur 10 dargestellten Taktphase befindet sich das erste Folge-Halte-Glied 4.1 des unteren Zweiges in der Halte-Phase. Das bedeutet, dass es den Symbolwert mit der Nummer "-1" aus der vorangegangenen Taktphase hält. Das zweite Folge-Halte-Glied 4.2 des unteren Zweiges befindet sich in der Folgephase und übernimmt den Symbolwert mit der Nummer "-1" aus dem davor angeschlossenen Folge-Halte-Glied 4.1. Das letzte Folge-Halte-Glied 4.3 des unteren Zweigs befindet sich wiederum in der Haltephase und hält den Symbolwert mit der Nummer "-3". Das erste Folge-Halte-Glied 4.1 des oberen Zweiges befindet sich in der Folge-Phase. Das bedeutet, dass es dem am Eingang 1 anliegenden Eingangssignal folgt. Deshalb wird der erste am Eingang 1 anliegende Symbolwert mit der Nummer "0" in das erste Folge-Halte-Glied 4.1 des oberen Zweiges übernommen. Das zweite Folge-Halte-Glied 4.2 des oberen Zweiges befindet sich in der Haltephase und hält den Symbolwert mit der Nummer "-2". Das dritte Folte-Halte-Glied 4.3 des oberen Zweiges befindet sich wiederum in der Folgephase und übernimmt den Symbolwert mit der Nummer "-2" aus dem zweiten Folge-Halte-Glied 4.2.

Das zweite Addierwerk 3.2 entnimmt die am Ausgang der sich in der Halte-Phase befindlichen Folge-Halte-Glieder 4 anliegenden Signalwerte ("-1, -2, -3") und verarbeitet diese (Gewichtung und Summation). Das zweite Addierwerk 3.2 befindet sich also in seiner Folge-Phase, so dass es zu der in Figur 10 dargestellten Taktphase an seinem Ausgang 5.2 einen gegenüber der vorangegangenen Taktphase neuen Signalwert ausgibt. Zeitgleich befindet sich das erste Addierwerk 3.1 in seiner Halte-Phase, so dass an seinem Ausgang 5.1 das gleiche Ausgangssignal anliegt wie in der unmittelbar vorangegangenen Taktphase.

Zur unmittelbar nachfolgenden Taktphase (vgl. Figur 11) befindet sich nun das erste Folge-Halte-Glied 4.1 des oberen Zweiges in der Halte-Phase, so dass der zum vorangegangenen

Zeittakt anliegende Symbolwert ("0") weiterhin an seinem Ausgang 5.1 anliegt. Das erste Folge-Halte-Glied 4.1 des unteren Zweiges befindet sich nun in der Folge-Phase, d. h. es kann dem am Eingang 1 anliegenden Signalwert folgen. Der nächste anliegende Symbolwert ("1") wird also an das erste Folge-Halte-Glied 4.1 des unteren Zweiges übertragen. Es werden diejenigen Folge-Halte-Glieder 4 durch das Taktsignal ϕ in den Folgemodus gebracht, die in der vorangegangenen Taktphase (vgl. Figur 10) im Haltemodus waren. Durch diese Taktansteuerung werden die Ausgangssignale der Folge-Halte-Glieder 4 in den Verzögerungsketten 2 gegenüber der letzten Taktphase (Figur 10) um ein Folge-Halte-Glied 4 nach rechts verschoben.

Das zweite Addierwerk 3.2 befindet sich nun im Halte-Zustand und hält den Signalwert ("-1, -2, -3") aus der vorangegangenen Taktphase auch während der in Figur 11 dargestellten Taktphase. Das erste Addierwerk 3.1 befindet sich dagegen im Folge-Zustand. Über seine Eingänge werden die Ausgangssignale der nunmehr in der Halte-Phase befindlichen Folge-Halte-Glieder 4 (durch Linien mit größerer Stärke gekennzeichnet) anliegenden Ausgangssignale und liest die entsprechenden Symbolwerte ("0, -1, -2") ein. Das am Ausgang 5.2 des zweiten Addierwerks 3.2 anliegende Signal aus der vorangegangenen Taktphase wird gehalten. Das an dem Ausgang 5.1 des ersten Addierwerkes 3.1 anliegende Signal verändert sich entsprechend der von den Folge-Halte-Gliedern 4 eingelesenen Symbolwerte.

Zu der nachfolgenden Taktphase (vgl. Figur 12) werden wiederum die gleichen Folge-Halte-Glieder 4 und das gleiche Addierwerk 3 mit dem Taktsignal ϕ in den Folge- bzw. Haltemodus gebracht, wie zu dem in Figur 10 dargestellten Zeitpunkt. Der Zustand (Folge-Phase oder Halte-Phase) der verschiedenen Folge-Halte-Glieder 4 entspricht dem in Figur

10 dargestellten Zustand. Gleiches gilt für die Addierwerke 3.

Das erste Folge-Halte-Glied 4.1 des unteren Zweiges befindet sich in der Halte-Phase und hält den Symbolwert ("1") aus der vorangegangenen Taktphase. In das erste Folge-Halte-Glied 4.1 des oberen Zweiges wird dagegen der nächste am Eingang 1 anliegende Symbolwert ("2") eingelesen. Wiederum werden die Ausgangssignale der Folge-Halte-Glieder 4 in den Verzögerungsketten 2 gegenüber der vorangegangenen Taktphase (Figur 11) um ein Folge-Halte-Glied 4 nach rechts verschoben.

Das zweite Addierwerk 3.2 befindet sich in der Folge-Phase, so dass am Ausgang 5.2 ein gegenüber der vorangegangenen Taktphase verändertes Ausgangssignal anliegt, das abhängig ist von den zur aktuellen Taktphase von den Ausgängen der sich in der Halte-Phase befindlichen Folge-Halte-Glieder 4 anliegenden Symbolwerten ("1, 0, -1").

Zu der nächsten in Figur 13 dargestellten Taktphase befinden sich die Folge-Halte-Glieder 4 wiederum in dem gleichen Zustand (Halte-Phase oder Folge-Phase) wie zu der in Figur 11 dargestellten vorletzten Taktphase.

Das erste Folge-Halte-Glied 4.1 des oberen Zweiges behält den Symbolwert ("2") aus der vorangegangenen Taktphase bei, da es sich in der Halte-Phase befindet. Das erste Folge-Halte-Glied 4.1 des unteren Zweiges befindet sich dagegen in der Folge-Phase und folgt dem am Eingang 1 anliegenden Eingangssignal. Demnach wird der nächste am Eingang 1 anliegende Symbolwert ("3") in das erste Folge-Halte-Glied 4.1 des unteren Zweiges übertragen. Wiederum werden die Ausgangssignale der Folge-Halte-Glieder 4 in den Verzögerungsketten 2 gegenüber der letzten Taktphase (Figur 12) um ein Folge-Halte-Glied 4 nach rechts verschoben.

Das zweite Addierwerk 3.2 befindet sich in seinem Halte-Zustand und behält an seinem Ausgang 5.2 das Ausgangssignal der vorangegangenen Taktphase bei. Im Gegensatz dazu befindet sich das erste Addierwerk 3.1 in seinem Folge-Zustand, so dass an seinem Ausgang 5.1 ein gegenüber der vorangegangenen Taktphase verändertes Ausgangssignal ("2, 1, 0") anliegt, das abhängig ist von den an den Ausgängen der in der Halte-Phase befindlichen Folge-Halte-Glieder 4 anliegenden Symbolwerte.

Aus den Figuren 10 bis 13 und der dazu gehörigen Figurenbeschreibung ist es unmittelbar ersichtlich, dass die Folge-Halte-Glieder 4 wechselweise zwischen einer Halte-Phase und der Folge-Phase umgeschaltet werden. Auch die Addierwerke 3 werden wechselweise zwischen Folgen und Halten umgeschaltet. Außerdem wird unmittelbar ersichtlich, dass die entzerrten Symbolwerte, welche in diesem Fall der gewichteten Addition von drei aufeinander folgenden abgetasteten Symbolwerten entsprechen, abwechselnd im Gegentakt am oberen und am unteren Ausgang 5.1 und 5.2 der Addierwerke 3.1 und 3.2 anliegen und für eine parallelisierte Entscheidung oder sonstige Weiterverarbeitung mit halbierter Verarbeitungsrate zur Verfügung stehen. Die am Eingang 1 anliegenden Symbolwerte werden in der eingehenden Reihenfolge ebenfalls wechselweise an das erste Folge-Halte-Glied 4.1 des oberen oder des unteren Zweiges geleitet. Auf diese Weise lässt sich eine FIR-Filterstruktur mit einem geringen Platzbedarf und einem geringen Bedarf an elektrischer Leistung realisieren, bei welcher die Signalverarbeitung in den einzelnen Verzögerungsketten 2 und den Signaladdierwerken 3 gegenüber der Rate R der einlaufenden Datensymbole um den Faktor 1/2 verlangsamt ist.

In Figur 14 ist ein weiteres Ausführungsbeispiel der erfindungsgemäßen Filterstruktur dargestellt. Dieses Ausführungsbeispiel umfasst vier zueinander parallele Zweige, wobei in jedem der Zweige zwei Folge-Halte-Glieder 4.1 und

4.2 angeordnet sind. Außerdem umfasst die Filterstruktur vier Addierwerke 3.1, 3.2, 3.3 und 3.4. Jedes der Addierwerke weist drei Eingänge auf. Die drei Eingänge des ersten Addierwerks 3.1 sind mit dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des (von oben gezählt) ersten Zweiges, dem Ausgang des zweiten Folge-Halte-Gliedes 4.2 des zweiten Zweiges und mit dem Ausgang des ersten Folge-Halte-Gliedes 4.1 des dritten Zweigs verbunden. Die Eingänge des zweiten Addierwerkes 3.2 sind mit den Ausgängen der zweiten Folge-Halte-Glieder 4.2 des zweiten und des dritten Zweiges und mit dem Ausgang des ersten Halteglieds 4.1 des vierten Zweiges verbunden. Die Eingänge des dritten Addierwerks 3.3 sind in entsprechender Weise mit den Ausgängen der zweiten Folge-Halte-Glieder 4.2 des dritten und des vierten Zweiges und mit dem Ausgang des ersten Folge-Halte-Gliedes 4.1 des ersten Zweiges verbunden. Die Eingänge des vierten Addierwerkes 3.4 sind mit den zweiten Folge-Halte-Gliedern 4.2 des vierten und des ersten Zweiges und mit dem Ausgang des ersten Folge-Halte-Gliedes 4.1 des zweiten Zweiges verbunden.

Die Verschachtelung und Kaskadierung der verschiedenen Folge-Halte-Glieder 4 in der erfindungsgemäßen Filterstruktur weist also auch bei diesem Ausführungsbeispiel eine Rotationssymmetrie auf. Es gibt kein erstes und kein letztes Addierwerk 3. Jedes der Addierwerke 3 kann einem Zweig i der vier Zweige zugeordnet werden, wobei der erste Eingang eines Addierwerkes 3.i stets mit dem zweiten Folge-Halte-Glied 4.2 des i-ten Zweiges in Verbindung steht, dem das Addierwerk 3.i zugeordnet ist. Weitere Eingänge des Addierwerks 3.i stehen mit dem zweiten Folge-Halte-Glied 4.2 des nachfolgenden Zweiges (i+1) sowie mit dem Ausgang des ersten Folge-Halte-Gliedes 4.1 des übernächsten Zweiges (i+2) in Verbindung. Dies trifft für alle vier Addierwerke 3.i zu, wobei für den Fall, dass ein nachfolgender oder ein übernächster Zweig nicht vorhanden ist, wie dies beispielsweise für das vierte Addierwerk 3.4 der Fall ist, wieder von vorne mit dem ersten

und zweiten Zweig begonnen wird, wobei der erste Zweig dem "nachfolgenden Zweig" und der zweite Zweig dem "übernächsten Zweig" entspricht. Mit anderen Worten nimmt i also Werte von 1, 2, 3, 4, und dann wieder von vorne 1, 2, 3, ... und so weiter an. Somit existiert in der Filterstruktur eine Rotationssymmetrie.

Selbstverständlich können die Zuordnungen der Eingänge der Addierwerke 3 zu den Ausgängen der Folge-Halte-Glieder 4 auch anders als in der beschriebenen Weise gewählt werden. Dies ist zwangsläufig der Fall, wenn die Addierwerke 3 mehr oder weniger Eingänge als in dem Ausführungsbeispiel haben. Ebenso können Addierwerke mit drei Eingängen mit den Ausgängen anderer Folge-Halte-Glieder 4 als in Figur 14 beispielhaft dargestellt, verbunden werden. Wichtig ist allerdings, dass die oben beschriebene Rotationssymmetrie erhalten bleibt.

Bei dem in den Figuren 14 bis 18 dargestellten Ausführungsbeispiel der vorliegenden Erfindung befinden sich an der Unterseite der Folge-Halte-Glieder 4 und der Addierwerke 3 Eingänge für das Taktsignal ϕ_{1bis4}. An den Eingängen ist eine Art Uhr mit einem Zeiger dargestellt, der bei den verschiedenen Folge-Halte-Gliedern 4 auf 0:00, 3:00, 6:00 oder 9:00 Uhr steht. Durch die Stellung des Zeigers wird symbolisiert, mit welcher Phase des mehrphasigen Taktsignales ϕ_{1bis4} das entsprechende Folge-Halte-Glied 4 bzw. das entsprechende Addierwerk 3 angesteuert wird. In den nachfolgenden Erläuterungen wird von einem Mehrphasen-Taktsignal ϕ_{1bis4} ausgegangen, bei welchem die einzelnen Taktsignale ϕ_1, ϕ_2, ϕ_3, ϕ_4 ein Tastverhältnis von 1:1 aufweisen.

Die Funktion der Filterstruktur gemäß Figur 14 wird nachfolgend anhand der Figuren 15 bis 18 zu verschiedenen Taktphasen näher erläutert. Bei dem dargestellten Ausführungsbeispiel umfassen die Folge-Phasen und die Halte-

Phasen der Folge-Halte-Glieder 4 und der Addierwerke 3 jeweils zwei aufeinander folgende Taktphasen. Die verschiedenen Zustände (erster Teil der Folge-Phase, zweiter Teil der Folge-Phase, erster Teil der Halte-Phase, zweiter Teil der Halte-Phase) der Folge-Halte-Glieder 4 und der Addierwerke 3 sind in den Figuren 15 bis 18 mit "F1", F2", "H1", "H2" bezeichnet.

Es befinden sich das zweite Folge-Halte-Glied 4.2 des ersten Zweiges, das erste Folge-Halte-Glied 4.1 des zweiten Zweiges, das erste Folge-Halte-Glied 4.1 des dritten Zweiges und das zweite Folge-Halte-Glied 4.2 des vierten Zweiges in der Halte-Phase, wobei sich das zweite Folge-Halte-Glied 4.2 des ersten Zweiges und das erste Folge-Halte-Glied 4.1 des dritten Zweiges in dem ersten Teil der Halte-Phase und das erste Folge-Halte-Glied 4.1 des zweiten Zweiges und das zweite Folge-Halte-Glied 4.2 des vierten Zweiges in dem zweiten Teil der Halte-Phase befinden. In entsprechender Weise befinden sich die verbleibenden Folge-Halte-Glieder 4 in der Folge-Phase, wobei sich das erste Folge-Halte-Glied 4.1 des ersten Zweiges und das zweite Folge-Halte-Glied 4.2 des dritten Zweiges in dem ersten Teil der Folge-Phase und das zweite Folge-Halte-Glied 4.2 des zweiten Zweiges und das erste Folge-Halte-Glied 4.1 des vierten Zweiges in dem zweiten Teil der Folge-Phase befinden. In entsprechender Weise befinden sich das erste Addierwerk 3.1 und das vierte Addierwerk 3.4 in der Folge-Phase, wobei sich das erste Addierwerk 3.1 in dem ersten Teil und das vierte Addierwerk 3.4 in dem zweiten Teil der Folge-Phase befindet. Das zweite Addierwerk 3.2 und das dritte Addierwerk 3.3 befinden sich in der Halte-Phase, wobei sich das dritte Addierwerk 3.2 in dem ersten Teil und das zweite Addierwerk 3.2 in dem zweiten Teil der Halte-Phase befindet. In den Folge-Halte-Gliedern 4 und den Addierwerken 3 sind zu dem in Figur 15 dargestellten Zeitpunkt Symbolwerte aus vorangegangenen Taktphasen enthalten ("-6, -5, -4, -3, -2, -1").

Zu Beginn der in Figur 15 dargestellten Taktphase werden der erste Symbolwert "0" vom Eingang 1 der Filterstruktur in die ersten Folge-Halte-Glieder 4.1 des ersten und des letzten Zweiges übertragen, die sich beide in der Folge-Phase befinden. Auch die zweiten Folge-Halte-Glieder 4.2 des zweiten und dritten Zweiges befinden sich in der Folge-Phase. Die entsprechenden ersten Folge-Halte-Glieder 4.1 dieser Zweige befinden sich in der Halte-Phase und halten die Symbolwerte ("-2, -1") aus den beiden vorangegangenen Takten. Die beiden zweiten Folge-Halte-Glieder 4.2 des ersten und des vierten Zweiges befinden sich ebenfalls in der Halte-Phase und halten die Symbolwerte aus den vorangegangenen Zeittakten ("-4, -3").

Die beiden Addierwerke 3.1 und 3.4, die sich im Folge-Zustand befinden, lesen an den Ausgängen ausgewählter Folge-Halte-Glieder 4 von verschiedenen Zweigen anliegende Symbolwerte ein. Insbesondere liegen an den Eingängen des ersten Addierwerks 3.1 die Symbolwerte von den Ausgängen des zweiten Folge-Halte-Gliedes 4.2 des ersten Zweiges, des zweiten Folge-Halte-Gliedes 4.2 des zweiten Zweiges und des ersten Folge-Halte-Gliedes 4.1 des dritten Zweiges an. An dem vierten Addierwerk 3.4 liegen die Symbolwerte von den Ausgängen des zweiten Folge-Halte-Gliedes 4.2 des vierten Zweiges, des zweiten Folge-Halte-Gliedes 4.2 des ersten Zweiges und des ersten Folge-Halte-Gliedes 4.1 des zweiten Zweiges an. An den Ausgängen 5.1 und 5.4 der beiden Addierwerke 3.1 und 3.4 liegen entsprechend den eingelesenen Symbolwerten gegenüber der vorangegangenen Taktphase veränderte Ausgangssignale an. Das gilt auch für das dritte Addierwerk 3.3, das sich im zweiten Teil der Halte-Phase befindet.

Diejenigen Addierwerke 3, die sich in der Folge-Phase befinden, d. h. in Figur 15 die Addierwerke 3.1 und 3.4,

lesen die an den Ausgängen der angeschlossenen Folge-Halte-Glieder 4 anliegenden Symbolwerte ein, so dass sich an ihren Ausgängen 5.1 und 5.4 in Abhängigkeit von den eingelesenen Symbolwerten neue Ausgangssignale ergeben können. Die Addierwerke 3.2 und 3.3 halten in Figur 15 das Ausgangssignal aus dem vorangegangenen Zeittakt.

Zu Beginn der nachfolgenden in Figur 16 dargestellten Taktphase wechseln die Folge-Halte-Glieder 4 sowie die Addierwerke 3 rotationssymmetrisch ihren Zustand in den zyklisch nachfolgenden Zustand, d. h. von dem ersten Teil der Halte-Phase in den zweiten Teil der Halte-Phase von dem zweiten Teil der Halte-Phase in den ersten Teil der Folge-Phase, von dem ersten Teil der Folge-Phase in den zweiten Teil der Folge-Phase und von dem zweiten Teil der Folge-Phase in den ersten Teil der Halte-Phase und zyklisch immer so weiter. Die Symbolwerte der ersten Folge-Halte-Glieder 4.1 des dritten und vierten Zweiges der Filterstruktur "-1", "0") aus der in Figur 15 dargestellten vorangegangenen Taktphase werden zu der in Figur 16 gezeigten Taktphase an das jeweils nachfolgende Folge-Halte-Glied 4.2 des entsprechenden Zweiges übertragen. Der zu der in Figur 16 gezeigten Taktphase am Eingang 1 der Filterstruktur anliegende nächste Symbolwert ("1") des Eingangssignal wird an die ersten Folge-Halte-Glieder 4.1 des ersten und des zweiten Zweiges übertragen, die sich beide im Zustand "Folgen" befinden, das erste Folge-Halte-Glied 4.1 des ersten Zweiges in dem zweiten Teil der Folge-Phase und das erste Folge-Halte-Glied 4.1 des zweiten Zweiges in dem ersten Teil der Folge-Phase.

Das zweite Folge-Halte-Glied 4.2 des ersten Zweiges wechselt zu Beginn der in Figur 16 dargestellten Taktphase in den zweiten Teil der Halte-Phase, und das zweite Folge-Halte-Glied 4.2 des zweiten Zweiges wechselt von dem zweiten Teil der Folge-Phase in den ersten Teil der Halte-Phase. Beide Folge-Halte-Glieder 4.2 befinden sich zu dem in Figur 16

dargestellten Zeittakt somit in einer Halte-Phase, so dass der Symbolwert ("-3" bzw. "-2") aus der in Figur 15 dargestellten vorangegangenen Taktphase gehalten wird. Das erste Folge-Halte-Glied 4.1 des dritten Zweiges wechselt in den zweiten Teil der Halte-Phase, so dass auch hier der Symbolwert ("-1") aus der vorangegangenen Taktphase erhalten bleibt. Das zweite Folge-Halte-Glied 4.2 des dritten Zweiges wechselt in den zweiten Teil des Zustands "Folgen", so dass der Symbolwert ("-1") aus dem ersten Folge-Halte-Glied 4.1 zu der vorangegangenen Taktphase (vgl. Figur 15) zu der in Figur 16 dargestellten Taktphase in das zweite Folge-Halte-Glied 4.2 übertragen wird. Entsprechendes gilt für das zweite Folge-Halte-Glied 4.2 des untersten Zweiges, das in den ersten Teil der Folge-Phase wechselt und in das der Symbolwert ("0") des ersten Folge-Halte-Gliedes 4.1 aus der vorangegangenen Taktphase übertragen wird, und für das zweite Folge-Halte-Glied 4.2 des dritten Zweiges, das in den zweiten Teil der Folge-Phase wechselt und in das der Symbolwert ("-1") des ersten Folge-Halte-Glieds 4.1 aus der vorangegangenen Taktphase weiterhin übertragen wird.

In Figur 16 befinden sich das erste und das zweite Addierwerk 3.1 und 3.2 in der Folge-Phase. Das Addierwerk 3.2 liest zu der in Figur 16 gezeigten Taktphase die an den Ausgängen der angeschlossenen Folge-Halte-Glieder 4 anliegenden Symbolwerte neu ein, und baut an seinem Ausgang 5.2 in Abhängigkeit von den eingelesenen Symbolwerten einen neuen Signalwert auf. Das Addierwerk 3.1 liest weiterhin die schon vorher an seinen Eingängen anliegenden Werte ein und baut an seinem Ausgang 5.1 weiterhin das entsprechende Ausgangssignal auf. Die Addierwerke 3.3 und 3.4 halten dagegen das Ausgangssignal aus der vorangegangenen Taktphase.

Die nachfolgende Zeittakt ist in Figur 17 dargestellt. Die Symbolwerte aus der vorangegangenen Taktphase (vgl. Figur 16) der ersten Folge-Halte-Glieder 4.1 des ersten und des letzten

Zweiges ("-1", "1") werden an das jeweils nachfolgende zweite Folge-Halte-Glied 4.2 des entsprechenden Zweiges weitergeleitet. Die ersten Folge-Halte-Glieder 4.1 der beiden mittleren Zweige befinden sich nun in der Folge-Phase. Der nunmehr am Eingang 1 der Filterstruktur anliegende Symbolwert "2" wird deshalb an diese beiden Folge-Halte-Glieder 4.1 übertragen. Die Symbolwerte der ersten Folge-Halte-Glieder 4.1 des ersten und vierten Zweiges der Filterstruktur aus der in Figur 16 dargestellten vorangegangenen Taktphase werden zu der in Figur 17 gezeigten Taktphase an das jeweils nachfolgende Folge-Halte-Glied 4.2 übertragen. Das zweite Folge-Halte-Glied 4.2 des zweiten Zweiges sowie das erste Folge-Halte-Glied 4.1 des untersten Zweiges behalten ihre Symbolwerte ("-2" bzw. "0") aus der vorangegangenen Taktphase bei, da sie zu der in Figur 17 dargestellten Taktphase in den zweiten Teil der Halte-Phase übergehen.

Nun befinden sich das zweite Addierwerk 3.2 und das dritte Addierwerk 3.3 in der Folge-Phase. Das Addierwerk 3.3 liest zu der in Figur 17 gezeigten Taktphase die an den Ausgängen der angeschlossenen Folge-Halte-Glieder 4 anliegenden Symbolwerte neu ein und baut am Ausgang 5.3 in Abhängigkeit von den eingelesenen Symbolwerten einen neuen Signalwert auf. Das Addierwerk 3.2 liest weiterhin die schon vorher an seinen Eingängen anliegenden Werte ein und baut an seinem Ausgang 5.2 weiterhin das entsprechende Ausgangssignal auf. Das erste und das letzte Addierwerk 3.1 und 3.4 halten dagegen die an ihren Ausgängen 5.1 und 5.4 anliegenden Ausgangssignale aus der vorangegangenen Taktphase, da sie sich beide in der Halte-Phase befinden.

In Figur 18 ist schließlich das Blockschaltbild der Filterstruktur aus Figur 14 zur nächstfolgenden Taktphase dargestellt. Die Symbolwerte aus der vorangegangenen Taktphase (vgl. Figur 17) der ersten Folge-Halte-Glieder 4.1 des ersten und des zweiten Zweiges ("1", "2") werden an das

jeweils nachfolgende zweite Folge-Halte-Glied 4.2 des entsprechenden Zweiges weitergeleitet. Die beiden ersten Folge-Halte-Glieder 4.1 des dritten und vierten Zweiges befinden sich in der Folge-Phase; der am Eingang 1 aktuell anliegende Symbolwert ("3") des Eingangssignals wird an diese beiden Folge-Halte-Glieder 4.1 übertragen. Die beiden ersten Folge-Halte-Glieder 4.1 des ersten und des zweiten Zweiges befinden sich dagegen in der Halte-Phase und behalten den Symbolwert ("1" bzw. "2") der vorangegangenen Taktphase bei. Gleiches gilt auch für die beiden zweiten Folge-Halte-Glieder 4.2 des dritten und des letzten Zweiges.

Die beiden unteren Addierwerke 3.3 und 3.4 befinden sich in der Folge-Phase. Das Addierwerk 3.4 liest zu der in Figur 18 gezeigten Taktphase die an den Ausgängen der angeschlossenen Folge-Halte-Glieder 4 anliegenden Symbolwerte neu ein und baut am Ausgang 5.4 in Abhängigkeit von den eingelesenen Symbolwerten einen neuen Signalwert auf. Das Addierwerk 3.3 liest weiterhin die schon vorher an seinen Eingängen anliegenden Werte ein und baut an seinem Ausgang 5.3 weiterhin das entsprechende Ausgangssignal auf. Die beiden anderen Addierwerke 3.1 und 3.2 befinden sich dagegen in der Halte-Phase und halten das Ausgangssignal aus der vorangegangenen Taktphase.

Es wird unmittelbar ersichtlich, dass die entzerrten Symbolwerte, welche in diesem Fall der gewichteten Addition von drei aufeinander folgenden abgetasteten Symbolwerten entsprechen, gestaffelt am ersten Ausgang 5.1, dann am zweiten Ausgang 5.2, dann am dritten Ausgang 5.3, dann am vierten Ausgang 5.4, dann wieder am ersten Ausgang 5.1 und immer weiter so fort ausgegeben werden. Dabei stehen die entzerrten Symbolwerte jeweils für die vierfache Abtastperiodendauer T am jeweiligen Ausgang an und stehen für eine parallelisierte Entscheidung oder sonstige

Weiterverarbeitung mit geviertelter Verarbeitungsrate zur Verfügung.

Patentansprüche

1. Filterstruktur, umfassend:
   - einen Eingang (1), an dem ein Eingangssignal mit einer Symbolrate (R) anliegt,
   - mehrere (N) parallele, an den Eingang (1) angeschlossene Zweige, in denen jeweils mindestens zwei analoge getaktete Verzögerungselemente (4) hintereinander angeordnet sind, wobei N eine gerade Zahl ist,
   - mehrere (N) parallele, an Ausgänge der Verzögerungselemente (4) angeschlossene Signaladdierwerke (3) mit jeweils mehreren (K) gewichteten Eingängen, wobei die Anzahl der Signaladdierwerke (3) gleich der Anzahl der parallelen Zweigen ist, und
   - ein Ansteuerungsnetzwerk, welches ein Mehrphasen-Taktsignal (ϕ_{1bis4}) mit mehreren (N) einzelnen Taktsignalen (ϕ_1, ϕ_2, ϕ_3, ϕ_4) führt, wobei die einzelnen Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) dieselbe Form aufweisen, um eine Abtastperiodendauer (T) relativ zueinander verschoben sind und die Anzahl (N) der einzelnen Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) des Mehrphasen-Taktsignals (ϕ_{1bis4}) gleich der Anzahl (N) der parallelen Zweige ist, und zur Ansteuerung der Verzögerungselemente (4) mit dem Mehrphasen-Taktsignal (ϕ_{1bis4}),

   dadurch gekennzeichnet, dass
   - in jedem der Zweige die gleiche Anzahl an Verzögerungselementen (4.1, 4.2, 4.3) hintereinander angeordnet ist,
   - Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4), welche zur Ansteuerung einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente (4.1; 4.2; 4.3) in verschiedenen Zweigen vorgesehen sind, jeweils um eine

Abtastperiodendauer (T) gegeneinander verschoben sind,

- Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4), welche zur Ansteuerung der Signaladdierwerke (3.1; 3.2; 3.3; 3.4) vorgesehen sind, jeweils um eine Abtastperiodendauer (T) gegeneinander verschoben sind,
- Taktsignale, welche zur Ansteuerung aufeinander folgender Verzögerungselemente (4.1; 4.2; 4.3) eines Zweiges vorgesehen sind, jeweils um eine halbe Taktperiodendauer (T*N/2) gegeneinander verschoben sind, und
- die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) derart mit den Ausgängen der Verzögerungselemente (4.1, 4.2, 4.3) in den Zweigen verschaltet sind, dass alle Signalpfade zwischen dem Eingang (1) der Filterstruktur und den mit dem gleichen Gewichtungsfaktor (c0; c1; c2; c3) gewichteten entsprechenden Eingängen der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) jeweils über die gleiche Anzahl an Verzögerungselementen (4.1, 4.2, 4.3) und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente (4.1, 4.2, 4.3) in verschiedenen Zweigen geführt sind.

2. Filterstruktur nach Anspruch 1, dadurch gekennzeichnet, dass die Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4), welche zur Ansteuerung einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente (4.1; 4.2; 4.3) in aufeinander folgenden Zweigen vorgesehen sind, um jeweils eine Abtastperiodendauer (T) gegeneinander verschoben sind, und dass die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) derart mit den Ausgängen der Verzögerungselemente (4.1, 4.2, 4.3) in den Zweigen verschaltet sind, dass alle Signalpfade zwischen dem Eingang (1) der Filterstruktur und den mit dem gleichen Gewichtungsfaktor (c0; c1; c2; c3) gewichteten entsprechenden Eingängen der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) jeweils über die gleiche Anzahl an

Verzögerungselementen (4.1, 4.2, 4.3) und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente (4.1, 4.2, 4.3) in aufeinander folgenden Zweigen geführt sind, wobei der auf den letzten Zweig der Filterstruktur folgende Zweig der erste Zweig ist.

3. Filterstruktur nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die analogen getakteten Verzögerungselemente (4) als Folge-Halte-Glieder ausgebildet sind.

4. Filterstruktur nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die analogen getakteten Verzögerungselemente (4) als Abtast-Halte-Glieder ausgebildet sind.

5. Filterstruktur nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Filterstruktur 2^j parallele Zweige aufweist, wobei j eine natürliche positive Zahl ohne Null ist.

6. Filterstruktur nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass hinter die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) ein N-fach parallelisierter entscheidungsrückgekoppelter Entzerrer zur weiteren Filterung des Eingangssignals angeordnet ist.

7. Filterstruktur nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass der Parallelisierungsgrad der Filterstruktur N=2 beträgt.

8. Filterstruktur nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die Gewichtungsfaktoren (c0, c1, c2, c3) zum Gewichten der Eingänge der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) während des Betriebs der Filterstruktur variierbar sind.

9. Verfahren zum Filtern eines an einem Eingang (1) einer Filterstruktur mit einer Symbolrate (R) anliegenden Eingangssignals, wobei

- das Eingangssignal über mehrere (N) parallele, an den Eingang (1) angeschlossene Zweige der Filterstruktur, in denen jeweils mindestens zwei analoge getaktete Verzögerungselemente (4) hintereinander angeordnet sind, geführt wird, wobei N eine gerade Zahl ist,
- mehrere (N) parallele Signaladdierwerke (3) mit jeweils mehreren (K) gewichteten Eingängen an Ausgänge der Verzögerungselemente (4) angeschlossen werden, wobei die Anzahl (N) der Signaladdierwerke (3) gleich der Anzahl (N) der parallelen Zweigen gewählt wird, und
- ein Mehrphasen-Taktsignal (ϕ_{1bis4}) mit mehreren (N) einzelnen Taktsignalen (ϕ_1, ϕ_2, ϕ_3, ϕ_4) der Filterstruktur zugeführt wird, wobei die einzelnen Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) dieselbe Form aufweisen, um eine Abtastperiodendauer (T) relativ zueinander verschoben sind und die Anzahl (N) der einzelnen Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) des Mehrphasen-Taktsignals (ϕ_{1bis4}) gleich der Anzahl (N) der parallelen Zweige gewählt wird, und die Verzögerungselemente (4) mit dem Mehrphasen-Taktsignal (ϕ_{1bis4}) angesteuert werden,

dadurch gekennzeichnet, dass

- in jedem der Zweige die gleiche Anzahl an Verzögerungselementen (4.1, 4.2, 4.3) hintereinander angeordnet wird,
- solche Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) zur Ansteuerung von einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente (4.1, 4.2, 4.3) in verschiedenen Zweigen herangezogen werden, die jeweils um eine Abtastperiodendauer (T) gegeneinander verschoben sind,

- solche Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) zur Ansteuerung der Signaladdierwerke (3) herangezogen werden, die jeweils um eine Abtastperiodendauer (T) gegeneinander verschoben sind,
- solche Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4) zur Ansteuerung aufeinander folgender Verzögerungselemente (4.1; 4.2; 4.3) eines Zweiges herangezogen werden, die jeweils um eine halbe Taktperiodendauer (T*N/2) gegeneinander verschoben sind, und
- die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) derart mit den Ausgängen der Verzögerungselemente (4.1, 4.2, 4.3) in den Zweigen verschaltet werden, dass alle Signalpfade zwischen dem Eingang (1) der Filterstruktur und den mit dem gleichen Gewichtungsfaktor (c0; c1; c2; c3) gewichteten entsprechenden Eingängen der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) jeweils über die gleiche Anzahl an Verzögerungselementen (4.1, 4.2, 4.3) und über einander bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente (4.1, 4.2, 4.3) in verschiedenen Zweigen geführt werden.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass die Taktsignale (ϕ_1, ϕ_2, ϕ_3, ϕ_4), welche zur Ansteuerung einander bezüglich ihrer Position in den Zweigen entsprechender Verzögerungselemente (4.1; 4.2; 4.3) in aufeinander folgenden Zweigen herangezogen werden, um jeweils eine Abtastperiodendauer (T) gegeneinander verschoben sind, und dass die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) derart mit den Ausgängen der Verzögerungselemente (4.1, 4.2, 4.3) in den Zweigen verschaltet werden, dass alle Signalpfade zwischen dem Eingang (1) der Filterstruktur und den mit dem gleichen Gewichtungsfaktor (c0; c1; c2; c3) gewichteten entsprechenden Eingängen der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) jeweils über die gleiche Anzahl an Verzögerungselementen (4.1, 4.2, 4.3) und über einander

bezüglich ihrer Position in den Zweigen entsprechende Verzögerungselemente (4.1, 4.2, 4.3) in aufeinander folgenden Zweigen geführt werden, wobei der auf den letzten Zweig der Filterstruktur folgende Zweig der erste Zweig ist.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, dass das Eingangssignal über 2^j parallele, an den Eingang (1) angeschlossene Zweige der Filterstruktur geführt wird, wobei j eine natürliche positive Zahl ohne Null ist.

12. Verfahren nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, dass hinter die Signaladdierwerke (3.1, 3.2, 3.3, 3.4) ein N-fach parallelisierter entscheidungsrückgekoppelter Entzerrer zur weiteren Filterung des Eingangssignals angeordnet wird.

13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, dass der Parallelisierungsgrad der Filterstruktur für N=2 gewählt wird.

14. Verfahren nach einem der Ansprüche 9 bis 13, dadurch gekennzeichnet, dass die Gewichtungsfaktoren (c0, c1, c2, c3) zum Gewichten der Eingänge der Signaladdierwerke (3.1, 3.2, 3.3, 3.4) während des Betriebs der Filterstruktur variiert werden.

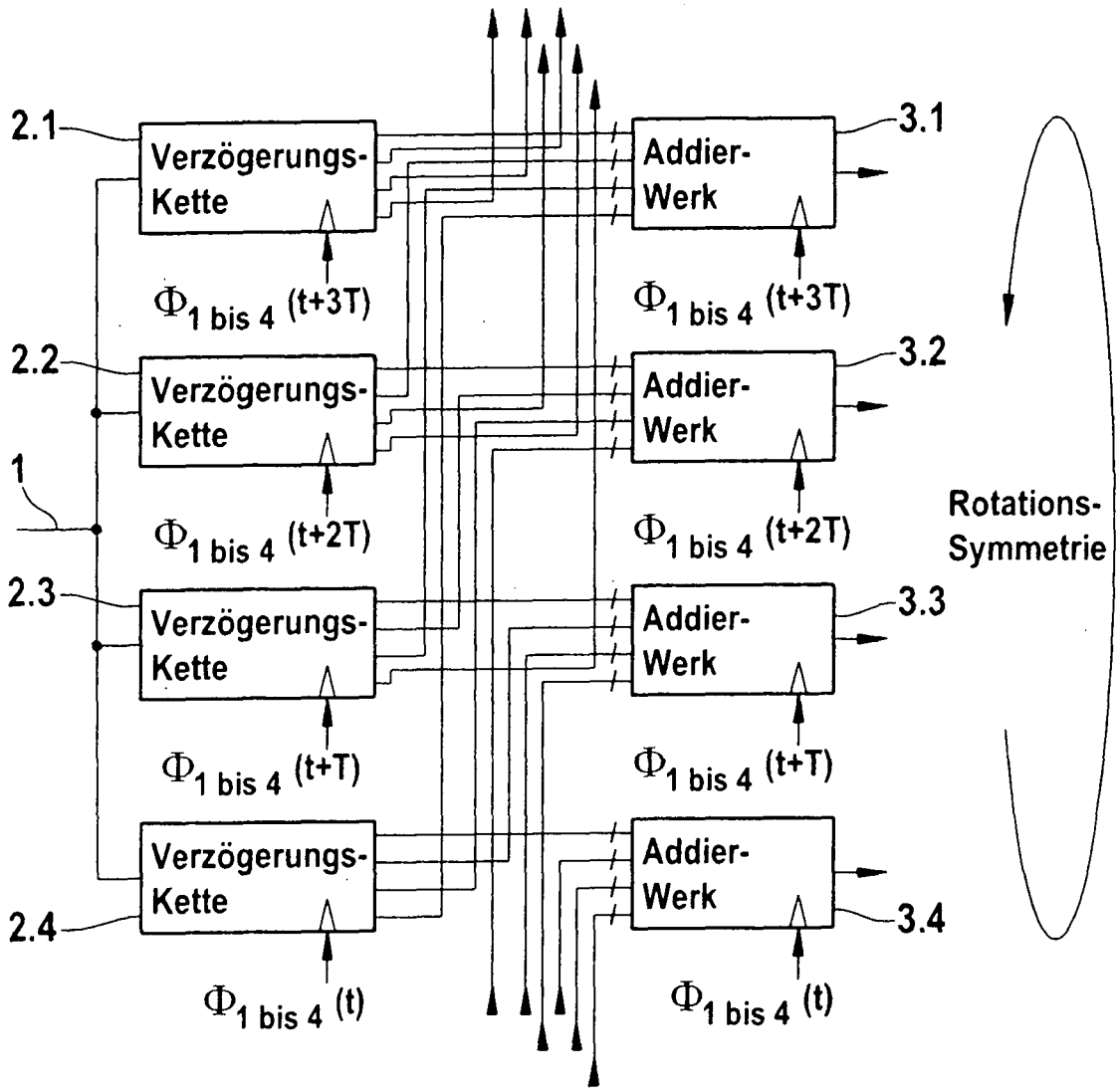

2.1
Verzögerungs-Kette
Addier-Werk
3.1
Φ1 bis 4 (t+3T)
Φ1 bis 4 (t+3T)
2.2
Verzögerungs-Kette
Addier-Werk
3.2
1
Φ1 bis 4 (t+2T)
Φ1 bis 4 (t+2T)
Rotations-Symmetrie
2.3
Verzögerungs-Kette
Addier-Werk
3.3
Φ1 bis 4 (t+T)
Φ1 bis 4 (t+T)
Verzögerungs-Kette
Addier-Werk
2.4
3.4
Φ1 bis 4 (t)
Φ1 bis 4 (t)

Fig. 1

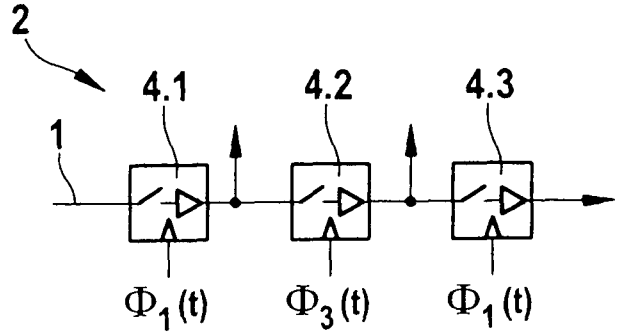
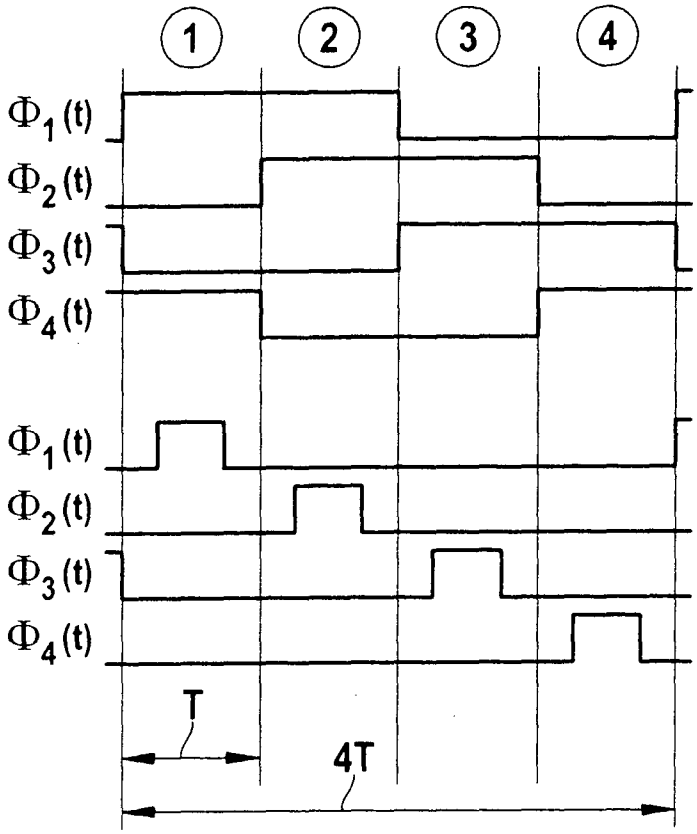

2
4.1
4.2
4.3
1
Φ1 (t)
Φ3 (t)
Φ1 (t)

Fig. 2

Fig. 3


1
2
3
4
$\Phi_1(t)$
$\Phi_2(t)$
$\Phi_3(t)$
$\Phi_4(t)$
$\Phi_1(t)$
$\Phi_2(t)$
$\Phi_3(t)$
$\Phi_4(t)$
T
4T

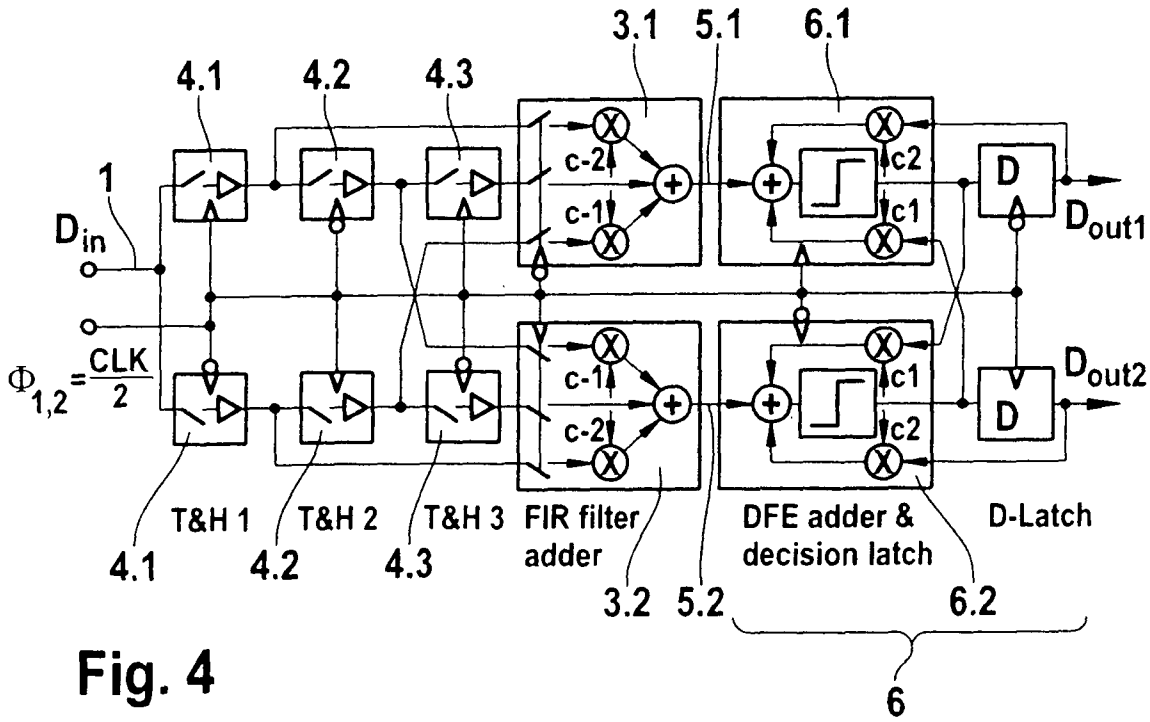

3.1
5.1
6.1
4.1
4.2
4.3
1
D_{in}
$\Phi_{1,2}=\frac{CLK}{2}$
c-2
c-1
c2
c1
D
D_{out1}
D_{out2}
T&H 1
T&H 2
T&H 3
FIR filter adder
DFE adder & decision latch
D-Latch
4.1
4.2
4.3
3.2
5.2
6.2
6

Fig. 4

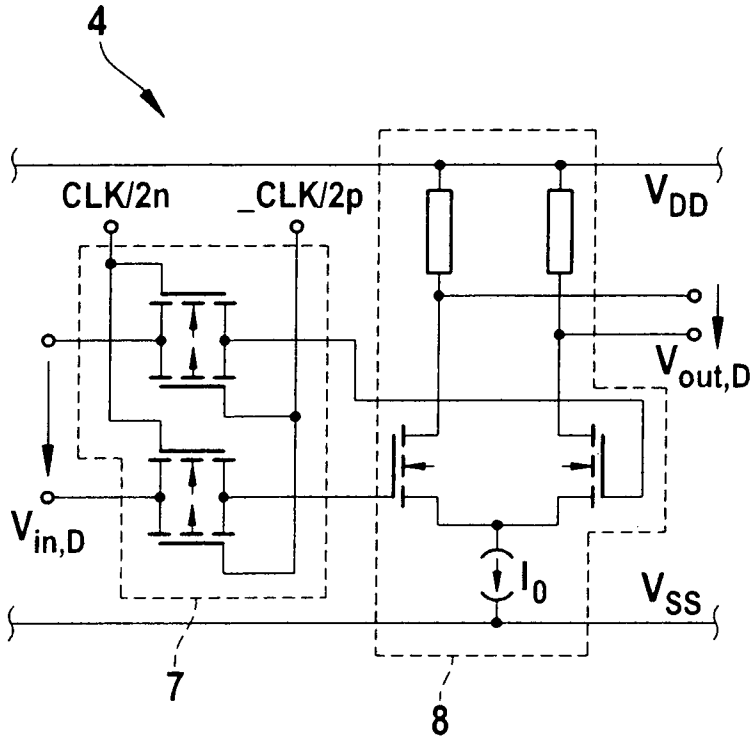

4
CLK/2n
_CLK/2p
V_{DD}
$V_{out,D}$
$V_{in,D}$
I_0
V_{SS}
7
8

Fig. 5

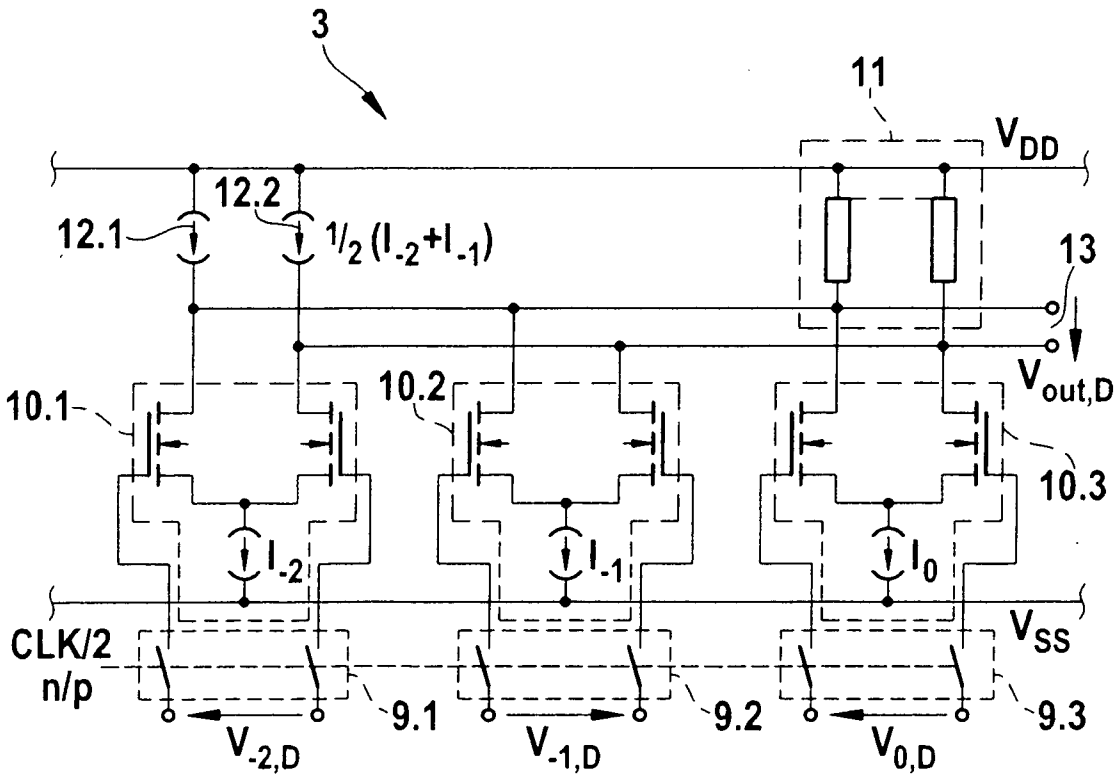

3
11
V_{DD}
12.2
12.1
$1/2\,(I_{-2}+I_{-1})$
13
$V_{out,D}$
10.1
10.2
10.3
I_{-2}
I_{-1}
I_0
V_{SS}
CLK/2
n/p
9.1
9.2
9.3
$V_{-2,D}$
$V_{-1,D}$
$V_{0,D}$

Fig. 6

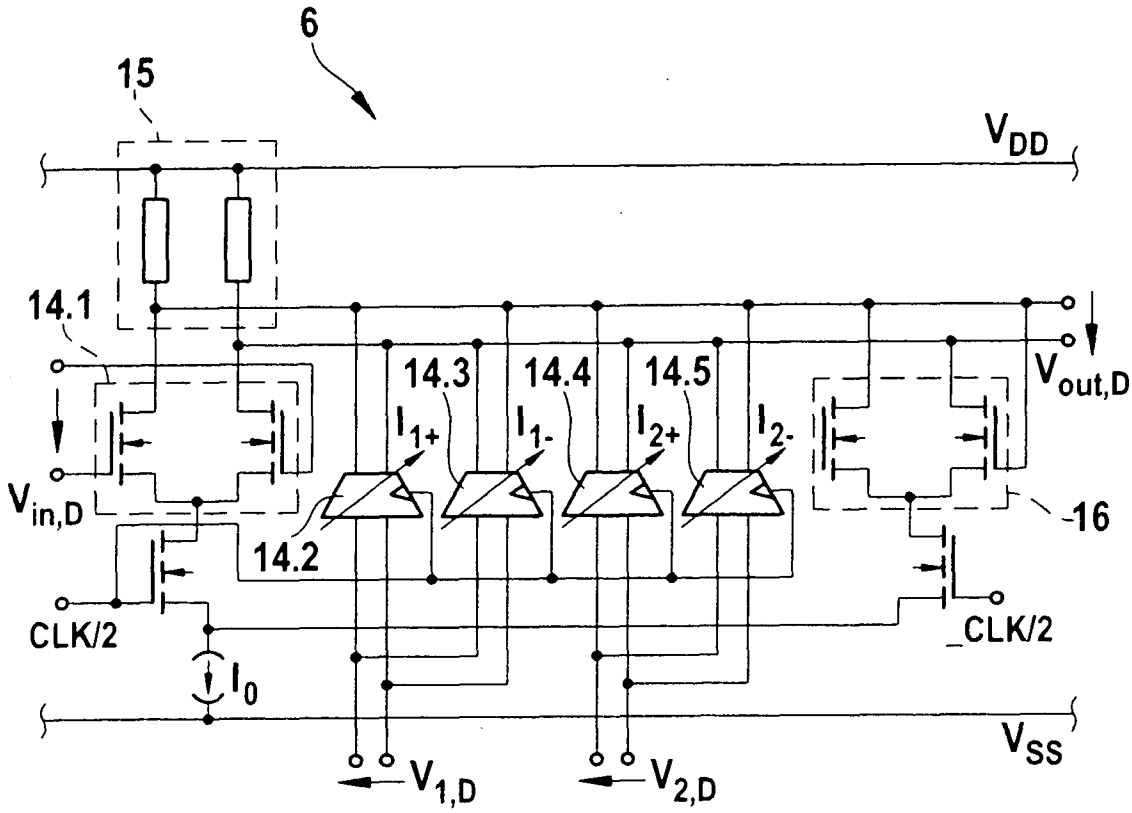

6
15
V_{DD}
14.1
14.3
14.4
14.5
I_{1+}
I_{1-}
I_{2+}
I_{2-}
$V_{out,D}$
$V_{in,D}$
14.2
16
CLK/2
_CLK/2
I_0
V_{SS}
$V_{1,D}$
$V_{2,D}$

Fig. 7

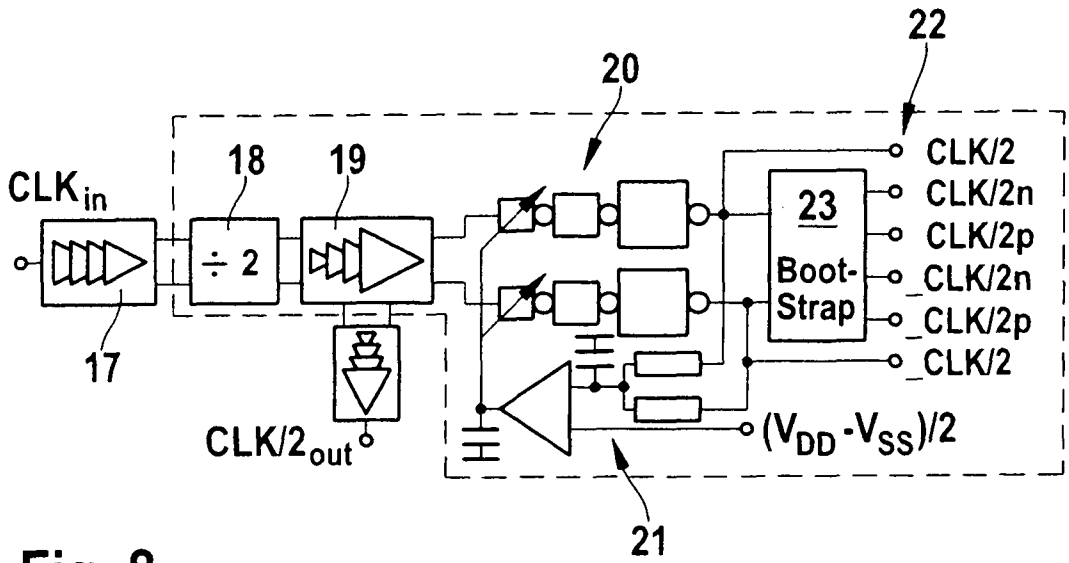

22
20
CLK_{in}
18
19
÷ 2
17
$CLK/2_{out}$
23
Boot-
Strap
CLK/2
CLK/2n
CLK/2p
_CLK/2n
_CLK/2p
_CLK/2
$(V_{DD}-V_{SS})/2$
21

Fig. 8

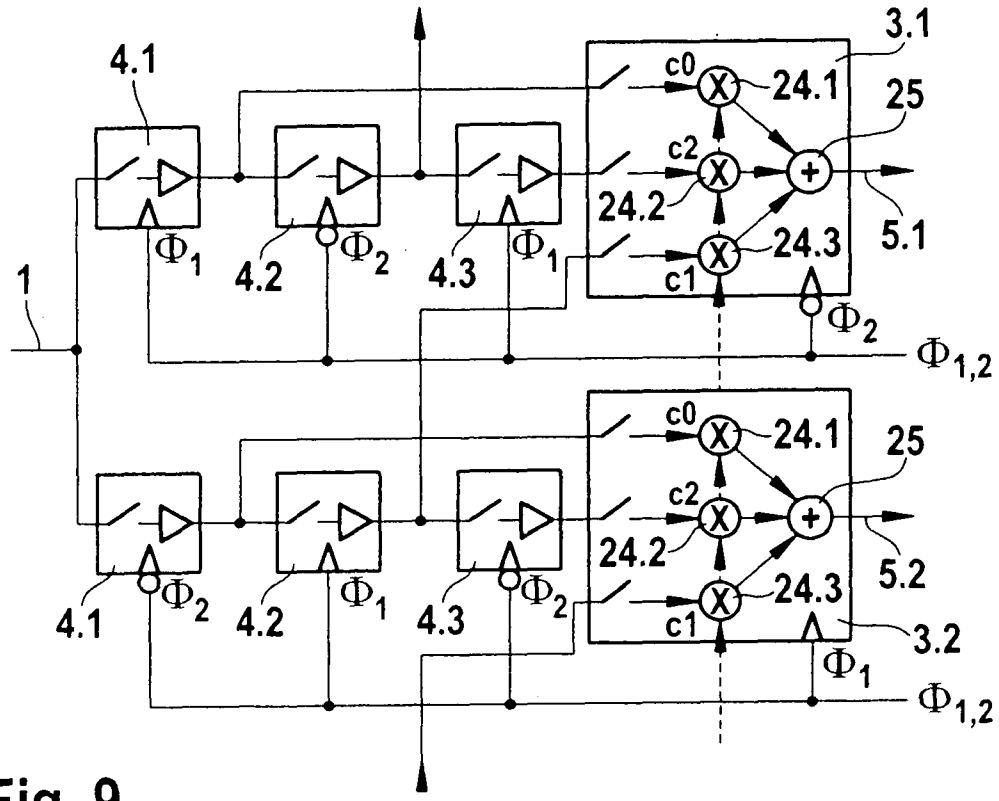

4.1
3.1
c0
24.1
25
c2
24.2
24.3
5.1
c1
1
Φ1
4.2
Φ2
4.3
Φ1
Φ2
Φ1,2
c0
24.1
25
c2
24.2
5.2
24.3
c1
3.2
4.1
Φ2
4.2
Φ1
4.3
Φ2
Φ1
Φ1,2

Fig. 9

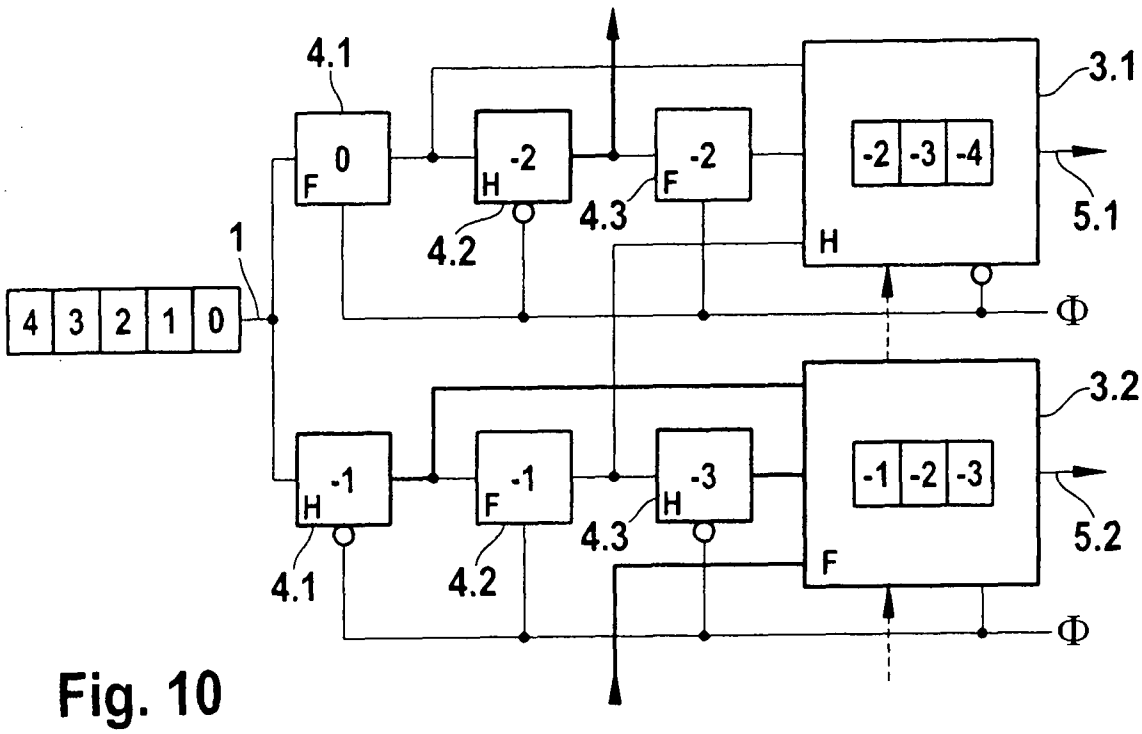

4.1
3.1
F 0
H -2
F -2
-2 -3 -4
5.1
4.3
4.2
H
1
4 3 2 1 0
Φ
3.2
H -1
F -1
H -3
-1 -2 -3
5.2
4.3
4.1
4.2
F
Φ

Fig. 10

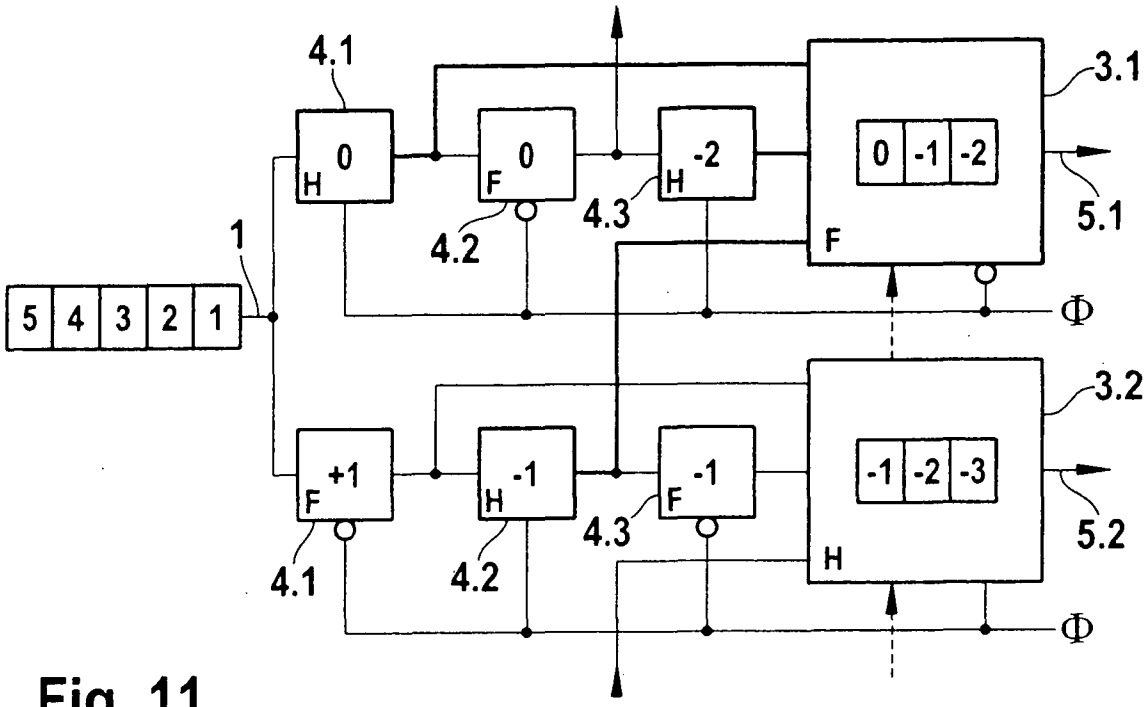

4.1
3.1
0
H
0
F
-2
H
0 -1 -2
F
5.1
1
4.2
4.3
5 4 3 2 1
Φ
3.2
+1
F
-1
H
-1
F
-1 -2 -3
H
5.2
4.1
4.2
4.3
Φ

Fig. 11

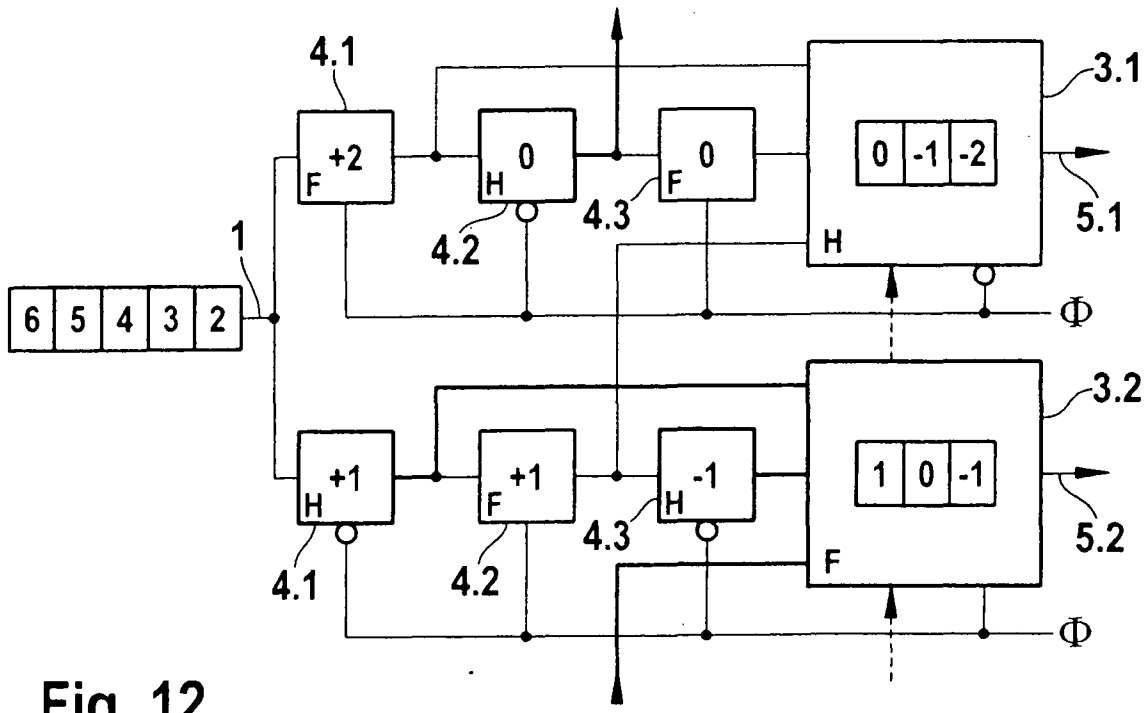

4.1
3.1
+2
F
0
H
0
F
0 -1 -2
H
5.1
1
4.2
4.3
6 5 4 3 2
Φ
3.2
+1
H
+1
F
-1
H
1 0 -1
F
5.2
4.1
4.2
4.3
Φ

Fig. 12

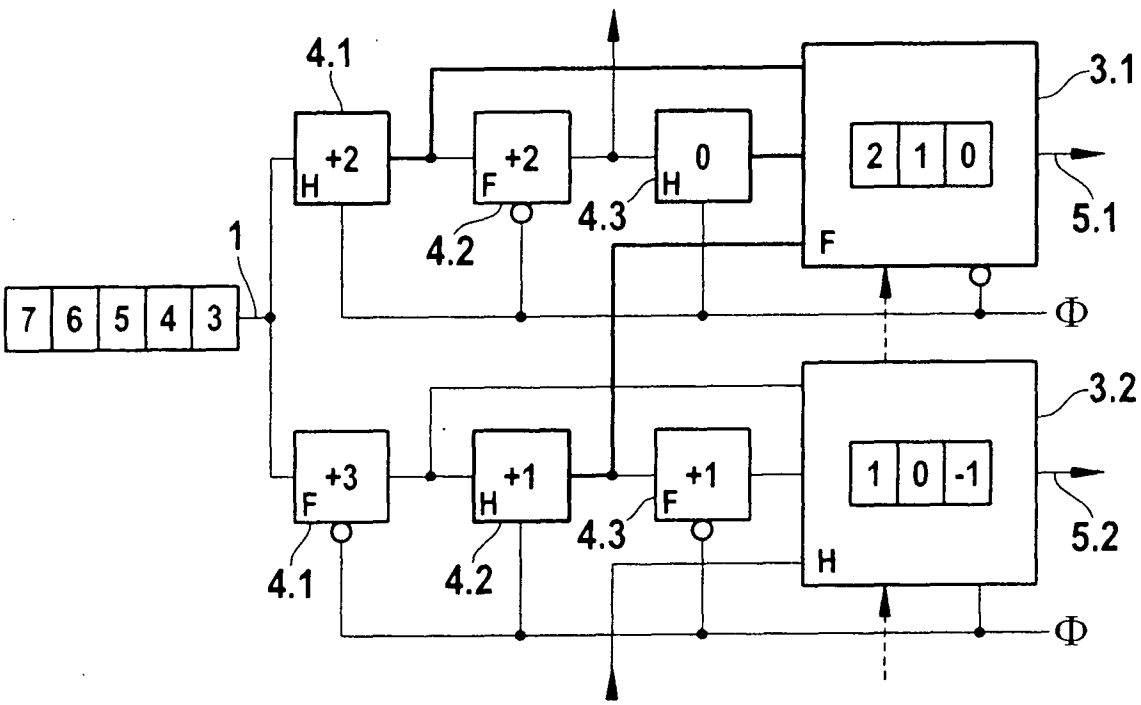


Fig. 13

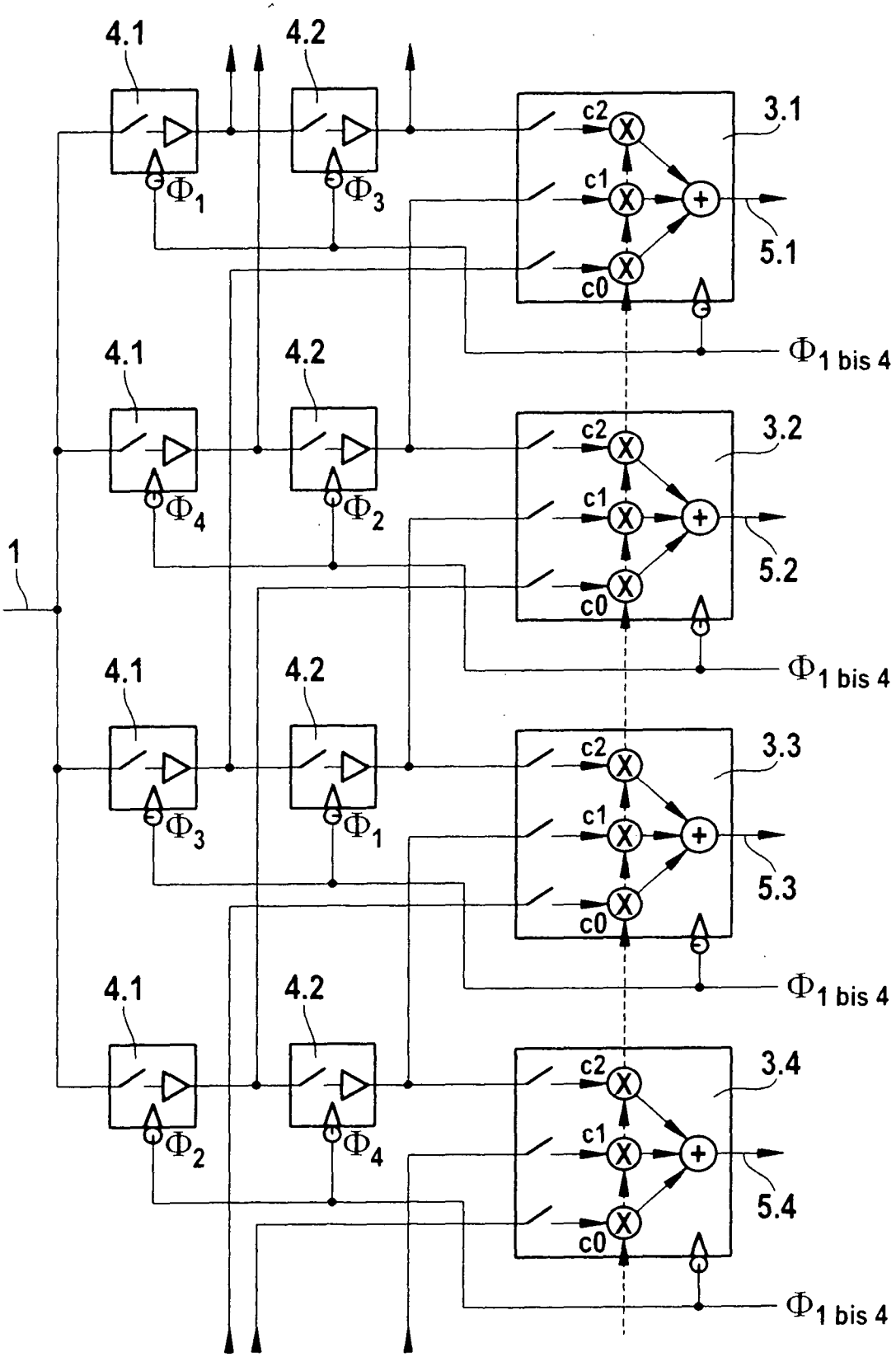

4.1
4.2
3.1
c2
c1
c0
Φ_1
Φ_3
5.1
$\Phi_{1 \text{ bis } 4}$
4.1
4.2
3.2
Φ_4
Φ_2
1
5.2
$\Phi_{1 \text{ bis } 4}$
4.1
4.2
3.3
Φ_3
Φ_1
5.3
$\Phi_{1 \text{ bis } 4}$
4.1
4.2
3.4
Φ_2
Φ_4
5.4
$\Phi_{1 \text{ bis } 4}$

Fig. 14

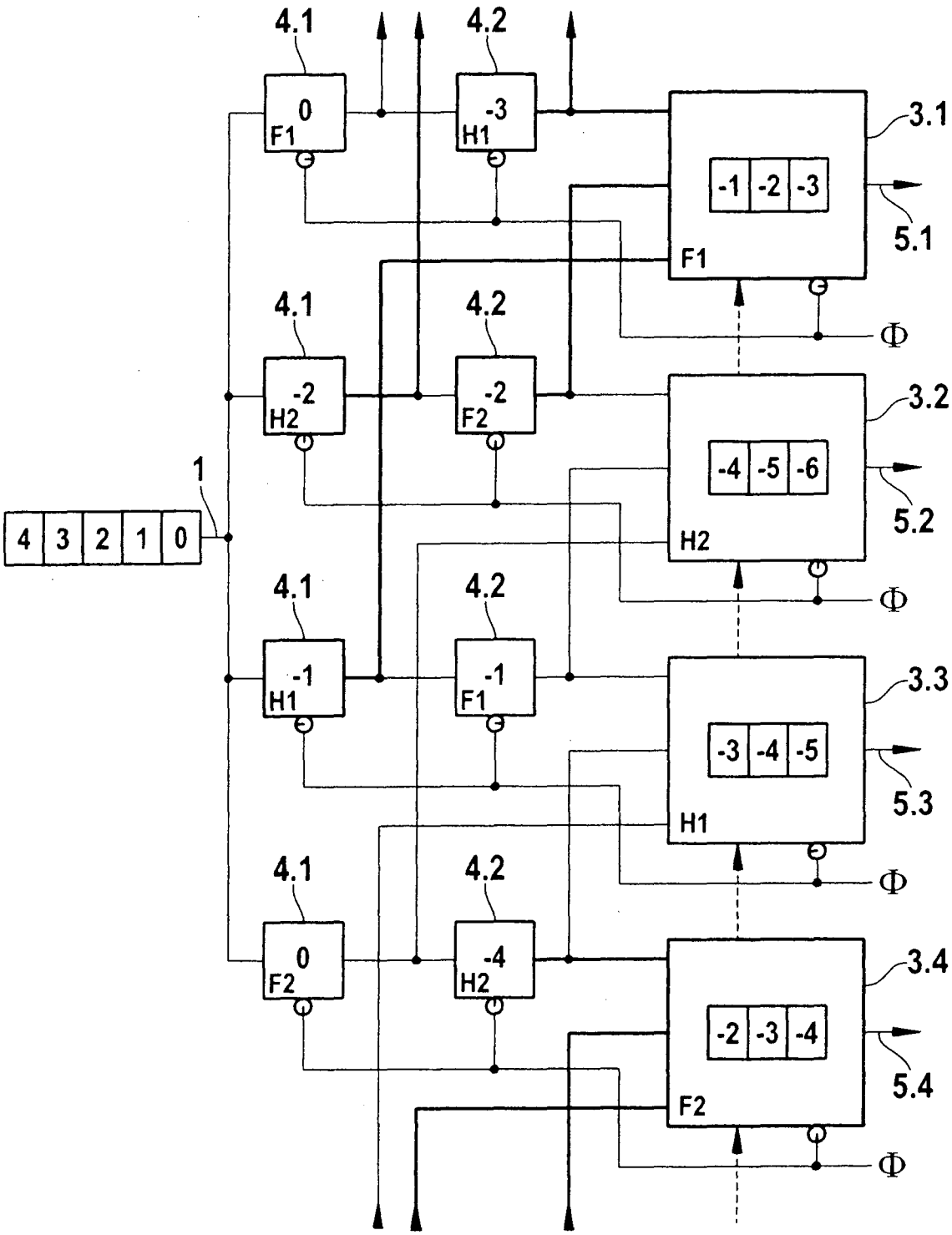

4.1
4.2
0
F1
-3
H1
3.1
-1 -2 -3
F1
5.1
Φ
4.1
4.2
-2
H2
-2
F2
3.2
-4 -5 -6
H2
5.2
Φ
1
4 3 2 1 0
4.1
4.2
-1
H1
-1
F1
3.3
-3 -4 -5
H1
5.3
Φ
4.1
4.2
0
F2
-4
H2
3.4
-2 -3 -4
F2
5.4
Φ

Fig. 15

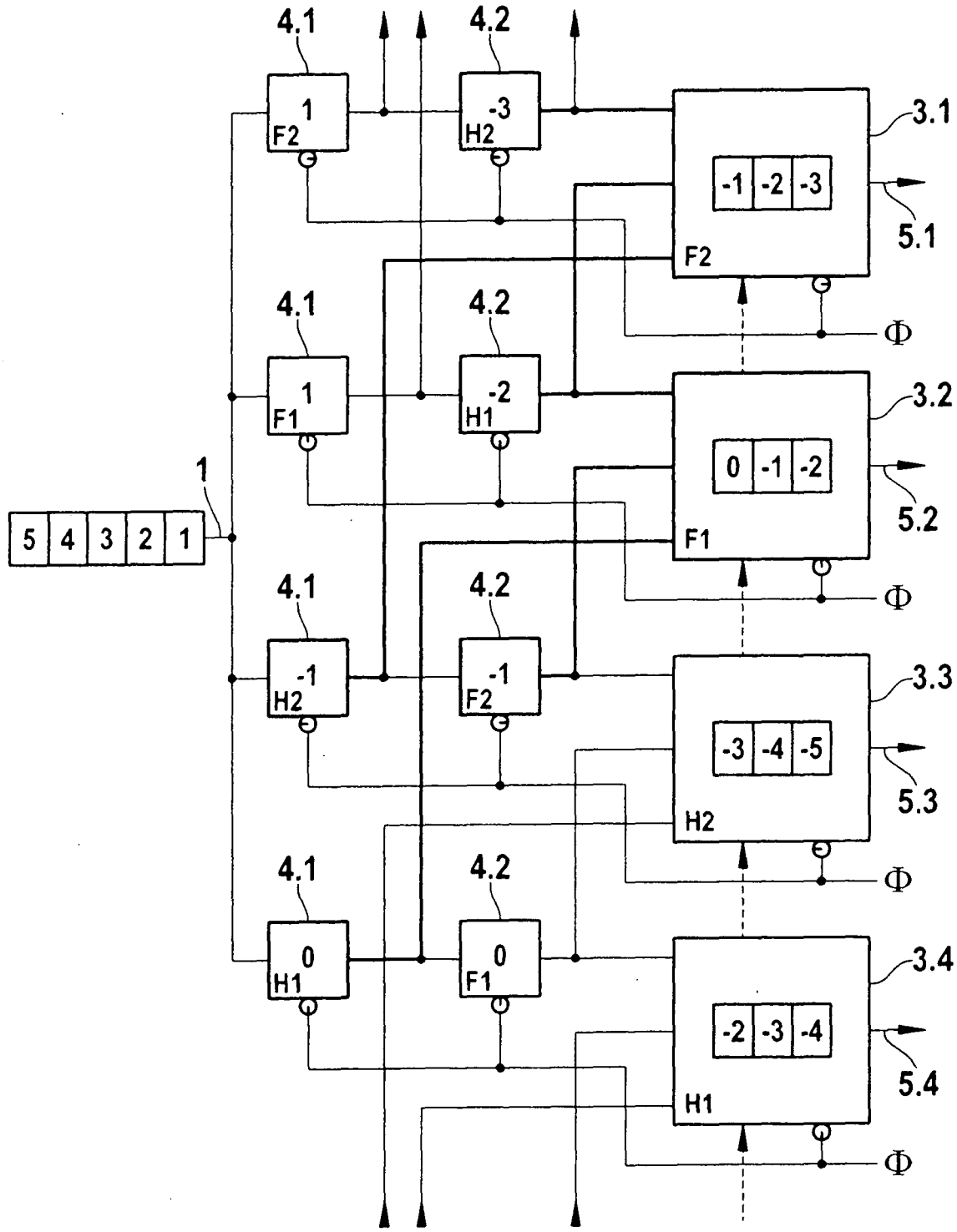

4.1
4.2
1
F2
-3
H2
3.1
-1 -2 -3
F2
5.1
Φ
4.1
4.2
1
F1
-2
H1
3.2
0 -1 -2
F1
5.2
Φ
1
5 4 3 2 1
4.1
4.2
-1
H2
-1
F2
3.3
-3 -4 -5
H2
5.3
Φ
4.1
4.2
0
H1
0
F1
3.4
-2 -3 -4
H1
5.4
Φ

Fig. 16

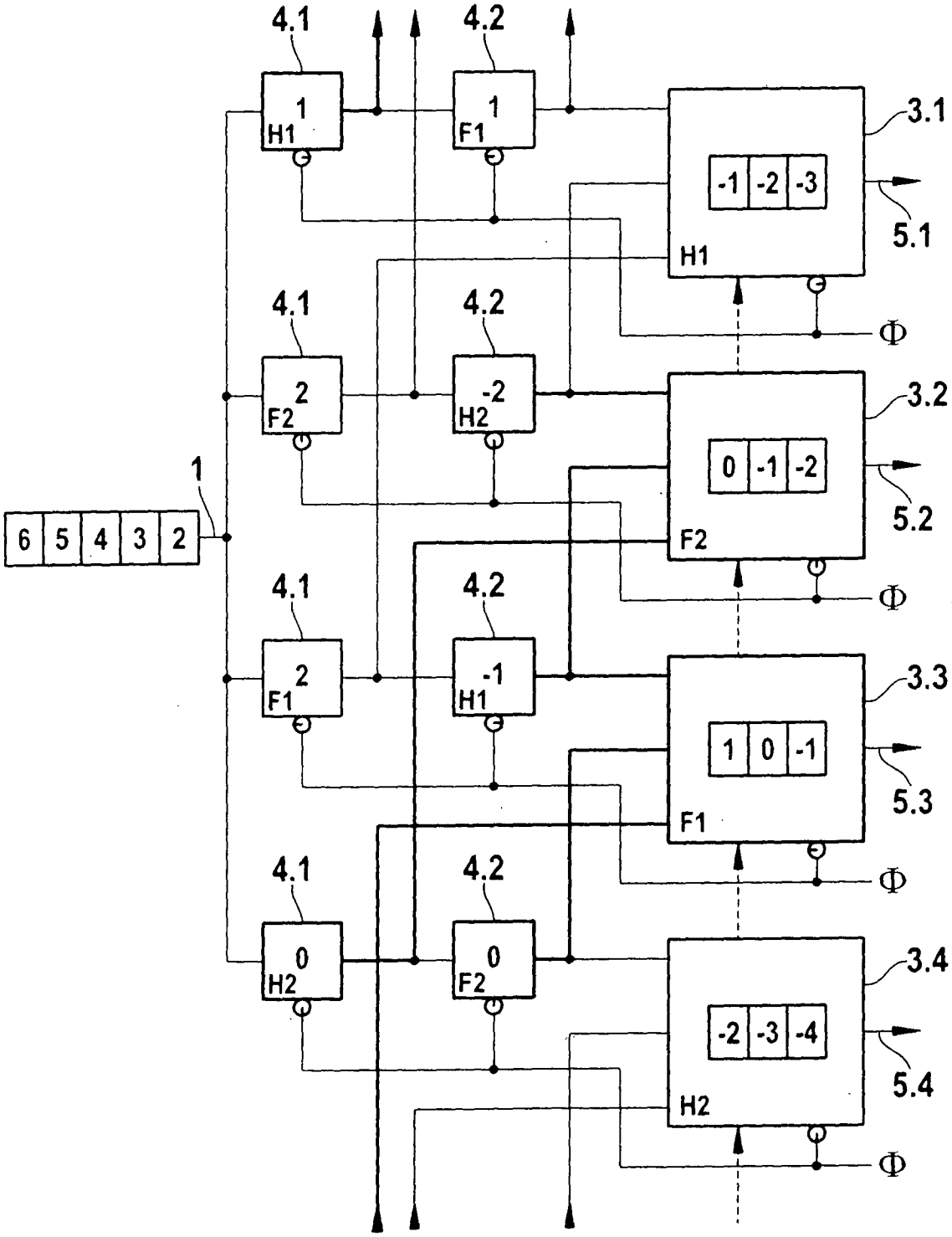

4.1
4.2
1
H1
1
F1
3.1
-1 -2 -3
H1
5.1
Φ
4.1
4.2
2
F2
-2
H2
3.2
0 -1 -2
F2
5.2
Φ
1
6 5 4 3 2
4.1
4.2
2
F1
-1
H1
3.3
1 0 -1
F1
5.3
Φ
4.1
4.2
0
H2
0
F2
3.4
-2 -3 -4
H2
5.4
Φ

Fig. 17

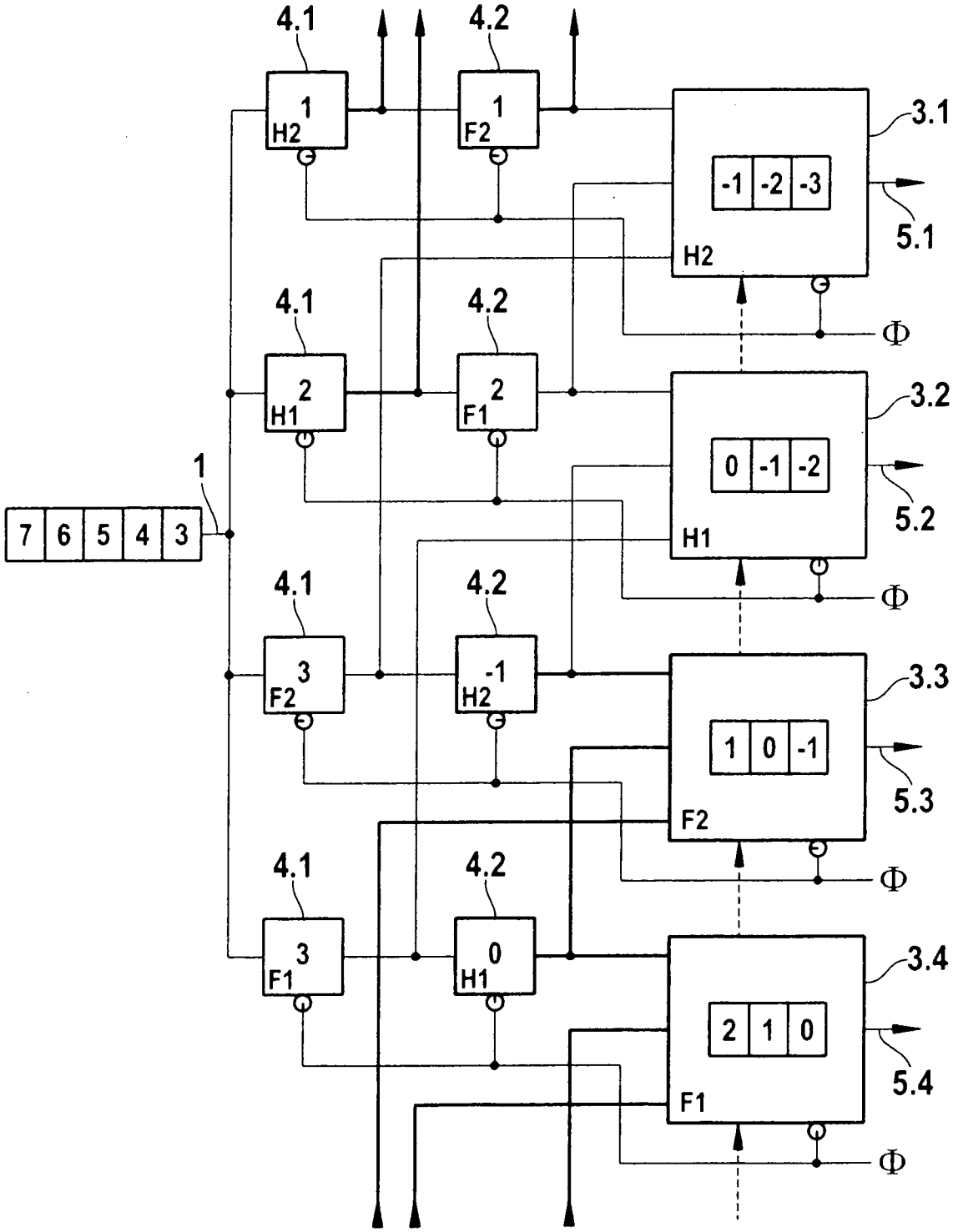

4.1
4.2
1
H2
1
F2
3.1
-1 -2 -3
5.1
H2
Φ
4.1
4.2
2
H1
2
F1
3.2
0 -1 -2
5.2
H1
Φ
1
7 6 5 4 3
4.1
4.2
3
F2
-1
H2
3.3
1 0 -1
5.3
F2
Φ
4.1
4.2
3
F1
0
H1
3.4
2 1 0
5.4
F1
Φ

Fig. 18

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2007/006040

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03H15/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 553 398 B2 (CAPOFREDDI PETER [US]) 22 April 2003 (2003-04-22) cited in the application abstract column 4, line 54 - column 5, line 67; figures 5-9	1-14
A	US 6 529 926 B1 (CAPOFREDDI PETER [US]) 4 March 2003 (2003-03-04) cited in the application abstract column 4, line 35 - column 7, line 61; figures 5-8	1-14

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 October 2007	17/10/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Trafidlo, Renata

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2007/006040

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 768 372 B2 (JAUSSI JAMES E [US] ET AL) 27 July 2004 (2004-07-27) cited in the application abstract column 2, line 48 - column 4, line 65; figures 3-7	1-14
A	WO 2005/033902 A (KEYEYE [US]) 14 April 2005 (2005-04-14) abstract page 6, line 8 - page 8, line 24; figures 4,5 page 10, line 25 - page 12, line 21; figures 6,7	1-14
A	XIAODONG WANG ET AL: "A Low-Power 170-MHz Discrete-Time Analog FIR Filter" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 33, no. 3, March 1998 (1998-03), XP011060700 ISSN: 0018-9200 page 417 - page 420; figures 1-5	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2007/006040

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6553398 B2	22-04-2003	US 2002062329 A1	23-05-2002
US 6529926 B1	04-03-2003	AU 9288201 A	02-04-2002
		WO 0225475 A1	28-03-2002
US 6768372 B2	27-07-2004	US 2004119530 A1	24-06-2004
WO 2005033902 A	14-04-2005	US 2005094722 A1	05-05-2005

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2007/006040

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H03H15/02

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H03H

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 553 398 B2 (CAPOFREDDI PETER [US]) 22. April 2003 (2003-04-22) in der Anmeldung erwähnt Zusammenfassung Spalte 4, Zeile 54 - Spalte 5, Zeile 67; Abbildungen 5-9	1-14
A	US 6 529 926 B1 (CAPOFREDDI PETER [US]) 4. März 2003 (2003-03-04) in der Anmeldung erwähnt Zusammenfassung Spalte 4, Zeile 35 - Spalte 7, Zeile 61; Abbildungen 5-8	1-14

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
10. Oktober 2007	17/10/2007

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Trafidlo, Renata

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2007/006040

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 768 372 B2 (JAUSSI JAMES E [US] ET AL) 27. Juli 2004 (2004-07-27) in der Anmeldung erwähnt Zusammenfassung Spalte 2, Zeile 48 - Spalte 4, Zeile 65; Abbildungen 3-7	1-14
A	WO 2005/033902 A (KEYEYE [US]) 14. April 2005 (2005-04-14) Zusammenfassung Seite 6, Zeile 8 - Seite 8, Zeile 24; Abbildungen 4,5 Seite 10, Zeile 25 - Seite 12, Zeile 21; Abbildungen 6,7	1-14
A	XIAODONG WANG ET AL: "A Low-Power 170-MHz Discrete-Time Analog FIR Filter" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, Bd. 33, Nr. 3, März 1998 (1998-03), XP011060700 ISSN: 0018-9200 Seite 417 - Seite 420; Abbildungen 1-5	1-14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2007/006040

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6553398 B2	22-04-2003	US 2002062329 A1	23-05-2002
US 6529926 B1	04-03-2003	AU 9288201 A	02-04-2002
		WO 0225475 A1	28-03-2002
US 6768372 B2	27-07-2004	US 2004119530 A1	24-06-2004
WO 2005033902 A	14-04-2005	US 2005094722 A1	05-05-2005