

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-221036

(P2007-221036A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 5 O 1 P	5 F O 3 3
H O 1 L 23/52 (2006.01)	H O 1 L 21/88 T	5 F O 3 8
H O 1 L 21/3205 (2006.01)	H O 1 L 27/04 C	
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 L	
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 P	
審査請求 未請求 請求項の数 4 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2006-42173 (P2006-42173)

(22) 出願日 平成18年2月20日 (2006.2.20)

(71) 出願人 000005186

株式会社フジクラ

東京都江東区木場1丁目5番1号

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100108578

弁理士 高橋 詔男

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100101465

弁理士 青山 正和

(72) 発明者 細田 恵三

千葉県佐倉市六崎1440番地 株式会社
フジクラ佐倉事業所内

最終頁に続く

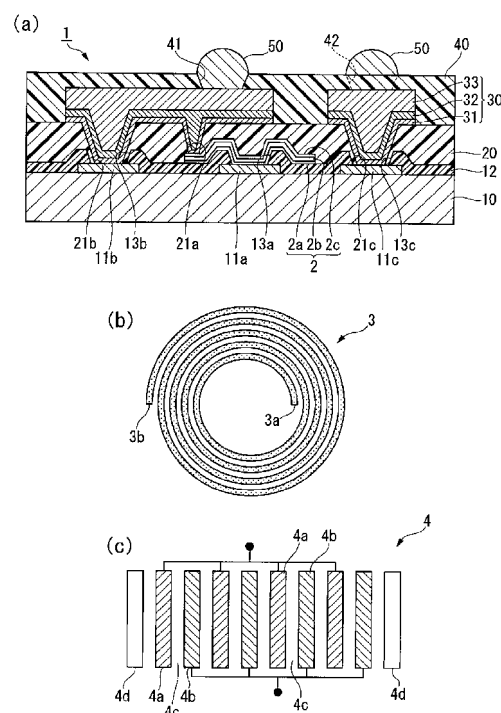
(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 インダクター、キャパシター及び抵抗を半導体基板上の配線に組み込んで、高密度実装を容易にすることが可能な半導体パッケージ及びその製造方法を提供する。

【解決手段】 一主面に電極パッド11a及びパッシベーション膜12が形成されている半導体基板10と、半導体基板10を覆うように設けられた第1の絶縁膜20と、第1の絶縁膜20の上に設けられた再配線層30と、第1の絶縁膜20及び再配線層30を覆うように設けられた第2の絶縁膜40とを少なくとも有する半導体パッケージ1において、再配線層30にインダクター3及び抵抗4を形成するとともに、電極パッド11a上には下部電極2a/誘電体層2b/上部電極2cの3層構造からなるキャパシター2を形成し、該キャパシター2を第1の絶縁膜20に形成された開口部21aを通じて再配線層30と電気的に接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一主面に電極パッド及びパッシベーション膜が形成されている半導体基板と、前記半導体基板を覆うように設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜の上に設けられた再配線層と、前記第 1 の絶縁膜及び再配線層を覆うように設けられた第 2 の絶縁膜とを少なくとも有する半導体パッケージであって、

前記再配線層はインダクター領域及び抵抗領域を有するとともに、前記電極パッド上には下部電極 / 誘電体層 / 上部電極の 3 層構造からなるキャパシターが形成され、該キャパシターは前記第 1 の絶縁膜に形成された開口部を通じて前記再配線層と電氣的に接続されていることを特徴とする半導体パッケージ。

10

【請求項 2】

前記第 1 の絶縁膜はポリベンゾオキサゾールからなり、前記抵抗領域には、第 1 の絶縁膜が表面からの高温アルゴンプラズマ処理により絶縁性を低下させてなる高温アルゴンプラズマ処理層により抵抗体が形成されていることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

一主面に電極パッド及びパッシベーション膜が形成されている半導体基板と、前記半導体基板を覆うように設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜の上に設けられた再配線層と、前記第 1 の絶縁膜及び再配線層を覆うように設けられた第 2 の絶縁膜とを少なくとも有する半導体パッケージの製造方法であって、

20

一主面に電極パッド及びパッシベーション膜が形成されている半導体基板の電極パッド上に下部電極 / 誘電体層 / 上部電極の 3 層構造からなるキャパシターを形成するキャパシター形成工程と、

前記キャパシター上に開口部を有するように第 1 の絶縁膜を形成する第 1 の絶縁膜形成工程と、

インダクター領域及び抵抗領域を有するとともに前記第 1 の絶縁膜に形成された開口部を通じて前記キャパシターと電氣的に接続された再配線層を第 1 の絶縁膜上に形成する再配線層形成工程と、

前記第 1 の絶縁膜及び再配線層を覆うように第 2 の絶縁膜を形成する第 2 の絶縁膜形成工程とを有することを特徴とする半導体パッケージの製造方法。

30

【請求項 4】

前記絶縁膜の材料としてポリベンゾオキサゾールを用い、

前記第 1 の絶縁膜形成工程と再配線層形成工程との間において、第 1 の絶縁膜に表面から高温アルゴンプラズマ処理を施して該表面の絶縁性を低下させる工程を有するとともに、

前記再配線層形成工程においては、抵抗領域に導体間隙を有する再配線層を形成し、導体間隙に絶縁膜を構成する絶縁体を埋め込んだ後に、第 1 の絶縁膜に表面から低温アルゴンプラズマ処理を施して、抵抗領域以外的高温アルゴンプラズマ処理層の絶縁性を回復させる工程を有することを特徴とする請求項 3 に記載の半導体パッケージの製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、インダクター、キャパシター及び抵抗を組み込んだ半導体パッケージ及びその製造方法に関する。

【背景技術】

【0002】

半導体パッケージの製造においては、ウエハの状態でのパッケージングを行った後、チップ寸法にダイシングするウエハレベルパッケージ (Wafer Level Package) が広く行われている。高密度実装の動きが加速する中、シリコンチップレベルでのパッケージが徐々に汎用品へ適用されてきている (例えば特許文献 1 ~ 3 参照)。従来の

50

半導体パッケージは、ほとんどがシリコンチップに再配線とバンパを施すだけのものであるが、中には再配線を利用してインダクターを組み込んだものもある。

またこの技術に関しては、米国ASMEが主催するInterPACK'05(2005年7月17~22日)において、Tessera社のVern Solbergによる報告もなされている(非特許文献1参照)。

【特許文献1】特開2004-207262号公報

【特許文献2】特開2003-234367号公報

【特許文献3】特開2002-280417号公報

【特許文献4】特開平11-340265号公報

【特許文献5】特開平09-205096号公報

【特許文献6】特開平11-233542号公報

10

【非特許文献1】著者 Vern Solberg、題名「Wafer Level Package Challenges: Fabrication Methodology Packaging Infrastructure and Die-Shrink Considerations」、番号 IPACK2005-73253

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来、AnalogやMixed Signal等のデバイスは、WLP化しても受動素子が必要になる。しかしながら外付け受動素子は高密度実装の妨げになる。また、一般的アナログデバイスにおけるキャパシタの占有面積はチップの50%を超えるものもあり、微細化の足かせになっている。

20

【0004】

本発明は、上記事情に鑑みてなされたものであり、本発明の課題は、インダクター、キャパシタ及び抵抗を半導体基板上の配線に組み込んで、高密度実装を容易にすることが可能な半導体パッケージ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

前記課題を解決するため、本発明は、一主面に電極パッド及びパッシベーション膜が形成されている半導体基板と、前記半導体基板を覆うように設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられた再配線層と、前記第1の絶縁膜及び再配線層を覆うように設けられた第2の絶縁膜とを少なくとも有する半導体パッケージであって、前記再配線層はインダクター領域及び抵抗領域を有するとともに、前記電極パッド上には下部電極/誘電体層/上部電極の3層構造からなるキャパシタが形成され、該キャパシタは前記第1の絶縁膜に形成された開口部を通じて前記再配線層と電氣的に接続されていることを特徴とする半導体パッケージを提供する。

30

【0006】

本発明の半導体パッケージにおいて、前記第1の絶縁膜はポリベンゾオキサゾールからなり、前記抵抗領域には、第1の絶縁膜が表面からの高温アルゴンプラズマ処理により絶縁性を低下させてなる高温アルゴンプラズマ処理層により抵抗体が形成されていることが好ましい。

40

【0007】

また本発明は、一主面に電極パッド及びパッシベーション膜が形成されている半導体基板と、前記半導体基板を覆うように設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられた再配線層と、前記第1の絶縁膜及び再配線層を覆うように設けられた第2の絶縁膜とを少なくとも有する半導体パッケージの製造方法であって、一主面に電極パッド及びパッシベーション膜が形成されている半導体基板の電極パッド上に下部電極/誘電体層/上部電極の3層構造からなるキャパシタを形成するキャパシタ形成工程と、前記キャパシタ上に開口部を有するように第1の絶縁膜を形成する第1の絶縁膜形成工程と、インダクター領域及び抵抗領域を有するとともに前記第1の絶縁膜に形成された開口部を

50

通じて前記キャパシターと電氣的に接続された再配線層を第１の絶縁膜上に形成する再配線層形成工程と、前記第１の絶縁膜及び再配線層を覆うように第２の絶縁膜を形成する第２の絶縁膜形成工程とを有することを特徴とする半導体パッケージの製造方法を提供する。

【０００８】

本発明の半導体パッケージの製造方法において、前記絶縁膜の材料としてポリベンゾオキサゾールを用い、前記第１の絶縁膜形成工程と再配線層形成工程との間において、第１の絶縁膜に表面から高温アルゴンプラズマ処理を施して該表面の絶縁性を低下させる工程を有するとともに、前記再配線層形成工程においては、抵抗領域に導体間隙を有する再配線層を形成し、導体間隙に絶縁膜を構成する絶縁体を埋め込んだ後に、第１の絶縁膜に表面から低温アルゴンプラズマ処理を施して、抵抗領域以外的高温アルゴンプラズマ処理層の絶縁性を回復させる工程を有することが好ましい。

10

【発明の効果】

【０００９】

本発明によれば、インダクター、キャパシター及び抵抗を半導体基板上の配線に組み込んで高密度実装を容易に実現することが可能になる。また、絶縁膜の材料として用いたポリイミド系樹脂（ＰＢＯ：ポリベンゾオキサゾール）を制御可能な抵抗体に変化させることが可能になる。

本発明によれば、大容量のキャパシターをＷＬＰに組み込むことができるので、従来アナログＩＣの微細化を拒むキャパシター占有面積をＷＬＰに組み込まれたキャパシターにて補うことが可能となり、アナログデバイスの微細化を進めることが可能になる。

20

【発明を実施するための最良の形態】

【００１０】

以下、最良の形態に基づき、図面を参照して本発明を説明する。

図１（ａ）は本発明の半導体パッケージの構造の一例を示す断面図であり、図１（ｂ）は再配線層に形成されたインダクターの一例を示す平面図であり、図１（ｃ）は再配線層に形成された抵抗の一例を示す平面図である。図２～図１２は、図１に示す半導体パッケージの製造方法を工程順に示す断面図である。図１３（ａ）～（ｄ）は、半導体パッケージの再配線層に抵抗を形成する方法を工程順に示す断面図である。

なお、断面図では図中にキャパシター２又は抵抗４を１つ含むように断面を部分的に図示したが、同様の構造を半導体基板１０上に複数形成可能であることは言うまでもない。

30

【００１１】

（半導体パッケージの構造）

図１（ａ）に示すように、本形態例の半導体パッケージ１は、一主面に電極パッド１１ａ，１１ｂ，１１ｃ及びパッシベーション膜１２が形成されている半導体基板１０と、この半導体基板１０を覆うように設けられた第１の絶縁膜２０と、第１の絶縁膜２０の上に設けられた再配線層３０と、第１の絶縁膜２０及び再配線層３０を覆うように設けられた第２の絶縁膜４０と、第２の絶縁膜４０上に露出された外部への端子としてのバンプ５０を有して構成されている。

【００１２】

半導体基板１０は例えばシリコンからなり、不図示の集積回路（ＩＣ）等が形成されたものである。パッシベーション膜１２は例えばＳｉＮやＳｉＯ₂からなり、電極パッド１１ａ，１１ｂ，１１ｃと整合する位置に開口部１３ａ，１３ｂ，１３ｃを有する。

本形態例に係る以下の説明では、説明の都合上、キャパシター２が形成される電極パッド１１ａを第１の電極パッドといい、それ以外の電極パッド１１ｂ，１１ｃを第２の電極パッドというものとする。

【００１３】

第１の電極パッド１１ａ上には、順に下部電極（第１の金属層）２ａと誘電体層２ｂと上部電極（第２の金属層）２ｃからなるＭＩＭ（Metal Insulator Metal）のキャパシター２が形成されている。下部電極２ａは、パッシベーション膜１２

40

50

に形成された開口部 13a を通じて電極パッド 11a と電氣的に接続されており、上部電極 2c は、第 1 の絶縁膜 20 に形成された開口部 21a を通じて再配線層 30 と電氣的に接続されている。

【0014】

キャパシター 2 の下部電極 2a 及び上部電極 2c に用いる材料としては、耐酸化性、熱安定性、密着性、加工性の観点から例えばスパッタによる Cr、TiN、TiW 等の金属が好ましい。下部電極 2a 及び上部電極 2c に用いる金属は、互いに同種の金属でも異種の金属でも良く、適宜選択することができる。

誘電体層 2b としては、例えばプラズマ CVD (PECVD) による SiO₂、Si₃N₄ などの誘電体 (電気絶縁体) を用いることができる。

10

【0015】

第 1 の絶縁膜 20 は、キャパシター 2 の上部電極 2c の上を覆って再配線層 30 を絶縁する層間絶縁膜であり、例えばポリイミドなどの絶縁性樹脂から形成することができる。とりわけポリベンゾオキサゾール (PBO) が好ましい。第 1 の絶縁膜 20 にはキャパシター 2 の上部電極 2c 又は第 2 の電極パッド 11b, 11c と再配線層 30 とを接続するための開口部 21a, 21b, 21c が形成されている。

第 1 の絶縁膜 20 は、例えば回転塗布法、印刷法、ラミネート法などにより形成することができる。また、開口部 21a, 21b, 21c は、例えばフォトリソグラフィ技術を利用したバターニングなどにより形成することができる。

【0016】

20

再配線層 30 は、銅 (Cu) やクロム (Cr)、または TiW 等の金属からなる導体層であり、例えば、メッキ法、スパッタリング法、蒸着法、または 2 つ以上の方法の組み合わせにより形成することができる。本形態例では、再配線層 30 は、下地の層間絶縁膜 20 との密着性を確保するための Cr シード層 31、電解銅メッキの給電のための Cu シード層 32、Cu メッキ層 33 の 3 層から構成されている。

【0017】

インダクター領域は、再配線層 30 に例えば図 1 (b) に示すようなスパイラル形状を設けてインダクター 3 を形成したものである。スパイラルコイル 3 の両端 3a, 3b は、再配線層 30 の他の領域 (再配線領域) と電氣的に接続される。又は、コイルの一端をバンプ 50 と接続することもできる。スパイラルコイル 3 の寸法は、例えばコア 100 μm 以上、線幅 10 μm 以上、線の間隙 10 μm 以上とすることができるが、特にこれに限定されるものではない。

30

スパイラルコイルの周回数は、図 1 (b) には 4.5 回の例を図示したが、特にこれに限定されるものではなく、例えば 1 回、1.5 回、2 回、2.5 回、3 回、3.5 回、4 回、4.5 回、5 回、5.5 回、6 回、6.5 回、7 回など、適宜設定が可能である。

【0018】

抵抗領域は、再配線層 30 に例えば図 1 (c) に示すように、間隙 4c を介して互いに分離された第 1 の導体部 4a 及び第 2 の導体部 4b を設け、第 1 の導体部 4a と第 2 の導体部 4b との間に抵抗 4 を形成したものである。抵抗領域には、回路に接続されていないダミーの導体部 4d を設けることもできる。

40

【0019】

抵抗 4 を構成する抵抗体は、例えば図 13 (d) に示すように第 1 の絶縁膜 20 を表面から高温アルゴンプラズマ処理して電気抵抗を低下させた高温アルゴンプラズマ処理層 22 により形成することができる。図 13 (a) に示すように第 1 の絶縁膜 20 の表面から高温アルゴンプラズマ処理することにより、最終的には図 13 (b) に示すように第 1 の絶縁膜 20 の厚さ全体にわたって、第 1 の絶縁膜 20 を高温アルゴンプラズマ処理層 22 へと改質することができる。なお本発明においては、高温アルゴンプラズマ処理層 22 は第 1 の絶縁膜 20 の表面の一部 (面方向の一部、厚さ方向の一部) に存在すればよい。

本発明において、高温アルゴンプラズマ処理層 22 は、第 1 の絶縁膜 20 の少なくとも表面に、もしくは厚さ全体に設けられているので、このような高温アルゴンプラズマ処理

50

層 22 は、第 1 の絶縁膜 20 上の再配線層 30 に間隙 4c を設けた箇所の下に形成することにより、高温アルゴンプラズマ処理層 22 を該再配線中に組み込まれる抵抗体として利用することができる。

第 1 の導体部 4a と第 2 の導体部 4b との短絡を防ぐため、再配線層 30 を構成する導体層 31 ~ 33 に形成された間隙 4c には、絶縁膜 40 を構成する絶縁体 5 が埋め込まれている。このようにして、再配線層 30 の配線中、第 1 の導体部 4a と第 2 の導体部 4b との間に、高温アルゴンプラズマ処理層 22 からなる抵抗 4 を組み込むことができる。抵抗 4 の電気抵抗は、高温アルゴンプラズマ処理の処理条件、例えば Ar プラズマのパワーによって制御することが可能である。

この具体例として、図 14 に、ICP 方式による Ar プラズマによってポリイミド (PBO) の抵抗値を変化させた試験結果を示す。図 14 は、Ar プラズマのパワーに対する抵抗変化の一例を示すグラフである。この試験例において、Ar プラズマ (Ar 流量: 15 sccm / 圧力: 0.17 Pa で固定) のパワーは 150 W、250 W、400 W の 3 通りで試験を行い、プラズマを印加する時間は、Thermal SiO₂ が約 30 nm スパッタエッチングする時間に設定した (150 W: 112 s、250 W: 55 s、400 W: 27 s)。測定器には Agilent 4155 C を用い、また、測定電極間隔は 67 μm とした。図 14 に示す本試験例の結果から明らかなように、もともと絶縁体であったポリイミドを高温アルゴンプラズマ処理することによって、 $10^7 \Omega$ 以下の電気抵抗値を有する導電体に改質することができた。

【0020】

抵抗 4 の寸法は、例えば導体部 4a、4b の幅 (W) = 100 μm 以上、導体部 4a、4b の長さ (L) = 200 μm 以上、間隔 (space) = 100 μm 以上とすることができるが、特にこれに限定されるものではない。

図 1 (c) に示すように、第 1 の導体部 4a 及び第 2 の導体部 4b をそれぞれ櫛状に形成して間隙 4c の個数を増やした場合、間隙 4c が一箇所のみの場合よりも電気抵抗が低い抵抗を得ることができる。高温アルゴンプラズマ処理の処理条件に加えて導体部 4a、4b の形状や寸法を制御することにより、広い範囲 (例えば数 kΩ から数十 MΩ) から所望の電気抵抗を有する抵抗を形成することができる。

この具体例として、図 15 に、6 インチ (6") Si ウエハにレジスタアレイを作製し、その面内 4 チップのデータを示す。ここで作製したレジスタアレイは、図 15 (b) の平面図 (また図 13 (b) の断面図も参照のこと。) に示すように、導電体に改質されたポリイミド (PBO) 層の上に 5 つの Cu 電極を有し、電極の Line Space がそれぞれ異なるものである。

図 15 (a) は、図 15 (b) に示すレジスタアレイの各電極間に 20 V 印加したときの抵抗値を示すグラフである。測定器には Agilent 4155 C を用い、ポリイミドの改質条件は、パワー 250 W / 印加時間 55 s (Ar 流量: 15 sccm、圧力: 0.17 Pa) のアルゴンプラズマを用いた。図 15 に示す本試験例の結果から明らかなように、電極間隔を変更することによって電極間の電気抵抗値を制御することができた。

【0021】

第 2 の絶縁膜 40 は、例えばポリイミドなどの絶縁性樹脂から形成することができる。とりわけポリベンゾオキサゾール (PBO) が好ましい。第 2 の絶縁膜 40 には再配線層 30 とパンプ 50 とを接続するための開口部 41、42 が形成されている。

第 2 の絶縁膜 40 は、例えば回転塗布法、印刷法、ラミネート法などにより形成することができる。また、開口部 41、42 は、例えばフォトリソグラフィ技術を利用したパターンニングなどにより形成することができる。

【0022】

(半導体パッケージの製造方法)

次に、図 2 ~ 図 12 を参照しながら、図 1 に示す半導体パッケージの製造方法について説明する。

【0023】

10

20

30

40

50

(第1の電極パッド露出工程)

まず、図2に示すように、一主面に電極パッド11a, 11b, 11c及びパッシベーション膜12が形成された半導体基板10を用意し、パッシベーション膜12をエッチングして第1の電極パッド11a上に開口部13aを形成し、この開口部13aから第1の電極パッド11aを露出させる。開口部13aの形成方法は特に限定されないが、例えばレジスト(図示略)の形成/パターニング/現像、パッシベーション膜12のドライエッチング、レジストの除去(Ashing)などを行う方法によることができる。

【0024】

(キャパシター形成工程)

次に、第1の電極パッド11a上にキャパシター2を作製するため、図2に示すようにパッシベーション膜12及び開口部13aから露出した第1の電極パッド11aの上に、第1の金属層2a、誘電体層2b、第2の金属層2cを形成したのち、レジスト(図示略)を設け、電極2a, 2cとして所望の大きさにパターニングしたのち、パッシベーション膜12をエッチングストッパーとして3つの層2a, 2b, 2cを一気にエッチングし、図3に示すようなキャパシター2を作製する。 10

【0025】

(第2の電極パッド露出工程)

キャパシター2の形成後、図4に示すようにパッシベーション膜12をエッチングして第2の電極パッド11b, 11c上に開口部13b, 13cを形成し、この開口部13b, 13cから第2の電極パッド11b, 11cを露出させる。開口部13b, 13cの形成方法は、特に限定されないが、例えばレジスト(図示略)の形成/パターニング/現像、パッシベーション膜12のドライエッチング、レジストの除去を行う方法によることができる。 20

【0026】

(第1の絶縁膜形成工程)

次に、図6に示すようにキャパシター2の上部電極2c及び第2の電極パッド11b, 11cの上に開口部21a, 21b, 21cを有するように第1の絶縁膜20を形成し、キャパシター2を覆うとともに平坦化する。第1の絶縁膜20の形成方法は特に限定されないが、PBOをコート/パターニング/現像し、次いでキャパシター2への影響を抑制するため低温、短時間(300、30分以下)で硬化させる方法が好ましい。 30

【0027】

(高温アルゴンプラズマ処理工程)

再配線層30に抵抗を作製するため、再配線層形成工程に先立ち、図13(a)に示すように第1の絶縁膜20に表面から高温アルゴンプラズマ(Hot Ar⁺)処理を施す。アルゴンプラズマは例えばICPによって発生することができる。本発明において、高温アルゴンプラズマの温度は、第1の絶縁膜20の構成材料の電気抵抗を低下させる(通電可能な抵抗体となる)効果を有する温度とされる。例えば第1の絶縁膜20がPBOからなる場合には、250~300の範囲を採用することができる。

PBOに表面から高温アルゴンプラズマ処理(例えば0.17Pa、250W、約280)を施すことにより、第1の絶縁膜20をすべて導電体(PBOの電気抵抗が低下してなる高温アルゴンプラズマ処理層22)に改質することができる(図13(b)、図14及び上記説明を参照)。 40

【0028】

(再配線層形成工程)

第1の絶縁膜20に形成された開口部21a, 21b, 21cを通じて、キャパシター2の上部電極2c及び第2の電極パッド11b, 11cと電氣的に接続されるように、再配線層30を第1の絶縁膜20上に形成する。

本形態例では、まず、電解メッキのためのシードとして、図7に示すように第1の絶縁膜20及び開口部21a, 21b, 21cから露出された上部電極2c及び第2の電極パッド11b, 11cの上に、Crシード層31及びCuシード層32を形成し、次いで、 50

図 8 に示すように電解メッキする領域を区画するためのレジスト 3 4 をコート / パターニング / 現像により形成したのち、図 9 に示すように電解銅メッキにより Cu メッキ層 3 3 を形成し、脱イオン水で洗浄後、図 10 に示すようにレジスト 3 4 を剥離し、さらにメッキ層 3 3 をマスクとしてシード層 3 1 , 3 2 をエッチングすることにより、所定のパターンを有する再配線層 3 0 を形成する。

【 0 0 2 9 】

再配線層 3 0 を抵抗 4 を形成するため、抵抗領域には、配線のパターニングと同一の工程により、図 1 3 (b) に示すように導体間に間隙 4 c を介して分離された導体部 4 a , 4 b を形成する。

なお、図 7 ~ 図 10 では、第 1 の絶縁膜 2 0 から形成される高温アルゴンプラズマ処理層 2 2 の図示を省略している。 10

【 0 0 3 0 】

(低温アルゴンプラズマ処理工程)

抵抗領域においては、再配線層 3 0 の導体間の抵抗を回復させるため、図 1 3 (c) に示すように、第 2 の絶縁膜 4 0 を構成する絶縁体 5 として P B O を導体間の間隙 4 c に埋め込んだ後、第 1 の絶縁膜 2 0 に表面から低温アルゴンプラズマ (C o l d A r ⁺) 処理を施す。

本発明において、低温アルゴンプラズマの温度は、上記の高温アルゴンプラズマ処理層 2 2 の電気抵抗を回復させる (抵抗領域以外における再配線層 3 0 の導体間の絶縁性を確保することができる程度に) 効果を有する温度とされる。また、低温アルゴンプラズマの温度は、高温アルゴンプラズマの温度よりも低い温度である。例えば第 1 の絶縁膜 2 0 が P B O からなる場合には、20 ~ 80 の範囲を採用することができる。 20

この具体例として、図 1 6 に、抵抗体だったポリイミド (P B O) を、平行平板の電極を持つプラズマ装置 (低温アルゴンプラズマ) にて、絶縁体へ改質した試験結果を示す。プラズマ条件は、パワー : 200 W、圧力 : 50 Pa、Ar 流量 : 100 s c c m、S u s c e p t e r の温度 : 50 、C h a m b e r w a l l の温度 : 50 とした。図 1 6 に示す本試験例の結果から明らかなように、 $10^7 \Omega$ 以下の電気抵抗値を有する導電体に改質されたポリイミドを再び絶縁体へと改質することができた。また、プラズマ装置の電極の G a p の制御により、電気抵抗の回復の程度を制御することが可能であることも示された。 30

【 0 0 3 1 】

抵抗領域以外では、高温アルゴンプラズマ処理された P B O に低温アルゴンプラズマ (C o l d A r) 処理 (例えば 50 Pa、200 W、50) を施すことにより、高温アルゴンプラズマ (H o t A r) 処理で低下した P B O の電気抵抗を、高温アルゴンプラズマ未処理の P B O と同程度にまで回復させることができる。

低温アルゴンプラズマ処理による P B O の絶縁性回復の度合いはパワー及び温度によって変わってくるが、例えば 50 Pa、200 W、50 の平行平板式の R I E モードプラズマ条件の場合、20 秒以上であれば P B O の絶縁性を完全に回復させることができる。

この具体例として、6 インチ S i ウエハ上に作製したレジスタアレイ (電極間隔は 56 μm で固定) に対して、ポリイミド (P B O) に H o t A r 処理を施した後に C o l d A r 処理を施し、電極間リーク電流変化を測定した。この試験例による各処理後の面内リーク電流分布 (累積分布) を図 1 7 に示す。測定器としては A g i l e n t 4155 C 及び A c c r e t e c h 190 A を用いた。図 1 7 に示す本試験例の結果から明らかなように、H o t A r 処理後の電極間リーク電流は $10^{-4} \text{ A} \sim 10^{-3} \text{ A}$ 前後となったのに対して、C o l d A r 処理後の電極間リーク電流は $10^{-9} \text{ A} \sim 10^{-8} \text{ A}$ 前後となった。 40

【 0 0 3 2 】

また、低温アルゴンプラズマ処理する際に抵抗領域にある高温アルゴンプラズマ処理層 2 2 上にさらに遮光性の P B O 層 5 を設けて保護することにより、抵抗領域には高温アルゴンプラズマ処理層 2 2 が残存し、再配線層 3 0 の導体間に組み込まれた抵抗 4 として機能させることができる。抵抗領域の導体間隙 4 c への絶縁体 5 の形成は、P B O のコート 50

／パターンニング／現像の手順により行うことができる。

【0033】

(第2の絶縁膜形成工程)

再配線層30の形成後、第1の絶縁膜20及び再配線層30を覆うとともに、パンプ50のため再配線層30を露出させた開口部41, 42を有するように第2の絶縁膜40を形成する。第2の絶縁膜40の形成方法は特に限定されないが、PBOをコート／パターンニング／現像し、次いでキャパシター2への影響を抑制するため低温、短時間(300、30分以下)で硬化させる方法が好ましい。

【0034】

(パンプ形成工程)

スカムを除去した後、第2の絶縁膜40の開口部41, 42に半田パンプ50を置き、リフローして半田パンプ50を再配線層30に固着させる。フラックスを洗浄したのち、検査を行う。

以上の工程により、図1に示す半導体パッケージ1を製造することができる。

【0035】

本形態例の半導体パッケージ1の製造方法によれば、キャパシター2、インダクター3、及び抵抗4を半導体基板10上の配線に組み込んで高密度実装を容易に実現することが可能になる。キャパシターをWLP側で保管するので、Mixed Signalやアナログデバイス等において、キャパシターの占有面積によって高密度実装が阻害されることを防ぎ、需要家(IDM)側の設計自由度を向上できる利点がある。

【0036】

層間絶縁膜20を高温アルゴンプラズマ処理して電気抵抗を低下させる方法によれば、絶縁膜の材料として用いたPBOを制御可能な抵抗体に変化させることが可能になる。さらに、高温アルゴンプラズマ処理した層間絶縁膜20に対して低温アルゴンプラズマ処理を施して、抵抗領域以外の高温アルゴンプラズマ処理層22の絶縁性を回復させる方法によれば、高温アルゴンプラズマ処理の際に抵抗領域以外の部分を保護する手段を省略することができるので、作業性に優れる。

【実施例】

【0037】

(キャパシターの作製)

パッシベーション成膜後のSiウエハの電極パッド上に、Crをスパッタして厚さ40nmの下部電極を形成したのち、テトラエトキシシラン(TEOS)を原料としてプラズマCVD(温度:150、パワー:150W、圧力:35Pa、Gas(TEOS/O₂ = 8/400sccm)により厚さEOT60nmのSiO₂層を形成し、さらにスパッタにより厚さ100nmのTiNの上部電極を形成した。

パッシベーションをエッチングストッパーとして所望の寸法にドライエッチングすることにより、キャパシターを作製した。このとき得られたキャパシターの特性を表1の左列に示す。なお表1の右列には、SiO₂層の厚さをEOT(Electrical Oxide Thickness)30nmとした以外は同様にして作製したキャパシターの特性を併記した。図18には、これら実施例に係るキャパシター(EOT60nm及び30nm)のI-V特性曲線を示す。図18に示す結果から明らかなように、半導体基板の配線上に良好な特性を示すキャパシターを作製することができた。

【0038】

10

20

30

40

【表 1】

電気容量 (fF/cm ²)	MIM キャパシターの特性	
	0.56	1.07
膜厚 (EOT) (nm)	60	30
絶縁破壊電圧 (V)	20	20
漏れ電流 at 2.0V	10 ⁻⁸ A/cm ² 以下	10 ⁻⁸ A/cm ² 以下

【0039】

10

(抵抗の作製)

層間絶縁膜の材料としてPBO（住友ベークライト社製CRC-8652）を用い、コート後、キャパシターの上部電極を覆うと同時に平坦化した。この層間絶縁膜に対し、0.17Pa、250W、約280 の条件にて高温アルゴンプラズマ処理を施したのち、Crシード層とCuシード層を順にスパッタ形成し、電解銅メッキ後にCuメッキ層をマスクとして余分なシード層をエッチング除去した。

【0040】

次に、抵抗領域以外の再配線間の絶縁性を回復するため、抵抗領域だけPBOをコートしたのち、高温アルゴンプラズマ処理後の配線間抵抗が10⁷Ω程度の箇所について、50Pa、200W、50 の条件にて低温アルゴンプラズマ処理を施した。低温アルゴンプラズマ処理を20秒以上施したところ、PBOの絶縁性を10¹¹Ω以上に回復させることができた。

20

【産業上の利用可能性】

【0041】

本発明は、インダクター、キャパシター及び抵抗を組み込んだ半導体パッケージの製造に利用することができる。

なお、本発明による受動部品の形成手法は半導体基板以外にも応用することが可能であり、例えばFPC上にも同様の回路を組み入れることが可能である。

【図面の簡単な説明】

【0042】

30

【図1】(a)は本発明の半導体パッケージの構造の一例を示す断面図、(b)は半導体パッケージの再配線層に形成されたインダクターの一例を示す平面図、(c)は半導体パッケージの再配線層に形成された抵抗の一例を示す平面図である。

【図2】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その1)である。

【図3】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その2)である。

【図4】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その3)である。

【図5】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その4)である。

40

【図6】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その5)である。

【図7】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その6)である。

【図8】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その7)である。

【図9】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その8)である。

【図10】図1に示す半導体パッケージの製造方法を説明するための工程断面図(その9

50

）である。

【図 1 1】図 1 に示す半導体パッケージの製造方法を説明するための工程断面図（その 1 0）である。

【図 1 2】図 1 に示す半導体パッケージの製造方法を説明するための工程断面図（その 1 1）である。

【図 1 3】（a）～（d）は本発明の半導体パッケージに抵抗を形成する方法を工程順に示す断面図である。

【図 1 4】本発明の試験例として Ar プラズマのパワーに対するポリイミドの抵抗変化の一例を示すグラフである。

【図 1 5】本発明の試験例として（a）はレジスタアレイの各電極間に 20 V 印加したときにおける Line Space と抵抗値との関係の一例を示すグラフであり、（b）は本試験例におけるレジスタアレイの平面図である。 10

【図 1 6】抵抗体だったポリイミドを、平行平板の電極を持つプラズマ装置（低温アルゴンプラズマ）にて、絶縁体へ改質した試験結果を示す。

【図 1 7】レジスタアレイに Hot Ar プラズマ処理を施した後に、Cold Ar プラズマ処理を施し、その前後の電極間リーク電流変化を測定した試験結果を示す。

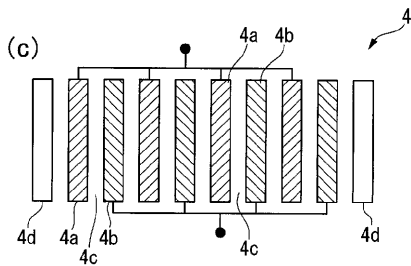
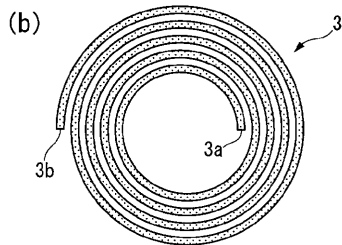
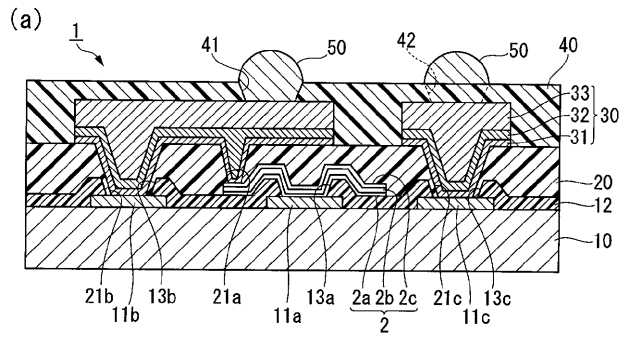
【図 1 8】実施例に係るキャパシターの I - V 特性曲線を示すグラフである。

【符号の説明】

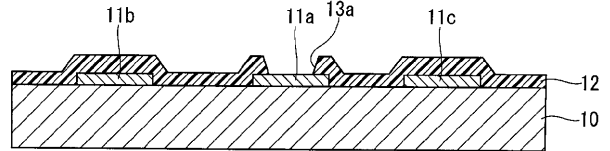
【0043】

1 ... 半導体パッケージ、2 ... キャパシター、2 a ... 下部電極、2 b ... 誘電体層、2 c ... 上部電極、3 ... スパイラルコイル（インダクター）、4 ... 抵抗、4 c ... 間隙、5 ... 絶縁体、10 ... 半導体基板、11 a ... 第 1 の電極パッド、11 b , 11 c ... 第 2 の電極パッド、12 ... パッシベーション膜、20 ... 第 1 の絶縁膜（層間絶縁膜）、21 a , 21 b , 21 c ... 開口部、22 ... 高温アルゴンプラズマ処理層、30 ... 再配線層、31 ... 密着層（シード層）、32 ... シード層、33 ... メッキ層、40 ... 第 2 の絶縁膜（オーバーコート膜）、41 , 42 ... 開口部、50 ... バンプ。 20

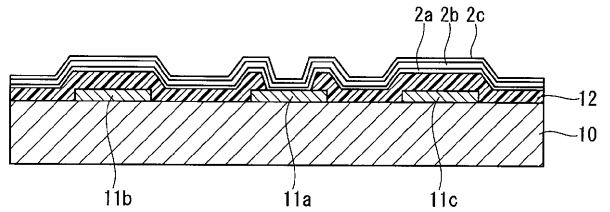
【図 1】



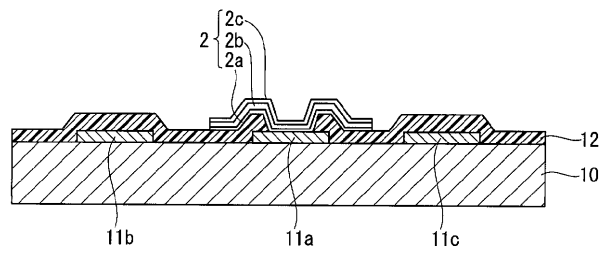
【図 2】



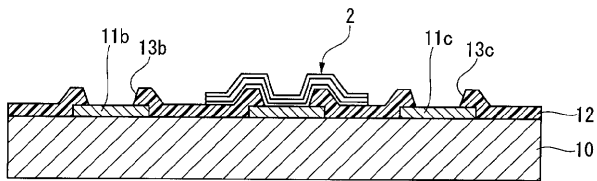
【図 3】



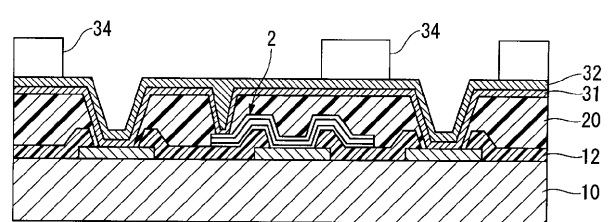
【図 4】



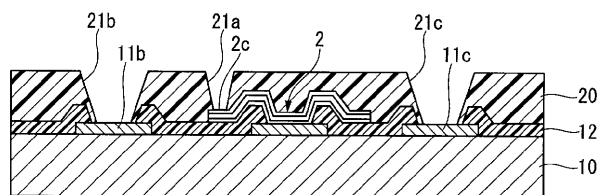
【図 5】



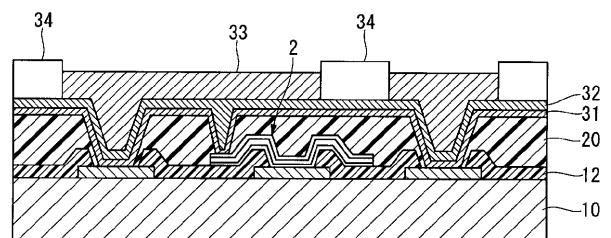
【図 8】



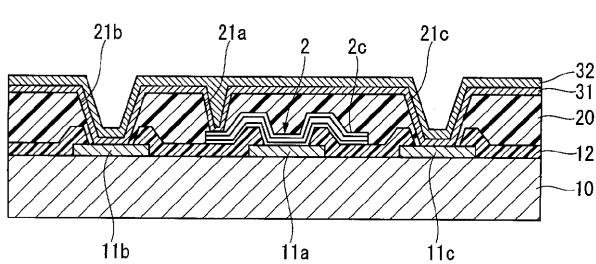
【図 6】



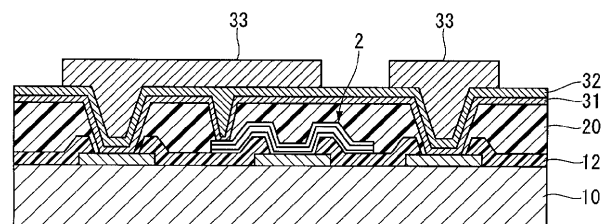
【図 9】



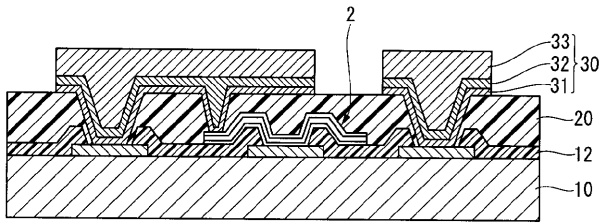
【図 7】



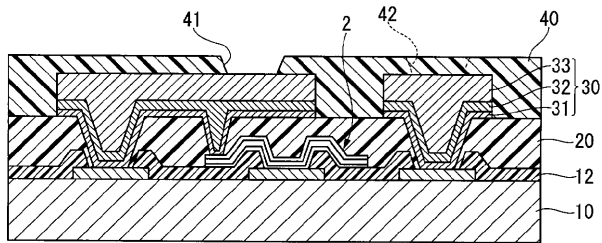
【図 10】



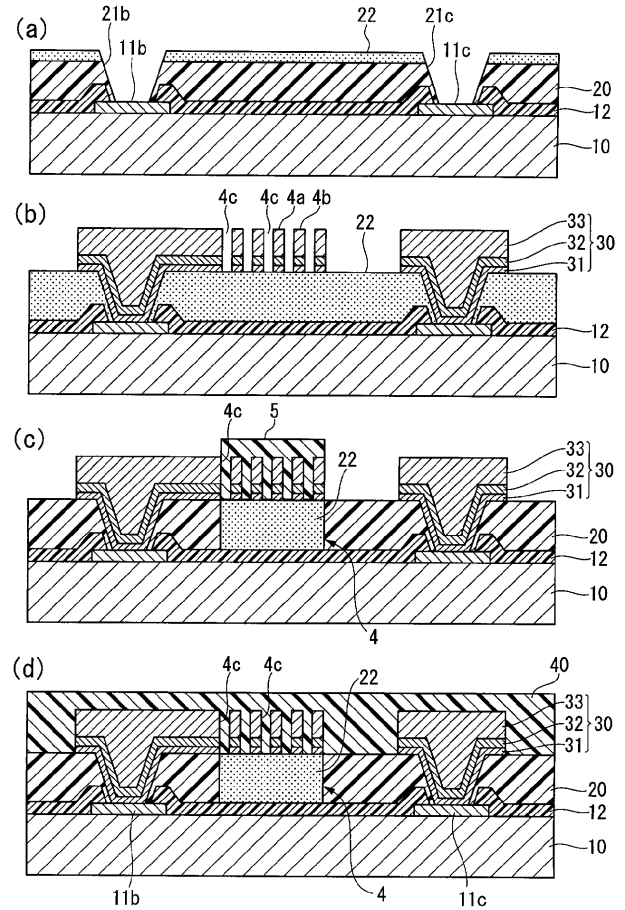
【図 1 1】



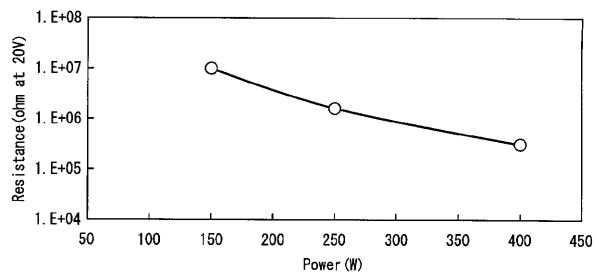
【図 1 2】



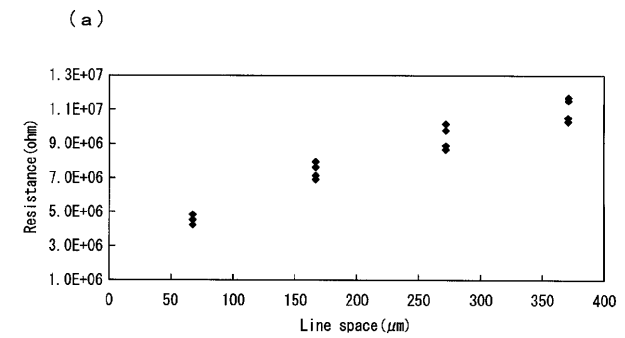
【図 1 3】



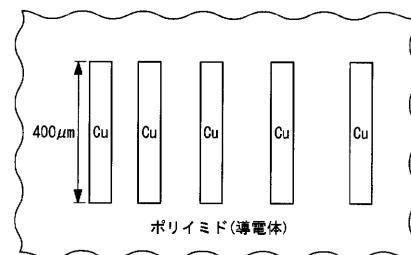
【図 1 4】



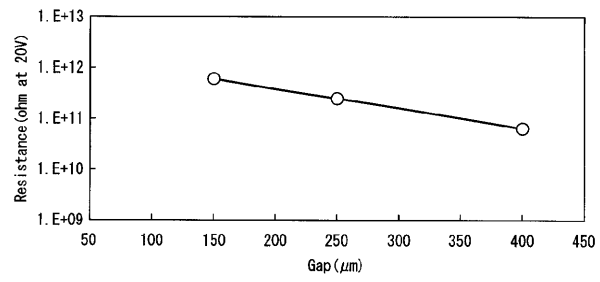
【図 1 5】



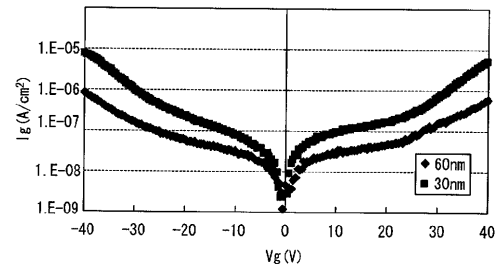
(b)



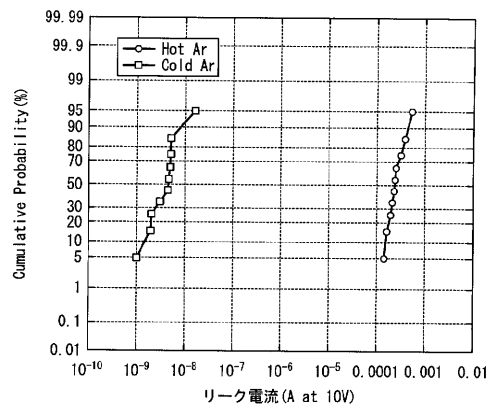
【図 16】



【図 18】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 23/12

B

F ターム(参考) 5F033 HH07 HH11 HH23 MM08 PP15 PP19 PP27 PP33 QQ54 RR22
SS21 SS24 VV01 VV07 VV08 VV09 VV10 XX33
5F038 AC05 AC15 AR07 AZ04 CA15 CA18 EZ20