

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/60 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710163792.4

[43] 公开日 2008 年 5 月 14 日

[11] 公开号 CN 101179036A

[22] 申请日 2007. 11. 8

[21] 申请号 200710163792.4

[30] 优先权

[32] 2006. 11. 8 [33] JP [31] 2006 - 303139

[71] 申请人 新光电气工业株式会社

地址 日本长野县

[72] 发明人 町田洋弘 小林敏男

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 张天舒

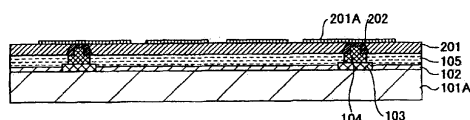
权利要求书 2 页 说明书 21 页 附图 19 页

[54] 发明名称

半导体器件的制造方法

[57] 摘要

本发明公开一种半导体器件制造方法，其特征在于包括：第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；第二步骤，其在堆叠于所述基板上的叠层用基板中形成导通孔，并且用导电膏填入所述导通孔，在所述叠层用基板的第一主表面上形成有导电层，所述导通孔从所述叠层用基板的第二主表面到达所述导电层；第三步骤，其通过绝缘层将所述叠层用基板附着到所述基板上，并且通过所述导电膏连接所述导电层与所述凸点；以及第四步骤，其将所述基板分割成单独的块。



1. 一种半导体器件的制造方法，包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其在堆叠于所述基板上的叠层用基板中形成导通孔，并且用导电膏填入所述导通孔，在所述叠层用基板的第一主表面上形成有导电层，所述导通孔从所述叠层用基板的第二主表面到达所述导电层；

第三步骤，其通过绝缘层将所述叠层用基板附着到所述基板上，并且通过所述导电膏连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，
其中，所述凸点穿透所述绝缘层。

2. 根据权利要求1所述的半导体器件的制造方法，还包括如下步骤：

蚀刻所述导电层以便将所述导电层图案化。

3. 根据权利要求1所述的半导体器件的制造方法，还包括如下步骤：

将所述导电层用作供电层，通过电解电镀法来进行图案电镀工序。

4. 一种半导体器件的制造方法，包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其在堆叠于所述基板上的导电层上形成由导电膏制成的连接图案；

第三步骤，其通过绝缘层将所述导电层附着到所述基板上，并且通过所述连接图案连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，
其中，所述凸点穿透所述绝缘层。

5. 根据权利要求4所述的半导体器件的制造方法，还包括如下步骤：

蚀刻所述导电层从而将所述导电层图案化。

6. 根据权利要求4所述的半导体器件的制造方法，还包括如下步骤：

将所述导电层用作供电层，通过电解电镀法来进行图案电镀工序。

7. 根据权利要求4所述的半导体器件的制造方法，其中，
将所述导电层堆叠在用于支撑所述导电层的支撑层上，并且通过所述绝缘层将所述导电层附着到所述基板上，并且
在将所述导电层附着到所述基板上之后，去除所述支撑层。

8. 根据权利要求4所述的半导体器件的制造方法，其中，
堆叠在所述基板上的所述导电层是构成多层配线结构的导电层。

9. 一种半导体器件的制造方法，包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其使所述凸点的末端部分与由导电膏制成的层接触，从而将所述导电膏转移到所述末端部分上；

第三步骤，其通过绝缘层将堆叠在所述基板上的导电层附着到所述基板上，并且通过所述导电膏连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，
其中，所述凸点穿透所述绝缘层。

半导体器件的制造方法

技术领域

本发明涉及采用凸点的芯片尺寸封装所适用的半导体器件制造方法。

背景技术

已经提出了各种类型的半导体芯片的封装结构。例如，伴随着封装件的小型化，已经提出了称为“芯片尺寸封装件”的结构。在“芯片尺寸封装件”结构中，在半导体芯片的器件形成表面的钝化层（保护层）上形成再配线（即，用于封装的配线）。

在上述芯片尺寸封装件中，提出了下面的方法（例如，参见专利文献 JP-A-9-64049）：即，例如通过使用接合线在半导体芯片的电极片上形成凸点，形成与这些凸点连接的再配线，从而形成封装件（半导体器件）。

然而，在与上述专利文献（JP-A-9-64049）相关的方法中，在形成与由焊接线形成的凸点连接的再配线的情况下，存在这样的问题，即需要使凸点的高度齐平。

例如，通过以下方式形成由接合线制成的凸点：例如使用接合装置将接合线与电极片连接，并且在以连续方式连接操作之后切断接合线。

因此，对于由上述接合线制成的凸点，距离形成凸点的表面（电极片）的高度发生变化。如果保持这种情况，那么将难以形成与凸点连接的再配线。因此，需要这样的步骤，即用来在这些凸点上施加预定重量，以使这些凸点平坦化的步骤。

通常以晶片级进行（在将芯片切割成单独的块之前）凸点的上述平坦化操作。然而，例如，对于构成当前主要晶片尺寸、直径为300mm的晶片来说，当使这种晶片中形成的大量上述凸点平坦化时，

存在另一个问题，即这些凸点在平坦化之后的高度变化增加。

例如，如果这些凸点的高度变化增加，那么凸点和与这些凸点连接的再配线之间的连接状态会发生变化。因此，存在另一个问题，即半导体器件（封装件）的可靠性降低。

此外，在与上述专利文献（JP-A-9-64049）相关的方法中，因为形成绝缘层来覆盖凸点，所以需要绝缘层进行抛光以便露出凸点的抛光步骤。此外，为了在该抛光步骤之后形成再配线，例如，当使用非电解电镀法时，需要进行使绝缘层的表面粗化的处理操作（所谓“去污工序”），从而形成电镀层的处理操作变得复杂。因此，这会导致半导体器件（封装件）制造方面的成本增加。

虽然可以通过使用溅射法、CVD（化学汽相沉积）等方法形成导电层，但是这些方法必然需要昂贵的具有真空室的膜形成设备。因此，这些方法会导致半导体器件制造方法的成本较高，而不能实际使用。

因此，本发明的一致目的是提供新颖、实用、能够解决上述问题的制造半导体器件的方法。

本发明的具体目的是提供能够以低成本制造高可靠性半导体器件的半导体器件的制造方法。

发明内容

为了解决上述问题，根据本发明的第一方面，提供了一种半导体芯片的制造方法，该方法包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其在堆叠于所述基板上的叠层用基板中形成导通孔，并且将导电膏填入所述导通孔，在所述叠层用基板的第一主表面上形成有导电层，所述导通孔从所述叠层用基板的第二主表面到达所述导电层；

第三步骤，其通过绝缘层将所述叠层用基板附着到所述基板上，并且通过所述导电膏连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，

其中，所述凸点穿透所述绝缘层。

此外，为了解决上述问题，根据本发明的第二方面，提供了一种半导体芯片的制造方法，该方法包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其在堆叠于基板的导电层上形成由导电膏制成的连接图案；

第三步骤，其通过绝缘层将所述导电层附着到所述基板上，并且通过所述连接图案连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，

其中，所述凸点穿透所述绝缘层。

此外，为了解决上述问题，根据本发明的第三方面，提供了一种半导体芯片的制造方法，该方法包括：

第一步骤，其利用接合线在电极片上形成凸点，所述电极片形成在基板的与半导体芯片相对应的区域中；

第二步骤，其使所述凸点的末端部分与由导电膏制成的层接触，从而将所述导电膏转移到所述末端部分上；

第三步骤，其通过绝缘层将堆叠在所述基板上的导电层附着到所述基板上，并且通过所述连接图案连接所述导电层与所述凸点；以及

第四步骤，其将所述基板分割成单独的块，

其中，所述凸点穿透所述绝缘层。

根据本发明，可以提供半导体器件制造方法，并且可以通过该方法以较低成本制造具有较高可靠性的半导体器件。

附图说明

图1A是用于示出根据实施例1的半导体器件的制造方法的简图（部分1）。

图1B是用于示出根据实施例1的半导体器件的制造方法的简图

(部分 2)。

图 1C 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 3)。

图 1D 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 4)。

图 1E 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 5)。

图 1F 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 6)。

图 1G 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 7)。

图 1H 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 8)。

图 1I 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 9)。

图 1J 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 10)。

图 1K 是用于示出根据实施例 1 的半导体器件的制造方法的简图
(部分 11)。

图 2A 是用于示出根据实施例 2 的半导体器件的制造方法的简图
(部分 1)。

图 2B 是用于示出根据实施例 2 的半导体器件的制造方法的简图
(部分 2)。

图 2C 是用于示出根据实施例 2 的半导体器件的制造方法的简图
(部分 3)。

图 3A 是用于示出根据实施例 3 的半导体器件的制造方法的简图
(部分 1)。

图 3B 是用于示出根据实施例 3 的半导体器件的制造方法的简图
(部分 2)。

图 3C 是用于示出根据实施例 3 的半导体器件的制造方法的简图

(部分 3)。

图 3D 是用于示出根据实施例 3 的半导体器件的制造方法的简图 (部分 4)。

图 3E 是用于示出根据实施例 3 的半导体器件的制造方法的简图 (部分 5)。

图 3F 是用于示出根据实施例 3 的半导体器件的制造方法的简图 (部分 6)。

图 4A 是用于示出根据实施例 4 的半导体器件的制造方法的简图 (部分 1)。

图 4B 是用于示出根据实施例 4 的半导体器件的制造方法的简图 (部分 2)。

图 4C 是用于示出根据实施例 4 的半导体器件的制造方法的简图 (部分 3)。

图 5A 是用于示出根据实施例 5 的半导体器件的制造方法的简图 (部分 1)。

图 5B 是用于示出根据实施例 5 的半导体器件的制造方法的简图 (部分 2)。

图 5C 是用于示出根据实施例 5 的半导体器件的制造方法的简图 (部分 3)。

图 6A 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 1)。

图 6B 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 2)。

图 6C 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 3)。

图 6D 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 4)。

图 6E 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 5)。

图 6F 是用于示出根据实施例 6 的半导体器件的制造方法的简图

(部分 6)。

图 6G 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 7)。

图 6H 是用于示出根据实施例 6 的半导体器件的制造方法的简图 (部分 8)。

图 7 是根据实施例 6 的半导体器件的制造方法的修改形式。

图 8A 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 1)。

图 8B 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 2)。

图 8C 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 3)。

图 8D 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 4)。

图 8E 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 5)。

图 8F 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 6)。

图 8G 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 7)。

图 8H 是用于示出根据实施例 7 的半导体器件的制造方法的简图 (部分 8)。

图 9A 是用于示出根据实施例 8 的半导体器件的制造方法的简图 (部分 1)。

图 9B 是用于示出根据实施例 8 的半导体器件的制造方法的简图 (部分 2)。

图 9C 是用于示出根据实施例 8 的半导体器件的制造方法的简图 (部分 3)。

图 9D 是用于示出根据实施例 8 的半导体器件的制造方法的简图 (部分 4)。

图 9E 是用于示出根据实施例 8 的半导体器件的制造方法的简图（部分 5）。

图 9F 是用于示出根据实施例 8 的半导体器件的制造方法的简图（部分 6）。

图 9G 是用于示出根据实施例 8 的半导体器件的制造方法的简图（部分 7）。

图 10A 是用于示出根据实施例 9 的半导体器件的制造方法的简图（部分 1）。

图 10B 是用于示出根据实施例 9 的半导体器件的制造方法的简图（部分 2）。

具体实施方式

根据本发明，半导体器件的制造方法的特征在于主要包括：1）第一步，用接合线在电极片上形成凸点，该电极片形成在基板的与半导体芯片相对应的区域中；2）第二步，将凸点与导电层（与半导体芯片的再配线相对应）连接；以及 3）第三步，将基板分割成单独的块。

换言之，在上述制造方法中，因为通过使用导电膏将凸点连接在与半导体芯片的再配线相对应的导电层上，所以凸点与导电层之间电连接的可靠性几乎不会受到凸点高度变化（即，凸点的凸出部分）的影响。因此，在使用这种由例如接合线形成并且具有较大高度变化的凸点时，可以通过简单方法形成具有良好连接可靠性的再配线。

例如，上述第二步可以设置为包括如下步骤：1）在堆叠于基板上的叠层用基板中形成导通孔，并且将导电膏填入导通孔，在叠层用基板的第一主表面上形成有导电层，导通孔从叠层用基板的第二主表面到达导电层；以及 2）通过绝缘层将叠层用基板附着到基板上，并且通过导电膏使导电层与凸点连接（第一种方法）。

根据第一种方法，导电层（再配线）可以通过用于填入导通孔的导电膏以良好可靠性与凸点电连接。如前文所述，凸点与导电层之间电连接的可靠性几乎不会受到凸点高度变化的影响。

此外, 根据上述制造方法, 当在绝缘层上形成导电层(再配线)时, 不再需要例如与去污工序相结合的非电解电镀法或者与在真空室中进行的工序相结合的膜形成工序(溅射工序等)。因此, 可以简化半导体器件的制造方法, 从而获得可抑制制造成本的效果。

作为选择, 例如, 上述第二步可以设置为包括下述步骤: 1) 在堆叠于基板的导电层上形成由导电膏制成的连接图案; 以及 2) 通过绝缘层将导电层附着到基板上, 并且通过连接图案使导电层与凸点连接(第二种方法)。

根据第二种方法, 导电层(再配线)可以通过形成在导电层上的导电膏以良好可靠性与凸点电连接。如前文所述, 凸点与导电层之间电连接的可靠性几乎不会受到凸点高度变化的影响。

此外, 根据上述制造方法, 当在绝缘层上形成导电层时, 不再需要例如与去污工序相结合的非电解电镀法或者与在真空室中进行的工序相结合的膜形成工序。因此, 可以简化半导体器件的制造方法, 从而获得可抑制制造成本的效果。

作为选择, 例如, 上述第二步可以设置为包括下述步骤: 1) 使凸点的末端部分与由导电膏制成的层接触以便将导电膏转移到末端部分上; 以及 2) 通过绝缘层将堆叠在基板上的导电层附着到基板上, 并且通过导电膏使导电层与凸点连接(第三种方法)。

此外, 根据第三种方法, 可以以较低的成本制造高可靠性的半导体器件。

接下来, 基于附图, 按照从第一种方法到第三种方法的顺序说明半导体器件的上述制造方法。

实施例 1

首先, 基于图 1A 至图 1K, 按照顺序对关于前述第一种方法的一个实例进行说明。应当注意, 采用上述描述中说明的相同附图标记来表示下述描述(下述附图)中的相同结构元件, 并且有时省略其说明(类似地适用于下述实施例)。

首先, 在图 1A 所示的步骤中, 通过使用公知方法制造具有多个

形成器件的（例如，栅格形状的）区域 101a 的基板 101A。上述区域 101a 是相当于一个半导体芯片的区域。在下述步骤中形成再配线（导电层）之后，通过切块的方式切割基板 101A，从而在区域 101a 上的单独块中形成半导体器件（半导体芯片）。

在其上形成有器件的上述区域 101a 的器件形成表面 101b 上形成电极片 103。此外，通过由例如 SiN（ Si_3N_4 ）制成的保护层（钝化层）102 对器件形成表面 101b 上除电极片 103 以外的部分进行保护。

图 1B 是用于示出图 1A 所示的基板 101A 的一个区域 101a 的放大状态的简图。参照图 1B 之后的附图，将以形成多个区域 101a 的基板 101A 中的一个区域 101a 为例，对制造半导体器件的方法进行描述。

接下来，在图 1C 所示的步骤中，通过使用例如引线接合装置，在电极片 103 上形成电极片（凸点）104，该电极片 104 由金制成的接合线形成。引线接合装置将接合线与电极片 103 连接，并且在以连续方式连接之后切断接合线，从而形成具有凸出部分的凸点 104。

接下来，在图 1D 至图 1G 所示的步骤中，形成与上述基板 101A（半导体芯片）连接的再配线。

首先，在图 1D 所示的步骤中，制备叠层用基板（芯部基板）201，叠层用基板 201 由例如预浸渍材料等树脂材料制成，并且在其两个表面上设置有铜箔。将铜箔制成的导电层 201A 和 201B 分别附着到叠层用基板 201 的第一主表面 201a 和第二主表面 201b 上。

接下来，在图 1E 所示的步骤中，通过蚀刻工序去除第二主表面 201b 的导电层（铜箔）201B。此外，通过使用掩模图案进行图案蚀刻工序来将第一主表面 201a 的导电层（铜箔）201A 图案化。

接下来，在图 1F 所示的步骤中，通过采用例如激光器等装置形成导通孔 201C，而导通孔 201C 从叠层用基板 201 的第二主表面 201b 一侧到达位于第一主表面 201a 的导电层 201A，并且穿透叠层用基板 201。此外，在形成导通孔 201C 之后，如果需要，可以使用等离子体清洁叠层用基板 201。

接下来，在图 1G 所示的步骤中，用具有导电性的膏体（导电膏）

202 填入在前述图 1F 所示步骤中形成的导通孔 201C。以上述方式制造将要堆叠（连接）在前述基板 101A 上的再配线。

然后，在图 1H 所示的步骤中，通过由例如环氧系树脂材料制成的绝缘层 105 将叠层用基板 201 附着到基板 101A 上，并且通过导电膏 202 将导电层 201A 与凸点 104 连接。在这种情况下，因为凸点 104 穿透绝缘层 105，所以优选在绝缘层 105 中使用这种例如称为“NCF”的软树脂材料。在软树脂材料中，基本上不用添加例如填料等硬度调节材料。由于使用了上述软树脂材料，所以凸点 104 易于从绝缘层 105 露出。

此外，绝缘层 105 不仅仅限于上述材料，而是可以可选择地通过使用各种绝缘材料（树脂材料）形成。例如，可以可选择地采用通常使用的所谓“增层树脂（其中加入填料的环氧树脂）”或另一种称为“ACF”的树脂材料作为绝缘层 105。

此外，在上述情况下，可以使用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将叠层用基板 201 附着到该绝缘层上面。在另一种方法中，使绝缘层 105 与叠层用基板 201 预先彼此堆叠，然后将堆叠的层/基板附着在基板 101A（保护层 102）上。

在本步骤中，挤压并加热叠层用基板 201 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化（硬化），并且使导电膏 202 固化。

在本步骤中，在这种状态下使导电膏 202 固化，即：在填入导通孔中的导电膏 202 中插入凸点 104 的末端部分（凸出部分）。因此，凸点 104 与导电层 201A 之间电连接的可靠性几乎不会受到凸点 104 的高度变化的影响。换言之，凸点 104 的高度变化的容许值随着导通孔 201C 的深度（即，叠层用基板 201 的厚度）增加而增大。

因此，当使用这种通过采用例如接合线形成的、具有较大高度变化的凸点 104 时，可以通过简单方法形成具有良好连接可靠性的再配线。此外，在上述步骤中，不需要用于使凸点 104 的凸出部分从绝缘层 105 露出的抛光步骤。此外，用于使凸点 104 与导电层 201A 连

接的上述连接方法变得比例如焊接法等常规连接方法更容易,并且还具有连接可靠性变得更高的特点。

此外,在本步骤中,通过将绝缘层 105 与叠层用基板 201 一起挤压并加热,从而使绝缘层 105 固化(热硬化)。因此,绝缘层 105 与叠层用基板 201 之间的附着性良好。

接下来,在图 1I 所示的步骤中,如果需要,对导电层(铜)201A 的表面进行粗化工序(所谓“去污”工序),然后在绝缘层 105 上形成具有开口部分的阻焊层(绝缘层)SR。导电层 201A 的一部分从阻焊层 SR 的开口部分露出。

接下来,在图 1J 所示的步骤中,如果需要,对基板 101A 的后表面进行抛光,以便制成预定厚度的基板 101A。

接下来,在图 1K 所示的步骤中,如果需要,在导电层 201A 的从阻焊层 SR 的开口部分露出的部分上形成焊料凸点 203。另外,对基板 101A 进行切块工序,从而将基板 101A 切成单独的块,以使单独的基板块构成半导体芯片 101。因此,可以制造其中使再配线(导电层 201A)与半导体芯片 101 连接的半导体器件 100。

如前文所述,根据上述制造方法,当凸点 104 与导电层 201A 之间电连接的可靠性几乎不会受到凸点 104 高度变化的不利影响时,可以通过使用由容易制造的接合线所形成的凸点制造再配线的连接可靠性良好的半导体器件。

此外,如常规的半导体器件制造方法所述,例如,在这样的情况下,即:通过非电解电镀法形成种晶层(供电层),然后再通过非电解电镀法形成再配线,那么需要用于粗化绝缘层的表面的工序(所谓“去污工序”)以便进行非电解电镀法。因此,存在处理操作变复杂的问题。此外,在通过溅射法形成供电层的情况下,因为需要昂贵的具有真空处理容器的膜形成设备,所以存在增加制造成本的风险。

另一方面,在根据本实施例 1 的制造方法中,不再需要在真空中进行的去污工序和溅射工序,因此具有可通过简单方法容易地形成再配线的特点。因此,根据上述方法,制造半导体器件的方法可以变简单并且可以降低制造成本。

实施例 2

作为选择，如下面说明所述，可以通过采用半加成法形成上述再配线。在该可选的情况下，例如，在上述制造方法中，首先执行图 1A 至图 1H 所示的步骤，以便形成图 2A 所示的状态。应当理解，在该可选的情况下，在图 1E 所示的步骤中不执行导电层 201A 的图案化（蚀刻）处理操作，而使导电层 201A 处于这种状态，即：连续地（以平面形状）形成导电层 201A。

接下来，在图 2B 所示的步骤中，在上述导电层 201A 上形成具有开口部分的掩模图案 PR。可以通过以下方法形成掩模图案 PR，即：通过涂布或者附着膜形成抗蚀层，并且采用光刻法将所形成的抗蚀层图案化。

接下来，在图 2C 所示的步骤中，通过使用导电层 201A 作为供电层（种晶层）的电解电镀法，在导电层 201A 的从掩模图案 PR 的开口部分露出的部分上形成铜制的导电层（导电图案）201C。在进行了上述图案电镀之后，剥去掩模图案 PR，并且通过蚀刻工序去除因更进一步地剥去掩模图案 PR 而露出的多余导电层 201A，从而可以制造出与图 1H 所示结构相似的结构。此后，进行与图 1I 至图 1K 所示的上述步骤相似的步骤，从而可以制造出半导体器件。

实施例 3

接下来，基于图 3A 至图 3F，按照顺序对关于前述第二种方法的实例进行描述。

首先，在图 3A 所示的步骤中，通过例如印刷法或油墨转移（转印）法，在由例如铜制成的导电层 301 上形成由具有导电性的膏体制成的连接图案 302。与上述实施例 1 的情况相比，在本实施例 3 的情况下，因为其上形成有连接图案 302 的部分是平面形状，所以可以容易地形成由导电膏制成的连接部分。

接下来，在图 3B 所示的步骤中，与实施例 1 的图 1H 所示的步骤相似，通过绝缘层 105 将导电层 301 附着到基板 101A 上，并且通

过连接图案（导电膏）302 将导电层 301 与凸点 104 连接。

此外，在上述情况下，可以采用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将导电层 301 附着到该绝缘层上面。在另一种方法中，使绝缘层 105 与导电层 301 预先彼此堆叠，然后将堆叠的层/基板附着在基板 101A（保护层 102）上。

在本步骤中，挤压并加热导电层 301 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化（硬化），并且使连接图案（导电膏）302 固化。

在本步骤中，在这种状态下使连接图案（导电膏）302 固化，即：在连接图案 302 中插入凸点 104 的末端部分（凸出部分）。因此，凸点 104 与导电层 301 之间电连接的可靠性几乎不会受到凸点 104 高度变化的影响。换言之，凸点 104 的高度变化的容许值随着连接图案（导电膏）302 的厚度增加而增大。

因此，当使用通过采用例如接合线形成的、具有较大高度变化的凸点 104 时，可以通过简单方法形成具有良好连接可靠性的再配线。

此外，在本步骤中，通过将绝缘层 105 与导电层 301 一起挤压并加热来使绝缘层 105 固化（热硬化）。因此，绝缘层 105 与导电层 301 之间的附着性良好。

接下来，在图 3C 所示的步骤中，通过采用光刻法进行图案蚀刻工序来进行导电层 301 的图案化工序。

接下来，在图 3D 至图 3F 所示的步骤中进行与图 1I 至图 1K 相似的处理操作。首先，在图 3D 所示的步骤中，如果需要，对导电层（铜）301 的表面进行粗化工序（所谓“去污”工序），然后在绝缘层 105 上形成具有开口部分的阻焊层（绝缘层）SR。导电层 301 的一部分从阻焊层 SR 的开口部分露出。

接下来，在图 3E 所示的步骤中，如果需要，对基板 101A 的后表面进行抛光，以便制造出预定厚度的基板 101A。

接下来，在图 3F 所示的步骤中，如果需要，在导电层 301 的从

阻焊层 SR 的开口部分露出的部分上形成焊料凸点 203。另外，对基板 101A 进行切块工序，从而将基板 101A 切成单独的块，以使单独的基板块构成半导体芯片 101。因此，可以制造其中使再配线（导电层 301）与半导体芯片 101 连接的半导体器件 100。

上述制造方法可以实现与实施例 1 的制造方法相似的效果，并且能够以低成本制造具有高可靠性的半导体器件。此外，在本实施例 3 的情况下，与上述实施例 1 的情况相比，因为其上形成有连接图案 302 的部分是平面形状，所以可以容易地形成由导电膏制成的连接部分。此外，可以选择用于形成由导电膏制成的连接部分的各种方法。

实施例 4

作为选择，如下面说明所述，可以通过采用半加成法形成上述再配线。在本可选情况下，例如，在上述制造方法中，首先执行图 3A 至图 3B 所示的步骤，以便形成图 4A 所示的状态。应当理解，在本实施例 4 的情况下，由于导电层 301 对应于种晶层（供电层）并且在后面的步骤中去除，所以优选将导电层 301 的厚度制作得比上述实施例 3 的相应厚度更薄。

接下来，在图 4B 所示的步骤中，形成具有开口部分的掩模图案 PR。可以通过以下方法形成掩模图案 PR，即：通过涂布或者附着膜形成抗蚀层，并且采用光刻法将所形成的抗蚀层图案化。

接下来，在图 4C 所示的步骤中，通过使用导电层 301 作为供电层（种晶层）的电解电镀法，在导电层 301 的从掩模图案 PR 的开口部分露出的部分上形成铜制的导电层（导电图案）301A。在进行了上述图案电镀之后，剥去掩模图案 PR，并且通过蚀刻工序去除因更进一步地剥去掩模图案 PR 而露出的多余导电层 301，从而可以制造出与图 3C 的结构相似的结构。此后，进行与图 3D 至图 3F 所示的上述步骤相似的步骤，从而可以制造出半导体器件。

实施例 5

此外，如下面所述，作为选择，在这种状态下，即：通过支撑

导电层 301 的支撑层（载体层）303 支撑（堆叠）导电层 301，使根据实施例 4 的导电层 301 附着到基板 101A（绝缘层 105）上。

图 5A 至图 5C 是用于示出根据实施例 5 的半导体器件的制造方法的简图。首先，在图 5A 所示的步骤中，以与图 3A 所示的实施例 3 的方式相似的方式在由铜制成的导电层 301 上以及在由例如铜制成的支撑层（载体层）303 上形成由导电膏制成的连接图案 302。

接下来，在图 5B 所示的步骤中，通过绝缘层 105 将支撑（堆叠）在支撑层 303 上的导电层 301 附着到基板 101A 上，并且通过连接图案（导电膏）302 将导电层 301 与凸点 104 连接。

此外，在上述情况下，可以采用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将由支撑层 303 支撑的导电层 301 附着到该绝缘层上。在另一种方法中，使绝缘层 105 与由支撑层 303 支撑的导电层 301 预先彼此堆叠，然后将堆叠的层/基板附着在基板 101A（保护层 102）上。

接下来，在图 5C 所示的步骤中，去除支撑导电层 301 的支撑层 303。此后，与上述实施例 3（图 3B）的情况相似，挤压并加热导电层 301 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化（硬化），并且使连接图案（导电膏）302 固化。

在上述图 5C 的步骤之后，进行实施例 3 的图 3C 至图 3F 所示的步骤，从而可以制造出半导体器件。

在本实施例 5 中，因为在这种状态下，即：通过支撑层 303 支撑导电层 301，使导电层 301 附着到基板 101A（绝缘层 105）上，所以即使当导电层 301 的厚度较薄时，导电层 301 也可以在稳定的状态下附着到基板 101A 上。

实施例 6

此外，如下述附图所示，在形成再配线的情况下，可以可选择地将叠层用基板（芯部基板）附着到基板 101A（绝缘层 105）上，从而形成再配线。

图 6A 至图 6H 是用于示出根据实施例 6 的半导体器件的制造方法的简图。首先，与上述实施例 1 的图 1D 所示的情况相似，在图 6A 所示的步骤中，制备叠层用基板（芯部基板）201，叠层用基板 201 由例如预浸渍材料等树脂材料制成，并且在其两个表面上设置有铜箔。将铜箔制成的导电层 201A 和 201B 分别附着到叠层用基板 201 的第一主表面 201a 和第二主表面 201b 上。

接下来，在图 6B 所示的步骤中，通过对第二主表面 201b 的导电层 201B 进行图案蚀刻工序来将导电层 201B 图案化。此外，在进行图案化工序之后，通过执行例如印刷法或油墨转移法，在导电层 201B 上形成由导电膏制成的连接图案 302。

接下来，在图 6C 所示的步骤中，通过绝缘层 105 将叠层用基板 201 附着到基板 101A 上，然后通过连接图案（导电膏）302 将导电层 201B 与凸点 104 连接。

此外，在上述情况下，可以采用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将叠层用基板 201 附着到该绝缘层上。在另一种方法中，使绝缘层 105 与叠层用基板 201 预先彼此堆叠，然后将堆叠的层/基板附着在基板 101A（保护层 102）上。

在本步骤中，挤压并加热叠层用基板 201 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化，并且使连接图案（导电膏）302 固化。

与实施例 3 至实施例 5 的情况相似，在本步骤中，凸点 104 与导电层 201B 之间电连接的可靠性几乎不会受到凸点 104 高度变化的影响。换言之，凸点 104 的高度变化的容许值随着连接图案（导电膏）302 的厚度的增加而增大。

此外，在本步骤中，通过将绝缘层 105 与导电层 201B 一起挤压并加热来使绝缘层 105 固化（热硬化）。因此，绝缘层 105 与导电层 201B 之间的附着性良好。

接下来，在图 6D 所示的步骤中，通过蚀刻处理操作去除叠层用基板 201 的导电层 201A。

接下来，在图 6E 所示的步骤中，与实施例 1 的图 1F 所示的步骤相似，通过采用例如激光器等装置形成导通孔 201C，这种导通孔穿透叠层用基板 201 然后到达导电层 201B。

接下来，在图 6F 所示的步骤中，在进行了去污工序之后，如果需要，通过采用例如非电解电镀法，在叠层用基板 201 的表面上形成铜制成的导电层（供电层）201D，该表面包含导通孔 201C 的内壁面。

在图 6F 所示的本步骤之后的步骤中，可以通过采用例如减成法或半加成法制成导电图案（导通塞和图案配线）。首先对这种采用减成法的情况进行说明。

接下来，在图 6G 所示的步骤中，将导电层 201D 用作供电层（种晶层），通过进行电解电镀法在导电层 201D 上形成导电层 201E。

接下来，在图 6H 所示的步骤中，由于对导电层 201E 进行了图案蚀刻，所以可以形成穿透叠层用基板 201 的导通塞和与该导通塞连接的图案配线。此后，进行与实施例 3 的图 3E 至图 3F 所示步骤相似的步骤，从而可以制造出半导体器件。

此外，在本实施例 6 中，当通过半加成法形成配线时，可以在上述图 6F 的步骤之后进行图 7 所示的步骤。在图 7 所示的步骤中，在导电层 201D 上形成具有开口部分的掩模图案 PR。

接下来，通过使用导电层 201D 作为供电层的电解电镀法，在导电层 201D 的从掩模图案 PR 的开口部分露出的部分上形成铜制的导电层。在进行了上述图案电镀之后，剥去掩模图案 PR，并且通过蚀刻工序去除因更进一步地剥去掩模图案 PR 而露出的多余导电层，从而可以制造出与图 6H 的结构相似的结构。

实施例 7

作为选择，可以将预先形成的多层配线结构附着到基板（半导体芯片）101A 上，从而构成半导体器件。此外，作为形成多层配线结构的方法，存在下述两种方法：即，在预定支撑层上形成多层配线结构之后去除该预定支撑层的方法；以及另一种通过采用芯部基板形成多层配线结构的方法。在本实施例 7 中，首先对在支撑层上形成多

层配线结构的方法进行说明。

首先，在图 8A 所示的步骤中，与实施例 5 的图 5A 所示的步骤相似，例如，制备这种结构，在该结构中，在由铜制成的支撑层（载体层）303 上形成由铜制成的导电层 301。

接下来，在图 8B 所示的步骤中，通过附着膜，或者通过涂布流体状树脂形成由例如环氧系树脂材料（增层树脂）制成的绝缘层 304。

接下来，在图 8C 所示的步骤中，通过采用例如激光器等装置形成穿透绝缘层 304 的导通孔，如果需要，对该导通孔进行去污工序。此后，例如，通过采用例如非电解电镀法在绝缘层 304 的表面上形成铜制成的导电层（供电层）305，该表面包含该导通孔的内壁面。

接下来，在图 8D 所示的步骤中，将导电层 305 用作供电层（种晶层），通过进行电解电镀法在导电层 305 上形成导电层 306。因此，形成了穿透绝缘层 304 的导通塞 304A，并且形成了与上述导通塞 304A 连接的另一导电层 306。

接下来，在图 8E 所示的步骤中，使用光致抗蚀剂在导电层 301 和导电层 306 上分别形成掩模图案 PR。在图 8F 所示的步骤中，进行图案蚀刻工序，从而将导电层 301 和导电层 306 图案化。按照上述方式形成多层配线结构 ML1 的同时，通过这种方式构成多层配线结构 ML1，即：通过导通塞 304A 将形成在绝缘层 304 的两个表面上的导电层（配线图案）301 和 306 连接。

接下来，在图 8G 所示的步骤中，通过执行例如印刷法或油墨转移法，在导电层 301 上形成由导电膏制成的连接图案 302。

接下来，在图 8H 所示的步骤中，通过绝缘层 105 将多层配线结构 ML1 附着到基板 101A 上，并且通过连接图案（导电膏）302 将导电层 301 与凸点 104 连接。

此外，在上述情况下，可以采用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将多层配线结构 ML1 附着到该绝缘层上面。在另一种方法中，使多层配线结构 ML1 和绝缘层 105 预先堆叠在基板 101A（保护层 102）上。此外，与实施例 3（图 3B）的

情况相似，挤压并加热导电层 301 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化（硬化），并且使导电膏 302 固化。

在上述图 8H 所示的步骤之后的步骤中，进行与实施例 3 的图 3D 至图 3F 所示的步骤相似的步骤，从而可以制造出半导体器件。

实施例 8

如下面所述，作为选择，可以通过采用例如芯部基板构成与上述实施例 7 的多层配线结构 ML1 对应的这种结构。

首先，在图 9A 所示的步骤中，制备在其两个表面上都具有铜箔（导电层 201A 和 201B）的叠层用基板（芯部基板）201，该叠层用基板 201 由例如与实施例 1 的图 1D 所示的材料相似的预浸渍材料等树脂材料制成。在本步骤中，形成穿透叠层用基板 201 的导通孔（通孔），并且通过进行例如电镀法形成填入上述导通孔的导通塞 201C。此外，通过图案蚀刻工序将导电层 201A 和 201B 图案化，从而形成用于覆盖导电层 201A 的绝缘层 204 和用于覆盖导电层 201B 的另一绝缘层 205。此外，可以通过附着由例如环氧系树脂材料（增层树脂）制成的膜，或者通过涂布上述流体状树脂材料形成绝缘层 204 和 205。

接下来，在图 9B 所示的步骤中，形成穿透绝缘层 204 然后到达导电层 201A 的导通孔，并且如果需要，对该导通孔进行去污工序。此后，例如，通过采用例如非电解电镀法在绝缘层 204 的表面上形成铜制成的导电层（供电层）206，该表面包含该导通孔的内壁面。

类似地，形成穿透绝缘层 205 然后到达导电层 201B 的导通孔，并且如果需要，对该导通孔进行去污工序。此后，例如，通过采用例如非电解电镀法在绝缘层 205 的表面上形成铜制成的导电层（供电层）207，该表面包含该导通孔的内壁面。

接下来，在图 9C 所示的步骤中，使用光致抗蚀剂在导电层 206 和导电层 207 上分别形成掩模图案 PR。

接下来，在图 9D 所示的步骤中，将导电层 206 用作供电层，通过进行电解电镀法在导电层 206 上形成铜制成的导电层（导通塞和图案配线）208。类似地，将导电层 207 用作供电层，通过进行电解电

镀法在导电层 207 上形成铜制成的导电层（导通塞和图案配线）209。

接下来，在图 9E 所示的步骤中，剥去掩模图案 PR，而且去除因剥去掩模图案 PR 而露出的供电层，从而可以形成多层配线结构 ML2。

接下来，在图 9F 所示的步骤中，通过执行例如印刷法或油墨转移法，在导电层 208 上形成由导电膏制成的连接图案 302。

接下来，在图 9G 所示的步骤中，通过绝缘层 105 将多层配线结构 ML2 附着到基板 101A 上，并且通过连接图案（导电膏）302 将导电层 208 与凸点 104 连接。

此外，在上述情况下，可以采用下面方法中任一种方法：在其中一种方法中，首先通过涂布方式或者层压方式在基板 101A（保护层 102）上形成绝缘层 105，然后将多层配线结构 ML2 附着到该绝缘层上面。在另一种方法中，使多层配线结构 ML2 和绝缘层 105 预先堆叠在基板 101A（保护层 102）上。此外，与实施例 3（图 3B）的情况相似，挤压并加热导电层 208 和绝缘层 105。在本步骤中，使具有热固特性的绝缘层 105 固化，并且使连接图案（导电膏）302 固化。

在上述图 9G 的步骤之后的步骤中，进行与实施例 3 的图 3D 至图 3F 所示的步骤相似的步骤，从而可以制造出半导体器件。

实施例 9

接下来，基于图 10A 至图 10B，按照顺序对关于前述第三种方法的一个实例进行说明。上述第三种方法的特征在于，不是在基板或者导电层上，而是在凸点的一侧形成用于使凸点与导电层连接的连接图案（导电膏）。

首先，在图 10A 所示的步骤中，使形成在基板 101A 的电极片 103 上的凸点 104 的末端部分与设置在例如挤出装置 302B 上、由导电膏制成的转移层 302A 接触，从而将导电膏转移到凸点 104 的末端部分上。

接下来，在图 10B 所示的步骤中，通过绝缘层 105 将导电层 301 附着到基板 101A 上，然后通过转移到凸点 104 的末端部分上的连接

图案（导电膏）302 将导电层 301 与凸点 104 连接。

在本步骤中，挤压并加热导电层 301 和绝缘层 105。在这种情况下，使具有热固特性的绝缘层 105 固化，并且使连接图案（导电膏）302 固化。

在上述图 10B 所示的步骤之后的步骤中，进行与实施例 3 的图 3C 至图 3F 所示的步骤相似的步骤，从而可以制造出半导体器件。

在本实施例 9 的情况下，不需要涂布或印刷导电层的分配器或印刷装置。因此，具有这种优点，即：可以简化制造半导体器件的方法，并且可以降低半导体器件的制造成本。如前文所述，不仅可以在导电层一侧，而且可以在凸点一侧涂布（印刷和涂布等）用于使导电层与凸点连接的导电膏。

虽然结合优选实施例对本发明进行了说明，但是本发明不仅仅限于上述特定实施例，而是可以在权利要求书描述的要旨所限定的范围内以各种方式进行修改和变化。

根据本发明，可以提供半导体器件制造方法，并且可以通过该方法以较低成本制造具有较高可靠性的半导体器件。

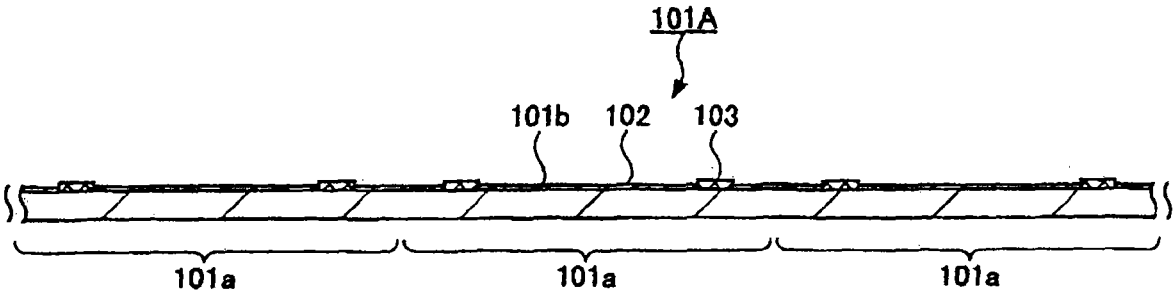


图 1A

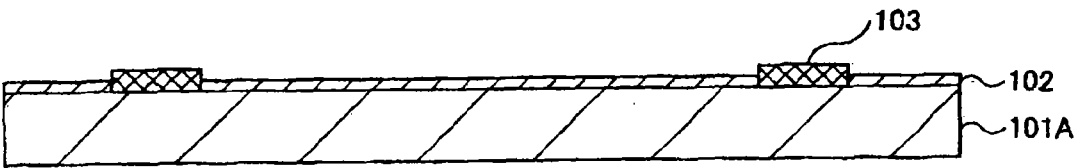


图 1B

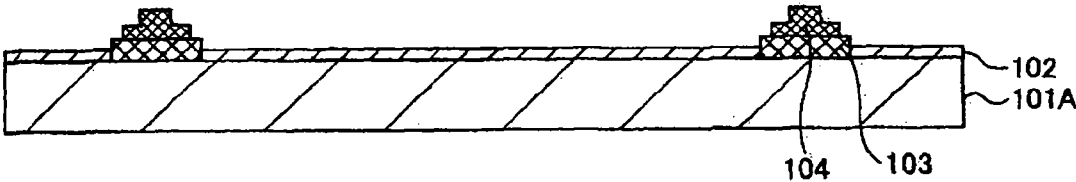


图 1C

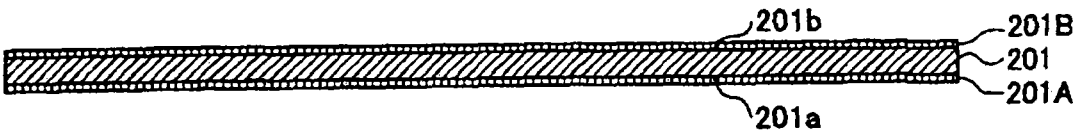


图 1D

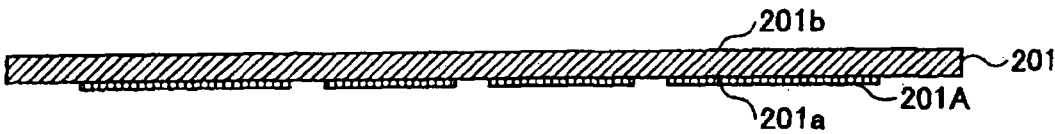


图 1E

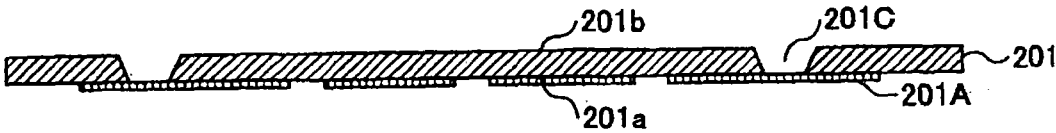


图 1F



图 1G

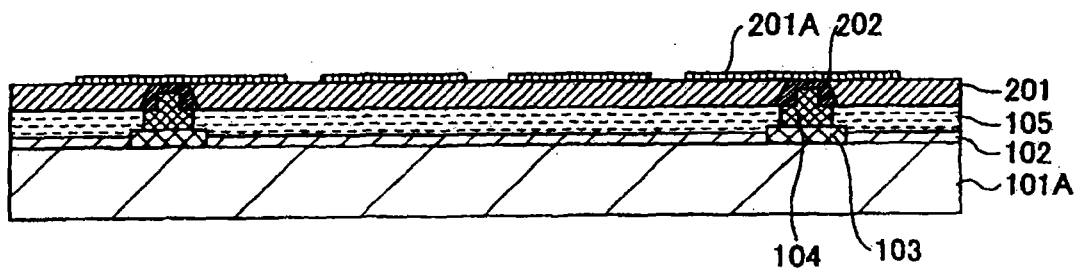


图 1H

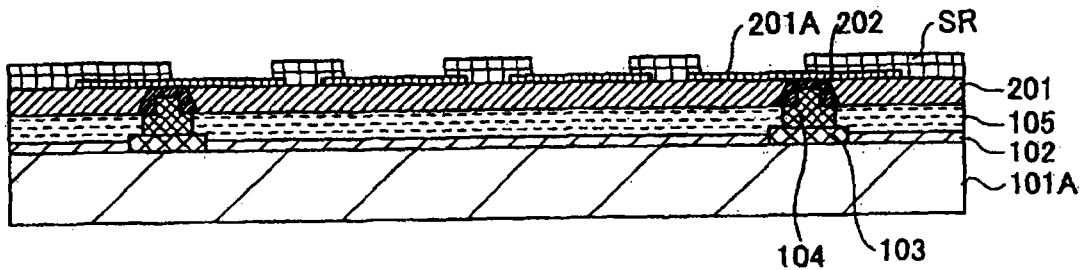


图 1I

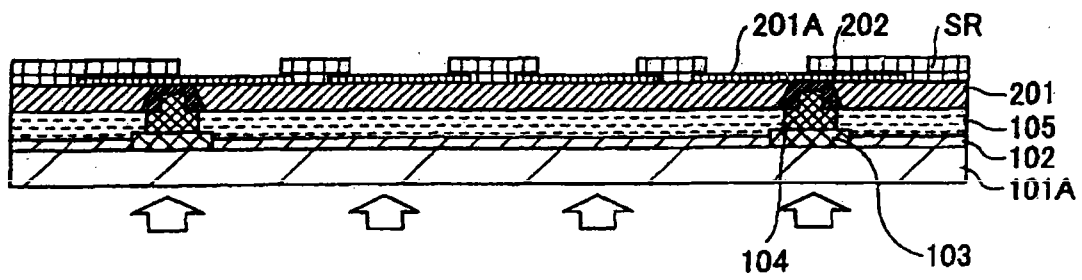


图 1J

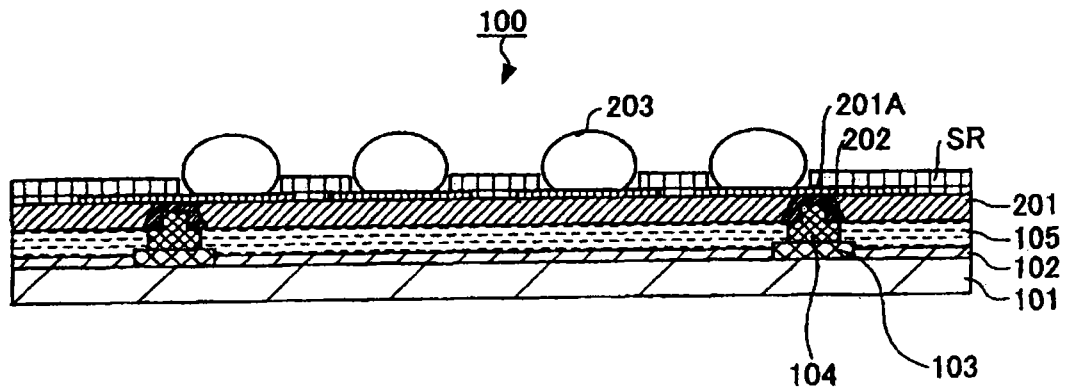


图 1K

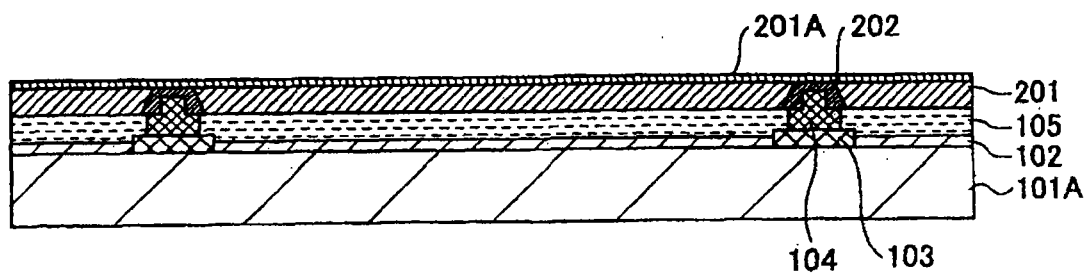


图 2A

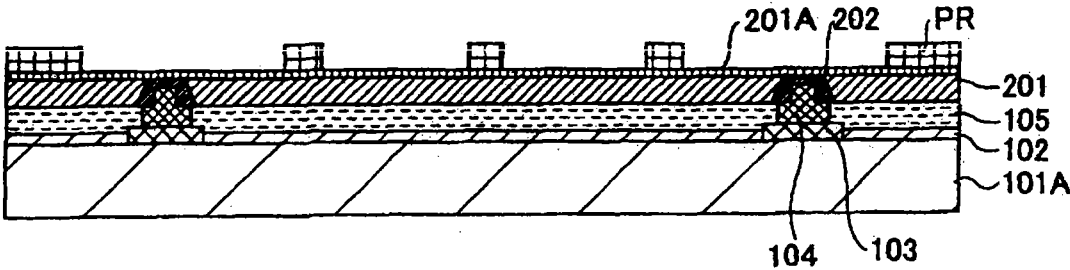


图 2B

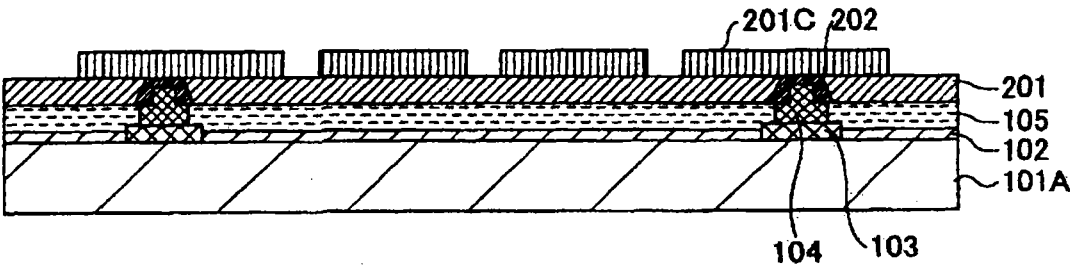


图 2C



图 3A

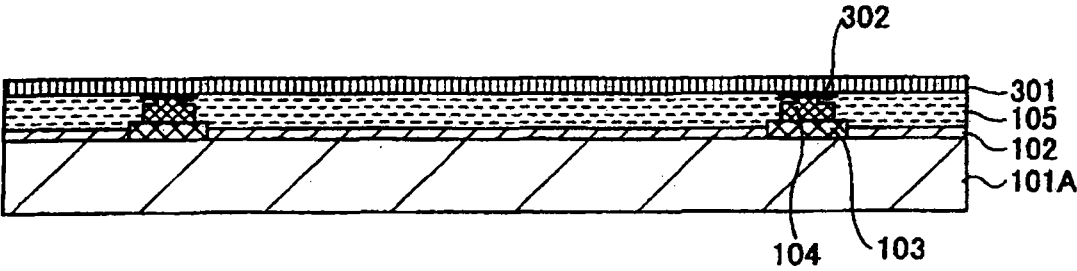


图 3B

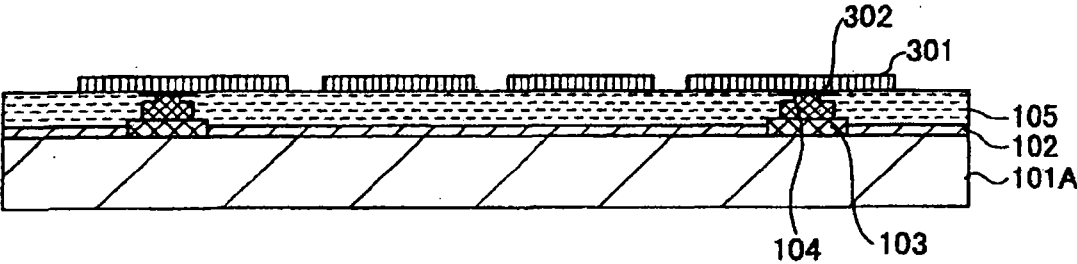


图 3C

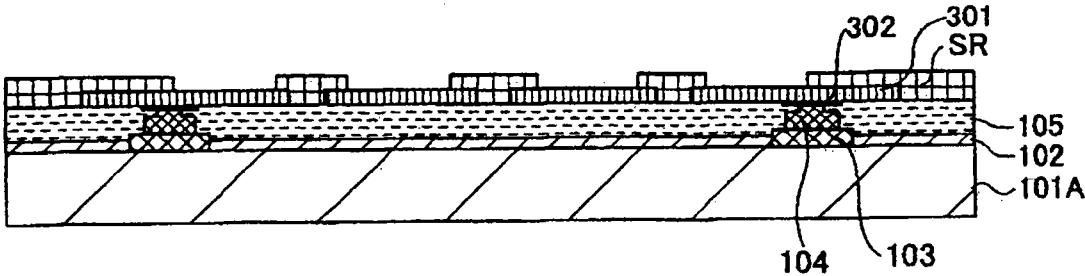


图 3D

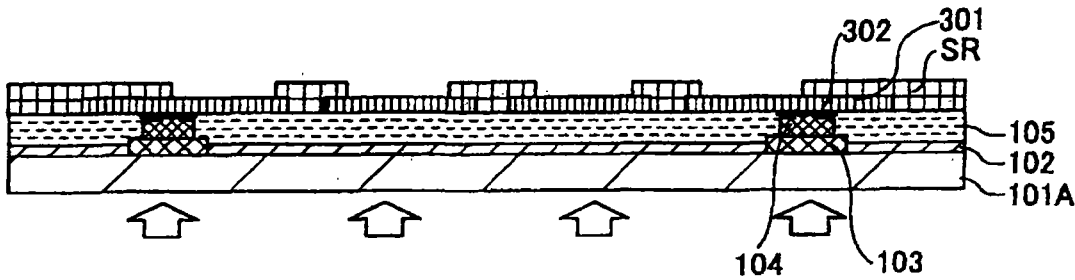


图 3E

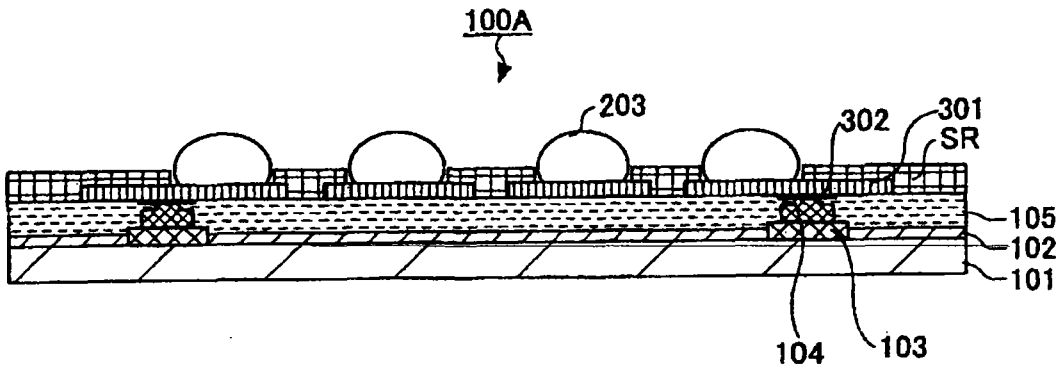


图 3F

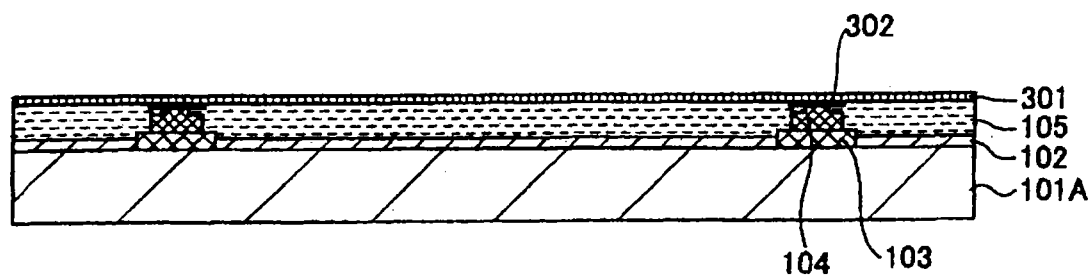


图 4A

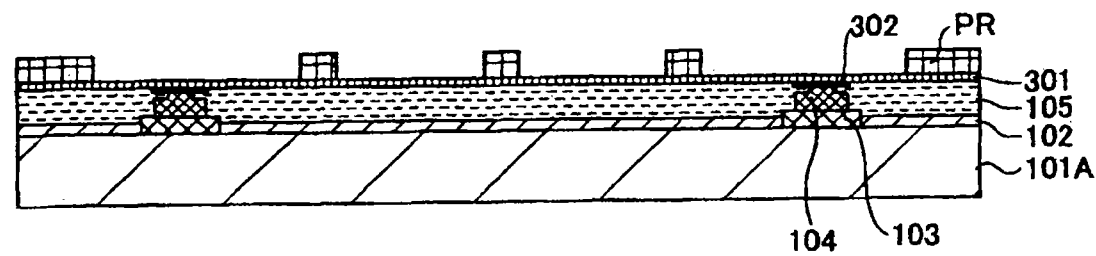


图 4B

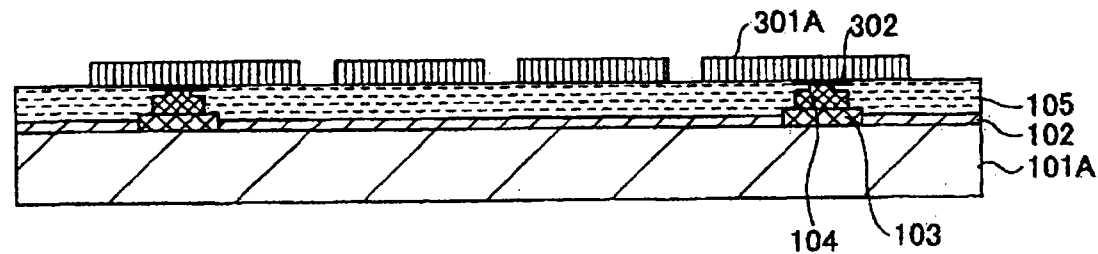


图 4C

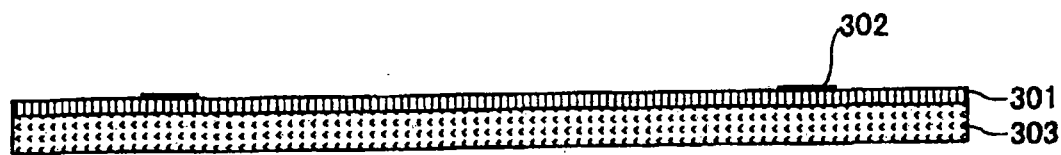


图 5A

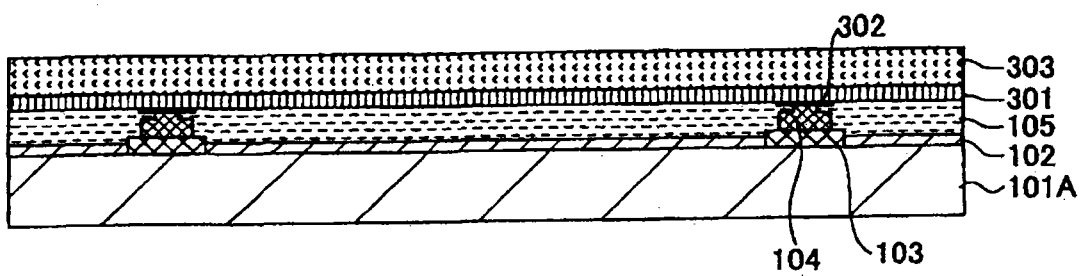


图 5B

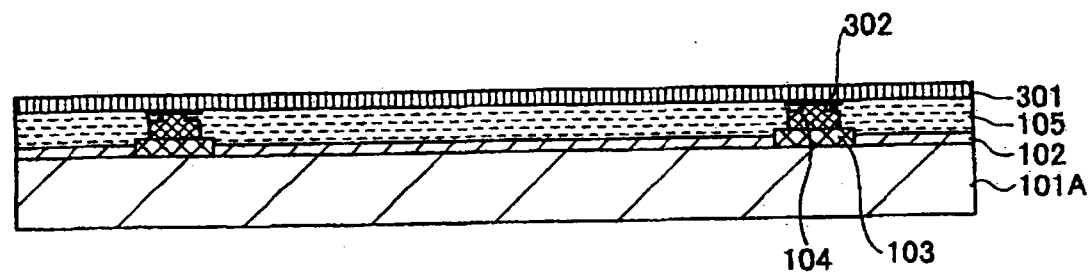


图 5C

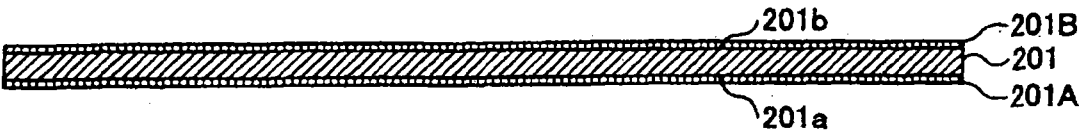


图 6A

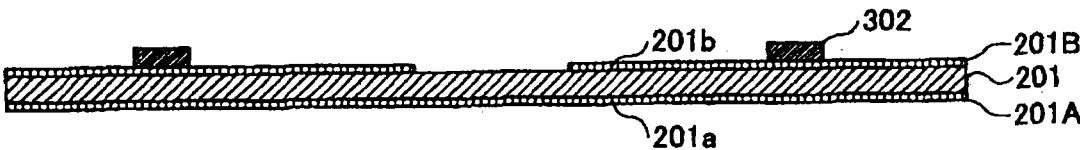


图 6B

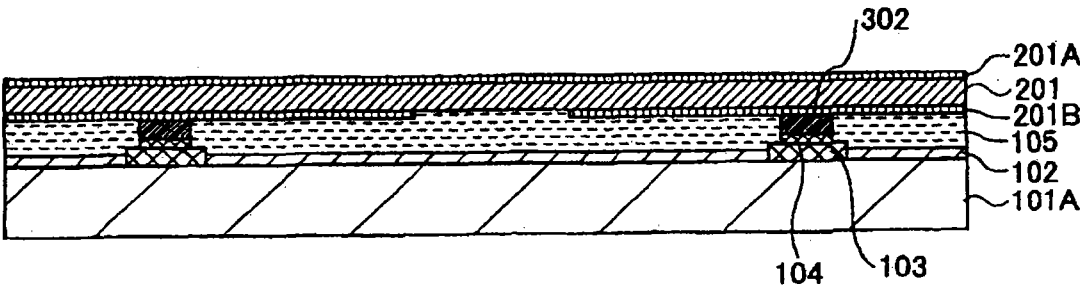


图 6C

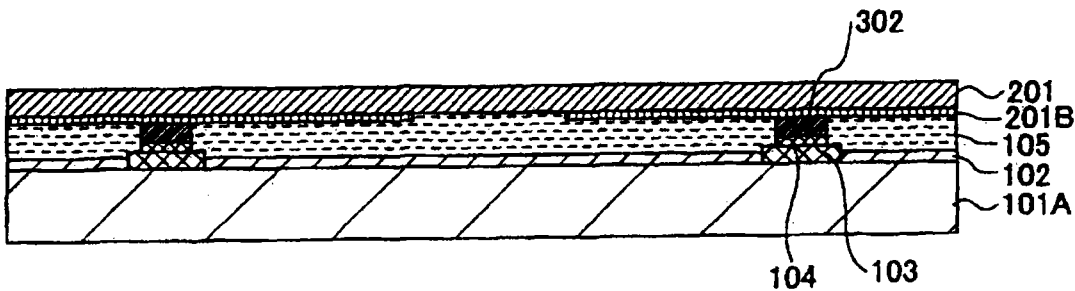


图 6D

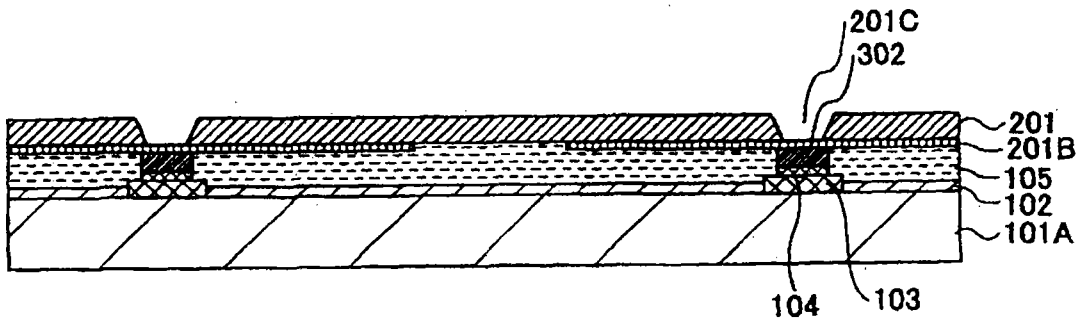


图 6E

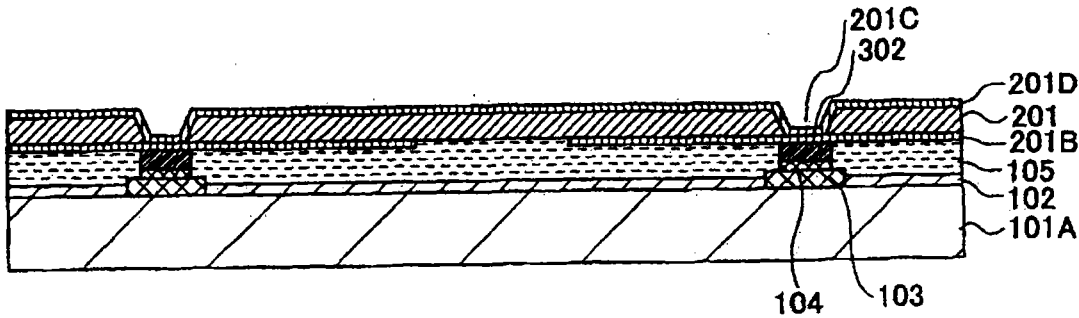


图 6F

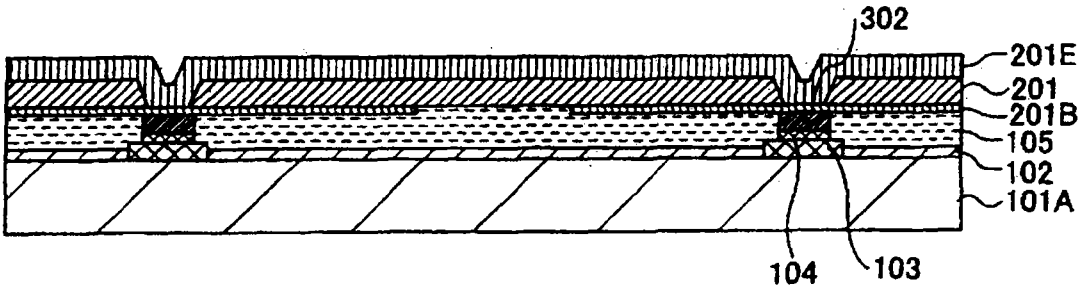


图 6G

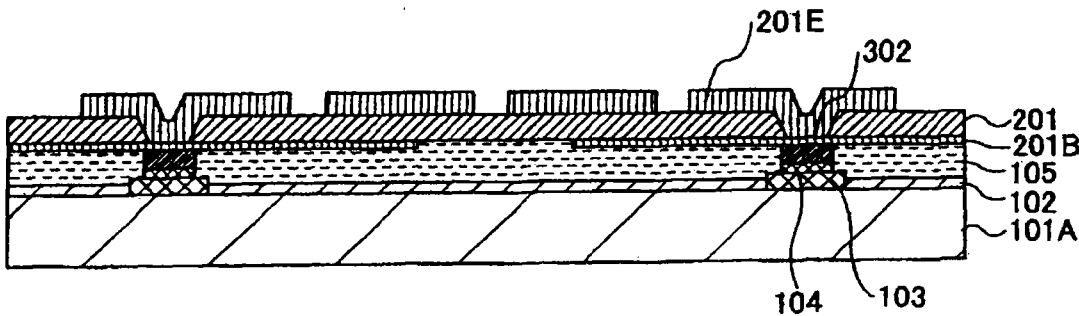


图 6H

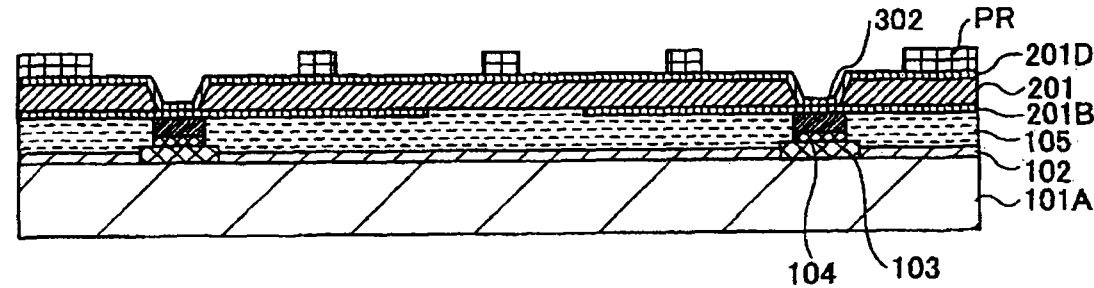


图 7

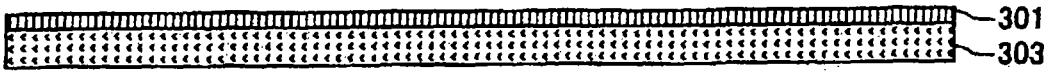


图 8A

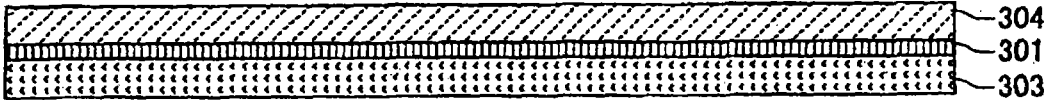


图 8B

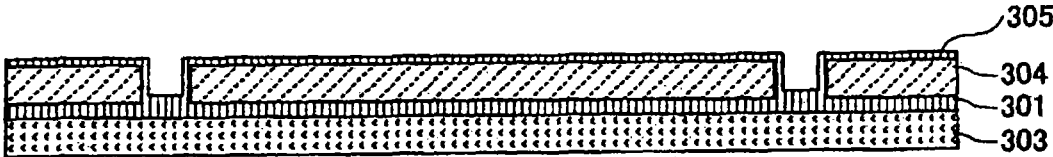


图 8C

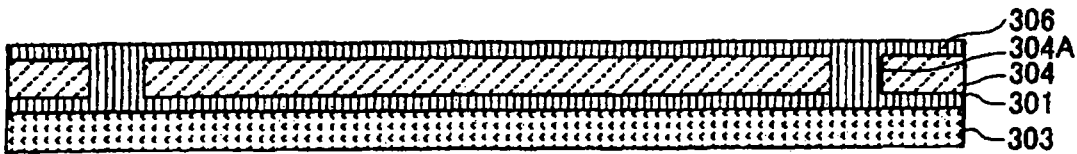


图 8D

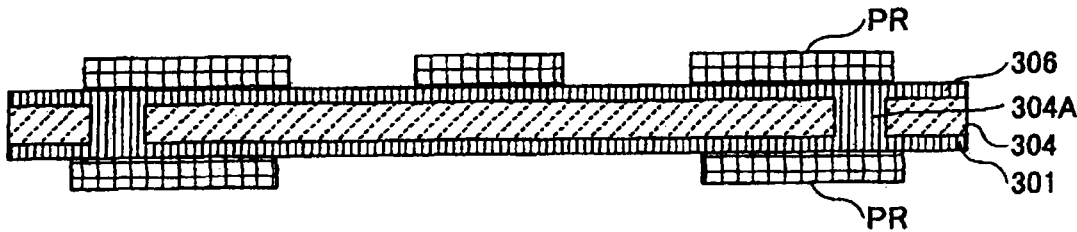


图 8E

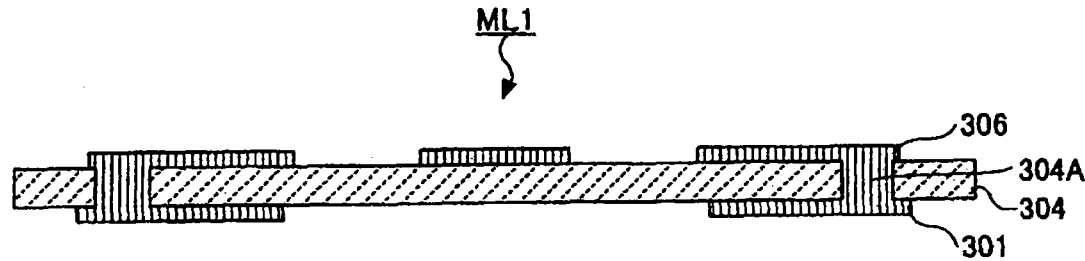


图 8F

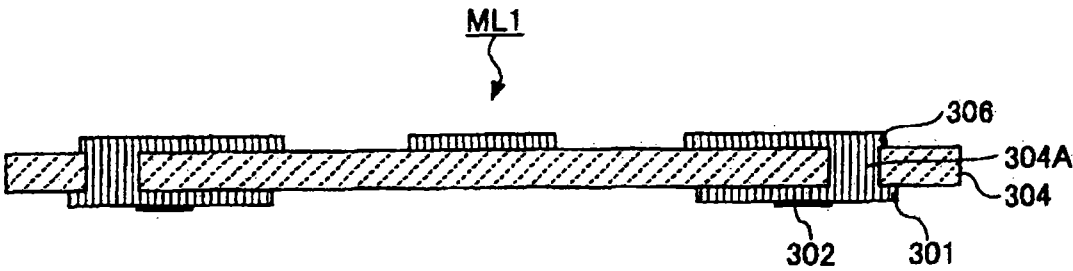


图 8G

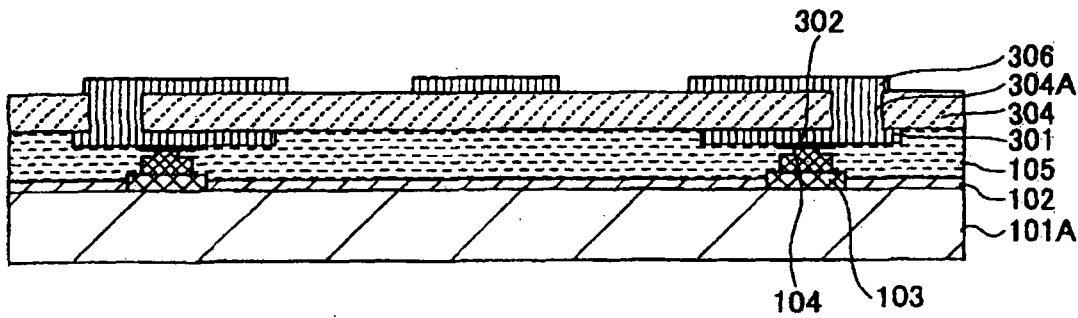


图 8H

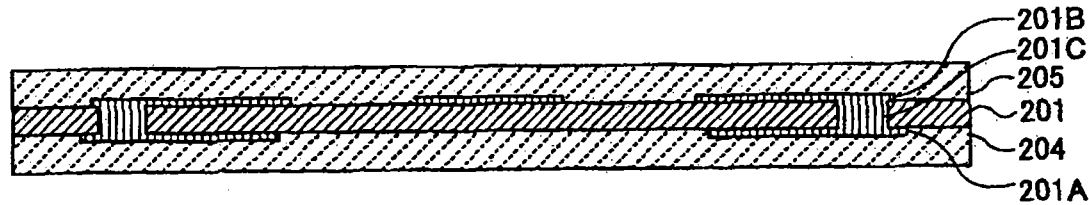


图 9A

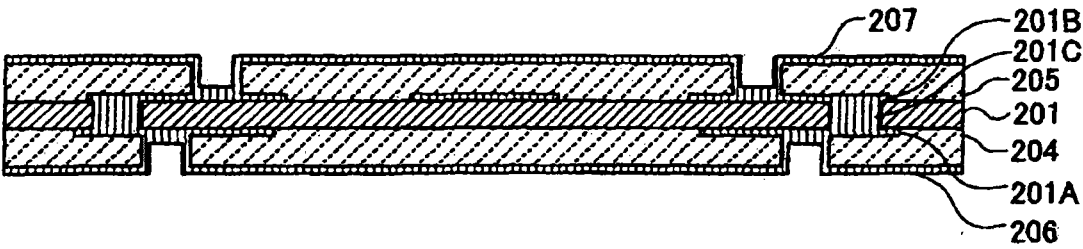


图 9B

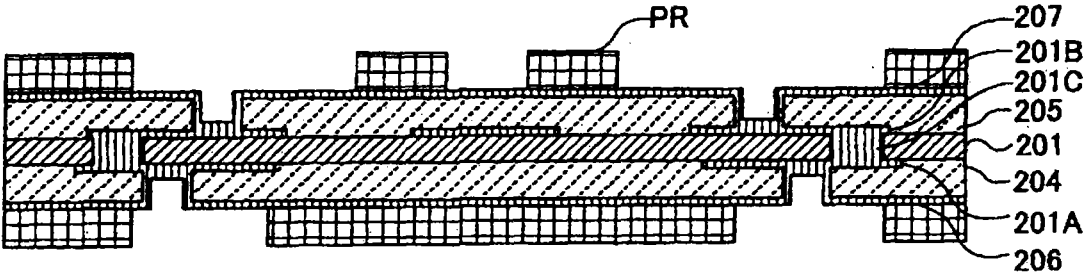


图 9C

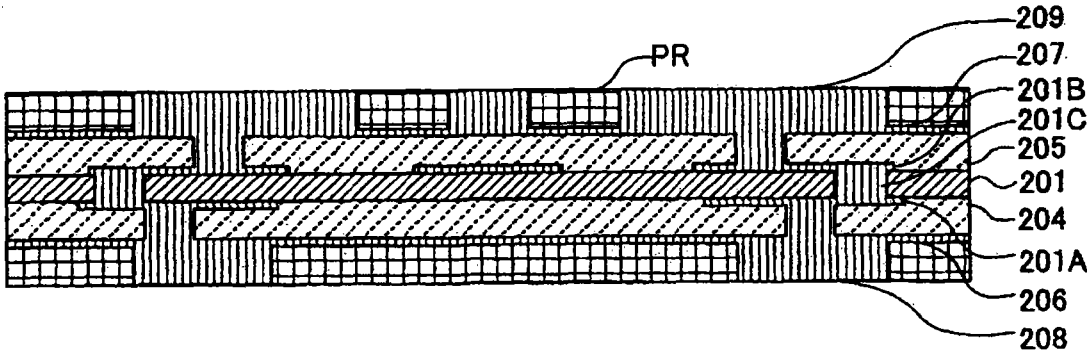


图 9D

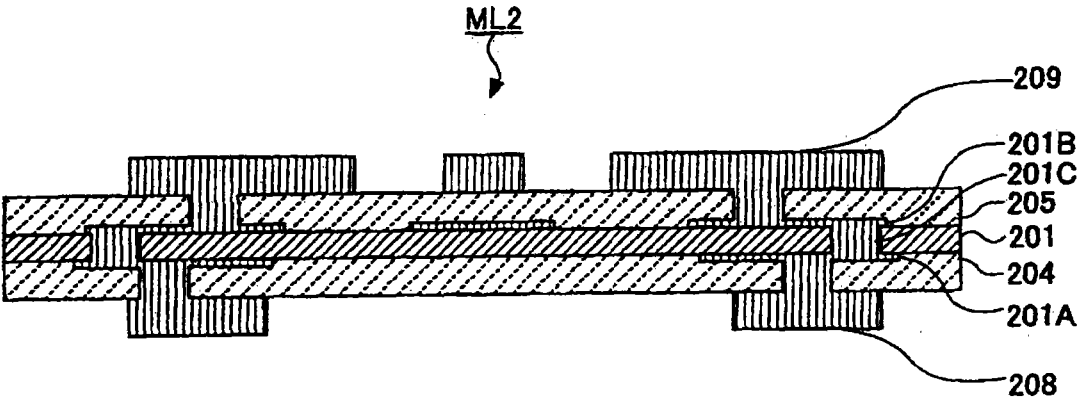


图 9E

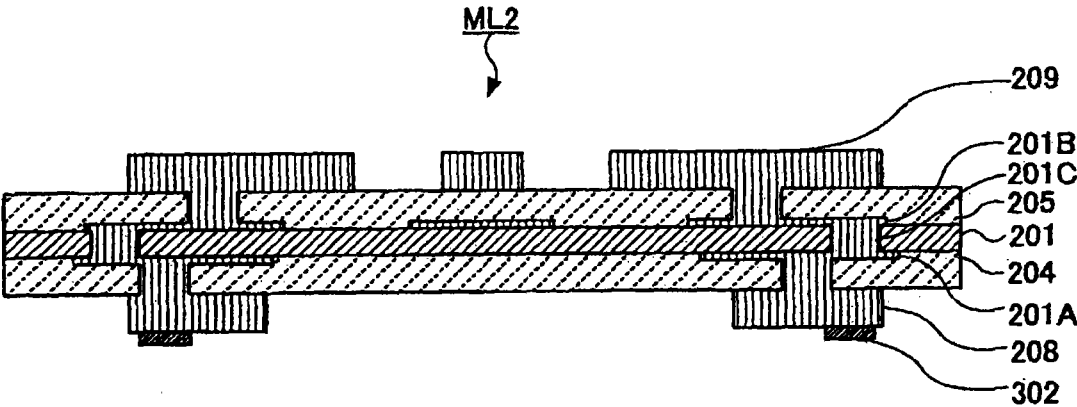


图 9F

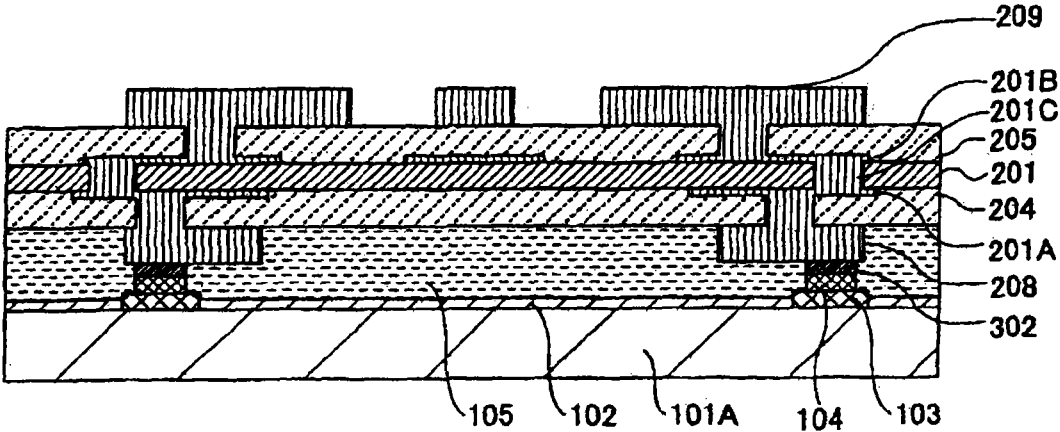


图 9G

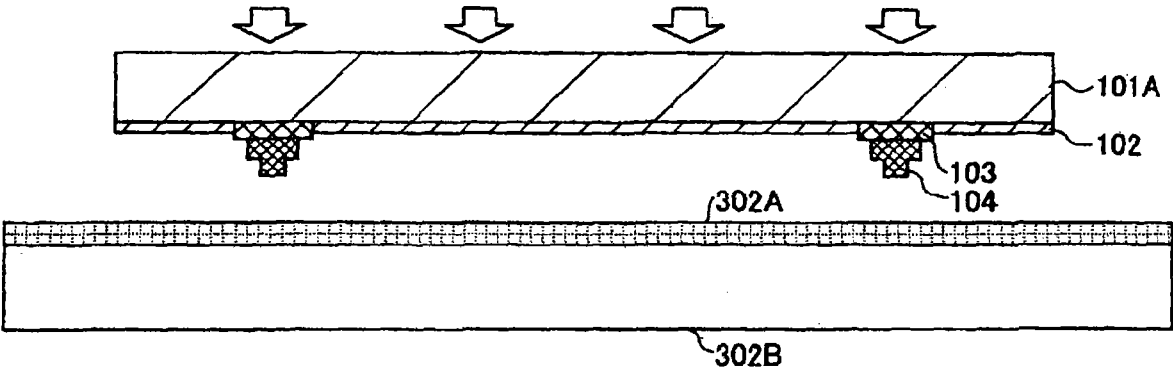


图 10A

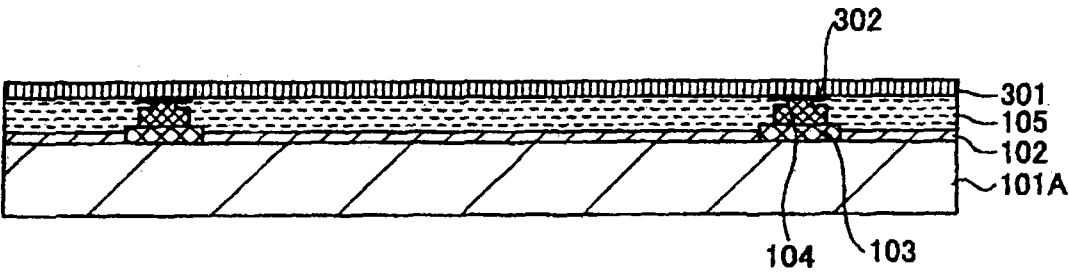


图 10B