

發明專利說明書 200529366

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93141171

※申請日期：93 12 29

※IPC 分類：H01L 21/768

一、發明名稱：(中文/英文)

半導體元件製造方法

SEMICONDUCTOR DEVICE MANUFACTURING METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

安藤 國威

ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME SHINAGAWA-KU, TOKYO,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

金村 龍一

KANAMURA, RYUICHI

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年01月19日；特願2004-010362

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件製造方法，藉此方法可確保用於導線之導電層之間的電壓阻抗，使該導線小型化以及輔助較高的整合。

【先前技術】

隨著半導體元件之小型化及較高的整合，由於導線的時間常數而引起電信號之延遲成為一嚴重問題。因此，對於用在一多層導線步驟中的導電層，開始引入銅(Cu)導線以替代藉由使用以鋁(Al)為主的合金而形成之導線。不像傳統的多層導線結構中已使用的金屬材料(例如，鋁)，難以藉由乾式蝕刻而將銅圖案化。因此，一般使用所謂的溝槽導線技術(例如，鑲嵌程序)，其中預先在層之間形成導線溝槽，且然後藉由銅來填充該等溝槽以形成一導線圖案。特定言之，預先形成接觸孔及導線溝槽且然後藉由銅來同時填充該等接觸孔及該等導線溝槽(例如，雙鑲嵌程序)之方法能有效地減少步驟數目(例如，參見第Hei 11-045887號日本特許公開專利案)。

此外，由於導線電容之增加引起該元件速度之降低，因此必須藉由使用一低介電常數膜作為一層間絕緣膜之精細多層導線。用作該低介電常數層間絕緣膜的材料之範例不僅包括介電常數約為3.5且迄今效果比較好的含氟氧化矽(FSG)，而且包括介電常數約為2.7之低介電常數膜。該等低介電常數膜之範例係以聚多芳基酯(PAE)為代表的以有

機矽為主之聚合物與以含氫矽酸鹽(HSQ)及甲基矽酸鹽(MSQ)為代表之無機材料。近年來，甚至嘗試藉由使該些範例性材料具有多孔而引入介電常數約為2.2之材料。

該雙鑲嵌程序在施加於該低介電常數的層間絕緣膜時必須係能克服以下技術限制之一程序。

首先，由於該低介電常數膜之組成物接近用以圖案化的光阻之組成物，因此該低介電常數膜在該光阻移除程序之時易受損害。明確言之，蝕刻後藉由使用一光阻遮罩來實施光阻剝離處理係必不可少的，而且在經處理的光阻圖案不符合產品規格之情況下可實行該光阻再生處理而不會損害該低介電常數膜。

接下來，存在與應用於所謂無邊界結構(其中該導線及該等接觸孔無校準容差)相關之一問題。對於半導體元件之小型化，一大前提條件係要有能夠處理該無邊界結構之一處理程序，至少在0.18 μm 代多層導線及後續幾代多層導線中。因此，即使在將藉由該雙鑲嵌程序而同時形成導線溝槽及接觸孔之作法應用於該等層間絕緣膜(包括該低介電常數膜)之情況下，伴有極少因偏移所致的通道阻抗變化之程序亦必不可少。

此外，儘管為形成具有良好深度可控制性之導線溝槽，在導線溝槽底部部分附近必須存在一蝕刻阻擋膜，但插入一介電常數比較高的蝕刻阻擋膜以作為一中間層會引起層間電容之增加。因此，需要用於一低介電常數膜層間結構之一雙鑲嵌程序，藉由該低介電常數膜層間結構可抑制電

容之增加同時控制導線溝槽之形成。

已揭示完整的且注意到上述技術限制之雙鑲嵌程序(例如,參見第2000-150519及2001-44189號日本特許公開專利案)。此外,本發明者等人已針對包括一有機膜之一低介電常數膜層間結構而設計使用三層硬罩之一雙鑲嵌程序,以作為用於一低介電常數膜層間結構(該結構能夠處理90 nm代及後面幾代之高性能元件)之一雙鑲嵌程序(例如,參見R. Kanamura等人的「Cu/低k雙鑲嵌互連與一用於65 nm節點高性能eDRAM的多孔PAE/SiOC混合結構之整合」, pp. 107至108(2003), 2003年VSI技術論文之技術文摘研討會)。

在將該雙鑲嵌程序應用於該65 nm代或該45 nm代的精細導線間距設計規則之情況中涉及若干問題,下面將參考圖6A至6H來說明該等問題。

如圖6A所示,在形成於一基板(未顯示)上之一下部絕緣膜611上,形成埋入一銅(Cu)膜的導線結構之一下部層導線614,在該埋入銅(Cu)膜的導線結構中,將由一有機膜612與一氧化矽(SiO_2)膜613組成之一層壓膜係(例如)用作一層間絕緣膜。

在該氧化矽膜613上,例如,一碳化矽(SiC)膜係形成為覆蓋該下部層導線614的Cu膜之一防氧化層615,並在該防氧化層615上形成一含碳的氧化矽(SiOC)膜616。進一步,例如,形成一聚多芳基酯(PAE)膜作為一有機膜617。隨後,以層壓的形式連續形成作為一第一遮罩層618之一氧化矽(SiO_2)膜、作為一第二遮罩層619之一氮化矽(SiN)膜,以及

作為一第三遮罩層620之一氧化矽(SiO_2)膜，而在該第三遮罩層620上形成用以形成導線溝槽之一光阻圖案621。

接下來，如圖6B所示，將該光阻圖案621[參見6A]用作一蝕刻遮罩，而藉由一乾式蝕刻方法來形成該第三遮罩層620中的一導線溝槽圖案622。然後，經由適當的後處理來移除該光阻圖案621。接下來，形成用以形成一接觸孔圖案之一光阻圖案623。該光阻圖案623係形成為至少部分與該導線溝槽圖案622重疊。該光阻圖案623係形成為與該下部層導線614或該導線溝槽圖案622相對對齊；在此情況下，由於可能基於一微影蝕刻程序而產生的偏移或該等層尺寸之分散，致使產生與該導線溝槽圖案622相關之一所謂無邊界結構的區域624。

隨後，如圖6C所示，將該光阻圖案623[參見圖6B]用作一蝕刻遮罩，並藉由一乾式蝕刻方法而在該第三遮罩層620及該第二遮罩層619及該第一遮罩層618中形成接觸孔625，且然後將該等接觸孔625延伸至該PAE膜617。在此，可在對該PAE膜617進行蝕刻處理之同時移除該光阻圖案623。此外，在該PAE膜617中的接觸孔625開啟期間，該光阻圖案623逐漸後退，而且由於存在由氮化矽組成之第二遮罩層619而可獲得一良好的開啟形狀。

接下來，如圖6D所示，使用具有該導線溝槽圖案622之第三遮罩層620，並藉由一乾式蝕刻方法而在該第二遮罩層619中延伸地形成該導線溝槽圖案622。此外，在使用該第三遮罩層620而對該第二遮罩層619進行蝕刻之步驟中，曝

露於該等接觸孔底部部分之SiOC膜可開啟至一中間程度。由於可將在上面提到的蝕刻條件下相對於該SiOC膜之蝕刻選擇性比率SiN/SiOC設定為略小於1，因此，在蝕刻厚度為50 nm的氮化矽之第二遮罩層619之情況下，該等接觸孔625係以包括一所需的過度蝕刻量之方式而延伸地形成於該SiOC膜616中並開啟至約80 nm之深度。

隨後，如圖6E所示，在保留於該等接觸孔層之間的SiOC膜616中形成該等接觸孔625。在此，同時，藉由使用具有該導線溝槽圖案之第二遮罩層619來移除保留於該等導線溝槽區域內的第一遮罩層618，從而形成導線溝槽629。在此例中，如圖6F所示，導線間的空間在一區域內局部變窄，在該區域內，該等接觸孔628及該等上部層導線溝槽629處於一無邊界結構中而且相鄰的導線溝槽629係配置於一最小空間中，。此情形對應於在該導線溝槽629(在該圖之左側)與該導線溝槽629(在該圖之右側)之間的PAE膜617。

然後，將保留於該等導線溝槽629底部的PAE膜617蝕刻成延伸形成該等導線溝槽629，並蝕刻存在於該等延伸形成的接觸孔625底部部分處之SiC膜615，從而使得該等接觸孔625進一步延伸。從而，完成一預定的雙鑲嵌處理。然後，由於肩部蝕刻增加而使得由於該接觸孔圖案化時的偏移以及該等尺寸之分散而產生的窄空間區域可能變窄但不會變寬。順便提及，在對存在於該等接觸孔625底部部分處的SiC膜615進行蝕刻之程序中移除保留於該等導線溝槽區域外之第二遮罩層619。

然後，藉由使用一適當化學液體及一氫退火處理之一後處理程序，來對該等導線溝槽629及該等接觸孔625的側壁上及該等接觸孔625底部部分處的變性銅層上保留之碎片進行蝕刻。然後，如圖6G所示，(例如)藉由一噴濺方法而形成作為一阻障金屬層632之一Ta膜，並藉由一電鍍方法或一噴濺方法來積聚一銅(Cu)膜633，從而藉由一導電膜來填充該等導線溝槽629及該等接觸孔625。

進一步，藉由一化學機械研磨(CMP)方法來移除該阻障金屬層632及該銅膜633中作為導線圖案而不需要的部分。結果，如圖6H所示，形成由該銅膜633組成之上部層導線634，並獲得一雙鑲嵌結構之一多層導線結構。此外，如同該等底部層導線614，一SiC膜635(例如)作為一防氧化層而形成於該等雙鑲嵌導線634上。但是，在由於該等接觸孔625圖案化時的偏移或該等尺寸之分散而產生的窄空間部分處，形成該等導線之間(例如，在該上部層導線634(該等圖式之左側)與該上部層導線634(該等圖式之右側)之間)令人不滿意的隔離區域636。

已確認，上面藉由該雙鑲嵌程序而產生的多層導線因該導線與電位不同的相鄰導線之間的短路缺陷而顯示出良率降低，因為局部產生該等導線之間令人不滿意的隔離區域636。還發現，即使在該半導體元件操作範圍內隔離該等電位不同的導線之情況下，由於不充足的介電強度及磨損問題而導致的初始缺陷有時亦會在25 nm或更小隔離寬度之情況下或在隨後的使用條件下產生。

【發明內容】

本發明之一目的係解決小型化使得防止經由接觸孔的導線間短路缺陷以及確保一介電強度所必需的導線間隔難以得到確保之問題。

上述困難產生的原因之一第一因素係導線之間的空間減小。例如，依據該65 nm代之設計規則而將導線之間的空間減小到最小約100 nm以及依據該45 nm代之設計規則而減小到最小約70 nm。原則上難以改善微影蝕刻程序中的偏移，同時對該空間之減小作出補償。

該原因之一第二因素在於一事實，即接觸孔之開啟尺寸減小程度很高。在普通的微影蝕刻程序中，當接觸孔之開啟尺寸減小到或低於120 nm時，穩定的開啟變得明顯困難。此外，對於金屬埋入程序、接觸孔阻抗之降低、應力遷移之類，要確保導線可靠性十分困難。因此，相對於導線之間空間的減小比率，最終開啟尺寸往往保留於較大側，從而使得更難以確保導線之間的必需空間。

該原因之一第三因素係，隨著導線之小型化，由於為降低導線電容而提前降低該等絕緣膜之介電常數，因此該等絕緣膜本身之介電強度逐漸降低。因此，電壓阻抗限制寬度往往變大，從而亦使得難以確保導線之間的必需空間。

為實現以上目的，依據本發明之一第一方面，一種半導體元件製造方法包括以下步驟：將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上以形成一絕緣膜；依次將一第一遮罩層、一第二遮罩層及一第三遮罩層

層壓於該絕緣膜上；為處理該第三遮罩層中的一導線溝槽而形成一導線溝槽圖案；選擇性地將形成狀態為伸進該導線溝槽圖案內部的第三遮罩層處理成一錐形形狀；為在該第二遮罩層與該第一遮罩層內形成一接觸孔而形成一接觸孔圖案，以及移除該第三遮罩層之錐形形狀部分；以及藉由將該第三遮罩層用作一蝕刻遮罩來進行蝕刻而在該第二遮罩層與該第一遮罩層中形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第二遮罩層及該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

依據本發明之一第二方面，一種半導體元件製造方法包括以下步驟：將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上以形成一絕緣膜；依次將一第一遮罩層、一第二遮罩層及一第三遮罩層層壓於該絕緣膜上；為處理該第三遮罩層中的一導線溝槽而形成一導線溝槽圖案；為在該第二遮罩層與該第一遮罩層內形成一接觸孔而形成一接觸孔圖案，以及選擇性地將形成狀態為伸進該導線溝槽圖案內部的第二遮罩層處理成一錐形形狀；以及藉由將該第三遮罩層用作一蝕刻遮罩來進行蝕刻而在該第二遮罩層與該第一遮罩層中形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第二遮罩層及該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

依據本發明之一第三方面，一種半導體元件製造方法包

括以下步驟：將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上以形成一絕緣膜；依次將一第一遮罩層、一第二遮罩層層壓於該絕緣膜上；為處理該第二遮罩層中的一導線溝槽而形成一導線溝槽圖案；藉由使用具有一用以形成一接觸孔的接觸孔圖案之一光阻圖案而在該第二遮罩層與該第一遮罩層內形成一接觸孔圖案，以及選擇性地將形成狀態為伸進該光阻遮罩中的接觸孔圖案內部之第二遮罩層處理成一錐形形狀；以及藉由將該第二遮罩層用作一蝕刻遮罩來進行蝕刻而在該第一遮罩層中形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

在依據本發明之半導體元件製造方法中的每一方法中，選擇性地將未被該導線所覆蓋的接觸孔開啟區域內之第三遮罩層或第二遮罩層處理成一錐形形狀，以便能選擇性地減小未被該上部層導線所覆蓋的接觸孔。因此，可防止在該導線與電位不同的相鄰導線之間產生短路缺陷。

【實施方式】

本發明之目的係提供一種製造具有一多層導線之半導體元件之方法，其藉由防止該導線與鄰近一接觸孔的電位不同之導線之間的短路缺陷而使得該多層導線具有較高的性能、良率及可靠性，而且，即使在使用該65 nm代及後面幾代的低介電常數膜之一小型化多層導線中，亦不會犧牲接觸孔之開啟特性及可靠性。經由選擇性地將未被導線溝槽

所覆蓋的接觸孔開啟區域內之一第三遮罩處理成一錐形形狀並因此選擇性地減小未被上部層導線所覆蓋的接觸孔來防止該導線與電位不同的相鄰導線之間的短路缺陷，從而實現上述目的。

[第一項具體實施例]

將參考圖 1A 及 2E 所示的製造步驟斷面圖(部分包括平面配置圖)來說明依據本發明該半導體元件製造方法之一第一項具體實施例。

如圖 1A 所示，在積聚於一基板(未顯示)上的一下部絕緣膜 11 上形成一層間絕緣膜 12。該層間絕緣膜 12 係由一層壓膜組成，該層壓膜由一有機膜 13 與一氧化矽(SiO_2)膜 14 組成。該層間絕緣膜 12 具有在導線溝槽 15 內之一第一導線 16，以及一近接觸層、一金屬阻障層及該近接觸層與該金屬阻障層之間的類似物。例如，藉由埋入一銅(Cu)膜而將該第一導線層 16 形成為約 150 nm 之導線厚度。此外，在該第一導線 16 上形成一防氧化層 17。藉由形成(例如)厚度為 35 nm 之一碳化矽(SiC)膜而形成該防氧化層 17。

隨後，形成接觸孔之間的一第一絕緣膜 18。作為該第一絕緣膜 18，一含碳氧化矽(SiOC)膜係形成為 135 nm 之厚度。作為用以形成該 SiC 膜及該 SiOC 膜的方法之一範例，使用一平行的平板型電漿 CVD 裝置。作為該等形成步驟中之一原材料氣體，甲基矽烷在二情況下係用作一矽源。在基板溫度為 300 至 400°C，電漿功率為 150 至 350 W，而膜形成大氣壓力約 100 至 1000 Pa 之條件下，實施該膜之形成步

驟。可形成介電常數約為3.8之SiC膜與介電常數約為2.6之SiOC膜。

接下來，在該第一絕緣膜18上形成一第二絕緣膜19。積聚介電常數約為2.6之一有機聚合物以作為該第二絕緣膜19。在此項具體實施例中，作為一範例，一聚多芳基酯(PAR)膜係形成為110 nm之厚度。藉由一旋塗方法而積聚一先驅物，然後於350至450°C下進行固化處理，從而能形成該有機聚合物膜。可使用的其他範例，包括一苯環丁烯(BCB)膜、聚醯亞胺膜及一非晶碳膜。

隨後，在該第二絕緣膜19上依次形成一第一遮罩層21、一第二遮罩層22及一第三遮罩層23。在此，該等第一、第二及第三遮罩層21、22及23係由透光材料形成；作為一範例，該第一遮罩21係由厚度為145 nm之一SiO₂膜組成，該第二遮罩層22係由厚度為50 nm之一氮化矽(SiN)膜組成，而該第三遮罩層23係由厚度為35 nm之一SiO₂膜組成。然後，在該第三遮罩層23上形成一光阻遮罩41以形成導線溝槽。該光阻遮罩41具有用以開啟一導線溝槽圖案之開啟部分42。

可藉由將矽甲烷(SiH₄)用作一矽源(原材料氣體)而將一氧化二氮(N₂O)氣體用作一氧化劑之一電漿CVD方法來形成用以組成該第一遮罩層21與該第三遮罩層23之SiO₂膜。若在組成該第一遮罩層21的SiO₂膜形成時，氧化(尤其係由一下部層PAE膜組成的第二絕緣膜19之氧化)成為一問題，則較佳的係形成所含矽數量超過化學計量數量之一氧化矽

膜。可將矽甲烷(SiH_4)用作一矽源(原材料氣體)、將氨(NH_3)氣體用作一氮化劑、將一氧化二氮(N_2O)氣體用作一氧化劑，而將一惰性氣體用作一載氣，藉由與用於該 SiO_2 膜之電漿CVD裝置相同的電漿CVD裝置，來形成組成該第二遮罩層22之 SiN 膜。

接下來，如圖1B所示，將該光阻遮罩41[參見圖1A]用作一蝕刻遮罩來實施乾式蝕刻，從而在該第三遮罩層23內形成一導線溝槽圖案24。將八氟丁烷(C_4F_8)、一氧化碳(CO)及氬(Ar)用作一蝕刻氣體，而採取1:5:20之流率比(C_4F_8 : CO : Ar)、1200 W之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施該蝕刻。由於可獲得在該蝕刻條件下相對於該 SiN 膜不小於10之蝕刻選擇性比率(SiO_2/SiN)，因此組成下部第二遮罩層22之 SiN 膜所受蝕刻極少。此外，在蝕刻該第三遮罩層23後，例如，實施以一氧(O_2)電漿為主之一灰化處理以及藉由以一有機胺為主的化學液體來進行之化學處理，從而能完全移除該光阻遮罩41及該蝕刻處理所產生的該等碎片沈積物。

接下來，形成一光阻遮罩43以形成一接觸孔圖案。該光阻遮罩43具有用以形成接觸孔之開啟部分44。此外，該光阻遮罩43之形成使得在其至少一部分處與該第三遮罩層23內的導線溝槽圖案24重疊。由於該第三遮罩層23內的導線溝槽圖案24處產生的段差可能一般係受抑制為該第三遮罩層23之膜厚度(約35 nm)，因此，可獲得具有與圖案化一平坦部分之情況下實質上相同的微影蝕刻特徵之一良好的接

觸孔光阻遮罩形狀。此外，即使在連帶使用一塗層類型防反射膜(例如，BARC)之情況下，亦可將該防反射膜之埋藏形狀之變化抑制為一微小程度，此取決於該第三遮罩層23之尺寸及密度。可使得在曝露處理或尺寸變化時會造成光阻形狀惡化之焦深分散減少。

用以形成接觸孔之光阻遮罩43係形成為與該第一導線16或該導線溝槽圖案24相對對齊；在此情況下，由於基於該微影蝕刻程序而可能發生的偏移及該等層尺寸之分散，而產生與該導線溝槽圖案24相關之無邊界結構的區域25。

接下來，如圖1C所示，將具有該接觸孔圖案之光阻遮罩43[參見圖1B]用作一蝕刻遮罩，藉由一乾式蝕刻方法，在該第三遮罩層23、該第二遮罩層22及該第一遮罩層21中形成一連接圖案26。在此步驟中，實施能選擇性地減小未被該等導線溝槽所覆蓋的接觸孔圖案26之一處理。將參考圖2A至2E來詳細說明該形成方法。

首先，如圖2A所示，將該第三遮罩層23之部分曝露於該光阻遮罩43內該等開啟部分44之底部部分。在此條件下，如圖2B所示，將曝露於用以形成接觸孔的光阻遮罩43內該等開啟部分44底部部分處之第三遮罩層23蝕刻成一錐形形狀。將八氟丁烷(C_4F_8)及氧(O_2)用作一蝕刻氣體，並採取8:5之氣體流量比($C_4F_8:O_2$)、1000 W之偏壓功率及 $20^\circ C$ 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施該蝕刻。由於可獲得在該蝕刻條件下相對於該SiN膜不小於10之蝕刻選擇性比率(SiO_2/SiN)，因此該下部第二遮罩層22之SiN

膜所受蝕刻極少。此外，在該等蝕刻條件下該SiO₂膜處理成的錐形角約為50°。因此，對於與藉由轉移該導線溝槽圖案24而形成的導線溝槽部分重疊之接觸孔，可獲得約20 nm之減小量。

在針對該第三遮罩層23(即，該SiO₂膜)之蝕刻條件下，可藉由改變該第三遮罩層23之膜厚度或改變處理成的錐形角，來任意調節上述無邊界結構中該等接觸孔之減小量。例如，當該第三遮罩層23之SiO₂膜厚度較大時，可將該減小量設定成較大，即使係藉由在相等錐形角之條件下進行蝕刻。但是，該SiO₂膜之膜厚度增加引起該等接觸孔之光阻圖案化中的下部段差增加。因此，較佳的係將該膜厚度設定不超過100 nm。若該SiO₂膜之膜厚度太小，則不僅使得該接觸孔之減小量減小，而且使得該第二遮罩層22的SiN膜內之導線溝槽之處理過程中的可控制性降低。因此，較佳的係將該膜厚度設定為不小於25 nm。可藉由改變該氣體流量比(C₄F₈:O₂)來調節該膜之處理成的錐形角。在此情況下，考慮到該等接觸孔之減小效果，較佳的係處理成的錐形角不超過80°。為使得與該等接觸孔(其並非該無邊界結構)的成品尺寸有一適當的相對差異，較佳的係處理成的錐形角不小於30°。此處及下文中，術語「處理成的錐形角」表示傾斜表面與該基板表面法線所成之角度。

隨後，如圖2C所示，在該等接觸孔開啟區域內，在該第二遮罩層22之膜SiN及該第一遮罩層21之SiO₂膜中開啟一接觸孔圖案26。在蝕刻該第一遮罩層21時，亦蝕刻掉該第

三遮罩層 23 之錐形部分 [參見圖 2B]。將二氟甲烷 (CH_2F_2)、氧 (O_2) 及氬 (Ar) 用作一蝕刻氣體，並採取 2:1:5 之氣體流量比 ($\text{CH}_2\text{F}_2:\text{O}_2:\text{Ar}$)、100 W 之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來對該 SiN 膜實施該蝕刻。由於在該等蝕刻條件下能獲得相對於該 SiO_2 膜不小於 3 之一蝕刻選擇性比率 (SiN/SiO_2)，因此幾乎不會使處理成該錐形形狀且曝露於上部層的該第三遮罩層 23 之 SiO_2 膜後退。

同樣，將八氟丁烷 (C_4F_8)、一氧化碳 (CO) 及氬 (Ar) 用作一蝕刻氣體，並採取 1:5:20 之氣體流量比 ($\text{C}_4\text{F}_8:\text{CO}:\text{Ar}$)、1200 W 之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來對該第一遮罩層 21 之 SiO_2 膜實施該蝕刻。在此蝕刻處理中，還移除該第三遮罩層 23 處理成該錐形形狀且曝露於上部層之 SiO_2 膜。在此情況下，可獲得相對於該 SiN 膜不小於 10 之一蝕刻選擇性比率 (SiO_2/SiN)。因此，該下部第二遮罩層 22 之 SiN 膜係用作一蝕刻遮罩，而該等接觸孔之不需要的後退受到限制。

接下來，如圖 2D 所示，藉由將該第三遮罩層 23、該第二遮罩層 22、該第一遮罩層 21 及類似者用作一蝕刻遮罩來實施一蝕刻處理，從而開啟該等接觸孔開啟區域內該第二絕緣膜 19 之接觸孔 31。此外，在蝕刻該第二絕緣膜 19 之 PAE 膜之時，能移除該光阻圖案 43 [參見圖 2B]。

將氨 (NH_3) 用作一蝕刻氣體，藉由一普通的高密度電漿蝕刻裝置，來實施對該第二絕緣膜 (其係一有機膜) 及該光阻遮罩 43 之蝕刻。使用 150 W 之一射頻 (RF) 功率及 20°C 之基板溫

度。由於在該等蝕刻條件下該光阻之蝕刻速度約等於該PAE之蝕刻速度，因此在該PAE膜內該等接觸孔開啟期間，該光阻圖案43後退。但是，該第二遮罩層22的SiN膜之存在使得可獲得一良好的接觸孔開啟形狀。順便提及，可獲得在該等蝕刻條件下該PAE膜相對於該SiN膜、該SiO₂膜及該SiOC膜不小於100之一蝕刻選擇性比率。

此外，如圖2E之平面配置圖中所示，在藉由此步驟而形成之接觸孔31中，以與處理該遮罩材料之情況下相同之方式，使得：相對於該上部層導線溝槽圖案24所覆蓋的區域內之接觸孔31(311)，有部分區域未被該上部層導線溝槽圖案24所覆蓋之接觸孔31(312)最多減小約20 nm。此外，該等接觸孔312之減小量依據該等接觸孔及該等上部層導線溝槽之尺寸分散及偏移量而變化。當該等無邊界區域減小時，該減小量亦減小。最後，確認組成該第三遮罩層23的SiO₂膜之經處理的段差[參見圖2D]。此外，在該第二遮罩層22之SiN膜在該等接觸孔312內部保持一月牙形狀之條件下，確認該SiO₂膜之經處理的段差32。

接下來，如圖1D所示，將具有導線溝槽圖案24的第三遮罩層23用作一蝕刻遮罩，而藉由一乾式蝕刻方法在該第二遮罩層22之SiN膜內延伸形成該導線溝槽圖案24。將二氟甲烷(CH₂F₂)、氧(O₂)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比(CH₂F₂:O₂:Ar)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施該蝕刻。由於可獲得該等蝕刻條件下相對於該SiO₂膜約為3之一選擇性比率

(SiN/SiO₂)，因此可在該第二遮罩內開啟該導線溝槽圖案24，且當該第三遮罩層23之SiO₂膜約為35 nm時該導線溝槽圖案24之厚度容限為50 nm。

此外，在針對該第二遮罩層22而使用該第三遮罩層23之蝕刻步驟中，可將該導線溝槽圖案24形成為穿透由曝露於該等接觸孔31底部部分之有機膜組成的第二絕緣膜19並延伸至由該SiOC膜組成的第一絕緣膜18之一中間部分。由於可獲得該等蝕刻條件下相對於該SiOC膜略小於1之一蝕刻選擇性比率(SiN/SiOC)，因此在蝕刻由厚度為50 nm的SiN膜組成之第二遮罩層22之情況下，可將由該SiOC膜組成的第一絕緣膜18蝕刻至80 nm之深度(包括所需要的過度蝕刻量)。

接下來，如圖1E所示，在由該SiOC膜組成的第一絕緣膜18內完整地形成接觸孔31。在此藉由將由該SiN膜(具有該導線溝槽圖案24)組成的第二遮罩層22用作一蝕刻遮罩，來同時移除由保留於該導線溝槽區域內的SiO₂膜組成之第一遮罩層21。將八氟化五碳(C₅F₈)、一氧化碳(CO)、氬(Ar)及氧(O₂)用作一蝕刻氣體，採取1:10:5:1之氣體流量比(C₅F₈:CO:Ar:O₂)、1600 W之偏壓功率及20°C之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲得在該等蝕刻條件下相對於該SiN膜不小於10之一蝕刻選擇性比率，因此，若該第二遮罩層22之SiN膜厚度為50 nm則可充分地蝕刻該第一絕緣膜18中保留於該等接觸孔底部部分之約50 nm的部分SiOC膜，並可以充分的容限而在抑制

該等導線溝槽之上部側加寬及該肩部蝕刻之同時獲得一良好的開啟形狀。

下面，如圖1F所示，對保留於該導線溝槽圖案24底部部分之第二絕緣膜19之PAE膜進行蝕刻以形成導線溝槽33，而蝕刻存在於該等接觸孔31底部部分之該防氧化膜17之SiC膜以進一步延伸形成該等接觸孔31。結果，該等接觸孔31到達該第一導線16。以此方式，完成預定的所謂雙鑲嵌處理。順便提及，在對存在於該等接觸孔31底部部分的該防氧化層17之SiC膜進行蝕刻之程序期間移除保留於該等導線溝槽區域外之第二遮罩層22之SiN膜。

藉由使用一普通的高密度電漿蝕刻裝置，並將(例如)氮(NH_3)用作一蝕刻氣體，以150 W之一射頻功率及 20°C 之基板溫度來實施該第二絕緣膜19之PAE膜內該等導線溝槽33之形成。由於可獲得該等蝕刻條件下相對於該第一絕緣膜18之SiOC膜不小於100之一蝕刻選擇性比率，因此可以良好的可控制性來實行該等導線溝槽33之開啟且無深度分散。

將二氟甲烷(CH_2F_2 、氧(O_2)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比($\text{CH}_2\text{F}_2:\text{O}_2:\text{Ar}$)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來對存在於該等接觸孔31底部部分的防氧化層17之SiC膜實施蝕刻。應注意，由於在上述蝕刻條件下相對於該SiOC膜之選擇比率約為1，因此，若對存在於該等導線溝槽33底部部分的SiOC膜之蝕刻成為一問題，則可在該第二絕緣膜19之PAE膜內該等導線溝槽33開啟之前對該防氧化層17之SiC膜實施蝕刻。此

外，在對該防氧化層 17 之 SiC 膜進行蝕刻期間，能完全移除保留於該等層間膜(第一及第二絕緣膜 18 及 19)上部部分的第二遮罩層 22 之 SiN 膜。

接下來，使用一適當的化學液體及一射頻噴濺處理來實施一後處理，以清除該等導線溝槽及該等接觸孔的側壁上及存在於該等接觸孔底部部分處之一變性銅層上保留的蝕刻碎片。然後，如圖 1G 所示，藉由一噴濺方法，在該等導線溝槽 33 及該等接觸孔 31 之內部表面上積聚作為一阻障金屬層 35 之一 Ta 膜。藉由一電鍍方法而積聚一銅晶種層及一銅膜 36，或藉由一噴濺方法而積聚一銅膜 36，但圖中未顯示。因此，可將一銅導電膜埋入該等導線溝槽 33 及該等接觸孔 31 內。還可將除銅以外的其他金屬材料用作該導電膜。

進一步，在由此而積聚的該銅膜 36 與該阻障金屬層 35 中，藉由一化學機械研磨(CMP)方法來移除作為該第二導線不需要之部分，從而如圖 1H 所示，該第二導線 37 在該等導線溝槽 33 內係完整的，且其一部分係經由該等接觸孔而連接至該第一導線 16。從而，獲得所謂雙鑲嵌結構之一多層導線結構。將組成最終上部導線的第二導線 37 之膜厚度調節為約 170 nm。此外，採取與該下部層導線的第一導線 16 之情況中一樣的方式，形成用以覆蓋第二導線 37 之一防氧化層 38，例如其係一 SiC 膜。

在經由如上所述第一項具體實施例之製造步驟而形成的所謂雙鑲嵌結構之多層導線中，在該等區域 40 內，依據該等導線溝槽及該等接觸孔的成品尺寸分散及偏移而選擇性

地僅減小該等無邊界結構的接觸孔312，從而可防止該導線與電位不同的相鄰導線之間的短路缺陷並可確保一介電強度。此外，對於該等區域40內非無邊界結構的接觸孔311以及偏移極小的接觸孔，不會發生不必要的減小。因此，與將該等接觸孔作為一整體而減小之情況相比，可使開啟特徵、該等接觸孔處的光阻特徵、應力偏移及類似者對該導線可靠性之影響最小化。此外，可以較高的良率來獲得經由該多層導線程序(包括至少上述步驟)而製造的半導體元件。

順便提及，上述各種層間絕緣膜不限於上面所提到的膜類型、膜厚度及形成方法。由該等Cu膜組成的防氧化層17及38可能係藉由一CVD方法而形成的SiN膜，而且可能係一SiC膜內包含輕元素(例如，氮(N₂)及氫(H))之一膜。

該等第一及第二絕緣膜18及19組成該等層間膜，該等層間膜將具有該等接觸孔31與該等導線溝槽33，該等第一及第二絕緣膜18及19可能係(例如)藉由一CVD方法而形成之一SiOF膜或SiO₂膜或藉由一旋塗方法而形成之一甲基矽酸鹽(MSQ)膜或含氫矽酸鹽(HSQ)膜以替代該SiOC膜。此外，可能施加一聚丙炔醚膜、一非晶碳膜或一聚四氟乙烯膜以替代該PAE膜。此外，可能施加一乾凝膠膜、具有一多孔結構之一MSQ膜、一有機聚合物或類似者或其一組合。

此外，儘管在以上說明中形成於該PAE膜及該MSQ膜上的第一至第三遮罩層21至23從上部側依次分別係SiO₂/SiN/SiO₂(35/50/145 nm)，但由於該等膜類型、膜厚度

及形成方法之組合使得允許藉由使用該上部層遮罩來蝕刻該下部層遮罩，因此該等遮罩層並不限於上面所說明的細節。例如，該第二遮罩層22之SiN膜可能係藉由一CVD方法而形成之一SiC膜或SiCN膜，因此，可使其在該蝕刻選擇性比率所允許的範圍內變薄。同樣，作為最頂層的第三遮罩23可能係藉由一噴濺方法而形成之一非晶矽膜。在此情況下，可在針對該非晶矽膜之蝕刻條件下容易地實施該錐形蝕刻以減小該等無邊界結構之接觸孔。

在此項具體實施例中，最終在該等導線層之間留下厚度約50 nm的組成該第一遮罩層21之SiO₂膜。但是，若用以黏附至該阻障金屬之黏附特性、該CMP步驟中銅的機械強度以及在對一銅氧化物進行一減小處理(在針對銅而形成該防氧化層38之前實施)時的損害不會造成問題，則該第一遮罩層21可由一低介電常數的無機膜(例如，一SiOF膜、一SiOC膜、一HSQ膜等)組成。此外，在類似限制所允許的範圍內，可藉由該雙鑲嵌蝕刻步驟或藉由針對銅之CMP步驟而移除該第一遮罩層21。

[第二項具體實施例]

現在，下面將參考圖3A及4G所示的製造步驟圖(部分包括平面配置圖)來說明依據本發明該半導體元件製造方法之一第二項具體實施例。順便提及，以與上面所使用的符號相同之符號來表示與該第一項具體實施例中的該些組成零件相同的組成零件。

如圖3A所示，在積聚於一基板(未顯示)上的一下部絕緣

膜11上形成一層間絕緣膜12。該層間絕緣膜12係由(例如)一層壓膜組成,該層壓膜係由一有機膜13與一氧化矽(SiO_2)膜14組成。該層間絕緣膜12在導線溝槽15內具有一第一導線16,以及一近接觸層、一金屬阻障層以及在該近接觸層與該阻障層之間的其他類似者。藉由埋入一銅(Cu)膜而將該第一導線16形成為(例如)約150 nm之導線厚度。此外,在該第一導線16上形成一防氧化層17。該防氧化層17係(例如)由厚度為35 nm之一碳化矽(SiC)膜組成。

隨後,形成接觸孔層之間的一第一絕緣膜18。作為該第一絕緣膜18,一含碳氧化矽(SiOC)膜係形成為135 nm之厚度。作為該 SiC 膜及該 SiOC 膜形成之一範例,使用一平行平板型電漿CVD裝置,且在二情況中皆以甲基矽烷作為一矽源(原材料氣體)。該等膜形成條件為:基板溫度為300至400°C,電漿功率為150至350 W,而膜形成之大氣壓力約100至1000 Pa。可形成介電常數約為3.8之 SiC 膜與介電常數約為2.6之 SiOC 膜。

接下來,在該第一絕緣膜18上形成一第二絕緣膜19。形成介電常數約為2.6之一有機聚合物膜以作為該第二絕緣膜19。在此項具體實施例中,作為一範例,一聚多芳基酯(PAR)膜係形成為110 nm之厚度。藉由一旋塗方法而積聚一先驅物,然後於350至450°C下進行固化處理,從而能形成該有機聚合物。可使用的其他範例,包括一苯環丁烯(BCB)膜、聚醯亞胺膜及一非晶碳膜。

隨後,在該第二絕緣膜19上依次形成一第一遮罩層21、

一第二遮罩層 22 及一第三遮罩層 23。該等第一、第二及第三遮罩層 21、22 及 23 係由透光材料形成。作為一範例，該第一遮罩層 21 係由厚度為 145 nm 之一 SiO_2 膜組成，該第二遮罩層 22 係由厚度為 50 nm 之一氮化矽 (SiN) 膜組成，而該第三遮罩層 23 係由厚度為 35 nm 之一 SiO_2 膜組成。然後，在該第三遮罩層 23 上形成一光阻遮罩 41 以形成導線溝槽。該光阻遮罩 41 具有用以開啟一導線溝槽圖案之開啟部分 42。

可藉由將矽甲烷 (SiH_4) 用作一矽源 (原材料氣體) 而將一氧化二氮 (N_2O) 氣體用作一氧化劑之一電漿 CVD 方法來形成用以組成該第一遮罩層 21 與該第三遮罩層 23 之 SiO_2 膜。若在組成該第一遮罩層 21 的 SiO_2 膜形成時，由一下部層 PAE 膜組成的第二絕緣膜 19 之氧化尤其成為一問題，則較佳的係形成所含矽數量超過化學計量數量之一氧化矽膜。可將矽甲烷 (SiH_4) 用作一矽源 (原材料氣體)、將氨 (NH_3) 氣體用作一氮化劑、將一氧化二氮 (N_2O) 氣體用作一氧化劑，而將一惰性氣體用作一載氣，藉由與用於該 SiO_2 膜之電漿 CVD 裝置相同的電漿 CVD 裝置，來形成組成該第二遮罩層 22 之 SiN 膜。

接下來，如圖 3B 所示，將該光阻遮罩 41 [參見圖 3A] 用作一蝕刻遮罩來實施乾式蝕刻，從而在該第三遮罩層 23 內形成一導線溝槽圖案 24。將八氟丁烷 (C_4F_8)、一氧化碳 (CO) 及氬 (Ar) 用作一蝕刻氣體，並採取 1:5:20 之氣體流量比 ($\text{C}_4\text{F}_8:\text{CO}:\text{Ar}$)、1200 W 之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲

得在該等蝕刻條件下相對於該SiN膜不小於10之蝕刻選擇性比率(SiO_2/SiN)，因此該下部第二遮罩層22之SiN膜所受蝕刻極少。此外，在蝕刻該第三遮罩層23後，例如，實施以一氧(O_2)電漿為主之一灰化處理以及藉由以一有機胺為主的化學液體來進行之化學處理，從而能完全移除該光阻遮罩41及該蝕刻處理後保留的碎片。

接下來，形成一光阻遮罩43以形成一接觸孔圖案。該光阻遮罩43具有用以形成接觸孔之開啟部分44。此外，該光阻遮罩43之形成使得其至少部分與該第三遮罩層23內的導線溝槽圖案24重疊。該第三遮罩層23內的導線溝槽圖案24中所產生的段差一般係受抑制為約35 nm(其係該第三遮罩23之膜厚度)，從而可獲得具有實質上與圖案化一平坦部分之情況下相同的微影蝕刻特徵之一良好的接觸孔光阻遮罩形狀。此外，即使在連帶使用一塗層類型防反射膜(例如BARC)之情況下，該防反射膜的埋入形狀之變化亦可能係受抑制為一微小位準，此係取決於該第三遮罩層23之尺寸及密度，從而可使得在曝露及尺寸變化之時會導致該光阻形狀惡化之深度分散減少。

該光阻遮罩43係形成為與該第一導線16或該導線溝槽圖案24相對對齊。在此情況下，由於該等層之偏移及尺寸分散(其可能基於一微影蝕刻程序而產生)而產生與該導線溝槽圖案24相關之無邊界結構的區域25。

接下來，如圖3C所示，藉由將具有該接觸孔圖案之光阻遮罩43[參見圖3B]用作一蝕刻遮罩之一乾式蝕刻方法，在

該第三遮罩層 23、該第二遮罩層 22、該第一遮罩層 21 中形成一接觸孔圖案 26。此外，在此步驟中，實施能選擇性地減小未被該等上部層導線溝槽所覆蓋的接觸孔圖案 26 之一處理。將參考圖 4A 至 4G 來詳細說明該形成方法。

首先，如圖 4A 所示，將該第三遮罩層 23 之部分曝露於該光阻遮罩 43 的開啟部分 44 之底部部分。在此條件下，如圖 4B 所示，將用以形成該接觸孔圖案之光阻遮罩 43 及曝露於其底部部分之第三遮罩層 23 用作一蝕刻遮罩，來實施蝕刻。將該光阻遮罩 43 內的開啟部分 44 之底部部分處所曝露的第二遮罩層 22 蝕刻成延伸形成該接觸孔圖案 26。將二氟甲烷 (CH_2F_2)、氧 (O_2) 及氬 (Ar) 用作一蝕刻氣體，並採取 2:1:5 之氣體流量比 ($\text{CH}_2\text{F}_2:\text{O}_2:\text{Ar}$) 及 100 W 之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲得該等蝕刻條件下相對與該 SiO_2 膜約為 3 之一蝕刻選擇性比率 (SiN/SiO_2)，因此，若該第三遮罩層 23 之 SiO_2 膜之厚度約為 35 nm，則可於一限度內在該第二遮罩層 22 之一厚度為 50 nm 的 SiN 膜內開啟該接觸孔圖案 26。

隨後，如圖 4C 所示，完全蝕刻曝露於該光阻遮罩 43 內該等開啟部分 44 之底部部分處的該第三遮罩層 23 之 SiO_2 膜。將八氟化五碳 (C_5F_8)、一氧化碳 (CO)、氬 (Ar) 及氧 (O_2) 用作一蝕刻氣體，採取 1:10:5:1 之氣體流量比 ($\text{C}_5\text{F}_8:\text{CO}:\text{Ar}:\text{O}_2$)、1600 W 之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲得在該等蝕刻條件下相對於該 SiN 膜不小於 10 之蝕刻選擇性比率

(SiOC/SiN)，因此該下部第二遮罩層22之SiN膜所受蝕刻極少。此外，該下部第一遮罩層21之SiO₂膜之一上部層部分亦受到蝕刻。

然後，如圖4D所示，將曝露於該光阻遮罩43內該等開啟部分44之底部部分處的該第二遮罩層22之SiO₂膜完全蝕刻成一錐形形狀。將二氟甲烷(CH₂F₂)及氧(O₂)用作一蝕刻氣體，並採取2:1之氣體流量比(CH₂F₂:O₂)及500 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。此外，在該等蝕刻條件下該SiN膜經處理成的錐形角約為50°。此情形使得相對於被該等上部層導線溝槽所覆蓋的接觸孔，可將一無邊界結構的接觸孔減小約20 nm。

在針對該SiN膜之蝕刻條件下，可藉由改變該第二遮罩層22的SiN膜之膜厚度或處理成的錐形角，來任意調節該等無邊界結構的接觸孔之減少量。例如，當該第二遮罩層22之SiO₂膜厚度較大時，可經由相同錐形角之蝕刻而使得該減少量較大。但是，由於該SiN膜厚度之增加使得後面難以處理該第二遮罩層22內的導線溝槽，因此較佳的係將該厚度設定為不超過100 nm。此外，若該第二遮罩層22太薄，則不僅使得該等接觸孔之減少量減小，還使得該第一遮罩層21的SiO₂膜內及該第一絕緣膜18的SiOC膜內該接觸孔圖案26之開啟的可控制性降低。因此，較佳的係將該厚度設定為不小於25 nm。此外，可藉由改變該氣體流量比(CH₂F₂:O₂)來調節該第二遮罩層22的SiN膜之處理成的錐形角；考慮到該等接觸孔之減少效果，處理成的錐形角較佳的係不超過

80°。為使得與非無邊界結構的接觸孔之成品尺寸有適當的相對差異，該錐形角較佳的係不小於30°。

隨後，如圖4E所示，實施該等接觸孔開啟區域內該第一遮罩層21之SiO₂膜之開啟以形成一接觸孔圖案26。將八氟丁烷(C₄F₈)、一氧化碳(CO)及氬(Ar)用作一蝕刻氣體，並採取1:5:20之流動速度比率(C₄F₈:CO:Ar)、1200 W之偏壓功率及20°C之基板溫度，藉由一般磁電管系統之一蝕刻裝置來對該SiO₂膜實施蝕刻。由於可獲得在該等蝕刻條件下相對於該SiN膜不小於10之蝕刻選擇性比率(SiO₂/SiN)，因此幾乎不會讓處理成該錐形形狀的SiN膜後退。

接下來，如圖4F所示，藉由將該第三遮罩層23、該第二遮罩層22及類似者用作一蝕刻遮罩之一蝕刻處理，而在該等接觸孔開啟區域(接觸孔圖案26)中存在的第二絕緣膜19內開啟接觸孔31。此外，在蝕刻該第二絕緣膜19之PAE膜之時，能移除該光阻圖案43[參見圖4E]。

採取150 W之射頻功率及20°C之基板溫度，藉由使用一普通的高密度電漿蝕刻裝置以及將氨(NH₃)用作一蝕刻氣體來蝕刻該第二絕緣膜19(其係一有機膜)及該光阻遮罩43[參見圖4D]。由於在該等蝕刻條件下該光阻之蝕刻速度約等於該PAE之蝕刻速度，因此在該第二絕緣膜19的PAE膜內開啟期間，該光阻圖案43逐漸後退。但是，該第二遮罩層22的SiN膜之存在使得可獲得一良好的接觸孔開啟形狀。順便提及，可獲得在該等蝕刻條件下該PAE膜相對於該SiN膜、該SiO₂膜及該SiOC膜而不小於100之一蝕刻選擇性比率。

此外，如圖4G之平面配置圖中所示，在藉由此步驟而形成之接觸孔31中，採取與處理該遮罩材料的情況中相同之方式，使得：相對於該上部層導線溝槽圖案24所覆蓋的區域內之接觸孔31(311)，有部分區域未被該上部層導線溝槽圖案24所覆蓋之接觸孔31(312)最多減小約20 nm。此外，該等接觸孔312之減小量依據該等接觸孔及該等上部層導線溝槽之尺寸分散及偏移量而變化。在此情況下，當該等無邊界區域減小時，該減小量亦減小。最後，確認該第二遮罩層22的SiN膜之經處理的段差39[參見圖4F]。在該第二遮罩層22之SiN膜以一月牙形狀留在該等接觸孔312內部之情況下，確認該SiN膜為錐形形狀39。

接下來，如圖3D所示，將具有導線溝槽圖案24的第三遮罩層23用作一蝕刻遮罩，而藉由一乾式蝕刻方法在該第二遮罩層22之SiN膜內延伸形成該導線溝槽圖案24。將二氟甲烷(CH_2F_2)、氧(O_2)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比($\text{CH}_2\text{F}_2:\text{O}_2:\text{Ar}$)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲得該等蝕刻條件下相對於該 SiO_2 膜約為3之一選擇性比率(SiN/SiO_2)，因此，例如，若該第三遮罩 SiO_2 膜20約為35 nm，則可開啟厚度限度為50 nm之第二遮罩22內的導線溝槽圖案24。

此外，在針對該第二遮罩層22而使用該第三遮罩層23之蝕刻步驟中，可將該導線溝槽圖案24形成為穿透由曝露於該等接觸孔31的底部部分處之有機膜組成的第二絕緣膜19

並延伸至該第一絕緣膜18之一中間部分。由於可獲得該等蝕刻條件下相對於該SiOC膜略小於1之一蝕刻選擇性比率(SiN/SiOC)，因此在蝕刻由厚度為50 nm的SiN膜組成之第二遮罩層22之情況下，可將由該SiOC膜組成的第一絕緣膜18內形成的接觸孔31蝕刻至80 nm之深度(包括所需要的過度蝕刻量)。

接下來，如圖3E所示，在由該SiOC膜組成的第一絕緣膜18內完整地形成該等接觸孔31。在此藉由將由該SiN膜(具有該導線溝槽圖案24)組成的第二遮罩層22用作一蝕刻遮罩，來同時移除由保留於該導線溝槽區域內的SiO₂膜組成之第一遮罩層21。將八氟化五碳(C₅F₈)、一氧化碳(CO)、氬(Ar)及氧(O₂)用作一蝕刻氣體，採取1:10:5:1之氣體流量比(C₅F₈:CO:Ar:O₂)、1600 W之偏壓功率及20°C之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於可獲得在該等蝕刻條件下相對於該SiN膜不小於10之一蝕刻選擇性比率，因此，若該第二遮罩層22之SiN膜厚度為50 nm，則可於一充分的限度內，充分地蝕刻保留於該等接觸孔底部部分處的該第一絕緣膜18之約50 nm的部分SiOC膜，並可在抑制該等導線溝槽之上部側加寬或該肩部蝕刻之同時獲得一良好的開啟形狀。

然後，如圖3F所示，對保留於該導線溝槽圖案24底部部分之第二絕緣膜19之PAE膜進行蝕刻以形成導線溝槽33，並對存在於該等接觸孔31底部部分的該防氧化膜17之SiC膜進行蝕刻以進一步延伸形成該等接觸孔31。結果，該等接

觸孔31到達該第一導線16。以此方式，完成預定的所謂雙鑲嵌處理。順便提及，在對存在於該等接觸孔22底部部分的該防氧化層17之SiC膜進行蝕刻之程序期間，移除保留於該等導線溝槽區域外的該第二遮罩層22之SiN膜。

將氨(NH₃)用作一蝕刻氣體，採取150 W之射頻功率及20°C之基板溫度，藉由使用一普通的高密度電漿蝕刻裝置來實施該第二絕緣膜19之PAE膜內該等導線溝槽33之形成。由於可獲得該等蝕刻條件下相對於該第一絕緣膜18的SiOC膜而不小於100之一蝕刻選擇性比率，因此可以良好的可控制性來實行該等導線溝槽33之開啟而無深度分散。

將二氟甲烷(CH₂F₂)、氧(O₂)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比(CH₂F₂:O₂:Ar)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來對存在於該等接觸孔31底部部分的防氧化層17之SiC膜實施蝕刻。應注意，由於在上述蝕刻條件下相對於該SiOC膜之選擇比率約為1，而且，若對存在於該等導線溝槽33底部部分的SiOC膜之蝕刻成為一問題，則可在該第二絕緣膜19之PAE膜內該等導線溝槽33開啟之前對該防氧化層17之SiC膜實施蝕刻。此外，在對該防氧化層17之SiC膜進行蝕刻期間，能完全移除保留於該等層間膜(第一及第二絕緣膜18及19)上部部分處的第二遮罩層22之SiN膜。

接下來，使用一適當的化學液體及一射頻噴濺處理來實施一後處理，以清除該等導線溝槽及該等接觸孔之側壁上及存在於該等接觸孔底部部分之一變性銅層上保留的碎

片。然後，如圖3G所示，藉由一噴濺方法，在該等導線溝槽33及該等接觸孔31之內部表面上形成作為一阻障金屬層35之一Ta膜。藉由一電鍍方法而積聚一銅晶種層及一銅膜36，或藉由一噴濺方法而積聚一銅膜36，但圖中未顯示。從而，可將一銅導電膜埋入該等導線溝槽33及該等接觸孔31內。還可將除銅以外的其他金屬材料用作該導電膜。

進一步，在由此而積聚的該銅膜36與該阻障金屬層35中，藉由一化學機械研磨(CMP)方法來移除作為該第二導線不需要之部分，從而如圖3H所示，該第二導線37在該等導線溝槽33內係完整的，且其一部分係經由該等接觸孔31而連接至該第一導線16。將組成最終上部層導線的第二導線37之膜厚度調節為，例如，約170 nm。此外，與該第一導線6作為該下部層導線之情況中的方式一樣，用以覆蓋該第二導線37之一防氧化層38係由(例如)一SiC膜組成。

在依據該第二項具體實施例經由上述製造步驟而形成的所謂雙鑲嵌結構之多層導線中，依據該等導線溝槽及該等接觸孔之成品尺寸分散及偏移而選擇性地僅減小該等無邊界結構的接觸孔312。在區域40中，可防止該導線與電位不同的相鄰導線之間的短路缺陷並可確保一介電強度。此外，不需要減小在非無邊界結構之區域中的接觸孔311及偏移極小的接觸孔。因此，與將該等接觸孔作為一整體而減小之情況相比，可使開啟特徵、該等接觸孔處的光阻特徵、應力偏移及類似者對該導線可靠性之影響最小化。此外，可以較高的良率來獲得經由該多層導線程序(包括至少上

述步驟)而製造的半導體元件。

順便提及，上述各種層間絕緣膜不限於上面所提到的膜類型、膜厚度及形成方法。由該等Cu膜組成的防氧化層17及38可能係由以一CVD方法形成的SiN膜組成，而且可能係在一SiC膜內包含輕元素(例如，氮(N₂)及氫(H))之膜。

該等第一及第二絕緣膜18及19係用作該等層間絕緣膜，該等層間絕緣膜將具有該等接觸孔31與該等導線溝槽33，可能替代該SiOC膜而將藉由一CVD方法而形成之一SiOF膜或SiO₂膜或藉由一旋塗方法而形成之一甲基矽酸鹽(MSQ)膜或含氫矽酸鹽(HSQ)膜用作該等第一及第二絕緣膜18及19。可施加一聚丙炔醚膜、一非晶碳膜或一聚四氟乙烯膜以替代該PAE膜。此外，可能施加一乾凝膠膜、具有一多孔結構之一MSQ膜、一有機聚合物等或其一組合。

此外，儘管形成於該PAE膜及該MSQ膜上的第一至第三遮罩層21至23從上部側起依次係SiO₂/SiN/SiO₂ (35/50/145 nm)，但由於該等膜類型、膜厚度及形成方法之組合使得允許藉由使用該上部層遮罩來蝕刻該下部層遮罩，因此該等遮罩層並不限於上面所說明的細節。例如，可採取藉由一CVD方法而形成之一SiC膜或SiCN膜來替代該第二遮罩層22之SiN膜，並可使該第二遮罩層22之SiN膜在該蝕刻選擇性比率所允許的範圍內變薄。同樣，作為該最頂層的第三遮罩23可能係藉由一噴濺方法而形成之一非晶矽膜。在此情況下，可針對該非晶矽膜，而在該等蝕刻條件下容易地實施該錐形蝕刻以減小該等無邊界結構之接觸孔。

在此項具體實施例中，最終在該等導線層之間留下厚度約 50 nm 的組成該第一遮罩層 21 之 SiO_2 膜。但是，若用以黏附至該阻障金屬之黏附特性、該 CMP 步驟中銅的機械強度以及在對一銅氧化物進行一減小處理(在針對銅而形成該防氧化層 38 之前實施)時的損害不會造成問題，則該第一遮罩層 21 可由一低介電常數的無機膜(例如，一 SiOF 膜、一 SiOC 膜、一 HSQ 膜等)組成。此外，在類似限制所允許的範圍內，亦可藉由該雙鑲嵌蝕刻步驟或藉由針對銅之 CMP 步驟而移除該第一遮罩層 21。

[第三項具體實施例]

現在，下面將參考圖 5A 至 5H 所示的製造步驟斷面圖來說明依據本發明該半導體元件製造方法之一第三項具體實施例。順便提及，以與上面所使用的符號相同之符號來表示與該第一項具體實施例中的該些組成零件相同之組成零件。在此第三項具體實施例中，顯示使用該二層硬遮罩系統之一雙鑲嵌程序之一製造方法。

如圖 5A 所示，在積聚於一基板(未顯示)上的一下部絕緣膜 11 上形成一層間絕緣膜 12。該層間絕緣膜 12 係由(例如)一層壓膜組成，該層壓膜係由一有機膜 13 與一氧化矽(SiO_2)膜 14 組成。該層間絕緣膜 12 在導線溝槽 15 內具有一第一導線 16，以及一近接觸層、一金屬阻障層以及在該近接觸層與該阻障層之間的類似者。藉由埋入一銅(Cu)膜而將該第一導線 16 形成為(例如)約 150 nm 之導線厚度。此外，在該第一導線 16 上形成一防氧化層 17。例如，藉由形成厚度為

35 nm之一碳化矽(SiC)膜而形成該防氧化層17。

隨後，形成接觸孔層之間之一第一絕緣膜18。藉由形成厚度為135 nm之一含碳氧化矽(SiOC)膜而形成該第一絕緣膜18。作為形成該SiC膜及該SiOC膜的方法之一範例，在300至400°C之基板溫度、150至350 W之電漿功率及約100至1000 Pa之一膜形成大氣壓力之條件下，使用一平行平板型電漿CVD裝置，且在二情況下皆以甲基矽烷作為一矽源(原材料氣體)。可形成介電常數約為3.8之SiC膜與介電常數約為2.6之SiOC膜。

接下來，在該第一絕緣膜18上形成一第二絕緣膜19。形成介電常數約為2.6之一有機聚合物膜以作為該第二絕緣膜19。在此項具體實施例中，作為一範例，一聚多芳基酯(PAE)膜係形成為110 nm之厚度。藉由一旋塗方法而積聚一先驅物，然後於350至450°C下進行固化處理，從而能形成該有機聚合物膜。可使用的其他材料，包括一苯環丁烯(BCB)膜、聚醯亞胺膜及一非晶碳膜等。

隨後，在該第二絕緣膜19上依次形成一第一遮罩層21、一第二遮罩層22。在此，該等第一及第二遮罩層21及22係由透光材料形成。作為一範例，該第一遮罩層21係由厚度為(例如)145 nm之一SiO₂膜組成，而該第二遮罩層22係由厚度為35 nm之一碳化矽(SiC)組成。然後，在該第二遮罩層22上形成一光阻遮罩41以形成導線溝槽。該光阻遮罩41具有用以開啟一導線溝槽圖案之開啟部分42。

可藉由將矽甲烷(SiH₄)用作一矽源(原材料氣體)而將一

氧化二氮(N_2O)氣體用作一氧化劑之一電漿CVD方法來形成用以組成該第一遮罩層21之 SiO_2 膜。若在組成該第一遮罩層21的 SiO_2 膜形成時，由一下部層PAE膜組成的第二絕緣膜19之氧化尤其成為一問題，則較佳的係形成所含矽數量超過化學計量數量之一氧化矽膜。採取300至400°C之基板溫度、150至350 W之電漿功率以及約100至1000 Pa之膜形成大氣壓力，將甲基矽烷用作一矽源(原材料氣體)，藉由與該 SiO_2 膜所用之電漿CVD裝置類似之一電漿CVD裝置來形成組成該第二遮罩層22之SiC膜。

接下來，如圖5B所示，將該光阻遮罩41[參見圖5A]用作一蝕刻遮罩來實施乾式蝕刻，從而在該第二遮罩層22內形成一導線溝槽圖案24。將二氟甲烷(CH_2F_2)、氧(O_2)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比($CH_2F_2:O_2:Ar$)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於該等蝕刻條件下相對於該 SiO_2 膜之選擇性比率(SiC/SiO_2)約為1.5，因此，在穩定地開啟具有不同導線寬度之一任意圖案之情況下，將該下部第一遮罩層21之 SiO_2 膜蝕刻約20 nm。在蝕刻該第二遮罩層22後，例如，實施以一氧(O_2)電漿為主之一灰化處理以及藉由以一有機胺為主的化學液體來進行之化學處理，從而能完全移除該光阻遮罩41及該蝕刻處理後保留的碎片。

接下來，形成一光阻遮罩43以形成一接觸孔圖案。該光阻遮罩43具有用以形成接觸孔之開啟部分44。此外，該光阻遮罩43之形成使得其至少部分與該第二遮罩層22內的導

線溝槽圖案24重疊。此外，該第二遮罩層22內的導線溝槽圖案24處產生的段差約等於約50 nm之膜厚度，從而使得形成該圖案比圖案化一平坦部分之情況下稍難。但是，可獲得具有與圖案化一平坦部分之情況下類似的微影蝕刻特徵之一良好的接觸孔光阻圖案形狀。

用以形成接觸孔之光阻遮罩43係形成為與該第一導線16或該導線溝槽圖案24相對對齊。在此情況下，由於該等層之偏移及尺寸分散(其可能基於一微影蝕刻程序而產生)而產生與該導線溝槽圖案24相關之無邊界結構的區域25。

接下來，如圖5C所示，藉由將具有該接觸孔圖案之一光阻遮罩43[參見圖5B]用作一蝕刻遮罩之一乾式蝕刻方法，在該第二絕緣膜內形成之該第二遮罩層21、該第一遮罩層21及接觸孔31中形成一接觸孔圖案26。此外，在此步驟中，實施能選擇性地僅減小未被該等上部層導線溝槽所覆蓋的接觸孔31之一處理。此外，在蝕刻該第二絕緣膜19之PAE膜之時，能移除該光阻圖案43[參見圖5B]。

用以形成該等接觸孔31的處理實施如下。首先，將用以形成該等接觸孔的光阻遮罩43內該等開啟部分44之底部部分處曝露的第二遮罩層22蝕刻成一錐形形狀。將二氟甲烷(CH_2F_2)及氧(O_2)用作一蝕刻氣體，並採取2:1之氣體流量比($\text{CH}_2\text{F}_2:\text{O}_2$)及500 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。此外，在該等蝕刻條件下該SiNC膜處理成的錐形角約為 50° 。從而，對於與藉由轉移該導線溝槽圖案24而形成的導線溝槽部分重疊之接觸孔，可獲得

約 20 nm 之減小量。

在針對該第二遮罩層 22(即，該 SiC 膜)之蝕刻條件下，可藉由改變該第二遮罩層 22 之膜厚度或處理成的錐形角，來任意調節上述無邊界結構中該等接觸孔之減小量。例如，當該第二遮罩層 22 之 SiO₂ 膜較厚時，可藉由相同錐形角之蝕刻而使得該減小量較大。但是，該 SiC 膜之膜厚度增加引起該等接觸孔之光阻圖案化中的下部段差增加。因此，該膜厚度較佳的係不超過 100 nm。此外，若該 SiC 膜太薄，則不僅使得該等接觸孔之減小量減小，而且使得對該第一遮罩層 21 的膜 SiO₂ 以及該第一絕緣膜 18 之 SiOC 膜進行處理之可控制性降低。因此，該膜厚度較佳的係不小於 25 nm。可藉由改變該氣體流量比(CH₂F₂:O₂)來調節該 SiC 膜之處理成的錐形角。考慮到該等接觸孔之減小量，該錐形角較佳的係不超過 80°。為使得與非無邊界結構的接觸孔之成品尺寸有適當的相對差異，該錐形角較佳的係不小於 30°。

隨後，在該等接觸孔開啟區域中存在的該第一遮罩層 21 之 SiO₂ 膜中開啟一接觸孔圖案 26。將八氟丁烷(C₄F₈)、一氧化碳(CO)及氬(Ar)用作一蝕刻氣體，並採取 1:5:20 之氣體流量比(C₄F₈:CO:Ar)、1200 W 之偏壓功率及 20°C 之基板溫度，藉由一般磁電管系統之一蝕刻裝置來對該 SiO₂ 膜實施蝕刻。由於在該等蝕刻條件下能獲得相對於該 SiO₂ 膜不小於 15 之一蝕刻選擇性比率(SiN/SiO₂)，因此幾乎不會使該第二遮罩層 22 處理成該錐形形狀且曝露於上部層的 SiO₂ 膜後退。

此外，如圖5D之平面配置圖中所示，在經由此步驟而形成之接觸孔31中，採取與處理該遮罩材料的情況中相同之方式，使得：相對於該上部層導線溝槽所覆蓋的區域內之接觸孔31(311)，有部分區域未被該上部層導線溝槽所覆蓋之接觸孔31(312)最多減小約20 nm。此外，該等接觸孔312之減小量依據該等接觸孔及該等上部層導線溝槽之尺寸分散及偏移量而變化。當該等無邊界區域減小時，該減小量亦減小。最後，確認該第二遮罩層22的SiO₂膜處經處理段差32[參見圖5C]。在該第二遮罩層22之SiC膜以一月牙形狀留在該等接觸孔312內部之情況下，確認該SiO₂膜處經處理的段差32。

接下來，如圖5E所示，藉由將該第二遮罩層22、該第一遮罩層21及類似者用作一蝕刻遮罩之一蝕刻處理，而在該等接觸孔開啟區域中存在的第二絕緣膜13內開啟該等接觸孔31。

在150 W之射頻功率及20°C之基板溫度條件下，將氨(NH₃)用作一蝕刻氣體，藉由一普通的高密度電漿裝置來對由該有機膜與該光阻遮罩43組成的第二絕緣膜19實施蝕刻。由於在該等蝕刻條件下該光阻之蝕刻速度約等於該PAE之蝕刻速度，因此在該第二絕緣膜19的PAE膜內開啟該等接觸孔31期間，該光阻圖案43逐漸後退。但是，該第二遮罩層22的SiN膜之存在使得可獲得一良好的接觸孔開啟形狀。順便提及，可獲得在該等蝕刻條件下該PAE膜相對於該SiN膜、該SiO₂膜及該SiOC膜不小於100之一蝕刻選擇性比

率。

接下來，藉由將具有該導線溝槽圖案24之第二遮罩層22用作一蝕刻遮罩之一乾式蝕刻方法，在該第一遮罩層21之SiO₂膜內延伸形成該導線溝槽圖案24。將八氟化五碳(C₅F₈)、一氧化碳(CO)、氬(Ar)及氧(O₂)用作一蝕刻氣體，採取1:10:5:1之氣體流量比(C₅F₈:CO:Ar:O₂)、1600 W之偏壓功率及20°C之基板溫度，藉由一般磁電管系統之一蝕刻裝置來實施此蝕刻。由於在該等蝕刻條件下相對於該SiC膜之蝕刻選擇性比率(SiOC/SiC)約為15，因此可對保留於該等接觸孔31底部部分處、厚度約135 nm之第一絕緣膜18之SiOC膜進行蝕刻以獲得良好的開啟形狀，同時，若該第二遮罩層22之膜厚度不小於35 nm，則抑制該等導線溝槽之上部加寬或肩部蝕刻。但是，該操作比該等第一及第二具體實施例中該三層硬罩系統之情況中更難。因此，需要充足的最佳化(包括蝕刻時間)。

然後，如圖5F所示，對保留於該導線溝槽圖案24底部部分之第二絕緣膜19之PAE膜進行蝕刻以形成導線溝槽33，並對存在於該等接觸孔31底部部分的該防氧化膜17之SiC膜進行蝕刻以進一步延伸形成該等接觸孔31。結果，該等接觸孔31到達該第一導線16。以此方式，完成預定的所謂雙鑲嵌處理。順便提及，在對該等接觸孔31底部部分的該防氧化層17之SiC膜進行蝕刻之程序期間，移除保留於該等導線溝槽區域外的該第二遮罩層22之SiC膜。

在150 W之射頻功率及20°C之基板溫度條件下，將氬

(NH₃)用作一蝕刻氣體，藉由使用一普通的高密度電漿蝕刻裝置來實施該第二絕緣膜19之PAE膜內該等導線溝槽33之形成。由於在該等蝕刻條件下可獲得相對於該第一絕緣膜18之SiOC膜不小於100之一蝕刻選擇性比率，因此可以良好的可控制性來實行該等導線溝槽33之開啟且無深度分散。

將二氟甲烷(CH₂F₂)、氧(O₂)及氬(Ar)用作一蝕刻氣體，並採取2:1:5之氣體流量比(CH₂F₂:O₂:Ar)及100 W之偏壓功率，藉由一般磁電管系統之一蝕刻裝置來對存在於該等接觸孔31底部部分的防氧化層17之SiC膜實施蝕刻。應注意，由於在該等蝕刻條件下相對於該SiOC膜之選擇比率約為1，因此，若對該等導線溝槽33底部部分的SiOC膜之蝕刻成為一問題，則可在該第二絕緣膜19之PAE膜內該等導線溝槽33開啟之前對該防氧化層17之SiC膜實施蝕刻。此外，在對該防氧化層17之SiC膜進行蝕刻期間，能完全移除保留於該等層間膜(第一及第二絕緣膜18及19)上部部分的第二遮罩層22之SiN膜。

接下來，使用一適當的化學液體及一射頻噴濺處理來實施一後處理，以清除該等導線溝槽及該等接觸孔側壁上及該等接觸孔底部部分處之一變性銅層上保留的碎片。然後，如圖5G所示，藉由一噴濺方法，在該等導線溝槽33及該等接觸孔31之內部表面上形成作為一阻障金屬層35之一Ta膜。藉由一電鍍方法而形成一銅晶種層並積聚一銅膜36，或藉由一噴濺方法而積聚一銅膜36，但圖中未顯示。因此，可在該等導線溝槽33及該等接觸孔31內埋入一銅導

電膜。還可將除銅以外的其他金屬材料用作該導電膜。

進一步，在由此而積聚的該銅膜36與該阻障金屬層35中，藉由一化學機械研磨(CMP)方法來移除作為該第二導線不需要之部分，從而如圖5H所示，一第二導線37在該等導線溝槽33內係完整的，且其一部分係經由該等接觸孔31而連接至該第一導線16。從而，獲得所謂雙鑲嵌結構之一多層導線結構。例如，將組成最終上部層導線的第二導線37之膜厚度調節為約170 nm。此外，採取與該第一導線16組成該下部層導線之情況中一樣的方式，藉由形成(例如)一SiC膜而形成用以覆蓋該第二導線37之一防氧化層38。

在經由上述依據該第三項具體實施例之製造步驟而形成的所謂雙鑲嵌結構之多層導線內，依據該等導線溝槽及該等接觸孔的成品尺寸分散及偏移而選擇性地僅減小該等無邊界結構的接觸孔312，從而在該等區域40內，可防止該導線與電位不同的相鄰導線之間的短路缺陷並可確保一介電強度。此外，不會不必要減小該等非無邊界結構的區域內之接觸孔311及偏移極小的接觸孔，以致可使得，與將該等接觸孔作為一整體來減小之情況相比，該等開啟特徵、該等接觸孔處的光阻特徵、應力偏移及類似者對該導線可靠線之影響最小化。此外，可以較高的良率來獲得經由該多層導線程序(包括至少上述步驟)而製造的半導體元件。

順便提及，上述各種層間絕緣膜不限於上面所提到的膜類型、膜厚度及形成方法。由Cu膜組成的防氧化層17及38可能係由一CVD方法形成的SiN膜，或可能係在一SiC膜內

包含輕元素(例如，氮(N₂)及氫(H))之膜。

組成將具有接觸孔31與導線溝槽33之層間膜之第一及第二絕緣膜18及19，可能係由藉由一CVD方法而形成之一SiOF膜或SiO₂膜或藉由一旋塗方法而形成之一甲基矽酸鹽(MSQ)膜或含氫矽酸鹽(HSQ)膜(替代該SiOC膜)組成。可施加一聚丙炔膜、一非晶碳膜或一聚四氟乙烯膜以替代該PAE膜。此外，可能施加具有一乾凝膠膜、具有一多孔結構之一MSQ膜、一有機聚合物或類似者或其一組合。

此外，儘管形成於該PAE膜及該MSQ膜上的第一及第二遮罩層21至22從上部側起依次係SiC/SiO₂ (35/145 nm)，但由於該等膜類型、膜厚度及形成方法之組合使得允許藉由使用該上部層遮罩來蝕刻該下部層遮罩，因此該等遮罩層並不限於上面所說明的細節。例如，在該蝕刻選擇性比率所允許的範圍內，可採取藉由一CVD方法而形成之一SiN膜或SiCN膜來替代該第二遮罩層22之SiC膜。

此外，可採取由作為該上部層第二遮罩層22之一SiO₂膜與作為該下部層第一遮罩層21之一SiC膜組成之一層壓結構。若允許該導線電容增加，則可最終將該SiC膜留在該PAE膜上。在此情況下，向該上部層SiO₂膜施加該錐形化，並將八氟丁烷(C₄F₈)及氧(O₂)用作一蝕刻氣體，並採取8:5之氣體流量比(C₄F₈:O₂)、1000 W之偏壓功率及20°C之基板溫度，藉由已在該第一具體實施例中加以說明的一般磁電管系統之一蝕刻裝置來實施該蝕刻。

在此項具體實施例中，最終在該等導線層之間留下厚度

約 50 nm 的組成該第一遮罩層 21 之 SiO_2 膜。但是，若用以接觸該阻障金屬之近接觸特性、該 CMP 步驟中銅的機械強度以及在對一銅氧化物進行減小處理(在針對銅而形成該防氧化層 38 之前實施)時的損害不成為一問題，則可由一低介電常數的無機膜(例如，一 SiOF 膜、一 SiOC 膜、一 HSQ 膜)組成該第一遮罩層 21。此外，在類似限制所允許的範圍內，亦可採取該雙鑲嵌蝕刻步驟或採取針對銅之 CMP 步驟而移除該第一遮罩層 21。

此外，在該等具體實施例 1、2 及 3 中的每一項具體實施例中，在將形成於該有機絕緣膜的第二絕緣膜 19 上之第一遮罩層 21 用作一保護層之情況下，例如，該第一遮罩層 21 可由一碳含量最佳化的 SiOC 膜組成，或者該等第一、第二及第三遮罩層 21、22 及 23 之三層或該第一遮罩層 21 及該第二遮罩層 22 之二層可能由碳含量不同的 SiOC 膜之一層壓結構組成，從而可藉由使用該層壓蝕刻遮罩而容易地實施該雙鑲嵌處理。此舉確保在將形成於該有機絕緣膜的第二絕緣膜 19 上之第一遮罩層 21 用作一保護層之情況下，可使得該第一遮罩層 21 具有一較低的介電常數，從而減小該導線電容並加大該半導體元件之操作速度。

如上所述，在依據本發明之半導體元件製造方法中，可提供一種製造半導體元件之方法，該方法既精細且整合程度又高並具有一高性能、高良率及高可靠性的多層導線。

依據本發明之半導體元件製造方法較佳的係應用於將多層導線用於各種半導體積體電路。

雖然已使用特定術語來說明本發明的較佳具體實施例，但是此類說明僅係用於說明目的，並應瞭解可作變更及修改，而不會脫離下列申請專利範圍之精神或範疇。

【圖式簡單說明】

參考以上說明並結合附圖，將會明白本發明之該些及其他目的，在該等圖式中：

圖 1A 至 1H 顯示製造步驟斷面圖，其顯示依據本發明該半導體元件製造方法之一第一項具體實施例；

圖 2A 至 2E 顯示製造步驟斷面圖(部分包括一平面配置圖)，其顯示依據本發明該半導體元件製造方法之第一項具體實施例；

圖 3A 至 3H 顯示製造步驟斷面圖，其顯示依據本發明該半導體元件製造方法之一第二項具體實施例；

圖 4A 至 4G 顯示製造步驟斷面圖(部分包括一平面配置圖)，其顯示依據本發明該半導體元件製造方法之第二項具體實施例；

圖 5A 至 5H 顯示製造步驟斷面圖，其顯示依據本發明該半導體元件製造方法之一第三項具體實施例；以及

圖 6A 至 6H 顯示製造步驟斷面圖，其顯示一種依據相關技術製造半導體元件的一多層導線結構之方法。

【主要元件符號說明】

- | | |
|----|-------|
| 11 | 下部絕緣膜 |
| 12 | 層間絕緣膜 |
| 13 | 有機膜 |

14	氧化矽 (SiO ₂) 膜
15	導線溝槽
16	第一導線
17	防氧化層
18	第一絕緣膜
19	第二絕緣膜
20	第三遮罩 SiO ₂ 膜
21	第一遮罩層
22	第二遮罩層
23	第三遮罩層
24	導線溝槽圖案
25	與該導線溝槽圖案相關之無邊界結構的區域
26	連接圖案/接觸孔圖案
31(311)	接觸孔
31(312)	接觸孔
32	段差
33	導線溝槽
35	阻障金屬層
36	銅膜
37	第二導線
38	防氧化層
40	區域
41	光阻遮罩
42	開啟部分

43	光阻遮罩
44	開啟部分
311	非無邊界結構的接觸孔
611	下部絕緣膜
612	有機膜
613	氧化矽(SiO ₂)膜
614	下部層導線
615	防氧化層/SiC膜
616	含碳的氧化矽(SiOC)膜
617	有機膜/PAE膜
618	第一遮罩層
619	第二遮罩層
620	第三遮罩層
621	光阻圖案
622	導線溝槽圖案
623	光阻圖案
624	無邊界結構的區域
625	接觸孔
628	接觸孔
629	上部層導線溝槽
632	阻障金屬層
633	銅膜
634	雙鑲嵌導線
636	區域

五、中文發明摘要：

本發明揭示一種半導體元件製造方法，其包括以下步驟：在具有一第一導線之一基板上形成第一及第二絕緣膜；在該第二絕緣膜上連續形成第一至第三遮罩層；在該第三遮罩層內形成一導線溝槽圖案；選擇性地將形成為伸進該導線溝槽圖案內部之該第三遮罩處理成一錐形形狀；在該第二及第一遮罩層內形成一接觸孔圖案，並移除該第三遮罩層之該等錐形部分；以及藉由使用該第三遮罩層來蝕刻而在該第二絕緣膜內形成導線溝槽，並藉由使用該等第二及第一遮罩層來蝕刻而在該絕緣膜內形成接觸孔。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體元件製造方法，其包含下列步驟：

將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上，以形成一絕緣膜；

在該絕緣膜上依次層壓一第一遮罩層、一第二遮罩層及一第三遮罩層；

形成一導線溝槽圖案以處理該第三遮罩層內之一導線溝槽；

選擇性地將形成狀態為伸入該導線溝槽圖案內部之該第三遮罩層處理成一錐形形狀；

形成一接觸孔圖案以在該第二遮罩層及該第一遮罩層內形成一接觸孔，並移除該第三遮罩層之該錐形形狀部分；以及

藉由將該第三遮罩層用作一蝕刻遮罩來進行蝕刻而在該第二遮罩層及該第一遮罩層內形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第二遮罩層及該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

2. 如請求項1之半導體元件製造方法，其中：

形成該等第一、第二及第三遮罩層之材料使得可藉由使用一上部遮罩層來選擇性地蝕刻位於該上部遮罩層正下方之一遮罩層。

3. 如請求項1之半導體元件製造方法，其中：

將該第三遮罩層處理成該錐形形狀之該步驟包括在

30°至80°範圍內處理該已處理的錐形角。

4. 如請求項1之半導體元件製造方法，其中：

該第一絕緣膜係由一含碳的氧化矽膜組成，以及

該第二絕緣膜係由一有機膜組成。

5. 一種半導體元件製造方法，其包含下列步驟：

將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上，以形成一絕緣膜；

在該絕緣膜上依次層壓一第一遮罩層、一第二遮罩層及一第三遮罩層；

形成一導線溝槽圖案以處理該第三遮罩層內之一導線溝槽；

形成一接觸孔圖案以在該第二遮罩層與該第一遮罩層內形成一接觸孔，並選擇性地將形成狀態為伸入該導線溝槽內部之該第二遮罩層處理成一錐形形狀；以及

藉由將該第三遮罩層用作一蝕刻遮罩來進行蝕刻而在該第二遮罩層及該第一遮罩層內形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第二遮罩層及該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

6. 如請求項5之半導體元件製造方法，其中：

形成該等第一、第二及第三遮罩層之材料使得可藉由使用一上部遮罩層來選擇性地蝕刻位於該上部遮罩層正下方之一遮罩層。

7. 如請求項5之半導體元件製造方法，其中：

將該第二遮罩層處理成該錐形形狀之該步驟包括在30°至80°範圍內處理該已處理的錐形角。

8. 如請求項5之半導體元件製造方法，其中：

該第一絕緣膜係由一含碳的氧化矽膜組成，以及
該第二絕緣膜係由一有機層組成。

9. 一種半導體元件製造方法，其包含下列步驟：

將一第一絕緣膜與一第二絕緣膜層壓於具有一第一導線之一基板上，以形成一絕緣膜；

在該絕緣膜上依次層壓一第一遮罩層及一第二遮罩層；
形成一導線溝槽圖案以處理該第二遮罩層內之一導線溝槽；

藉由使用具有用以形成一接觸孔的一接觸孔圖案之一光阻遮罩而在該第二遮罩層與該第一遮罩層內形成一接觸孔圖案，以及選擇性地將形成狀態為伸入該光阻遮罩內該接觸孔圖案內部之該第二遮罩層處理成一錐形形狀；以及

藉由將該第二遮罩層用作一蝕刻遮罩來進行蝕刻而在該第一遮罩層內形成一導線溝槽圖案，在該第二絕緣膜內形成一導線溝槽，以及藉由將該第一遮罩層用作一蝕刻遮罩來進行蝕刻而在該絕緣膜內形成一接觸孔。

10. 如請求項9之半導體元件製造方法，其中：

形成該等第一及第二遮罩層之材料使得可藉由使用該第二遮罩層來選擇性地蝕刻該第一遮罩層。

11. 如請求項9之半導體元件製造方法，其中：

處理該第二遮罩層之該步驟包括在 30° 至 80° 範圍內處理該已處理的錐形角。

12. 如請求項9之半導體元件製造方法，其中：

該第一絕緣膜係由一含碳的氧化矽膜組成，以及
該第二絕緣膜係由一有機膜組成。

十一、圖式：

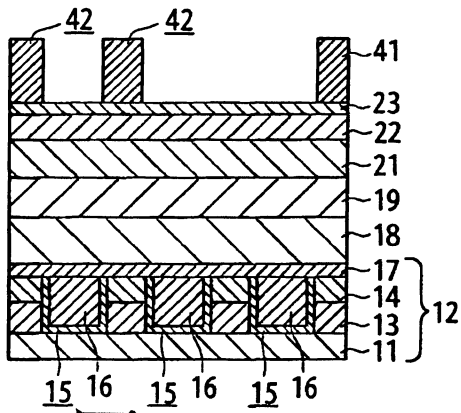


圖 1A

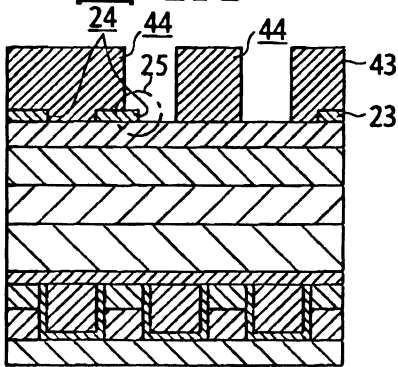


圖 1B

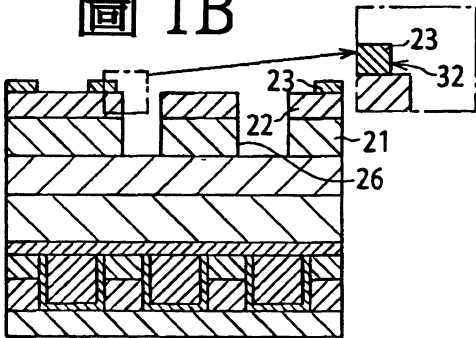


圖 1C

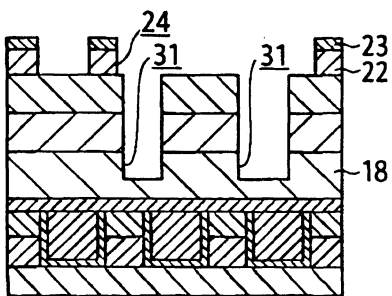


圖 1D

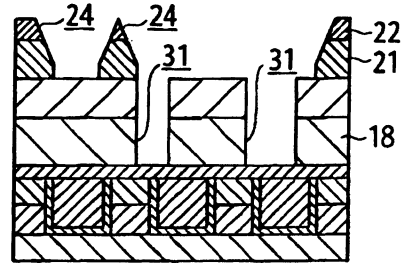


圖 1E

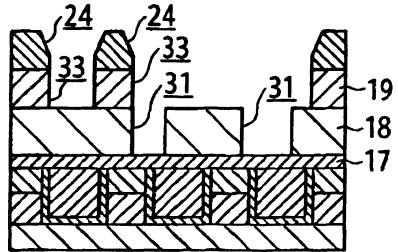


圖 1F

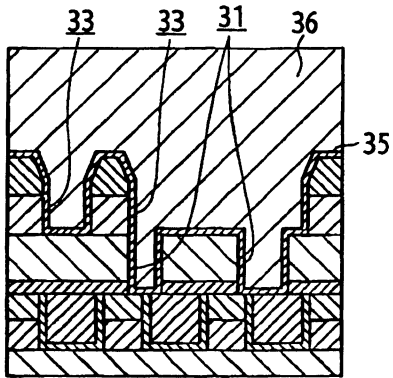


圖 1G

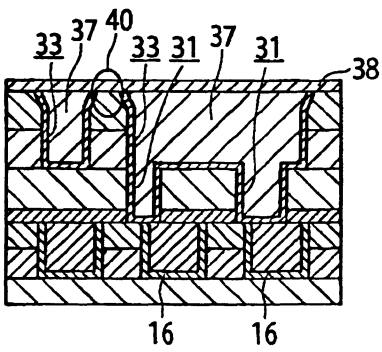


圖 1H

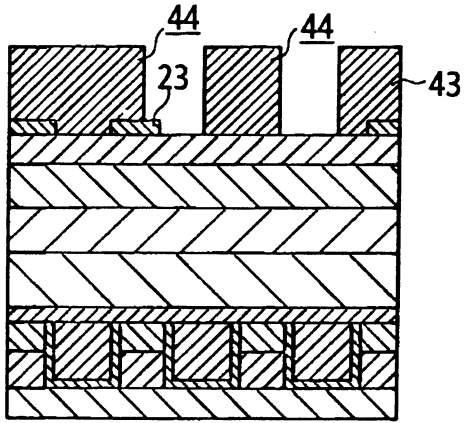


圖 2A

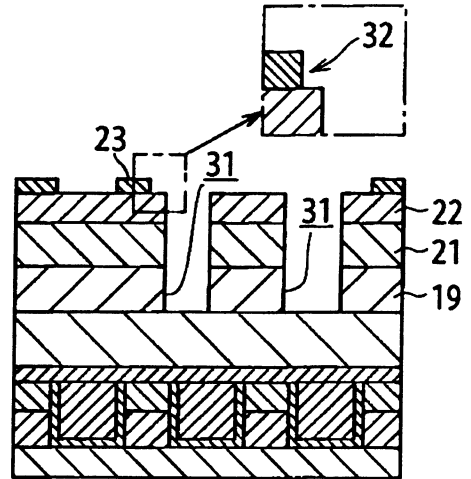


圖 2D

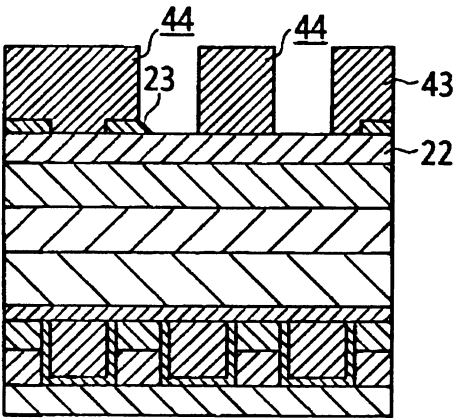


圖 2B

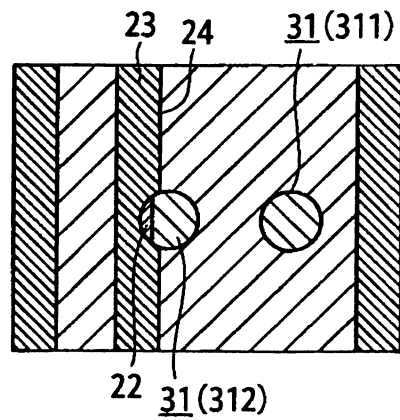


圖 2E

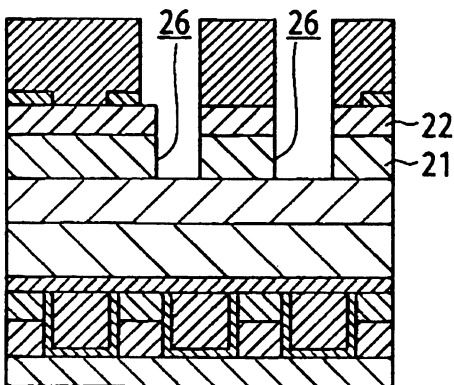


圖 2C

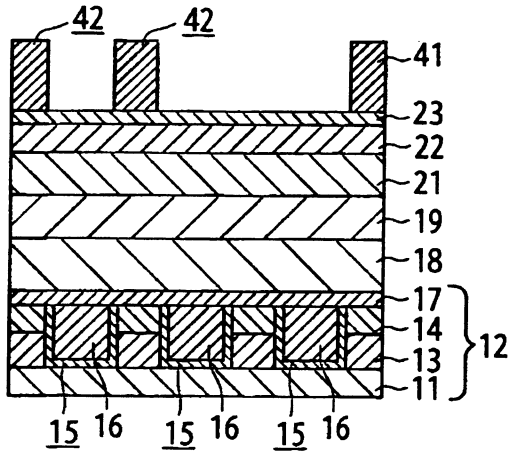


圖 3A

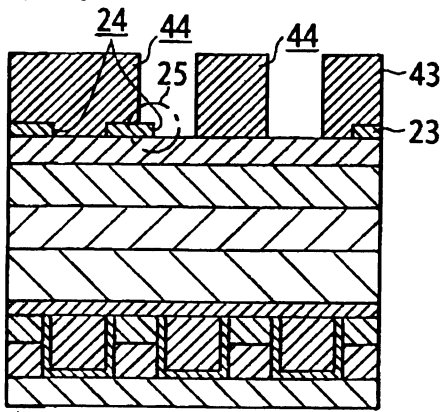


圖 3B

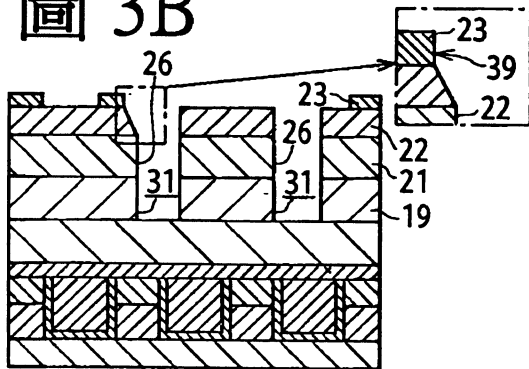


圖 3C

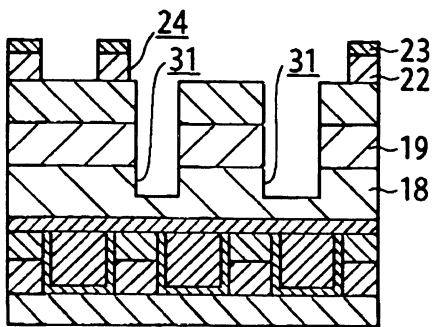


圖 3D

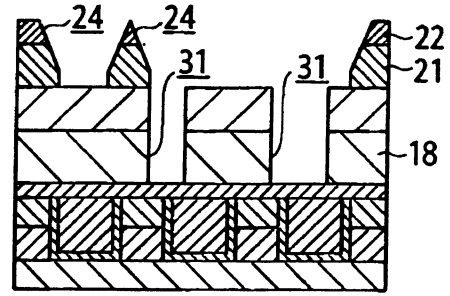


圖 3E

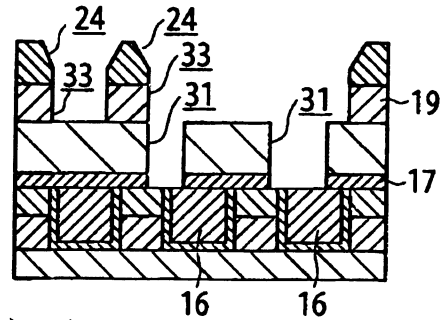


圖 3F

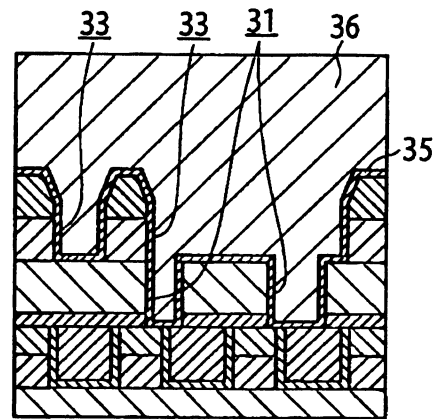


圖 3G

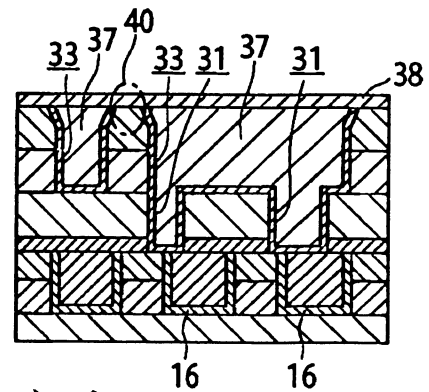


圖 3H

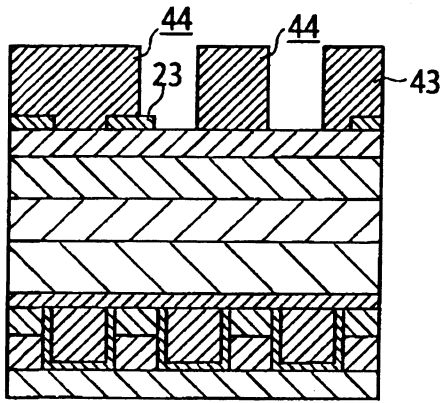


圖 4A

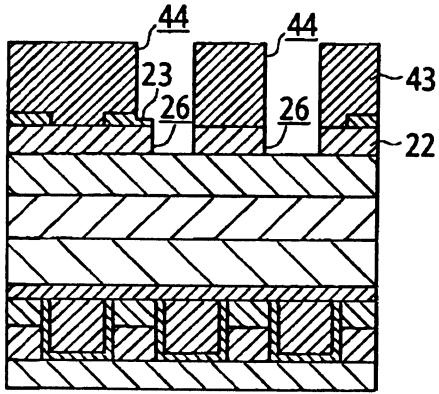


圖 4B

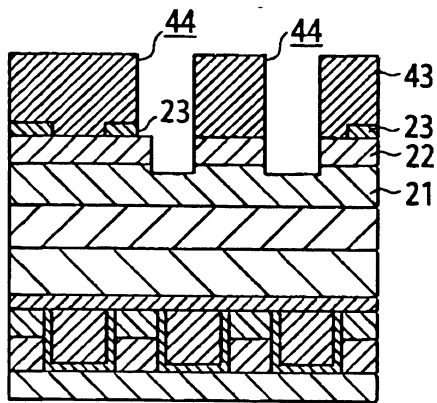


圖 4C

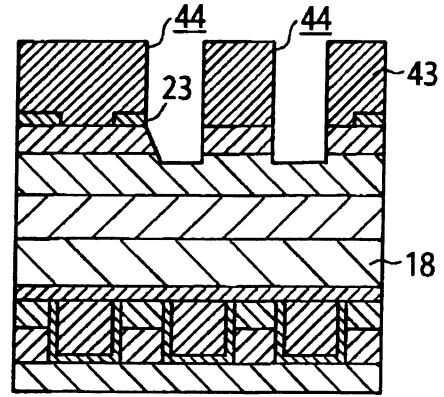


圖 4D

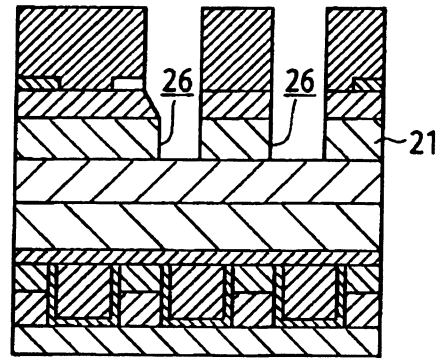


圖 4E

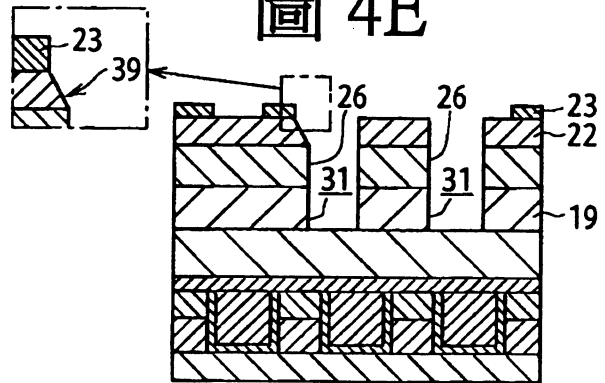


圖 4F

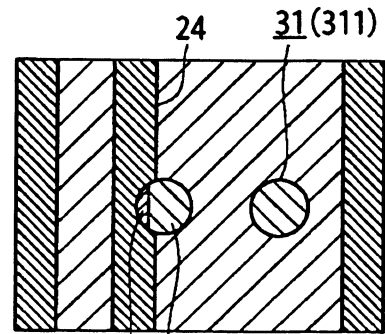


圖 4G

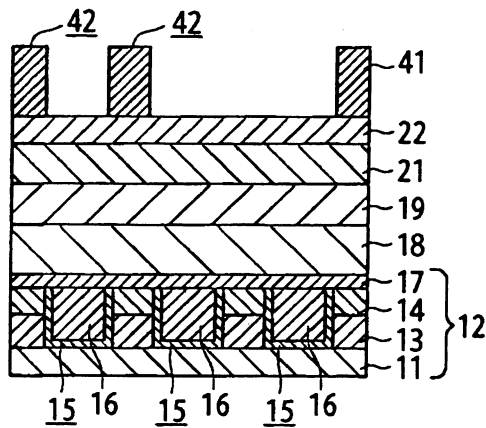


圖 5A

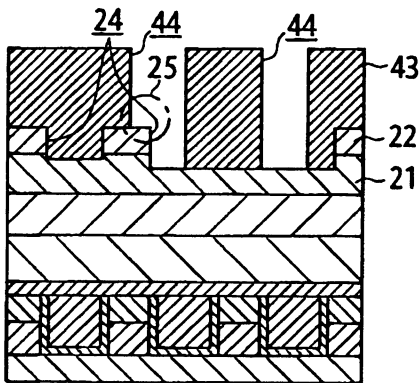


圖 5B

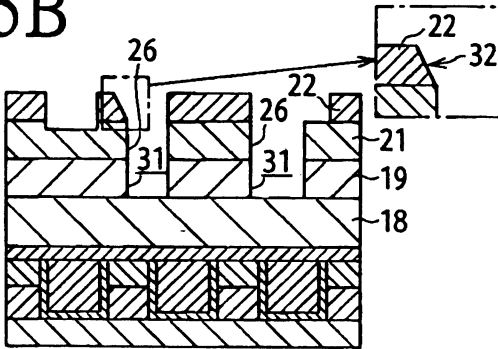


圖 5C

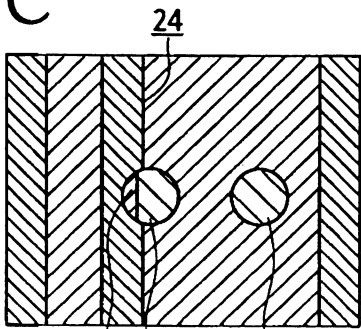


圖 5D 22 31(312) 31(311)

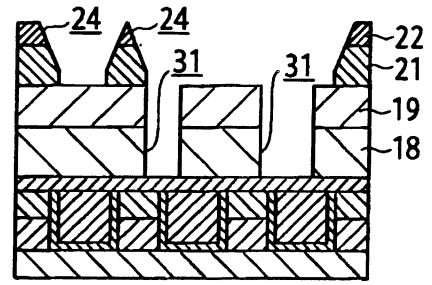


圖 5E

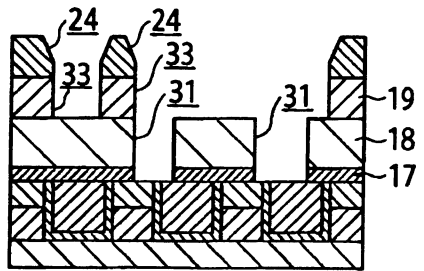


圖 5F

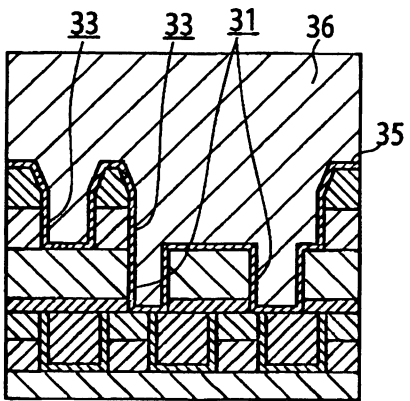


圖 5G

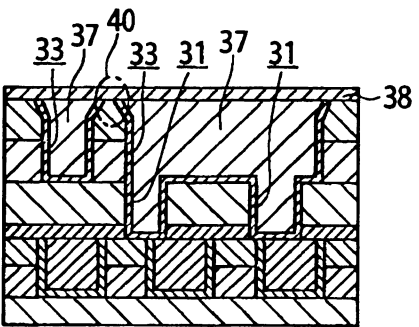


圖 5H

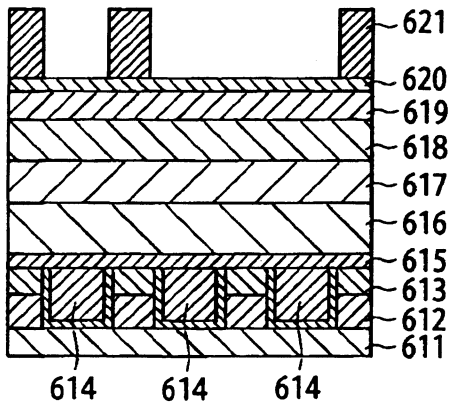


圖 6A

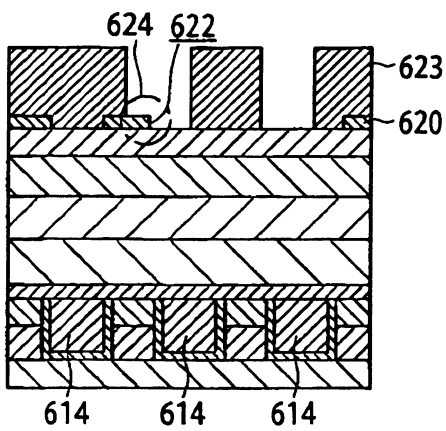


圖 6B

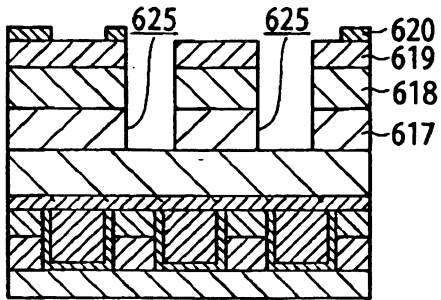


圖 6C

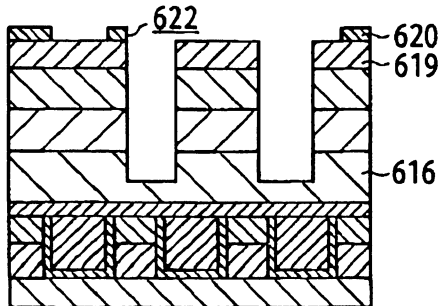


圖 6D

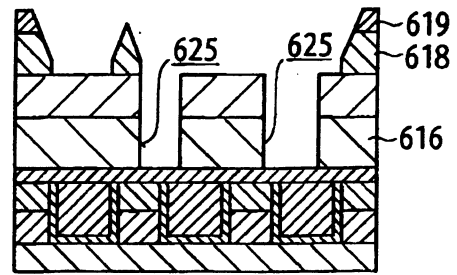


圖 6E

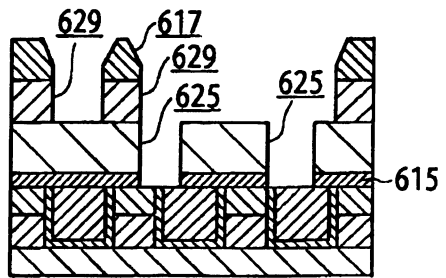


圖 6F

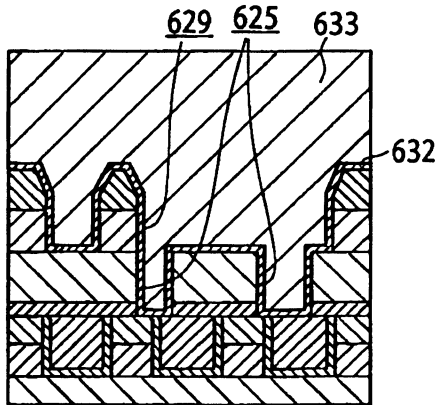


圖 6G

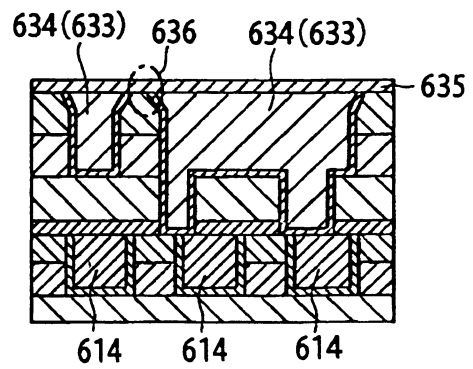


圖 6H

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|----|-------------------------|
| 11 | 下部絕緣膜 |
| 12 | 層間絕緣膜 |
| 13 | 有機膜 |
| 14 | 氧化矽(SiO ₂)膜 |
| 15 | 導線溝槽 |
| 16 | 第一導線 |
| 17 | 防氧化層 |
| 18 | 第一絕緣膜 |
| 19 | 第二絕緣膜 |
| 21 | 第一遮罩層 |
| 22 | 第二遮罩層 |
| 23 | 第三遮罩層 |
| 24 | 導線溝槽圖案 |
| 25 | 與導線溝槽圖案相關之無邊界結構的區域 |
| 26 | 連接圖案/接觸孔圖案 |
| 31 | 接觸孔 |
| 33 | 導線溝槽 |
| 35 | 阻障金屬層 |
| 36 | 銅膜 |
| 37 | 第二導線 |
| 38 | 防氧化層 |

40	區域
41	光阻遮罩
42	開啟部分
43	光阻遮罩
44	開啟部分

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)