

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年11月24日(2006.11.24)

【公表番号】特表2006-510221(P2006-510221A)

【公表日】平成18年3月23日(2006.3.23)

【年通号数】公開・登録公報2006-012

【出願番号】特願2004-560294(P2004-560294)

【国際特許分類】

H 01 L 23/36 (2006.01)

【F I】

H 01 L 23/36 D

H 01 L 23/36 Z

【手続補正書】

【提出日】平成18年10月2日(2006.10.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

剥離を防止するためのマイクロチップ構造であって、

モールド・ロックと、該モールド・ロックは、

主チャネルと、

前記主チャネルの上に形成されている副チャネルと、

前記主チャネルの壁から前記主チャネル内に突出するあり継ぎ形状と、

から成ることと、

前記マイクロチップ構造のヒートシンクの外側縁に沿って形成された前記モールド・ロックの列と、

前記ヒートシンクのフラグ区域内に形成された前記モールド・ロックのパターンとを備えている、マイクロチップ構造。

【請求項2】

パッケージ半導体において、

主チャネルと、該主チャネルの壁から当該主チャネルの内部に突出したあり継ぎ形状とを有するモールド・ロックと、

ヒートシンクであって、該ヒートシンクの外側縁に沿って形成された前記モールド・ロックの列と、前記ヒートシンクの内部に形成された前記モールド・ロックのパターンとを有する、ヒートシンクと、

前記ヒートシンクの外側縁に沿って形成された前記モールド・ロックに連結されているプラスチック成形材と、

を備えている、パッケージ半導体。

【請求項3】

剥離を防止するためのマイクロチップ構造において、

ヒートシンク内に形成され、合成材を前記ヒートシンクに固定するモールド・ロック手段であって、

前記合成材を受容する主チャネル手段と、

前記合成材を前記モールド・ロック手段に固定するあり継ぎ断面形状手段とから成る、モールド・ロック手段と、

前記ヒートシンクの外側縁に沿って形成された前記モールド・ロック手段の列と、
前記ヒートシンクのフラグ区域内に形成された前記ホールド・ロック手段のパターンと
を備えている、マイクロチップ構造。

【請求項 4】

プラスチック成形材をヒートシンクに固定するプロセスであって、
前記ヒートシンクの外側縁に沿って、主チャネルの列を型打するステップと、
前記ヒートシンクのフラグ部内に、主チャネルのパターンを型打するステップと、
前記主チャネルの列および前記主チャネルのパターン内に達するあり継ぎ断面形状を形成
するステップと、
前記プラスチック成形材を前記ヒートシンク上に堆積するステップと、
前記プラスチック成形材の一部を前記列の前記主チャネル内に流入させるステップと、
前記プラスチック成形材を固化させることによって、前記あり継ぎ断面形状によって前
記プラスチック成形材を前記列の前記主チャネル内に固定するステップと、
から成るプロセス。

【請求項 5】

ヒートシンクであって、
前記ヒートシンクのフラグ区域に位置し、かつ主チャネルと、前記主チャネルの壁から
前記主チャネル内に突出するあり継ぎ形状とを備える第1モールド・ロック(4)と、
前記ヒートシンクの縁領域に位置し、かつ主チャネルと、前記主チャネルの壁から前記
主チャネル内に突出するあり継ぎ形状とを備える第2モールド・ロック(4)と
を備えるヒートシンク。

【請求項 6】

パッケージ半導体であって、
ヒートシンク(2)と、該ヒートシンク(2)は、
該ヒートシンクの内部領域に位置し、主チャネルと、前記主チャネルの壁から前記
主チャネル内に突出するあり継ぎ形状とを備える、第1モールド・ロック(4)と、
該ヒートシンクの縁領域に位置し、主チャネルと、前記主チャネルの壁から前記主
チャネル内に突出するあり継ぎ形状とを備える、第2モールド・ロック(4)とを有することと、
第2モールド・ロックに連結された成形材と
を備えるパッケージ半導体。

【請求項 7】

パッケージ半導体であって、
ヒートシンク(2)と、該ヒートシンク(2)は、
主チャネルと、前記主チャネルの壁から前記主チャネル内に突出するあり継ぎ形状
とを備える第1モールド・ロック(4)と、
主チャネルと、前記主チャネルの壁から前記主チャネル内に突出するあり継ぎ形状
とを備える第2モールド・ロック(4)とを有することと、
第1モールド・ロックを被覆するダイ(32)と、
第2モールド・ロックに連結された成形材(34)と
を備えるパッケージ半導体。