

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成28年9月8日(2016.9.8)

【公開番号】特開2012-168946(P2012-168946A)
 【公開日】平成24年9月6日(2012.9.6)
 【年通号数】公開・登録公報2012-035
 【出願番号】特願2012-26121(P2012-26121)
 【国際特許分類】

G 0 6 F 17/50 (2006.01)

G 0 1 R 31/28 (2006.01)

【F I】

G 0 6 F 17/50 6 6 4 P

G 0 1 R 31/28 H

【誤訳訂正書】

【提出日】平成28年7月12日(2016.7.12)

【誤訳訂正1】

【訂正対象書類名】明細書

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【発明の詳細な説明】

【発明の名称】プロトタイプシステムにおける汎用的な可制御性及び可観測性のための方法及び装置

【技術分野】

【0001】

関連出願

本出願は、2010年2月12日に出願した「Method and Apparatus for Versatile Controllability and Observability in Prototype System」という名称の米国仮特許出願第61304,328号の優先権の権利を主張するものであり、その出願の内容が参照により全体として本明細書に組み込まれる。

【0002】

本開示は一般に、半導体及び集積回路システムに関し、より詳細には、プロトタイプシステムを利用する設計検証システム及び設計検証方法に関する。

【背景技術】

【0003】

高集積システムオンチップ(SoC)デバイスは、幅広い種類の製品に力を与えて、さらにより幅広い種類のソフトウェアアプリケーションの要求を満たしている。これらの要求を満たすため、SoCデバイスのサイズ及び複雑性は増し続けている。先行の半導体処理技術及びシリコン実証済みの第三者の知的財産が助けにはなるが、高集積SoCの開発によって、設計検証チームへの負担が増している。場合によっては、検証がSoC開発サイクルの大部分を消費することになる。

【0004】

SoC設計の検証アプローチは、様々なものがある。速度、ソフトウェア開発、ハードウェア開発、又はシステム確認について最適化されるため、各アプローチは、様々なレベルの可観測性及び制御を提供することになる。フィールド・プログラマブル・ゲート・アレイ(FPGA)プロトタイプシステムは、例えば、システム実行時間の改善をもたらす場合がある。いくつかのFPGA SoC検証システムは、それにもかかわらず、設計内の信号値に対する可視性の欠如しているため、発見された誤りの根本的原因を分離する能

力がない。FPGAベンダ固有の検証ツールの共通の欠陥としては、アクセスされる信号の数の制限と、サンプルキャプチャの深さの制限がある。外部ロジックアナライザと組み合わせたとしても、FPGAベンダ固有の検証ツールは、SOC検証中に誤りの根本的原因を分離するための十分な機能がない。

【発明の概要】

【発明が解決しようとする課題】

【0005】

したがって、あるアプリケーションにおける高集積SOCデバイスの設計検証要求を満たすことができ、又は、FPGAベースの電子プロトタイプシステムにおける信号の制御及びその信号の可観測性が向上されたSOC設計検証システムを提供することができる方法又は装置が望まれる。

【課題を解決するための手段】

【0006】

本開示のいくつかの実施形態と一致して、試験システムは、ユーザ設計の少なくとも一部及び関連付けられた検証モジュールを表す構成イメージと、ランタイム制御情報とを提供するように構成された第1のインタフェース・コンポーネントと、第1のインタフェース・コンポーネントから受信された、構成イメージ及びランタイム制御情報のうち少なくとも1つに基づいて、タイミング及び制御情報を関連付けられた検証モジュールに提供するように構成された第2のインタフェース・コンポーネントとを含み得る。関連付けられた検証モジュールは、第2のインタフェース・コンポーネントと結合され得る。検証モジュールはまた、第2のインタフェース・コンポーネントから受信されたタイミング及び制御情報に応答して、デバイスを制御するように、且つ、ユーザ設計の少なくとも一部のデバイス状態を監視するように構成され得る。

【0007】

本開示のいくつかの実施形態と一致して、試験の方法は、第1のインタフェース・コンポーネントにおいて、ユーザ設計の少なくとも一部及び関連付けられた検証モジュールを表す構成イメージに関連付けられた構成パラメータと、ランタイム制御情報とを受信することを含み得る。この方法はさらに、第1のインタフェース・コンポーネントを使用して、構成イメージをデバイスへ送信することと、第2のインタフェース・コンポーネントを使用して、第1のインタフェース・コンポーネントから受信された構成イメージ及びランタイム制御情報のうち少なくとも1つに基づいて、タイミング及び制御情報を検証モジュールへ送信することを含み得る。いくつかの実施形態では、第2のインタフェース・コンポーネントからタイミング及び制御情報を受信することに応答して、検証モジュールは、デバイスを制御し、且つ/又は、ユーザ設計の少なくとも一部のデバイス状態を監視し得る。

【0008】

本開示のいくつかの実施形態と一致して、コンピュータ可読媒体は、プロセッサに試験の方法を実行させるための命令を備える。試験の方法は、第1のインタフェース・コンポーネントにおいて、ユーザ設計の少なくとも一部及び関連付けられた検証モジュールを表す構成イメージに関連付けられた構成パラメータと、ランタイム制御情報とを受信することを含み得る。この方法は、更に、第1のインタフェース・コンポーネントを使用して、構成イメージをデバイスへ送信することと、第2のインタフェース・コンポーネントを使用して、第1のインタフェース・コンポーネントから受信された構成イメージ及びランタイム制御情報のうち少なくとも1つに基づいて、タイミング及び制御情報を検証モジュールへ送信することを含み得る。いくつかの実施形態では、第2のインタフェース・コンポーネントからタイミング及び制御情報を受信することに応答して、検証モジュールは、デバイスを制御し、且つ/又は、ユーザ設計の少なくとも一部のデバイス状態を監視してもよい。

【0009】

本開示の追加の特徴及び利点を、以下の説明で部分的に述べる。開示された実施形態の

特徴及び利点は、添付の特許請求の範囲において特に指摘された要素とそれらの組み合わせによって実現され、達成される。

【 0 0 1 0 】

添付の図面は、本明細書に組み込まれ、本明細書の一部を構成し、説明と共に、本明細書に開示された実施形態を例示し、開示された実施形態の原理を説明する役目を果たすものである。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 開示された実施形態と一致する例示的なプロトタイプのシステム図である。

【 図 2 】 開示された実施形態と一致する例示的なワークステーションのブロック図である。

【 図 3 】 開示された実施形態と一致する例示的なホスト側インタフェースカードのブロック図である。

【 図 4 】 開示された実施形態と一致する例示的なプロトタイプ・システム・インタフェースカードのブロック図である。

【 図 5 】 開示された実施形態と一致する、プロトタイプシステムを実装するための例示的な方法のフロー図である。

【 発明を実施するための形態 】

【 0 0 1 2 】

添付の図面に例示された、開示された実施形態を以下で詳細に参照する。可能な限り、同じ又は同様の部分を示すために、図面を通じて同じ参照番号が使用される。なお、図面は大幅に簡略化された形式になっており、正確な縮尺通りではない。

【 0 0 1 3 】

以下の説明では、「結合された (coupled)」及び「接続された (connected)」という表現が、それら派生語と共に使用され得る。これらの語は、互いに同義語であるようには意図していないことを理解されたい。むしろ、いくつかの特定の実施形態では、「接続された」及び/又は「結合された」は、2つ以上の要素が互いに物理的又は電子的に直接接触していることを示すために使用され得る。しかしながら、「結合された」という表現は、また、2つ以上の要素が互いに直接接触していないが、それでもなお、互いに協同し、通信し、且つ/又は、相互的に作用することを意味する場合もある。

【 0 0 1 4 】

図 1 は、開示された実施形態と一致する例示的なプロトタイプシステム 100 の図を示す。図 1 に示すように、プロトタイプシステム 100 は、ハードウェアコンポーネントと、インタフェースカードと、設計検証処理中に被試験デバイスの可視性及び制御を向上させるように適合された再構成可能検証モジュールとの組み合わせを含み得る。例えば、いくつかの実施形態では、プロトタイプシステム 100 は、ホストワークステーション 110 と、ホストインタフェースカード 120 と、プロトタイプ・システム・インタフェースカード 130 と、1つ又は複数の被試験デバイス (DUT) からなるプロトタイプカード 150 とを含む。加えて、検証モジュール 160 は、各 FPG A チップのための被試験デバイス DUT の部分と組み合わせられて構成され得る。

【 0 0 1 5 】

ホストワークステーション 110 は、コンピュータインタフェース規格の1つなど、インタフェース通信プロトコルを使用して、ホスト通信チャネル 115 を介してホストインタフェースカード 120 に結合され得る。例えば、いくつかの実施形態では、ホスト通信チャネル 115 は、ペリフェラル・コンポーネント・インターコネク (PCI) エクスプレス、イーサネット (登録商標)、又は、ホストワークステーション 110 とホストインタフェースカード 120 の間でコマンド及び情報の交換を可能にする他のインタフェース方法などの有線通信方法であってもよい。

【 0 0 1 6 】

図 2 は、開示された実施形態と一致する例示的なホストワークステーション 110 のブ

ロック図を示す。例として、図2に示すように、ホストワークステーション110は、以下のコンポーネントのうち1つ又は複数を含んでもよく、このコンポーネントとしては、少なくとも1つのプロセッサ200と、メモリ210と、設計データベース220と、値変更データベース230と、I/Oデバイス240と、インタフェース250である。プロセッサ200は、コンピュータプログラム命令を実行して、様々なプロトタイプのシステム命令及び方法を実行するように構成されている。メモリ100は、情報及びコンピュータプログラム命令を格納且つ提供するように構成されている。設計データベース220は、ランタイムソフトウェア及び設計情報を維持するように構成されている。値変更データベース230は、プロトタイプカード150から受信された情報を格納する。

【0017】

本明細書で使用されるとき、「プロセッサ」という語は、1つ又は複数の命令を実行する電気回路を含み得る。例えば、このようなプロセッサは、1つ又は複数の集積回路、マイクロチップ、マイクロコントローラ、マイクロプロセッサ、組み込みプロセッサ、中央処理装置(CPU)の全部又は一部、デジタル信号プロセッサ(DSP)、FPGA、又は、命令を実行する若しくは論理演算を行うのに適した他の回路を含み得る。プロセッサ200は、コマンド及びデータをプロトタイプカード150と交換するようにプログラムされた検証プロセッサとして動作するように構成且つプログラムされ得るという点で、専用プロセッサであり得る。例えば、プロセッサ200は、メモリ210、設計データベース220、値変更データベース230、I/Oデバイス240、インタフェース250、又は、コンポーネント(不図示)から出力された命令及びデータに基づいて動作してもよい。いくつかの実施形態では、プロセッサ200は、データ又はコマンドを、メモリ210、設計データベース220、及び、値変更データベース230と交換するように結合され得る。例えば、プロセッサ200は、プロトタイプシステムがダウンロードしている間に、検証モジュール160及び被試験デバイスDUTの一部を含むFPGAイメージデータを、1つ又は複数のFPGAチップ155a~155dへ送信する命令を実行してもよい。

【0018】

いくつかの実施形態によれば、検証モジュール160は、従来の論理解析計装機能(an alysis instrumentation function)を行うように構成された、少なくとも1つの計装回路及びロジックモジュールであってもよい。検証モジュール160によって行われる論理解析機能は、例えば、信号値のサンプリング、状態解析、プロトコル解析、及び、トリガリングを含み得る。いくつかの実施形態では、検証モジュール160は、論理合成可能(synthesizable)又はソフトの知的財産(IP)であってもよい。検証モジュール160を定義する構成パラメータは、FPGAチップをプログラミングするためのフローに類似したやり方などで、設計検証セットアップ処理中に設定されてもよい。例えば、いくつかの実施形態におけるセットアップ中において、セットアップのフローは、自動的にサードパーティ合成を統合し、ツールを配置且つ経路指定し、自動的又は手動的に設計を分割し、ランタイムソフトウェア利用のための設計データベースを構築してもよい。セットアップのフローは、例えば、事前分割された設計のための自動処理を含んでもよく、レジスタ転送言語(RTL)分割ツールには、サードパーティ・ツール又はユーザ自身の手動の分割が含まれる。代替のやり方又は追加のやり方として、セットアップのフローはまた、ユーザの設計がRTLレベルで手動で分割されなかったフローを含んでもよい。

【0019】

特定のプロトタイプカード150で使用可能な物理的ピンリソースを最適化するため、検証モジュール160は、設計依存及び設計非依存の回路の両方を含む。例えば、検証モジュール160は、特定の信号に接続し、特定の信号をプローブするように構成された設計依存回路を含み得る。プローブ又は信号プローブは、個々の信号を解析し、且つ、トラブルシューティングを行うように構成された回路を含み得る。被試験デバイスに関連付けられた設計データベース220へのアクセスを利用して、データ依存回路は、プローブを修正、除去又は追加するように、試験処理中に再構成され得る。また、検証モジュール1

60は、データを符号化且つ復号するように構成された設計非依存回路を含んでもよい。例えば、データ非依存回路は、他の回路タイプの中でも、先入力先出力（FIFO）及び制御状態マシンを含んでもよい。ここで、先入力先出力（FIFO）及び制御状態マシンは、検証モジュール160によって取り込まれたデータを、処理のためにコントローラ400及びホストワークステーション110のうち少なくとも1つへ送信するものである。検証モジュール160を定義する構成パラメータは、設計検証セットアップ処理中に設定され得る。

【0020】

動作的には、検証モジュール160は、セットアップ処理中に設定されたか、又は試験中に修正された構成パラメータに応答してもよい。これらのパラメータに基づいて、検証モジュール160は、被試験デバイスの部分の全設計状態スナップショットを取り込み、送信し、サイクルごとの解析を行い、協調シミュレーション(co-simulation)又は協調エミュレーション(co-emulation)を行い、どの信号がプローブされるべきであるかを増分的に修正する。協調シミュレーションは、一般的には、当業者に知られているように、同期的なサイクル精度の、ホストワークステーション110上で実行するソフトウェアベースのシミュレーション、及び、プロトタイプカード150上で実行するFPGAベースのエミュレーションを指すが、これに限定されない。協調エミュレーションは、一般的には、当業者に知られているように、非同期的なトランザクション駆動型の、ホストワークステーション110上で実行するソフトウェアベースのシミュレーション、及び、プロトタイプカード150上で実行するFPGAベースのエミュレーションを指すが、これに限定されない。検証モジュール160によって取り込まれたデータは、プロトタイプ・システム・インタフェースカード130、ホストワークステーション110、又は、検証モジュール160によって送信されたデータを受信するように結合された適切な計算デバイスなどの、計算デバイス又はコンポーネントによって後処理され得る。後処理には、タイミング、状態及びプロトコル解析が含まれるが、それらに限定されない。検証モジュール160によって取り込まれたデータの処理に先立って、取り込まれたデータは、値変更データベース230に格納され得る。他の実施形態では、取り込まれたデータは、処理の後、値変更データベースに格納され得る。

【0021】

いくつかの実施形態によれば、2つ以上のプロセッサが、独立して、又は協調的に動作するように構成されてもよい。すべてのプロセッサは、類似の構造であってもよく、又は、電氣的に接続されるか若しくは互いから切り離された異なる構造であってもよい。本明細書において、「構造（construction）」という表現が使用されるとき、この表現は、プロセッサの物理的、電氣的又は機能的特性を含み得る。これらのプロセッサは、物理的又は機能的に別々の回路であってもよく、又は、単一の回路に統合されてもよい。これらのプロセッサは、電氣的に、磁氣的に、光学的に、音響的に、機械的に、無線によって、又は、プロセッサ間の通信を可能にする任意の他の方法で結合され得る。

【0022】

いくつかの実施形態によれば、メモリ210は、ランダムアクセスメモリ（RAM）、リードオンリーメモリ（ROM）、ハードディスク、光ディスク、磁気媒体、フラッシュメモリ、他の永久的な固定の揮発性メモリ、不揮発性メモリ、又は、プロセッサ200若しくは類似のコンポーネントに命令を提供可能な任意の他の有形の機構など、コンピュータ可読メモリであってもよい。例えば、メモリ210は、設計データベース220に格納された情報に従って、プロトタイプカード150上で検証機能を行うために、命令及びデータを格納してもよい。メモリ210は、分散されてもよい。すなわち、メモリ210の部分は、リムーバブルであっても非リムーバブルであってもよく、地理的に異なる場所に位置してもよい。

【0023】

いくつかの実施形態によれば、設計データベース220は、設計検証セットアップ及びランタイム実行のためのテーブル、リスト又は他のデータの構造化された集まりであって

もよい。したがって、この構造は、リレーショナルデータベース又はオブジェクト指向データベースとして編成されてもよい。他の実施形態では、設計データベース220は、ハードウェアシステムであってもよく、このハードウェアシステムは、物理的なコンピュータ可読記憶媒体と、テーブル、リスト又は他のデータ構造を受信し、それらへのアクセスを提供するように構成された入力及び/又は出力デバイスとを含む。さらに、ハードウェアシステムとして構成されると、設計データベース220は、1つ又は複数のプロセッサ及び/又はディスプレイを含み得る。構造は類似しているが、値変更データベース230は、プロトタイプカード150から受信された情報を格納するように構成され得る。例えば、値変更データベースは、信号プローブ関連の検証モジュール160によって取り込まれた信号値に関連する情報を格納するように構成されてもよい。

【0024】

いくつかの実施形態によれば、I/Oデバイス240は、マウス、スタイラス、キーボード、オーディオ入力/出力デバイス、イメージングデバイス、印刷デバイス、表示デバイス、センサ、無線トランシーバ、又は他の類似のデバイスのうち、1つ又は複数であってもよい。また、I/Oデバイス240は、データ及び命令をメモリ210、プロセッサ200、設計データベース220、又は、値変更データベース230に提供するデバイスを含んでもよい。

【0025】

いくつかの実施形態によれば、インタフェース250は、PCIエクスプレス、イーサネット(登録商標)、FireWire(登録商標)、USB、及び、無線通信プロトコルなど、外部又は一体型のインタフェースカード又はインタフェースポートを含み得る。例えば、インタフェース250は、ホスト通信チャンネル115を使用してホストインタフェースカード120と通信するように結合された、PCIエクスプレスカードであってもよい。I/Oデバイス240はまた、グラフィカルユーザインタフェース、又は、データを提示するように構成された、人間が知覚可能な他のインタフェースを含んでもよい。

【0026】

図3は、開示された実施形態と一致する例示的なホストインタフェースカード120のブロック図を示す。例として、図3に示すように、ホストインタフェースカード120は、ホスト側インタフェース310と、コントローラ300と、信号変換器320と、トランシーバ330とのうちの1つ又は複数を含み得る。ホスト側インタフェース310は、インタフェース250に類似していてもよく、ホスト通信チャンネル115を使用したホストワークステーション110との通信を容易にするように構成されてもよい。他の実施形態では、ホスト側インタフェース310は、インタフェース250とは異なってもよく、ホストワークステーション110との通信を容易にするために、物理的又は論理的信号変換コンポーネントを含んでもよい。

【0027】

いくつかの実施形態によれば、コントローラ300は、プロセッサ200に類似したコンポーネントであってもよい。いくつかの実施形態では、コントローラ300は、ホストワークステーション110から、信号変換器320から、又は、トランシーバ330を通じてプロトタイプ・システム・インタフェースカード130から受信されたデータ又は命令に基づいて動作してもよい。例えば、コントローラ300は、1つ又は複数の検証モジュール160とコマンド及びデータを交換して、FPGAデバイス155a~155dのうち1つ又は複数に関連付けられたデバイス状態を制御且つ監視するようにしてもよい。他の実施形態では、コントローラ300は、コマンド又はデータを検証モジュール160へ送信し、検証モジュール160に、特に、取り込まれるデータの量、及び、プローブされる信号の数又はタイプを修正させてもよい。信号変換器320は、インタフェースカード通信チャンネル125上で交換されたデータを、ホストワークステーション110による処理のために適したフォーマットに変換するように構成されたプロセッサを含んでもよい。

【0028】

トランシーバ 330 は、データを送信し、プロトタイプカード 150 からデータを受信する任意の適切なタイプの送信器及び受信器を含み得る。いくつかの実施形態では、トランシーバ 330 は、符号化/復号、変調/復調、及び、ホストインタフェースカード 120 とプロトタイプカード 150 との間の通信チャンネルに関連する他の機能を行うための、所望の(1つ又は複数の)機能的コンポーネント及び(1つ又は複数の)プロセッサのうち1つ又はそれらの組み合わせを含んでもよい。トランシーバ 330 は、インタフェースカード通信チャンネル 125 を介してプロトタイプ・システム・インタフェースカード 130 と通信するように結合され得る。いくつかの実施形態では、インタフェースカード通信チャンネル 125 は、ファイバチャンネルなど、高スループット、低レイテンシの通信チャンネル技術を利用してもよい。

【0029】

図 4 は、開示された実施形態と一致する例示的プロトタイプ・システム・インタフェースカード 130 のブロック図を示す。例として、図 4 に示すように、プロトタイプ・システム・インタフェースカード 130 は、コントローラ 400 と、メモリ 410 と、トランシーバ 420 と、プロトタイプコネクタ 430 a ~ 430 d のうちの1つ又は複数を含み得る。概して、コントローラ 400、メモリ 410、及びトランシーバ 420 は、コントローラ 300、メモリ 210、及びトランシーバ 330 にそれぞれ類似していてもよい。図 4 に示すように、コントローラ 400 は、メモリ 410 及びトランシーバ 420 からデータ又は命令を受信するように結合され得る。例えば、コントローラ 400 は、いくつかの命令に基づいて動作して、プロトタイプカード 150 上の各 FPG A チップ内に位置する検証モジュール 160 にタイミング及び制御情報を送信してもよい。命令は、ホストインタフェースカード 120 から受信された構成パラメータ及びランタイム制御情報を含み得るが、それらに限定されない。

【0030】

タイミング及び制御情報は、デバイス又はデバイス状態に関連付けられた時間ベース又は状態ベースの情報を集めるために、信号をプローブすることに関連付けられたコマンド及びデータを含み得るが、それらに限定されない。タイミング情報は、コントローラ 400 によって生成、受信又は処理されたクロック信号を含み得る。また、タイミング信号は、開始、停止及びリセット信号を含んでもよい。検証モジュール 160 によって受信されると、タイミング情報は、被試験デバイスに関連付けられたタイミング及び状態解析データをプローブし、取り込み、且つ処理するための基礎としての役割を果たし得る。例えば、コントローラ 400 によって送信されたタイミング及び制御情報は、トリガ・シーケンスを作成し、被試験デバイスからデータを取り込み、取り込まれたデータに時間基準を割り当て、信号値をサンプリングし、FPG A 内の1つ又は複数の信号を、状態解析を行う際にクロックとして使用されるように構成するための基礎を提供してもよい。いくつかの実施形態では、コントローラ 400 は、FPG A チップから取り込まれたデータをメモリ 410 に格納するように構成され得る。データは、タイミングデータと、状態データと、取り込まれたデータに関連付けられたメタデータとを含み得る。メタデータは、特に、時間基準又は信号名を含み得る。メモリ 410 に格納された1つ又は複数の個々の信号に関連付けられた、取り込まれたデータは、その後に取り込まれた同じ信号に関連付けられたデータと比較されてもよい。また、いくつかの実施形態では、コントローラ 400 は、各 FPG A チップ内に位置する1つ又は複数の検証モジュール 160 と交換されたデータを符号化且つ/又は復号するように構成されてもよい。

【0031】

プロトタイプ・システム・インタフェースカード 130 はまた、コントローラ 400 に結合された、1つ又は複数のプロトタイプコネクタを含んでもよい。例えば、プロトタイプコネクタ 430 a ~ 430 d は、コントローラ 400 とプロトタイプカード 150 との間でコマンド及びデータを交換するために適した信号送信特性を有する、J コネクタ又は他のコネクタタイプであってもよい。プロトタイプコネクタ 430 a ~ 430 d は、それぞれ対応する J コネクタ互換ケーブル 135 a ~ 135 d を受けるように構成されてもよ

い。いくつかの実施形態では、プロトタイプ・システム・インタフェースカード130は、特定のシステム要件に従って、4つより多いか又は少ないプロトタイプコネクタを含んでもよい。プロトタイプ・システム・インタフェースカード130は、事前定義され構成可能な様々な論理構成を、FPGAチップに物理的に接続できるように構成され得る。

【0032】

いくつかの実施形態では、プロトタイプ・システム・インタフェースカード130の構造的及び機能的コンポーネントの組み合わせは、プロトタイプカード150内に埋め込まれてもよく、そうでない場合は物理的にプロトタイプカード150内の同一場所に位置してもよい。例えば、コントローラ400、メモリ410、及びトランシーバ420というコンポーネントの一部又は全部は、プロトタイプカード150上に位置してもよい。他の実施形態では、コントローラ400、メモリ410、及びトランシーバ420のうち1つ又は複数の機能性は、プロトタイプカード150上に位置するか又はプロトタイプカード150と通信するように結合された他のコンポーネントに統合されてもよい。プロトタイプ・システム・インタフェースカード130のコンポーネント又は機能性の一部又は全部がプロトタイプカード150上に存在する構成では、ホストインタフェースカード120は、インタフェースカード通信チャンネル125又は他の適切な通信方法を使用して、プロトタイプカード150に結合されてもよい。

【0033】

図1に戻ると、例示的なプロトタイプカード150は、1つ又は複数のFPGAチップに実装された被試験設計を試験するために適した、事前製作又はカスタマイズされたテストボードであってもよい。例として、図1に示すように、プロトタイプカード150は、コネクタ140を通じてホストワークステーション110と通信するように結合された1つ又は複数のFPGAデバイス155a~155dを含み得る。単一のコネクタとして図示されるが、コネクタ140は、Jコネクタ又は同様に適切なコネクタなどの1つ又は複数のコネクタであってもよい。同様に、4つのFPGAデバイスを含むように図示されるが、プロトタイプカード150は、特定のシステム要件に従って、より多く又はより少ないFPGAデバイスを有してもよい。いくつかの実施形態では、プロトタイプカード150は、複数のFPGA、プリント回路基板、又は、FPGAデバイスを使用した設計検証試験を容易にするために適した他のハードウェアの組み合わせにわたって、論理的又は物理的に分割されてもよい。

【0034】

図5は、開示された実施形態と一致する、プロトタイプシステムを実装するための例示的な方法500のフロー図を示す。図5に示すように、ステップ502において、第1のインタフェース・コンポーネントは、ある構成されたイメージ(以下、構成イメージという)を受信するように構成され得る。この構成イメージは、ユーザ設計の少なくとも一部と、ある関連付けられた検証モジュールとを表すものである。構成イメージは、特に、ユーザ設計の一部及び検証モジュール160の両方又はいずれか一方に関連付けられた1つ又は複数の構成パラメータを含み得る。例えば、構成パラメータは、設計のフローのセットアップと、検証モジュール160の機能性と、設計データベース220の構造に関連付けられたパラメータとを含み得る。より具体的には、構成パラメータはまた、FPGA、コネクタ及び相互接続などの詳細なプロトタイプボード情報も含み得る。ステップ504において、第1のインタフェース・コンポーネントは、ある構成された検証モジュール160を被試験デバイスへ送るよう構成され得る。いくつかの実施形態では、ステップ504が、システムセットアップ処理中に発生する場合がある。他の実施形態では、ステップ504は、検証モジュール160の機能性を再構成するために、デバイス試験中に発生する場合がある。構成イメージの再構成では、ホストインタフェースカード120などの第1のインタフェース・コンポーネントは、あるコマンドを送信してもよく、このコマンドは、設計データベース220に含まれた設計情報に基づいて、数、タイプ、及び、信号が解析され得るやり方を再構成するように動作可能なホストワークステーション110から受信したものである。他の実施形態では、ホストインタフェースカード120は、ユー

ザ設計の一部を再構成するように動作可能なホストワークステーション 110 から受信されたコマンドを、検証モジュール 160 の再構成につながるコマンドとは別に又はこのコマンドに加えて、送信してもよい。

【0035】

ステップ 506 において、第 2 のインタフェース・コンポーネントは、第 1 のインタフェース・コンポーネントから受信された構成パラメータ及びランタイム制御情報のうち少なくとも 1 つに基づいて、タイミング及び制御情報を検証モジュール 160 へ送信するように構成され得る。いくつかの実施形態では、タイミング情報は、プロトタイプ・システム・インタフェースカード 130 などの第 2 のインタフェース・コンポーネントから生成されたか、又は、第 2 のインタフェース・コンポーネントによって処理されたクロック信号を含み得る。いくつかの実施形態では、制御情報は、解析トリガ・シーケンス又は条件に関連付けられた情報を含み得る。制御情報は、選択された信号の解析のための信号プローブを作成することに関連付けられたコマンドを含み得るが、それらに限定されない。ステップ 508 において、検証モジュール 160 は、第 2 のインタフェース・コンポーネントからタイミング及び制御情報を受信することに応答して、被試験デバイスを制御するように構成され得る。例えば、被試験デバイスを制御することは、第 2 のインタフェース・コンポーネントから受信されたタイミング情報に基づいた、所定のセットの信号の値の設定又はサンプリングを含み得る。いくつかの実施形態では、サンプリングは同期的に行われ得る。他の実施形態では、サンプリングは非同期的に行われ得る。被試験デバイスを制御することはまた、検証モジュール 160 を使用して、協調シミュレーション又は協調エミュレーションタイプの試験を行うことを含んでもよい。

【0036】

代替として又はこれに加えて、ステップ 510 において、検証モジュール 160 は、被試験デバイス内の所定の信号を監視してもよい。例えば、検証モジュール 160 は、1 つ又は複数の信号を解析するように構成されたプローブを含み得る。代替として又はこれに加えて、ステップ 512 において、検証モジュール 160 は、デバイスに関連付けられたデバイス状態を表す情報を取り込んでもよい。例えば、検証モジュール 160 は、特定の信号に関連付けられたデータを取り込むためのプローブが装備された設計依存回路を含み得る。被試験デバイスに関連付けられた設計データベース 220 へのアクセスを利用して、検証モジュール 160 は、試験処理中に、プローブを修正、除去又は追加するように再構成されて、同じか又は異なる信号を取り込むようにしてもよい。検証モジュール 160 を定義する構成パラメータは、どの信号がプローブされるかを決定するために使用され得る。これらのパラメータは、設計検証セットアップ処理中に設定され得る。代替として、検証モジュール 160 は、試験中に修正され得る。これらのパラメータに基づいて、検証モジュール 160 は、被試験デバイスの全設計状態スナップショットを取り込み、送信し、サイクルごとの解析及び取り込みを行い、協調シミュレーション又は協調エミュレーションを行い、どの信号がプローブされるかを増分的に修正してもよい。代替として又はこれに加えて、ステップ 514 において、検証モジュール 160 によって取り込まれたデータは、プロトタイプ・システム・インタフェースカード 130、ホストワークステーション 110、又は、検証モジュール 160 によって送信されたデータを受信するように結合された適切な計算デバイスなど、計算デバイス又はコンポーネントによって処理され得る。

【0037】

上述の開示された実施形態に対して、その幅広い発明概念から逸脱することなく、変更を行うことができることは、当業者には理解されよう。したがって、開示された実施形態は、開示された特定の例に限定されず、以下の特許請求の範囲によって定義されるような、開示された実施形態の精神及び範囲内における修正を包含することを理解されたい。

【符号の説明】

【0038】

110 ホストワークステーション

- 1 2 0 ホストインタフェースカード
- 1 3 0 プロトタイプ・システム・インタフェースカード
- 1 4 0 コネクタ
- 1 5 0 プロトタイプカード