

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年2月26日 (26.02.2004)

PCT

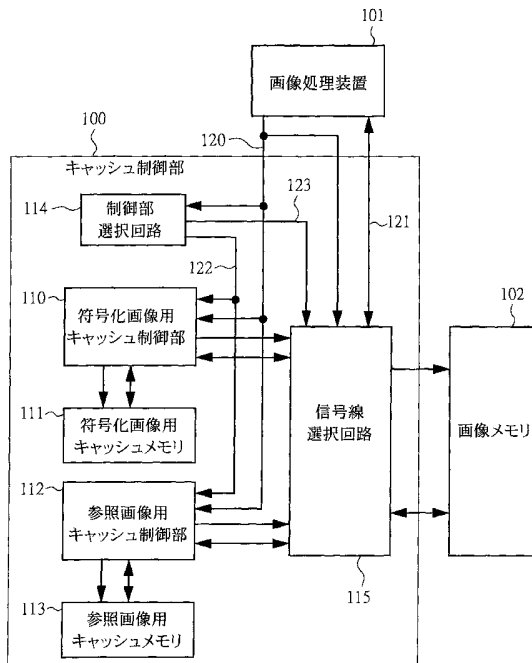
(10) 国際公開番号
WO 2004/017640 A1

- (51) 国際特許分類: H04N 7/32, (72) 発明者; および
G06F 12/08, G06T 1/60, G09G 5/00 (75) 発明者/出願人 (米国についてのみ): 小林 幸史
(KOBAYASHI, Yukifumi) [JP/JP]; 〒198-8512 東京都
(21) 国際出願番号: PCT/JP2002/008236 青梅市 新町六丁目 16番地の3 株式会社日
(22) 国際出願日: 2002年8月13日 (13.08.2002) 立製作所 デバイス開発センタ内 Tokyo (JP). 波多
(25) 国際出願の言語: 日本語 江 博 (HATAE, Hiroshi) [JP/JP]; 〒198-8512 東京都
(26) 国際公開の言語: 日本語 青梅市 新町六丁目 16番地の3 株式会社日立製
(71) 出願人 (米国を除く全ての指定国について): 株式 作所 デバイス開発センタ内 Tokyo (JP). 渡辺 浩巳
社ルネサステクノロジ (RENESAS TECHNOLOGY (WATANABE, Hiromi) [JP/JP]; 〒198-8512 東京都 青
CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二 梅市 新町六丁目 16番地の3 株式会社日立製作所
丁目4番1号 Tokyo (JP). デバイス開発センタ内 Tokyo (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東
京都 新宿区 西新宿 8丁目 1番 1号 アゼリアビル
3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.

[続葉有]

(54) Title: SIGNAL PROCESSOR AND SYSTEM

(54) 発明の名称: 信号処理装置およびシステム



(57) Abstract: A signal processor capable of increasing the cache hit ratio while preventing entry conflict between a coded image and a reference image, performing optimum cache control to each image by the capacity, the entry determining method, etc., and increasing the cache hit ratio in the longitudinal direction while preventing entry conflict with a rectangular block in the vicinity of the longitudinal direction. A system using the signal processor is also disclosed. A cache system comprises a cache memory (111) for coded image and a cache control unit (110) thereof, a cache memory (113) for reference image, and a cache control unit (112) thereof. A control unit selection circuit (114) determines whether the image is a coded image or a reference image according to the accessed address. If the access is made to the coded image, cache control for the coded image is performed. If the access is made to the reference image, cache control for the reference image is performed. Thus, the data cached to be is stored in each independent entry.

- 101...IMAGE PROCESSOR
- 100...CACHE CONTROL UNIT
- 114...CONTROL UNIT SELECTION CIRCUIT
- 110...CACHE CONTROL UNIT FOR CODED IMAGE
- 111...CACHE MEMORY FOR CODED IMAGE
- 112...CACHE CONTROL UNIT FOR REFERENCE IMAGE
- 113...CACHE MEMORY FOR REFERENCE IMAGE
- 115...SIGNAL LINE SELECTION CIRCUIT
- 102...IMAGE MEMORY

[続葉有]

WO 2004/017640 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

(57) 要約:

符号化画像と参照画像との間でエントリの競合を起こさないようにして、キャッシュヒット率を上げることができ、また容量、エントリ決定方法などで各画像に最適なキャッシュ制御を行うことができ、さらに縦方向に近傍の矩形ブロックがエントリの競合を起こさないようにして、縦方向のキャッシュヒット率を上げることができる信号処理装置、およびそれを用いたシステムである。キャッシュシステムにおいて、符号化画像用のキャッシュメモリ (111) およびそのキャッシュ制御部 (110) と、参照画像用のキャッシュメモリ (113) およびそのキャッシュ制御部 (112) とを持ち、制御部選択回路 (114) において、アクセスされたアドレスにより符号化画像なのか参照画像なのかを判定し、符号化画像に対するアクセスであれば符号化画像用のキャッシュ制御、参照画像に対するアクセスであれば参照画像用のキャッシュ制御を行い、それぞれ独立したエントリにキャッシュするデータを格納する。

明 細 書

信号処理装置およびシステム

技術分野

- 5 本発明は、信号処理装置に関し、特に画像用キャッシュメモリの制御方式に適用して有効な技術に関する。

背景技術

- 10 本発明者が検討したところによれば、画像用の信号処理装置については、以下のような技術が考えられる。

- 現在、MPEG-4などの動画の圧縮伸張処理を実現するLSIが開発されている。この圧縮伸張処理を行う際には、画像メモリと画像処理用プロセッサとの間で大量のデータアクセスが生じる。一般に、画像メモリは容量が大きいため、DRAMなどの大容量だが速度が遅いメモリが用いられることが多い。そのため、プロセッサとメモリとの間にキャッシュメモリを持ち、速度の向上を図る場合がある。

- 20 なお、このようなキャッシュメモリを持つキャッシュシステムに関する技術としては、たとえば特開平5-53909号公報に記載される技術などが挙げられる。この公報には、MPEG・ハードウェア・アクセラレータ中に、ブロック単位でデータを格納するキャッシュメモリを持つシステムが開示されている。しかしながら、この技術は、キャッシュメモリを一面のみしか持っていない。

- ところで、前記のようなキャッシュメモリを持つキャッシュシステムを画像処理に適用した場合、第1の課題として、符号化画像の処理も参照画像の処理も同じキャッシュ制御が行われることが挙げられる。通常、画像処理のときは符号化画像と参照画像の近い位置に頻繁にアクセスするが、そのときの符号化画像の画素データのアドレスと参照画像の画素データのアドレスは大きく離れた位置となる。

よって、前記のようなキャッシュシステムの場合、エントリの決定は

アドレスの下位ビットによって決まるので、メモリ上で離れた位置に頻りにアクセスする場合、エントリの競合を起こしやすくなる。そのため、符号化画像へのアクセスと参照画像へのアクセスが交互に行われるような場合、メモリ上で離れた位置に頻りにアクセスをすることになり、

5 頻りにエントリの競合を起こすことがある。エントリの競合を起こした場合、当該エントリはより新しいデータでリプレースがされるため、キャッシュヒット率が低下する。

また、符号化画像と参照画像ではアクセスされる性質が異なる。たとえば、MPEGにおける動きベクトル検出では、符号化画像の場合は符号化を行う 16×16 画素のブロックに対して頻りにアクセスされるが、参照画像では探索範囲のブロック（たとえばX方向、Y方向ともに ± 16 画素だとすると 48×48 画素）で頻りにアクセスされる。アクセスの性質が異なるものに対して同じ制御方式をとると、容量の増大を招く問題がある。

15 第2の課題として、前記のキャッシュメモリでは縦方向の画素のキャッシュヒット率を上げるためにブロック単位でデータを格納しているが、エントリの決定にアドレスを使用しているため、画像の横方向のサイズが2のべき乗に限定されてしまう。画像の横方向のサイズを2のべき乗以外にすると、エントリの競合を起こし、縦方向の画素のキャッシュ

20 ユヒット率が低下する。

そこで、本発明の第1の目的は、前記第1の課題を解決し、符号化画像と参照画像との間でエントリの競合を起こさないようにして、キャッシュヒット率を上げることができ、また容量、エントリ決定方法などで各画像に最適なキャッシュ制御を行うことができる信号処理装置、およ

25 びそれを用いたシステムを提供することにある。

また、本発明の第2の目的は、前記第2の課題を解決し、縦方向に近傍の矩形ブロックがエントリの競合を起こさないようにして、縦方向のキャッシュヒット率を上げることができ、かつ画像のサイズを自由に選択することができる信号処理装置、およびそれを用いたシステムを提供

することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

5 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明は、前記第1の目的を達成するため、符号化画像用のキャッシュメモリおよびそのキャッシュ制御部と、参照画像用のキャッシュメモリおよびそのキャッシュ制御部とを持ち、選択回路において、アクセスされたアドレスにより符号化画像なのか参照画像なのかを判定し、符号化画像に対するアクセスであれば符号化画像用のキャッシュ制御、参照画像に対するアクセスであれば参照画像用のキャッシュ制御を行い、それぞれ独立したエントリにキャッシュするデータを格納するようにしたものである。この制御により、符号化画像と参照画像との間でエントリの競合を起こすことがなくなり、キャッシュヒット率を上げることができるようになる。また、キャッシュ制御を独立に行うため、容量、エントリ決定方法などで各画像に最適なキャッシュ制御を行うことができるようになる。

また、本発明は、前記第2の目的を達成するため、それぞれのキャッシュ制御方式において、1つのエントリには画像上で矩形ブロックとなる画像データを格納し、アクセスする画素データの指定は矩形ブロックの横方向の位置と縦方向の位置と矩形ブロック内の横方向の画素位置と縦方向の画素位置で指定し、矩形ブロックの横方向の位置と縦方向の位置によりエントリを決定するものである。これにより、キャッシュする単位が矩形ブロックとなるため、1つのエントリに横方向と縦方向に近傍の画素が存在することになり、縦方向のキャッシュヒット率を上げることができるようになる。また、アクセスする画素データを、矩形ブロックの横方向の位置と縦方向の位置を用いてエントリを決定するこ

とにより、縦方向に近傍の矩形ブロックがエントリの競合を起こさないため、縦方向のキャッシュヒット率を上げることができるようになり、かつ画像のサイズも自由に選択することができる。

- 5 従って、本発明により、画像データに対するキャッシュヒット率を上ることができる。よって、ユニファイドメモリ・アーキテクチャを採用する画像処理装置で、画像データの転送によるバス占有率を低減することができる。この結果、処理の高速化および低消費電力化を実現することが可能となる。

10 図面の簡単な説明

- 図1は本発明による信号処理装置を適用した実施の形態1のキャッシュシステムを示すブロック図、図2は実施の形態1のキャッシュシステムにおける動作を示すフロー図、図3は実施の形態1において、動きベクトル検出時のアクセス範囲を示す説明図、図4は本発明による信号
- 15 処理装置を適用した実施の形態2のキャッシュシステムを示すブロック図、図5は本発明による信号処理装置を適用した実施の形態3のキャッシュシステムを示すブロック図、図6は実施の形態3において、アドレス指定方法を示す説明図、図7はエントリ決定方法を示す説明図、図
- 20 8はミスヒット時の動作を示す説明図、図9は本発明による信号処理装置を適用した実施の形態4のキャッシュシステムを示すブロック図、図
- 10は本発明による信号処理装置を適用した実施の形態5の携帯電話システムを示すブロック図である。

発明を実施するための最良の形態

- 25 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

(実施の形態1)

図1により、本発明による信号処理装置を適用した実施の形態1のキ

キャッシュシステムの構成の一例を説明する。図1は本実施の形態のキャッシュシステムのブロック図を示す。

本実施の形態のキャッシュシステムは、たとえば画像の圧縮伸長処理を実現するシステムとされ、画像データのキャッシュ動作を制御するためのキャッシュ制御部100と、画像データを処理するための画像処理装置101と、画像データを格納するための画像メモリ102などから構成されている。特に、本実施の形態の特徴は、信号処理装置として機能するキャッシュ制御部100に、符号化画像用と参照画像用のキャッシュメモリおよびそのキャッシュ制御部をそれぞれ独立に備えた点である。

キャッシュ制御部100は、信号処理装置として機能する部分であり、符号化画像用キャッシュ制御部110、符号化画像用キャッシュメモリ111、参照画像用キャッシュ制御部112、参照画像用キャッシュメモリ113、制御部選択回路114、信号線選択回路115などから構成され、画像処理装置用インタフェースからバスを通じて画像処理装置101に接続され、画像メモリ用インタフェースからバスを通じて画像メモリ102に接続されている。特に、このキャッシュ制御部100では、符号化画像用キャッシュ制御部110と参照画像用キャッシュ制御部112がそれぞれ独立に備えられている。

以上のように構成されるキャッシュシステムにおいて、画像処理装置101は、キャッシュ制御部100内の符号化画像用キャッシュ制御部110、参照画像用キャッシュ制御部112、制御部選択回路114、信号線選択回路115とアドレスバス120を通じて接続され、また信号線選択回路115とデータバス121を通じて接続されている。また、画像メモリ102は、キャッシュ制御部100内の信号線選択回路115とアドレス、データの各バスを通じて接続されている。

キャッシュ制御部100内において、符号化画像用キャッシュ制御部110、参照画像用キャッシュ制御部112、制御部選択回路114は制御線122を通じて接続され、また制御部選択回路114、信号線選

択回路 1 1 5 は別の制御線 1 2 3 を通じて接続されている。また、符号化画像用キャッシュ制御部 1 1 0 と信号線選択回路 1 1 5 の間、参照画像用キャッシュ制御部 1 1 2 と信号線選択回路 1 1 5 の間、さらに符号化画像用キャッシュ制御部 1 1 0 と符号化画像用キャッシュメモリ 1 1 1 の間、参照画像用キャッシュ制御部 1 1 2 と参照画像用キャッシュメモリ 1 1 3 の間はそれぞれ、アドレス、データの各信号線を通じて接続されている。

次に、図 2 により、本実施の形態のキャッシュシステムにおける動作の一例を説明する。図 2 は本実施の形態のキャッシュシステムにおける動作のフロー図を示す。

本実施の形態のキャッシュシステムにおいて、画像の圧縮処理に伴う符号化については、画像処理装置 1 0 1 と符号化画像用キャッシュメモリ 1 1 1、参照画像用キャッシュメモリ 1 1 3 との間で行われ、必要に応じて画像メモリ 1 0 2 のデータが用いられる。また、画像の伸長処理に伴う復号化については、画像処理装置 1 0 1 と画像メモリ 1 0 2 との間で行われる。ここでは、本発明の目的としている画像の圧縮処理に伴う符号化の動作について説明する。

まず、画像処理装置 1 0 1 から、キャッシュ制御部 1 0 0 に対してアクセスが発生すると、キャッシュ制御部 1 0 0 内の制御部選択回路 1 1 4 にはアドレスバス 1 2 0 が接続されているので、このアドレスバス 1 2 0 を通じてアクセスするアドレスが入力される（ステップ S 1）。

そして、キャッシュ制御部 1 0 0 内において、制御部選択回路 1 1 4 は符号化画像の先頭アドレス、符号化画像の画像サイズ、参照画像の先頭アドレス、参照画像の画像サイズの情報を持っているので、これらの情報より、入力されたアドレスが符号化画像へのアクセスなのか、参照画像へのアクセスなのか、それ以外へのアクセスなのかを判定する（ステップ S 2, S 3）。

この判定の結果により、符号化画像へのアクセスであれば、符号化画像用キャッシュ制御部 1 1 0 がキャッシュ制御動作を行うように制御

線 1 2 2 により制御する。この符号化画像のキャッシュ動作を行うときは、符号化画像用キャッシュメモリ 1 1 1 にキャッシュするデータを格納する。また、信号線選択回路 1 1 5 が、アクセスのあった符号化画像用キャッシュ制御部 1 1 0 を選択して、画像メモリ 1 0 2、画像処理装置 1 0 1 と接続するように制御線 1 2 3 により制御する（ステップ S 4）。

また、判定の結果が、参照画像へのアクセスであれば、参照画像用キャッシュ制御部 1 1 2 がキャッシュ制御動作を行うように制御線 1 2 2 により制御する。この参照画像のキャッシュ動作を行うときは、参照画像用キャッシュメモリ 1 1 3 にキャッシュするデータを格納する。また、信号線選択回路 1 1 5 が、アクセスのあった参照画像用キャッシュ制御部 1 1 2 を選択して、画像メモリ 1 0 2、画像処理装置 1 0 1 と接続するように制御線 1 2 3 により制御する（ステップ S 5）。

また、判定の結果により、アクセスされたアドレスが符号化画像でも参照画像でもない場合は、キャッシュ動作を行わず、アドレスバス 1 2 0 とデータバス 1 2 1 を画像メモリ 1 0 2 と接続するように信号線選択回路 1 1 5 を制御する（ステップ S 6）。

以上のように、符号化画像用と参照画像用にそれぞれ、専用のキャッシュメモリ 1 1 1、1 1 3 とキャッシュ制御部 1 1 0、1 1 2 を持つので、符号化画像と参照画像は必ず別々のメモリに格納され、エントリが競合することがない。また、符号化画像でも参照画像でもないアクセスの場合はキャッシュ動作を行わないので、符号化画像や参照画像が各キャッシュメモリ 1 1 1、1 1 3 から追い出されることがない。その結果、それぞれのキャッシュヒット率が向上する。

次に、図 3 により、動きベクトル検出時のアクセス範囲の一例を説明する。図 3 は動きベクトル検出時のアクセス範囲の説明図を示す。

符号化画像用キャッシュ制御部 1 1 0 と参照画像用キャッシュ制御部 1 1 2 はそれぞれ独立で動作するため、それぞれの制御方式は同じでなくとも良い。たとえば、図 3 のように、動きベクトル検出を 16×1

6画素の符号化画像ブロックをX方向、Y方向ともに±16画素の範囲で探索する場合、符号化ブロックは16×16画素、参照画像は48×48画素が必要になる。この場合、符号化画像のキャッシュ容量は16×16画素分、参照画像のキャッシュ容量は48×48画素分にとすると、

5 容量の面で効率が良くなる。

このように、本実施の形態のキャッシュシステムによれば、符号化画像用キャッシュ制御部110と参照画像用キャッシュ制御部112をそれぞれ独立に動作させることにより、符号化画像と参照画像、およびそれ以外のデータとの間でエントリの競合がなくなり、キャッシュヒット率が向上する。また、符号化画像用と参照画像用でそれぞれ独立した

10 制御方式をとれるので、容量、制御方式などを画像の性質に合わせて最適化することができる。

(実施の形態2)

図4により、本発明による信号処理装置を適用した実施の形態2のキャッシュシステムの構成の一例を説明する。図4は本実施の形態のキャッシュシステムのブロック図を示す。

15

本実施の形態のキャッシュシステムは、たとえば画像の圧縮伸長処理を実現するシステムとされ、前記実施の形態1と同様に、キャッシュ制御部100aと、画像処理装置101と、画像メモリ102などから構成され、前記実施の形態1との相違点は、前記実施の形態1の拡張例として、参照画像用のキャッシュメモリおよびそのキャッシュ制御部をさらに前方予測参照画像用と後方予測参照画像用に分けるようにした点である。

20

すなわち、本実施の形態のキャッシュシステムにおいて、信号処理装置として機能するキャッシュ制御部100aは、符号化画像用キャッシュ制御部110、符号化画像用キャッシュメモリ111、前方参照画像用キャッシュ制御部210、前方参照画像用キャッシュメモリ211、後方参照画像用キャッシュ制御部212、後方参照画像用キャッシュメモリ213、制御部選択回路114、信号線選択回路115などから構成

25

成され、特に参照画像用キャッシュ制御部として前方参照画像用キャッシュ制御部 210 と後方参照画像用キャッシュ制御部 212 がそれぞれ独立に備えられている。

また、キャッシュ制御部 100 a 内において、符号化画像用キャッシュ制御部 110、前方参照画像用キャッシュ制御部 210、後方参照画像用キャッシュ制御部 212、制御部選択回路 114 は制御線 122 を通じて接続され、また制御部選択回路 114、信号線選択回路 115 は別の制御線 123 を通じて接続されている。各装置間および他の接続は、前記実施の形態 1 と同様である。

よって、本実施の形態のキャッシュシステムによれば、前方予測参照画像と後方予測参照画像の両方から動きベクトルを予測するような場合に、符号化画像用キャッシュ制御部 110 と前方参照画像用キャッシュ制御部 210 と後方参照画像用キャッシュ制御部 212 がそれぞれ専用のキャッシュメモリ 111, 211, 213 を持ち、それぞれ独立に動作するため、各画像間でエントリの競合が起こらず、キャッシュヒット率が向上する。また、容量、制御方式などを各画像の性質に合わせて最適化することができる。

(実施の形態 3)

図 5 により、本発明による信号処理装置を適用した実施の形態 3 のキャッシュシステムの構成の一例を説明する。図 5 は本実施の形態のキャッシュシステムのブロック図を示す。

本実施の形態の特徴は、1つのエントリに格納されるデータの単位が画像上で横方向と縦方向に連続した矩形ブロックであり、画素データの指定方法がブロック位置とブロック内での位置により行われることである。ここでは、参照画像のキャッシュ制御を例に説明するが、符号化画像のキャッシュ制御にも同様に適用可能であることはいうまでもない。

すなわち、本実施の形態のキャッシュシステムは、たとえば画像の圧縮伸長処理を実現するシステムとされ、前記実施の形態 1 と同様に、画

像処理装置 101 と、参照画像用のキャッシュ制御部 112 およびキャッシュメモリ 113 と、制御部選択回路 114 と、メインメモリ 300 などから構成されている。メインメモリ 300 は、前記実施の形態 1 の画像メモリ 102 に対応する。

- 5 参照画像用のキャッシュ制御部 112 は、エントリ決定回路 310、キャッシュヒット判定回路 311、タグメモリ 312、メモリコントローラ 313 などから構成されている。エントリ決定回路 310 は、参照画像の先頭アドレス、X 方向画像サイズの情報を持ち、ブロック位置と、ブロック内での位置により、アクセスされた画素のメインメモリ 300
- 10 でのアドレスが算出可能になっている。

次に、本実施の形態のキャッシュシステムにおいて、アクセス方法の一例について説明する。

- 制御部選択回路 114 は、アドレスバス 120 が接続されているので、アドレスの上位 16 ビットにより参照画像に対するアクセスなのか、それ以外のものに対するアクセスなのかを指定する。たとえば、参照画像
- 15 の識別コードを H'FF00 とすると、入力されたアドレスの上位 16 ビットが H'FF00 である場合、参照画像へのアクセスであり、それ以外の場合、通常の 32 ビットで指定する非キャッシュアクセスであるというふうに使用する。このため、識別コードに使用するアドレスは通常
- 20 アクセスでは使用禁止領域とする。

- エントリ決定回路 310 は、アドレスバス 120、データバス 121 が接続されているので、ここを通じて画像処理装置 101 からレジスタ設定が行われる。アクセスしたい画素の指定は、画素のブロック位置と、ブロック内の位置により指定する。ここでは、ブロックのサイズは 16
- 25 × 16 画素とする。ブロック位置の指定は、エントリ決定回路 310 のレジスタセットにより行い、ブロック内の画素の位置はアドレスの下位 16 ビットで指定する。

制御部選択回路 114 から参照画像制御選択信号が出力された場合、アドレスの下位 16 ビットにはブロック内での画素位置が示され、その

位置指定によりキャッシュメモリ用アドレスを算出し、キャッシュアクセスが行われる。ブロック内の位置指定は、X方向位置とY方向位置により行う。ブロック内位置指定に使用するアドレスの下位16ビットのうち下位8ビットをブロック内X方向位置、上位8ビットをブロック内Y方向位置として指定する。

次に、図6により、画像の位置とアドレスの指定方法の一例を説明する。図6はアドレス指定方法の説明図を示す。

図6のように、ブロック位置が(1, 2)、ブロック内の位置が(2, 1)の画素をアクセスする場合、エントリ決定回路310の内部レジスタにX方向ブロック位置として1、Y方向ブロック位置として2をセットする。その後、アドレスには参照画像の識別コードH'FF00を上位16ビット、ブロック内のY方向画素位置H'01、X方向画素位置H'02を下位16ビットに割り合て、アドレス=H'FF00 0102でアクセスする。

次に、図7により、エントリの決定方法の一例について説明する。図7はエントリ決定方法の説明図を示す。

エントリの決定方法は、矩形ブロックの横方向の位置をx、縦方向の位置をyとして、エントリ数をm×nとした場合、以下の式でエントリ番号を決定する。

$$\text{エントリ番号} = \{(x / m) \text{の余り}\} + \{(y / n) \text{の余り}\} \times m \quad (1)$$

図7により、式(1)に従い、エントリ番号を決定した場合に画像上のブロックがどのエントリに格納されるかを説明する。ここでは、エントリ数を3×3(番号0~8)とした場合について示しており、ブロック位置(6, 3)はエントリ番号0、ブロック位置(5, 5)はエントリ番号8になり、それぞれのエントリ番号位置に格納される。図7で示すように、横方向は1ずつエントリ番号が増え、3つ目で元に戻る。縦方向は3ずつエントリ番号が増え、3つ目で元に戻る。

従って、横方向、縦方向ともに3個以内の位置のブロックはエントリの競合を起こさない。すなわち、横方向にはm個以内、縦方向にはn個

以内の位置のブロックはエントリの競合を起こさない。そのため、横方向と縦方向の両方に近傍の画素のキャッシュヒット率が向上する。

このときのタグは、以下の式により表される。

$$\text{タグ} = \{(x/m) \text{ の商}\} + \{(y/n) \text{ の商}\} \times m \quad (2)$$

- 5 タグメモリ 312 の、式 (1) で決定されたエントリに対応する位置に、式 (2) の値が格納される。

次に、本実施の形態のキャッシュシステムにおける動作の一例について説明する。

- 10 画像処理装置 101 がアクセスしたい参照画像の X 方向ブロック位置と Y 方向ブロック位置を、エントリ決定回路 310 の内部レジスタに設定しておく。制御部選択回路 114 では、アドレスバス 120 からアドレスが入力されると、上位 16 ビットを見て参照画像へのアクセスなのか、それ以外へのアクセスなのかを判断し、参照画像へのアクセスであった場合、エントリ決定回路 310 に参照画像制御選択信号を出力す
- 15 る。

- エントリ決定回路 310 では、参照画像制御選択信号が入力されると、内部レジスタに設定された値により、式 (1)、(2) に従いエントリ、タグを決定し、キャッシュヒット判定回路 311 に出力する。また、参照画像先頭アドレス、X 方向画像サイズ、ブロック位置よりミスヒット
- 20 時のメインメモリ用アドレス、ブロック内位置よりキャッシュメモリ用アドレスを算出し、メモリコントローラ 313 に出力する。

- キャッシュヒット判定回路 311 では、入力されたエントリに対応するタグメモリ 312 の値を入力されたタグと比較する。比較の結果、一致していたらヒット信号を、不一致だったらミスヒット信号をメモリコ
- 25 ントローラ 313 に出力する。ミスヒットの場合、タグメモリ 312 を入力されたタグに書き換える。

メモリコントローラ 313 では、ヒット判定の場合、エントリ決定回路 310 から入力されたキャッシュメモリ用実アドレスに従いキャッシュメモリ 113 にアクセスし、データバス 121 にデータを出力する。

ミスヒット判定の場合、該当するエントリの16×16画素を全て置き換え、その後、データを出力する。

次に、図8により、ミスヒット時の動作の一例を説明する。図8はミスヒット時の動作の説明図を示す。

- 5 ここでは、(1, 1)のブロックの画素にアクセスの際、ミスヒットが起こった場合について示している。参照画像格納先頭アドレスをH'0000、画像のX方向サイズを176画素とすると、(1, 1)の先頭アドレスはH'0B10、Y方向のインクリメント値(Y方向の次のアドレスの加算値)はH'B0となる。これらの値は、エントリ決定回路310から受け渡される。ブロック位置(1, 1)は前述した式(1)よりエントリ番号4に格納される。

- 15 メモリコントローラ313は、メインメモリ300にアクセスし、まず先頭アドレスであるH'0B10の1ライン(16バイト)をキャッシュメモリ113のエントリ番号4に上から順番に格納する。メインメモリ300のアドレスにY方向インクリメント値(H'B0)を加算して、次のアドレス(H'0BC0)にアクセスをし、キャッシュメモリ113のエントリ番号4に順番に格納する。これを16ライン繰り返し、1ブロック分(16×16画素)の置き換えが行われる。その後、キャッシュメモリ用実アドレスに従いキャッシュメモリ113にアクセスし、データバス121にデータを出力し、動作を完了する。

- 25 このように、本実施の形態のキャッシュシステムによれば、1エントリに矩形ブロックを格納し、画素の指定をブロック位置とブロック内の位置で行うことにより、画素の横方向と縦方向の両方に近傍の画素のキャッシュヒット率が向上する。また画像のサイズも自由に選択することができる。

(実施の形態4)

図9により、本発明による信号処理装置を適用した実施の形態4のキャッシュシステムの構成の一例を説明する。図9は本実施の形態のキャッシュシステムのブロック図を示す。

本実施の形態の特徴は、画像用のキャッシュ制御部と通常の演算処理装置用のキャッシュ制御部がそれぞれ別々にあり、バスを介してメインメモリに接続されていることにある。

すなわち、本実施の形態のキャッシュシステムは、画像データを処理するための画像処理装置 101 と、画像データのキャッシュ動作を制御するための画像用キャッシュ制御部 400 と、キャッシュ動作の画像データを格納するための画像用キャッシュメモリ 401 と、画像データと演算処理装置用のインストラクションコードやその他のデータを格納するためのメインメモリ 402 と、演算処理装置用の他のデータを演算処理するための演算処理装置 403 と、他のデータのキャッシュ動作を制御するための演算処理装置用キャッシュ制御部 404 と、キャッシュ動作の他のデータを格納するための演算処理装置用キャッシュメモリ 405 などから構成されている。

次に、本実施の形態のキャッシュシステムの動作の一例について説明する。

画像処理装置 101 は、画像データに関する処理を行う。画像処理装置 101 が、画像用キャッシュ制御部 400 に画像データのアクセス要求をする。このキャッシュ制御部 400 では、画像データがキャッシュヒットであれば画像用キャッシュメモリ 401 にアクセスし、画像処理装置 101 にデータを出力する。ミスヒットであれば、バス 420 を通じてメインメモリ 402 にアクセスし、データを画像用キャッシュメモリ 401 のデータと置き換え、画像処理装置 101 に出力する。キャッシュの制御方法は、前記実施の形態 1 で説明した方式をとっており、画像に適した制御となっている。

次に、演算処理装置 403 の動作の一例について説明する。

演算処理装置 403 では、主に画像データ以外のデータを扱う。演算処理装置 403 が、演算処理装置用キャッシュ制御部 404 にデータのアクセス要求をする。このキャッシュ制御部 404 では、データがキャッシュヒットであれば演算処理装置用キャッシュメモリ 405 にア

セスし、演算処理装置 403 にデータを出力する。ミスヒットであれば、バス 420 を通じてメインメモリ 402 にアクセスし、データを演算処理装置用キャッシュメモリ 405 のデータと置き換え、演算処理装置 403 に出力する。演算処理装置 403 では、インストラクションコード
5 など、主に画像以外のデータを取り扱うため、それらの制御に適した従来方式のキャッシュ制御が行われている。

このように、本実施の形態のキャッシュシステムによれば、画像処理装置 101 には画像用キャッシュ制御部 400、演算処理装置 403 には演算処理装置用キャッシュ制御部 404 をそれぞれ独立に設けること
10 により、それぞれの処理に適したキャッシュ制御方式を適用することができる。その結果、それぞれの処理でキャッシュヒット率が高くなる。

(実施の形態 5)

図 10 により、本発明による信号処理装置を適用した実施の形態 5 の携帯電話システムの構成の一例を説明する。図 10 は本実施の形態の携
15 帯電話システムのブロック図を示す。

本実施の形態の特徴は、具体的な製品として、携帯電話システムに適用していることにある。

すなわち、本実施の形態の携帯電話システムは、携帯電話システムの主要部を搭載する携帯電話本体部 500 と、音声を入力するためのマイク 501 と、音声を発声するためのスピーカ 502 と、対象物を撮像するためのカメラ 503 と、画像を表示するための LCD 504 などから構成されている。

携帯電話本体部 500 は、送受信信号を変調および復調する機能などを持つ RF 回路 510、送受信を制御する機能などを持つベースバンド
25 プロセッサ 511、音声および画像などのデータを記憶するメインメモリ 512、カメラ 503 で撮像した画像信号をデジタル処理するカメラ DSP 513、各種アプリケーション処理を実行するキャッシュメモリ 514 を含むアプリケーションプロセッサ 515、LCD 504 とのインタフェースを司る LCD インターフェイス 516 などから構成され

ている。メインメモリ 5 1 2 は、バス 5 2 0 を通じてベースバンドプロセッサ 5 1 1、キャッシュメモリ 5 1 4 に接続され、音声データ、画像データなどが格納されている。

受信時の基本動作は、RF回路 5 1 0 において、アンテナで受信された電波がフィルタ、アンプ、ミキサなどを介して中間周波数の信号に変換される。そして、ベースバンドプロセッサ 5 1 1 において、中間周波数の信号は復調されてベースバンド信号となり、その後、チャンネルコーデックによって分解され、必要なチャンネルの音声信号は音声コーデックによってアナログ音声信号となり、スピーカ 5 0 2 から発声される。この際に、ベースバンドプロセッサ 5 1 1 では、随時、メインメモリ 5 1 2 にデータを格納し、また必要なデータを読み出して各処理を実行する。

送信時の基本動作は、ベースバンドプロセッサ 5 1 1 において、マイク 5 0 1 から入り音声コーデックでデジタル化された信号がチャンネルコーデックで変換され、そして波形整形回路で伝送に適した波形に整形される。この際に、ベースバンドプロセッサ 5 1 1 では、随時、メインメモリ 5 1 2 にデータを格納し、また必要なデータを読み出して各処理を実行する。その後、RF回路 5 1 0 において、中間周波数で変調され、さらにミキサなどを介して無線周波数に変換され、アンプで増幅された後にフィルタを経てアンテナから送信される。

また、カメラ 5 0 3 による撮像機能およびLCD 5 0 4 への表示機能に関する動作は、カメラ 5 0 3 で撮像した画像信号をカメラDSP 5 1 3 でデジタル処理し、さらにアプリケーションプロセッサ 5 1 5 において、LCD 5 0 4 へ表示するためのデータ処理や、音声とともに電波に載せて送信するためのデータ処理などを行う。この際に、アプリケーションプロセッサ 5 1 5 では、随時、メインメモリ 5 1 2 にデータを格納し、また必要なデータはキャッシュ動作によりキャッシュメモリ 5 1 4 に格納して各処理を実行する。

そして、LCD 5 0 4 へ表示するためにデータ処理された信号は、LCD 5 0 4 に画像として表示される。また、音声とともに電波に載せて

送信するためにデータ処理された信号は、音声とともにアンテナから送信され、相手側のLCDに画像として表示される。

このように、本実施の形態の携帯電話システムによれば、キャッシュシステムを携帯電話システムに適用したことにより、前記実施の形態1
5 ～4と同様の効果を得ることができる。

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

10

産業上の利用可能性

以上のように、本発明にかかる信号処理装置は、特に画像用キャッシュメモリの制御方式、さらに画像用キャッシュメモリと通常の演算処理装置用キャッシュメモリをそれぞれ別々に設けた制御方式のキャッシュシステムなどに適用して有用であり、さらに携帯電話などの携帯端末システムなどにも広く適用することができる。

15

請 求 の 範 囲

1. 画像データの符号化画像用キャッシュメモリと、
前記符号化画像用キャッシュメモリに対するキャッシュ動作を制御する符号化画像用キャッシュ制御部と、
- 5 前記画像データの参照画像用キャッシュメモリと、
前記参照画像用キャッシュメモリに対するキャッシュ動作を制御する参照画像用キャッシュ制御部と、
前記符号化画像用キャッシュ制御部によるキャッシュ制御と前記参照画像用キャッシュ制御部によるキャッシュ制御とを独立に行い、それぞれ独立した前記符号化画像用キャッシュメモリと前記参照画像用キャッシュメモリのエントリにキャッシュする画像データを格納する選択回路とを有することを特徴とする信号処理装置。
- 10 2. 請求項 1 記載の信号処理装置において、
前記参照画像用キャッシュメモリは、前方予測参照画像用キャッシュメモリと後方予測参照画像用キャッシュメモリとを有し、
前記参照画像用キャッシュ制御部は、前方予測参照画像用キャッシュ制御部と後方予測参照画像用キャッシュ制御部とを有し、
前記選択回路は、前記前方予測参照画像用キャッシュ制御部によるキャッシュ制御と前記後方予測参照画像用キャッシュ制御部によるキャッシュ制御とを独立に行い、それぞれ独立した前方予測参照画像用キャッシュメモリと前記後方予測参照画像用キャッシュメモリのエントリにキャッシュするデータを格納することを特徴とする信号処理装置。
- 20 3. 請求項 1 記載の信号処理装置において、
前記符号化画像用キャッシュメモリおよび前記参照画像用キャッシュメモリは、1つのエントリに格納される画像データの単位が画像上で矩形ブロックであることを特徴とする信号処理装置。
4. 請求項 3 記載の信号処理装置において、
前記符号化画像用キャッシュ制御部および前記参照画像用キャッシュ制御部は、アクセスする画素データを指定する際、前記矩形ブロック

の横方向の位置と縦方向の位置と前記矩形ブロック内の横方向の画素位置と縦方向の画素位置で指定し、前記矩形ブロックの横方向の位置と縦方向の位置によりエントリを決定することを特徴とする信号処理装置。

- 5 5. 請求項2記載の信号処理装置において、

前記符号化画像用キャッシュメモリ、前記前方予測参照画像用キャッシュメモリおよび前記後方予測参照画像用キャッシュメモリは、1つのエントリに格納される画像データの単位が画像上で矩形ブロックであることを特徴とする信号処理装置。

- 10 6. 請求項5記載の信号処理装置において、

前記符号化画像用キャッシュ制御部、前記前方予測参照画像用キャッシュ制御部および前記後方予測参照画像用キャッシュ制御部は、アクセスする画素データを指定する際、前記矩形ブロックの横方向の位置と縦方向の位置と前記矩形ブロック内の横方向の画素位置と縦方向の画素位置で指定し、前記矩形ブロックの横方向の位置と縦方向の位置によりエントリを決定することを特徴とする信号処理装置。

- 15 7. 請求項1、2、3、4、5または6記載の信号処理装置において、

前記画像データを格納する画像メモリを接続するための画像メモリ用インタフェースと、

- 20 前記画像データを処理する画像処理装置を接続するための画像処理装置用インタフェースとを有し、

前記信号処理装置は、前記画像メモリ用インタフェースからバスを通じて前記画像メモリに接続され、前記画像処理装置用インタフェースからバスを通じて前記画像処理装置に接続されることを特徴とする信号処理装置。

- 25 8. 請求項1、2、3、4、5または6記載の信号処理装置において、

前記画像データと他のデータとを共有して格納するメモリを接続するためのメモリ用インタフェースと、

前記画像データを処理する画像処理装置を接続するための画像処理

装置用インタフェースと、

前記他のデータを処理する演算処理装置を接続するための演算処理装置用インタフェースとを有し、

5 前記信号処理装置は、前記メモリ用インタフェースからバスを通じて前記メモリに接続され、前記画像処理装置用インタフェースからバスを通じて前記画像処理装置に接続され、前記演算処理装置用インタフェースからバスを通じて前記演算処理装置に接続されることを特徴とする信号処理装置。

9. 画像データの符号化画像用キャッシュメモリと、前記符号化画像用
10 キャッシュメモリに対するキャッシュ動作を制御する符号化画像用キャッシュ制御部と、前記画像データの参照画像用キャッシュメモリと、前記参照画像用キャッシュメモリに対するキャッシュ動作を制御する参照画像用キャッシュ制御部と、前記符号化画像用キャッシュ制御部によるキャッシュ制御と前記参照画像用キャッシュ制御部によるキャッシュ
15 シュ制御とを独立に行い、それぞれ独立した前記符号化画像用キャッシュメモリと前記参照画像用キャッシュメモリのエントリにキャッシュする画像データを格納する選択回路とを有する信号処理装置と、

前記信号処理装置にバスを通じて接続され、前記画像データを格納する画像メモリと、

20 前記信号処理装置にバスを通じて接続され、前記画像データを処理する画像処理装置とを有することを特徴とするシステム。

10. 画像データの符号化画像用キャッシュメモリと、前記符号化画像用キャッシュメモリに対するキャッシュ動作を制御する符号化画像用
25 キャッシュ制御部と、前記画像データの参照画像用キャッシュメモリと、前記参照画像用キャッシュメモリに対するキャッシュ動作を制御する参照画像用キャッシュ制御部と、前記符号化画像用キャッシュ制御部によるキャッシュ制御と前記参照画像用キャッシュ制御部によるキャッシュ制御とを独立に行い、それぞれ独立した前記符号化画像用キャッシュメモリと前記参照画像用キャッシュメモリのエントリにキャッシュ

する画像データを格納する選択回路とを有する信号処理装置と、

前記信号処理装置にバスを通じて接続され、前記画像データと他のデータとを共有して格納するメモリと、

5 前記信号処理装置にバスを通じて接続され、前記画像データを処理する画像処理装置と、

前記メモリにバスを通じて接続され、前記他のデータを処理する演算処理装置とを有することを特徴とするシステム。

図 1

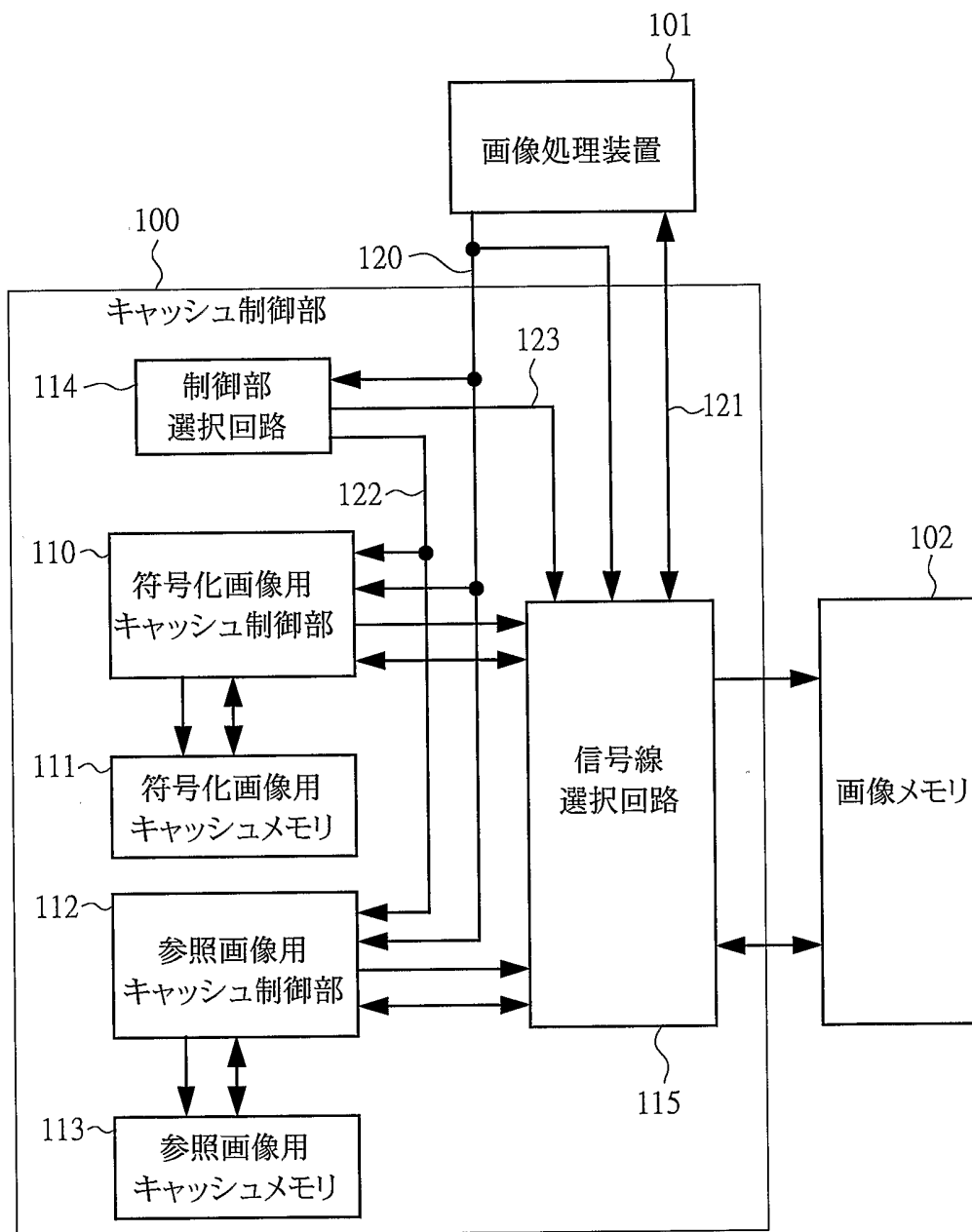


図 2

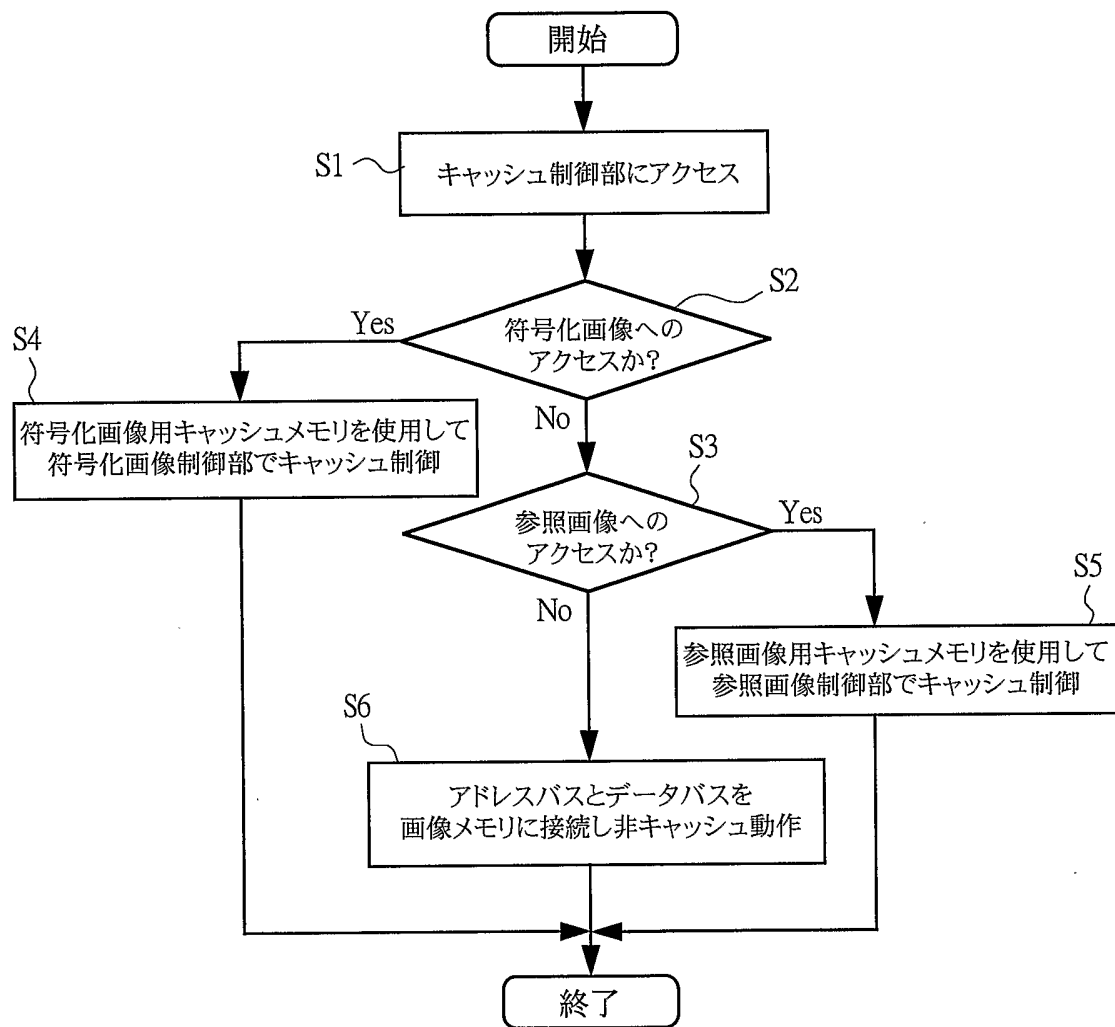


図 3

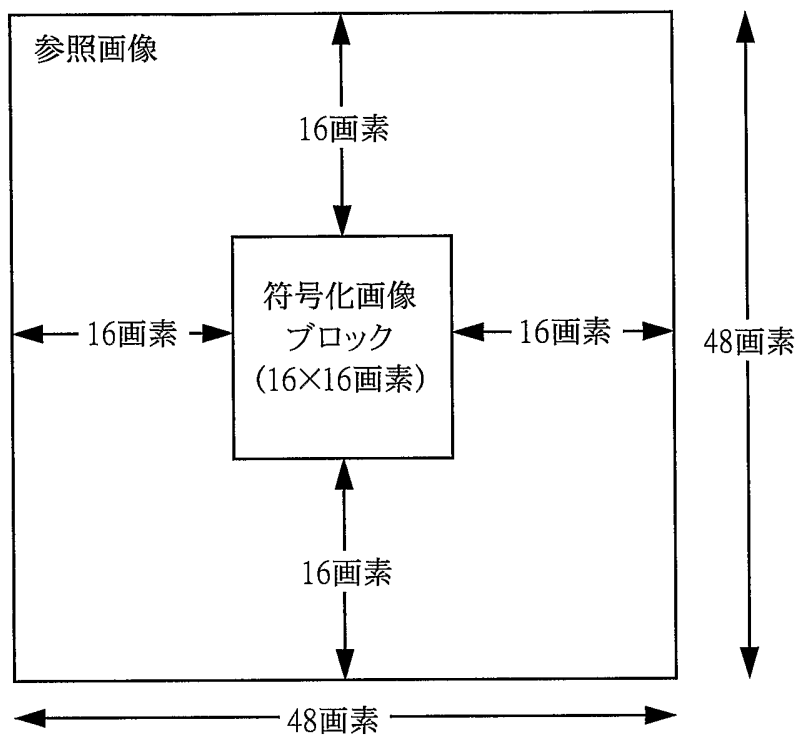


図 4

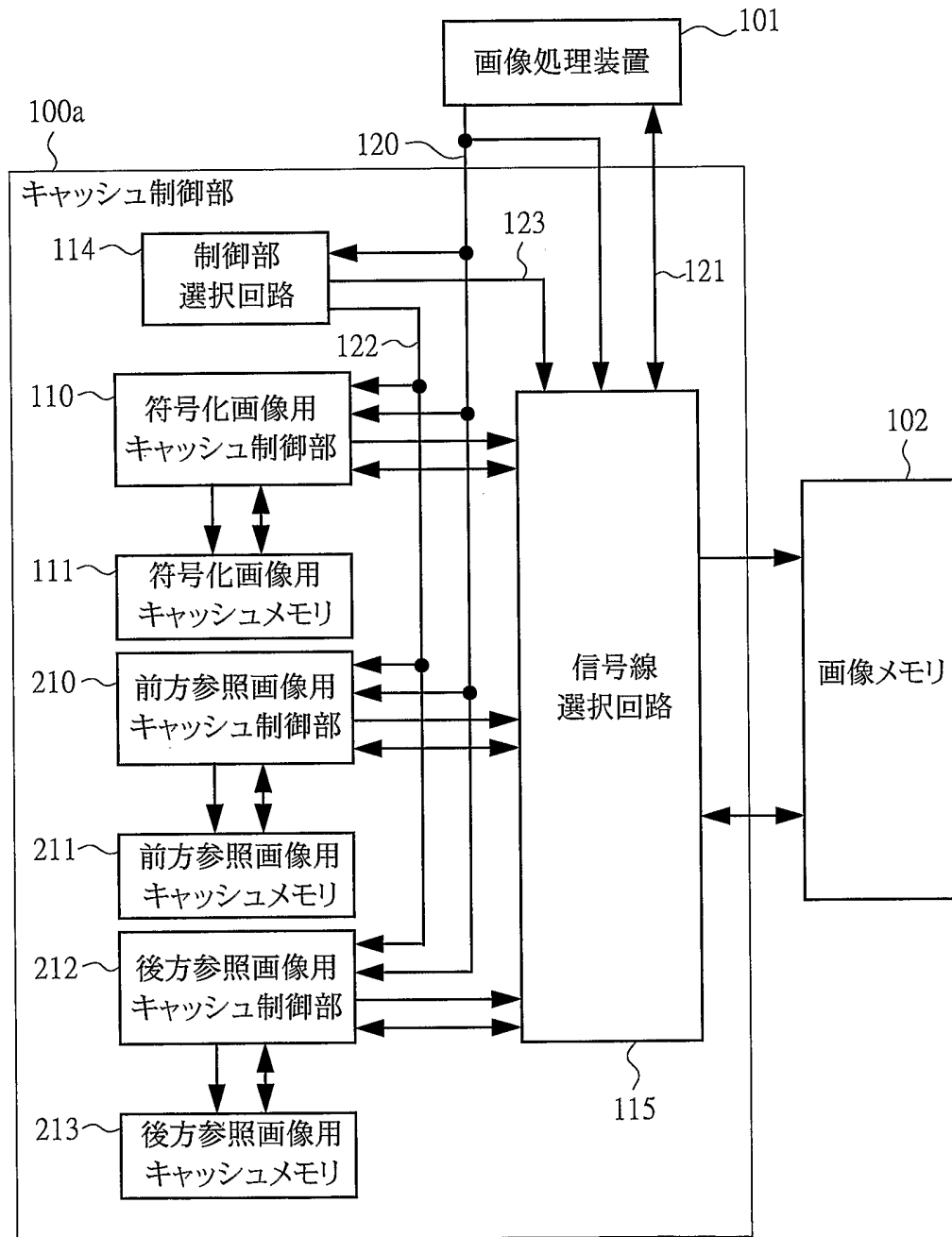


図 5

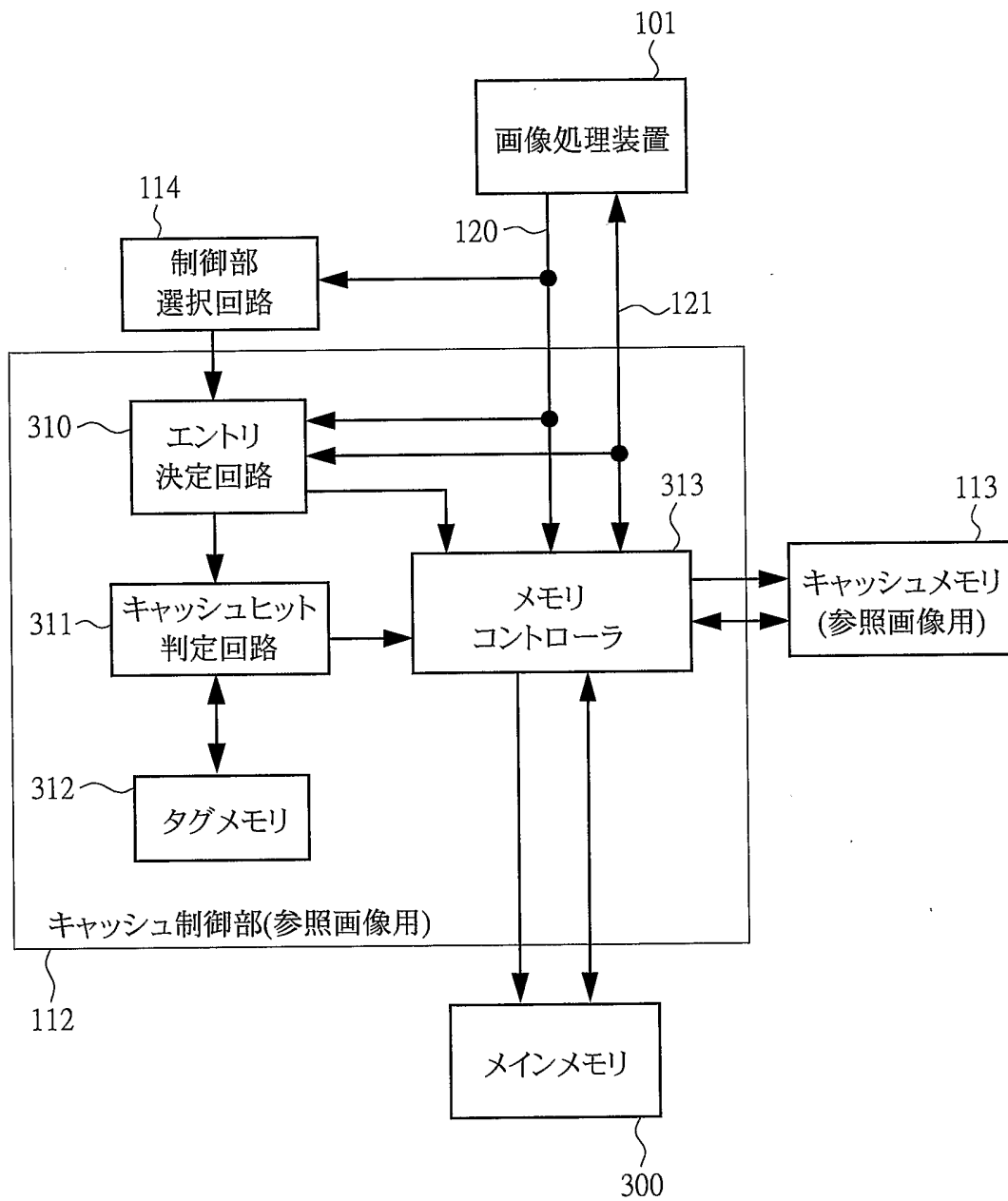


図 6

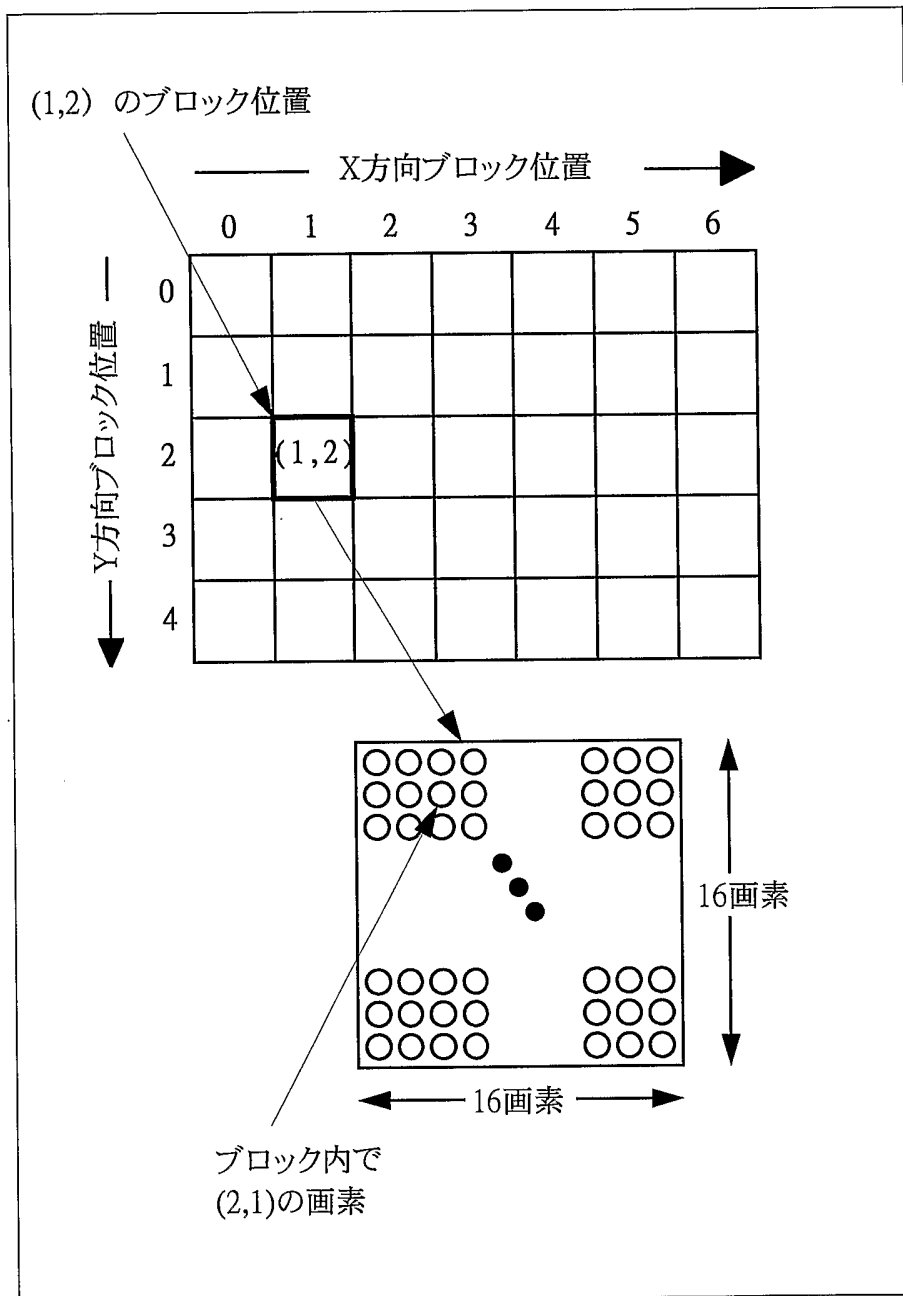


図 7

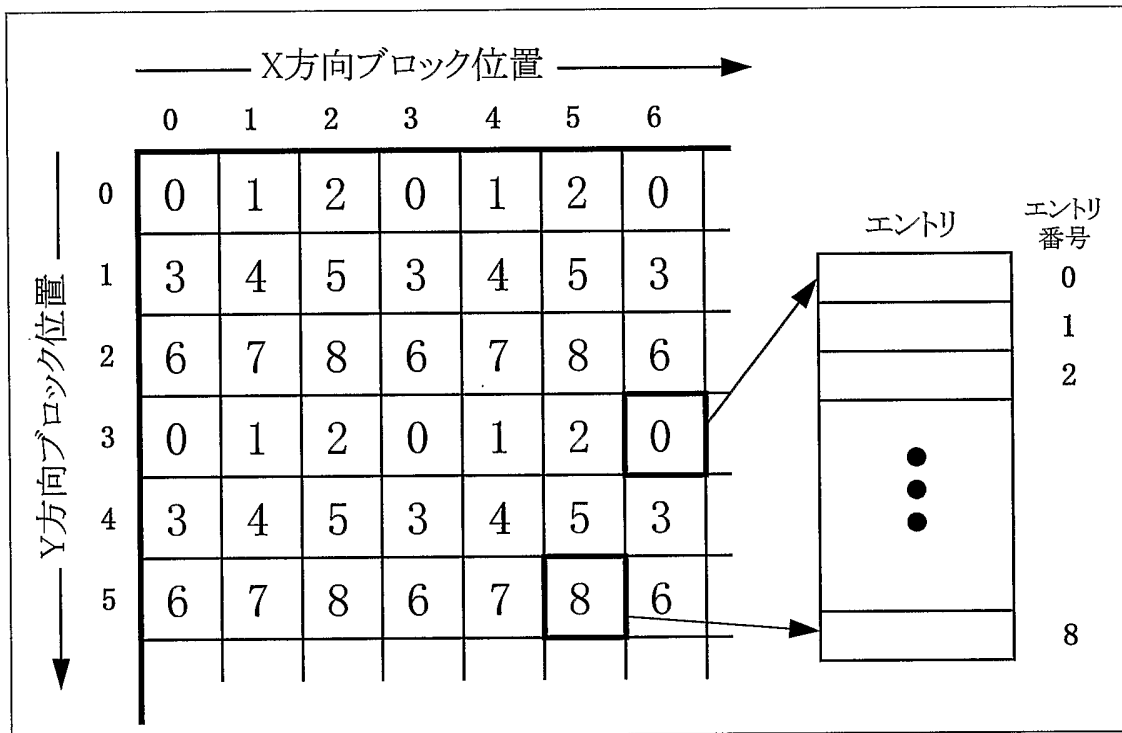


図 8

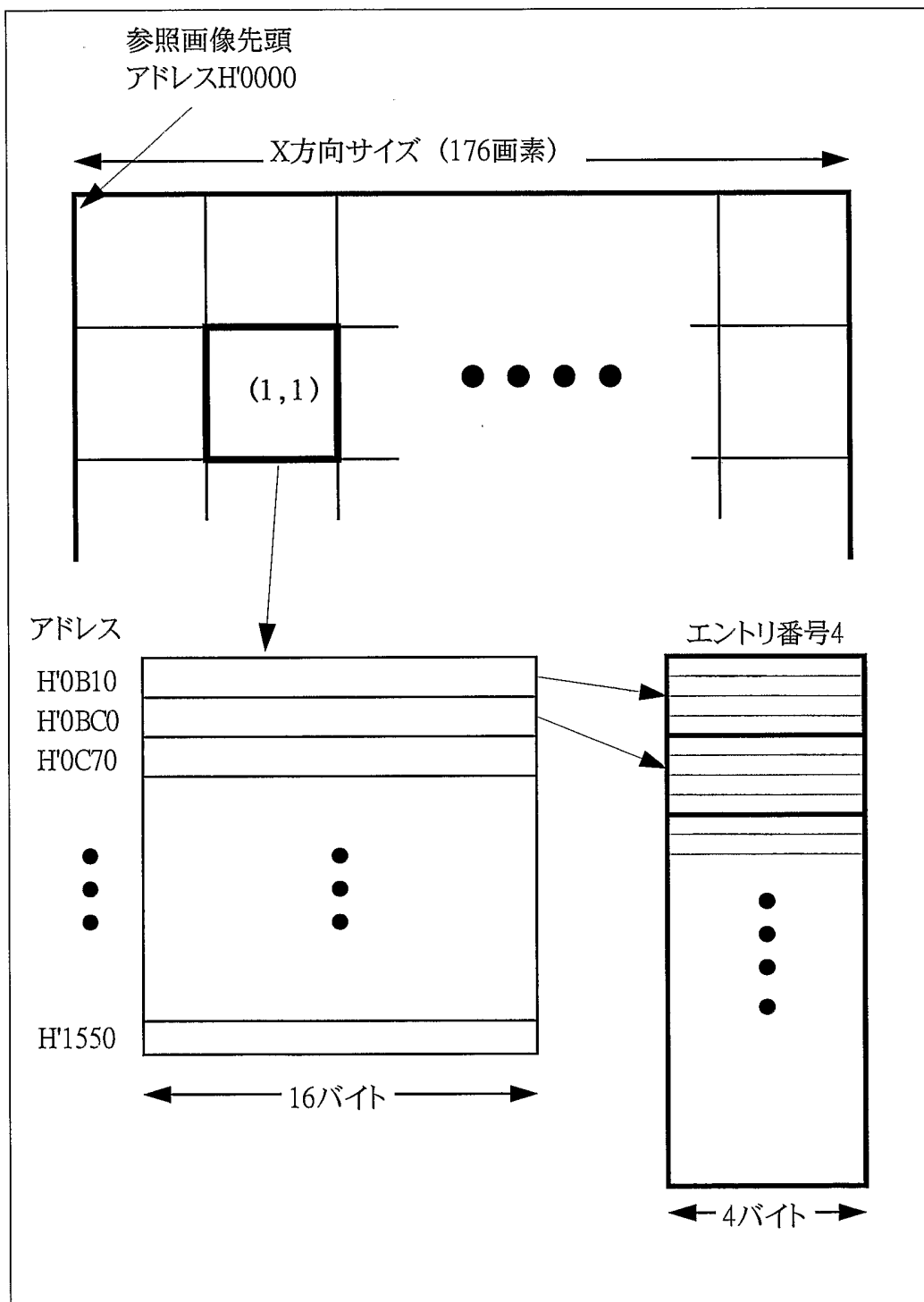


図 9

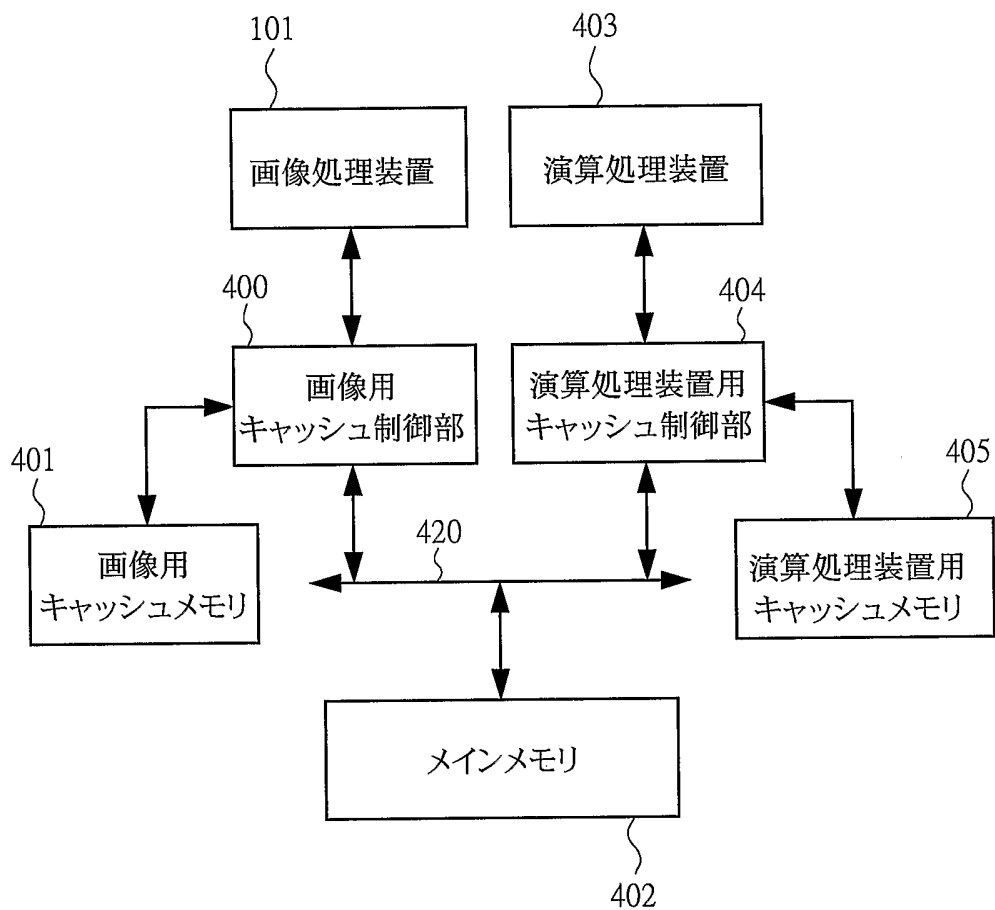
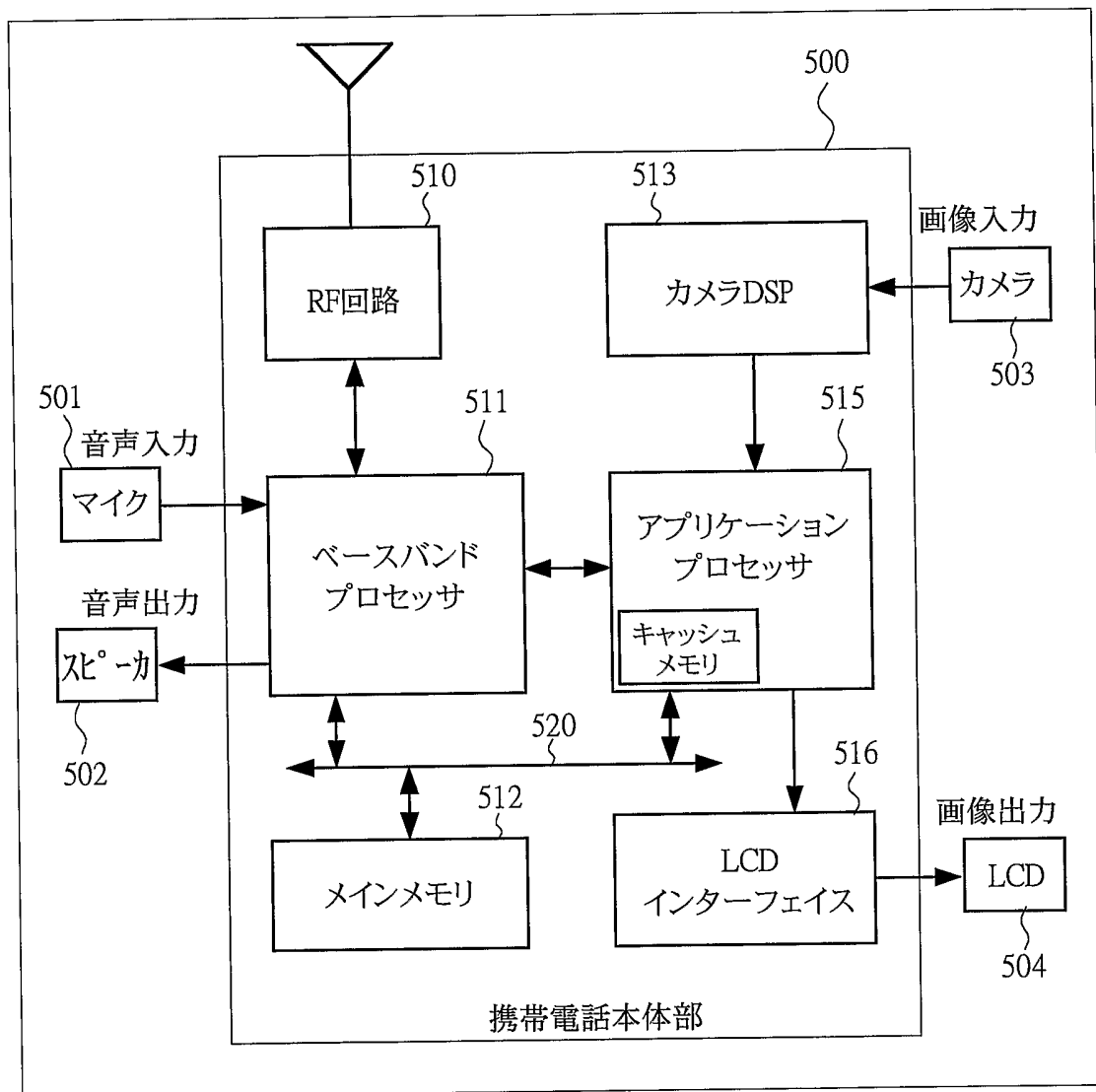


図 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08236

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H04N7/32, G06F12/08, G06T1/60, G09G5/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H04N7/24-7/68, G06F12/08, G06T1/60, G09G5/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 09-312857 A (Sony Corp.), 02 December, 1997 (02.12.97), Full text & US 5917478 A	1-10
X A	JP 05-300497 A (Mitsubishi Electric Corp.), 12 November, 1993 (12.11.93), Full text & DE 4307936 A	1, 3 2, 4-10
X A	JP 08-56362 A (SGS Thomson Microelectronics S.A.), 27 February, 1996 (27.02.96), Full text & DE 69520462 D & EP 680220 A & FR 2719398 A & CN 1128461 A & US 5696698 A	1, 3 2, 4-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"
Date of the actual completion of the international search 12 November, 2002 (12.11.02)		Date of mailing of the international search report 26 November, 2002 (26.11.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08236

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 04-53389 A (Graphics Communication Technologies Kabushiki Kaisha), 20 February, 1992 (20.02.92), Full text (Family: none)	1, 3 2, 4-10
A	JP 05-53909 A (PFU Ltd.), 05 March, 1993 (05.03.93), Full text (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H04N7/32, G06F12/08, G06T1/60, G09G5/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H04N7/24-7/68
 G06F12/08, G06T1/60, G09G5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 09-312857 A (ソニー株式会社) 1997. 12. 02, 全文 & US 5917478 A	1-10
X A	JP 05-300497 A (三菱電機株式会社) 1993. 11. 12, 全文 & DE 4307936 A	1, 3 2, 4-10
X A	JP 08-56362 A (エスジェーエーストムソン ミクロ エレクトロニクス ソシエテ アノニム) 1996. 02. 27,	1, 3 2, 4-10


C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 12. 11. 02

国際調査報告の発送日
 26.11.02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 菅原 道晴 
 5 P 8725
 電話番号 03-3581-1101 内線 3580

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	全文 & DE 69520462 D & EP 680220 A & FR 2719398 A & CN 1128461 A & US 5696698 A	
X A	JP 04-53389 A (株式会社グラフィックス・コミュニケーション・テクノロジーズ) 1992. 02. 20, 全文, (ファミリーなし)	1, 3 2, 4-10
A	JP 05-53909 A (株式会社ピーエフユー) 1993. 03. 05, 全文 (ファミリーなし)	1-10