

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年11月22日(22.11.2018)



(10) 国際公開番号

WO 2018/211368 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/8242 (2006.01)
H01L 21/28 (2006.01) H01L 27/108 (2006.01)
H01L 21/336 (2006.01) H01L 29/417 (2006.01)

(21) 国際出願番号: PCT/IB2018/053239

(22) 国際出願日: 2018年5月10日(10.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-099937 2017年5月19日(19.05.2017) JP
特願 2017-099939 2017年5月19日(19.05.2017) JP
特願 2017-099690 2017年5月19日(19.05.2017) JP
特願 2017-100210 2017年5月19日(19.05.2017) JP
特願 2017-100211 2017年5月19日(19.05.2017) JP

特願 2017-123184 2017年6月23日(23.06.2017) JP

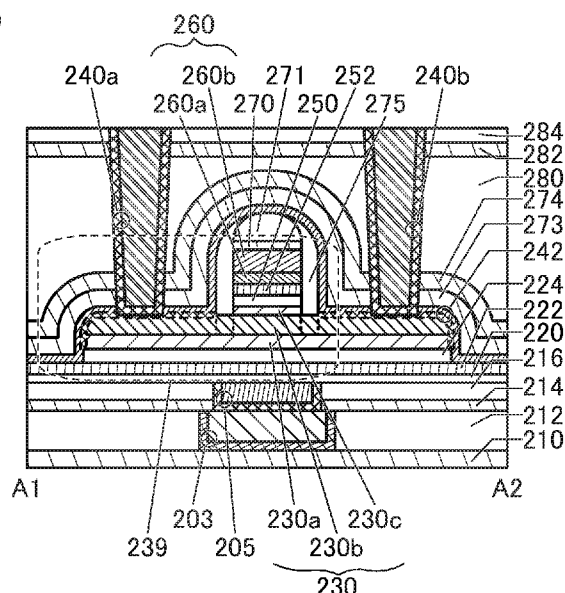
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式会
社半導体エネルギー研究所内 Kanagawa (JP).
奥野直樹(OKUNO, Naoki); 〒2430036 神奈川県
厚木市長谷398 株式会社半導体エネルギー
研究所内 Kanagawa (JP). 遠藤佑太(ENDO,
Yuta); 〒2430036 神奈川県厚木市長谷398
株式会社半導体エネルギー研究所内 Kanagawa
(JP). 井本裕己(IMOTO, Yuki); 〒2430036 神

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

[図 1] (B)



(57) Abstract: The present invention provides a semiconductor device capable of achieving good electric properties and high integration. This semiconductor device has an oxide in a channel formation region, and is provided with a transistor and a wiring, wherein the transistor has: an oxide on a first insulator; a second insulator on the oxide; a first conductor on the second insulator; a third insulator on the first conductor; a fourth insulator in contact with the second insulator, the first conductor, and the third insulator; and a fifth insulator in contact with the fourth insulator. The oxide has: a first region overlapping the second insulator; a second region overlapping the fourth insulator; and a third region in contact



奈川県厚木市長谷 3 9 8 株式会社半導体エ
ネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

with the second region, wherein the third region has an oxygen concentration which is lower than those of the first region and second region, and the second region has an oxygen concentration which is lower than that of the first region. The wiring is in contact with the fifth insulator, and electrically connected to the third region.

(57) 要約: 要約書 良好な電気特性および高集積化が可能な半導体装置を提供する。チャネル形成領域に酸化物を有する半導体装置であって、半導体装置は、トランジスタおよび配線を有し、トランジスタは、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体と、第2の絶縁体上の第1の導電体と、第1の導電体上の第3の絶縁体と、第2の絶縁体、第1の導電体、及び第3の絶縁体に接する、第4の絶縁体と、第4の絶縁体に接する、第5の絶縁体と、を有し、酸化物は、第2の絶縁体と重なる第1の領域と、第4の絶縁体と重なる第2の領域と、第2の領域に接する第3の領域と、を有し、第3の領域は、第1の領域及び第2の領域よりも酸素濃度が低く、第2の領域は、第1の領域よりも酸素濃度が低く、配線は、第5の絶縁体と接し、且つ第3の領域と電気的に接続される。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、および半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、酸化物半導体を用いたトランジスタとして、セルフアライン構造のトランジスタが提案されている。当該セルフアライン構造のトランジスタとして、ソース領域及びドレイン領域上に金属膜を形成し、当該金属膜に対して熱処理を行うことで、金属膜を高抵抗化させるとともに、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている（特許文献2参照）。

[0009]

また、酸化物半導体を用いたトランジスタの作製方法として、ソース領域及びドレイン領域上に金属膜を形成し

たのち熱処理を行い、その後、当該金属膜を通過してドーパントを導入することで、ソース領域およびドレイン領域を低抵抗化させる方法が開示されている(特許文献3参照)。

[0010]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0011]

[特許文献1]特開2012-257187号公報

[特許文献2]特開2011-228622号公報

[特許文献3]特開2013-016782号公報

発明の概要

発明が解決しようとする課題

[0012]

特許文献2においては、ソース領域およびドレイン領域を低抵抗化させる際に、ソース領域およびドレイン領域上に金属膜を形成し、当該金属膜に対して酸素雰囲気下で熱処理を行っている。熱処理を行うことで、酸化物半導体膜のソース領域およびドレイン領域中には金属膜の構成元素がドーパントとして入り込んで、低抵抗化させている。また、酸素雰囲気下で熱処理を行うことで、導電膜を酸化させ、当該導電膜を高抵抗化させている。ただし、酸素雰囲気下で熱処理を行っているため、酸化物半導体膜中から金属膜が酸素を引き抜く作用が低い。

[0013]

また、特許文献2においては、チャネル形成領域の酸素濃度については記載されているが、水、水素などの不純物の濃度については、言及されていない。すなわち、チャネル形成領域の高純度化(水、水素などの不純物の低減化、代表的には脱水・脱水素化)が行われていないため、ノーマリーオンのトランジスタ特性となりやすいといった問題があった。なお、ノーマリーオンのトランジスタ特性とは、ゲートに電位を印加しなくてもチャネルが存在し、トランジスタに電流が流れてしまう状態のことである。一方でノーマリーオフのトランジスタ特性とは、ゲートに電位を印加しない状態では、トランジスタに電流が流れない状態である。

[0014]

上述の問題に鑑み、本発明の一態様は、トランジスタのソース領域およびドレイン領域を安定して低抵抗化させるとともに、チャネル形成領域を高純度化させることで良好な電気特性を有する半導体装置を提供することを課題の一つとする。

[0015]

または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

[0016]

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0017]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0018]

本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体と、第1の絶縁体上の導電体と、第1の絶縁体の側面、及び導電体の側面に配置した第2の絶縁体と、酸化物、第2の絶縁体、及び導電体上に配置した金属原子を有する層と、を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、第2の領域は、金属原子を有する層と重畳し、かつ、金属化合物を有し、第3の領域は、第2の絶縁体と重畳する領域を有し、第2の領域は、第1の領域及び第3の領域よりも酸素濃度が低く、第3の領域は、第1の領域の酸素濃度と、第2の領域の酸素濃度との間の酸素濃度となる部分を有する半導体装置である。

[0019]

また、本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体と、第1の絶縁体上の導電体と、第1の絶縁体の側面、及び導電体の側面に配置した第2の絶縁体と、を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、第2の領域は、金属化合物を有し、第3の領域は、第2の絶縁体と重畳する領域を有し、第2の領域は、第1の領域及び第3の領域よりも酸素濃度が低く、第3の領域は、第1の領域の酸素濃度と、第2の領域の酸素濃度との間の酸素濃度となる部分を有する半導体装置である。

[0020]

また、本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体と、第1の絶縁体上の導電体と、第1の絶縁体の側面、及び導電体の側面に配置した第2の絶縁体と、酸化物、第2の絶縁体、及び導電体上に配置した金属原子を有する層と、金属原子を有する層上に配置した第3の絶縁体と、第3の絶縁体上に配置した第4の絶縁体と、を有し、第4の絶縁体は、第2の絶縁体よりも、炭素が少なく、第3の絶縁体は、過剰酸素領域を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、第2の領域は、金属原子を有する層と重畳し、かつ、金属化合物を有し、第3の領域は、第2の絶縁体と重畳する領域を有し、第2の領域は、第1の領域及び第3の領域よりも低抵抗であり、第1の領域は、第3の領域よりも高抵抗である。

[0021]

また、本発明の一態様は、トランジスタを有する半導体装置であって、トランジスタは、酸化物と、酸化物上の第1の絶縁体と、第1の絶縁体上の導電体と、第1の絶縁体の側面、及び導電体の側面に配置した第2の絶縁体と、酸化物、第2の絶縁体、及び導電体上に配置した第3の絶縁体と、第3の絶縁体上に配置した第4の絶縁体と、を有し、第4の絶縁体は、第2の絶縁体よりも、炭素が少なく、第3の絶縁体は、過剰酸素領域を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第1の絶縁体と重畳し、第2の領域は、金属化合物を有し、第3の領域は、第2の絶縁体と重畳する領域を有し、第2の領域は、第1の領域及び第3の領域よりも低抵抗であり、第1の領域は、第3の領域よりも高抵抗である。

[0022]

また、上記において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有する。

[0023]

また、上記において、酸化物は、原子数比において、元素Mの値よりもInの値の方が大きい。

[0024]

また、上記において、金属化合物は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する。

[0025]

また、上記において、第2の領域は、窒素を有する。

[0026]

また、上記において、第1の領域は、第2の領域よりも水素濃度が低い。

[0027]

また、上記において、第1の領域は、第2の領域及び第3の領域よりも水素濃度が低い。

[0028]

また、上記において、トランジスタは、ノーマリーオフ型である。

[0029]

また、上記において、金属化合物は、第2の領域と混合する部分を有する。

[0030]

また、上記において、金属化合物は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する。

[0031]

また、上記において、金属化合物は、アルミニウム及びチタンを有する。

[0032]

また、上記において、金属化合物は、窒素を有する。

[0033]

また、上記において、金属化合物は、窒素及び酸素のいずれか一方または双方を有する。

[0034]

また、上記において、金属化合物は、0.5nm以上5nm未満である。

[0035]

また、上記において、第2の絶縁体が含む炭素、および第4の絶縁体が含む炭素は、X線光電子分光法により測定される。

[0036]

本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の絶縁体と、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体および第3の絶縁体と、第2の絶縁体上の導電体と、第3の絶縁体上の第4の絶縁体と、第2の絶縁体、導電体、第3の絶縁体、および第4の絶縁体を介して、酸化物上に設けられた第5の絶縁体と、第5の絶縁体上に設けられた第6の絶縁体と、を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第2の絶縁体と重畳する領域を有し、第3の領域は、第3の絶縁体および第4の絶縁体と重畳する領域を有し、第2の領域は、第1の領域および第3の領域よりも酸素濃度が低く、第3の領域は、第1の領域の酸素濃度と、第2の領域の酸素濃度との間の酸素濃度となる部分を有し、第3の絶縁体は、第2の絶縁体および導電体の側面と、に接する領域を有し、第4の絶縁体は、第3の絶縁体を介して、第2の絶縁体および前記導電体の側面と向かい合う領域を有する、半導体装置である。

[0037]

また、本発明の他の一態様は、トランジスタを有する半導体装置であって、トランジスタは、第1の絶縁体と、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体、第1の膜、および第3の絶縁体と、第2の絶縁体上の導電体と、第3の絶縁体上の第4の絶縁体と、第2の絶縁体、導電体、第3の絶縁体、および第4の絶縁体を介して、酸化物上に設けられた第5の絶縁体と、第5の絶縁体上に設けられた第6の絶縁体と、を有し、酸化物は、第1の領域と、第2の領域と、第1の領域および第2の領域の間に位置する第3の領域と、を有し、第1の領域は、第2の絶縁体と重畳する領域を有し、第3の領域は、第3の絶縁体および第4の絶縁体と重畳する領域を有し、第2の領域は、第1の領域および第3の領域よりも酸素濃度が低く、第3の領域は、第1の領域の酸素濃度と、第2の領域の酸素濃度との間の酸素濃度となる部分を有し、第1の膜は、第2の領域と接して設けられ、第3の絶縁体は、第2の絶縁体および導電体の側面と、に接する領域を有し、第4の絶縁体は、第3の絶縁体を介して、第2の絶縁体および導電体の側面と向かい合う領域を有する、半導体装置である。

[0038]

また、上記において、第3の絶縁体は、第1の絶縁体の上面と接する領域を有していてもよい。

[0039]

また、上記において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を有していてもよい。

[0040]

また、上記において、酸化物は、原子数比において、元素Mの値よりもInの値の方が大きいてもよい。

[0041]

また、上記において、第2の領域は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有していてもよい。

[0042]

また、上記において、第2の領域は、さらに窒素を有していてもよい。

[0043]

また、上記において、第1の領域は、第2の領域よりも水素濃度が低くてもよい。

[0044]

また、上記において、第1の領域は、第2の領域および第3の領域よりも水素濃度が低くてもよい。

[0045]

また、上記において、トランジスタは、ノーマリーオフ型であってもよい。

[0046]

また、上記において、第1の膜は、第2の領域と混合する部分を有していてもよい。

[0047]

また、上記において、第1の膜は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有していてもよい。

[0048]

また、上記において、第1の膜は、アルミニウムおよびチタンを有していてもよい。

[0049]

また、上記において、第1の膜は、さらに窒素および酸素のいずれか一方または双方を有していてもよい。

[0050]

また、上記において、第1の膜は、0.5nm以上5nm未満であってもよい。

[0051]

また、本発明の他の一態様は、トランジスタを有する半導体装置の作製方法であって、トランジスタは、第1の領域、第2の領域、ならびに第1の領域および第2の領域の間に位置する第3の領域を含む酸化物と、酸化物上の第1の絶縁体および第2の絶縁体と、第1の絶縁体上の導電体と、第2の領域と重畳して第2の絶縁体上に設けられ、かつ、第1の絶縁体および導電体の側面に接する第3の絶縁体と、酸化物、第1の絶縁体、導電体、第2の絶縁体、および第3の絶縁体上の第4の絶縁体と、第4の絶縁体上の第5の絶縁体と、を有し、酸化物、第1の絶縁体、導電体、第2の絶縁体、および第3の絶縁体を覆い、かつ第2の領域に接するように金属を含む第1の膜を形成し、少なくとも、酸化物および第1の膜に対して、窒素を含む雰囲気中で第1の加熱処理を行うことで、第2の領域に含まれる酸素が第1の膜に引き抜かれる、半導体装置の作製方法である。

[0052]

また、上記において、第1の膜は、アルゴン、窒素、および窒素より選ばれるいずれか一または複数のガスを用いて、スパッタリング法により形成されてもよい。

[0053]

また、上記において、第1の加熱処理後に、第1の膜を除去してもよい。

[0054]

また、上記において、第1の加熱処理の後に、さらに第2の加熱処理を行ってもよい。

[0055]

また、上記において、第1の膜の除去後に、第4の絶縁体および第5の絶縁体を形成してもよい。

[0056]

本発明の他の一態様は、チャネル形成領域に酸化物を有する半導体装置であって、半導体装置は、トランジスタおよび配線を有し、トランジスタは、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体と、第2の絶縁体上の第1の導電体と、第1の導電体上の第3の絶縁体と、第2の絶縁体、第1の導電体、及び第3の絶縁体に接する、第4の絶縁体と、第4の絶縁体に接する、第5の絶縁体と、を有し、酸化物は、第2の絶縁体と重なる第1の領域と、第4の絶縁体と重なる第2の領域と、第2の領域に接する第3の領域と、を有し、第3の領域は、第1の領域及び第2の領域よりも酸素濃度が低く、第2の領域は、第1の領域よりも酸素濃度が低く、配線は、第5の絶縁体と接し、且つ第3の領域と電気的に接続される、半導体装置である。

[0057]

また、本発明の他の一態様は、チャネル形成領域に酸化物を有する半導体装置であって、半導体装置は、トランジスタおよび配線を有し、トランジスタは、第1の絶縁体上の酸化物と、酸化物上の第2の絶縁体および第1の膜と、第2の絶縁体上の第1の導電体と、第1の導電体上の第3の絶縁体と、第2の絶縁体、第1の導電体、及び第3の絶縁体に接する、第4の絶縁体と、第4の絶縁体に接する、第5の絶縁体と、を有し、酸化物は、第2の絶縁体と重なる第1の領域と、第4の絶縁体と重なる第2の領域と、第2の領域に接する第3の領域と、を有し、第1の膜は、第3の領域と接して設けられ、第3の領域は、第1の領域及び第2の領域よりも酸素濃度が低く、第2の領域は、第1の領域よりも酸素濃度が低く、配線は、第5の絶縁体と接し、且つ第3の領域と電気的に接続される、ことを特徴とする半導体装置である。

[0058]

また、上記において、酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を含む、半導体装置である。

[0059]

また、上記において、酸化物は、原子数比において、元素Mの値よりもInの値の方が大きい、半導体装置である。

[0060]

また、上記において、第3の領域は、第2の領域より、キャリア密度が高く、第2の領域は、第1の領域より、キャリア密度が高い、半導体装置である。

[0061]

また、上記において、第3の領域は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する、半導体装置である。

[0062]

また、上記において、第3の領域は、さらに窒素を有する、半導体装置である。

[0063]

また、上記において、第1の領域は、第2の領域よりも水素濃度が低い、半導体装置である。

[0064]

また、上記において、第1の領域は、第2の領域及び第3の領域よりも水素濃度が低い、半導体装置である。

[0065]

また、上記において、第5の絶縁体は、金属酸化物を含む、半導体装置である。

[0066]

また、上記において、トランジスタは、ノーマリーオフ型である、ことが好ましい。

[0067]

また、上記において、第1の膜は、第3の領域と混合する部分を有する、ことが好ましい。

[0068]

また、上記において、第1の膜は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する、ことが好ましい。

[0069]

また、上記において、第1の膜は、アルミニウム及びチタンを有してもよい。

[0070]

また、上記において、第1の膜は、さらに窒素及び酸素のいずれか一方または双方を有していることが好ましい。

[0071]

また、上記において、第1の膜は、0.5nm以上5nm未満である、ことが好ましい。

[0072]

また、本発明の他の一態様は、基板上に第1の絶縁体を形成し、第1の絶縁体の上に、酸化物層を形成し、酸化物層の上に、第1の絶縁膜、第1の導電膜および第2の絶縁膜を順に成膜し、第1の絶縁膜、第1の導電膜および第2の絶縁膜を加工して、第2の絶縁体、第1の導電体、第3の絶縁体を形成し、第1の絶縁体、酸化物層、第2の絶縁体、第1の導電体、第3の絶縁体を覆って、第3の絶縁膜および第4の絶縁膜を順に成膜し、第3の絶縁膜および第4の絶縁膜を加工することで、第2の絶縁体、第1の導電体および第3の絶縁体に接する、第4の絶縁体と、第4の絶縁体に接する第5の絶縁体と、を形成し、第1の絶縁体、酸化物層および第5の絶縁体に接する、金属を含む第1の膜を形成し、窒素を含む雰囲気中で加熱処理を行い、第1の膜を除去し、第1の絶縁体、酸化物層および第5の絶縁体上に第6の絶縁体を形成し、第6の絶縁体に開口を形成し、開口を埋めるように第2の導電体を形成する、半導体装置の作製方法である。

[0073]

また、上記において、第1の膜は、アルゴン、窒素、及び酸素の中から選ばれるいずれか一または複数のガス

を用いて、スパッタリング法により形成されることが好ましい。

[0074]

また、上記において、加熱処理を行うことで、酸化物層の酸化物層と、第1の膜と、が接する領域において、領域に含まれる酸素が第1の膜に引き抜かれることが好ましい。

[0075]

また、上記において、加熱処理の後に、少なくとも酸化物、第1の絶縁体、第3の絶縁体、第4の絶縁体および第5の絶縁体を覆う第2の膜を形成してもよい。

[0076]

また、上記において、開口は、第5の絶縁体の一部、酸化物層の上面、および酸化物層の側面の少なくとも一部が露出するように形成されることが好ましい。

[0077]

また、上記において、第3の絶縁膜および第4の絶縁膜の加工は、ドライエッチング法を用いた異方性エッチングにより行うことが好ましい。

発明の効果

[0078]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0079]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、情報の書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0080]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0081]

[図1]本発明の一態様に係る半導体装置を説明する上面図および断面図。

[図2]本発明の一態様に係る半導体装置を説明する断面図。

[図3]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図4]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図5]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図6]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図7]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図8]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図9]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図10]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

[図11]本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

- [図52] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図53] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図54] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図55] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図56] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図57] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図58] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図59] 本発明の一態様に係る半導体装置の断面図。
- [図60] 本発明の一態様に係る半導体装置の断面図。
- [図61] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図62] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図63] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図64] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図65] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図66] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図67] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図68] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図69] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図70] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図71] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。
- [図72] 酸化物半導体のエネルギーバンド構造を説明する図。
- [図73] InGaZnO₄結晶中の領域区分を説明する模式図。
- [図74] InO₂面と(Ga, Zn)O面の間の領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。
- [図75] (Ga, Zn)O領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。
- [図76] InO₂領域における水素原子の移動経路と、その経路上での活性化障壁を説明する図。
- [図77] c軸方向に沿った水素原子の移動経路と、その経路上での活性化障壁を説明する図。
- [図78] 計算モデルを説明する図。
- [図79] 酸素欠損モデルの全エネルギーの相対値を説明する図。
- [図80] 初期状態のモデルと最終状態のモデルを説明する図。
- [図81] 活性化障壁を説明する図。
- [図82] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図83] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図84] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図85] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図86] 本発明の一態様に係る半導体装置の上面図および断面図。
- [図87] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図88] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図89] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図90] 本発明の一態様に係る半導体装置の上面図、および断面図。

- [図91] 本発明の一態様に係る半導体装置の上面図、および断面図。
- [図92] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図93] 本発明の一態様に係る半導体装置の断面図。
- [図94] 本発明の一態様に係る半導体装置の回路図。
- [図95] 半導体装置の構成例を示す断面図。
- [図96] 本発明の一態様に係る半導体装置の回路図および断面図。
- [図97] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図98] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図99] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図100] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図101] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図102] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図103] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図104] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図105] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図106] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図107] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図108] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図109] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図110] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図111] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図112] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図113] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図114] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図115] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図116] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図117] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図118] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図119] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図120] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図121] 本発明の一態様に係る記憶装置の構成を示す断面図。
- [図122] インバータ回路の構成例を示す回路図と、その動作例を示すタイミングチャート。
- [図123] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図124] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図125] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図126] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図127] 本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。
- [図128] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図129] 本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

[図130] 本発明の一態様に係る半導体装置の構成例を示すブロック図。

[図131] 本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

[図132] 本発明の一態様に係るAIシステムの構成例を示すブロック図。

[図133] 本発明の一態様に係るAIシステムの応用例を説明するブロック図。

[図134] 本発明の一態様に係るAIシステムを組み込んだICの構成例を示す斜視模式図。

[図135] 本発明の一態様に係る電子機器を示す図。

[図136] 本発明の一態様に係る電子機器を示す図。

[図137] 本発明の一態様に係る電子機器を示す図。

[図138] 本発明の一態様に係る電子機器を示す図。

[図139] 本発明の一態様に係る電子機器を示す図。

[図140] 本実施例のサンプルのシート抵抗を説明する図。

[図141] 本実施例のサンプルのSIMS分析結果を説明する図。

[図142] 本実施例に係る試料の I_d-V_g 特性を示す図。

[図143] 本実施例に係る試料の I_d-V_g 特性を示す図。

発明を実施するための形態

[0082]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0083]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せず目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0084]

また、特に上面図(「平面図」ともいう。)や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0085]

また、本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0086]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変

化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0087]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0088]

ここで、X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

[0089]

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)を介さずに、XとYとが、接続されている場合である。

[0090]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

[0091]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

[0092]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域またはドレイン電極)とソース(ソース端子、ソース領域またはソース電極)の間にチャンネルが形成される領域を有しており、チャンネルが形成される領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネルが形成される領域とは、電流が主として流れる領域をいう。

[0093]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向

が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

[0094]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルが形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0095]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、チャンネル長方向を基準として垂直方向のチャンネルが形成される領域の長さを言う。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルが形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0096]

なお、トランジスタの構造によっては、実際にチャンネルが形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0097]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0098]

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅(SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0099]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS(Density of States)が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体

の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0100]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0101]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0102]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0103]

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、そのしきい値電圧(V_{th} ともいう。)は、明示されている場合を除き、0Vよりも大きいものとする。

[0104]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0105]

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

[0106]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0107]

本明細書等において、金属酸化物(metal oxide)とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体(透明酸化物導電体を含む)、酸化物半導体(Oxide Semiconductorまたは単にOSともいう)などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FETあるいはOSTランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0108]

また、本明細書等において、ノーマリーオフとは、ゲートに電圧を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\mu\text{m}$ あたりの電流が、室温において $1\times 10^{-20}\text{A}$ 以下、 85°C において $1\times 10^{-18}\text{A}$ 以下、または 125°C において $1\times 10^{-16}\text{A}$ 以下であることをいう。

[0109]

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200Aを有する半導体装置の一例について説明する。

[0110]

<半導体装置の構成例>

図1(A)、図1(B)、図1(C)、および図1(D)は、本発明の一態様に係るトランジスタ200A、およびトランジスタ200A周辺の上面図および断面図である。

[0111]

図1(A)は、トランジスタ200Aを有する半導体装置の上面図である。また、図1(B)、図1(C)、および図1(D)は当該半導体装置の断面図である。ここで、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル長方向の断面図でもある。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Aのチャネル幅方向の断面図でもある。また、図1(D)は、図1(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Aのソース領域またはドレイン領域の断面図でもある。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0112]

本発明の一態様の半導体装置は、トランジスタ200Aと、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、絶縁体282、および絶縁体284と、を有する。また、トランジスタ200Aと電氣的に接続し、配線として機能する導電体203と、プラグとして機能する導電体240(導電体240a、および導電体240b)と、を有する。

[0113]

なお、導電体203は、絶縁体212の開口の内壁に接して導電体203の第1の導電体が形成され、さらに内側に導電体203の第2の導電体が形成されている。ここで、導電体203の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお、本実施の形態では、導電体203の第1の導電体および導電体203の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203を単層、または3層以上の積層構造として設ける構成にしてもよい。また、構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0114]

また、導電体240は、絶縁体273、絶縁体274、絶縁体280、絶縁体282、絶縁体284の開口の内壁に接して形成されている。ここで、導電体240の上面の高さと、絶縁体284の上面の高さは同程度にできる。なお、本実施の形態では、導電体240が2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、単層、または3層以上の積層構造でもよい。

[0115]

[トランジスタ200A]

図1に示すように、トランジスタ200Aは、基板(図示せず。)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された金属酸化物252と、金属酸化物252の

上に配置された導電体260(導電体260a、および導電体260b)と、導電体260の上に配置された絶縁体270と、絶縁体270上に配置された絶縁体271と、少なくとも酸化物230c、絶縁体250、金属酸化物252、および導電体260の側面と接して配置された絶縁体275と、酸化物230上、および絶縁体275上に配置された層242と、層242上に配置された絶縁体273と、絶縁体273上に配置された絶縁体274と、を有する。

[0116]

なお、トランジスタ200Aでは、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ200Aでは、導電体260aおよび導電体260bを積層する構成について示しているが、本発明はこれに限られるものではない。

[0117]

また、トランジスタ200Aは、チャネルが形成される領域(以下、チャネル形成領域ともいう。)を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう。)を用いることが好ましい。

[0118]

チャネル形成領域に酸化物半導体を用いたトランジスタ200Aは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200Aに用いることができる。

[0119]

例えば、酸化物230として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0120]

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。

[0121]

酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が該膜などに吸収され、酸素欠損を形成し、当該界面近傍が低抵抗化する場合がある。

[0122]

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜から、当該膜の成分である金属元素が酸化物半導体へ、または酸化物半導体の成分である金属元素が当該膜へと、拡散し、酸化物半導体と、当該膜とが金属化合物を形成し、低抵抗化することができる。酸化物半導体に添加された金属元素は、酸化物半導体と金属元素と、金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0123]

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜と、酸化物半導体との界面に、化合物層（以下、異層ともいう。）が形成されていてもよい。なお、化合物層（異層）とは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜の成分と、酸化物半導体の成分とを含む金属化合物を有する層とする。例えば、化合物層として、酸化物半導体の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。当該合金化した層は、比較的安定な状態であり、信頼性の高い半導体装置を提供することができる。

[0124]

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。従って、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

[0125]

また、酸化物半導体は、水素、窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ると、キャリア密度は増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

[0126]

従って、酸化物半導体に、金属元素、並びに、水素、窒素などの不純物元素を、選択的に添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0127]

ここで、図1(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図2に示す。

[0128]

図2に示すように、酸化物230は、トランジスタのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、領域234と領域231との間に設けられる、領域232（領域232a、および領域232b）と、を有する。

[0129]

ソース領域またはドレイン領域として機能する領域231は、酸素濃度が低く、低抵抗化した領域である。また、チャネル形成領域として機能する領域234は、ソース領域またはドレイン領域として機能する領域231よりも、酸素濃度が高く、キャリア密度が低い高抵抗領域である。また、領域232は、ソース領域またはドレイン領域として機能する領域231よりも、酸素濃度が高く、キャリア密度が低い、かつ、チャネル形成領域として機能する領域234よりも、酸素濃度が低く、キャリア密度が高い領域である。

[0130]

なお、領域231は、金属元素、並びに水素、窒素などの不純物元素、の少なくとも一の濃度が領域232、および領域234よりも高いことが好ましい。

[0131]

例えば、領域231は、酸化物230の他に、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムな

どの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。

[0132]

領域231を形成するために、例えば、酸化物230の領域231に接して、金属元素を有する膜として、層242を設ければよい。なお、層242として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いることができる。その際、層242と、酸化物230との界面に、化合物層が形成されていてもよい。なお、化合物層とは、層242の成分と、酸化物230の成分とを含む金属化合物を有する層とする。例えば、化合物層として、酸化物230中の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。

[0133]

酸化物230に、金属元素が添加されることで、酸化物230中に、金属化合物が形成され、領域231を低抵抗化することができる。なお、当該金属化合物は、必ずしも、酸化物230中に形成されていなくともよい。例えば、層242に、金属化合物が形成されていてもよい。また、例えば、酸化物230の表面、層242の表面、または層242と酸化物230との界面に形成された化合物層に設けられていてもよい。

[0134]

従って、領域231は、層242の低抵抗領域、または、層242と酸化物230との間に形成された化合物層の低抵抗化領域も含む場合がある。つまり、本明細書では、ソース領域またはドレイン領域として機能する領域が、領域231とする。

[0135]

領域232は、絶縁体275と重畳する領域を有する。領域232は、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素、並びに水素、窒素などの不純物元素、の少なくとも一の濃度が領域234よりも高いことが好ましい。例えば、酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜である層242を設けることで、層242中の成分と、酸化物半導体の成分とが、金属化合物を形成する場合がある。当該金属化合物は、酸化物230に含まれる水素を引き寄せる場合がある。従って、領域231の近傍である領域232の水素の濃度が高くなる場合がある。

[0136]

なお、領域232a、および領域232bのいずれか一方または双方は、導電体260と重畳する領域を有する構成としてもよい。当該構成とすることで、導電体260と、領域232aおよび領域232bとを、オーバーラップさせることが可能となる。

[0137]

また、図2では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られない。例えば、これらの領域は層242、層242と酸化物230との間に形成された化合物層、酸化物230a、および酸化物230cにも、形成されていてもよい。また、図2では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が酸化物230bの表面近傍では導電体260側に張り出し、酸化物230aの下面近傍では、導電体240a側または導電体240b側に後退する形状になる場合がある。

[0138]

また、酸化物230において、各領域の境界は明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに水素、窒素などの不純物元素の濃度は、領域間の段階的な変化に限らず、各領域内でも連続的に変化(グラデーションともいう。)していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、並びに水素、窒素などの不純物元素の濃度が減少していればよい。

[0139]

酸化物230を、選択的に低抵抗化するには、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの導電性を高める金属元素、および不純物の少なくとも一を、所望の領域に添加すればよい。なお、不純物としては、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等がある。

[0140]

領域231は、上述の導電性を高める金属元素、酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

[0141]

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、層242を成膜するとよい。層242としては、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜などを用いることができる。層242は、少なくとも、絶縁体250、金属酸化物252、導電体260、絶縁体270、絶縁体271、および絶縁体275を介して、酸化物230上に設けることが好ましい。

[0142]

酸化物230と層242とが接することにより、層242の成分と、酸化物230の成分とが、金属化合物を形成し、領域231となり、低抵抗化する。また、酸化物230と層242との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が層242に吸収され、酸化物230に酸素欠損を形成し、低抵抗化し、領域231を形成する場合がある。

[0143]

また、酸化物230と、層242とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、層242から、層242の成分である金属元素が酸化物230へ、または酸化物230の成分である金属元素が層242へと、拡散し、酸化物230と、層242とが金属化合物を形成し、低抵抗化する。なお、その際、酸化物230の金属元素と、層242の金属元素とが、合金化してもよい。酸化物230の金属元素と、層242の金属元素とが、合金化することで、金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0144]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0145]

一方、酸化物230の導電体260、および絶縁体275と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体275により、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した層242へ吸収されることが抑制される。

[0146]

また、層242に、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は増加する。従って、酸化物230の領域231、および領域232は、低抵抗化される。

[0147]

ここで、層242が、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。従って、酸化物230中の不純物である水素を低減することができる。また、層242は、後の工程で、酸化物230から吸収した水素とともに除去してもよい。

[0148]

なお、層242は、必ずしも除去しなくともよい。例えば、層242を絶縁化し、高抵抗化している場合は、残存させてもよい。例えば、層242は、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化する場合がある。その場合、層242は、層間膜として機能する場合がある。

[0149]

また、例えば、層242に、導電性を有する領域が残存している場合、熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、層242の近傍に酸素を有する構造体がある場合、熱処理を行うことで、層242は、当該構造体が有する酸素と反応し、酸化する場合がある。

[0150]

層242を、絶縁体として残存させることで、層間膜として機能させることができる。当該構造とする場合、層242は、後工程で、絶縁化させることができる程度の膜厚で設ける。例えば、層242は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けるとよい。なお、上記酸化性雰囲気下で熱処理を行う場合には、酸化物230と、層242とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物230中の酸素が層242に拡散しやすくなる。

[0151]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0152]

そこで、図2に示すように、絶縁体250、酸化物230bの領域232、および酸化物230cに接して、化学量論的組成を満たす酸素よりも多くの酸素(過剰酸素ともいう。)を含む絶縁体275を設けることが好ましい。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。

[0153]

また、絶縁体275に過剰酸素領域を設けるには、絶縁体275に近接する絶縁体273として、酸化物を、スパッタリング法により成膜するとよい。酸化物の成膜にスパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。スパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくく成膜することができるので、絶縁体273の成膜時に酸化物230への成膜ダメージを小さくすることができるので好ましい。対向ターゲット型のスパッタリング装置を用いた成膜法を、VDSP(Vapor Deposition SP)(登録商標)と呼ぶことができる。

[0154]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位E0が与えられる。また、基板は、接地電位などの電位E1が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位E2となる領域が存在する。各電位の大小関係は、 $E2 > E1 > E0$ である。

[0155]

プラズマ内のイオンが、電位差 $E2 - E0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁体275に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E2 - E1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体275内部まで到達する。イオンが絶縁体275に取り込まれることにより、イオンが取り込まれた領域が絶縁体275に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体275に過剰酸素領域が形成される。

[0156]

絶縁体275に過剰な酸素を導入することで、絶縁体275中に過剰酸素領域を形成することができる。絶縁体275の過剰な酸素は、酸化物230の領域234に供給され、酸化物230の酸素欠損を補償することができる。

[0157]

なお、絶縁体275は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いることが好ましい。酸化窒化シリコンなどの材料は、過剰酸素領域を形成されやすい傾向がある。一方、上述の酸化窒化シリコンなどの材料と比較して、酸化物230は、スパッタリング法を用いた酸化膜を、酸化物230上に形成したとしても、過剰酸素領域が形成しにくい傾向がある。従って、過剰酸素領域を有する絶縁体275を、酸化物230の領域234の周辺に設けることで、酸化物230の領域234へ、絶縁体275の過剰酸素を効果的に供給することができる。

[0158]

また、絶縁体273は、酸化アルミニウムを用いることが好ましい。酸化アルミニウムは、酸化物230と近接した状態で、熱処理を行うことで、酸化物230中の水素を引き抜く場合がある。なお、酸化物230と、酸化アルミニウムとの間に層242が設けられている場合、層242中の水素を酸化アルミニウムが吸収し、水素が低減された層242は、酸化物230中の水素を吸収する場合がある。従って、酸化物230中の水素濃度を低減することができる。また、絶縁体273と、酸化物230とを近接した状態で熱処理を行うことで、絶縁体273から酸化物230、絶縁体224、または絶縁体222に酸素を供給できる場合がある。

[0159]

上記構成、または上記工程を組み合わせることで、酸化物230の選択的な低抵抗化を行うことができる。

[0160]

つまり、酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、および絶縁体275をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200Aを同時に形成する場合、トランジスタ間の電気特性バラつきを小さくすることができる。また、トランジスタ200Aのチャネル長は、導電体260の幅、および絶縁体275の成膜膜厚により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200Aの微細化が可能となる。

[0161]

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0162]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャンネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

[0163]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0164]

以下では、本発明の一態様に係るトランジスタ200Aを有する半導体装置の詳細な構成について説明する。

[0165]

導電体203は、図1(A)、および図1(C)に示すように、チャンネル幅方向に延伸されており、導電体205に電位を印加する配線として機能する。なお、導電体203は、絶縁体212に埋め込まれて設けることが好ましい。

[0166]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、導電体203の上に接して設けるとよい。また、導電体205は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

[0167]

ここで、導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200Aのしきい値電圧を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200Aのしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0168]

また、導電体203上に導電体205を設けることで、第1のゲート電極、および配線としての機能を有する導電体260と、導電体203との距離を適宜設計することが可能となる。つまり、導電体203と導電体260の間に絶縁体214および絶縁体216などが設けられることで、導電体203と導電体260の間の寄生容量を低減し、導電体203と導電体260の間の絶縁耐圧を高めることができる。

[0169]

また、導電体203と導電体260の間の寄生容量を低減することで、トランジスタ200Aのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体203と導電体260の間の絶縁耐圧を高めることで、トランジスタ200Aの信頼性を向上させることができる。よって、絶縁体214および絶縁体216の膜厚を厚くすることが好ましい。なお、導電体203の延伸方向はこれに限られず、例えば、トランジスタ200Aのチャンネル長方向に延伸されてもよい。

[0170]

なお、導電体205は、図1(A)に示すように、酸化物230、および導電体260と重なるように配置する。また、導電体205は、酸化物230における領域234よりも、大きく設けるとよい。特に、図1(C)に示すように、導電体205は、酸化物230の領域234のチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャンネル幅方向における側面において、導電体205と、導電体260とは、絶

縁体を介して重畳していることが好ましい。

[0171]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャンネル形成領域を覆うことができる。

[0172]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel(S-channel)構造とよぶ。

[0173]

また、導電体205は、絶縁体214および絶縁体216の開口の内壁に接して第1の導電体が形成され、さらに内側に第2の導電体が形成されている。ここで、導電体205の第1の導電体および導電体205の第2の導電体の上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200Aでは、導電体205の第1の導電体および導電体205の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0174]

ここで、導電体205、または導電体203の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0175]

導電体205、または導電体203の第1の導電体が酸素の拡散を抑制する機能を持つことにより、導電体205、または導電体203の第2の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205、または導電体203の第1の導電体としては、上記導電性材料を単層または積層とすればよい。これにより、水素、水などの不純物が、導電体203、および導電体205を通じて、基板側(絶縁体210よりも下方)からトランジスタ200A側に拡散するのを抑制することができる。

[0176]

また、導電体205の第2の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205の第2の導電体を単層で図示したが、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。

[0177]

また、導電体203の第2の導電体は、配線として機能するため、導電体205の第2の導電体より導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体203の第2の導電体は積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。

[0178]

特に、導電体203に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一

方、銅は拡散しやすいため、酸化物230に拡散することで、トランジスタ200Aの電気特性を低下させる場合がある。そこで、例えば、絶縁体214には、銅の透過性が低い酸化アルミニウム、酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

[0179]

なお、導電体205、絶縁体214、および絶縁体216は必ずしも設けなくともよい。その場合、導電体203の一部が第2のゲート電極として機能することができる。

[0180]

絶縁体210、絶縁体214、および絶縁体282は、水または水素などの不純物が、基板側または絶縁体284側からトランジスタ200Aに混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体210、絶縁体214、および絶縁体282は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。

[0181]

例えば、絶縁体210、および絶縁体282として酸化アルミニウムなどを用い、絶縁体214として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体210および絶縁体214よりも基板側からトランジスタ200A側に拡散することを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体210および絶縁体214よりも基板側に、拡散することを抑制することができる。または、水素、水などの不純物が、絶縁体282よりも絶縁体284側からトランジスタ200A側に拡散することを抑制することができる。

[0182]

また、導電体203の上に導電体205を積層して設ける構成にすることにより、導電体203と導電体205の間に絶縁体214を設けることができる。ここで、導電体203の第2の導電体に銅など拡散しやすい金属を用いても、絶縁体214として窒化シリコンなどを設けることにより、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

[0183]

また、層間膜として機能する絶縁体212、絶縁体216、絶縁体280、および絶縁体284は、絶縁体210、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0184]

例えば、絶縁体212、絶縁体216、絶縁体280、および絶縁体284として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム($SrTiO_3$)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0185]

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

[0186]

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用

いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200Aの信頼性を向上させることができる。

[0187]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分光法(TDS: Thermal Desorption Spectroscopy)分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0188]

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)ことが好ましい。

[0189]

絶縁体222が、酸素の拡散を抑制する機能を有することで、絶縁体224が有する過剰酸素領域の酸素は、絶縁体220側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

[0190]

絶縁体222としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0191]

特に、不純物、および酸素などの拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230からの酸素の放出や、トランジスタ200Aの周辺部から酸化物230への水素等の不純物の混入を抑制する層として機能する。

[0192]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0193]

また、絶縁体220または絶縁体224は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、high-k材料の絶縁体と組み合わせることで、ゲート絶縁体は、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0194]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0195]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0196]

なお、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0197]

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギー準位が、酸化物230bの伝導帯下端のエネルギー準位より高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの電子親和力より小さいことが好ましい。

[0198]

ここで、酸化物230a、酸化物230b、および酸化物230cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物230a、酸化物230b、および酸化物230cの接合部における伝導帯下端のエネルギー準位は、連続的に変化するまたは連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0199]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

[0200]

このとき、キャリアの主たる経路は酸化物230bとなる。酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200Aは高いオン電流を得られる。

[0201]

また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体273と近接する領域を有する。また、領域232は、少なくとも、絶縁体275と重畳する領域を有する。

[0202]

なお、トランジスタ200Aをオンさせると、領域231a、または領域231bは、ソース領域、またはドレイン領域として機能する。一方、領域234の少なくとも一部は、チャネルが形成される領域として機能する。領域231と、領域234の間に領域232を有することで、トランジスタ200Aにおいて、オン電流を大きくし、かつ、非導通時のリーク電流(オフ電流)を小さくすることができる。

[0203]

トランジスタ200Aにおいて、領域232を設けることで、ソース領域およびドレイン領域として機能する領域231と、チャネルが形成される領域234との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域232を有することで、チャネル長方向において、ソース領域およびドレイン領域と、第1のゲート電極(導電体260)とが重ならないため、両者の間で不要な容量が形成されることを抑制できる。また、領域232を有することで、非導通時のリーク電流を小さくすることができる。

[0204]

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0205]

酸化物230は、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう。)を用いることが好ましい。例えば、領域234となる金属酸化物としては、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0206]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0207]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素分子に換算しての酸素の脱離量が 1.0×10^{18} molecules/cm³以上、好ましくは 1.0×10^{19} molecules/cm³以上、さらに好ましくは 2.0×10^{19} molecules/cm³、または 3.0×10^{20} molecules/cm³である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下の範囲が好ましい。

[0208]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0209]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶縁体250から、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0210]

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、金属酸化物252を設けてもよい。従って、金属酸化物252は、絶縁体250からの酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物252を設けることで、絶縁体250から導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

[0211]

なお、金属酸化物252は、第1のゲート電極の一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、金属酸化物252として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、金属酸化物252の電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0212]

また、金属酸化物252は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物252は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0213]

トランジスタ200Aにおいて、金属酸化物252を単層で示したが、2層以上の積層構造としてもよい。例えば、第1のゲート電極の一部として機能する金属酸化物と、ゲート絶縁体の一部として機能する金属酸化物とを積層して設けてもよい。

[0214]

金属酸化物252を有することで、第1のゲート電極として機能する場合は、導電体260からの電界の影響を弱めることなく、トランジスタ200Aのオン電流の向上を図ることができる。または、ゲート絶縁体として機能する場合は、絶縁体250と、金属酸化物252との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。従って、絶縁体250、および金属酸化物252との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0215]

具体的には、金属酸化物252として、酸化物230に用いることができる酸化物半導体を低抵抗化することで、金属酸化物252として用いることができる。または、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0216]

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいいため好ましい。なお、金属酸化物252は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0217]

第1のゲート電極として機能する導電体260は、導電体260a、および導電体260a上の導電体260bを有す

る。導電体260aは、導電体205の第1の導電体と同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0218]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250、および金属酸化物252が有する過剰酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。

[0219]

また、導電体260は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0220]

また、図1(C)に示すように、導電体205が、酸化物230のチャネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体260は、当該領域において、絶縁体250を介して、重畳していることが好ましい。つまり、酸化物230の側面の外側において、導電体205と、絶縁体250と、導電体260とは、積層構造を形成することが好ましい。

[0221]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0222]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。

[0223]

また、導電体260bの上に、バリア膜として機能する絶縁体270を配置してもよい。絶縁体270は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体270よりも上方からの酸素で導電体260が酸化するのを抑制することができる。また、絶縁体270よりも上方からの水または水素などの不純物が、導電体260および絶縁体250を介して、酸化物230に混入することを抑制することができる。

[0224]

また、絶縁体270上に、ハードマスクとして機能する絶縁体271を配置することが好ましい。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面が概略垂直、具体的には、導電体260の側面と基板表面のなす角を、 75° 以上 100° 以下、好ましくは 80° 以上 95° 以下とすることができる。導電体260をこのような形状に加工することで、次に形成する絶縁体275を所望の形状に形成することができる。

[0225]

なお、絶縁体271に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア膜としての機能を兼ねさせてもよい。その場合、絶縁体270は設けなくともよい。

[0226]

バッファ層として機能する絶縁体275は、酸化物230cの側面、絶縁体250の側面、金属酸化物252の側面、

導電体260の側面、および絶縁体270の側面に接して設ける。

[0227]

例えば、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0228]

また、絶縁体275は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体275として、酸化物230c、および絶縁体250と接して設けることで、絶縁体250から、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体275中の水または水素などの不純物濃度が低減されていることが好ましい。

[0229]

絶縁体273は、少なくとも酸化物230の領域231上、および絶縁体275上に設けられる。絶縁体273をスパッタリング法で成膜することで、絶縁体275へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物230中に酸素を供給することができる。また、絶縁体273を、酸化物230の領域231上に設けることで、酸化物230中の水素を、絶縁体273へと引き抜くことができる。

[0230]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0231]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。

[0232]

また、絶縁体273の上に、絶縁体274を設ける。絶縁体274は、バリア性を有し、水素濃度が低減された膜を用いることが好ましい。例えば、絶縁体274としては、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコンなどを用いるとよい。バリア性を有する絶縁体273と、バリア性を有する絶縁体274を設けることで、層間膜など、他の構造体から不純物がトランジスタ200Aへ拡散することを抑制することができる。

[0233]

また、絶縁体274の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280の上に絶縁体210と同様の絶縁体282を設けてもよい。絶縁体282をスパッタリング法で成膜することで、絶縁体280の不純物を低減することができる。また、絶縁体282上に絶縁体280と同様の絶縁体284を設けてもよい。

[0234]

また、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体284の上面と、同一平面上としてもよい。

[0235]

導電体240aは、トランジスタ200Aのソース領域およびドレイン領域の一方として機能する領域231aと接しており、導電体240bはトランジスタ200のソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240bはソース電極およびドレイン電極の他方として機能できる。

[0236]

なお、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273の開口の内壁に接して導電体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0237]

ここで、図1(D)に示すように、導電体240a、および導電体240bは、酸化物230の側面と重畳することが好ましい。特に、導電体240a、および導電体240bは、酸化物230のチャネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と重畳することが好ましい。また、導電体240a、および導電体240bが、酸化物230のチャネル長方向と交わる側面において、A1側(A2側)の側面と重畳する構成にしてもよい。このように、導電体240a、および導電体240bが、酸化物230(特に、ソース領域またはドレイン領域となる領域231)の側面と重畳する構成とすることで、導電体240a、および導電体240bとトランジスタ200Aのコンタクト部の投影面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体240a、および導電体240bとトランジスタ200Aの接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0238]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

[0239]

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域が除去され、低抵抗化していない酸化物230が露出する場合がある。その場合、導電体240の酸化物230と接する導電体(以下、導電体240の第1の導電体ともいう。)に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、低抵抗化していない酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸化物230に酸素欠損が形成され、導電体240の第1の導電体と接する酸化物230が、低抵抗化する。従って、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。従って、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

[0240]

また、導電体240を積層構造とする場合、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273と接する導電体には、導電体205の第1の導電体などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを

抑制することができる。

[0241]

また、図示しないが、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体203などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0242]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0243]

<<基板>>

本発明の一態様に係るトランジスタを形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板(イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI(Silicon On Insulator)基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0244]

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

[0245]

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下、または $1 \times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、

アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

[0246]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0247]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0248]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0249]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0250]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0251]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

[0252]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0253]

例えば、絶縁体273、絶縁体282として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二

種以上が含まれた金属酸化物を用いることができる。

[0254]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0255]

例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体250は、過剰酸素領域を有する絶縁体であることが好ましい。例えば、過剰酸素領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0256]

また、例えば、ゲート絶縁体の一部として機能する絶縁体222において、アルミニウム、ハフニウム、およびガリウム的一种または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。

[0257]

例えば、絶縁体220には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い膜との積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0258]

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャンネルが形成される領域との間の距離を保つことで、ゲート電極とチャンネル形成領域との間のリーク電流を抑制することができる。

[0259]

絶縁体212、絶縁体216、絶縁体271、絶縁体275、絶縁体280および絶縁体284は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体212、絶縁体216、絶縁体271、絶縁体275、絶縁体280および絶縁体284は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体212、絶縁体216、絶縁体271、絶縁体275、絶縁体280および絶縁体284は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0260]

絶縁体210、絶縁体214、絶縁体270、絶縁体273、絶縁体284、および絶縁体282としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体210、絶縁体214、絶縁体270、絶縁体273、絶縁体284、および絶縁体282としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオ

ジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

[0261]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0262]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0263]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0264]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0265]

導電体260、導電体203、導電体205、および導電体240としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0266]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう。)を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0267]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオ

ジウム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0268]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0269]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物(metal oxide)と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

[0270]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC(Cloud-Aligned Composite)-OSの構成について説明する。

[0271]

なお、本明細書等において、CAAC(c-axis aligned crystal)、およびCAC(Cloud-Aligned Composite)と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

[0272]

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(または正孔)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0273]

また、CAC-OSまたはCAC-metal oxideは、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0274]

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0275]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギ

ギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0276]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0277]

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

[0278]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0279]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0280]

また、CAAC-OSは、インジウム、および酸素を有する層(以下、In層)と、元素M、亜鉛、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0281]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0282]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半

導体と区別が付かない場合がある。

[0283]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0284]

酸化物半導体(金属酸化物)は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0285]

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

[0286]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0287]

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0288]

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0289]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0290]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0291]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0292]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{atoms} / \text{cm}^3$ 以下とする。

[0293]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{atoms/cm}^3$ 以下にする。

[0294]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできるだけ低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{atoms/cm}^3$ 以下とする。

[0295]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできるだけ低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{atoms/cm}^3$ 未満とする。

[0296]

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0297]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200Aを有する半導体装置について、作製方法を図3乃至図13を用いて説明する。また、図3乃至図13において、各図の(A)は上面図を示す。また、各図の(B)は(A)にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。

[0298]

まず、基板(図示しない。)を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長(CVD:Chemical Vapor Deposition)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法、パルスレーザ堆積(PLD:Pulsed Laser Deposition)法、または原子層堆積(ALD:Atomic Layer Deposition)法などを用いて行うことができる。

[0299]

なお、CVD法は、プラズマを利用するプラズマCVD(PECVD:Plasma Enhanced CVD)法、熱を利用する熱CVD(TCVD:Thermal CVD)法、光を利用する光CVD(Photo CVD)法などに分類できる。さらに用いる原料ガスによって金属CVD(MCVD:Metal CVD)法、有機金属CVD(MOCVD:Metal Organic CVD)法

に分けることができる。

[0300]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0301]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法は、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。なお、ALD法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X線光電子分光法（XPS: X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0302]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0303]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0304]

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0305]

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0306]

次に、絶縁体212に、絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。

また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして開口を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストッパ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0307]

開口の形成後に、導電体203の第1の導電体となる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体203の第1の導電体となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0308]

本実施の形態では、導電体203の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタル、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203の第1の導電体としてこのような金属窒化物を用いることにより、後述する導電体203の第2の導電体で銅など拡散しやすい金属を用いても、当該金属が導電体203の第1の導電体から外に拡散するのを抑制することができる。

[0309]

次に、導電体203の第1の導電体となる導電膜上に、導電体203の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、導電体203の第2の導電体となる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0310]

次に、CMP(化学的機械研磨)処理を行うことで、導電体203の第1の導電体となる導電膜、および導電体203の第2の導電体となる導電膜の一部を除去し、絶縁体212を露出する。その結果、開口部のみに、導電体203の第1の導電体となる導電膜、および導電体203の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体203の第1の導電体および導電体203の第2の導電体を含む導電体203を形成することができる(図3参照。)。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0311]

次に、絶縁体212、および導電体203上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203の第2の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを抑制することができる。

[0312]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

[0313]

次に、絶縁体214および絶縁体216に、導電体203に達する開口を形成する。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

[0314]

開口の形成後に、導電体205の第1の導電体となる導電膜を成膜する。導電体205の第1の導電体となる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205の第1の導電体となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0315]

本実施の形態では、導電体205の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0316]

次に、導電体205の第1の導電体となる導電膜上に、導電体205の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0317]

本実施の形態では、導電体205の第2の導電体となる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

[0318]

次に、CMP処理を行うことで、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体205の第1の導電体および導電体205の第2の導電体を含む導電体205を形成することができる(図3参照。)。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0319]

次に、絶縁体216、および導電体205上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体220として、CVD法によって酸化シリコンを成膜する。

[0320]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200Aの周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200Aの内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

[0321]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0322]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる(図3参照。)。本実施の形態では、絶縁体224として、CVD法

によって酸化シリコンを成膜する。

[0323]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0324]

本実施の形態では、加熱処理として、絶縁体224成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理により、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0325]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中に行うことが好ましい。

[0326]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0327]

次に、絶縁体224上に、酸化物230aとなる酸化膜230Aと、酸化物230bとなる酸化膜230Bを順に成膜する(図4参照。)。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0328]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0329]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

[0330]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、

より好ましくは100%とすればよい。

[0331]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0332]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

[0333]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0334]

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する(図5参照。)

[0335]

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200Aを設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

[0336]

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0337]

なお、当該酸化膜の加工はリソグラフィー法を用いて行えばよい。また、当該加工はドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0338]

リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV(Extreme Ultraviolet)光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合

には、レジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウエットエッチング処理を行う、ドライエッチング処理後にウエットエッチング処理を行う、またはウエットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

[0339]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。当該酸化膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0340]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(CCP:Capacitively Coupled Plasma)エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(ICP:Inductively Coupled Plasma)エッチング装置などを用いることができる。

[0341]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化膜230a、および酸化膜230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0342]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液などを用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

[0343]

ウエット洗浄としては、シュウ酸、リン酸、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0344]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0345]

次に、絶縁体224、酸化膜230a、および酸化膜230bの上に、酸化膜230cとなる酸化膜230Cを成膜する(図6参照。)

[0346]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化膜230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、

酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて成膜する。

[0347]

続いて、酸化膜230C上に、絶縁膜250A、金属酸化膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する(図6参照。)

[0348]

まず、絶縁膜250Aを成膜する。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

[0349]

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁膜250Aを曝すことで、絶縁膜250Aへ酸素を導入することができる。

[0350]

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

[0351]

続いて、金属酸化膜252A、導電膜260A、および導電膜260Bを成膜する。金属酸化膜252Aとして、スパッタリング法により、In-Ga-Zn酸化物を形成する。金属酸化膜252Aの形成方法としては、スパッタリング法を用い、酸素ガスを含む雰囲気中で形成することが好ましい。酸素ガスを含む雰囲気中で金属酸化膜252Aを形成することで、絶縁膜250A中に、過剰酸素領域を形成することができる。絶縁膜250Aに添加された過剰酸素は、酸化物230に酸素を供給することで、酸化物230中の酸素欠損を補償することができる。

[0352]

ここで、金属酸化膜252Aを成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、金属酸化膜252Aを成膜しながら、絶縁膜250A、および絶縁体224に酸素を導入することができる。また、金属酸化膜252Aに、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁膜250Aに導入した過剰酸素を、効果的に封じ込めることができる。

[0353]

また、導電膜260A、および導電膜260Bは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。例えば、導電膜260Aとして、窒化チタンを成膜し、導電膜260Bとして、タングステンを成膜するとよい。

[0354]

例えば、導電膜260Aとして、スパッタリング法により、金属窒化物を形成するとよい。例えば、金属酸化膜252Aとして、In-Ga-Zn酸化物に代表される酸化物半導体を用いた場合、金属酸化膜252Aは、窒素または水素が供給されることで、キャリア密度が高くなる。つまり、酸化物導電体(OC:Oxide Conductor)として機能する。そこで、導電膜260Aとして、スパッタリング法により、金属窒化物を形成することで、金属窒化物中の構成元素(特に窒素)が金属酸化膜252Aに拡散し、金属酸化膜252Aが低抵抗化する。また、導電膜260Aの成膜時のダメージ(例えば、スパッタリングダメージなど)により、金属酸化膜252Aが低抵抗化する。従って、金属酸化膜252Aのキャリア密度が高くなり、金属酸化膜252Aの導電性が高くなる。

[0355]

また、導電膜260Bとして、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

[0356]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、金属酸化膜252Aから、絶縁膜250Aに過剰酸素が添加され、絶縁膜250Aに過剰酸素領域を容易に形成することができる。

[0357]

絶縁膜270Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜270Aは、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体260の酸化を抑制することができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを抑制することができる。本実施の形態では、絶縁膜270Aとして、ALD法によって酸化アルミニウムを成膜する。

[0358]

絶縁膜271Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。ここで、絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜275Aの膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体275を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。本実施の形態では、絶縁膜271Aとして、CVD法によって酸化シリコンを成膜する。

[0359]

次に、絶縁膜271Aを、エッチングし、絶縁体271を形成する。ここで、絶縁体271は、ハードマスクとして機能する。絶縁体271を設けることで、絶縁体250の側面、金属酸化物252の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面を、基板の上面に対し、概略垂直に形成することができる。

[0360]

次に、絶縁体271をマスクとして、酸化膜230C、絶縁膜250A、金属酸化膜252A、導電膜260A、導電膜260B、および絶縁膜270Aを、エッチングし、酸化物230c、絶縁体250、金属酸化物252、導電体260（導電体260a、および導電体260b）、および絶縁体270を形成する（図7参照。）。

[0361]

また、酸化物230c、絶縁体250、金属酸化物252、導電体260、絶縁体270、および絶縁体271は、少なくとも一部が、導電体205および酸化物230と重なるように形成する。

[0362]

また、酸化物230cの側面、絶縁体250の側面、金属酸化物252の側面、導電体260の側面、および絶縁体270の側面は、同一面内であることが好ましい。

[0363]

また、酸化物230cの側面、絶縁体250の側面、金属酸化物252の側面、導電体260の側面、および絶縁体270の側面が共有する同一面は、基板の上面に対し、概略垂直であることが好ましい。つまり、断面形状において、酸化物230c、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面と、酸化物230の上面のなす角が、鋭角、かつ大きいほど好ましい。なお、断面形状において、酸化物230c、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面と、酸化物230の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230c、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面と、酸化物230の上面のなす角は大きいほど好ましい。

[0364]

なお、上記加工後も、当該ハードマスク(絶縁体271)は除去せずに後工程を進めてもよい。

[0365]

次に、酸化物230、絶縁体250、金属酸化物252、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜275Aを成膜する(図8参照。)

[0366]

絶縁膜275Aは、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁膜275Aに用いると、後の工程で絶縁体275中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。

[0367]

次に、絶縁膜275Aに異方性のエッチング処理を行い、酸化物230c、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面に、絶縁体275を形成する(図9参照。)。なお、当該工程において、絶縁体224を島状に加工してもよい。その場合、絶縁体222をエッチングストップ膜として用いることができる。

[0368]

なお、図示しないが、絶縁体224の側面にも絶縁体275が残存していてもよい。その場合、後の工程で成膜する層間膜などの被膜性を高めることができる。また、絶縁体224の側面に接して絶縁体275の残存した構造体が形成されていることで、絶縁体224にも過剰酸素領域を設けることができる。

[0369]

続いて、酸化物230c、絶縁体250、金属酸化物252、導電体260、絶縁体270、および絶縁体275を介して、絶縁体224、および酸化物230上に膜242Aを成膜する(図10参照。)。なお、膜242Aは、0.5nm以上5nm以下、好ましくは、1nm以上3nm以下の膜厚にするとよい。膜242Aは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いる。膜242Aは、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜242Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0370]

続いて、加熱処理を行う(図11参照。)。窒素を含む雰囲気下での熱処理により、膜242Aから、膜242Aの成分である金属元素が酸化物230へ、または酸化物230の成分である金属元素が膜242Aへと、拡散し、酸化物230と、膜242Aが金属化合物を形成し、低抵抗化することができる。酸化物230と膜242Aとが、金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0371]

ここで、膜242Aの金属元素、および酸化物230の金属元素により、金属化合物を形成することで、層242とする。また、膜242Aと、酸化物230との界面に、化合物層が形成されていてもよい。なお、化合物層とは、膜242Aの成分と、酸化物230の成分とを含む金属化合物を有する層とする。なお、本明細書において、層242は、化合物層を含める場合がある。例えば、化合物層として、酸化物230の金属元素と、膜242Aの金属元素とが、合金化した層が形成されていてもよい。合金化することで、金属元素は比較的安定な状態となり、信頼性の高い半導体装置を提供することができる。

[0372]

加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。

[0373]

また、酸化物230と層242との界面近傍における酸素が層242に吸収される場合がある。その結果、酸化物230と層242との界面近傍が、低抵抗化する(図11参照。)。一方、層242は、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化する場合がある。

[0374]

その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。また、高抵抗化した層242は、層間膜として用いてもよい。

[0375]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する。

[0376]

また、窒素または不活性ガス雰囲気で加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。

[0377]

また、層242に、導電性を有する領域が残存している場合、酸化性雰囲気中で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。層242を、絶縁体として残存させることで、層間膜として機能させることができる。

[0378]

上記層242の形成工程、または加熱処理において、酸化物230の領域231、および領域231に近接する領域232の酸素が、層242に吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は、増加する。従って、酸化物230の領域231、および領域232は、n型となり、低抵抗化される。

[0379]

なお、層242は除去してもよい。例えば、除去する方法として、ドライエッチング法やウエットエッチング法を用いることができる。層242を除去することで、層242に吸収された酸化物230中の水素を同時に除去することができる。従って、トランジスタ200A中の不純物である水素を低減することができる。

[0380]

続いて、絶縁体275、酸化物230上に絶縁体273を成膜する(図12参照。)

[0381]

また、絶縁体273は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体273として、酸化アルミニウムを用いるとよい。

[0382]

また、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体273を成膜しながら、絶縁体275に酸素を導入することができる。特に、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いると、絶縁体275に、過剰酸素領域が形成されやすい傾向がある。一方、上述の酸化シリコンと比較して、酸化物230は、過剰酸素領域が形成されにくい傾向がある。また、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、例えば、絶縁体273として、スパッタリング法を用いた酸化膜を成膜した場合、絶縁体275に選択的に過剰酸素領域を形成することができる。また、このとき、酸化物230には過剰酸素領域が形成されにくいため、上述の酸化物230における低抵抗化領域が高抵抗化するのを抑制することができる。また、酸化物230、および絶縁体275から水素、および水を吸収することで、酸化物230、および絶縁体275の水素濃度を低減することができる。

[0383]

上述のようにして過剰酸素領域が形成された絶縁体275は、当該過剰酸素領域から酸化物230の領域234へ、酸素を効果的に供給することができる。

[0384]

上記構成とすることで、酸化物230の各領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0385]

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0386]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物230の領域231に形成された酸素欠損に捕獲された水素が、絶縁体273へ吸収され、酸化物230中の水素を低減することができる。

[0387]

次に、絶縁体273の上に、絶縁体274を成膜する(図12参照。)。絶縁体274の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。なお、絶縁体274は、成膜ガスに水素ガスを用いないことが好ましい。水素ガスを用いないことで、水素濃度が低減された絶縁膜を成膜することができる。例えば、絶縁体274として、CVD法により、シラン(SiH_4)と窒素(N_2)ガスをを用いて、窒化シリコンを成膜するといふ。

[0388]

次に、絶縁体274の上に、絶縁体280を成膜する(図12参照。)。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。例えば、絶縁体280として、酸化窒化シリコンを用いるといふ。

[0389]

次に、絶縁体280の一部を除去する。絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実

施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

[0390]

続いて、絶縁体280上に、絶縁体282を形成する。絶縁体282は、スパッタリング装置により成膜することが好ましい。当該構造とすることで、水素が絶縁体282よりも下層の構造に混入することを抑制することができる。また、絶縁体280中の水素、または水が、絶縁体282へと吸収されるため、絶縁体280中の不純物濃度を低減することができる。

[0391]

続いて、絶縁体282上に、絶縁体284を形成する(図12参照。)。例えば、絶縁体284として、CVD法により、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体を形成する。絶縁体284は、絶縁体282よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0392]

次に、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に、酸化物230に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

[0393]

次に、導電体240の第1の導電体となる導電膜、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0394]

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、および絶縁体273に開口を形成する際に、領域231の低抵抗化した領域を除去する場合がある。その場合、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240の第1の導電体とが接するため、当該接した領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240との十分なオーミック接触を確保することができる。従って、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

[0395]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体284を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる(図13参照。)

[0396]

以上により、トランジスタ200Aを有する半導体装置を作製することができる。図3乃至図13に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200Aを作製することができる。

[0397]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大

きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0398]

<半導体装置の変形例>

以下では、図14乃至図17を用いて、本発明の一態様に係るトランジスタ200Aを有する半導体装置の一例について説明する。

[0399]

ここで、各図の(A)は上面図を示す。また、各図の(B)は(A)にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。各図(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0400]

なお、図14乃至図17に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0401]

以下、半導体装置の構成についてそれぞれ図14乃至図17を用いて説明する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0402]

[半導体装置の変形例1]

図14に示す半導体装置では、酸化物230の側面と、基板と平行な面が、テーパ角度を有する。具体的には、図14(B)に示すように、テーパ角度(θ)は、 45° 以上 80° 以下、好ましくは、 50° 以上 70° 以下とすればよい。酸化物230がテーパ構造を有することで、絶縁体275に対して、異方性のエッチング処理を行った際に、酸化物230の側面を露出することができる。

[0403]

従って、酸化物230の側面においても、膜242Aと接することになり、金属化合物が形成され、低抵抗化することができる。つまり、酸化物230の側面にも領域231を形成することができる。また、酸化物230がテーパ構造を有することで、酸化物230よりも上層に形成される構造体の被膜性を高めることができる。

[0404]

[半導体装置の変形例2]

図15に示す半導体装置は、<半導体装置の構成例>に示した半導体装置とは、層242の絶縁化した領域を除去したことが異なる。具体的には、図15に示すように、層242は酸化物230上のみ残存させてもよい。または、酸化物230中に金属化合物が形成されている場合、層242は除去してもよい。従って、領域231が、酸化物230のみに形成されていてもよい。

[0405]

なお、層242が、水素を吸収する特性を有する場合、酸化物230中の水素は、層242へと吸収される。そこで、層242を除去することで、酸化物230から吸収した水素も除去することができる。従って、酸化物230中の不純物である水素を低減することができる。

[0406]

[半導体装置の変形例3]

図16に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体240の形状が異なる。つまり、＜半導体装置の構成例＞に示した半導体装置は、層間膜として機能する絶縁体280、絶縁体282、および絶縁体284と接して導電体240を設ける構造である。一方、図16に示す半導体装置は、絶縁体273、および絶縁体274に開口を設け、導電体240を形成する。つまり、導電体240は、層間膜と接しない構造である。従って、層間膜として機能する絶縁体の不純物が、導電体240を介して、トランジスタ200Aへと拡散することを抑制することができる。従って、導電体240上にはバリア性を有する絶縁体を設けることが好ましい。

[0407]

[半導体装置の変形例4]

図17に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体240と層間膜として機能する絶縁体280、絶縁体282、および絶縁体284との間に、バリア層として機能する絶縁体276（絶縁体276a、および絶縁体276b）を設けたことが異なる。なお、本構造とする場合、絶縁体276、および絶縁体282は、酸素、水素、および水に対し、バリア性を有することが好ましい。

[0408]

具体的には、図17に示すように、導電体240と、絶縁体280、およびバリア性を有する絶縁体282との間に絶縁体276を設けるとよい。特に、絶縁体276は、バリア性を有する絶縁体282と接して設けられることが好ましい。絶縁体276と、絶縁体282とが接して設けられることで、絶縁体276が絶縁体284まで延在し、酸素や不純物の拡散を、より抑制することができる。

[0409]

つまり、絶縁体276を設けることで、絶縁体280が有する不純物が、導電体240を介して、トランジスタ200Aへと拡散し、半導体装置の信頼性が低下することを抑制することができる。また、絶縁体276を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。

[0410]

絶縁体276には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0411]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[0412]

(実施の形態2)

以下では、実施の形態1で示したトランジスタ200Aを有する半導体装置とは異なる、本発明の一態様に係るトランジスタ200Bを有する半導体装置の一例について説明する。

[0413]

なお、本実施の形態に示す半導体装置において、先の実施の形態に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。そこで、主に、先の実施の形態に示した半導体装置と異なる点について説明を行い、繰り返しとなる説明を省略する。さらに、同符号を付記している構造の材料、機能、作製方法などについて特段の説明がない場合、当該構造の材料、機能、作製方法などは、先の実施の形態で説明した内容を参酌することができる。

[0414]

<半導体装置の構成例>

図18(A)、図18(B)、図18(C)、および図18(D)は、本発明の一態様に係るトランジスタ200B、およびトランジスタ200B周辺の上面図および断面図である。

[0415]

図18(A)は、トランジスタ200Bを有する半導体装置の上面図である。また、図18(B)、図18(C)、および図18(D)は当該半導体装置の断面図である。ここで、図18(B)は、図18(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャネル長方向の断面図でもある。また、図18(C)は、図18(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Bのチャネル幅方向の断面図でもある。また、図18(D)は、図18(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Bのソース領域またはドレイン領域の断面図でもある。なお、図18(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0416]

本発明の一態様の半導体装置は、トランジスタ200Bと、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、絶縁体282、および絶縁体284と、を有する。また、トランジスタ200Bと電氣的に接続し、配線として機能する導電体203と、プラグとして機能する導電体240(導電体240a、および導電体240b)と、を有する。

[0417]

導電体240は、絶縁体275、絶縁体273、絶縁体274、絶縁体280、絶縁体282、絶縁体284の開口の内壁に接して形成されている。ここで、導電体240の上面の高さと、絶縁体284の上面の高さは同程度にできる。なお、本実施の形態では、導電体240が2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、単層、または3層以上の積層構造でもよい。

[0418]

[トランジスタ200B]

図18に示すトランジスタ200Bは、少なくとも酸化物230c、絶縁体250、金属酸化物252、および導電体260の側面と接して配置された絶縁体272と、酸化物230上、および絶縁体272上に配置された層242と、層242上に配置された絶縁体275と、絶縁体275上に配置された絶縁体273と、絶縁体273上に配置された絶縁体274と、を有している点が、実施の形態1で示したトランジスタ200Aと異なる。

[0419]

また、トランジスタ200Bは、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体を用いることが好ましい。

[0420]

チャネル形成領域に酸化物半導体を用いたトランジスタ200Bは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200Bに用いることができる。

[0421]

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。

[0422]

酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸

化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が該膜などに吸収され、酸素欠損を形成し、当該界面近傍が低抵抗化する場合がある。

[0423]

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜から、当該膜の成分である金属元素が酸化物半導体へ、または酸化物半導体の成分である金属元素が当該膜へと、拡散し、酸化物半導体と、当該膜とが金属化合物を形成し、低抵抗化することができる。酸化物半導体に添加された金属元素は、酸化物半導体と金属元素と、金属化合物を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0424]

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜と、酸化物半導体との界面に、化合物層(異層)が形成されていてもよい。なお、化合物層(異層)とは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜の成分と、酸化物半導体の成分とを含む金属化合物を有する層とする。例えば、化合物層として、酸化物半導体の金属元素と、添加された金属元素とが、合金化した層が形成されていてもよい。当該合金化した層は、比較的安定な状態であり、信頼性の高い半導体装置を提供することができる。

[0425]

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。従って、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する傾向がある。

[0426]

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ると、キャリア密度は増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

[0427]

従って、酸化物半導体に、金属元素、並びに、水素、および窒素などの不純物元素を、選択的に添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0428]

ここで、図18(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図19に示す。

[0429]

図19に示すように、酸化物230は、トランジスタのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231(領域231a、および領域231b)と、領域234と領域231との間に設けられる、領域232(領域232a、および領域232b)と、を有する。

[0430]

領域232は、絶縁体272と重畳する領域を有する。

[0431]

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、層242を成膜するとよい。層242としては、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜などを用いることができる。層242は、少なくとも、絶縁体250、金属酸化物252、導電体260、絶縁体270、絶縁体271、および絶縁体272を介して、酸化物230上に設けることが好ましい。

[0432]

酸化物230と層242とが接することにより、層242の成分と、酸化物230の成分とが、金属化合物を形成し、領域231となり、低抵抗化する。また、酸化物230と層242との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が層242に吸収され、酸化物230に酸素欠損を形成し、低抵抗化し、領域231を形成する場合がある。

[0433]

また、酸化物230と、層242とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、層242から、層242の成分である金属元素が酸化物230へ、または酸化物230の成分である金属元素が層242へと、拡散し、酸化物230と、層242とが金属化合物を形成し、低抵抗化する。なお、その際、酸化物230の金属元素と、層242の金属元素とが、合金化してもよい。酸化物230の金属元素と、層242の金属元素とが、合金化することで、金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0434]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0435]

一方、酸化物230の導電体260、および絶縁体272と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体272により、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した層242へ吸収されることが抑制される。

[0436]

また、層242に、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は増加する。従って、酸化物230の領域231、および領域232は、低抵抗化される。

[0437]

ここで、層242が、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。従って、酸化物230中の不純物である水素を低減することができる。また、層242は、後の工程で、酸化物230から吸収した水素とともに除去してもよい。

[0438]

なお、層242は、必ずしも除去しなくともよい。例えば、層242を絶縁化し、高抵抗化している場合は、残存させてもよい。例えば、層242は、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化する場合が

ある。その場合、層242は、層間膜として機能する場合がある。

[0439]

また、例えば、層242に、導電性を有する領域が残存している場合、熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。当該熱処理は、例えば、酸化性雰囲気下で行うことが好ましい。また、層242の近傍に酸素を有する構造体がある場合、熱処理を行うことで、層242は、当該構造体が有する酸素と反応し、酸化する場合がある。

[0440]

層242を、絶縁体として残存させることで、層間膜として機能させることができる。当該構造とする場合、層242は、後工程で、絶縁化させることができる程度の膜厚で設ける。例えば、層242は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けるとよい。なお、上記酸化性雰囲気下で熱処理を行う場合には、酸化物230と、層242とが、接した状態で、窒素を含む雰囲気下において一度熱処理を行ったあとに行うと好適である。窒素を含む雰囲気下において、一度熱処理を行うことで、酸化物230中の酸素が層242に拡散しやすくなる。

[0441]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0442]

そこで、図19に示すように、酸化物230と近接して、化学量論的組成を満たす酸素よりも多くの酸素(過剰酸素ともいう。)を含む絶縁体275を設けることが好ましい。絶縁体275が有する過剰酸素は、層242を通過し、酸化物230へと拡散し、酸化物230の酸素欠損を低減することができる。

[0443]

つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。一方、酸化物230の領域231に形成された酸素欠損も、絶縁体275から供給された酸素により補償される。しかしながら、酸化物230、および層242に形成された低抵抗領域は、金属化合物が形成されているため、安定である。従って、金属化合物が形成されていない領域234よりも、低い抵抗を維持することができる。

[0444]

また、絶縁体275に過剰酸素領域を設けるには、絶縁体275に接する絶縁体273として、酸化物を、スパッタリング法により成膜するとよい。酸化物の成膜にスパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。

[0445]

絶縁体275に過剰な酸素を導入することで、絶縁体275中に過剰酸素領域を形成することができる。絶縁体275の過剰な酸素は、酸化物230に供給され、酸化物230の酸素欠損を補償することができる。

[0446]

また、絶縁体273は、酸化アルミニウムを用いることが好ましい。酸化アルミニウムは、酸化物230と近接した状態で、熱処理を行うことで、酸化物230中の水素を引き抜く場合がある。なお、酸化物230と、酸化アルミニウムとの間に層242、および絶縁体275が設けられている場合、層242、および絶縁体275中の水素を酸化アルミニウムが吸収し、水素が低減された層242は、酸化物230中の水素を吸収する場合がある。従って、酸化物2

30中の水素濃度を低減することができる。また、絶縁体273と、酸化物230とを近接した状態で熱処理を行うことで、絶縁体273から酸化物230、絶縁体224、または絶縁体222に酸素を供給できる場合がある。

[0447]

上記構成、または上記工程を組み合わせることで、酸化物230の選択的な低抵抗化を行うことができる。

[0448]

つまり、酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、および絶縁体272をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200Bを同時に形成する場合、トランジスタ間の電気特性バラつきを小さくすることができる。また、トランジスタ200Bのチャネル長は、導電体260の幅、および絶縁体272の膜厚により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200Bの微細化が可能となる。

[0449]

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0450]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流(オフ電流)が小さいため、低消費電力の半導体装置を提供できる。

[0451]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0452]

以下では、本発明の一態様に係るトランジスタ200Bを有する半導体装置の構成のうち、実施の形態1で示したトランジスタ200Aを有する半導体装置と異なる点について説明する。

[0453]

領域232は、少なくとも、絶縁体272と重畳する領域を有する。

[0454]

また、絶縁体270上に、ハードマスクとして機能する絶縁体271を配置することが好ましい。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面が概略垂直、具体的には、導電体260の側面と基板表面のなす角を、75°以上100°以下、好ましくは80°以上95°以下とすることができる。導電体260をこのような形状に加工することで、次に形成する絶縁体272を所望の形状に形成することができる。

[0455]

バッファ層として機能する絶縁体272は、酸化物230cの側面、絶縁体250の側面、金属酸化物252の側面、導電体260の側面、および絶縁体270の側面に接して設ける。なお、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いてもよい。その場合、絶縁体272はバリア層としての機能も有する。

[0456]

例えば、絶縁体272として、ALD法を用いて成膜することが好ましい。ALD法を用いることで、緻密な薄膜を成膜することができる。絶縁体272は、例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。絶縁体272として、ALD法を用いて酸化アルミニウムを設ける場合、絶縁体272の膜厚は、0.5nm以上

3. 0nm以下とすることが好ましい。

[0457]

絶縁体272を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、絶縁体250、金属酸化物252、および導電体260の側面を覆うことができる。従って、絶縁体250、および金属酸化物252の端部などから酸化物230に水素、水などの不純物が混入するのを抑制することができる。そのため、酸化物230と、絶縁体250との界面における酸素欠損の形成が抑制され、トランジスタ200Bの信頼性を向上させることができる。つまり、絶縁体272は、ゲート電極およびゲート絶縁体の側面を保護するサイドバリアとしての機能を有する。

[0458]

酸化物230、絶縁体272、および絶縁体271上に絶縁体275を設ける。過剰酸素領域を有する絶縁体275は、酸化物230に近接して設ける。

[0459]

例えば、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0460]

また、絶縁体275は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体275として、酸化物230c、および絶縁体250と接して設けることで、絶縁体250から、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体275中の水または水素などの不純物濃度が低減されていることが好ましい。

[0461]

絶縁体272、および絶縁体275を設けることで、導電体260の酸化を抑制しながら、絶縁体275が有する過剰酸素を酸化物230へ供給することが可能となる。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234の酸素欠損が低減するため、酸化物230の領域234は、より高抵抗化する。一方、酸化物230の領域231に形成された酸素欠損も、同様に、絶縁体275から供給された酸素により補償される。

[0462]

しかしながら、酸化物230、および層242に形成された低抵抗領域は、金属化合物が形成されているため、安定である。従って、金属化合物が形成されていない領域234よりも、低い抵抗を維持することができる。

[0463]

絶縁体273は、少なくとも酸化物230の領域231上、および絶縁体275上に設けられる。絶縁体273をスパッタリング法で成膜することで、絶縁体275へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物230中に酸素を供給することができる。また、絶縁体273を、酸化物230の領域231上に設けることで、酸化物230中の水素を、絶縁体273へと引き抜くことができる。

[0464]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0465]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。

[0466]

また、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に形成された開口に、導電体240aおよび導電体240bを配置する。

[0467]

なお、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275の開口の内壁に接して導電体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0468]

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域が除去され、低抵抗化していない酸化物230が露出する場合がある。その場合、導電体240の酸化物230と接する導電体（以下、導電体240の第1の導電体ともいう。）に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、低抵抗化していない酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸化物230に酸素欠損が形成され、導電体240の第1の導電体と接する酸化物230が、低抵抗化する。従って、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。従って、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

[0469]

また、導電体240を積層構造とする場合、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275と接する導電体には、導電体205の第1の導電体などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体280より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0470]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200Bを有する半導体装置について、作製方法を図20乃至図25を用いて説明する。また、図20乃至図25において、各図の(A)は上面図を示す。また、各図の(B)は(A)にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。

[0471]

図18に示す半導体装置の作製方法は、絶縁体271を形成するまでは、図1に示す半導体装置の作製方法と同様である。よって、図3乃至図7に係る半導体装置の作製方法を参酌することができる。

[0472]

なお、絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜272Aの膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体272を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。本実施の形態では、絶縁膜271Aとして、CVD法によって酸化シリコンを成膜する。

[0473]

絶縁体271を形成した後、酸化物230、絶縁体250、金属酸化物252、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜272Aを成膜する(図20参照。)

[0474]

絶縁膜272Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。

[0475]

絶縁膜272Aは、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。また、ALD法を用いることで、緻密な薄膜を成膜することができる。

[0476]

一方、絶縁膜272Aとして、バリア性を有する酸化アルミニウムなどを設けてもよい。例えば、導電体260が酸化しやすい金属膜である場合、バリア性を有する絶縁体を用いることで、導電体260が絶縁膜272Aの上方からの酸素で酸化するのを抑制することができる。これにより、導電体260の抵抗値が上がることを抑制することができる。

[0477]

絶縁膜272Aとして、ALD法を用いて酸化アルミニウムを設ける場合、絶縁膜272Aの膜厚は、0.5nm以上3.0nm以下とすることが好ましい。当該構成とすることで、後の工程で、導電体260の酸化を抑制しながら、絶縁体275が有する過剰酸素を酸化物230、および絶縁体250へ供給することが可能となる。

[0478]

次に、絶縁膜272Aに異方性のエッチング処理を行い、酸化物230c、絶縁体250、金属酸化物252、導電体260、および絶縁体270の側面に、絶縁体272を形成する(図21参照)。

[0479]

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体272を自己整合的に形成することができる。

[0480]

なお、当該工程において、絶縁体224を島状に加工してもよい。その場合、絶縁体222をエッチングストップ膜として用いることができる。

[0481]

続いて、酸化物230c、絶縁体250、金属酸化物252、導電体260、絶縁体270、および絶縁体272を介して、絶縁体224、および酸化物230上に膜242Aを成膜する(図22参照。)。膜242Aの材料、成膜方法等は、実施の形態1の膜242Aを参酌することができる。

[0482]

続いて、加熱処理を行う(図23参照。)。窒素を含む雰囲気下での熱処理により、膜242Aから、膜242Aの成分である金属元素が酸化物230へ、または酸化物230の成分である金属元素が膜242Aへと、拡散し、酸化物230と、膜242Aが金属化合物を形成し、低抵抗化することができる。酸化物230と膜242Aとが、金属化合物

を形成することで、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0483]

ここで、膜242Aの金属元素、および酸化物230の金属元素により、金属化合物を形成することで、層242とする。また、膜242Aと、酸化物230との界面に、化合物層が形成されていてもよい。なお、化合物層とは、膜242Aの成分と、酸化物230の成分とを含む金属化合物を有する層とする。なお、本明細書において、層242は、化合物層を含める場合がある。例えば、化合物層として、酸化物230の金属元素と、膜242Aの金属元素とが、合金化した層が形成されていてもよい。合金化することで、金属元素は比較的安定な状態となり、信頼性の高い半導体装置を提供することができる。

[0484]

加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。

[0485]

また、酸化物230と層242との界面近傍における酸素が層242に吸収される場合がある。その結果、酸化物230と層242との界面近傍が、低抵抗化する(図23参照。)。一方、層242は、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化する場合がある。

[0486]

その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。また、高抵抗化した層242は、層間膜として用いてもよい。

[0487]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する。

[0488]

また、窒素または不活性ガス雰囲気加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。

[0489]

また、層242に、導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。層242を、絶縁体として残存させることで、層間膜として機能させることができる。

[0490]

上記層242の形成工程、または加熱処理において、酸化物230の領域231、および領域231に近接する領域232の酸素が、層242に吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は、増加する。従って、酸化物230の領域231、および領域232は、n型となり、低抵抗化される。

[0491]

なお、層242は除去してもよい。例えば、除去する方法として、ドライエッチング法やウエットエッチング法を用いることができる。層242を除去することで、層242に吸収された酸化物230中の水素を同時に除去することができる。従って、トランジスタ200B中の不純物である水素を低減することができる。

[0492]

続いて、層242上に、絶縁体275を成膜する(図24参照。)。絶縁体275の材料は、実施の形態1の絶縁膜275Aを参照することができる。

[0493]

なお、図示しないが、絶縁体224の側面にも絶縁体275が残存していてもよい。その場合、後の工程で成膜する層間膜などの被膜性を高めることができる。また、絶縁体224の側面に接して絶縁体275の残存した構造体が形成されていることで、絶縁体224にも過剰酸素領域を設けることができる。

[0494]

続いて、絶縁体275上に絶縁体273を成膜する(図24参照。)。絶縁体273の材料、成膜方法等は、実施の形態1の絶縁体273を参照することができる。

[0495]

また、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体273を成膜しながら、絶縁体275に酸素を導入することができる。特に、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いると、絶縁体275に、過剰酸素領域が形成されやすい傾向がある。また、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、例えば、絶縁体273として、スパッタリング法を用いた酸化膜を成膜した場合、絶縁体275に選択的に過剰酸素領域を形成することができる。また、絶縁体275から水素、および水を吸収することで、絶縁体275の水素濃度を低減することができる。

[0496]

上述のようにして過剰酸素領域が形成された絶縁体275は、当該過剰酸素領域から酸化物230へ、酸素を効果的に供給することができる。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234の酸素欠損が低減するため、酸化物230の領域234は、より高抵抗化する。一方、酸化物230の領域231に形成された酸素欠損も、同様に、絶縁体275から供給された酸素により補償される。

[0497]

しかしながら、酸化物230、および層242に形成された低抵抗領域は、金属化合物が形成されているため、安定である。従って、金属化合物が形成されていない領域234よりも、低い抵抗を維持することができる。

[0498]

上記構成とすることで、酸化物230の各領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0499]

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0500]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物230の領域231に形成された酸素欠損に捕獲された水素が、絶縁体273へ吸収され、酸化物230中の水素を低減することができる。

[0501]

次に、絶縁体273の上に、絶縁体274、絶縁体280、絶縁体282、および絶縁体284を順に形成する(図24参照。)。なお、絶縁体274、絶縁体280、絶縁体282、および絶縁体284の材料、形成方法等は、それぞれ、実施の形態1の絶縁体274、絶縁体280、絶縁体282、および絶縁体284を参酌することができる。

[0502]

次に、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に、酸化物230に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

[0503]

次に、導電体240の第1の導電体となる導電膜、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0504]

ここで、例えば、絶縁体284、絶縁体282、絶縁体280、絶縁体274、絶縁体273、および絶縁体275に開口を形成する際に、領域231の低抵抗化した領域を除去する場合がある。その場合、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240の第1の導電体とが接するため、当該接した領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240との十分なオーミック接触を確保することができる。従って、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

[0505]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体284を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる(図25参照。)

[0506]

以上により、トランジスタ200Bを有する半導体装置を作製することができる。図20乃至図25に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200Bを作製することができる。

[0507]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0508]

<半導体装置の変形例>

以下では、図26乃至図29を用いて、本発明の一態様に係るトランジスタ200Bを有する半導体装置の一例について説明する。

[0509]

ここで、各図の(A)は上面図を示す。また、各図の(B)は(A)にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。また、各図の(D)は、(A)にA5-A6の一点鎖線で示す部位に対応する断面図である。各図(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0510]

なお、図26乃至図29に示す半導体装置において、＜半導体装置の構成例＞に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0511]

以下、半導体装置の構成についてそれぞれ図26乃至図29を用いて説明する。なお、本項目においても、半導体装置の構成材料については、先の実施の形態、および＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0512]

[半導体装置の変形例1]

図26に示す半導体装置では、酸化物230の側面と、基板と平行な面が、テーパ角度を有する。具体的には、図26(B)に示すように、テーパ角度(θ)は、 45° 以上 80° 以下、好ましくは、 50° 以上 70° 以下とすればよい。酸化物230がテーパ構造を有することで、絶縁体272に対して、異方性のエッチング処理を行った際に、酸化物230の側面を露出することができる。

[0513]

従って、酸化物230の側面においても、膜242Aと接することになり、金属化合物が形成され、低抵抗化することができる。つまり、酸化物230の側面にも領域231を形成することができる。また、酸化物230がテーパ構造を有することで、酸化物230よりも上層に形成される構造体の被膜性を高めることができる。

[0514]

[半導体装置の変形例2]

図27に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、層242の絶縁化した領域を除去したことが異なる。具体的には、図27に示すように、層242は酸化物230上のみ残存させてもよい。または、酸化物230中に金属化合物が形成されている場合、層242は除去してもよい。従って、領域231が、酸化物230のみに形成されていてもよい。

[0515]

なお、層242が、水素を吸収する特性を有する場合、酸化物230中の水素は、層242へと吸収される。そこで、層242を除去することで、酸化物230から吸収した水素も除去することができる。従って、酸化物230中の不純物である水素を低減することができる。

[0516]

[半導体装置の変形例3]

図28に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体240の形状が異なる。つまり、＜半導体装置の構成例＞に示した半導体装置は、層間膜として機能する絶縁体280、絶縁体282、および絶縁体284と接して導電体240を設ける構造である。一方、図28に示す半導体装置は、絶縁体275、絶縁体273、および絶縁体274に開口を設け、導電体240を形成する。つまり、導電体240は、層間膜と接しない構造である。従って、層間膜として機能する絶縁体の不純物が、導電体240を介して、トランジスタ200Bへと拡散することを抑制することができる。従って、導電体240上にはバリア性を有する絶縁体を設けることが好ましい。

[0517]

[半導体装置の変形例4]

図29に示す半導体装置は、＜半導体装置の構成例＞に示した半導体装置とは、導電体240と層間膜として機能する絶縁体280、絶縁体282、および絶縁体284との間に、バリア層として機能する絶縁体276（絶縁体276a、および絶縁体276b）を設けたことが異なる。なお、本構造とする場合、絶縁体276、および絶縁体282は、酸素、水素、および水に対し、バリア性を有することが好ましい。

[0518]

具体的には、図29に示すように、導電体240と、絶縁体280、およびバリア性を有する絶縁体282との間に絶縁体276を設けるとよい。特に、絶縁体276は、バリア性を有する絶縁体282と接して設けられることが好ましい。絶縁体276と、絶縁体282とが接して設けられることで、絶縁体276が絶縁体284まで延在し、酸素や不純物の拡散を、より抑制することができる。

[0519]

つまり、絶縁体276を設けることで、絶縁体280が有する不純物が、導電体240を介して、トランジスタ200Bへと拡散し、半導体装置の信頼性が低下することを抑制することができる。また、絶縁体276を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。

[0520]

絶縁体276には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0521]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0522]

(実施の形態3)

以下では、本発明の一態様に係るトランジスタ200Cを有する半導体装置の一例について説明する。

[0523]

なお、本実施の形態に示す半導体装置において、先の実施の形態に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。そこで、主に、先の実施の形態に示した半導体装置と異なる点について説明を行い、繰り返しとなる説明を省略する。さらに、同符号を付記している構造の材料、作製方法などについて特段の説明がない場合、当該構造の材料、作製方法などは、先の実施の形態で説明した内容を参酌することができる。

[0524]

＜半導体装置の構成例＞

図30(A)乃至図30(D)は、本発明の一態様に係るトランジスタ200C、およびトランジスタ200C周辺の上面図および断面図である。

[0525]

図30(A)は、トランジスタ200Cを有する半導体装置の上面図である。また、図30(B)、図30(C)、および図30(D)は、当該半導体装置の断面図である。ここで、図30(B)は、図30(A)にA1－A2の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャネル長方向の断面図でもある。また、図30(C)は、図30(A)にA3－A4の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャネル幅方向の断面図でもある。また、図3

0(D)は、図30(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Cのソース領域またはドレイン領域の断面図でもある。なお、図30(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0526]

本発明の一態様の半導体装置は、トランジスタ200Cと、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、および絶縁体282と、を有する。また、トランジスタ200Cと電氣的に接続し、配線として機能する導電体203と、プラグとして機能する導電体240と、を有する。

[0527]

なお、導電体203は、絶縁体212の開口の内壁に接して導電体203の第1の導電体203aが形成され、さらに内側に導電体203の第2の導電体203bが形成されている。ここで、導電体203の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお、トランジスタ200Cでは、導電体203の第1の導電体203aおよび導電体203の第2の導電体203bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0528]

また、導電体240は、絶縁体280、および絶縁体282の開口の内壁に接して導電体240の第1の導電体が形成され、さらに内側に導電体240の第2の導電体が形成されている。ここで、導電体240の上面の高さと、絶縁体282の上面の高さは同程度にできる。なお、トランジスタ200Cでは、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0529]

[トランジスタ200C]

図30に示すように、トランジスタ200Cは、基板(図示しない。)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260(導電体260a、および導電体260b)と、導電体260の上に配置された絶縁体271と、少なくとも酸化物230c、絶縁体250、および導電体260の側面に接し、かつ酸化物230bの上面の一部と接して配置された絶縁体272と、絶縁体272を介して導電体260の側面に配置された絶縁体273と、を有する。

[0530]

また、トランジスタ200Cは、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体を用いることが好ましい。

[0531]

チャネル形成領域に酸化物半導体を用いたトランジスタ200Cは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200Cに用いることができる。

[0532]

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、

クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が当該膜などに吸収され、酸素欠損を形成し、酸化物半導体の当該界面近傍が低抵抗化する場合がある。

[0533]

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜から金属元素が酸化物半導体へ拡散し、酸化物半導体に金属元素を添加することができる。なお、その際、酸化物半導体と、金属元素とが、合金化してもよい。酸化物半導体と金属元素が、合金化することで、酸化物半導体に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0534]

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。したがって、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

[0535]

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリア密度が増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

[0536]

したがって、酸化物半導体に選択的に金属元素、並びに、水素、および窒素などの不純物元素を添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0537]

ここで、図30(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図31に示す。

[0538]

図31に示すように、酸化物230は、トランジスタ200Cのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、領域234と領域231との間に設けられる、領域232（領域232a、および領域232b）と、を有する。

[0539]

例えば、領域231は、酸化物230の他に、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムな

どの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。酸化物230に、金属元素が添加されることで、領域231を低抵抗化することができる。なお、領域231は、酸化物230中の金属元素と、添加された金属元素とが、合金化した領域を有してもよい。

[0540]

領域232は、絶縁体272と重畳する領域を有する。領域232は、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域234よりも高いことが好ましい。領域232を形成するためには、例えば、酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設ければよい。これにより、当該膜中の金属元素が酸化物半導体に添加され、酸化物半導体中に金属化合物を形成する場合がある。当該金属化合物は、酸化物230に含まれる水素を引き寄せる場合がある。これにより、領域231の近傍である領域232の水素の濃度が高くなる場合がある。

[0541]

なお、領域232a、および領域232bのいずれか一方または双方は、導電体260と重畳する領域を有する構成としてもよい。当該構成とすることで、導電体260と、領域232aおよび領域232bとを、オーバーラップさせることが可能となる。

[0542]

また、図30および図31では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られない。例えば、これらの領域は、酸化物230aまたは酸化物230cに形成されていてもよい。また、図30および図31では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が、酸化物230bの表面近傍では導電体260側に張り出し、酸化物230bの下面近傍では、導電体240a側または導電体240b側に後退する形状になる場合がある。

[0543]

また、酸化物230において、各領域の境界は明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに水素、および窒素などの不純物元素の濃度は、領域間の段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、並びに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0544]

酸化物230を選択的に低抵抗化するには、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの導電性を高める金属元素、および不純物の少なくとも一を、所望の領域に添加すればよい。なお、不純物としては、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0545]

したがって、領域231は、上述の導電性を高める金属元素、酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

[0546]

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜などを成膜するとよい。金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、少なくとも、酸化物230c、絶縁体250、導電体260、絶縁体271、絶縁体272、および絶縁体273を介して、酸化物230b上に設けることが好ましい。

[0547]

酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けることで、酸化物230の領域231へ、当該膜から金属元素が拡散し、領域231に金属化合物が形成され、低抵抗化する。また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が当該膜に吸収され、領域231に酸素欠損を形成し、低抵抗化する場合がある。なお、図31において、酸化物230の低抵抗化した領域を、一例として斜線で表す。なお、本明細書等において、斜線で表す範囲については、図31の範囲に限定されない。例えば、酸化物230と導電体240との界面近傍の領域、または領域231における、酸化物230の上面から酸化物230の下面までの領域に、上記低抵抗化した領域（または範囲）が形成される場合がある。なお、他の図面においても同様である。

[0548]

また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、金属膜から、酸化物230の領域231へ、金属元素が拡散し、領域231に金属元素を添加することができる。なお、その際、酸化物230の領域231と、金属元素とが、合金化してもよい。酸化物230の領域231と金属元素が、合金化することで、酸化物半導体に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0549]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0550]

一方、酸化物230の導電体260、および絶縁体272と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体272により、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜へ吸収されることが抑制される。

[0551]

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜に、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は、増加する。したがって、酸化物230の領域231、および領域232は、低抵抗化される。

[0552]

ここで、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。したがって、酸化物230中の不純物である水素を低減することができる。また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、後の工程で、酸化物230から吸収した水素とともに除去してもよい。

[0553]

なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合

がある。

[0554]

また、例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を、絶縁体として残存させることで、層間膜として機能させることができる。

[0555]

したがって、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けることが好ましい。例えば、0.5nm以上5nm以下のアルミニウムを、加熱処理により酸化させると0.7nm以上8nm以下の酸化アルミニウムとなる場合がある。

[0556]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0557]

そこで、図30および図31に示すように、酸化物230の領域231の上に、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含む絶縁体273を設けることが好ましい。つまり、絶縁体273が有する過剰酸素が、絶縁体272、絶縁体280、および、酸化物230の領域231および領域232を通じて、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。

[0558]

なお、絶縁体273の下に配置された絶縁体272は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いることが好ましい。酸化窒化シリコンなどの材料は、過剰酸素領域が形成されやすい傾向がある。したがって、例えば、絶縁体273から供給された酸素により、絶縁体272中に過剰酸素領域が形成される場合がある。当該過剰酸素領域を有する絶縁体272を、図30および図31に示すように、酸化物230の領域234の周辺に設けることで、酸化物230の領域234へ、絶縁体272の過剰酸素を効果的に供給することができる。

[0559]

また、酸素供給源となる絶縁体273は、スパッタリング法によって成膜した酸化物を用いることが好ましい。スパッタリング法を用いて成膜した酸化物は、酸素を多く含み、かつ、水または水素などの不純物の少ない絶縁体を形成することができる。酸化物としては、特に、酸化アルミニウムを用いることが好ましい。

[0560]

酸化物の成膜にスパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくい。そのため、絶縁体273となる絶縁体の成膜時に、絶縁体272および酸化物230への成膜ダメージを小さくすることができるので好ましい。

[0561]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位E0が与えられる。また、基板は、接地電位などの電位E1が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位E2となる領域が存

在する。各電位の大小関係は、 $E2 > E1 > E0$ である。

[0562]

プラズマ内のイオンが、電位差 $E2 - E0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁体272に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E2 - E1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体272内部まで到達する。イオンが絶縁体272に取り込まれることにより、イオンが取り込まれた領域が絶縁体272に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体272に過剰酸素領域が形成される。

[0563]

絶縁体272に過剰な酸素を導入することで、絶縁体272中に過剰酸素領域を形成することができる。絶縁体272中の過剰な酸素は、絶縁体272と接する酸化物230へ供給される。当該酸素が、酸化物230の領域234へと供給されることで、酸化物230の酸素欠損を補償することができる。

[0564]

上記構成、または上記工程を組み合わせることで、酸化物230の選択的な低抵抗化を行うことができる。

[0565]

つまり、酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、絶縁体272、または絶縁体273をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200Cを同時に形成する場合、トランジスタ間の電気特性ばらつきを小さくすることができる。また、トランジスタ200Cのチャネル長は、導電体260の幅、および絶縁体272の成膜膜厚により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200Cの微細化が可能となる。

[0566]

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0567]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

[0568]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

[0569]

以下では、本発明の一態様に係るトランジスタ200Cを有する半導体装置の構成のうち、実施の形態1で示したトランジスタ200Aを有する半導体装置と異なる点について説明する。

[0570]

導電体205は、絶縁体214および絶縁体216の開口の内壁に接して第1の導電体205aが形成され、さらに内側に第2の導電体205bが形成されている。ここで、第1の導電体205aおよび第2の導電体205bの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200Cでは、第1の導電体205aおよび第2の導電体205bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導

電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0571]

ここで、導電体205または導電体203の第1の導電体(導電体205aまたは導電体203a)は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

[0572]

導電体205または導電体203の第1の導電体(導電体205aまたは導電体203a)が酸素の拡散を抑制する機能を持つことにより、導電体205または導電体203の第2の導電体(導電体205bまたは導電体203b)が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。したがって、導電体205または導電体203の第1の導電体(導電体205aまたは導電体203a)としては、上記導電性材料を単層または積層とすればよい。これにより、水素、水などの不純物が、導電体203、および導電体205を通じて、基板側(絶縁体210よりも下方)からトランジスタ200C側に拡散するのを抑制することができる。

[0573]

また、導電体205の第2の導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205の第2の導電体205bを単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0574]

また、導電体203の第2の導電体203bは、配線として機能するため、導電体205の第2の導電体205bより導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体203の第2の導電体203bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0575]

特に、導電体203に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物230に拡散することで、トランジスタ200Cの電気特性を低下させる場合がある。そこで、例えば、絶縁体214には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

[0576]

なお、導電体205、絶縁体214、および絶縁体216は必ずしも設けなくともよい。その場合、導電体203の一部が第2のゲート電極として機能することができる。

[0577]

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

[0578]

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジ

スタ200Cの信頼性を向上させることができる。

[0579]

また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域232は、少なくとも、絶縁体272と重畳する領域を有する。

[0580]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下の範囲が好ましい。

[0581]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0582]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶縁体250から、酸化物230cを通じて、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0583]

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250からの酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

[0584]

なお、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0585]

また、当該金属酸化物は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、当該金属酸化物として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、当該金属酸化物の電気抵抗値を低下させて導電体(OC電極)とすることができる。

[0586]

当該金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200Cのオン電流の向上を図ることができる。また、絶縁体250と、当該金属酸化物との物理的な厚みにより、導電体260と、

酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および当該金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0587]

具体的には、当該金属酸化物として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、酸化物230に用いることができる酸化物半導体を低抵抗化することで、当該金属酸化物として用いることができる。

[0588]

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいと好ましい。

[0589]

第1のゲート電極として機能する導電体260は、導電体260a、および導電体260a上の導電体260bを有する。導電体260aは、導電体205の第1の導電体と同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0590]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250が有する過剰酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

[0591]

また、導電体260bの上に、バリア膜として機能する絶縁体を配置してもよい。当該絶縁体は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、当該絶縁体よりも上方からの酸素で導電体260が酸化するのを抑制することができる。また、当該絶縁体よりも上方からの水または水素などの不純物が、導電体260および絶縁体250を介して、酸化物230に混入することを抑制することができる。

[0592]

また、当該絶縁体上に、ハードマスクとして機能する絶縁体271を配置することが好ましい。絶縁体271を設けることで、導電体260の加工の際、導電体260の側面が略垂直、具体的には、導電体260の側面と基板表面のなす角を、 75° 以上 100° 以下、好ましくは 80° 以上 95° 以下とすることができる。導電体260をこのような形状に加工することで、次に形成する絶縁体272を所望の形状に形成することができる。

[0593]

なお、絶縁体271に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア膜としての機能を兼ねさせてもよい。その場合、導電体260b上に、上述したバリア膜としての機能を有する絶縁体を別途設けなくともよい。

[0594]

バリア膜、およびバッファ層として機能する絶縁体272は、図30(B)に示すように、トランジスタ200Cのチャネ

ル長方向において、酸化物230bの上面の一部(領域232と重なる部分)と、酸化物230cの側面、絶縁体250の側面、および導電体260の側面に接して設ける。かつ、図30(C)に示すように、トランジスタ200Cのチャネル幅方向において、絶縁体222の上面の一部に接して設ける。

[0595]

例えば、絶縁体272として、ALD法を用いて成膜することが好ましい。ALD法を用いることで、緻密な薄膜を成膜することができる。

[0596]

絶縁体272として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0597]

または、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いてもよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体250中の酸素が外部に拡散することを抑制することができる。また、絶縁体250の端部などから酸化物230に水素、水などの不純物が混入するのを抑制することができる。したがって、酸化物230と、絶縁体250との界面における酸素欠損の形成が抑制され、トランジスタ200Cの信頼性を向上させることができる。

[0598]

また、絶縁体272を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、酸化物230c、絶縁体250、および導電体260の側面を覆うことができる。これにより、トランジスタ200Cの上方から水または水素などの不純物が、酸化物230c、絶縁体250、および導電体260を介して、酸化物230の領域234に混入することを抑制することができる。したがって、絶縁体272は、ゲート電極およびゲート絶縁体の側面を保護するサイドバリアとしての機能を有する。

[0599]

または、絶縁体272は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体272は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体272は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、またはアクリルなどがある。

[0600]

なお、絶縁体272として、ALD法を用いて酸化アルミニウムを設ける場合、絶縁体272の膜厚は、0.5nm以上3.0nm以下とすることが好ましい。

[0601]

また、酸化物230bの上面の一部(領域232と重なる部分)、酸化物230cの側面、絶縁体250の側面、および導電体260の側面に、絶縁体272を介して、絶縁体273を設ける。当該構成とすることで、酸化物230への

酸素供給源となる絶縁体273が、導電体260と直接接しない。このため、絶縁体273からの酸素によって、ゲート電極として機能する導電体260が酸化するのを抑制することができる。

[0602]

絶縁体273は、酸化物230の領域232と重畳する領域を有するように、絶縁体272上に設けられる。絶縁体273をスパッタリング法で成膜することで、絶縁体272に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物230中に酸素を供給することができる。

[0603]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0604]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。例えば、スパッタリング法で成膜した酸化アルミニウムを絶縁体273に用いることで、絶縁体273は、絶縁体272に酸素供給を行うとともに、絶縁体273の上方からの水素などの不純物が、絶縁体272側に混入するのを抑制することができる。

[0605]

また、絶縁体273の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0606]

また、絶縁体280の上に、絶縁体273と同じ材料からなる絶縁体282を設けることが好ましい。当該構成とすることで、絶縁体282の上方からの水素などの不純物が、トランジスタ200C側に混入するのを抑制することができる。また、絶縁体280中に含まれる水素を、絶縁体282へ引き抜くことができる場合がある。なお、絶縁体282の上に、絶縁体210と同様の絶縁体を設けてもよい。

[0607]

また、絶縁体282および絶縁体280に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

[0608]

なお、絶縁体282および絶縁体280の開口の内壁に接して、導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体282および絶縁体280の開口の内壁に接して、導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0609]

ここで、例えば、絶縁体282および絶縁体280に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域を除去してもよい。その場合、導電体240の第1の導電体に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸素欠損が形成され、酸化物230の領域231が、低抵抗化する。したがって、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体2

40とのコンタクト抵抗を低減することができる。導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

[0610]

また、導電体240を積層構造とする場合、絶縁体280および絶縁体282と接する導電体には、導電体205の第1の導電体205aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体282より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0611]

また、図示しないが、導電体240aの上面、および導電体240bの上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体203などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0612]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200Cを有する半導体装置について、作製方法を図32乃至図41を用いて説明する。また、図32乃至図41において、各図の(A)は上面図を示す。また、各図の(B)は、(A)にA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Cのチャネル長方向の断面図でもある。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Cのチャネル幅方向の断面図でもある。また、各図の(D)は、各図の(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Cのソース領域またはドレイン領域の断面図でもある。なお、各図の(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0613]

まず、基板(図示しない。)を準備し、当該基板上に絶縁体210、絶縁体212、導電体203、絶縁体214、絶縁体216、導電体205、絶縁体220、および絶縁体222を順に形成する(図32参照。)。なお、絶縁体210、絶縁体212、導電体203、絶縁体214、絶縁体216、導電体205、絶縁体220、および絶縁体222の材料、形成方法等は、それぞれ、実施の形態1の絶縁体210、絶縁体212、導電体203、絶縁体214、絶縁体216、導電体205、絶縁体220、および絶縁体222を参照することができる。

[0614]

次に、絶縁体222上に絶縁膜224Aを成膜する。絶縁膜224Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる(図32参照。)。本実施の形態では、絶縁膜224Aとして、CVD法によって酸化シリコンを成膜する。

[0615]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気中で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気中で加熱処理を行ってもよ

い。

[0616]

本実施の形態では、加熱処理として、絶縁膜224Aの成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁膜224Aに含まれる水素や水などの不純物を除去することなどができる。

[0617]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

[0618]

ここで、絶縁膜224Aに過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率良く絶縁膜224A内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁膜224Aに含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0619]

次に、絶縁膜224A上に、酸化物230aとなる酸化膜230Aと、酸化物230bとなる酸化膜230Bを順に成膜する(図32参照。)。なお、酸化膜230Aおよび酸化膜230Bの材料、形成方法等は、それぞれ、実施の形態1の酸化膜230Aおよび酸化膜230Bを参照することができる。

[0620]

次に、絶縁膜224A、酸化膜230A、および酸化膜230Bを島状に加工して、絶縁体224、酸化物230a、および酸化物230bを形成する(図33参照。)

[0621]

ここで、絶縁体224、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、絶縁体224、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、略垂直であることが好ましい。絶縁体224、酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、略垂直であることで、複数のトランジスタ200Cを設ける際に、小面積化、高密度化が可能となる。なお、絶縁体224、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体224、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

[0622]

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0623]

なお、当該酸化膜の加工はリソグラフィー法を用いて行えばよい。また、当該加工はドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0624]

なお、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。絶縁膜224A、酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0625]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が絶縁体224、酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0626]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液などを用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

[0627]

ウエット洗浄としては、シュウ酸、リン酸、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0628]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0629]

次に、絶縁体222、絶縁体224、酸化物230a、および酸化物230bの上に、酸化膜230Cとなる酸化膜を成膜する。

[0630]

酸化膜230Cとなる酸化膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cとなる酸化膜を成膜すればよい。本実施の形態では、酸化膜230Cとなる酸化膜として、スパッタリング法によって、 $\text{In:Ga:Zn}=1:3:4$ [原子数比]のターゲットを用いて成膜する。

[0631]

次に、酸化膜230Cとなる酸化膜をエッチングし、酸化膜230Cを形成する(図34参照。)

[0632]

続いて、酸化膜230C上に、絶縁膜250A、導電膜260A、導電膜260B、および絶縁膜271Aを順に成膜する(図34参照。)。なお、絶縁膜250A、導電膜260A、導電膜260B、および絶縁膜271Aの材料、形成方法等は、それぞれ、実施の形態1の絶縁膜250A、導電膜260A、導電膜260B、および絶縁膜271Aを参照することができる。

[0633]

なお、導電膜260Aの成膜前に、別途、金属酸化膜を成膜してもよい。当該金属酸化膜として、例えば、スパッタリング法により、 In-Ga-Zn 酸化物を形成する。当該金属酸化膜の形成方法としては、スパッタリング法を用い、酸素ガスを含む雰囲気中で形成することが好ましい。酸素ガスを含む雰囲気中で当該金属酸化膜を形成すること

で、絶縁膜250A中に、過剰酸素領域を形成することができる。絶縁膜250Aに添加された過剰酸素は、酸化物230に酸素を供給することで、酸化物230中の酸素欠損を補償することができる。

[0634]

ここで、当該金属酸化膜を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、当該金属酸化膜を成膜しながら、絶縁膜250A、および絶縁膜224Aに酸素を導入することができる。また、当該金属酸化膜に、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁膜250Aに導入した過剰酸素を、効果的に封じ込めることができる。

[0635]

例えば、導電膜260Aとして、スパッタリング法により、金属窒化物を形成するとよい。例えば、絶縁膜250A上に、上述した金属酸化膜として、In-Ga-Zn酸化物に代表される酸化物半導体を成膜した場合、当該金属酸化膜は、窒素または水素が供給されることで、キャリア密度が高くなる。つまり、当該金属酸化膜は、酸化物導電体(OC)として機能する。そこで、導電膜260Aとして、スパッタリング法により、金属窒化物を形成することで、金属窒化物中の構成元素(特に窒素)が当該金属酸化膜に拡散し、当該金属酸化膜が低抵抗化する。また、導電膜260Aの成膜時のダメージ(例えば、スパッタリングダメージなど)により、当該金属酸化膜が低抵抗化する。したがって、当該金属酸化膜のキャリア密度が高くなり、当該金属酸化膜の導電性が高くなる。

[0636]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、上述の金属酸化膜から、絶縁膜250Aに過剰酸素が添加され、絶縁膜250Aに過剰酸素領域を容易に形成することができる。

[0637]

絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜272Aの膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体272を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。

[0638]

なお、絶縁膜271Aの成膜前に、バリア膜としての機能を有する絶縁膜を、別途成膜してもよい。当該絶縁膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。当該絶縁膜は、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体260の酸化を抑制することができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを抑制することができる。

[0639]

次に、絶縁膜271Aを、エッチングし、絶縁体271を形成する。ここで、絶縁体271は、ハードマスクとして機能する。絶縁体271を設けることで、酸化物230cの側面、絶縁体250の側面、導電体260aの側面、および導電体260bの側面を、基板の上面に対し、略垂直に形成することができる。

[0640]

次に、絶縁体271をマスクとして、酸化膜230C、絶縁膜250A、導電膜260A、および導電膜260Bをエッチングし、酸化物230c、絶縁体250、および導電体260(導電体260a、および導電体260b)を形成する(図35参照。)

[0641]

なお、当該エッチングにより、絶縁体222と、絶縁体250とが重ならない領域において、絶縁体222の一部が除去されていてもよい。この場合、絶縁体222の絶縁体250と重なる領域の膜厚が、絶縁体250と重ならない

領域の膜厚より厚くなる場合がある。

[0642]

また、酸化物230c、絶縁体250、導電体260、および絶縁体271は、少なくとも一部が、導電体205および酸化物230と重なるように形成する。

[0643]

また、酸化物230cの側面、絶縁体250の側面、および導電体260の側面は、同一面内であることが好ましい。

[0644]

また、酸化物230cの側面、絶縁体250の側面、および導電体260の側面が共有する同一面は、基板の上面に対し、略垂直であることが好ましい。つまり、断面形状において、酸化物230c、絶縁体250、および導電体260の側面と、酸化物230の上面のなす角が、鋭角、かつ大きいほど好ましい。なお、断面形状において、酸化物230c、絶縁体250、および導電体260の側面と、酸化物230の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230c、絶縁体250、および導電体260の側面と、酸化物230の上面のなす角は大きいほど好ましい。

[0645]

なお、上記加工後も、当該ハードマスク(絶縁体271)は除去せずに後工程を進めてもよい。

[0646]

次に、酸化物230、絶縁体250、導電体260、および絶縁体271を覆って、絶縁膜272Aを成膜する(図36参照。)。絶縁膜272Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。

[0647]

絶縁膜272Aは、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、酸化物230c、絶縁体250、および導電体260の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。また、ALD法を用いることで、緻密な薄膜を成膜することができる。

[0648]

絶縁膜272Aとして、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0649]

一方、絶縁膜272Aとして、バリア性を有する酸化アルミニウムなどを設けてもよい。例えば、導電体260が酸化しやすい金属膜である場合、バリア性を有する絶縁体を用いることで、導電体260が絶縁膜272Aの上方からの酸素で酸化するのを抑制することができる。これにより、導電体260の抵抗値が上がることを抑制することができる。

[0650]

絶縁膜272Aとして、ALD法を用いて酸化アルミニウムを設ける場合、絶縁膜272Aの膜厚は、0.5nm以上3.0nm以下とすることが好ましい。当該構成とすることで、後の工程で、導電体260の酸化を抑制しながら、絶縁体273が有する過剰酸素を絶縁体250へ供給することが可能となる。

[0651]

次に、絶縁膜272A上に絶縁膜273Aを設ける(図36参照。)。絶縁膜273Aは、スパッタリング法によって成膜した酸化アルミニウムを用いることが好ましい。スパッタリング法を用いることにより、酸素を多く含み、かつ、水または水素などの不純物の少ない酸化アルミニウムを成膜することができる。

[0652]

また、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁膜273Aを成膜しながら、絶縁膜272Aに酸素を導入することもできる。これにより、絶縁膜273Aを酸素供給源として、絶縁膜272Aに絶縁膜273A中の酸素が供給され、絶縁膜272A中に過剰酸素領域を形成することができる。当該過剰酸素領域の酸素は、後の熱処理などで酸化物230へ供給され、酸化物230の領域234における酸素欠損を補償することができる。

[0653]

次に、絶縁膜272Aおよび絶縁膜273Aに異方性のエッチング処理を行い、酸化物230c、絶縁体250、および導電体260の側面に、絶縁体272および絶縁体273を形成する(図37参照。)

[0654]

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体272および絶縁体273を自己整合的に形成することができる。なお、当該処理において、絶縁体222をエッチングストップ膜として用いることができる。

[0655]

続いて、酸化物230c、絶縁体250、導電体260、絶縁体271、絶縁体272、および絶縁体273を介して、絶縁体222、絶縁体224、酸化物230a、および酸化物230b上に膜242Aを成膜する(図38参照。)。なお、膜242Aは、0.5nm以上5nm以下、好ましくは、1nm以上3nm以下の膜厚にするとよい。膜242Aは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いる。膜242Aは、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜242Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0656]

続いて、加熱処理を行うことが好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、膜242Aの成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。

[0657]

窒素を含む雰囲気下での熱処理により、膜242Aから、上述した金属元素が酸化物230へ拡散し、酸化物230に金属元素を添加することができる。また、酸化物230の膜242Aとの界面近傍における酸素が膜242Aに吸収される場合がある。その結果、酸化物230の膜242Aとの界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0658]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したが

って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0659]

また、窒素または不活性ガス雰囲気で加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。

[0660]

また、膜242Aに導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。膜242Aを、絶縁体として残存させることで、層間膜として機能させることができる。

[0661]

上記膜242Aの成膜工程、または加熱処理において、膜242Aに、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることで、領域231、および領域232のキャリア密度は、増加する。したがって、酸化物230の領域231、および領域232は、n型となり、低抵抗化される。

[0662]

続いて、膜242Aを除去する（図39参照。）。図において、上述した処理によって、酸化物230の低抵抗化した領域をハッチングで示している。なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合がある。本工程では、ドライエッチング法やウェットエッチング法を用いることができる。膜242Aを除去することで、膜242Aに吸収された酸化物230中の水素を同時に除去することができる。したがって、トランジスタ200C中の不純物である水素を低減することができる。

[0663]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物230の領域231に形成された酸素欠損に捕獲された水素が、絶縁体272または絶縁体280を通じて絶縁体273へ吸収され、酸化物230中の水素を低減することができる。

[0664]

次に、絶縁体273の上に、絶縁体280を成膜する。なお、絶縁体280の材料、形成方法等は、実施の形態1の絶縁体280を参照することができる。

[0665]

次に、絶縁体280上に絶縁体282を成膜する（図40参照。）。絶縁体282は、絶縁体273と同じ材料からなる絶縁体282を設けることが好ましい。当該構成とすることで、絶縁体282の上方からの水素や水などの不純物が、トランジスタ200C側に混入するのを抑制することができる。また、絶縁体280中に含まれる水素を、絶縁体282へ引き抜くことができる場合がある。

[0666]

次に、絶縁体282および絶縁体280に、酸化物230に達する開口を形成する（図41参照。）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

[0667]

次に、導電体240の第1の導電体、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0668]

ここで、例えば、絶縁体282および絶縁体280に開口を形成する際に、酸化物230における領域231の低抵抗化した領域を除去してもよい。また、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いてもよい。これにより、酸化物230と導電体240の第1の導電体とが接する領域を有するため、当該領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240との十分なオーミック接触を確保することができる。したがって、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

[0669]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体282を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる(図30参照。)

[0670]

以上により、トランジスタ200Cを有する半導体装置を作製することができる。図32乃至図41に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200Cを作成することができる。

[0671]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0672]

<半導体装置の変形例>

以下では、図42を用いて、本発明の一態様に係るトランジスタ200Cを有する半導体装置の一例について説明する。

[0673]

図42(A)は、トランジスタ200Cを有する半導体装置の上面図である。また、図42(B)、図42(C)、および図42(D)は、当該半導体装置の断面図である。ここで、図42(B)は、図42(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャネル長方向の断面図でもある。また、図42(C)は、図42(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Cのチャネル幅方向の断面図でもある。また、図42(D)は、図42(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Cのソース領域またはドレイン領域の断面図でもある。なお、図42(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0674]

なお、図42に示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図30参照。)を構成

する構造と同機能を有する構造には、同符号を付記する。

[0675]

以下、トランジスタ200Cの構成について、図42を用いて説明する。なお、本項目においても、トランジスタ200Cの構成材料については、先の実施の形態、および＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0676]

図42に示す半導体装置では、絶縁体224、酸化物230a、および酸化物230bの側面と、基板面と平行な面が、テーパ角度を有する。具体的には、図42(B)に示すように、テーパ角度は、45°以上80°以下、好ましくは、50°以上70°以下とすればよい。絶縁体224、酸化物230a、および酸化物230bがテーパ構造を有することで、絶縁膜272Aおよび絶縁膜273Aに対して、異方性のエッチング処理を行った際(図36および図37参照。)に、酸化物230aおよび酸化物230bの側面を完全に露出することができる。

[0677]

したがって、上述のテーパ構造を有さない構造の半導体装置(図30参照。)と比べて、酸化物230aおよび酸化物230bの側面においても、確実に膜242Aと接する(図38参照。)ことになる。これにより酸化物230aおよび酸化物230bの側面においても、確実に金属化合物が形成され、低抵抗化することができる。つまり、酸化物230の側面にも、確実に領域231を形成することができる。また、酸化物230aおよび酸化物230bがテーパ構造を有することで、酸化物230aおよび酸化物230bよりも上層に形成される構造体の被膜性を高めることができる。

[0678]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0679]

(実施の形態4)

以下では、実施の形態3で示したトランジスタを有する半導体装置とは異なる、本発明の一態様に係るトランジスタ200Dを有する半導体装置の一例について説明する。

[0680]

なお、本実施の形態に示す半導体装置において、先の実施の形態に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。そこで、主に、先の実施の形態に示した半導体装置と異なる点について説明を行い、繰り返しとなる説明を省略する。さらに、同符号を付記している構造の材料、作製方法などについて特段の説明がない場合、当該構造の材料、作製方法などは、先の実施の形態で説明した内容を参酌することができる。

[0681]

＜半導体装置の構成例＞

図43(A)乃至図43(D)は、本発明の一態様に係るトランジスタ200D、およびトランジスタ200D周辺の上面図および断面図である。

[0682]

図43(A)は、トランジスタ200Dを有する半導体装置の上面図である。また、図43(B)、図43(C)、および図43(D)は、当該半導体装置の断面図である。ここで、図43(B)は、図43(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Dのチャネル長方向の断面図でもある。また、図43(C)は、図43(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Dのチャネル幅方向の断面図でもある。また、図4

3(D)は、図43(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Dのソース領域またはドレイン領域の断面図でもある。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0683]

本発明の一態様の半導体装置は、トランジスタ200Dと、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、および絶縁体282と、を有する。また、トランジスタ200Dと電氣的に接続し、配線として機能する導電体203と、プラグとして機能する導電体240と、を有する。

[0684]

また、導電体240は、絶縁体275、絶縁体273、絶縁体280、および絶縁体282の開口の内壁に接して導電体240の第1の導電体が形成され、さらに内側に導電体240の第2の導電体が形成されている。ここで、導電体240の上面の高さと、絶縁体282の上面の高さは同程度にできる。なお、トランジスタ200Dでは、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0685]

[トランジスタ200D]

図43に示すトランジスタ200Dは、絶縁体272を介して導電体260の側面に配置された絶縁体277と、絶縁体277の側面、および酸化物230上に配置された絶縁体275と、絶縁体275上に配置された絶縁体273と、を有している点が、実施の形態3で示したトランジスタ200Cと異なる。

[0686]

また、トランジスタ200は、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体を用いることが好ましい。

[0687]

チャネル形成領域に酸化物半導体を用いたトランジスタ200Dは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200Dに用いることができる。

[0688]

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素が添加されることで、金属化合物を形成し、低抵抗化する。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が当該膜などに吸収され、酸素欠損を形成し、酸化物半導体の当該界面近傍が低抵抗化する場合がある。

[0689]

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜から金属元素が酸化物半導体へ拡散し、酸化物半導体に金属元素を添加することができる。なお、その際、酸化物半導体と、金属元素とが、合金化してもよい。酸化物半導体と金属元素が、合金化することで、酸化物半導体に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0690]

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。したがって、熱処理によって、酸化物半導体の低抵抗化した領域、または金属化合物が形成された領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

[0691]

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリア密度が増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

[0692]

したがって、酸化物半導体に選択的に金属元素、並びに、水素、および窒素などの不純物元素を添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0693]

ここで、図43(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図44に示す。

[0694]

図44に示すように、酸化物230は、トランジスタ200Dのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、領域234と領域231との間に設けられる、領域232（領域232a、および領域232b）と、を有する。

[0695]

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜などを成膜するとよい。金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、少なくとも、酸化物230c、絶縁体250、導電体260、絶縁体271、絶縁体272、および絶縁体277を介して、酸化物230b上に設けることが好ましい。

[0696]

酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けることで、酸化物230の領域231へ、当該膜から金属元素が拡散し、領域231に金属化合物が形成され、低抵抗化する。また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が当該膜に吸収され、領域231に酸素欠損を形成し、低抵抗化する場合がある。なお、図2において、酸化物230の低抵抗化した領域を、一例として斜線で表す。なお、本明細書等において、斜線で表す範囲については、図2の範囲に限定されない。例えば、酸化物230と導電体240との界面近傍の領域、または領域231における、酸化物230の上面から酸化物230の下面までの領域に、上記低抵抗化した領域（または範囲）が形成される場合がある。なお、他の図面においても同様である。

[0697]

また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、金属膜から、酸化物230の領域231へ、金属元素が拡散し、領域231に金属元素を添加することができる。なお、その際、酸化物230の領域231と、金属元素とが、合金化してもよい。酸化物230の領域231と金属元素が、合金化することで、酸化物半導体に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0698]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0699]

一方、酸化物230の導電体260、および絶縁体272と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体272により、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜へ吸収されることが抑制される。

[0700]

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜に、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることによって、領域231、および領域232のキャリア密度は、増加する。したがって、酸化物230の領域231、および領域232は、低抵抗化される。

[0701]

ここで、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。したがって、酸化物230中の不純物である水素を低減することができる。また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、後の工程で、酸化物230から吸収した水素とともに除去してもよい。

[0702]

なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合がある。

[0703]

また、例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を、絶縁体として残存させることで、層間膜として機能させることができる。

[0704]

したがって、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けることが好ましい。例えば、0.5nm以上5nm以下のアルミニウム

を、加熱処理により酸化させると0.7nm以上8nm以下の酸化アルミニウムとなる場合がある。

[0705]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0706]

そこで、図43および図44に示すように、酸化物230bに接して、化学量論的組成を満たす酸素よりも多くの酸素(過剰酸素ともいう。)を含む絶縁体275を設けることが好ましい。つまり、絶縁体275が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。

[0707]

なお、絶縁体275は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いることが好ましい。酸化窒化シリコンなどの材料は、過剰酸素領域が形成されやすい傾向がある。一方、上述の酸化窒化シリコンなどの材料と比較して、酸化物230は、過剰酸素領域が形成されにくい傾向がある。したがって、過剰酸素領域を有する絶縁体275を、酸化物230の領域234の周辺に設けることで、酸化物230の領域234へ、絶縁体275の過剰酸素を効果的に供給することができる。

[0708]

また、絶縁体275に過剰酸素領域を設けるには、絶縁体275上に接する絶縁体273として、酸化物を、スパッタリング法により成膜するとよい。酸化物の成膜にスパッタリング法を用いることにより、酸素を多く含み、かつ、水または水素などの不純物の少ない絶縁体を成膜することができる。スパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくい。そのため、絶縁体273となる絶縁体の成膜時に、絶縁体275および酸化物230への成膜ダメージを小さくすることができるので好ましい。

[0709]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位E0が与えられる。また、基板は、接地電位などの電位E1が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位E2となる領域が存在する。各電位の大小関係は、 $E2 > E1 > E0$ である。

[0710]

プラズマ内のイオンが、電位差 $E2 - E0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁体275に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E2 - E1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体275内部まで到達する。イオンが絶縁体275に取り込まれることにより、イオンが取り込まれた領域が絶縁体275に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体275に過剰酸素領域が形成される。

[0711]

絶縁体275に過剰な酸素を導入することで、絶縁体275中に過剰酸素領域を形成することができる。絶縁体2

75中の過剰な酸素は、絶縁体275と接する酸化物230へ供給される。当該酸素が、酸化物230の領域234へと供給されることで、酸化物230の酸素欠損を補償することができる。

[0712]

また、絶縁体273は、酸化アルミニウムを用いることが好ましい。特に、スパッタリング法により成膜した酸化アルミニウムを用いることが好ましい。スパッタリング法で成膜した酸化アルミニウムを用いることで、酸素を多く含む絶縁体273を形成することができる。これにより、絶縁体273が酸素供給源となって、上述したように、絶縁体275、および酸化物230の領域234へと酸素を供給することができる。

[0713]

また、図43および図44に示すように、絶縁体275と導電体260とは、絶縁体271、絶縁体272、および絶縁体277により、物理的に隔離されている。トランジスタ200Dがこのような構成を有することで、絶縁体275からの酸素によって、ゲート電極として機能する導電体260が酸化するのを抑制することができる。

[0714]

上記構成、または上記工程を組み合わせることで、酸化物230の選択的な低抵抗化を行うことができる。

[0715]

つまり、酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、絶縁体272、または絶縁体277をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200Dを同時に形成する場合、トランジスタ間の電気特性ばらつきを小さくすることができる。また、トランジスタ200Dのチャネル長は、導電体260の幅、および絶縁体272の成膜膜厚により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200Dの微細化が可能となる。

[0716]

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0717]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流(オフ電流)が小さいため、低消費電力の半導体装置を提供できる。

[0718]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

[0719]

以下では、本発明の一態様に係るトランジスタ200Dを有する半導体装置の構成のうち、実施の形態1で示したトランジスタ200Aを有する半導体装置および実施の形態3で示したトランジスタ200Cを有する半導体装置と異なる点について説明する。

[0720]

また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体275と接する領域を有する。また、領域232は、少なくとも、絶縁体272と重畳する領域を有する。

[0721]

また、酸化物230bの上面の一部(領域232と重なる部分)、酸化物230cの側面、絶縁体250の側面、および導電体260の側面に、絶縁体272を介して、絶縁体277を設ける。当該構成とすることで、過剰酸素領域を

有する絶縁体275と導電体260とを、絶縁体272および絶縁体277により、確実に隔離することができる。このため、絶縁体275からの酸素によって、ゲート電極として機能する導電体260が酸化するのを抑制することができる。

[0722]

絶縁体277は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体277は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体277は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、またはアクリルなどがある。

[0723]

絶縁体275は、少なくとも、酸化物230の領域231と接する領域を有するように設けられる。絶縁体275は、過剰酸素領域を有することが好ましい。例えば、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いれば、後の絶縁体273の成膜により、絶縁体275中に過剰酸素領域が形成されやすい。絶縁体275が過剰酸素領域を有することで、当該領域が有する酸素を、酸化物230に効率良く供給することが可能となる。

[0724]

絶縁体273は、絶縁体275上に設けられる。絶縁体273をスパッタリング法で成膜することで、絶縁体275に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物230中に酸素を供給することができる。

[0725]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0726]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。例えば、スパッタリング法で成膜した酸化アルミニウムを絶縁体273に用いることで、絶縁体273は、絶縁体275に酸素供給を行うとともに、絶縁体273の上方からの水素などの不純物が、絶縁体275側に混入するのを抑制することができる。

[0727]

また、絶縁体282、絶縁体280、絶縁体273、および絶縁体275に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

[0728]

なお、絶縁体282、絶縁体280、絶縁体273、および絶縁体275の開口の内壁に接して、導電体240aの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、

導電体240aが領域231aと接する。同様に、絶縁体282、絶縁体280、絶縁体273、および絶縁体275の開口の内壁に接して、導電体240bの第1の導電体が形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0729]

ここで、例えば、絶縁体282、絶縁体280、絶縁体273、および絶縁体275に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域を除去してもよい。その場合、導電体240の第1の導電体に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240の第1の導電体とが接することで、金属化合物、または酸素欠損が形成され、酸化物230の領域231が、低抵抗化する。したがって、導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。

[0730]

また、導電体240を積層構造とする場合、絶縁体275、絶縁体273、絶縁体280、および絶縁体282と接する導電体には、導電体205の第1の導電体205aなどと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体282より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0731]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200Dを有する半導体装置について、作製方法を図45乃至図50を用いて説明する。また、図45乃至図50において、各図の(A)は上面図を示す。また、各図の(B)は、(A)にA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Dのチャネル長方向の断面図でもある。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Dのチャネル幅方向の断面図でもある。また、各図の(D)は、各図の(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Dのソース領域またはドレイン領域の断面図でもある。なお、各図の(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0732]

図43に示す半導体装置の作製方法は、酸化物230c、絶縁体250、導電体260(導電体260a、および導電体260b)、および絶縁体271を形成するまでは、図30に示す半導体装置の作製方法と同様である。よって、図32乃至図35に係る半導体装置の作製方法を参酌することができる。

[0733]

次に、酸化物230、絶縁体250、導電体260、および絶縁体271を覆って、絶縁膜272Aを成膜する(図45参照)。なお、絶縁膜272Aの材料、成膜方法等は、実施の形態3の絶縁膜272Aを参酌することができる。

[0734]

絶縁膜272Aとして、ALD法を用いて酸化アルミニウムを設ける場合、絶縁膜272Aの膜厚は、0.5nm以上3.0nm以下とすることが好ましい。当該構成とすることで、後の工程で、導電体260の酸化を抑制しながら、絶縁体277が有する過剰酸素を絶縁体250へ供給することが可能となる。

[0735]

次に、絶縁膜272A上に絶縁膜277Aを設ける(図45参照。)。絶縁膜277Aは、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁膜277Aに用いると、後の工程で絶縁膜277中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。

[0736]

次に、絶縁膜272Aおよび絶縁膜277Aに異方性のエッチング処理を行い、酸化物230c、絶縁体250、および導電体260の側面に、絶縁体272および絶縁体277を形成する(図46参照。)

[0737]

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体272および絶縁体277を自己整合的に形成することができる。なお、当該処理において、絶縁体222をエッチングストップ膜として用いることができる。

[0738]

続いて、酸化物230c、絶縁体250、導電体260、絶縁体271、絶縁体272、および絶縁体277を介して、絶縁体222、絶縁体224、酸化物230a、および酸化物230b上に膜242Aを成膜する(図47参照。)。なお、膜242Aは、0.5nm以上5nm以下、好ましくは、1nm以上3nm以下の膜厚にするとよい。膜242Aは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いる。膜242Aは、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜242Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0739]

続いて、加熱処理を行うことが好ましい。加熱処理は、250°C以上650°C以下、好ましくは300°C以上500°C以下、さらに好ましくは320°C以上450°C以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、膜242Aの成膜後に窒素雰囲気にて400°Cの温度で1時間の処理を行う。

[0740]

窒素を含む雰囲気下での熱処理により、膜242Aから、上述した金属元素が酸化物230へ拡散し、酸化物230に金属元素を添加することができる。また、酸化物230の膜242Aとの界面近傍における酸素が膜242Aに吸収される場合がある。その結果、酸化物230の膜242Aとの界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0741]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250°C以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。したがって、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する。

[0742]

また、窒素または不活性ガス雰囲気中で加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%

以上含む雰囲気中で加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。

[0743]

また、膜242Aに導電性を有する領域が残存している場合、酸化性雰囲気中で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。膜242Aを、絶縁体として残存させることで、層間膜として機能させることができる。

[0744]

上記膜242Aの成膜工程、または加熱処理において、膜242Aに、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることで、領域231、および領域232のキャリア密度は、増加する。したがって、酸化物230の領域231、および領域232は、n型となり、低抵抗化される。

[0745]

続いて、膜242Aを除去する(図48参照。)。図において、上述した処理によって、酸化物230の低抵抗化した領域をハッチングで示している。なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合がある。本工程では、ドライエッチング法やウェットエッチング法を用いることができる。膜242Aを除去することで、膜242Aに吸収された酸化物230中の水素を同時に除去することができる。したがって、トランジスタ200D中の不純物である水素を低減することができる。

[0746]

続いて、酸化物230c、絶縁体250、導電体260、絶縁体271、絶縁体272、および絶縁体277を介して、絶縁体222、絶縁体224、酸化物230a、および酸化物230b上に絶縁体275を成膜する(図49参照。)。絶縁体275は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体275に用いると、後の工程で絶縁体275中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。

[0747]

次に、絶縁体275上に絶縁体273を成膜する(図49参照。)。絶縁体273は、スパッタリング法を用いて酸化アルミニウムを成膜することが好ましい。スパッタリング法を用いることにより、酸素を多く含み、かつ、水または水素などの不純物の少ない酸化アルミニウムを成膜することができる。

[0748]

また、スパッタリング装置を用いて、酸素ガス雰囲気中で成膜を行うことで、絶縁体273を成膜しながら、絶縁体275に酸素を導入することもできる。これにより、絶縁体273を酸素供給源として、絶縁体275に絶縁体273中の酸素が供給され、絶縁体275中に過剰酸素領域を形成することができる。

[0749]

上述したように、絶縁体275として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを用いると、絶縁体275に、過剰酸素領域が形成されやすい傾向がある。一方、上述の酸化シリコンと比較して、酸化物230は、スパッタリング法を用いた酸化膜を、酸化物230上に形成したとしても、過剰酸素領域

が形成されにくい傾向がある。したがって、例えば、絶縁体275として、スパッタリング法を用いた上記酸化膜を成膜した場合、絶縁体277に選択的に過剰酸素領域を形成することができる。また、このとき、酸化物230には過剰酸素領域が形成されにくいため、上述の酸化物230における低抵抗化領域が高抵抗化するのを抑制することができる。

[0750]

上述のようにして過剰酸素領域が形成された絶縁体275は、当該過剰酸素領域から酸化物230の領域234へ、酸素を効果的に供給することができる。

[0751]

上記構成とすることで、酸化物230の各領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0752]

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0753]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、酸化物230の領域231に形成された酸素欠損に捕獲された水素が、絶縁体275を通じて絶縁体273へ吸収され、酸化物230中の水素を低減することができる。

[0754]

次に、絶縁体273の上に、絶縁体280および絶縁体282を順に形成する。なお、絶縁体280および絶縁体282の材料、形成方法等は、それぞれ実施の形態1の絶縁体280および実施の形態3の絶縁体282を参酌することができる。

[0755]

次に、絶縁体282、絶縁体280、絶縁体273、および絶縁体275に、酸化物230に達する開口を形成する(図50参照。)。当該開口の形成は、リソグラフィー法を用いて行えばよい。なお、導電体240a、および導電体240bが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

[0756]

次に、導電体240の第1の導電体、および導電体240の第2の導電体となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0757]

ここで、例えば、絶縁体282、絶縁体280、絶縁体273、および絶縁体275に開口を形成する際に、酸化物230における領域231の低抵抗化した領域を除去してもよい。また、導電体240の第1の導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いてもよい。これにより、酸化物230と導電体240の第1の導電体とが接する領域を有するため、当該領域に金属化合物、または酸素欠損が形成され、酸化物230と導電体240の接触領域を低抵抗化することができる。導電体240の第1の導電体と接する酸化物230を低抵抗化することで、酸化物230と導電体240との十分なオーミック接触を確保することができる。したがって、導電体240の第1の導電体は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

[0758]

次に、CMP処理を行うことで、導電体240a、および導電体240bとなる導電膜の一部を除去し、絶縁体282

を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240bを形成することができる(図43参照。)

[0759]

以上により、トランジスタ200Dを有する半導体装置を作製することができる。図45乃至図50に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200Dを作成することができる。

[0760]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0761]

<半導体装置の変形例>

以下では、図51を用いて、本発明の一態様に係るトランジスタ200Dを有する半導体装置の一例について説明する。

[0762]

図51(A)は、トランジスタ200Dを有する半導体装置の上面図である。また、図51(B)、図51(C)、および図51(D)は、当該半導体装置の断面図である。ここで、図51(B)は、図51(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Dのチャネル長方向の断面図でもある。また、図51(C)は、図51(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Dのチャネル幅方向の断面図でもある。また、図51(D)は、図51(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Dのソース領域またはドレイン領域の断面図でもある。なお、図51(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0763]

なお、図51に示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図43参照。)を構成する構造と同機能を有する構造には、同符号を付記する。

[0764]

以下、トランジスタ200Dの構成について、図51を用いて説明する。なお、本項目においても、トランジスタ200Dの構成材料については、先の実施の形態、および<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0765]

図51に示す半導体装置では、絶縁体224、酸化物230a、および酸化物230bの側面と、基板面と平行な面が、テーパ角度を有する。具体的には、図51(B)に示すように、テーパ角度は、45°以上80°以下、好ましくは、50°以上70°以下とすればよい。絶縁体224、酸化物230a、および酸化物230bがテーパ構造を有することで、絶縁膜272Aおよび絶縁膜277Aに対して、異方性のエッチング処理を行った際(図45および図46参照。)に、酸化物230aおよび酸化物230bの側面を完全に露出することができる。

[0766]

したがって、上述のテーパ構造を有さない構造の半導体装置(図43参照。)と比べて、酸化物230aおよび酸化物230bの側面においても、確実に膜242Aと接する(図47参照。)ことになる。これにより酸化物230aおよび

び酸化物230bの側面においても、確実に金属化合物が形成され、低抵抗化することができる。つまり、酸化物230の側面にも、確実に領域231を形成することができる。また、酸化物230aおよび酸化物230bがテーパ構造を有することで、酸化物230aおよび酸化物230bよりも上層に形成される構造体の被膜性を高めることができる。

[0767]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0768]

(実施の形態5)

以下では、実施の形態3で示したトランジスタを有する半導体装置とは異なる、本発明の一態様に係るトランジスタ200Eを有する半導体装置の一例について説明する。

[0769]

なお、本実施の形態に示す半導体装置において、先の実施の形態に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する場合がある。そこで、主に、先の実施の形態に示した半導体装置と異なる点について説明を行い、繰り返しとなる説明を省略する。さらに、同符号を付記している構造の材料、作製方法などについて特段の説明がない場合、当該構造の材料、作製方法などは、先の実施の形態で説明した内容を参照することができる。

[0770]

<半導体装置の構成例1>

図52は、本発明の一態様に係るトランジスタ200E、およびトランジスタ200E周辺の上面図および断面図である。

[0771]

図52(A)は、トランジスタ200Eを有する半導体装置の上面図である。また、図52(B)、および図52(C)は当該半導体装置の断面図である。ここで、図52(B)は、図52(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Eのチャンネル長方向の断面図でもある。また、図52(C)は、図52(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Eのチャンネル幅方向の断面図でもある。なお、図52(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0772]

本発明の一態様の半導体装置は、トランジスタ200Eと、層間膜として機能する絶縁体210、絶縁体212、絶縁体280、および絶縁体282と、を有する。また、トランジスタ200Eと電氣的に接続し、配線として機能する導電体203と、プラグとして機能する導電体240と、を有する。

[0773]

なお、導電体203は、絶縁体212に埋め込まれるように形成される。ここで、導電体203の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお導電体203は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203を2層以上の多層膜構造としてもよい。また、構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0774]

また、導電体240は、絶縁体280および絶縁体282の開口の内壁に接して形成されている。ここで、導電体240の上面の高さと、絶縁体282の上面の高さは同程度にできる。なお、トランジスタ200Eでは、導電体240が単層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、2層以

上の積層構造でもよい。開口および導電体240についての詳細については後述する。

[0775]

[トランジスタ200E]

図52に示すトランジスタ200Eは、導電体260の上に配置された絶縁体270と、少なくとも酸化物230c、絶縁体250、および導電体260の側面に接して配置された絶縁体272と、絶縁体272を介して導電体260の側面に配置された絶縁体275と、を有している点が、実施の形態3で示したトランジスタ200Cと異なる。

[0776]

また、トランジスタ200Eは、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体を用いることが好ましい。

[0777]

チャネル形成領域に酸化物半導体を用いたトランジスタ200Eは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200Eに用いることができる。

[0778]

ここで、酸化物半導体は、酸化物半導体を構成する元素の他に、アルミニウム、ルテニウム、チタン、タンタル、クロム、タングステン、などの金属元素を添加することで、金属化合物を形成し、低抵抗化する場合がある。なお、好ましくは、アルミニウム、チタン、タンタル、タングステンなどを用いることが好ましい。酸化物半導体に、金属元素を添加するには、例えば、酸化物半導体上に、当該金属元素を含む金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けるとよい。また、当該膜を設けることで、当該膜と酸化物半導体との界面、または当該界面近傍に位置する酸化物半導体中の一部の酸素が該膜などに吸収され、酸素欠損を形成し、酸化物半導体の当該界面近傍が低抵抗化する場合がある。

[0779]

上記界面近傍に形成された酸素欠損の周辺は、歪を有している。また、上記膜をスパッタリング法によって成膜する場合、スパッタリングガスに希ガスが含まれると、上記膜の成膜中に、希ガスが酸化物半導体中へ混入する場合がある。酸化物半導体中へ希ガスが混入することで、上記界面近傍、および希ガスの周辺では、歪、または構造の乱れが生じる。なお、上記希ガスとしては、He、Arなどが挙げられる。なお、HeよりもArの方が、原子半径が大きいため好ましい。当該Arが酸化物半導体中へ混入することで、好適に歪み、または構造の乱れが生じる。これらの歪、または構造の乱れた領域では、結合した酸素の数が少ない金属原子が増えると考えられる。結合した酸素の数が少ない金属原子が増えることで、上記界面近傍、および希ガスの周辺が低抵抗化する場合がある。

[0780]

また、酸化物半導体として、結晶性の酸化物半導体を用いる場合、上記の歪、または構造の乱れた領域では、結晶性が崩れ、非晶質のように観察される場合がある。

[0781]

また、酸化物半導体上に、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けた後、窒素を含む雰囲気下で、熱処理を行うとよい。窒素を含む雰囲気下での熱処理により、金属膜から金属元素が酸化物半導体へ拡散し、酸化物半導体に金属元素を添加することができる。

[0782]

また、酸化物半導体に存在する水素は、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、酸化物半導体に存在する酸素欠損中の水

素は、250℃以上の熱処理によって、酸素欠損から抜け出し、酸化物半導体の低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損の中に入り、比較的安定な状態となることがわかっている。従って、熱処理によって、酸化物半導体の低抵抗化した領域は、より低抵抗化し、低抵抗化していない酸化物半導体は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する傾向がある。

[0783]

また、酸化物半導体は、水素、または窒素などの不純物元素が存在すると、キャリア密度が増加する。酸化物半導体中の水素は、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリア密度が増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素を有する酸化物半導体は、低抵抗化される。

[0784]

従って、酸化物半導体に選択的に金属元素、並びに、水素、および窒素などの不純物元素を添加することで、酸化物半導体に高抵抗領域、および低抵抗領域を設けることができる。つまり、酸化物230を選択的に低抵抗化することで、島状に加工した酸化物230に、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0785]

ここで、図52(B)において破線で囲む、選択的に低抵抗化した酸化物230bを含む領域239の拡大図を図60に示す。

[0786]

図60(A)に示すように、酸化物230は、トランジスタ200Eのチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231（領域231a、および領域231b）と、領域234と領域231との間に設けられる、領域232（領域232a、および領域232b）と、を有する。

[0787]

また、図52、および図60では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られない。例えば、これらの領域は酸化物230a、および酸化物230cにも、形成されていてもよい。また、図52、および図60では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が酸化物230bの表面近傍では導電体260側に張り出し、酸化物230bの下面近傍では、導電体240a側または導電体240b側に後退する形状になる場合がある。

[0788]

酸化物230を選択的に低抵抗化するには、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロム、インジウムなどの導電性を高める金属元素、および不純物の少なくとも一を、所望の領域に添加すればよい。なお、不純物としては、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0789]

従って、領域231は、上述の導電性を高める金属元素、酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

[0790]

領域231を低抵抗化するために、例えば、酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜などを成膜するとよい。金属膜、金属元素を有する窒化膜、または金属元素

を有する酸化膜は、少なくとも、絶縁体250、導電体260、絶縁体270、絶縁体272、および絶縁体275を介して、酸化物230上に設けることが好ましい。

[0791]

酸化物230の領域231に接して、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を設けることで、酸化物230の領域231へ、当該膜から金属元素が拡散し、領域231に金属化合物が形成され、低抵抗化する。また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜との界面、または当該界面近傍に位置する酸化物230中の酸素の一部が該膜に吸収され、領域231に酸素欠損を形成し、低抵抗化する場合がある。なお、図60において、酸化物230の低抵抗化した領域を、一例として斜線で表す。なお、本明細書等において、斜線で表す範囲については、図54の範囲に限定されない。例えば、酸化物230と導電体240との界面近傍の領域、または領域231における、酸化物230の上面から酸化物230の下面までの領域に、上記低抵抗化した領域（または範囲）が形成される場合がある。なお、他の図面においても同様である。

[0792]

また、領域231と、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜とが、接した状態で、窒素を含む雰囲気下において熱処理を行うとよい。当該熱処理により、金属膜から、酸化物230の領域231へ、金属元素が拡散し、領域231に金属元素を添加することができる。なお、その際、酸化物230の領域231と、金属元素とが、合金化してもよい。酸化物230の領域231と金属元素が、合金化することで、酸化物半導体に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0793]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250℃以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化（水、水素などの不純物の低減）し、より高抵抗化する。

[0794]

一方、酸化物230の導電体260、および絶縁体272と重畳する領域（領域234、および領域232）は、導電体260、および絶縁体272により、金属元素の添加が抑制される。また、酸化物230の領域234、および領域232において、酸化物230中の酸素原子が、上述した金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜へ吸収されることが抑制される。

[0795]

また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜に、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることで、領域231、および領域232のキャリア密度は、増加する。従って、酸化物230の領域231、および領域232は、低抵抗化される。

[0796]

ここで、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、水素を吸収する特性を有する場合、酸化物230中の水素は、当該膜へと吸収される。従って、酸化物230中の不純物である水素を低減することができる。また、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、後の工程で、酸化物230から吸収した水素とともに除去してもよい。

[0797]

なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例

例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合がある。

[0798]

また、例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を、絶縁体として残存させることで、層間膜として機能させることができる。

[0799]

従って、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、0.5nm以上5nm以下、好ましくは1nm以上2nm以下の膜厚で設けることが好ましい。例えば、0.5nm以上5nm以下のアルミニウムを、加熱処理により酸化させると0.7nm以上8nm以下の酸化アルミニウムとなる場合がある。

[0800]

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。従って、チャネルが形成される領域234中の酸素欠損はできる限り低減されていることが好ましい。

[0801]

絶縁体275として、酸化物を、スパッタリング法により成膜するとよい。酸化物の成膜にスパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。スパッタリング法を用いる場合は、例えば、対向ターゲット型のスパッタリング装置を用いて成膜することが好ましい。対向ターゲット型のスパッタリング装置は、対向するターゲット間の高電界領域に被成膜面が晒されることなく成膜できるので、被成膜面がプラズマによる損傷を受けにくく成膜することができるので、絶縁体275となる絶縁体の成膜時に酸化物230への成膜ダメージを小さくすることができるので好ましい。

[0802]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位E0が与えられる。また、基板は、接地電位などの電位E1が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位E2となる領域が存在する。各電位の大小関係は、 $E2 > E1 > E0$ である。

[0803]

プラズマ内のイオンが、電位差 $E2 - E0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁体272に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E2 - E1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁体272内部まで到達する。イオンが絶縁体272に取り込まれることにより、イオンが取り込まれた領域が絶縁体272に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体272に過剰酸素領域が形成される。従って、絶縁体275は、スパッタリング法によって成膜された酸化アルミニウムを用いることが好ましい。

[0804]

図52、および図60(A)に示すように、絶縁体275は、絶縁体272と接し、絶縁体272は、絶縁体224および

酸化物230cと接する領域を有する。上述のように、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含む絶縁体272を設けることができる。つまり、絶縁体272が有する過剰酸素が、酸化物230の領域234へと拡散することで、酸化物230の領域234における酸素欠損を低減することができる。

[0805]

また、酸化アルミニウムは、酸化物230と接した状態で、熱処理を行うことで、酸化物230中の水素を引き抜く場合がある。従って、酸化物230中の水素濃度を低減することができる。

[0806]

上記構成、または上記工程を組み合わせることで、酸化物230の選択的な低抵抗化を行うことができる。

[0807]

つまり、酸化物230に低抵抗領域を形成する際に、ゲート電極として機能する導電体260、または絶縁体272をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200Eを同時に形成する場合、トランジスタ間の電気特性バラつきを小さくすることができる。また、トランジスタ200Eのチャネル長は、導電体260の幅、および絶縁体272の成膜膜厚により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200Eの微細化が可能となる。

[0808]

以上より、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0809]

また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

[0810]

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0811]

以下では、本発明の一態様に係るトランジスタ200Eを有する半導体装置の構成のうち、実施の形態1で示したトランジスタ200Aを有する半導体装置および実施の形態3で示したトランジスタ200Cを有する半導体装置と異なる点について説明する。

[0812]

電子親和力または伝導帯下端のエネルギー準位 E_c は、図72に示すように、真空準位 E_{vac} と価電子帯上端のエネルギー準位 E_v との差であるイオン化ポテンシャル I_p と、バンドギャップ E_g から求めることができる。イオン化ポテンシャル I_p は、例えば、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置を用いて測定することができる。エネルギーギャップ E_g は、例えば、分光エリプソメータを用いて測定することができる。

[0813]

また、酸化物230は、領域231、領域232、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体273と接する領域を有する。また、領域232は、少なくとも、絶縁体272と重畳する領域を有する。

[0814]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、絶

縁体250から、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0815]

また、絶縁体250が有する過剰酸素を、効率的に酸化物230へ供給するために、金属酸化物を絶縁体250上に設けてもよい。従って、当該金属酸化物は、絶縁体250からの酸素拡散を抑制することが好ましい。酸素の拡散を抑制する当該金属酸化物を設けることで、絶縁体250から導電体260への過剰酸素の拡散が抑制される。つまり、酸化物230へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体260の酸化を抑制することができる。

[0816]

また、導電体260bの上に、バリア膜として機能する絶縁体270を配置してもよい。絶縁体270は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体270よりも上方からの酸素で導電体260が酸化するのを抑制することができる。また、絶縁体270よりも上方からの水または水素などの不純物が、導電体260および絶縁体250を介して、酸化物230に混入することを抑制することができる。

[0817]

また、絶縁体270はハードマスクとしての機能を有することが好ましい。絶縁体270をハードマスクとすることで、導電体260の加工の際、導電体260の側面が概略垂直、具体的には、導電体260の側面と基板表面のなす角を、75°以上100°以下、好ましくは80°以上95°以下とすることができる。導電体260をこのような形状に加工することで、次に形成する絶縁体272および絶縁体275を所望の形状に形成することができる。

[0818]

バリア膜、およびバッファ層として機能する絶縁体272は、酸化物230cの側面、絶縁体250の側面、導電体260の側面、および絶縁体270の側面に接して設ける。

[0819]

例えば、絶縁体272として、ALD法を用いて成膜することが好ましい。ALD法を用いることで、緻密な薄膜を成膜することができる。

[0820]

絶縁体272として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。例えば、絶縁体272となる絶縁膜を成膜後に絶縁体275となる絶縁膜をスパッタリング法によって、酸化アルミニウムを成膜することで、絶縁体272となる絶縁膜に容易に過剰酸素領域を形成することができる。

[0821]

または、絶縁体272は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いてもよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体250中の酸素が外部に拡散することを抑制することができる。また、絶縁体250の端部などから酸化物230に水素、水などの不純物が混入するのを抑制することができる。したがって、酸化物230と、絶縁体250との界面における酸素欠損の形成が抑制され、トランジスタ200Eの信頼性を向上させることができる。

[0822]

また、絶縁体272を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、絶縁体250、および導電体260の側面を覆うことができる。これにより、トランジスタ200Eの上方から水または水素などの不純物が、絶縁体250および導電体260を介して、酸化物230に混入することを抑制することができる。したがって、絶縁体272は、ゲート電極およびゲート絶縁体の側面を保護するサイドバリアとしての機能を有する。

[0823]

絶縁体272として、ALD法を用いて酸化アルミニウムを設ける場合、絶縁体272の膜厚は、0.5nm以上3.0nm以下とすることが好ましい。当該構成とすることで、導電体260の酸化を抑制しながら、絶縁体275が有する過剰酸素を絶縁体250へ供給することが可能となる。

[0824]

また、酸化物230c、絶縁体250、および導電体260の側面に、絶縁体272を介して、絶縁体275を設ける。上述のように絶縁体275となる絶縁体の成膜によって、絶縁体272は、過剰酸素領域を有することが好ましい。ここで、絶縁体224が、島状に加工されている場合、絶縁体224の外側で、絶縁体224と絶縁体272が接する構造とすればよい。当該構成とすることで、絶縁体272の過剰酸素を、絶縁体224を介して、酸化物230へと供給することができる。

[0825]

また、酸化物230、絶縁体275および絶縁体270を覆って、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280の上に絶縁体282を設けても良い。絶縁体282は、絶縁体210と同様の絶縁体とすることが好ましい。

[0826]

絶縁体282および絶縁体280の開口は、絶縁体280の内壁が絶縁体275の側面に接するように形成する。このように形成するには、絶縁体282および絶縁体280の開口時に絶縁体275のエッチング速度が、絶縁体280のエッチング速度に比べて著しく小さい開口条件とすることが好ましい。絶縁体275のエッチング速度を1とすると、絶縁体280のエッチング速度は5以上が好ましく、より好ましくは10以上である。このように開口することで、自己整合的に開口を形成することができ、開口と、ゲート電極と、の位置合わせのマージンが広くなり、開口と、ゲート電極と、の間隔を小さく設計することができるので、半導体装置の高集積化が可能となる。

[0827]

例えば、図53(B)は、開口の位置が、設計の位置よりもA2側へずれた一例を示すが、トランジスタ200Eの構成とすることで、開口の位置がこのようにずれても開口に埋め込まれている導電体240aと領域231aとの電氣的接続および開口に埋め込まれている導電体240bと領域231bとの電氣的接続が、それぞれ自己整合的に行われるために良好となる。なお、図53(B)では、開口がA2側にずれている例を示したが、これに限定されない。例えば、開口がA1側にずれても良い。

[0828]

ここで、絶縁体282および絶縁体280に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

[0829]

導電体240aは、トランジスタ200Eのソース領域およびドレイン領域の一方として機能する領域231aと接して

おり、導電体240bはトランジスタ200Eのソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240bはソース電極およびドレイン電極の他方として機能できる。

[0830]

なお、絶縁体282および絶縁体280の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体282および絶縁体280の開口の内壁に接して導電体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0831]

また、図59は、図52(A)にA5-A6の一点鎖線で示す部位の断面図であり、トランジスタ200Eのチャネル幅方向の導電体240aと、酸化物230と、が接する領域の断面図である。なお、導電体240bと酸化物230と、が接する領域についても同様の構成である。

[0832]

図59(A)は、導電体240aおよび導電体240bは、少なくとも酸化物230の上面と接し、さらに酸化物230の側面と接することが好ましい。特に、導電体240aおよび導電体240bは、酸化物230のチャネル幅方向と交わる側面において、A5側の側面、およびA6側の側面の双方または一方と接することが好ましい。つまり、導電体240aおよび導電体240bと、酸化物230とが接する領域が鞍のような断面形状を有する(鞍面コンタクトと呼ぶことができる)。また、導電体240aおよび導電体240bが、酸化物230のチャネル長方向と交わる側面において、A1側(A2側)の側面と接する構成にしてもよい。また、導電体240aおよび導電体240bと、酸化物230と、が接する領域は、図59(A)の一例に限らず、例えば、図59(B)に示すように、導電体240aおよび導電体240bは、酸化物230の上面および酸化物230の側面と接する領域を有していてもよい。また、導電体240aおよび導電体240bが、酸化物230のチャネル長方向と交わる側面において、A1側(A2側)の側面と接する構成にしてもよい。図59(B)は、導電体240aおよび導電体240bと、酸化物230のA5側の側面と接する領域の一例を示しているが、図59(C)に示すように、導電体240aおよび導電体240bと、酸化物230のA6側の側面と接する領域を有してもよい。このような構成とすることで、導電体240aおよび導電体240bと、酸化物230と、が接する領域の面積を大きくすることができるので、導電体240aおよび導電体240bと、酸化物230と、のコンタクト抵抗を低くすることができて好ましい。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

[0833]

また、図52(B)に示すように、トランジスタ200Eは、導電体260と、導電体240aと、の間に寄生容量が形成される。同様に、導電体260と、導電体240bと、の間に寄生容量が形成される。当該寄生容量は、導電体260と、導電体240a(導電体240b)と、の間に配置される絶縁体のチャネル長方向の膜厚を大きくすることで低減される。

[0834]

従って、トランジスタ200Eに絶縁体272に加えて絶縁体275を設けることで、寄生容量を低減することができる。チャネル長方向における絶縁体275と絶縁体272の、酸化シリコン膜に換算した合計膜厚(EOT:Equivalent Oxide Thickness)は、10nm以上50nm以下、好ましくは15nm以上30nmとする。また、絶縁体275としては、例えば、酸化アルミニウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンおよび窒化シリコンを用

いることができる。寄生容量を低減することで、トランジスタ200Eを高速に動作させることができる。

[0835]

ここで、図60(B)に示すように、例えば、絶縁体280に開口を形成する際に、酸化物230において、領域231の低抵抗化した領域が除去されてもよい。その場合、導電体240に用いる導電体として、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いるとよい。つまり、酸化物230と導電体240とが接することで、酸化物230中に、新たな低抵抗化した領域が形成される。当該低抵抗化した領域が形成されることで、酸化物230と導電体240とのコンタクト抵抗を低減することができる。導電体240は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、などの金属元素を含むことが好ましい。図60(B)に新たに低抵抗化した領域の近傍を一点鎖線の枠で囲んで示す。

[0836]

また、導電体240を積層構造とする場合、絶縁体280、および絶縁体282と接する導電体には、導電体205の第1の導電体などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体282より上層から水素、水などの不純物が、導電体240aおよび導電体240bを通じて酸化物230に混入するのを抑制することができる。

[0837]

<半導体装置の構成例2>

図54は、本発明の一態様に係るトランジスタ200F、およびトランジスタ200F周辺の上面図および断面図である。

[0838]

図54(A)は、トランジスタ200Fを有する半導体装置の上面図である。また、図54(B)、および図54(C)は当該半導体装置の断面図である。ここで、図54(B)は、図54(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Fのチャネル長方向の断面図でもある。また、図54(C)は、図54(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Fのチャネル幅方向の断面図でもある。なお、図54(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0839]

[トランジスタ200F]

図54に示すように、トランジスタ200Fは、基板(図示せず。)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260(導電体260a、および導電体260b)と、導電体260の上に配置された絶縁体270と、少なくとも酸化物230c、絶縁体250、および導電体260の側面に接して配置された絶縁体272と、絶縁体272を介して導電体260の側面に配置された絶縁体275と、絶縁体275の側面、および酸化物230上に配置された絶縁体273と、絶縁体273上に配置された絶縁体276と、を有する。

[0840]

絶縁体275の側面、および酸化物230上に配置された絶縁体273と、絶縁体273上に配置された絶縁体276と、を有するところが、前述のトランジスタ200Eと異なる。以下は、トランジスタ200Eと異なる点について説明

する。

[0841]

図54(B)に示すように、酸化物230の上面の一部および側面の一部に絶縁体273が接して配置されている。絶縁体273上には、絶縁体276が接して配置されている。つまり、領域231上をこのような構成とすることで、例えば、絶縁体273として、酸化シリコン膜とし、絶縁体276として、スパッタリング法によって酸化アルミニウム膜とすることで、絶縁体280に含まれる水素を酸化物230へ拡散することを防ぐことができる場合がある。その他の構成、効果などについては、トランジスタ200Eの説明を参酌することができる。

[0842]

<半導体装置の構成例3>

図55は、本発明の一態様に係るトランジスタ200G、およびトランジスタ200G周辺の上面図および断面図である。

[0843]

図55(A)は、トランジスタ200Gを有する半導体装置の上面図である。また、図55(B)、および図54(C)は当該半導体装置の断面図である。ここで、図55(B)は、図55(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Gのチャネル長方向の断面図でもある。また、図55(C)は、図55(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Gのチャネル幅方向の断面図でもある。なお、図55(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0844]

[トランジスタ200G]

図55に示すように、トランジスタ200Gは、基板(図示せず。)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260(導電体260a、および導電体260b)と、導電体260の上に配置された絶縁体270と、少なくとも酸化物230c、絶縁体250、および導電体260の側面に接して配置された絶縁体272と、絶縁体272を介して導電体260の側面に配置された絶縁体275と、絶縁体275の側面、および酸化物230cの側面に配置された絶縁体274と、を有する。

[0845]

絶縁体275の側面、および酸化物230cの側面に配置された絶縁体274を有するところが、前述のトランジスタ200Eと異なる。以下は、トランジスタ200Eと異なる点について説明する。

[0846]

図55(B)に示すように、絶縁体282および絶縁体280の開口は、絶縁体280の内壁が絶縁体274の側面に接するように形成する。このように形成するには、絶縁体282および絶縁体280の開口時に絶縁体274のエッチング速度が、絶縁体280のエッチング速度に比べて著しく小さい開口条件とすることが好ましい。絶縁体274のエッチング速度を1とすると、絶縁体280のエッチング速度は5以上が好ましく、より好ましくは10以上である。このように開口することで、自己整合的に開口を形成することができ、開口と、ゲート電極と、の位置合わせのマージンが広くなり、開口と、ゲート電極と、の間隔を小さく設計することができるので、半導体装置の高集積化が可能となる。

[0847]

例えば、開口の位置が、設計の位置よりもA1側またはA2側へずれた場合であっても、トランジスタ200Gの構

成とすることで、開口に埋め込まれている導電体240aと領域231aとの電氣的接続および開口に埋め込まれている導電体240bと領域231bとの電氣的接続が、それぞれ自己整合的に行われるために良好となる。

[0848]

ここで、絶縁体282および絶縁体280に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

[0849]

導電体240aは、トランジスタ200Gのソース領域およびドレイン領域の一方として機能する領域231aと接しており、導電体240bはトランジスタ200Gのソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240bはソース電極およびドレイン電極の他方として機能できる。

[0850]

なお、絶縁体282および絶縁体280の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体282および絶縁体280の開口の内壁に接して導電体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0851]

また、図55(B)に示すように、トランジスタ200Gは、導電体260と、導電体240aと、の間に寄生容量が形成される。同様に、導電体260と、導電体240bと、の間に寄生容量が形成される。当該寄生容量は、導電体260と、導電体240a(導電体240b)と、の間に配置される絶縁体のチャンネル長方向の膜厚を大きくすることで低減される。

[0852]

トランジスタ200Gに絶縁体272および絶縁体275に加えて絶縁体274を設けることで、寄生容量を低減することができる。導電体260と、導電体240a(導電体240b)と、の間に配置される絶縁体のチャンネル長方向の膜厚は、絶縁体275のチャンネル長方向の膜厚と絶縁体272のチャンネル長方向の膜厚に加えて、絶縁体274のチャンネル長方向の膜厚との合計値となるので、さらに寄生容量を低減することができる。チャンネル長方向におけるこれらの絶縁体全体の、酸化シリコン膜に換算した膜厚(EOT:Equivalent Oxide Thickness)は、10nm以上50nm以下、好ましくは15nm以上30nmとする。絶縁体274としては、例えば、酸化アルミニウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンおよび窒化シリコンを用いることができる。このように寄生容量を低減することで、トランジスタ200Gを高速に動作させることができる。その他の構成、効果などについては、トランジスタ200Eの説明を参酌することができる。

[0853]

<半導体装置の構成例4>

図56は、本発明の一態様に係るトランジスタ200H、およびトランジスタ200H周辺の上面図および断面図である。

[0854]

図56(A)は、トランジスタ200Hを有する半導体装置の上面図である。また、図56(B)、および図56(C)は当該半導体装置の断面図である。ここで、図56(B)は、図56(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200Hのチャンネル長方向の断面図でもある。また、図56(C)は、図56(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200Hのチャンネル幅方向の断面図でもある。なお、図56(A)の上

面図では、図の明瞭化のために一部の要素を省いて図示している。

[0855]

[トランジスタ200H]

図56に示すように、トランジスタ200Hは、基板(図示せず。)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された導電体260(導電体260a、および導電体260b)と、導電体260の上に配置された絶縁体270と、少なくとも酸化物230c、絶縁体250、および導電体260の側面に接して配置された絶縁体272と、絶縁体272を介して導電体260の側面に配置された絶縁体275と、絶縁体275の側面、および酸化物230上に配置された絶縁体273と、絶縁体273上に配置された絶縁体276と、絶縁体273および絶縁体276を介して絶縁体275の側面に配置された絶縁体274と、を有する。

[0856]

絶縁体273および絶縁体276を介して絶縁体275の側面に配置された絶縁体274を有するところが、前述のトランジスタ200Fと異なる。以下は、トランジスタ200Fと異なる点について説明する。

[0857]

図56(B)に示すように、絶縁体282、絶縁体280、絶縁体276および絶縁体273の開口は、絶縁体280の内壁が絶縁体274の側面に接するように形成する。このように形成するには、絶縁体282および絶縁体280の開口時に絶縁体274のエッチング速度が、絶縁体280、絶縁体276および絶縁体273のエッチング速度に比べて著しく小さい開口条件とすることが好ましい。絶縁体274のエッチング速度を1とすると、絶縁体280、絶縁体276および絶縁体273のエッチング速度は5以上が好ましく、より好ましくは10以上である。このように開口することで、自己整合的に開口を形成することができ、開口と、ゲート電極と、の位置合わせのマージンが広くなり、開口と、ゲート電極と、の間隔を小さく設計することができるので、半導体装置の高集積化が可能となる。

[0858]

例えば、開口の位置が、設計の位置よりもA1側またはA2側へずれた場合であっても、トランジスタ200Hの構成とすることで、開口に埋め込まれている導電体240aと領域231aとの電氣的接続および開口に埋め込まれている導電体240bと領域231bとの電氣的接続が、それぞれ自己整合的に行われるために良好となる。

[0859]

ここで、絶縁体282、絶縁体280、絶縁体276および絶縁体273に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体282の上面と、同一平面上としてもよい。

[0860]

導電体240aは、トランジスタ200Hのソース領域およびドレイン領域の一方として機能する領域231aと接しており、導電体240bはトランジスタ200Hのソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240cはソース電極およびドレイン電極の他方として機能できる。

[0861]

なお、絶縁体282、絶縁体280、絶縁体276および絶縁体273の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体282、絶縁体280、絶縁体276および絶縁体273の開口の内壁に接して導電

体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0862]

また、図56(B)に示すように、トランジスタ200Hは、導電体260と、導電体240aと、の間に寄生容量が形成される。同様に、導電体260と、導電体240bと、の間に寄生容量が形成される。当該寄生容量は、導電体260と、導電体240a(導電体240b)と、の間に配置される絶縁体のチャンネル長方向の膜厚を大きくすることで低減される。

[0863]

トランジスタ200Hに絶縁体272および絶縁体275に加えて絶縁体273、絶縁体276および絶縁体274を設けることで、寄生容量を低減することができる。導電体260と、導電体240a(導電体240b)と、の間に配置される絶縁体のチャンネル長方向の膜厚は、絶縁体275のチャンネル長方向の膜厚と絶縁体272のチャンネル長方向の膜厚に加えて、絶縁体273、絶縁体276および絶縁体274のチャンネル長方向の膜厚との合計値となるので、さらに寄生容量を低減することができる。チャンネル長方向におけるこれらの絶縁体全体の、酸化シリコン膜に換算した膜厚(EOT:Equivalent Oxide Thickness)は、10nm以上50nm以下、好ましくは15nm以上30nmとする。絶縁体274としては、例えば、酸化アルミニウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンおよび窒化シリコンを用いることができる。このように寄生容量を低減することで、トランジスタ200Hを高速に動作させることができる。その他の構成、効果などについては、トランジスタ200Fの説明を参酌することができる。

[0864]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。なお、本実施の形態で示す半導体装置を構成する構造のうち、先の実施の形態で示した構造と同符号を付記した構造の構成材料について特段の説明がない場合、先の実施の形態に記載の構成材料を参酌することができる。

[0865]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0866]

例えば、絶縁体275および絶縁体276として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0867]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0868]

絶縁体272、絶縁体273、および絶縁体274は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体272、絶縁体273、および絶縁体274は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体272、絶縁体273、および絶縁体

274は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0869]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200Eを有する半導体装置について、作製方法を図61乃至図71を用いて説明する。また、図61乃至図71において、各図の(A)は上面図を示す。また、各図の(B)は、(A)にA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Eのチャネル長方向の断面図でもある。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200Eのチャネル幅方向の断面図でもある。なお、各図の(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0870]

まず、基板(図示しない。)を準備し、当該基板上に絶縁体210を成膜する。なお、絶縁体210の材料、成膜方法等は、実施の形態1の絶縁体210を参照することができる。

[0871]

次に絶縁体210上に、導電体203となる導電膜を成膜する。導電体203となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。また、導電体203となる導電膜は、多層膜とすることができる。本実施の形態では、導電体203となる導電膜としてタンゲステンを成膜する。

[0872]

次に、リソグラフィー法を用いて、導電体203となる導電膜を加工し、導電体203を形成する。

[0873]

なお、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体203となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体203となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電体203となる導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0874]

次に、絶縁体210上、導電体203上に絶縁体212となる絶縁膜を成膜する。絶縁体212となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212となる絶縁膜として、CVD法によって酸化シリコンを成膜する。

[0875]

ここで、絶縁体212となる絶縁膜の膜厚は、導電体203の膜厚以上とすることが好ましい。例えば、導電体203の膜厚を1とすると、絶縁体212となる絶縁膜の膜厚は、1以上3以下とする。本実施の形態では、導電体203の膜厚の膜厚を150nmとし、絶縁体212となる絶縁膜の膜厚を350nmとする。

[0876]

次に、絶縁体212となる絶縁膜にCMP処理を行うことで、絶縁体212となる絶縁膜の一部を除去し、導電体203の表面を露出させる。これにより、上面が平坦な、導電体203と、絶縁体212を形成することができる(図61参照。)

[0877]

ここでは、上記と異なる導電体203の形成方法について以下に説明する。

[0878]

絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0879]

次に、絶縁体212に絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0880]

開口の形成後に、導電体203となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0881]

本実施の形態では、導電体203となる導電膜として、多層構造とする。まず、スパッタリング法によって窒化タンタル、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。このような金属窒化物を導電体203となる導電膜の下層に用いることにより、後述する導電体203となる導電膜の上層の導電膜として銅などの拡散しやすい金属を用いても、当該金属が導電体203から外に拡散するのを防ぐことができる。

[0882]

次に、導電体203となる導電膜の上層の導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電体203となる導電膜の上層の導電膜として、銅などの低抵抗導電性材料を成膜する。

[0883]

次に、CMP処理を行うことで、導電体203となる導電膜の上層、および導電体203となる導電膜の下層の一部を除去し、絶縁体212を露出する。その結果、開口部のみに、導電体203となる導電膜が残存する。これにより、上面が平坦な、導電体203を形成することができる。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。以上が、導電体203の異なる形成方法である。

[0884]

次に、絶縁体212、および導電体203上に絶縁体214、および絶縁体216を順に成膜する。なお、絶縁体214、および絶縁体216の材料、成膜方法等は、それぞれ、実施の形態1の絶縁体214、絶縁体216を参酌することができる。

[0885]

次に、絶縁体214および絶縁体216に、導電体203に達する開口を形成する。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。

[0886]

開口の形成後に、導電体205aとなる導電膜を成膜する。導電体205aとなる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0887]

本実施の形態では、導電体205aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0888]

次に、導電体205aとなる導電膜上に、導電体205bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0889]

本実施の形態では、導電体205bとなる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

[0890]

次に、CMP処理を行うことで、導電体205aとなる導電膜、および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205aとなる導電膜および導電体205bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを含む導電体205を形成することができる(図61参照。)。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0891]

次に、絶縁体216、および導電体205上に絶縁体220、絶縁体222、絶縁膜224A、酸化物230aとなる酸化膜230A、および酸化物230bとなる酸化膜230Bを順に成膜する(図61参照。)。なお、絶縁体220、および絶縁体222の材料、成膜方法等は、それぞれ、実施の形態1の絶縁体220、および絶縁体222を参酌することができ、絶縁膜224Aの材料、成膜方法等は、実施の形態3の絶縁膜224Aを参酌することができ、酸化膜230Aおよび酸化膜230Bの材料、形成方法等は、それぞれ、実施の形態1の酸化膜230Aおよび酸化膜230Bを参酌することができる。

[0892]

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する。なお、当該工程において、絶縁膜224Aを島状に加工(絶縁体224)してもよい。その場合、絶縁体222をエッチングストップ膜として用いることができる(図62参照。)

[0893]

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200Eを設ける際に、小面積化、高密度化が可能となる。または、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が小さい角度になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は60°以上70°未満が好ましい。この様な形状とすることで、これより後の工程において、酸化物230a、および酸化物230bの側面に絶縁体272および絶縁体275が形成されないよ

うにすることができる。

[0894]

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0895]

なお、当該酸化膜の加工はリソグラフィー法を用いて行えばよい。また、当該加工はドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0896]

また、ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0897]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

[0898]

ウエット洗浄としては、シュウ酸、リン酸、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0899]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0900]

次に、絶縁膜224A、酸化物230a、および酸化物230bの上に、酸化膜230Cを成膜する(図63参照。)。なお、酸化膜230Cの材料、成膜方法等は、実施の形態1の酸化膜230Cを参酌することができる。

[0901]

続いて、酸化膜230C上に、絶縁膜250A、導電膜260A、導電膜260B、および絶縁膜270Aを順に成膜する(図63参照。)

[0902]

まず、絶縁膜250Aを成膜する。なお、絶縁膜250Aの材料、形成方法等は、実施の形態1の絶縁膜250Aを参酌することができる。

[0903]

ここで、絶縁膜250A上に金属酸化膜を成膜してもよい。当該金属酸化膜として、スパッタリング法により、In-Ga-Zn酸化物を形成する。当該金属酸化膜の形成方法としては、スパッタリング法を用い、酸素ガスを含む雰囲気中で形成することが好ましい。酸素ガスを含む雰囲気中で当該金属酸化膜を形成することで、絶縁膜250A中に、過剰酸素領域を形成することができる。絶縁膜250Aに添加された過剰酸素は、酸化物230に酸素を供給することで、酸化物230中の酸素欠損を補償することができる。

[0904]

ここで、上記金属酸化膜を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、上記金属酸化膜を成膜しながら、絶縁膜250A、および絶縁膜224Aに酸素を導入することができる。ま

た、上記金属酸化膜に、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁膜250Aに導入した過剰酸素を、効果的に封じ込めることができる。

[0905]

次に、導電膜260A、および導電膜260Bを成膜する。なお、導電膜260A、および導電膜260Bの材料、形成方法等は、それぞれ、実施の形態1の導電膜260A、および導電膜260Bを参照することができる。

[0906]

例えば、導電膜260Aとして、スパッタリング法により、金属窒化物を形成するとよい。例えば、金属酸化膜として、In-Ga-Zn酸化物に代表される酸化物半導体を用いた場合、当該金属酸化膜は、窒素または水素が供給されることで、キャリア密度が高くなる。つまり、酸化物導電体(OC)として機能する。そこで、導電膜260Aとして、スパッタリング法により、金属窒化物を形成することで、金属窒化物中の構成元素(特に窒素)が先に成膜した金属酸化膜に拡散し、該金属酸化膜が低抵抗化する。また、導電膜260Aの成膜時のダメージ(例えば、スパッタリングダメージなど)により、該金属酸化膜が低抵抗化する。従って、該金属酸化膜のキャリア密度が高くなり、該金属酸化膜の導電性が高くなる。

[0907]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、金属酸化膜から、絶縁膜250Aに過剰酸素が添加され、絶縁膜250Aに過剰酸素領域を容易に形成することができる。

[0908]

絶縁膜270Aは、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。絶縁膜270Aは、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体260の酸化を抑制することができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを抑制することができる。本実施の形態では、絶縁膜270Aを2層構造とし、ALD法によって酸化アルミニウムを成膜し、次にCVD法によって酸化シリコンを成膜する。

[0909]

次に、絶縁膜270Aを、エッチングし、絶縁体270を形成する。ここで、絶縁体270は、ハードマスクとして機能する。絶縁体270を設けることで、酸化物230cの側面、絶縁体250の側面、導電体260aの側面および導電体260bの側面を、基板の上面に対し、概略垂直に形成することができる。

[0910]

次に、絶縁体270をマスクとして、酸化膜230C、絶縁膜250A、導電膜260A、導電膜260Bを、エッチングし、酸化物230c、絶縁体250および導電体260(導電体260a、および導電体260b)を形成する(図64参照。)

[0911]

また、酸化物230c、絶縁体250、導電体260、および絶縁体270は、少なくとも一部が、導電体205および酸化物230と重なるように形成する。

[0912]

また、酸化物230cの側面、絶縁体250の側面および導電体260の側面は、同一面内であることが好ましい。

[0913]

また、酸化物230cの側面、絶縁体250の側面および導電体260の側面が共有する同一面は、基板の上面に対し、概略垂直であることが好ましい。つまり、断面形状において、酸化物230c、絶縁体250、および導電体260の側面と、酸化物230の上面のなす角が、鋭角、かつ大きいほど好ましい。なお、断面形状において、酸化物

230c、絶縁体250、および導電体260の側面と、酸化物230の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230c、絶縁体250および導電体260の側面と、酸化物230の上面のなす角は大きいほど好ましい。

[0914]

次に、酸化物230、絶縁体250、導電体260および絶縁体270を覆って、絶縁膜272Aを成膜する(図65参照。)。絶縁膜272Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。

[0915]

絶縁膜272Aは、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、導電体260、および絶縁体270の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。また、ALD法を用いることで、緻密な薄膜を成膜することができる。

[0916]

絶縁膜272Aとして、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0917]

一方、絶縁膜272Aとして、バリア性を有する酸化アルミニウムなどを設けてもよい。例えば、導電体260が酸化しやすい金属膜である場合、バリア性を有する絶縁体を用いることで、導電体260が絶縁膜272Aの上方からの酸素で酸化するのを抑制することができる。これにより、導電体260の抵抗値が上がることを抑制することができる。

[0918]

絶縁膜272Aとして、ALD法を用いて酸化アルミニウムを設ける場合、絶縁膜272Aの膜厚は、0.5nm以上3.0nm以下とすることが好ましい。当該構成とすることで、後の工程で、導電体260の酸化を抑制しながら、絶縁体275が有する過剰酸素を絶縁体250へ供給することが可能となる。

[0919]

次に、絶縁膜275Aを成膜する。絶縁膜275Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁膜275Aとして、スパッタリング法によって、酸化アルミニウムを成膜する。本成膜によって、酸素を絶縁膜272Aに添加することができる。該酸素は、絶縁膜272Aを介して、酸化物230に添加され、酸化物230中の欠陥を修復することができる(図66参照。)

[0920]

次に、絶縁膜272Aおよび絶縁膜275Aに異方性のエッチング処理を行い、絶縁体272および絶縁体275を形成する(図67参照。)

[0921]

上記異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体272および絶縁体275を自己整合的に形成することができる。

[0922]

続いて、酸化物230c、絶縁体250、導電体260、絶縁体270、絶縁体272、および絶縁体275を介して、絶縁体222、絶縁体224、および酸化物230上に膜242Aを成膜する(図68参照。)。なお、膜242Aは、0.5nm以上5nm以下、好ましくは、1nm以上3nm以下の膜厚にするとよい。膜242Aは、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜を用いる。膜242Aは、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含む膜とする。なお、膜242Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

[0923]

続いて、加熱処理を行う。加熱処理は、250°C以上650°C以下、好ましくは300°C以上500°C以下、さらに好ましくは320°C以上450°C以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、膜242Aの成膜後に窒素雰囲気にて400°Cの温度で1時間の処理を行う。

[0924]

窒素を含む雰囲気下での熱処理により、膜242Aから、上述した金属元素が酸化物230へ拡散し、酸化物230に金属元素を添加することができる。また、酸化物230の膜242Aとの界面近傍における酸素が膜242Aに吸収される場合がある。その結果、酸化物230の膜242Aとの界面近傍が金属化合物となり、低抵抗化する。なお、その際、酸化物230の一部と、上述した金属元素とが、合金化してもよい。酸化物230の一部と金属元素が、合金化することで、酸化物230に添加された金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

[0925]

また、酸化物230中の水素は、領域231に拡散し、領域231に存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域234に存在する酸素欠損中の水素は、250°C以上の熱処理によって、酸素欠損から抜け出し、領域231に拡散し、領域231に存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域231は、より低抵抗化し、領域234は、高純度化(水、水素などの不純物の低減)し、より高抵抗化する。

[0926]

また、窒素または不活性ガス雰囲気で加熱処理した後に、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で加熱処理を行ってもよい。加熱処理は、250°C以上650°C以下、好ましくは300°C以上500°C以下、さらに好ましくは320°C以上450°C以下で行えばよい。

[0927]

また、膜242Aに導電性を有する領域が残存している場合、酸化性雰囲気下で熱処理を行うことにより、酸化させることで、絶縁体となり、高抵抗化する。膜242Aを、絶縁体として残存させることで、層間膜として機能させることができる。

[0928]

上記膜242Aの成膜工程、または加熱処理において、膜242Aに、酸化物230の領域231、および領域231に近接する領域232の酸素が吸収されることで、領域231、および領域232に酸素欠損が生じる場合がある。酸化物230中の水素が、当該酸素欠損に入ることで、領域231、および領域232のキャリア密度は、増加する。従って、酸化物230の領域231、および領域232は、n型となり、低抵抗化される。

[0929]

続いて、膜242Aを除去する。なお、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜は、必ずしも除去しなくともよい。例えば、金属膜、金属元素を有する窒化膜、または金属元素を有する酸化膜が、酸

化物230から吸収した酸素により、酸化し、絶縁体となり、高抵抗化している場合は、残存させてもよい。その場合、層間膜として機能する場合がある。本工程では、ドライエッチング法やウエットエッチング法を用いることができる。膜242Aを除去することで、膜242Aに吸収された酸化物230中の水素を同時に除去することができる。従って、トランジスタ200E中の不純物である水素を低減することができる(図69参照。)

[0930]

次に、絶縁体280を成膜する。なお、絶縁体280の材料、形成方法等は、実施の形態1の絶縁体280を参酌することができる。

[0931]

次に、絶縁体280上に、絶縁体282となる絶縁膜を形成してもよい。絶縁体282となる絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁体282となる絶縁膜としては、例えば、スパッタリング法によって、酸化アルミニウム膜を成膜することが好ましい。スパッタリング法によって成膜された酸化アルミニウム膜は、被成膜構造体から水素を引き抜く場合がある。したがって、スパッタリング法によって、酸化アルミニウム膜を成膜することによって、絶縁体280が有する水素を酸化物230へ拡散することを抑制することができる場合がある。

[0932]

次に、絶縁体280および絶縁体282に、酸化物230の領域231に達する開口を形成する(図70参照。)。当該開口の形成は、リソグラフィー法を用いて行えばよい。ここで、導電体240が、絶縁体275の側面に接して設けられるように、当該開口を形成する。当該開口条件は、絶縁体275をほとんどエッチングしない条件、即ち絶縁体275のエッチング速度に比べて絶縁体280のエッチング速度が大きいことが好ましい。絶縁体275のエッチング速度を1とすると、絶縁体280のエッチング速度は5以上が好ましく、より好ましくは10以上である。このような開口条件とすることで、開口部を領域231へ自己整合的に配置することができるので微細なトランジスタの作製ができる。また、リソグラフィー工程において、導電体260と、開口と、のそれぞれの位置ずれに対する許容範囲が大きくなるので歩留まりの向上が期待できる。

[0933]

例えば、開口の位置が、設計の位置よりもA1側またはA2側へずれても、後の工程にて開口に埋め込まれる導電体240aと領域231aとの電氣的接続および開口に埋め込まれる導電体240bと領域231bとの電氣的接続が、それぞれ自己整合的に行われるために良好となる。

[0934]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。導電体240aおよび導電体240bとなる導電膜は、水または水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、との積層とすることができる。導電体240となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0935]

ここで、例えば、絶縁体280および絶縁体282に開口を形成する際に、酸化物230における領域231の低抵抗化した領域を除去してもよい。当該開口に導電体240aおよび導電体240bとなる導電膜を成膜すると、酸化物230と、導電体240aおよび導電体240bとなる導電膜とが接する領域を有するため、当該領域に金属化合物、または酸素欠損が形成され、酸化物230と、導電体240aおよび導電体240bとなる導電膜と、の接触領域を低抵抗化することができる。当該接触領域を低抵抗化することで、酸化物230と、導電体240aおよび導電体240bと、の十分なオーミック接触を確保することができる。従って、導電体240aおよび導電体240bとなる導電

膜は、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属元素を含むことが好ましい。

[0936]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体282を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる(図71および図52参照。)

[0937]

また、開口の側壁部に酸化アルミニウムを形成した後に、導電体240aおよび導電体240bを形成してもよい。開口の側壁部に酸化アルミニウムを形成することで、外方からの酸素の透過を抑制し、導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。該酸化アルミニウムの形成は、開口にALD法などを用いて酸化アルミニウムを成膜し、異方性エッチングを行うことで形成することができる。

[0938]

以上により、トランジスタ200Eを有する半導体装置を作製することができる。図61乃至図71に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200Eを作成することができる。

[0939]

なお、図57に、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が小さい角度になる構成例について示す。この様な形状とすることで、酸化物230a、および酸化物230bの側面に絶縁体272および絶縁体275が形成されないので、酸化物230の低抵抗領域である領域231が、酸化物230aの側面にも形成することができる。

[0940]

また、図58に、膜242Aを残存する構成の一例を示す。膜242Aの酸化物230と接する領域以外を高抵抗化して絶縁体242Bとして残存させることで、層間膜として機能させることができる。

[0941]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0942]

以上、本実施の形態に示す構成、方法などは、他の実施の形態および実施例に示す構成、方法などと適宜組み合わせる用いることができる。

[0943]

(実施の形態6)

以下では、本発明の一態様に係るトランジスタに酸化物半導体として用いることができるIn-Ga-Zn酸化物(IGZOと表記する場合がある。)中の水素について説明する。

[0944]

<1. 水素原子の移動>

ここでは、IGZO結晶における水素原子の移動の起こりやすさを、水素原子の移動経路上の活性化障壁の観

点から評価した。なお、水素原子の移動様式には、1つの酸素から他の酸素へのホッピング、および一つの酸素上における移動を想定した。

[0945]

水素原子の移動経路を検討した InGaZnO_4 結晶中の領域区分の模式図を図73に示す。ここでは、図73に示す、 InO_2 領域、(Ga, Zn)O領域、及び InO_2 面と(Ga, Zn)O面の間の領域それぞれにおける経路(ab面内方向)、および各領域を横切る経路(c軸方向)について検討した。

[0946]

活性化障壁の評価には、第一原理電子状態・分子動力学計算パッケージVASP(Vienna ab initio simulation package)を用いて行い、化学反応経路探索手法であるNEB(Nudged Elastic Band)法を援用した。NEB法とは初期状態と最終状態からその2つの状態を結ぶ状態の中で必要なエネルギーが最も低くなる状態を探し出す手法である。活性化障壁は、経路内の最大エネルギーと、経路上で最も安定な構造のエネルギーとの差とした。

[0947]

<< InO_2 面と(Ga, Zn)O面の間の領域>>

図74に、 InO_2 面と(Ga, Zn)O面の間の領域の水素原子の移動経路と、その経路上での活性化障壁を示す。ただし、経路上で最も安定な構造を基準とし、該構造のエネルギーをエネルギーの原点とした。図74(A)及び図74(C)は、水素原子の移動の様子を示し、それぞれ経路A、経路Bとする。なお、図74(A)乃至図74(D)において、数字は水素原子の移動の順番を示す。経路Aでは、水素原子が3から4に向かう経路について、直線的な経路である。一方、経路Bでは、水素原子が3から4に向かう経路について、5を経由した経路である。

[0948]

また、図74(B)は、経路A(水素原子が1から4迄移動する経路)における活性化障壁の計算結果を示し、図74(D)は、経路B(水素原子が1から4迄、5を経由して移動する経路)における活性化障壁の計算結果を示す。なお、図74(B)および図74(D)の横軸は、水素移動経路であり、単位は任意単位(arbitrary unit)とする。

[0949]

図74(B)に示す、経路A上での活性化障壁は1.12eVであり、図74(D)に示す、経路B上での活性化障壁は0.23eVであった。経路Aと比較して、経路B上での活性化障壁の方が小さいため、水素原子が3から4に向かう場合、経路上の障壁が低い経路Bが起こりやすいと考えられる。すなわち、水素原子が InO_2 面と(Ga, Zn)O面の間の領域を移動する際には、経路上の障壁が低い経路Bが起こりやすいと推測される。

[0950]

<<(Ga, Zn)O領域>>

次に、(Ga, Zn)O領域における水素原子の移動経路と、その経路上での活性化障壁を、図75に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図75(A)は、(Ga, Zn)O領域における水素原子の移動の様子を示す。図75(A)において、数字は水素原子の移動の順番を示す。図75(B)は、図75(A)において、水素原子が1から4迄移動する経路における、活性化障壁の計算結果を示す。

[0951]

図75(B)から、(Ga, Zn)O領域における水素原子の移動経路上での活性化障壁は0.16eVであり、図74(D)に示す活性化障壁と比較して小さいことが分かる。障壁の高さのみを考えたとき、水素原子が(Ga, Zn)O領域に存在する場合は、 InO_2 面と(Ga, Zn)O面の間の領域に存在する場合と比較して、水素原子の移動は起こりやすいと予想される。

[0952]

<<InO₂領域>>

次に、InO₂領域における水素原子の移動経路と、その経路上での活性化障壁を図76に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図76(A)は、InO₂領域における水素原子の移動の様子を示す。図76(A)において、数字は水素原子の移動の順番を示す。図76(B)は、図76(A)において、水素原子が1から4迄移動する経路における、活性化障壁の計算結果を示す。

[0953]

図76(B)から、InO₂領域における1つの酸素から他の酸素へ水素原子が移動する際の活性化障壁は、1. 2eV以上であった。つまり、図74(D)および図75(B)に示す活性化障壁と比較して、InO₂領域における水素原子の移動経路上での活性化障壁が非常に大きくなっていることが分かる。したがって、他の領域に比べてInO₂領域では、水素原子の移動は起こりにくいと考えられる。

[0954]

次に、c軸方向に沿った水素原子の移動経路とその経路上での活性化障壁を、図77に示す。ただし、経路上で最も安定な構造を基準とし、該構造をエネルギーの原点とした。図77(A)は、c軸方向に沿った水素原子の移動の様子を示す。図77(A)において、数字は水素原子の移動の順番を示す。図77(B)は、図77(A)において、水素原子が1から8迄移動する経路における、活性化障壁の計算結果を示す。

[0955]

図77(B)から、水素原子が2から5迄移動する経路における活性化障壁は0. 9eVであった。つまり、水素原子が(Ga, Zn)O領域へ入る、あるいは出る際に大きな活性化障壁が存在することが分かる。これは水素原子の移動経路が金属原子と酸素原子の結合に遮られるためと考えられる。また、図77(B)から、水素原子が7から8迄移動する経路における活性化障壁は約1. 5eVであった。つまり、InO₂領域における水素原子の移動でも大きな活性化障壁の存在が確認される。このため、c軸方向への連続した水素原子の移動は起こりにくいと予想される。なお、活性化障壁が大きい原因の一つとして、Inのイオン半径が大きいことが考えられる。

[0956]

ここで、計算により得られた活性化障壁と以下の数式1より、移動頻度(Γ)を算出した。

[0957]

[数1]

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

[0958]

ここで、 E_a は活性化障壁、 k_B はボルツマン定数、 T は絶対温度、 ν は頻度因子を示す。

[0959]

最後に、各経路上の活性化障壁の最大値(最大障壁)から見積もった移動頻度を表1に示す。

[0960]

[表1]

経路		経路上の 最大障壁 (eV)	移動頻度 (1/sec)	
			450°C	27°C
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	A	1.12	1.6E+05	1.0E-06
InO ₂ 面と(Ga,Zn)O面の間の領域 (ab面方向)	B	0.23	2.5E+11	1.4E+09
(Ga,Zn)O領域 (ab面方向)		0.16	7.7E+11	2.1E+10
InO ₂ 領域 (c軸方向)		1.45	8.0E+02	4.6E-12
(Ga,Zn)O面へ入る(出る)経路 (c軸方向)		0.90	5.4E+06	7.8E-03

[0961]

27°C、450°C共に、InO₂面と(Ga, Zn)O面の間の領域、および(Ga, Zn)O領域におけるab面方向への移動頻度が最も高く、一方、InO₂領域におけるc軸方向への移動頻度が低い傾向にあることが分かった。すなわち、完全な結晶系では水素は優先的にab面に沿って拡散することを示唆している。しかし、450°Cの加熱処理においては、水素はIGZO膜中を十分拡散することが分かった。

[0962]

<2. 酸素欠損V_Oのできやすいサイト>

金属原子と酸素原子の結合の強さは金属の種類や価数によって異なるため、IGZO中の酸素欠損V_Oのできやすさは、酸素原子の結合相手となる金属の種類、数、距離等で差が生じると推測される。そこで、InGaZnO₄結晶モデルに対して酸素欠損のできやすさを計算した。

[0963]

計算にはInGaZnO₄結晶モデル(112原子)を用いた。このモデルを図78に示す。(Ga, Zn)O領域内のGaおよびZnは、エネルギー的に安定となるような配置をとった。このとき、結合相手と数より、酸素サイトの種類は4つとなる(図78中に示す1から4)。各酸素サイトについて表2に示す。

[0964]

[表2]

酸素サイト		結合相手
InO ₂ 層	1	In × 3、Ga × 1
	2	In × 3、Zn × 1
(Ga,Zn)O層	3	Ga × 2、Zn × 2
	4	Ga × 2、Zn × 2

[0965]

上記モデルから酸素サイトの酸素原子を一個引き抜くことで、酸素欠損モデルを作成し、当該酸素欠損モデルの構造をエネルギー的に安定にする(最適化する、ともいう。)ための計算を行った。続いて、最適化された構造に対する全エネルギーの比較を行った。計算条件を表3に示す。

[0966]

[表3]

ソフトウェア	VASP
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	500 eV
k点	$2 \times 2 \times 3$

[0967]

最適化された構造に対する全エネルギーの比較を行った。酸素サイト4の酸素欠損モデルの全エネルギーを基準(0. 0eV)として、全エネルギーの相対値を図79に示す。図79より、酸素欠損が形成されやすいのは酸素サイト4であり、酸素サイト2も比較的形成されやすいと推測される。一方、酸素サイト1及び酸素サイト3については、酸素サイト2や酸素サイト4と比べると形成されにくいと推測される。

[0968]

<3. H₂Oの形成しやすさ及び安定性>

IGZO中では、特に加熱処理時には水素は拡散するという計算結果を、<1. 水素原子の移動>において説明した。そこで、酸素欠損V_Oが存在する場合、酸素欠損V_O中の水素は、酸素欠損V_Oから抜け出すかについて計算を行った。ここで、酸素欠損V_O中に水素原子が存在する状態をH_O(V_OHと表記する場合もある。)と表記する。

[0969]

計算には、図78に示すInGaZnO₄結晶モデルを用いた。ここで、酸素欠損V_O中の水素原子がV_Oから抜け出し、酸素原子と結合するまでの水素原子の移動経路における活性化障壁(E_a)を、NEB法を用いて計算した。計算条件を表4に示す。

[0970]

[表4]

ソフトウェア	VASP
計算手法	NEB法
汎関数	GGA-PBE
擬ポテンシャル	PAW
カットオフエネルギー	800 eV
k点	$2 \times 2 \times 3$

[0971]

酸素欠損V_Oを最も形成しやすい酸素サイトは、図78に示す酸素サイト4であるという計算結果を、<2. 酸素欠損V_Oのできやすいサイト>において説明した。そこで、酸素欠損V_Oが、ab面方向に位置する1個のGaと2個のZnと結合した酸素サイト(図78に示す4)に存在する場合、酸素欠損V_O中の水素原子は、酸素欠損V_Oから抜け出すかについて計算を行った。

[0972]

初期状態のモデルを図80(A)に示し、最終状態のモデルを図80(B)に示す。なお、ここでの初期状態とは、酸素欠損V_O中に水素原子が存在する状態(H_O)であり、最終状態とは、酸素欠損V_Oと、1個のGa及び2個のZnと

結合した酸素原子と水素原子とが結合した状態(H-O)を有する構造である。また、水素原子が初期状態から最終状態まで移動する経路における、活性化障壁を図81に示す。図81において、横軸の左端は上記初期状態であり、横軸の右端は上記最終状態である。また、上記初期状態と上記最終状態との間にプロットしている点は、水素原子が移動の際に経由した位置を表す。なお、横軸の単位は任意とする。ここで、初期状態の全エネルギーを基準(0.0eV)とした。

[0973]

計算の結果、酸素欠損 V_O 中の水素原子が V_O から抜け出す際の活性化障壁(E_a)は約1.70eVであった。

[0974]

次に、計算により得られた活性化障壁(E_a)と上記の数式1より、1時間当たりの、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出す平均回数を算出した。

[0975]

頻度因子 $\nu = 10^{13}$ [1/sec]と仮定して、室温および250°Cにおける、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出す平均回数を算出した。図80(A)に示すモデルから図80(B)に示すモデルへ水素原子が移動する平均回数は、室温では約 1×10^{-12} [回]であった。このことから、室温では、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出る確率は極めて低く、 H_O の状態が安定であることが示唆される。また、図80(A)に示すモデルから図80(B)に示すモデルへ水素原子が移動する平均回数は、250°Cでは約2[回]であった。このことから、250°C以上の温度で1時間のベークを行うと、酸素欠損 V_O 中の水素原子が酸素欠損 V_O から抜け出すことが可能であることが示唆される。

[0976]

以上のことから、チャネル形成領域に存在する酸素欠損 V_O 中の水素は、熱処理によって、酸素欠損 V_O から抜け出すことが分かった。また、酸素欠損から抜け出した水素は、低抵抗化した領域に拡散し、低抵抗化した領域に存在する酸素欠損 V_O の中に入って、 H_O となりやすいことが分かった。したがって、熱処理によって、チャネル形成領域の高純度化(水、水素などの不純物の低減)が行われ、ノーマリーオフのトランジスタ特性が得られる。

[0977]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0978]

(実施の形態7)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0979]

<半導体装置の構成例>

図82(A)、図82(B)、および図82(C)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

[0980]

図82(A)は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図82(B)、および図82(C)はセル600の断面図である。ここで、図82(B)は、図82(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図82(C)は、図82(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図82(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0981]

[セル600]

本発明の一態様の半導体装置は、トランジスタ200、容量素子100、および層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。

[0982]

図82に示すセル600は、トランジスタ200と、容量素子100とを、同層に設けることで、トランジスタ200を構成する構造の一部を、容量素子100が構成する構造の一部と、併用することができる。つまり、トランジスタ200の構造の一部は、容量素子100の構造の一部として、機能する場合がある。

[0983]

また、トランジスタ200に、容量素子100の一部、または全体が、重畳することで、トランジスタ200の投影面積、および容量素子100の投影面積の合計した面積を小さくすることができる。

[0984]

また、トランジスタ200と電氣的に接続するプラグ、または配線として機能する導電体240b、および導電体207を、容量素子100、およびトランジスタ200が重畳する領域の下部に設けることで、セル600の微細化、または高集積化が容易となる。また、導電体207は、トランジスタ200の構成要素の一つである導電体205と同工程で形成できるため、工程短縮が可能となる。また、容量素子100において、トランジスタ200と同様に、導電体207の下面に接して、配線として機能する導電体を設けてもよい。

[0985]

なお、容量素子100において、必要な容量値に応じて、トランジスタ200、および容量素子100のレイアウトを適宜設計することができる。

[0986]

例えば、容量素子100の面積は、酸化物230の領域231bと、導電体120が、重畳する面積により決定される。したがって、セル600に必要な容量値が、図82(A)および図82(B)に示す容量素子100では得られない場合、酸化物230aおよび酸化物230bの領域231bにおけるA3-A4方向の幅を、酸化物230aおよび酸化物230bの領域234におけるA3-A4方向の幅よりも大きくすることで、容量値を大きくすることができる。

[0987]

また、例えば、酸化物230の領域231bにおけるA1-A2方向の長さを、導電体120におけるA1-A2方向の長さよりも長くしてもよい。その場合、導電体240bを、絶縁体280に埋め込むことができる。つまり、酸化物230の領域231bと、導電体240bとが、酸化物230の領域231bと導電体120とが重畳しない領域で接するように設けてもよい。したがって、導電体240a、および導電体240bを同一工程で形成することで、工程を短縮することができる。

[0988]

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、トランジスタ200は、容量素子100と、同一の工程で形成する。したがって、工程を短縮することができるため、生産性を向上させることができる。

[0989]

[トランジスタ200]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図82に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトラン

ジスタを用いればよい。

[0990]

[容量素子100]

図82に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能させる容量素子100の例について示す。

[0991]

容量素子100は、酸化物230の領域231b、領域231b上に絶縁体278、絶縁体278上に導電体120を有する。さらに、絶縁体278の上に、少なくとも一部が酸化物230の領域231bと重なるように、導電体120が配置されることが好ましい。また、導電体120の上に接して導電体が配置されることが好ましい。

[0992]

酸化物230の領域231bは、容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。絶縁体278は容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。したがって、容量素子100の電極の一方として機能することができる。

[0993]

絶縁体278は、比誘電率の大きい絶縁体を用いることが好ましく、絶縁体222などに用いることができる絶縁体を用いればよい。例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。また、絶縁体278は、積層構造であってもよい、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などから、2層以上を選び積層構造としてもよい。例えば、ALD法によって、酸化ハフニウム、酸化アルミニウムおよび酸化ハフニウムを順に成膜し、積層構造とすることが好ましい。酸化ハフニウムおよび酸化アルミニウムの膜厚は、それぞれ、0.5nm以上5nm以下とする。このような積層構造とすることで、容量値が大きく、かつ、リーク電流の小さな容量素子100とすることができる。

[0994]

また、図82において、容量素子100の誘電体として絶縁体278を設ける構成を示したが、これに限られるものではない。例えば、絶縁体278以外に、別途、絶縁体を積層して、容量素子100の誘電体として用いる構成にしてもよい。

[0995]

導電体120は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体120は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0996]

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図83、および図84に示す。例えば、図82に示すトランジスタ200、および容量素子100を有するセル600を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[0997]

図83(A)は、図82に示すセル600を、マトリクス状に配置した一形態を示す回路図である。図83(A)におい

ては、行方向に隣り合うセル600が有するトランジスタのソースおよびドレインの一方が共通のBL(BL01、BL02、BL03)と電氣的に接続する。また、当該BLは、列方向に配置されたセル600が有するトランジスタのソースおよびドレインの一方とも電氣的に接続する。一方、行方向に隣り合うセル600が有するトランジスタの第1のゲートは、異なるWL(WL01乃至WL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタの V_{th} を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。

[0998]

図83(B)は、図83(A)における、行の一部としてWL04とBL02に電氣的に接続されたセル600a、およびWL03とBL02に電氣的に接続されたセル600bを含む回路610を抜き出した断面図である。図83(B)は、セル600a、およびセル600bの断面図を示す。

[0999]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[1000]

トランジスタ200aのソースおよびドレインの一方と、トランジスタ200bのソースおよびドレインの一方は、いずれもBL02と電氣的に接続している。

[1001]

上記構成より、ソースおよびドレインの一方と電氣的に接続する配線を共通化することで、セルアレイの占有面積をさらに縮小することができる。

[1002]

図84(A)は、図82に示すセル600を、マトリクス状に配置した回路において、図83(A)と異なる形態を示す回路図である。図84(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタの V_{th} を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。ここで、図84(A)に示すように、セル600の容量の第2の電極は、当該セル600に隣接するセル600の容量の第2の電極と、共通のPLに電氣的に接続する構成としてもよい。

[1003]

図84(B)は、図84(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。図84(B)は、セル600aおよびセル600bの断面図を示す。

[1004]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[1005]

容量素子100aの第2の電極と、容量素子100bの第2の電極は、共通の導電体を用いており、当該導電体はPLと電氣的に接続している。

[1006]

また、セル600を平面に配置するのみでなく、積層して配置する構成としてもよい。図85に回路610を含むセルアレイを $n+1$ 層積層する構成の断面図を示す。図85に示すように、複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[1007]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[1008]

(実施の形態8)

以下では、実施の形態7で示した半導体装置とは異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[1009]

なお、図86乃至図89に示す半導体装置の一例において、実施の形態7で示した半導体装置の一例を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、実施の形態7で説明した半導体装置の一例と異なる部分について説明を行い、それ以外の部分については、実施の形態7で説明した内容を参酌できるものとする。

[1010]

<半導体装置の構成例>

図86(A)、図86(B)、および図86(C)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

[1011]

図86(A)は、トランジスタ200、および容量素子100を有するセル600の上上面図である。また、図86(B)、および図86(C)はセル600の断面図である。ここで、図86(B)は、図86(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図86(C)は、図86(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図86(A)の上上面図では、図の明瞭化のために一部の要素を省いて図示している。

[1012]

[セル600]

本発明の一態様の半導体装置は、トランジスタ200、容量素子100、および層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。

[1013]

[トランジスタ200]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図86に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1014]

[容量素子100]

図86に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能する容量素子100の例について示す。

[1015]

容量素子100は、酸化物230の領域231b、領域231b上に絶縁体275、絶縁体275上に絶縁体273、絶縁体273上に導電体120を有する。さらに、絶縁体273の上に、少なくとも一部が酸化物230の領域231bと重なるように、導電体120が配置されることが好ましい。また、導電体120の上に接して導電体が配置されることが好ましい。

[1016]

酸化物230の領域231bは、容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。絶縁体275および絶縁体273は容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。したがって、容量素子100の電極の一方として機能することができる。

[1017]

また、図86において、容量素子100の誘電体として絶縁体275および絶縁体273を設ける構成を示したが、これに限られるものではない。例えば、絶縁体275および絶縁体273以外に、別途、誘電体用の絶縁体を積層する構成にしてもよい。

[1018]

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図87、および図88に示す。例えば、図86に示すトランジスタ200、および容量素子100を有するセル600を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[1019]

図87(A)は、図86に示すセル600を、マトリクス状に配置した一形態を示す回路図である。図87(A)においては、行方向に隣り合うセル600が有するトランジスタのソースおよびドレインの一方が共通のBL(BL01、BL02、BL03)と電気的に接続する。また、当該BLは、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電気的に接続する。一方、行方向に隣り合うセル600が有するトランジスタの第1のゲートは、異なるWL(WL01乃至WL06)と電気的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタの V_{th} を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電気的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電気的に接続する。

[1020]

図87(B)は、図87(A)における、行の一部としてWL04とBL02に電気的に接続されたセル600a、およびWL03とBL02に電気的に接続されたセル600bを含む回路610を抜き出した断面図である。図87(B)は、セル600a、およびセル600bの断面図を示す。

[1021]

図88(A)は、図86に示すセル600を、マトリクス状に配置した回路において、図87(A)と異なる形態を示す回

路図である。図88(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタの V_{th} を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。ここで、図88(A)に示すように、セル600の容量の第2の電極は、当該セル600に隣接するセル600の容量の第2の電極と、共通のPLに電氣的に接続する構成としてもよい。

[1022]

図88(B)は、図88(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。図88(B)は、セル600aおよびセル600bの断面図を示す。

[1023]

また、セル600を平面に配置するのみでなく、積層して配置する構成としてもよい。図89に回路610を含むセルアレイを $n+1$ 層積層する構成の断面図を示す。図89に示すように、複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[1024]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[1025]

(実施の形態9)

以下では、実施の形態7で示した半導体装置とは異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[1026]

なお、図90乃至図97に示す半導体装置の一例において、実施の形態7で示した半導体装置の一例を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、実施の形態7で説明した半導体装置の一例と異なる部分について説明を行い、それ以外の部分については、実施の形態7で説明した内容を参酌できるものとする。

[1027]

<半導体装置の構成例>

図90(A)、図90(B)、および図90(C)は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する記憶装置をセルと称する。

[1028]

図90(A)は、トランジスタ200、および容量素子100を有するセル600の上上面図である。また、図90(B)、および図90(C)はセル600の断面図である。ここで、図90(B)は、図90(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図90(C)は、図90(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図90(A)の上

面図では、図の明瞭化のために一部の要素を省いて図示している。

[1029]

[セル600]

本発明の一態様の半導体装置は、トランジスタ200、容量素子100、および層間膜として機能する絶縁体280および絶縁体282を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240(導電体240a、導電体240b、および導電体240c)とを有する。

[1030]

なお、容量素子100において、必要な容量値に応じて、トランジスタ200、および容量素子100のレイアウトを適宜設計することができる。

[1031]

例えば、容量素子100の面積は、酸化物230の領域231bと、導電体120が、絶縁体278を介して重畳する面積により決定される。従って、セル600に必要な容量値が図90(A)、および図90(B)に示す容量素子100では得られない場合、領域231bのA3-A4方向の幅を、領域234のA3-A4方向の幅よりも大きくすることで、容量値を大きくすることができる。

[1032]

また、例えば、領域231bのA1-A2方向の長さを、導電体120のA1-A2方向の長さよりも長くしてもよい。その場合、導電体240bを、絶縁体280および絶縁体282に埋め込むことができる。つまり領域231bと、導電体240bとが、領域231bと導電体120とが重畳しない領域で接するように設けてもよい。従って、導電体240a、導電体240b、および導電体240cを同一工程で形成することで、工程を短縮することができる。

[1033]

また、このような構成とすることで、例えば、図90(B)において、開口の位置が設計の位置よりA1側またはA2側にずれても、開口に埋め込まれている導電体240aと領域231aとの電氣的接続、および、開口に埋め込まれている導電体240cと導電体120との電氣的接続が、それぞれ自己整合的に行われるので良好となる。図91に開口がA2側にずれた一例を示す。

[1034]

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることができる。また、トランジスタ200は、容量素子100と、同一の工程で形成する。従って、工程を短縮することができるため、生産性を向上させることができる。

[1035]

[トランジスタ200]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図90に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1036]

[容量素子100]

図90に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能する容量素子100の例について示す。

[1037]

容量素子100は、酸化物230の領域231b、領域231b上に絶縁体278、絶縁体278上に導電体120を有

する。導電体120は、絶縁体278の上に、少なくとも一部が酸化物230の領域231bと重なるように配置されることが好ましい。また、導電体120の上に接して導電体240cが配置されることが好ましい。

[1038]

図90(A)に示すように、上面視において、絶縁体278の側面は、導電体120の側面と一致しているが、これに限られるものではない。例えば、絶縁体278をパターン形成せずに、絶縁体278がトランジスタ200を覆う構成にしてもよい。

[1039]

<セルアレイの構造>

ここで、本実施の形態のセルアレイの一例を、図92乃至図96に示す。例えば、図90に示すトランジスタ200、および容量素子100を有するセル600を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[1040]

図92(A)は、図90に示すセル600を、マトリクス状に配置した一形態を示す回路図である。図92(A)においては、行方向に隣り合うセル600が有するトランジスタのソースおよびドレインの一方が共通のBL(BL01、BL02、BL03)と電気的に接続する。また、当該BLは、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電気的に接続する。一方、行方向に隣り合うセル600が有するトランジスタの第1のゲートは、異なるWL(WL01乃至WL06)と電気的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電気的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電気的に接続する。

[1041]

図92(B)は、図92(A)における、行の一部としてWL04とBL02に電気的に接続されたセル600a、およびWL03とBL02に電気的に接続されたセル600bを含む回路610を抜き出した断面図である。図92(B)は、セル600a、およびセル600bの断面図を示す。

[1042]

また、このような構成とすることで、例えば、図92(B)において、開口の位置が設計の位置よりA1側またはA2側にずれても、開口に埋め込まれている導電体と容量素子100aの一方の電極との電気的接続、開口に埋め込まれている導電体と容量素子100bの一方の電極との電気的接続、ならびに、BL02と接続されている開口に埋め込まれている導電体とトランジスタ200aおよびトランジスタ200bのソースおよびドレインの一方との電気的接続が、それぞれ自己整合的に行われるので良好となる。図93に開口がA2側にずれた一例を示す。

[1043]

図94は、図90に示すセル600を、図92(A)と異なる構成で、マトリクス状に配置した一形態を示す回路図である。図94に示すセルアレイでは、配線BLが行方向に延伸され、配線WLが列方向に延伸される。

[1044]

図94に示すように、セルを構成するトランジスタ200aとトランジスタ200bのソースおよびドレインの一方が共通の配線BL(BL01、BL02、BL03)と電気的に接続する。また、当該配線BLは、行方向に配置されたセル600が有する、トランジスタ200aおよびトランジスタ200bのソースおよびドレインの一方とも電気的に接続する。一方、セル600を構成する、トランジスタ200aの第1のゲート、およびトランジスタ200bの第1のゲートは、それぞれ異なる配線WL(WL01乃至WL06)と電気的に接続する。また、これらの配線WLは、列方向に配置されたセ

ル600が有する、トランジスタ200aの第1のゲート、およびトランジスタ200bの第1のゲートと、それぞれ電氣的に接続する。

[1045]

また、各セル600が有するトランジスタ200aおよびトランジスタ200bには第2のゲートBGが設けられていてもよい。第2のゲートBGと配線BGLとは電氣的に接続され、配線BGLに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する、容量素子100aの導電体120a、および容量素子100bの導電体120bは、それぞれ、異なる配線VLと電氣的に接続する。

[1046]

また、図95は、図94に示す回路図の点線で示す部位に対応する断面図である。図95に図示するように、配線BL02と、配線WL03乃至WL06とは直交している。また、図95に図示するように、配線BL02と、配線VLとは直交している。また、配線VLは、隣接するメモリセル間で共有するように設けられている。

[1047]

図96(A)は、図90に示すセル600を、マトリクス状に配置した回路において、図92(A)と異なる形態を示す回路図である。図96(A)においては、行方向に配置されたセル600が有するトランジスタの第1のゲートが共通のWL(WL01、WL02、WL03)と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通のBL(BL01乃至BL06)と電氣的に接続する。また、各セル600が有するトランジスタには第2のゲートBGが設けられていてもよい。BGに印加される電位により、トランジスタのしきい値を制御することができる。また、セル600が有する容量の第1の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。この時、容量の第1の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル600が有する容量の第2の電極は、PLと電氣的に接続する。ここで、図96(A)に示すように、セル600の容量の第2の電極は、当該セル600に隣接するセル600の容量の第2の電極と、共通のPLに電氣的に接続する構成としてもよい。

[1048]

図96(B)は、図96(A)における、行の一部としてWL02とBL03に電氣的に接続されたセル600a、およびWL02とBL04に電氣的に接続されたセル600bを含む回路620を抜き出した断面図である。図96(B)は、セル600a、およびセル600bの断面図を示す。

[1049]

また、セル600を平面に配置するのみでなく、積層して配置する構成としてもよい。図97に回路610を含むセルアレイを $n+1$ 層積層する構成の断面図を示す。図97に示すように、複数のセルアレイを積層することにより、セルアレイの専有面積を増やすことなく、セルを集積して配置することができる。つまり、3Dセルアレイを構成することができる。

[1050]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[1051]

(実施の形態10)

本実施の形態では、半導体装置の一形態を、図98乃至図102を用いて説明する。

[1052]

<記憶装置1>

図98、および図99に示す記憶装置は、トランジスタ300、トランジスタ200、および容量素子100を有している。

図98は、トランジスタ200およびトランジスタ300のチャンネル長方向の断面図である。図99には、トランジスタ300近傍のトランジスタ300のチャンネル幅方向の断面図を示す。

[1053]

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1054]

図98に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のトップゲートと電氣的に接続され、配線1006はトランジスタ200のボトムゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[1055]

図98に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[1056]

情報の書き込みおよび保持について説明する。まず、配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSNに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される(保持)。

[1057]

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

[1058]

次に情報の読み出しについて説明する。配線1001に所定の電位(定電位)を与えた状態で、配線1005に適切な電位(読み出し電位)を与えると、配線1002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャンネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な配線1005の電位をいうものとする。したがって、配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードSNに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードSNにHighレベル電荷が与えられていた場合には、配線1005の電位が $V_0(>V_{th_H})$ となれば、トランジスタ300は「導通状態」となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、配線1005の電位が $V_0(<V_{th_L})$ となっても、トランジスタ300は「非導通状態」のままである。このため、配線1002の電位を判別することで、ノードSNに保持されている情報を読み出すことができる。

[1059]

<記憶装置1の構造>

本発明の一態様の記憶装置は、図98に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[1060]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ならびに、ソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[1061]

トランジスタ300は、図99に示すように、半導体領域313の上面およびチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[1062]

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[1063]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

[1064]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[1065]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[1066]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[1067]

なお、図98に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1068]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[1069]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[1070]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[1071]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[1072]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[1073]

水素の脱離量は、例えば、TDSなどを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[1074]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[1075]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電気的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[1076]

各プラグ、および配線(導電体328、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[1077]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図98において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1078]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[1079]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[1080]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図98において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1081]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[1082]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図98において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1083]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[1084]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図98において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、

導電体386が形成されている。導電体386は、プラグ、または配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1085]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[1086]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る記憶装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[1087]

絶縁体384、および導電体386上には絶縁体210、絶縁体212、絶縁体214、および絶縁体216が、順に積層して設けられている。絶縁体210、絶縁体212、絶縁体214、および絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[1088]

例えば、絶縁体210、および絶縁体214には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

[1089]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[1090]

また、水素に対するバリア性を有する膜として、例えば、絶縁体210、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[1091]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[1092]

また、例えば、絶縁体212、および絶縁体216には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212、および絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[1093]

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体(導電体205)等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1094]

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[1095]

絶縁体216の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図98に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1096]

トランジスタ200の上方には、絶縁体280を設ける。

[1097]

絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[1098]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[1099]

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[1100]

また、絶縁体220、絶縁体222、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

[1101]

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[1102]

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110、導電体120、および絶縁体130を有する。

[1103]

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体110は、容量素子100の電極としての機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

[1104]

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[1105]

図98では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[1106]

また、導電体112、および導電体110上に、容量素子100の誘電体として、絶縁体130を設ける。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[1107]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁体130を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[1108]

絶縁体130上に、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu(銅)やAl(アルミニウム)等を用いればよい。

[1109]

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[1110]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[1111]

<記憶装置2>

図100に示す半導体装置は、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図100を用いて説明する。

[1112]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図100(A)に示す。また、図100(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図100(B)に示す。

[1113]

基板(図示せず)の上に形成されたトランジスタ200およびトランジスタ400は、異なる構成を有する。例えば、トランジスタ400は、トランジスタ200と比較して、ボトムゲート電圧及びトップゲート電圧が0Vのときのドレイン電流が小さい構成とすればよい。トランジスタ400をスイッチング素子として、トランジスタ200のボトムゲートの電位を制御できる構成とする。これにより、トランジスタ200のボトムゲートと接続するノードを所望の電位にした後、トランジスタ400をオフ状態にすることで、トランジスタ200のボトムゲートと接続するノードの電荷が消失することを抑制することができる。

[1114]

図100に示すように、トランジスタ200は、ゲートが配線1004と、ソースおよびドレインの一方が配線1003と、ソース及びドレインの他方が容量素子100の電極の一方と電気的に接続される。また、容量素子100の電極の他方が配線1005と電気的に接続される。また、トランジスタ400のドレインが配線1010と電気的に接続される。また、図100(A)、(B)に示すように、トランジスタ200のボトムゲートと、トランジスタ400のソース、トップゲート、およびボトムゲートが、配線1006、配線1007、配線1008、および配線1009を介して電気的に接続される。

[1115]

ここで、配線1004に電位を印加することで、トランジスタ200のオン状態、オフ状態を制御することができる。トランジスタ200をオン状態として、配線1003に電位を印加することで、トランジスタ200を介して、容量素子100に電荷を供給することができる。このとき、トランジスタ200をオフ状態にすることで、容量素子100に供給された電荷を保持することができる。また、配線1005は、任意の電位を与えることで、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200のボトムゲートに負の電位を与え、トランジスタ200のしきい値電圧を0Vより大きくし、オフ電流を低減し、 I_{cut} を非常に小さくすることができる。ここで、 I_{cut} とは、トップゲートに印加する電圧が0Vのときのドレイン電流のことを指す。

[1116]

トランジスタ400のトップゲート及びボトムゲートをソースとダイオード接続し、トランジスタ400のソースとトランジスタ200のボトムゲートを接続する構成にすることで、配線1010によって、トランジスタ200のボトムゲート電圧を制御することができる。トランジスタ200のボトムゲートの負電位を保持するとき、トランジスタ400のトップゲートとソース間の電圧、およびボトムゲートとソース間の電圧は、0Vになる。トランジスタ400の I_{cut} が非常に小さく、しきい値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のボトムゲートの負電位を長時間維持することができる。

[1117]

さらに、トランジスタ200のボトムゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200の I_{cut} を非常に小さくすることができる。つまり、トランジスタ200およびトランジスタ400に電源供

給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

[1118]

なお、トランジスタ200、トランジスタ400および容量素子100の接続関係は、図100(A)、(B)に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することができる。

[1119]

<記憶装置2の構造>

図100(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図100に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1120]

本発明の一態様の記憶装置は、図100に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

[1121]

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、および図98で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図100に示す容量素子100、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1122]

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体470と、導電体460の側面に配置された絶縁体475と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体424、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電氣的に接続されている。

[1123]

トランジスタ400において、導電体405は、導電体205と、同じ層である。絶縁体424は、絶縁体224と、同じ層である。酸化物431a、および酸化物432aは、酸化物230aと、同じ層であり、酸化物431b、および酸化物432bは、酸化物230bと、同じ層である。酸化物430cは、酸化物230cと、同じ層である。絶縁体450は、絶縁体250と、同じ層である。金属酸化物452は、金属酸化物252と、同じ層である。導電体460は、導電体260と、同じ層である。また、絶縁体470は、絶縁体270と、同じ層である。また、絶縁体471は、絶縁体271と、同じ層である。また、絶縁体475は、絶縁体275と、同じ層である。

[1124]

トランジスタ400の活性層として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧を0Vより大きくし、オフ電流を低減し、ボトムゲート電圧及びトップゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

る。

[1125]

また、上記の通り、酸化物431a、および酸化物432aは、酸化物230aと同じ層であり、酸化物431b、および酸化物432bは、酸化物230bと同じ層である。よって、酸化物431a、酸化物432a、酸化物431b、および酸化物432bには、領域231aおよび領域231bに相当する低抵抗領域が形成されている。

[1126]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1127]

<記憶装置3>

図101に示す半導体装置は、トランジスタ300、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図101を用いて説明する。

[1128]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1129]

図101において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のトップゲートと電氣的に接続され、配線1006はトランジスタ200のボトムゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400のトップゲートと電氣的に接続され、配線1009はトランジスタ400のボトムゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

[1130]

図101に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[1131]

情報の書き込みおよび保持について説明する。まず、第4の配線1004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSN1に与えられる。即ち、トランジスタ

300のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、第4の配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される(保持)。

[1132]

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

[1133]

次に情報の読み出しについて説明する。第1の配線1001に所定の電位(定電位)を与えた状態で、第5の配線1005に適切な電位(読み出し電位)を与えると、第2の配線1002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な第5の配線1005の電位をいうものとする。したがって、第5の配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードSNに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードSNにHighレベル電荷が与えられていた場合には、第5の配線1005の電位が V_0 ($>V_{th_H}$)となれば、トランジスタ300は「導通状態」となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、第5の配線1005の電位が V_0 ($<V_{th_L}$)となっても、トランジスタ300は「非導通状態」のままである。このため、第2の配線1002の電位を判別することで、ノードSNに保持されている情報を読み出すことができる。

[1134]

<記憶装置3の構造>

[1135]

図101は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図101に示す記憶装置において、先の実施の形態、<記憶装置1の構造>、および<記憶装置2の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1136]

本発明の一態様の記憶装置は、図101に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[1137]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態、および図98乃至図100で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図101に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1138]

図101に示す記憶装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体220、絶縁体222、絶縁体224、絶縁体273、絶縁体274、および絶縁体280に、開口部500を設け、絶縁体210と絶縁体282を接続する例を示している。このような構造とすることで、トランジスタ200、およびトランジスタ400は、絶縁体210と絶縁体282に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部5

00は設けなくてもよい。

[1139]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1140]

<メモリセルアレイの構造>

[1141]

本実施の形態のメモリセルアレイの一例を、図102に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[1142]

なお、図102に示す記憶装置は、図98、および図101に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[1143]

従って、図102には、図101に示すトランジスタ400は省略する。図102は、図98、および図101に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[1144]

また、図102は、図101と、トランジスタ300の構成が異なる。図102に示すトランジスタ300はチャネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFin型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[1145]

図102に示す記憶装置では、メモリセル650aとメモリセル650bが隣接して配置されている。メモリセル650aおよびメモリセル650bは、トランジスタ300、トランジスタ200、および容量素子100を有し、配線1001、配線1002、配線1003、配線1004、配線1005、および配線1006と電気的に接続される。また、メモリセル650aおよびメモリセル650bにおいても、同様にトランジスタ300のゲートと、容量素子100の電極の一方と、が電気的に接続するノードを、ノードSNとする。なお、配線1002は隣接するメモリセル650aとメモリセル650bで共通の配線である。

[1146]

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがNOR型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さない

メモリセルと接続される配線1005に与えればよい。または、例えば、メモリセルアレイがNAND型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードSNに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線1005に与えればよい。

[1147]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1148]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[1149]

(実施の形態11)

本実施の形態では、実施の形態10で示した半導体装置の一形態とは異なる、半導体装置の一形態を、図103乃至図106を用いて説明する。

[1150]

なお、図103乃至図106に示す半導体装置の一形態において、実施の形態10で示した半導体装置の一形態を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、実施の形態10で説明した半導体装置の一形態と異なる部分について説明を行い、それ以外の部分については、実施の形態10で説明した内容を参酌できるものとする。

[1151]

<記憶装置1>

図103に示す記憶装置は、トランジスタ300、トランジスタ200、および容量素子100を有している。図103は、トランジスタ200およびトランジスタ300のチャネル長方向の断面図である。

[1152]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1153]

図103に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。なお、情報の書き込み、保持、読み出しについては、先の実施の形態の説明を参酌することができる。

[1154]

<記憶装置1の構造>

本発明の一態様の記憶装置は、図103に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[1155]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図103に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1156]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[1157]

<記憶装置2>

図104に示す半導体装置は、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図104を用いて説明する。

[1158]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図104(A)に示す。また、図104(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図104(B)に示す。

[1159]

<記憶装置2の構造>

図104(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図104に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1160]

本発明の一態様の記憶装置は、図104に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

[1161]

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、および図103で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図104に示す容量素子100、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1162]

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体470と、導電体460の側面に配置された絶縁体472と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体424、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電氣的に接続されている。

[1163]

トランジスタ400において、導電体405は、導電体205と、同じ層である。絶縁体424は、絶縁体224と、同じ層である。酸化物431a、および酸化物432aは、酸化物230aと、同じ層であり、酸化物431b、および酸化物432bは、酸化物230bと、同じ層である。酸化物430cは、酸化物230cと、同じ層である。絶縁体450は、絶縁体250と、同じ層である。金属酸化物452は、金属酸化物252と、同じ層である。導電体460は、導電体260と、同じ層である。また、絶縁体470は、絶縁体270と、同じ層である。また、絶縁体471は、絶縁体271と、同じ層である。また、絶縁体472は、絶縁体272と、同じ層である。

[1164]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1165]

<記憶装置3>

図105に示す半導体装置は、トランジスタ300、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図105を用いて説明する。

[1166]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1167]

<記憶装置3の構造>

[1168]

図105は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図105に示す記憶装置において、先の実施の形態、<記憶装置1の構造>、および<記憶装置2の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1169]

本発明の一態様の記憶装置は、図105に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[1170]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態、および図103乃至図104で説明した半導体装置、および記憶装置が有する容量及びトランジスタを用いればよい。なお、図105に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、

その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1171]

図105に示す記憶装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体220、絶縁体222、絶縁体224、絶縁体275、絶縁体273、絶縁体274、および絶縁体280に、開口部500を設け、絶縁体210と絶縁体282を接続する例を示している。このような構造とすることで、トランジスタ200、およびトランジスタ400は、絶縁体210と絶縁体282に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部500は設けなくてもよい。

[1172]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1173]

<メモリセルアレイの構造>

[1174]

本実施の形態のメモリセルアレイの一例を、図106に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[1175]

なお、図106に示す記憶装置は、図103、および図105に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[1176]

従って、図106には、図105に示すトランジスタ400は省略する。図106は、図103、および図105に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[1177]

なお、図106に示すトランジスタ300の説明は、図102に示すトランジスタ300の説明を参酌することができる。

[1178]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1179]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[1180]

(実施の形態12)

本実施の形態では、半導体装置の一形態を、図107乃至図111を用いて説明する。

[1181]

なお、図107乃至図111に示す半導体装置の一形態において、先の実施の形態で示した半導体装置の一形態を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、先の実施の形態で説明した半導体装置の一形態と異なる部分について説明を行い、それ以外の部分については、先の実施の形態で説明した内容を参酌できるものとする。

[1182]

<記憶装置1>

図107、および図108に示す記憶装置は、トランジスタ300、トランジスタ200、および容量素子100を有している。図107および図108は、トランジスタ200およびトランジスタ300のチャネル長方向の断面図である。

[1183]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1184]

図107、および図108に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200のトップゲートと電氣的に接続され、配線1006はトランジスタ200のボトムゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[1185]

図107、および図108に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。なお、情報の書き込み、保持、読み出しについては、先の実施の形態の説明を参酌することができる。

[1186]

<記憶装置1の構造>

本発明の一態様の記憶装置は、図107に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[1187]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図107に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1188]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。

る。または、消費電力が低減された半導体装置を提供することができる。

[1189]

<記憶装置1の変形例>

以下では、図108を用いて、本発明の一態様に係る記憶装置の一例について説明する。

[1190]

図108は、容量素子100、トランジスタ200、およびトランジスタ300を有する記憶装置の断面図である。なお、図108に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1191]

図108に示す記憶装置は、<記憶装置1の構造>に示した記憶装置と、先の実施の形態で説明したセル600を設けた点において異なる。

[1192]

具体的には、図108に示す記憶装置は、容量素子100と、トランジスタ200を独立して設ける代わりに、容量素子100の構成の一部と、トランジスタ200の構成の一部とを共有するセル600を有する。

[1193]

上記構造により、セル600と、トランジスタ300との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。したがって、セル600の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

[1194]

<記憶装置2>

図109に示す半導体装置は、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図109を用いて説明する。

[1195]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図109(A)に示す。また、図109(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図109(B)に示す。

[1196]

<記憶装置2の構造>

図109(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図109に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1197]

本発明の一態様の記憶装置は、図109に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

[1198]

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、ならびに図107および図108で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図109に示す容量素子100、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1199]

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体471、および絶縁体472と、絶縁体472を介して導電体460の側面に配置された絶縁体473と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体224、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電気的に接続されている。

[1200]

トランジスタ400において、絶縁体473は、絶縁体273と、同じ層である。

[1201]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1202]

<記憶装置3>

図110に示す半導体装置は、トランジスタ300、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図110を用いて説明する。

[1203]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1204]

<記憶装置3の構造>

[1205]

図110は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図110に示す記憶装置において、先の実施の形態、<記憶装置1の構造>、および<記憶装置2の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1206]

本発明の一態様の記憶装置は、図110に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[1207]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態、および図107乃至図109で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図110に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1208]

図110に示す記憶装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体220、絶縁体222、および絶縁体280に、開口部500を設け、絶縁体210と絶縁体282を接続する例を示している。このような構造とすることで、トランジスタ200、およびトランジスタ400は、絶縁体210と絶縁体282に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部500は設けなくてもよい。

[1209]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1210]

<メモリセルアレイの構造>

[1211]

本実施の形態のメモリセルアレイの一例を、図111に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[1212]

なお、図111に示す記憶装置は、図107、および図110に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電位を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[1213]

したがって、図111には、図110に示すトランジスタ400は省略する。図111は、図107、および図110に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[1214]

また、図111は、図110と、トランジスタ300の構成が異なる。図111に示すトランジスタ300はチャネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFin型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[1215]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法など

と適宜組み合わせ用いることができる。

[1216]

(実施の形態13)

本実施の形態では、半導体装置の一形態を、図112乃至図116を用いて説明する。

[1217]

なお、図112乃至図116に示す半導体装置の一形態において、先の実施の形態で示した半導体装置の一形態を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、先の実施の形態で説明した半導体装置の一形態を異なる部分について説明を行い、それ以外の部分については、先の実施の形態で説明した内容を参酌できるものとする。

[1218]

<記憶装置1>

図112、および図113に示す記憶装置は、トランジスタ300、トランジスタ200、および容量素子100を有している。図112および図113は、トランジスタ200およびトランジスタ300のチャネル長方向の断面図である。

[1219]

<記憶装置1の構造>

本発明の一態様の記憶装置は、図112に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[1220]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図112に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1221]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[1222]

<記憶装置1の変形例>

以下では、図113を用いて、本発明の一態様に係る記憶装置の一例について説明する。

[1223]

図113は、容量素子100、トランジスタ200、およびトランジスタ300を有する記憶装置の断面図である。なお、図113に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1224]

図113に示す記憶装置は、<記憶装置1の構造>に示した記憶装置と、先の実施の形態で説明したセル600を設けた点において異なる。

[1225]

具体的には、図113に示す記憶装置は、容量素子100と、トランジスタ200を独立して設ける代わりに、容量素子100の構成の一部と、トランジスタ200の構成の一部とを共有するセル600を有する。

[1226]

上記構造により、セル600と、トランジスタ300との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。したがって、セル600の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

[1227]

<記憶装置2>

図114に示す半導体装置は、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図114を用いて説明する。

[1228]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図114(A)に示す。また、図114(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図114(B)に示す。

[1229]

<記憶装置2の構造>

図114(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図114に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1230]

本発明の一態様の記憶装置は、図114に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

[1231]

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、ならびに図112および図113で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図114に示す容量素子100、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1232]

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体471、および絶縁体472と、絶縁体472を介して導電体460の側面に配置された絶縁体477と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体224、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電気的に接続されている。

[1233]

トランジスタ400において、絶縁体477は、絶縁体277と、同じ層である。

[1234]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導

体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1235]

<記憶装置3>

図115に示す半導体装置は、トランジスタ300、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図115を用いて説明する。

[1236]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1237]

<記憶装置3の構造>

[1238]

図115は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図115に示す記憶装置において、先の実施の形態、<記憶装置1の構造>、および<記憶装置2の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1239]

本発明の一態様の記憶装置は、図115に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[1240]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態、および図112乃至図114で説明した半導体装置、および記憶装置が有する容量およびトランジスタを用いればよい。なお、図115に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1241]

図115に示す記憶装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体220、絶縁体222、絶縁体275、絶縁体273、および絶縁体280に、開口部500を設け、絶縁体210と絶縁体282を接続する例を示している。このような構造とすることで、トランジスタ200、およびトランジスタ400は、絶縁体210と絶縁体282に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部500は設けなくてもよい。

[1242]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を

抑制するとともに、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1243]

<メモリセルアレイの構造>

[1244]

本実施の形態のメモリセルアレイの一例を、図116に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[1245]

なお、図116に示す記憶装置は、図112、および図115に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電位を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

[1246]

したがって、図116には、図115に示すトランジスタ400は省略する。図116は、図112、および図115に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[1247]

また、図116は、図115と、トランジスタ300の構成が異なる。図116に示すトランジスタ300はチャネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFin型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[1248]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態や実施例に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[1249]

(実施の形態14)

本実施の形態では、半導体装置の一形態を、図117乃至図121を用いて説明する。

[1250]

なお、図117乃至図121に示す半導体装置の一形態において、先の実施の形態で示した半導体装置の一形態を構成する構造と同機能を有する構造には、同符号も付記している。また、以下では、主に、先の実施の形態で説明した半導体装置の一形態を異なる部分について説明を行い、それ以外の部分については、先の実施の形態で説明した内容を参酌できるものとする。

[1251]

<記憶装置1>

図117、および図118に示す記憶装置は、トランジスタ300、トランジスタ200、および容量素子100を有している。図117および図118は、トランジスタ200およびトランジスタ300のチャネル長方向の断面図である。

[1252]

<記憶装置1の構造>

本発明の一態様の記憶装置は、図117に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[1253]

トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図117に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1254]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[1255]

<記憶装置1の変形例>

以下では、図118を用いて、本発明の一態様に係る記憶装置の一例について説明する。

[1256]

図118は、容量素子100、トランジスタ200、およびトランジスタ300を有する記憶装置の断面図である。なお、図118に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1257]

図118に示す記憶装置は、<記憶装置1の構造>に示した記憶装置と、先の実施の形態で説明したセル600を設けた点において異なる。

[1258]

具体的には、図118に示す記憶装置は、容量素子100と、トランジスタ200を独立して設ける代わりに、容量素子100の構成の一部と、トランジスタ200の構成の一部とを共有するセル600を有する。

[1259]

上記構造により、セル600と、トランジスタ300との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。従って、セル600の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

[1260]

<記憶装置2>

図119に示す半導体装置は、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図119を用いて説明する。

[1261]

本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図119(A)に示す。また、図119(A)に示す配線1003から配線1010などを対応させた半導体装置の断面図を図119(B)に示す。

[1262]

<記憶装置2の構造>

図119(B)は、容量素子100、トランジスタ200、およびトランジスタ400を有する記憶装置の断面図である。なお、図119に示す記憶装置において、先の実施の形態、および<記憶装置1の構造>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1263]

本発明の一態様の記憶装置は、図119に示すようにトランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400は同一層に設けられ、容量素子100はトランジスタ200、およびトランジスタ400の上方に設けられている。

[1264]

なお、容量素子100、およびトランジスタ200としては、先の実施の形態、ならびに図117および図118で説明した半導体装置、および記憶装置が有する容量及びトランジスタを用いればよい。なお、図119に示す容量素子100、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1265]

トランジスタ400は、トランジスタ200と同じ層に形成されており、並行して作製することができるトランジスタである。トランジスタ400は、トップゲート電極として機能する導電体460(導電体460a、および導電体460b)と、ボトムゲート電極として機能する導電体405と、導電体460と接する絶縁体470、および絶縁体472と、絶縁体472を介して導電体460の側面に配置された絶縁体475と、ゲート絶縁層として機能する絶縁体220、絶縁体222、絶縁体224、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する酸化物432a、および酸化物432bと、を有する。また、ボトムゲート電極として機能する導電体405は、配線として機能する導電体403と、電氣的に接続されている。

[1266]

トランジスタ400において、絶縁体470は、絶縁体270と、同じ層である。また、絶縁体472は、絶縁体272と、同じ層である。

[1267]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1268]

<記憶装置3>

図120に示す半導体装置は、トランジスタ300、トランジスタ400、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図120を用いて説明する。

[1269]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が

小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[1270]

<記憶装置3の構造>

[1271]

図120は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図120に示す記憶装置において、先の実施の形態、<記憶装置1の構造>、および<記憶装置2の構造>、に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[1272]

本発明の一態様の記憶装置は、図120に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[1273]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態、および図117乃至図119で説明した半導体装置、および記憶装置が有する容量及びトランジスタを用いればよい。なお、図120に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[1274]

図120に示す記憶装置では、絶縁体212、絶縁体214、絶縁体216、絶縁体220、絶縁体222、および絶縁体280に、開口部500を設け、絶縁体210と絶縁体282を接続する例を示している。このような構造とすることで、トランジスタ200、およびトランジスタ400は、絶縁体210と絶縁体282に囲まれるため、水や水素などの不純物の影響を受けにくくなる。また、酸化物や絶縁体中の酸素の外部への放出が低減される。このような構造を有する記憶装置は、信頼性が向上するため、好ましい。なお、開口部500は設けなくてもよい。

[1275]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[1276]

<メモリセルアレイの構造>

[1277]

本実施の形態のメモリセルアレイの一例を、図121に示す。トランジスタ200をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[1278]

なお、図127に示す記憶装置は、図117、および図120に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。なお、1個のトランジスタ400は、複数のトランジスタ200のボトムゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けると

よい。

[1279]

従って、図121には、図120に示すトランジスタ400は省略する。図121は、図117、および図120に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

[1280]

また、図121は、図120と、トランジスタ300の構成が異なる。図121に示すトランジスタ300はチャネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFin型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[1281]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例に示す構成、構造、方法などと適宜組み合わせ用いることができる。

[1282]

(実施の形態15)

本実施の形態では、上記実施の形態に示す半導体装置を用いたインバータ回路について説明を行う。なお、本明細書中において、高電源電圧をHレベル(又はVDD)、低電源電圧をLレベル(又はGND)と呼ぶ場合がある。

[1283]

<インバータ回路の構成例>

図122(A)に示す回路INVは、容量素子C1と、直列に接続されたトランジスタM1、トランジスタM2およびトランジスタM3と、を有する。回路INVは、インバータ回路としての機能を有する。

[1284]

トランジスタM1乃至トランジスタM3はnチャネル型トランジスタである。回路INVはnチャネル型のトランジスタのみで構成されているので、CMOSTランジスタで構成されるインバータ回路と比べて、製造コストを低減させることができる。

[1285]

トランジスタM1乃至トランジスタM3として、上記実施の形態に示す半導体装置が有するトランジスタ200などを用いることが好ましい。

[1286]

トランジスタM1は、互いに電氣的に接続された第1ゲートと第2ゲートを有する。第1ゲートと第2ゲートとは半導体層を間に介して互いに重なる領域を有する。トランジスタM2、トランジスタM3についても同様である。なお、第1ゲートをトップゲート、第2ゲートをボトムゲートという場合がある。

[1287]

回路INVは、端子IN、端子OUT、端子CLKおよび端子CLKBを有する。端子INは入力端子として機能し、端子OUTは出力端子として機能する。端子CLKはクロック信号が入力され、端子CLKBは端子CLKに入力されるクロック信号の反転信号が入力される。

[1288]

また、回路INVは、電源電圧としてVDD、VSSが供給される。VDDは、高電源電圧であり、トランジスタM1のド

レインに入力される。VSSは、低電源電圧であり、トランジスタM3のソースに入力される。

[1289]

トランジスタM1において、トップゲートおよびボトムゲートは端子CLKに電氣的に接続され、ソースはトランジスタM2のドレインに電氣的に接続される。

[1290]

トランジスタM2において、トップゲートおよびボトムゲートは端子CLKBに電氣的に接続され、ソースはトランジスタM3のドレインに電氣的に接続される。

[1291]

トランジスタM3において、トップゲートおよびボトムゲートは端子INに電氣的に接続される。

[1292]

容量素子C1の第1端子はトランジスタM1のソースに電氣的に接続される。容量素子C1の第2端子はVSSが入力される。

[1293]

端子OUTは、トランジスタM1のソース、トランジスタM2のドレインおよび容量素子C1の第1端子に電氣的に接続される。

[1294]

なお、容量素子C1は配線の寄生容量やトランジスタのゲート容量で代用してもよい。その場合、これら半導体装置の占有面積を小さくすることができる。

[1295]

次に、回路INVの動作について説明を行う。

[1296]

図122(B)は回路INVの動作を説明するためのタイミングチャートである。それぞれ、端子IN、端子CLK、端子CLKB、端子OUTの電位変化を表している。また、図122(B)を期間P1、期間P2、期間P3の3つの期間に分類している。

[1297]

端子INは、期間P1乃至期間P3の間、Hレベルが与えられている。すなわち、期間P1乃至期間P3において、トランジスタM3はオンになっている。

[1298]

期間P1において、端子CLKに電位VHが入力され、端子CLKBに電位VLが入力される。トランジスタM1はオンになり、トランジスタM2はオフになる。このとき、容量素子C1にVDDが供給され、容量素子C1は充電(プリチャージ)を開始する。

[1299]

なお、VHは、VDDとトランジスタM1のしきい値電圧(V_{th})を足し合わせた電圧($VDD + V_{th}$)以上にすることが好ましい。そうすることで、端子OUTにVDDを正確に伝えることができる。VLは低電源電圧(又はGND)とすればよい。なお、VHを高電位、VLを低電位と呼ぶ場合もある。

[1300]

期間P2において、端子CLKにVLが入力され、端子CLKBにVHが入力される。トランジスタM1はオフになり、トランジスタM2はオンになる。このとき、トランジスタM3はオンであるため、容量素子C1の第1端子とトランジスタM3のソースが導通状態になり、容量素子C1は放電を開始する。最終的に端子OUTはLレベルを出力する。すなわち、端子OUTは端子INに入力された信号の反転信号を出力する。

[1301]

期間P3において、端子CLKにVHが入力され、端子CLKBにVLが入力される。トランジスタM1はオンになり、トランジスタM2はオフになる。期間P1と同様に、容量素子C1は再びプリチャージを開始する。

[1302]

期間P1乃至期間P3における端子INの入力をLレベルとした場合、期間P2において、端子OUTはHレベルを出力する。すなわち、端子OUTは端子INに入力された信号の反転信号を出力する。

[1303]

以上より、回路INVは端子CLKがVHのときに容量素子C1のプリチャージを行い、端子CLKがVLのときにインバータ回路として動作することがわかる。

[1304]

また、回路INVは、容量素子C1の充電と放電を繰り返すことで動作するダイナミックロジック回路として機能することがわかる。トランジスタM1は容量素子C1を充電するプリチャージ用のトランジスタとして機能し、トランジスタM2は容量素子C1に蓄積された電荷を放電するディスチャージ用のトランジスタとして機能する。

[1305]

トランジスタM1乃至トランジスタM3は、オフ電流が小さいトランジスタを用いることが好ましい。オフ電流が小さいトランジスタとして、チャネル形成領域に金属酸化物または酸化物半導体を用いたトランジスタ(以下、OSTランジスタと呼ぶ)が挙げられる。なお、ここでオフ電流が小さいとは、トランジスタのオフ電流が、好ましくは 10^{-18} A/ μ m以下、さらに好ましくは 10^{-21} A/ μ m以下、さらに好ましくは 10^{-24} A/ μ m以下のことを言う。

[1306]

トランジスタM1乃至トランジスタM3にOSTランジスタを用いることで、回路INVは貫通電流を小さくすることができる。その結果、回路INVは消費電力を低減させることができる。

[1307]

また、トランジスタM1乃至トランジスタM3にOSTランジスタを用いることで、容量素子C1にプリチャージされた電荷が、リーク電流によって失われずに済む。その結果、回路INVはより正確にデータを伝えることができる。

[1308]

トランジスタM1は、トップゲートとボトムゲートを電氣的に接続することで、トップゲートとボトムゲートから同時に半導体層にゲート電圧を印加することが可能になり、オン電流を増大させることができる。トランジスタM2およびトランジスタM3についても同様である。その結果、回路INVは、動作周波数の高いインバータ回路を実現することができる。

[1309]

回路INVは、端子INをトランジスタM2のトップゲートおよびボトムゲートに電氣的に接続し、端子CLKBをトランジスタM3のトップゲートおよびボトムゲートに電氣的に接続してもよい。

[1310]

また、トランジスタM1乃至トランジスタM3がそれぞれ有するボトムゲートは、トップゲートと異なる電位を与えてもよい。例えば、トランジスタM1乃至トランジスタM3がそれぞれ有するボトムゲートに共通の固定電位を与えてもよい。そうすることで、回路INVは、トランジスタM1乃至トランジスタM3のしきい値電圧を制御することができる。

[1311]

また、回路INVは、場合によっては、トランジスタM1乃至トランジスタM3のボトムゲートを全て省略してもよい。その場合、回路INVは製造工程を簡略化することができる。

[1312]

以上、回路INVは消費電力が小さく単極性のトランジスタで構成されるインバータ回路を提供することができる。また、動作周波数が高く単極性のトランジスタで構成されるインバータ回路を提供することができる。

[1313]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせる用いることができる。

[1314]

(実施の形態16)

本実施の形態では、図123乃至図125を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ(以下、OSTランジスタと呼ぶ。)、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM(登録商標)とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型(2T型、3T型)のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[1315]

NOSRAMでは、メモリセルにOSTランジスタが用いられるメモリ装置(以下、「OSメモリ」と呼ぶ。)が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSTランジスタを有するメモリである。OSTランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[1316]

<<NOSRAM1600>>

図123にNOSRAMの構成例を示す。図123に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[1317]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、複数のワード線RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット(8値)のデータを記憶する。

[1318]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号(例えば、チップイネーブル信号、書き込みイネーブル信号など)を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[1319]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[1320]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC(デジタルアナログ変換回路)1663を有する。

[1321]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[3

1:0]を3ビットごとに、アナログ電圧に変換する。

[1322]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[1323]

出力ドライバ1670は、セクタ1671、ADC(アナログーデジタル変換回路)1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[1324]

なお、本実施の形態に示す、行ドライバ1650、列ドライバ1660、および出力ドライバ1670の構成は、上記に限定されるものではない。メモリセルアレイ1610の構成または駆動方法などに応じて、これらのドライバおよび当該ドライバに接続される配線の配置を変更してもよいし、これらのドライバおよび当該ドライバに接続される配線の有する機能を変更または追加してもよい。例えば、上記のソース線SLが有する機能の一部を、ビット線BLに有せしめる構成にしてもよい。

[1325]

なお、上記においては、各メモリセル1611に保持させる情報量を3ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。各メモリセル1611に保持させる情報量を2ビット以下にしてもよいし、4ビット以上にしてもよい。例えば、各メモリセル1611に保持させる情報量を1ビットにする場合、DAC1663およびADC1672を設けない構成にしてもよい。

[1326]

<メモリセル1611乃至メモリセル1614>

図124(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、ワード線RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSTランジスタMO61、トランジスタMP61、容量素子C61を有する。OSTランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電位を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

[1327]

メモリセル1611の書き込みトランジスタがOSTランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

[1328]

図124(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図124(B)に示すように、書き込みビット線として機能する、ビット線WBLと、読み出しビット線として機能する、ビット線RBLとを設けてもよい。

[1329]

図124(C)乃至図124(E)にメモリセルの他の構成例を示す。図124(C)乃至図124(E)には、書き込み用のビット線WBLと読み出し用のビット線RBLを設けた例を示しているが、図124(A)のように書き込みと読み出

して共有されるビット線を設けてもよい。

[1330]

図124(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOSTランジスタであってもよいし、Siトランジスタであってもよい。

[1331]

メモリセル1611、メモリセル1612において、OSTランジスタMO61はボトムゲートの無いOSTランジスタであってもよい。

[1332]

図124(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、ワード線RWL、ビット線WBL、ビット線RBL、ソース線SL、配線BGL、配線PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSTランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSTランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

[1333]

図124(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(トランジスタMN62、トランジスタMN63)に変更したものである。トランジスタMN62、トランジスタMN63はOSTランジスタであってもよいし、Siトランジスタであってもよい。

[1334]

メモリセル1611乃至メモリセル1614に設けられるOSTランジスタは、ボトムゲートの無いトランジスタでもよいし、ボトムゲートが有るトランジスタであってもよい。

[1335]

上記においては、メモリセル1611などが並列に接続された、いわゆるNOR型の記憶装置について説明したが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、以下に示すようなメモリセル1615が直列に接続された、いわゆるNAND型の記憶装置にしてもよい。

[1336]

図125はNAND型のメモリセルアレイ1610の構成例を示す回路図である。図125に示すメモリセルアレイ1610は、ソース線SL、ビット線RBL、ビット線WBL、ワード線WWL、ワード線RWL、配線BGL、およびメモリセル1615を有する。メモリセル1615は、ノードSN、OSTランジスタMO63、トランジスタMN64、容量素子C63を有する。ここで、トランジスタMN64は、例えばnチャネル型Siトランジスタで構成される。これに限られず、トランジスタMN64は、pチャネル型Siトランジスタ、であってもよいし、OSTランジスタであってもよい。

[1337]

以下では、図125に示すメモリセル1615aおよびメモリセル1615bを例として説明する。ここで、メモリセル1615aまたはメモリセル1615bのいずれかに接続する配線、または回路素子の符号については、aまたはbの符号を付して表す。

[1338]

メモリセル1615aにおいて、トランジスタMN64aのゲートと、OSTランジスタMO63aのソースおよびドレインの一方と、容量素子C63aの電極の一方とは、電氣的に接続されている。また、ビット線WBLとOSTランジスタMO63aのソースおよびドレインの他方とは、電氣的に接続されている。また、ワード線WWLaと、OSTランジスタMO63aのゲートとは、電氣的に接続されている。また、配線BGLaと、OSTランジスタMO63aのボトムゲート

とは、電氣的に接続されている。そして、ワード線RWLaと、容量素子C63aの電極の他方は電氣的に接続されている。

[1339]

メモリセル1615bは、ビット線WBLとのコンタクト部を対称の軸として、メモリセル1615aと対称的に設けることができる。よって、メモリセル1615bに含まれる回路素子も、上記メモリセル1615aと同じように配線と接続される。

[1340]

さらに、メモリセル1615aが有するトランジスタMN64aのソースは、メモリセル1615bのトランジスタMN64bのドレインと電氣的に接続される。メモリセル1615aが有するトランジスタMN64aのドレインは、ビット線RBLと電氣的に接続される。メモリセル1615bが有するトランジスタMN64bのソースは、複数のメモリセル1615が有するトランジスタMN64を介してソース線SLと電氣的に接続される。このように、NAND型のメモリセルアレイ1610では、ビット線RBLとソース線SLの間に、複数のトランジスタMN64が直列に接続される。

[1341]

図125に示すメモリセルアレイ1610を有する記憶装置では、同じワード線WWL(またはワード線RWL)に接続された複数のメモリセル(以下、メモリセル列と呼ぶ。)ごとに、書き込み動作および読み出し動作を行う。例えば、書き込み動作は次のように行うことができる。書き込みを行うメモリセル列に接続されたワード線WWLにOSTランジスタMO63がオン状態となる電位を与え、書き込みを行うメモリセル列のOSTランジスタMO63をオン状態にする。これにより、指定したメモリセル列のトランジスタMN64のゲートおよび容量素子C63の電極の一方にビット線WBLの電位が与えられ、該ゲートに所定の電荷が与えられる。それから当該メモリセル列のOSTランジスタMO63をオフ状態にすると、該ゲートに与えられた所定の電荷を保持することができる。このようにして、指定したメモリセル列のメモリセル1615にデータを書き込むことができる。

[1342]

また、例えば、読み出し動作は次のように行うことができる。まず、読み出しを行うメモリセル列に接続されていないワード線RWLに、トランジスタMN64のゲートに与えられた電荷によらず、トランジスタMN64がオン状態となるような電位を与え、読み出しを行うメモリセル列以外のトランジスタMN64をオン状態とする。それから、読み出しを行うメモリセル列に接続されたワード線RWLに、トランジスタMN64のゲートが有する電荷によって、トランジスタMN64のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線RBLに接続されている読み出し回路を動作状態とする。ここで、ソース線SLービット線RBL間の複数のトランジスタMN64は、読み出しを行うメモリセル列を除いてオン状態となっているため、ソース線SLービット線RBL間のコンダクタンスは、読み出しを行うメモリセル列のトランジスタMN64の状態(オン状態またはオフ状態)によって決定される。読み出しを行うメモリセル列のトランジスタMN64のゲートが有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線RBLの電位は異なる値をとることになる。ビット線RBLの電位を読み出し回路によって読み出すことで、指定したメモリセル列のメモリセル1615から情報を読み出すことができる。

[1343]

容量素子C61、容量素子C62、または容量素子C63の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[1344]

上記実施の形態に示す半導体装置をメモリセル1611、メモリセル1612、メモリセル1613、メモリセル1614、

メモリセル1615に用いる場合、OSTランジスタMO61、OSTランジスタMO62、OSTランジスタMO63としてトランジスタ200を用い、容量素子C61、容量素子C62、容量素子C63として容量素子100を用い、トランジスタMP61、トランジスタMP62、トランジスタMP63、トランジスタMN61、トランジスタMN62、トランジスタMN63、トランジスタMN64としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[1345]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせ用いることができる。

[1346]

(実施の形態17)

本実施の形態では、図126および図127を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM(登録商標)とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T(トランジスタ)1C(容量)型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[1347]

<<DOSRAM1400>>

図126にDOSRAMの構成例を示す。図126に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420(以下、「MC-SAアレイ1420」と呼ぶ。)を有する。

[1348]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、グローバルビット線GBLRを有する。

[1349]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、グローバルビット線GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[1350]

メモリセルアレイ1422は、N個(Nは2以上の整数)のローカルメモリセルアレイ1425<0>乃至ローカルメモリセルアレイ1425<N-1>を有する。図127(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BLL、複数のビット線BLRを有する。図127(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[1351]

図127(B)に共通のビット線BLL(ビット線BLR)に接続される、ペア状の一組のメモリセル1445aおよびメモリセル1445bの回路構成例を示す。メモリセル1445aはトランジスタMW1a、容量素子CS1a、端子B1a、端

子B2aを有し、ワード線WLa、ビット線BLL(ビット線BLR)に接続される。また、メモリセル1445bはトランジスタMW1b、容量素子CS1b、端子B1b、端子B2bを有し、ワード線WLb、ビット線BLL(ビット線BLR)に接続される。なお、以下において、メモリセル1445aおよびメモリセル1445bのいずれかを特に限定しない場合は、メモリセル1445およびそれに付随する構成にaまたはbの符号を付さない場合がある。

[1352]

トランジスタMW1aは容量素子CS1aの充放電を制御する機能を持ち、トランジスタMW1bは容量素子CS1bの充放電を制御する機能をもつ。トランジスタMW1aのゲートはワード線WLaに電氣的に接続され、第1端子はビット線BLL(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1aの第1端子に電氣的に接続されている。また、トランジスタMW1bのゲートはワード線WLbに電氣的に接続され、第1端子はビット線BLL(ビット線BLR)に電氣的に接続され、第2端子は容量素子CS1bの第1端子に電氣的に接続されている。このように、ビット線BLL(ビット線BLR)がトランジスタMW1aの第1端子とトランジスタMW1bの第1端子に共通で用いられる。

[1353]

トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電位(例えば、低電源電位)が入力される。

[1354]

上記実施の形態に示す半導体装置をメモリセル1445a、メモリセル1445bに用いる場合、トランジスタMW1aとしてトランジスタ200a、トランジスタMW1bとしてトランジスタ200bを用い、容量素子CS1aとして容量素子100aを用い、容量素子CS1bとして容量素子100bを用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[1355]

トランジスタMW1はボトムゲートを備えており、ボトムゲートは端子B1に電氣的に接続されている。そのため、端子B1の電位によって、トランジスタMW1のしきい値電圧を変更することができる。例えば、端子B1の電位は固定電位(例えば、負の定電位)であってもよいし、DOSRAM1400の動作に応じて、端子B1の電位を変化させてもよい。

[1356]

トランジスタMW1のボトムゲートをトランジスタMW1のゲート、第1端子、または第2端子に電氣的に接続してもよい。あるいは、トランジスタMW1にボトムゲートを設けなくてもよい。

[1357]

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>乃至ローカルセンスアンプアレイ1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電位差を増幅する機能、この電位差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

[1358]

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BLLとビット線BLRが1組のビット線対を成す。グローバルビット線GBLLとグローバルビット線G

BLR)とが1組のグローバルビット線対をなす。以下、ビット線対(BLL, BLR)、グローバルビット線対(GBLL, GBLR)とも表す。

[1359]

(コントローラ1405)

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[1360]

(行回路1410)

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[1361]

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

[1362]

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

[1363]

グローバルセンスアンプ1447はグローバルビット線対(GBLL, GBLR)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GBLL, GBLR)間の電位差を増幅する機能、この電位差を保持する機能を有する。グローバルビット線対(GBLL, GBLR)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[1364]

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

[1365]

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列の

ビット線対の電位差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

[1366]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[1367]

トランジスタMW1はOSTランジスタである。OSTランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[1368]

MC-SAアレイ1420が積層構造であることによって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[1369]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせる用いることができる。

[1370]

(実施の形態18)

本実施の形態では、図128から図131を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA(フィールドプログラマブルゲートアレイ)について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

[1371]

<<OS-FPGA>>

図128(A)にOS-FPGAの構成例を示す。図128(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替えとPLE毎の細粒度パワーゲーティングを実行するNOFF(ノーマリーオフ)コンピューティングが可能である。OS-FPGA3110は、コントローラ(Controller)3111、ワードドライバ(Word driver)3112、データドライバ(Data driver)3113、プログラマブルエリア(Programmable area)3115を有する。

[1372]

プログラマブルエリア3115は、2個の入出力ブロック(IOB)3117、コア3119を有する。IOB3117は複数のプログラマブル入出力回路を有する。コア(Core)3119は、複数のロジックアレイブロック(LAB)3120、複数のスイッチアレイブロック(SAB)3130を有する。LAB3120は複数のPLE3121を有する。図128(B)には、LAB3120を5個のPLE3121で構成する例を示す。図128(C)に示すようにSAB3130はアレイ状に配列された

複数のスイッチブロック(SB)3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4(上下左右)方向のLAB3120に接続される。

[1373]

図129(A)乃至図129(C)を参照して、SB3131について説明する。図129(A)に示すSB3131には、data、datab、信号context[1:0]、信号word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。

[1374]

SB3131は、PRS(プログラマブルルーティングスイッチ)3133[0]、PRS3133[1]を有する。PRS3133[0]、PRS3133[1]は、相補データを格納できるコンフィギュレーションメモリ(CM)を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

[1375]

図129(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133[1]とは同じ回路構成を有する。PRS3133[0]とPRS3133[1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context[0]、信号word[0]はPRS3133[0]に入力され、信号context[1]、信号word[1]はPRS3133[1]に入力される。例えば、SB3131において、信号context[0]が“H”になることで、PRS3133[0]がアクティブになる。

[1376]

PRS3133[0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、メモリ回路3137Bを有する。メモリ回路3137、メモリ回路3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、OSTランジスタMO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、OSTランジスタMOB32を有する。

[1377]

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、OSTランジスタMOB31としてトランジスタ200を用い、容量素子C31、容量素子CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[1378]

OSTランジスタMO31、OSTランジスタMO32、OSTランジスタMOB31、OSTランジスタMOB32はボトムゲートを有し、これらボトムゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[1379]

SiトランジスタM31のゲートがノードN31であり、OSTランジスタMO32のゲートがノードN32であり、OSTランジスタMOB32のゲートがノードNB32である。ノードN32、ノードNB32はCM3135の電荷保持ノードである。OSTランジスタMO32はノードN31と信号context[0]用の信号線との間の導通状態を制御する。OSTランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

[1380]

メモリ回路3137、メモリ回路3137Bが保持するデータの論理は相補的な関係にある。したがって、OSTランジスタMO32またはOSTランジスタMOB32の何れか一方が導通する。

[1381]

図129(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既書き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

[1382]

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子(input)が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子(output)も“L”が維持される。

[1383]

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

[1384]

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSTランジスタMO32がソースフォロアであるために、ブースティング(boosting)によってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOSTランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

[1385]

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレクサの機能を併せ持つ。

[1386]

図130にPLE3121の構成例を示す。PLE3121はルックアップテーブルブロック(LUT block)3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA、inB、inC、inDに従って内部のデータを選択し、出力する構成である。セクタ3125は、CM3126が格納するコンフィギュレーションデータに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

[1387]

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

[1388]

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ(以下[OS-FF]と呼ぶ)である。

[1389]

レジスタブロック3124は、OS-FF3140[1]、OS-FF3140[2]を有する。信号user__res、信号load、信号storeがOS-FF3140[1]、OS-FF3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図131(A)にOS-FF3140の構成例を示す。

[1390]

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、ノードR、ノードD、ノードQ、ノードQBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user__resが入力される。信号user__resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノ

ードQとノードQBとは論理が相補関係にある。

[1391]

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、ノードQBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、ノードQBに書き戻す。

[1392]

シャドウレジスタ3142は、インバータ回路3188、インバータ回路3189、SiトランジスタM37、SiトランジスタMB37、メモリ回路3143、メモリ回路3143Bを有する。メモリ回路3143、メモリ回路3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、OSTランジスタMO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、ノードNB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、ノードNB37は、SiトランジスタM37、SiトランジスタMB37のゲートである。

[1393]

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、OSTランジスタMOB35としてトランジスタ200を用い、容量素子C36、容量素子CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[1394]

OSTランジスタMO35、OSTランジスタMO36、OSTランジスタMOB35、OSTランジスタMOB36はボトムゲートを有し、これらボトムゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[1395]

図131(B)を参照して、OS-FF3140の動作方法例を説明する。

[1396]

(バックアップ(Backup))

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、ノードQBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

[1397]

(リカバリ(Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

[1398]

細粒度パワーゲーティングと、OS-FF3140のバックアップ／リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

[1399]

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

[1400]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせる用いることができる。

[1401]

(実施の形態19)

本実施の形態では、図132を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[1402]

図132はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030と、を有する。

[1403]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

[1404]

制御部4020は、CPU(Central Processing Unit)4021と、GPU(Graphics Processing Unit)4022と、PLL(Phase Locked Loop)4023と、SRAM(Static Random Access Memory)4024と、PROM(Programmable Read Only Memory)4025と、メモリコントローラ4026と、電源回路4027と、PMU(Power Management Unit)4028と、を有する。

[1405]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[1406]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[1407]

アナログ演算回路4011はA/D(アナログ/デジタル)変換回路、D/A(デジタル/アナログ)変換回路、および積和演算回路を有する。

[1408]

アナログ演算回路4011はOSTランジスタを用いて形成することが好ましい。OSTランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[1409]

DOSRAM4012は、OSTランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSTランジスタを含むメモ

リセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[1410]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[1411]

NOSRAM4013はOSTランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM(Resistive Random Access Memory)、MRAM(Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

[1412]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[1413]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット(8値)以上の分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[1414]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[1415]

FPGA4014は、OSTランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

[1416]

FPGA4014はOS-FPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[1417]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を

1つのダイ(チップ)の上に設けることができる。そのため、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[1418]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一本または複数を、選択して設ければよい。

[1419]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[1420]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[1421]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げることができる。

[1422]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[1423]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ(論理値)を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[1424]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[1425]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[1426]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうする

ことで、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

[1427]

ニューラルネットワークの計算に用いられるデータは外部記憶装置(HDD(Hard Disk Drive)、SSD(Solid State Drive)など)に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

[1428]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード(符号化)およびデコード(復号)を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

[1429]

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB(Universal Serial Bus)やI2C(Inter-Integrated Circuit)などを含む。

[1430]

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

[1431]

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する(演算回路とメモリを同じダイの上に形成する)ことが非常に難しい。

[1432]

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[1433]

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

[1434]

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

[1435]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせ用いることができる。

[1436]

(実施の形態20)

<AIシステムの応用例>

本実施の形態では、上記実施の形態に示すAIシステムの応用例について図133を用いて説明を行う。

[1437]

図133(A)は、図132で説明したAIシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、AIシステム4041Aである。

[1438]

図133(A)に図示するAIシステム4041Aは、複数のAIシステム4041__1乃至AIシステム4041__n(nは自然数)を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

[1439]

また図133(B)は、図132で説明したAIシステム4041を図133(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

[1440]

図133(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

[1441]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

[1442]

図133(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[1443]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせ用いることができる。

[1444]

(実施の形態21)

本実施の形態では、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

[1445]

上記実施の形態に示すAIシステムは、CPU等のSiトランジスタでなるデジタル処理回路と、OSトランジスタを用いたアナログ演算回路、OS-FPGAおよびDOSRAM、NOSRAM等のOSメモリを、1のダイに集積することができる。

[1446]

図134に、AIシステムを組み込んだICの一例を示す。図134に示すAIシステムIC7000は、リード7001及び

回路部7003を有する。AIシステムIC7000は、例えばプリント基板7002に実装される。このようなICチップが複数組み合わせられて、それぞれがプリント基板7002上で電氣的に接続されることで電子部品が実装された基板（実装基板7004）が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態に示すように、積層構造をもち、Siトランジスタ層7031、配線層7032、OSTランジスタ層7033に大別される。OSTランジスタ層7033をSiトランジスタ層7031に積層して設けることができるため、AIシステムIC7000の小型化が容易である。

[1447]

図134では、AIシステムIC7000のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。

[1448]

CPU等のデジタル処理回路と、OSTランジスタを用いたアナログ演算回路、OS-FPGA、DOSRAM、NOSRAM等のOSメモリは、全て、Siトランジスタ層7031、配線層7032およびOSTランジスタ層7033に形成することができる。すなわち、上記AIシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記AIシステムを低コストで組み込むことができる。

[1449]

本実施の形態に示す構成は、他の実施の形態および実施例などに示す構成と適宜組み合わせる用いることができる。

[1450]

(実施の形態22)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図135乃至図137に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[1451]

図135(A)に示すロボット2100は、演算装置2110、照度センサ2101、マイクロフォン2102、上部カメラ2103、スピーカ2104、ディスプレイ2105、下部カメラ2106、障害物センサ2107、および移動機構2108を備える。

[1452]

マイクロフォン2102は、使用者の話し声及び環境音等を検知する機能を有する。また、スピーカ2104は、音声を発する機能を有する。ロボット2100は、マイクロフォン2102およびスピーカ2104を用いて、使用者とコミュニケーションをとることが可能である。

[1453]

ディスプレイ2105は、種々の情報の表示を行う機能を有する。ロボット2100は、使用者の望みの情報をディスプレイ2105に表示することが可能である。ディスプレイ2105は、タッチパネルを搭載していてもよい。

[1454]

上部カメラ2103および下部カメラ2106は、ロボット2100の周囲を撮像する機能を有する。また、障害物センサ2107は、移動機構2108を用いてロボット2100が前進する際の進行方向における障害物の有無を察知することができる。ロボット2100は、上部カメラ2103、下部カメラ2106および障害物センサ2107を用いて、周囲の環境を認識し、安全に移動することが可能である。

[1455]

図135(B)に示す飛行体2120は、演算装置2121と、プロペラ2123と、カメラ2122と、を有し、自立して飛行する機能を有する。

[1456]

飛行体2120において、演算装置2121およびカメラ2122に上記電子部品を用いることができる。

[1457]

図135(C)は、自動車の一例を示す外観図である。自動車2980は、カメラ2981等を有する。また、自動車2980は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサなどを備える。自動車2980は、カメラ2981が撮影した画像を解析し、歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。

[1458]

図135(D)に、互いに別々の言語で話す複数の人間のコミュニケーションにおいて、携帯電子機器2130に同時通訳を行わせる状況を示す。

[1459]

携帯電子機器2130は、マイクロフォンおよびスピーカ等を有し、使用者の話し声を認識してそれを話し相手の話す言語に翻訳する機能を有する。

[1460]

また、図135(D)において、使用者は携帯型マイクロフォン2131を有する。携帯型マイクロフォン2131は、無線通信機能を有し、検知した音声を携帯電子機器2130に送信する機能を有する。

[1461]

図136(A)は、ペースメーカーの一例を示す断面模式図である。

[1462]

ペースメーカー本体5300は、バッテリー5301aと、バッテリー5301bと、レギュレータと、制御回路と、アンテナ5304と、右心房へのワイヤ5302、右心室へのワイヤ5303とを少なくとも有している。

[1463]

ペースメーカー本体5300は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5305及び上大静脈5306を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[1464]

また、アンテナ5304で電力が受信でき、その電力はバッテリー5301a、バッテリー5301bに充電され、ペースメーカーの交換頻度を少なくすることができる。ペースメーカー本体5300は複数のバッテリーを有しているため、安全性が高く、一方が故障したとしてももう一方が機能することができるため、補助電源としても機能する。

[1465]

また、電力を受信できるアンテナ5304とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温などの生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[1466]

図136(B)に示すセンサ5900は、接着パッド等を用いて人体に取り付けられる。センサ5900は、配線5932を介して人体に取り付けられた電極5931等に信号を与えて心拍数、心電図等の生体情報等を取得する。取得された情報は無線信号として、読み取り器等の端末に送信される。

[1467]

図137は、掃除ロボットの一例を示す模式図である。

[1468]

掃除ロボット5100は、上面に配置されたディスプレイ5101、側面に配置された複数のカメラ5102、ブラシ5103、操作ボタン5104を有する。また図示されていないが、掃除ロボット5100の下面には、タイヤ、吸い込み口等が備えられている。掃除ロボット5100は、その他に赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなどの各種センサを備えている。また、掃除ロボット5100は、無線による通信手段を備えている。

[1469]

掃除ロボット5100は自走し、ゴミ5120を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

[1470]

また、掃除ロボット5100はカメラ5102が撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシ5103に絡まりそうな物体を検知した場合は、ブラシ5103の回転を止めることができる。

[1471]

ディスプレイ5101には、バッテリーの残量や、吸引したゴミの量などを表示することができる。掃除ロボット5100が走行した経路をディスプレイ5101に表示させてもよい。また、ディスプレイ5101をタッチパネルとし、操作ボタン5104をディスプレイ5101に設けてもよい。

[1472]

掃除ロボット5100は、スマートフォンなどの携帯電子機器5140と通信することができる。カメラ5102が撮影した画像は、携帯電子機器5140に表示させることができる。そのため、掃除ロボット5100の持ち主は、外出先からでも、部屋の様子を知ることができる。また、ディスプレイ5101の表示をスマートフォンなどの携帯電子機器5140で確認することもできる。

[1473]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

[1474]

また、例えば、上述した電子機器の演算装置などに、上記AIシステムが組み込まれたICを用いることができる。これにより、本実施の形態に示す電子機器は、AIシステムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

[1475]

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[1476]

(実施の形態23)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図138および図139に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[1477]

図138(A)に示すロボット2000は、演算装置2001、センサ2002、ライト2003、リフト2004、駆動部2005、

移動機構2011を備えており、移動しながら静止画や動画を撮影することができる。このようなロボットは、警備システムや、監視システムとして用いることができる。

[1478]

ロボット2000は、さらに、通信手段2006、スピーカ2007、マイクロフォン2008、表示部2009、発光部2010などを備えていてもよい。

[1479]

演算装置2001には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置2001には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。センサ2002は、ロボット2000の周囲を撮影する、カメラとしての機能を有する。ライト2003は、センサ2002でロボット2000の周囲を撮影する際のライトとして用いることができる。なお、センサ2002で、静止画を撮影する際には、ライト2003は、フラッシュライトとして機能することが好ましい。センサ2002は、リフト2004を介して、ロボット本体と接続されている。センサ2002の高さは、リフト2004により調整することができる。リフト2004は、伸縮式であることが好ましい。また、リフト2004は、複数のブームにより構成された折り畳み式のものでもよい。また、ロボット2000には、駆動部2005と、駆動部2005に接続された移動機構2011が設けられているため、センサ2002による撮像範囲、すなわち監視範囲が広がり、好ましい。

[1480]

通信手段2006は、センサ2002により撮像された情報を管理者や、管理者が所有するサーバへ送信することができる。また、センサ2002により撮像された情報を演算装置2001にて解析し、犯罪、事故、火災などの非常事態と判断された場合は、警備会社、警察、消防、医療機関、土地や建物のオーナーへ連絡することができる。スピーカ2007は、犯罪者への警告、怪我人や急病人への問いかけ、避難の誘導など、ロボット周囲に情報の発信を行うことができる。マイクロフォン2008は、ロボット2000の周囲の音声の取得に用いることができる。また、通信手段2006、およびスピーカ2007と合わせて用いることで、ロボット2000は電話としての機能を有することができる。ロボット2000の周囲にいる人は、管理者や任意の人と会話することができる。表示部2009は、任意の情報を表示することができる。非常時の場合は、災害情報や避難経路を表示することができる。また、通信手段2006、スピーカ2007、およびマイクロフォン2008と合わせて用いることで、ロボット2000はテレビ電話としての機能を有することができる。ロボット2000の周囲にいる人は、管理者や任意の人と表示部2009を見ながら会話することができる。

[1481]

発光部2010は、ロボット2000の進行方向や停止状態を文字や光で示すことができる。また、非常事態を示してもよい。

[1482]

図138(B)は、ロボット2000の構成を示すブロック図である。演算装置2001は、センサ2002により得られた映像などの情報から、ライト2003の点灯や消灯、明るさの調整を行う。また、リフト2004の高さの調整、あるいは、駆動部2005の制御を行い、ロボット2000や、センサ2002の位置合わせを行う。また、駆動部2005の動作状況を、発光部2010を用いて示すことができる。また、通信手段2006を用いて、センサ2002やマイクロフォン2008から得られたロボット2000の周囲の情報を管理者、または管理者が所有するサーバに送信することができる。また、演算装置2001や、管理者の判断により、スピーカ2007や表示部2009を用いて、ロボット2000の周囲に情報を発信することができる。

[1483]

センサ2002に用いるセンサとして、周囲が暗くても撮像が可能なセンサを用いる場合は、ライト2003は設け

なくてもよい。このようなセンサとして、受光部にセレン(Se)を用いたイメージセンサを用いることができる。

[1484]

このようなロボット2000は、商業施設や、オフィスの警備に用いることができる。センサ2002やマイクロフォン2008から得られた情報は、演算装置2001やサーバに保存される。保存された情報は、AIシステムにより解析され、物品の紛失や破損、不審者の侵入、火災などの災害などの異常の有無を判断する。情報の解析には、ディープラーニングを用いてもよい。異常が発生したと判断した場合、ロボット2000は、管理者への連絡および周囲への情報発信を行い、周囲の状況を記録する。

[1485]

また、ロボット2000は、農作物の生育状況の監視に用いてもよい。田んぼや畑に設置されたロボット2000は、センサ2002により、農作物の葉、あるいは実の形、大きさ、色を監視し、病気になっていないか、害虫の付着が無いかを判断する。ロボット2000には、移動機構2011が設けられているため、広範囲の農作物の生育状況を監視することができる。また、ロボット2000には、リフト2004が設けられているため、農作物の種類や、生育状況によらず、任意の高さの葉や実を監視することができる。監視結果は、通信手段2006を用いて生産者に送られ、生産者は、農作物に必要な肥料や農薬の種類、量、散布時期を判断することができる。また、演算装置2001を用いて、監視結果を、AIシステムにより解析し、農作物に必要な、肥料や農薬の種類、量、散布時期を判断して、生産者に通知してもよい。監視結果の解析には、ディープラーニングを用いてもよい。

[1486]

図139(A)は、ロボット3001を用いた、仕分けシステム3000を示す。ロボット3001は、演算装置3002、ブーム3003、およびアーム3004を備えている。また、ロボット3001は有線、または無線の通信手段3011を備えていてもよい。また、仕分けシステム3000は、センサ3009を有する筐体3008を備えている。筐体3008は、通信手段3010を有している。筐体3008は、仕分けシステム3000、または仕分け作業エリアの天井、壁、梁(いずれも図示せず)に設けられる。また、筐体3008は、ロボット3001に設けられていてもよい。例えば、ブーム3003、またはアーム3004に設けられていてもよい。筐体3008がロボット3001に設けられている場合は、センサ3009により得られた情報は、通信手段3010、および通信手段3011を介さず、演算装置3002に送られ、処理されてもよい。

[1487]

ブーム3003は、可動式となっており、アーム3004を所望の位置に配置することができる。また、アーム3004は伸縮式としてもよい。所望の物品3007上に配置されたアームを伸ばし、所望の物品3007を掴み、アーム3004を縮めた後、ブーム3003によりアーム3004を移動してもよい。

[1488]

仕分けシステム3000は、容器3005内の物品3007を容器3006に移動させることができる。容器3005と容器3006は、同一形状でも良いし、異なる形状でもよい。また、一つの容器3005に入れられた複数の物品3007を複数の容器3006に振り分けて移動してもよい。

[1489]

容器3005、および容器3006として、コンテナ、段ボール箱、商品を梱包する箱、ケース、フィルム、または袋、食品保管用のバット、弁当箱などが用いられる。また、容器3005、および容器3006の少なくとも一方は、鍋やフライパンなどの調理器具でもよい。

[1490]

演算装置3002には、本発明の一態様に係る半導体装置を用いることができる。また、演算装置3002には、本発明の一態様に係るAIシステムが組み込まれたICを用いることができる。

[1491]

センサ3009は、容器3005の位置、容器3006の位置、容器3005内、および容器3005内の物品3007の状態を読み取り、通信手段3010を用いて演算装置3002に情報を送信する。情報の送信は無線または、有線で行う。また、通信手段3010を用いずに、有線にて情報を送信してもよい。演算装置3002は、送信された情報の解析を行う。ここで、物品3007の状態とは、形、数、物品3007同士の重なりなどのことを指す。演算装置3002は、センサ3009からの情報をもとに解析を行い、物品3007の詳細情報を導出する。演算装置3002、またはロボット3001と通信可能なサーバに保存されたデータと比較し、物品3007の三次元形状や、堅さ(柔らかさ)を導出する。また、物品3007の三次元形状や堅さ(柔らかさ)から、アーム3004の形状を変えることができる。

[1492]

物品3007の詳細情報を導出するには、AIシステムを用いた解析を利用することができる。情報の解析には、ディープラーニングを用いてもよい。

[1493]

図139(B)は、一対の板3021が水平方向に移動し、物品3007を挟むことができるアームである。一対の板3021が中心に向かって水平方向に移動することで、物品3007を挟むことができる。このようなアームは、物品3007を面で捉えることができ、立方体や直方体など、柱状の形を有する物品3007を掴むのに適している。図139(C)は、複数のバー3022が水平方向に移動し、物品3007を挟むことができるアームである。複数のバー3022が中心に向かって水平方向に移動することで、物品3007を挟むことができる。このようなアームは、物品3007を点で捉えることができ、球状の形を有する物品3007、または物品3007の形が一定でない場合、すなわち不定形な物品3007を掴むのに適している。なお、図139(C)では、バー3022の数を4本としたが、本実施の形態はこれに限らない。バー3022は3本でもよいし、5本以上でも良い。図139(D)は、一対の板3023が、共通の軸を中心に、お互いが近づくように回転することで物品3007を挟むことができるアームである。このようなアームは、物品3007を面で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品3007を掴むのに適している。図139(E)は、一対のかぎ状の板3024が、共通の軸を中心に、お互いの先端が近づくように回転することで物品3007を挟むことができるアームである。このようなアームは、物品3007を点、または線で捉えることができ、紙やフィルムなど、薄膜状の形を有する物品3007や、より小さい粒状の形を有する物品3007を掴むのに適している。また、図139(F)に示すように、アームの先端にヘラ3025を取り付け、より小さい粒状の形を有する物品3007をすくってもよい。

[1494]

図139(A)乃至図139(F)に示すアームは、一例であり、本発明の一態様はこれらの形状に限らない。また、各アームの用途の説明も一例であり、本発明の一態様はこれらの記載に限らない。

[1495]

ロボット3001は、演算装置3002からの信号に基づき、ブーム3003を動かし、アーム3004を、容器3005内の所望の物品3007上に移動する。伸縮式のアーム3004の場合、アーム3004を伸ばし、アーム3004の先端を物品3007の高さまで降ろす。アームの先端を動かし、所望の物品3007を掴む。物品3007を掴んだまま、アームを縮める。再びブーム3003を動かし、アーム3004を、容器3006上の所望の位置に移動する。このとき、容器3006に対する物品3007の角度を調整する為、アーム3004を回転してもよい。アーム3004を伸ばし、物品3007を容器3006に配置し、アーム3004は、物品3007を放す。以上の操作を繰り返し行い、ロボット3001は、物品3007を容器3005から容器3006に移動させることができる。

[1496]

容器3005、および容器3006の位置情報、ならびに物品3007の状態をAIシステムを用いて解析しているた

め、物品3007の形状や堅さによらず、確実に物品3007を移動することができる。物品3007の例としては、立方体、直方体、または任意の形状の箱またはケースに詰められた物品だけでなく、卵、ハンバーグやコロケなど、成形された加工食品、ジャガイモやトマトなど、不定形な野菜などの食品、ネジやナットなどの機械部品、紙やフィルムなどの薄膜などが挙げられる。本実施の形態に示した仕分けシステム3000は、物品3007の形状や堅さを考慮してアームの形状を変えることができるため、上記に例示した物品3007を、形状や堅さによらず、容器3005から容器3006に移動させることができる。

[1497]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

[1498]

また、例えば、上述した電子機器の演算装置などに、上記AIシステムが組み込まれたICを用いることができる。これにより、本実施の形態に示す電子機器は、AIシステムによって、状況に応じた的確な動作を、低消費電力で行うことができる。

[1499]

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[実施例1]

[1500]

本実施例では、酸化物上に金属化合物を形成したときの、酸化物のシート抵抗の推移を測定した。シート抵抗測定器には、測定上限が $6.0 \times 10^6 \Omega / \text{sq.}$ であるものを用いた。酸化物のシート抵抗の推移を図140に示す。シート抵抗の推移の評価に用いたサンプルを以下に説明する。

[1501]

サンプル1の作製方法について説明する。シリコンを含む基板の表面を、塩化水素(HCl)雰囲気中で熱処理し、基板上に100nmの酸化シリコン膜を形成した。次に、酸化シリコン膜上に、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて、膜厚5nmの酸化物を形成し、さらに、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、膜厚15nmの酸化物を形成した。次に、形成した酸化物に対して、窒素雰囲気にて400°Cの温度で1時間の加熱処理を行い、連続して酸素雰囲気にて400°Cの温度で1時間の加熱処理を行う、第1の加熱処理を実施した。サンプル1の酸化物のシート抵抗を測定したところ、オーバーレンジとなり、酸化物のシート抵抗が $6.0 \times 10^6 \Omega / \text{sq.}$ 以上であることがわかった。

[1502]

次に、サンプル2の作製方法について説明する。サンプル1と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第1の加熱処理を行った。第1の加熱処理後、酸化物上に、スパッタリング法によって、Ti:Al=1:1[原子数比]のターゲットを用い、窒素を含む雰囲気にて、膜厚2nmの金属化合物を形成した。得られた金属化合物は、チタン、アルミニウム、および窒素を含んでおり、 TiAlN_x と表記することができる。サンプル2の酸化物のシート抵抗を測定したところ、 $3.8 \times 10^3 \Omega / \text{sq.}$ であった。酸化物上に金属化合物を形成することで、酸化物のシート抵抗値が低減した。

[1503]

次に、サンプル3の作製方法について説明する。サンプル2と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第1の加熱処理を行った。第1の加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形

成後、窒素雰囲気にて400°Cの温度で1時間の第2の加熱処理を行った。サンプル3の酸化物のシート抵抗を測定したところ、 $2.9 \times 10^3 \Omega / \text{sq.}$ であった。金属化合物の形成により低減した酸化物のシート抵抗値にほぼ変動は無いが、サンプル2と比較して、サンプル3の酸化物のシート抵抗値は、低減した。

[1504]

次に、サンプル4の作製方法について説明する。サンプル3と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第1の加熱処理を行った。第1の加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、第2の加熱処理を行った。第2の加熱処理後、スパッタリング法によって、酸化アルミニウム(Al_2O_3)を含むターゲットを用い、アルゴンと酸素を含む雰囲気にて、膜厚20nmの酸化アルミニウムを形成した。酸化アルミニウムの形成により、酸化物に酸素(過剰酸素)が供給されると考えられる。ここで、酸化物に酸素が供給されることで、酸化物の抵抗値は増加し、I型半導体に近づく場合がある。サンプル4の酸化物のシート抵抗を測定したところ、 $1.9 \times 10^3 \Omega / \text{sq.}$ であった。なお、サンプル4において、酸化物のシート抵抗の測定は、酸化アルミニウム除去後に行った。金属化合物の形成によりシート抵抗値が低減した酸化物において、酸化アルミニウムの形成によるシート抵抗値の上昇は見られず、サンプル3と比較して、サンプル4の酸化物のシート抵抗値は、低減した。

[1505]

次に、サンプル5の作製方法について説明する。サンプル4と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第1の加熱処理を行った。第1の加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、第2の加熱処理を行った。第2の加熱処理後、酸化アルミニウムを形成した。酸化アルミニウムの形成後に、窒素雰囲気にて400°Cの温度で1時間の加熱処理を行い、連続して酸素雰囲気にて400°Cの温度で1時間の加熱処理を行う、第3の加熱処理を実施した。第3の加熱処理により、酸化アルミニウムに含まれる酸素が酸化物に拡散することが考えられる。サンプル5の酸化物のシート抵抗を測定したところ、 $1.5 \times 10^3 \Omega / \text{sq.}$ であった。なお、サンプル5において、酸化物のシート抵抗の測定は、酸化アルミニウム除去後に行った。金属化合物の形成によりシート抵抗値が低減した酸化物において、酸化アルミニウムの形成、および第3の加熱処理によるシート抵抗値の上昇は見られなかった。また、サンプル3、およびサンプル4と比較して、サンプル5の酸化物のシート抵抗値は低減した。

[1506]

本実施例は、他の実施の形態および実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例2]

[1507]

本実施例では、酸化物上に金属化合物が設けられ、該金属化合物上に金属酸化物が設けられた試料の、酸化物中の水素濃度を評価した結果について説明する。水素濃度の評価には、SSDP(Substrate Side Depth Profile)－SIMS分析を用いた。

[1508]

以下に、SSDP－SIMS分析に用いたサンプル6及びサンプル7の作製方法について説明する。

[1509]

サンプル6の作製方法について説明する。シリコンを含む基板の表面を、塩化水素(HCl)雰囲気中で熱処理し、基板上に100nmの酸化シリコン膜を形成した。次に、酸化シリコン膜上に、スパッタリング法によって、 $\text{In:Ga:Zn}=4:2:4.1$ [原子数比]のターゲットを用いて、膜厚50nmの酸化物を形成した。次に、形成した酸化物に対して、窒素雰囲気にて400°Cの温度で1時間の加熱処理を行い、連続して酸素雰囲気にて400°Cの温度で1時間

の第1の加熱処理を行った。第1の加熱処理後、酸化物上に、スパッタリング法によって、Ti:Al=1:1[原子数比]のターゲットを用い、窒素を含む雰囲気にて、膜厚2nmの金属化合物を形成した。次に、金属化合物の形成後、窒素雰囲気にて400℃の温度で1時間の第2の加熱処理を行った。第2の加熱処理後、スパッタリング法によって、酸化アルミニウム(Al_2O_3)を含むターゲットを用い、アルゴンと酸素を含む雰囲気にて、膜厚20nmの酸化アルミニウムを形成し、サンプル6を得た。

[1510]

次に、サンプル7の作製方法について説明する。サンプル6と同様に、基板上に酸化シリコン膜、および酸化物を形成し、第1の加熱処理を行った。第1の加熱処理後、酸化物上に、金属化合物を形成した。金属化合物の形成後、第2の加熱処理を行った。第2の加熱処理後、酸化アルミニウムを形成した。酸化アルミニウムの形成後に、窒素雰囲気にて400℃の温度で1時間の加熱処理を行い、連続して酸素雰囲気にて400℃の温度で1時間の第3の加熱処理を行った。

[1511]

以上のようにして作製したサンプル6、およびサンプル7に、SSDP-SIMS分析を行って水素を検出した結果を図141に示す。図141で横軸は深さ(Depth)[nm]をとり、縦軸は水素の濃度(H concentration)[atoms/cm³]をとる。サンプル6の水素濃度を破線で示し、サンプル7の水素濃度を実践で示す。また、本SSDP-SIMS分析における水素濃度のバックグラウンドレベルは、 3.8×10^{18} atoms/cm³であり、グラフ中、長破線で示している。サンプル6、およびサンプル7のSSDP-SIMS分析は、シリコンウェハ側から試料を掘り進めて行った。また、サンプル6、およびサンプル7のSSDP-SIMS分析は、酸化物(図中、IGZOと表記する)を定量して酸化物(IGZO)の水素濃度を換算した。なお、SIMS分析は、アルバック・ファイ社製四重極型質量分析装置(ADEPT1010)を用いた。また、サンプル6、およびサンプル7の検出領域は60μm×60μmとした。

[1512]

図141に示すように、サンプル6において、酸化物(IGZO)中に水素が検出されている。一方、加熱処理を行ったサンプル7において、酸化物(IGZO)中の水素濃度は低減しており、特に、金属化合物側での水素濃度は、バックグラウンドレベルまで低下している。

[1513]

以上より、酸化物上に金属化合物が設けられ、該金属化合物上に金属酸化物が設けられた試料において、加熱処理を行うことで酸化物中の水素濃度が低減した。本評価により、酸化物中の水素は、金属化合物越しに、金属酸化物に引き抜かれていることが示唆された。すなわち、酸化物近傍に、金属酸化物を設けることにより、酸化物中の水素が金属酸化物に引き抜かれることが示唆された。このように、金属酸化物が酸化物中の水素引き抜く現象は、ゲッタリングと呼ぶことができる。

[1514]

本実施例は、他の実施の形態および実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[実施例3]

[1515]

本実施例では、本発明の一態様である、図1に示す、金属化合物を有するトランジスタ200Aを作製し(試料1Aとする。)、電気特性を測定した。

[1516]

以下に、試料1Aの作製方法を説明する。

[1517]

まず、p型シリコン単結晶ウエハ上に、熱酸化法によって、酸化シリコン膜を400nmの膜厚で成膜した。該酸化シリコン膜上に、スパッタリング法によって、絶縁体210として、酸化アルミニウム膜を40nmの膜厚で成膜した。
[1518]

絶縁体210上に、導電体203となる導電膜として、スパッタリング法によって、タングステン膜を150nmの膜厚で成膜した。次に、リソグラフィー法によって、該導電膜の一部をエッチングした。該エッチングはドライエッチングを用いた。
[1519]

次に、絶縁体212となる絶縁膜として、CVD法によって、酸化窒化シリコン膜を350nmの膜厚で成膜した。次に、第1のCMP処理によって、上記導電膜の上面に達するまで、該絶縁膜を研磨し、プラグ電極、および配線層としての機能を有する導電体203、ならびに絶縁体212を形成した。
[1520]

次に、絶縁体216として、CVD法によって、酸化窒化シリコン膜を160nmの膜厚で成膜した。
[1521]

絶縁体216上に、スパッタリング法によって、タングステン膜を35nmの膜厚で成膜した。次に、リソグラフィー法によって、該タングステン膜を加工し、該タングステン膜を有するハードマスクを形成した。
[1522]

次に、ダマシン法によって、上記ハードマスクを用いて、絶縁体216を加工し、コンタクトホールおよび配線となる溝を形成した。該コンタクトホールおよび該溝に、導電体205の第1の導電体となる導電膜として、スパッタリング法によって、窒化タンタル膜を成膜し、導電体205の第1の導電体となる導電膜上に、導電体205の第2の導電体となる導電膜として、ALD法によって、窒化チタン膜を成膜し、導電体205の第2の導電体となる導電膜上に、導電体205の第3の導電体となる導電膜として、CVD法によって、タングステン膜を成膜した。
[1523]

次に、第2のCMP処理によって、絶縁体216の上面に達するまで、導電体205となる導電膜の一部、ならびに上記ハードマスクを研磨し、上記コンタクトホール内および上記溝に導電体205を埋め込み、プラグ電極、配線層、および第2のゲート電極を形成した。
[1524]

次に、絶縁体220として、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜し、絶縁体222として、酸化ハフニウム膜を、ALD法によって10nmの膜厚で成膜し、絶縁体224として、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜した。絶縁体220、絶縁体222、および絶縁体224は、第2のゲート絶縁膜としての機能を有する。
[1525]

次に第1の熱処理を行った。第1の熱処理は、窒素を含む雰囲気にて温度400°C、1時間の処理を行った。
[1526]

次に、酸化膜230Aと酸化膜230Bを、連続成膜した。酸化膜230Aとして、スパッタリング法によって、In-Ga-Zn酸化物を5nmの膜厚で成膜した。酸化膜230Aは、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200°Cの条件にて成膜した。
[1527]

酸化膜230Bとして、スパッタリング法によって、In-Ga-Zn酸化物を15nmの膜厚で成膜した。酸化膜230Bは、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、アルゴンガス流量40sccm、酸素ガス流量5sccm、圧力0.7Pa、基板温度130°Cの条件にて成膜した。

[1528]

次に第2の熱処理を行った。第2の熱処理は、窒素を含む雰囲気にて温度400℃、1時間の処理を行い、続いて酸素を含む雰囲気にて温度400℃、1時間の処理を行った。

[1529]

次に、酸化膜230B上に、スパッタリング法によって、タングステン膜を10nmの膜厚で成膜した。次に、リソグラフィ法によって、該タングステン膜を加工し、該タングステン膜を有するハードマスクを形成した。

[1530]

次に、リソグラフィ法によって、上記ハードマスクを用いて、酸化膜230B、および酸化膜230Aの一部を順にエッチングして、酸化物230a、および酸化物230bを形成した。該エッチングはドライエッチング法を用いた。その後、ドライエッチング法を用いて、上記ハードマスクを除去した。

[1531]

次に、酸化膜230Cとして、スパッタリング法によって、In-Ga-Zn酸化物を5nmの膜厚で成膜した。酸化膜230Cは、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200℃の条件にて成膜した。

[1532]

次に、リソグラフィ法によって、酸化膜230Cの一部をエッチングして、酸化物230cを形成した。該エッチングはウエットエッチング法を用いた。

[1533]

次に、絶縁膜250Aとして、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜した。

[1534]

次に、金属酸化膜252Aとして、スパッタリング法によって、In-Ga-Zn酸化物を10nmの膜厚で成膜した。金属酸化膜252Aは、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200℃の条件にて成膜した。

[1535]

次に、金属酸化膜252A上に、導電膜260Aとして、スパッタリング法によって、窒化チタン膜を10nmの膜厚で成膜し、導電膜260A上に、導電膜260Bとして、スパッタリング法によって、タングステン膜を30nmの膜厚で成膜した。導電膜260Aと導電膜260Bは、連続成膜した。

[1536]

次に、導電膜260B上に、絶縁膜270Aとして、ALD法によって、酸化アルミニウム膜を7nmの膜厚で成膜した。

[1537]

次に、絶縁膜270A上に、絶縁膜271Aとして、CVD法によって、酸化窒化シリコン膜を100nmの膜厚で成膜した。

[1538]

次に、リソグラフィ法によって、絶縁膜271A、絶縁膜270A、導電膜260B、および導電膜260Aの一部を順にエッチングして、絶縁体271、絶縁体270、および導電体260(導電体260b、および導電体260a)を形成した。絶縁膜271A、絶縁膜270A、導電膜260B、および導電膜260Aのエッチングはドライエッチング法を用いた。

[1539]

次に、リソグラフィ法によって、金属酸化膜252Aの一部をエッチングして、金属酸化物252を形成した。金属

酸化膜252Aのエッチングはウエットエッチング法を用いた。金属酸化物252、および導電体260は、第1のゲート電極としての機能を有する。

[1540]

次に、リソグラフィ法によって、絶縁膜250Aの一部をエッチングして、第1のゲート絶縁体としての機能を有する絶縁体250を形成した。絶縁膜250Aのエッチングはドライエッチング法を用いた。

[1541]

次に、絶縁膜275Aとして、CVD法によって、酸化窒化シリコン膜を15nmの膜厚で成膜した。

[1542]

次に、絶縁膜275Aの一部をエッチングして、絶縁体275を形成した。絶縁膜275Aのエッチングはドライエッチング法を用いた。

[1543]

次に、膜242Aとして、スパッタリング法によって、チタン、アルミニウム、および窒素を含む金属化合物(TiAlN_x と表記する。)を2nmの膜厚で成膜した。 TiAlN_x は、 $\text{Ti}:\text{Al}=1:1$ [原子数比]のターゲットを用いて、アルゴンガス流量41sccm、窒素ガス流量9sccm、圧力0.4Pa、基板温度は室温の条件にて成膜した。

[1544]

次に第3の熱処理を行い、層242を形成した。第3の熱処理は、窒素を含む雰囲気にて温度400°C、1時間の処理を行った。

[1545]

次に、絶縁体273として、スパッタリング法によって、酸化アルミニウム膜をアルゴンガス流量25sccm、酸素ガス流量25sccm、圧力0.4Pa、基板温度250°Cの条件にて10nmの膜厚で成膜した。

[1546]

次に、第4の熱処理を行った。第4の熱処理は、窒素を含む雰囲気にて温度400°C、1時間の処理を行い、続いて酸素を含む雰囲気にて温度400°C、1時間の処理を行った。

[1547]

次に、絶縁体274として、CVD法によって、窒化シリコン膜をシラン(SiH_4)ガス流量5sccm、窒素ガス流量125sccm、基板温度300°Cの条件にて40nmの膜厚で成膜した。

[1548]

次に、絶縁体280として、CVD法によって、酸化窒化シリコン膜を470nmの膜厚で成膜した。次に、第3のCMP処理を行い、絶縁体280を研磨し、絶縁体280の表面を平坦化した。

[1549]

次に、絶縁体280上に、絶縁体282として、スパッタリング法によって、酸化アルミニウム膜をアルゴンガス流量25sccm、酸素ガス流量25sccm、圧力0.4Pa、基板温度250°Cの条件にて40nmの膜厚で成膜した。

[1550]

次に第5の熱処理を行った。第5の熱処理は、酸素を含む雰囲気にて温度350°C、1時間の処理を行った。

[1551]

次に、絶縁体284として、CVD法によって、酸化窒化シリコン膜を150nmの膜厚で成膜した。

[1552]

次に、絶縁体284上に、スパッタリング法によって、タングステン膜を90nmの膜厚で成膜した。次に、リソグラフィ法によって、該タングステン膜を加工し、該タングステン膜を有するハードマスクを形成した。

[1553]

次に、リソグラフィー法によって、上記ハードマスクを用いて、導電体205または導電体203に達するコンタクトホール、導電体260に達するコンタクトホール、および酸化物230bに達するコンタクトホールを形成した。

[1554]

次に、導電体240の第1の導電体となる導電膜として、タングステン膜を、スパッタリング法によって10nmの膜厚で成膜し、導電体240の第2の導電体となる導電膜として、窒化チタン膜を、ALD法によって20nmの膜厚で成膜し、導電体240の第3の導電体となる導電膜として、タングステン膜を、CVD法によって250nmの膜厚で成膜した。

[1555]

次に、第4のCMP処理を行い、導電体240となる導電膜、および上記ハードマスクを、絶縁体284に達するまで研磨を行い、各コンタクトホール内に導電体240が埋め込まれたプラグを形成した。

[1556]

次に、スパッタリング法によって、第1のチタン膜を20nmの膜厚で、第1の窒化チタン膜を30nmの膜厚で、アルミニウム膜を100nmの膜厚で、第2のチタン膜を5nmの膜厚で、第2の窒化チタン膜を45nmの膜厚で、連続成膜した。

[1557]

次に、リソグラフィー法によって、第1のチタン膜、第2の窒化チタン膜、アルミニウム膜、第2のチタン膜および第2の窒化チタン膜を加工し、配線層を形成した。

[1558]

次に、塗布法によって、感光性ポリイミド膜を1.6 μm の膜厚で形成し、リソグラフィー法によって、測定端子(測定パッド)となる部分の感光性ポリイミド膜を除去した。

[1559]

最後に該感光性ポリイミド膜に温度300°Cで1時間の熱処理を行った。

[1560]

以上により、試料1Aを作製した。

[1561]

次に、試料1Aの電気特性を測定した。ソースドレイン間電圧(以下、ドレイン電圧 V_d という。)を0.1V、1.2Vとし、ソースゲート間電圧(以下、ゲート電圧 V_g という。)を-3.3Vから+3.3Vまで変化させたときのソースドレイン間電流(以下、ドレイン電流 I_d という。)の変化を測定した。すなわち I_d-V_g 特性を測定した。ゲート電圧 V_g とは、第1のゲート電極(トップゲート電極)の電圧を示しており以降も同様とする。本測定においては、第2のゲート電極(バックゲート電極)の電圧は0Vに設定した。また、本測定においては試料1Aのトランジスタの I_d-V_g 特性を測定した。図142に試料1Aの I_d-V_g 特性を示す。

[1562]

試料1Aは、トランジスタ特性を得ることがわかった。よって、先の実施の形態で示すように、トランジスタに金属化合物を設けることで、良好な電気特性を有する半導体装置を作製することができる。

[1563]

本実施例は、他の実施の形態および実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例4]

[1564]

本実施例では、本発明の一態様である、図1に示す、金属化合物を有するトランジスタ200Aを作製し(試料2A

とする。)、電気特性を測定した。

[1565]

以下に、試料2Aの作製方法を説明する。

[1566]

まず、p型シリコン単結晶ウエハ上に、熱酸化法によって、酸化シリコン膜を400nmの膜厚で成膜した。該酸化シリコン膜上に、スパッタリング法によって、絶縁体210として、酸化アルミニウム膜を40nmの膜厚で成膜した。

[1567]

絶縁体210上に、導電体203となる導電膜として、スパッタリング法によって、タングステン膜を150nmの膜厚で成膜した。次に、リソグラフィー法によって、該導電膜の一部をエッチングした。該エッチングはドライエッチングを用いた。

[1568]

次に、絶縁体210および上記導電膜上に、絶縁体212となる絶縁膜として、CVD法によって、酸化窒化シリコン膜を350nmの膜厚で成膜した。次に、第1のCMP処理によって、上記導電膜の上面に達するまで、該絶縁膜を研磨し、プラグ電極、配線層、および第2のゲート電極としての機能を有する導電体203、ならびに絶縁体212を形成した。

[1569]

次に、絶縁体220として、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜し、絶縁体222として、酸化ハフニウム膜を、ALD法によって10nmの膜厚で成膜し、絶縁体224として、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜した。絶縁体220、絶縁体222、および絶縁体224は、第2のゲート絶縁膜としての機能を有する。

[1570]

次に第1の熱処理を行った。第1の熱処理は、窒素を含む雰囲気にて温度400℃、1時間の処理を行った。

[1571]

次に、酸化膜230Aと酸化膜230Bを、連続成膜した。酸化膜230Aとして、スパッタリング法によって、In-Ga-Zn酸化物を5nmの膜厚で成膜した。酸化膜230Aは、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200℃の条件にて成膜した。

[1572]

酸化膜230Bとして、スパッタリング法によって、In-Ga-Zn酸化物を15nmの膜厚で成膜した。酸化膜230Bは、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、アルゴンガス流量40sccm、酸素ガス流量5sccm、圧力0.7Pa、基板温度130℃の条件にて成膜した。

[1573]

次に第2の熱処理を行った。第2の熱処理は、窒素を含む雰囲気にて温度400℃、1時間の処理を行い、続いて酸素を含む雰囲気にて温度400℃、1時間の処理を行った。

[1574]

次に、酸化膜230B上に、スパッタリング法によって、タングステン膜を10nmの膜厚で成膜した。次に、リソグラフィー法によって、該タングステン膜を加工し、該タングステン膜を有するハードマスクを形成した。

[1575]

次に、リソグラフィー法によって、上記ハードマスクを用いて、酸化膜230B、および酸化膜230Aの一部を順にエッチングして、酸化膜230a、および酸化膜230bを形成した。該エッチングはドライエッチング法を用いた。その後、ドライエッチング法を用いて、上記ハードマスクを除去した。

[1576]

次に、酸化膜230Cとして、スパッタリング法によって、In-Ga-Zn酸化物を5nmの膜厚で成膜した。酸化膜230Cは、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200°Cの条件にて成膜した。

[1577]

次に、リソグラフィー法によって、酸化膜230Cの一部をエッチングして、酸化物230cを形成した。該エッチングはウエットエッチング法を用いた。

[1578]

次に、絶縁膜250Aとして、酸化窒化シリコン膜を、CVD法によって10nmの膜厚で成膜した。

[1579]

次に、金属酸化膜252Aとして、スパッタリング法によって、In-Ga-Zn酸化物を10nmの膜厚で成膜した。金属酸化膜252Aは、In:Ga:Zn=4:2:4.1[原子数比]のターゲットを用いて、酸素ガス流量45sccm、圧力0.7Pa、基板温度200°Cの条件にて成膜した。

[1580]

次に、金属酸化膜252A上に、導電膜260Aとして、スパッタリング法によって、窒化チタン膜を10nmの膜厚で成膜し、導電膜260A上に、導電膜260Bとして、スパッタリング法によって、タングステン膜を30nmの膜厚で成膜した。導電膜260Aと導電膜260Bは、連続成膜した。

[1581]

次に、導電膜260B上に、絶縁膜270Aとして、ALD法によって、酸化アルミニウム膜を7nmの膜厚で成膜した。

[1582]

次に、絶縁膜270A上に、絶縁膜271Aとして、CVD法によって、酸化窒化シリコン膜を100nmの膜厚で成膜した。

[1583]

次に、リソグラフィー法によって、絶縁膜271A、絶縁膜270A、導電膜260B、および導電膜260Aの一部を順にエッチングして、絶縁体271、絶縁体270、および導電体260(導電体260b、および導電体260a)を形成した。絶縁膜271A、絶縁膜270A、導電膜260B、および導電膜260Aのエッチングはドライエッチング法を用いた。

[1584]

次に、リソグラフィー法によって、金属酸化膜252Aの一部をエッチングして、金属酸化物252を形成した。金属酸化膜252Aのエッチングはウエットエッチング法を用いた。金属酸化物252、および導電体260は、第1のゲート電極としての機能を有する。

[1585]

次に、リソグラフィー法によって、絶縁膜250Aの一部をエッチングして、第1のゲート絶縁体としての機能を有する絶縁体250を形成した。絶縁膜250Aのエッチングはドライエッチング法を用いた。

[1586]

次に、絶縁膜275Aとして、CVD法によって、酸化窒化シリコン膜を15nmの膜厚で成膜した。

[1587]

次に、絶縁膜275Aの一部をエッチングして、絶縁体275を形成した。絶縁膜275Aのエッチングはドライエッチング法を用いた。

[1588]

次に、膜242Aとして、スパッタリング法によって、アルミニウム膜を2nmの膜厚で成膜した。膜242Aは、Alのターゲットを用いて、アルゴンガス流量50sccm、圧力0.4Pa、基板温度は室温の条件にて成膜した。

[1589]

次に第3の熱処理を行い、層242を形成した。第3の熱処理は、窒素を含む雰囲気にて温度350℃、1時間の処理を行った。

[1590]

次に、ウエットエッチング法を用いて、層242を除去した。

[1591]

次に、絶縁体273として、スパッタリング法によって、酸化アルミニウム膜をアルゴンガス流量25sccm、酸素ガス流量25sccm、圧力0.4Pa、基板温度250℃の条件にて10nmの膜厚で成膜した。

[1592]

次に、第4の熱処理を行った。第4の熱処理は、酸素を含む雰囲気にて温度350℃、1時間の処理を行った。

[1593]

次に、絶縁体274として、CVD法によって、窒化シリコン膜をシラン(SiH_4)ガス流量5sccm、窒素ガス流量125sccm、基板温度300℃の条件にて40nmの膜厚で成膜した。

[1594]

次に、絶縁体280として、CVD法によって、酸化窒化シリコン膜を470nmの膜厚で成膜した。次に、第2のCMP処理を行い、絶縁体280を研磨し、絶縁体280の表面を平坦化した。

[1595]

次に、絶縁体280上に、絶縁体282として、スパッタリング法によって、酸化アルミニウム膜をアルゴンガス流量25sccm、酸素ガス流量25sccm、圧力0.4Pa、基板温度250℃の条件にて40nmの膜厚で成膜した。

[1596]

次に第5の熱処理を行った。第5の熱処理は、酸素を含む雰囲気にて温度350℃、1時間の処理を行った。

[1597]

次に、絶縁体284として、CVD法によって、酸化窒化シリコン膜を150nmの膜厚で成膜した。

[1598]

次に、絶縁体284上に、スパッタリング法によって、タングステン膜を90nmの膜厚で成膜した。次に、リソグラフィ法によって、該タングステン膜を加工し、該タングステン膜を有するハードマスクを形成した。

[1599]

次に、リソグラフィ法によって、上記ハードマスクを用いて、導電体203に達するコンタクトホール、導電体260に達するコンタクトホール、および酸化物230bに達するコンタクトホールを形成した。

[1600]

次に、導電体240の第1の導電体となる導電膜として、タングステン膜を、スパッタリング法によって10nmの膜厚で成膜し、導電体240の第2の導電体となる導電膜として、窒化チタン膜を、ALD法によって20nmの膜厚で成膜し、導電体240の第3の導電体となる導電膜として、タングステン膜を、CVD法によって250nmの膜厚で成膜した。

[1601]

次に、第3のCMP処理を行い、導電体240となる導電膜、および上記ハードマスクを、絶縁体284に達するまで研磨を行い、各コンタクトホール内に導電体240が埋め込まれたプラグを形成した。

[1602]

次に、スパッタリング法によって、第1のチタン膜を20nmの膜厚で、第1の窒化チタン膜を30nmの膜厚で、アルミニウム膜を100nmの膜厚で、第2のチタン膜を5nmの膜厚で、第2の窒化チタン膜を45nmの膜厚で、連続成膜した。

[1603]

次に、リソグラフィー法によって、第1のチタン膜、第1の窒化チタン膜、アルミニウム膜、第2のチタン膜および第2の窒化チタン膜を加工し、配線層を形成した。

[1604]

次に、塗布法によって、感光性ポリイミド膜を1.6 μm の膜厚で形成し、リソグラフィー法によって、測定端子(測定パッド)となる部分の感光性ポリイミド膜を除去した。

[1605]

最後に該感光性ポリイミド膜に温度300°Cで1時間の熱処理を行った。

[1606]

以上により、試料2Aを作製した。

[1607]

次に、試料2Aの電気特性を測定した。ソースドレイン間電圧(以下、ドレイン電圧 V_d という。)を0.1V、1.2Vとし、ソースゲート間電圧(以下、ゲート電圧 V_g という。)を-3.3Vから+3.3Vまで変化させたときのソースドレイン間電流(以下、ドレイン電流 I_d という。)の変化を測定した。すなわち I_d-V_g 特性を測定した。ゲート電圧 V_g とは、第1のゲート電極(トップゲート電極)の電圧を示しており以降も同様とする。本測定においては、第2のゲート電極(バックゲート電極)の電圧は0Vに設定した。また、本測定においては試料2Aのトランジスタの I_d-V_g 特性を測定した。図143に試料2Aの I_d-V_g 特性を示す。

[1608]

試料2Aは、トランジスタ特性を得ることがわかった。よって、先の実施の形態で示すように、トランジスタに金属化合物を設けることで、良好な電気特性を有する半導体装置を作製することができる。

[1609]

本実施例は、他の実施の形態および実施例などに記載した構成と適宜組み合わせることで実施することが可能である。

[符号の説明]

[1610]

100:容量素子、100a:容量素子、100b:容量素子、110:導電体、112:導電体、120:導電体、120a:導電体、120b:導電体、130:絶縁体、150:絶縁体、200:トランジスタ、200a:トランジスタ、200A:トランジスタ、200b:トランジスタ、200B:トランジスタ、200C:トランジスタ、200D:トランジスタ、200E:トランジスタ、200F:トランジスタ、200G:トランジスタ、200H:トランジスタ、203:導電体、203a:導電体、203b:導電体、205:導電体、205a:導電体、205b:導電体、207:導電体、210:絶縁体、212:絶縁体、214:絶縁体、216:絶縁体、218:導電体、220:絶縁体、222:絶縁体、224:絶縁体、224A:絶縁膜、230:酸化物、230a:酸化物、230A:酸化膜、230b:酸化物、230B:酸化膜、230c:酸化物、230C:酸化膜、231:領域、231a:領域、231b:領域、232:領域、232a:領域、232b:領域、234:領域、239:領域、240:導電体、240a:導電体、240b:導電体、240c:導電体、242:層、242A:膜、242B:絶縁体、246:導電体、248:導電体、250:絶縁体、250A:絶縁膜、252:金属酸化物、252A:金属酸化膜、260:導電体、260a:導電体、260A:導電膜、260b:導電体、260B:導電膜、270:絶縁体、270A:絶縁膜、271:絶縁体、271A:絶縁膜、272:絶縁

体、272A:絶縁膜、273:絶縁体、273A:絶縁膜、274:絶縁体、275:絶縁体、275A:絶縁膜、276:絶縁体、276a:絶縁体、276b:絶縁体、277:絶縁体、277A:絶縁膜、278:絶縁体、280:絶縁体、282:絶縁体、284:絶縁体、286:絶縁体、300:トランジスタ、311:基板、313:半導体領域、314a:低抵抗領域、314b:低抵抗領域、315:絶縁体、316:導電体、320:絶縁体、322:絶縁体、324:絶縁体、326:絶縁体、328:導電体、330:導電体、350:絶縁体、352:絶縁体、354:絶縁体、356:導電体、360:絶縁体、362:絶縁体、364:絶縁体、366:導電体、370:絶縁体、372:絶縁体、374:絶縁体、376:導電体、380:絶縁体、382:絶縁体、384:絶縁体、386:導電体、400:トランジスタ、403:導電体、405:導電体、424:絶縁体、430c:酸化物、431a:酸化物、431b:酸化物、432a:酸化物、432b:酸化物、450:絶縁体、452:金属酸化物、460:導電体、460a:導電体、460b:導電体、470:絶縁体、471:絶縁体、472:絶縁体、473:絶縁体、475:絶縁体、477:絶縁体、500:開口部、600:セル、600a:セル、600b:セル、610:回路、620:回路、650a:メモリセル、650b:メモリセル、1001:配線、1002:配線、1003:配線、1004:配線、1005:配線、1006:配線、1007:配線、1008:配線、1009:配線、1010:配線、1400:DOSRAM、1405:コントローラ、1410:行回路、1411:デコーダ、1412:ワード線ドライバ回路、1413:列セクタ、1414:センスアンプドライバ回路、1415:列回路、1416:グローバルセンスアンプアレイ、1417:入出力回路、1420:MC-SAアレイ、1422:メモリセルアレイ、1423:センスアンプアレイ、1425:ローカルメモリセルアレイ、1426:ローカルセンスアンプアレイ、1444:スイッチアレイ、1445:メモリセル、1445a:メモリセル、1445b:メモリセル、1446:センスアンプ、1447:グローバルセンスアンプ、1600:NOSRAM、1610:メモリセルアレイ、1611:メモリセル、1612:メモリセル、1613:メモリセル、1614:メモリセル、1615:メモリセル、1615a:メモリセル、1615b:メモリセル、1640:コントローラ、1650:行ドライバ、1651:行デコーダ、1652:ワード線ドライバ、1660:列ドライバ、1661:列デコーダ、1662:ドライバ、1663:DAC、1670:出力ドライバ、1671:セクタ、1672:ADC、1673:出力バッファ、2000:ロボット、2001:演算装置、2002:センサ、2003:ライト、2004:リフト、2005:駆動部、2006:通信手段、2007:スピーカ、2008:マイクロフォン、2009:表示部、2010:発光部、2011:移動機構、2100:ロボット、2101:照度センサ、2102:マイクロフォン、2103:上部カメラ、2104:スピーカ、2105:ディスプレイ、2106:下部カメラ、2107:障害物センサ、2108:移動機構、2110:演算装置、2120:飛行体、2121:演算装置、2122:カメラ、2123:プロペラ、2130:携帯電子機器、2131:携帯型マイクロフォン、2980:自動車、2981:カメラ、3000:システム、3001:ロボット、3002:演算装置、3003:ブーム、3004:アーム、3005:容器、3006:容器、3007:物品、3008:筐体、3009:センサ、3010:通信手段、3011:通信手段、3021:板、3022:バー、3023:板、3024:板、3025:ヘラ、3110:OS-FPGA、3111:コントローラ、3112:ワードドライバ、3113:データドライバ、3115:プログラマブルエリア、3117:IOB、3119:コア、3120:LAB、3121:PLE、3123:LUTブロック、3124:レジスタブロック、3125:セクタ、3126:CM、3127:パワースイッチ、3128:CM、3130:SAB、3131:SB、3133:PRS、3135:CM、3137:メモリ回路、3137B:メモリ回路、3140:OS-FF、3141:FF、3142:シャドウレジスタ、3143:メモリ回路、3143B:メモリ回路、3188:インバータ回路、3189:インバータ回路、4010:演算部、4011:アナログ演算回路、4012:DOSRAM、4013:NOSRAM、4014:FPGA、4020:制部、4021:CPU、4022:GPU、4023:PLL、4025:PROM、4026:メモリコントローラ、4027:電源回路、4028:PMU、4030:入出力部、4031:外部記憶制御回路、4032:音声コーデック、4033:映像コーデック、4034:汎用入出力モジュール、4035:通信モジュール、4041:AIシステム、4041__n:AIシステム、4041__1:AIシステム、4041A:AIシステム、4041B:AIシステム、4098:バス線、4099:ネットワーク、5100:掃除ロボット、5101:ディスプレイ、5102:カメラ、5103:ブラシ、5104:操作ボタン、5120:ゴミ、5140:携帯電子機器、5300:ペースメーカー本体、5301a:バッテリー、5301b:バッテリー、5302:ワイヤ、5303:ワイヤ、5304:アンテナ、5305:鎖骨下静脈、5306:上大静脈、5900:センサ、593

1: 電極、5932: 配線、7000: AIシステムIC、7001: リード、7002: プリント基板、7003: 回路部、7004: 実装基板、7031: Siトランジスタ層、7032: 配線層、7033: OSトランジスタ層

請求の範囲

[請求項1]

チャンネル形成領域に酸化物を有する半導体装置であって、
前記半導体装置は、トランジスタおよび配線を有し、
前記トランジスタは、
第1の絶縁体上の前記酸化物と、
前記酸化物上の第2の絶縁体と、
前記第2の絶縁体上の第1の導電体と、
前記第1の導電体上の第3の絶縁体と、
前記第2の絶縁体、前記第1の導電体、及び前記第3の絶縁体に接する、第4の絶縁体と、
前記第4の絶縁体に接する、第5の絶縁体と、を有し、
前記酸化物は、
前記第2の絶縁体と重なる第1の領域と、
前記第4の絶縁体と重なる第2の領域と、
前記第2の領域に接する第3の領域と、を有し、
前記第3の領域は、前記第1の領域及び前記第2の領域よりも酸素濃度が低く、
前記第2の領域は、前記第1の領域よりも酸素濃度が低く、
前記配線は、前記第5の絶縁体と接し、且つ前記第3の領域と電氣的に接続される、
ことを特徴とする半導体装置。

[請求項2]

チャンネル形成領域に酸化物を有する半導体装置であって、
前記半導体装置は、トランジスタおよび配線を有し、
前記トランジスタは、
第1の絶縁体上の前記酸化物と、
前記酸化物上の第2の絶縁体および第1の膜と、
前記第2の絶縁体上の第1の導電体と、
前記第1の導電体上の第3の絶縁体と、
前記第2の絶縁体、前記第1の導電体、及び前記第3の絶縁体に接する、第4の絶縁体と、
前記第4の絶縁体に接する、第5の絶縁体と、を有し、
前記酸化物は、
前記第2の絶縁体と重なる第1の領域と、
前記第4の絶縁体と重なる第2の領域と、
前記第2の領域に接する第3の領域と、を有し、
前記第1の膜は、前記第3の領域と接して設けられ、
前記第3の領域は、前記第1の領域及び前記第2の領域よりも酸素濃度が低く、
前記第2の領域は、前記第1の領域よりも酸素濃度が低く、
前記配線は、前記第5の絶縁体と接し、且つ前記第3の領域と電氣的に接続される、
ことを特徴とする半導体装置。

[請求項3]

請求項1または請求項2において、

前記酸化物は、Inと、元素Mと、Znと、を含み、
MはAl、Ga、Y、またはSnである、ことを特徴とする半導体装置。

[請求項4]

請求項3において、
前記酸化物は、原子数比において、前記元素Mの値よりも前記Inの値の方が大きい、
ことを特徴とする半導体装置。

[請求項5]

請求項1または請求項2において、
前記第3の領域は、前記第2の領域より、キャリア密度が高く、
前記第2の領域は、前記第1の領域より、キャリア密度が高い、
ことを特徴とする半導体装置。

[請求項6]

請求項1または請求項2において、
前記第3の領域は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有する、ことを特徴とする半導体装置。

[請求項7]

請求項6において、
前記第3の領域は、さらに窒素を有する、ことを特徴とする半導体装置。

[請求項8]

請求項1または請求項2において、
前記第1の領域は、前記第2の領域よりも水素濃度が低い、ことを特徴とする半導体装置。

[請求項9]

請求項1または請求項2において、
前記第1の領域は、前記第2の領域及び前記第3の領域よりも水素濃度が低い、ことを特徴とする半導体装置。

[請求項10]

請求項1または請求項2において、
前記第5の絶縁体は、
金属酸化物を含む、
ことを特徴とする半導体装置。

[請求項11]

請求項1または請求項2において、
前記トランジスタは、
ノーマリーオフ型である、ことを特徴とする半導体装置。

[請求項12]

請求項2において、
前記第1の膜は、前記第3の領域と混合する部分を有する、ことを特徴とする半導体装置。

[請求項13]

請求項2または請求項12において、
前記第1の膜は、アルミニウム、ルテニウム、チタン、タンタル、クロム、およびタングステンの少なくとも一を有

する、ことを特徴とする半導体装置。

[請求項14]

請求項2または請求項12において、

前記第1の膜は、アルミニウム及びチタンを有する、ことを特徴とする半導体装置。

[請求項15]

請求項13において、

前記第1の膜は、さらに窒素及び酸素のいずれか一方または双方を有する、ことを特徴とする半導体装置。

[請求項16]

請求項2または請求項12において、

前記第1の膜は、0.5nm以上5nm未満である、ことを特徴とする半導体装置。

[請求項17]

基板上に第1の絶縁体を形成し、

前記第1の絶縁体の上に、酸化物層を形成し、

前記酸化物層の上に、第1の絶縁膜、第1の導電膜および第2の絶縁膜を順に成膜し、

前記第1の絶縁膜、前記第1の導電膜および前記第2の絶縁膜を加工して、第2の絶縁体、第1の導電体、第3の絶縁体を形成し、

前記第1の絶縁体、前記酸化物層、前記第2の絶縁体、前記第1の導電体、前記第3の絶縁体を覆って、第3の絶縁膜および第4の絶縁膜を順に成膜し、

前記第3の絶縁膜および前記第4の絶縁膜を加工することで、

前記第2の絶縁体、前記第1の導電体および前記第3の絶縁体に接する、第4の絶縁体と、

前記第4の絶縁体に接する第5の絶縁体と、を形成し、

前記第1の絶縁体、前記酸化物層および前記第5の絶縁体に接する、金属を含む第1の膜を形成し、

窒素を含む雰囲気中で加熱処理を行い、

前記第1の膜を除去し、

前記第1の絶縁体、前記酸化物層および前記第5の絶縁体上に第6の絶縁体を形成し、前記第6の絶縁体に開口を形成し、

前記開口を埋めるように第2の導電体を形成する、

ことを特徴とする半導体装置の作製方法。

[請求項18]

請求項17において、

前記第1の膜は、

アルゴン、窒素、及び酸素の中から選ばれる一または複数のガスを用いて、スパッタリング法により形成される、

ことを特徴とする半導体装置の作製方法。

[請求項19]

請求項17または請求項18において、

前記加熱処理を行うことで、前記酸化物層の前記酸化物層と、前記第1の膜と、が接する領域に含まれる酸素が前記第1の膜に引き抜かれる、

ことを特徴とする半導体装置の作製方法。

[請求項20]

請求項17において、

前記加熱処理の後に、少なくとも前記酸化物、前記第1の絶縁体、前記第3の絶縁体、前記第4の絶縁体および前記第5の絶縁体を覆う第2の膜を形成する、ことを特徴とする半導体装置の作製方法。

[請求項21]

請求項17において、

前記開口は、前記第5の絶縁体の一部、前記酸化物層の上面、および前記酸化物層の側面の少なくとも一部が露出するように形成される、

ことを特徴とする半導体装置の作製方法。

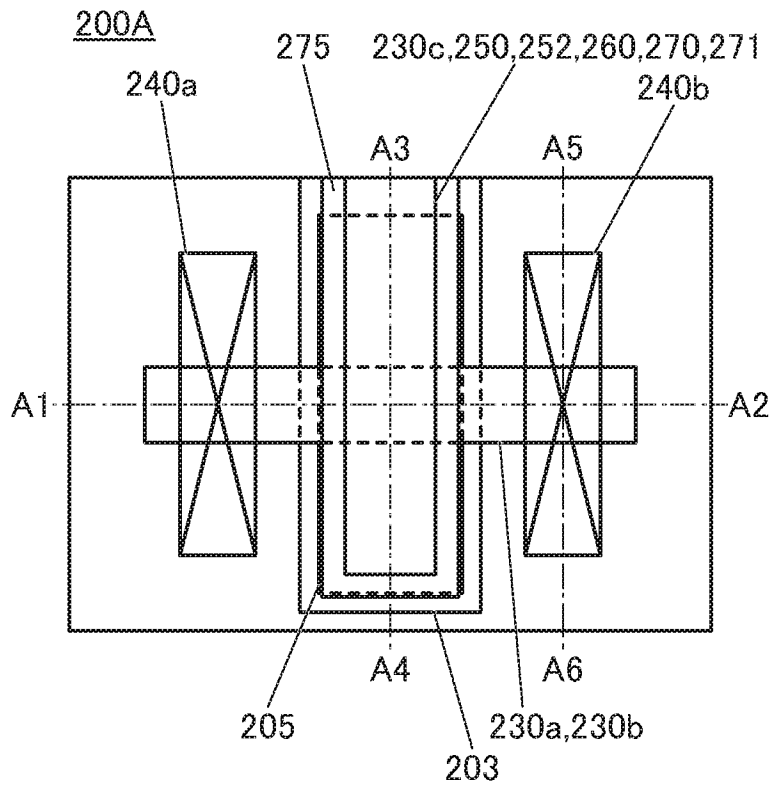
[請求項22]

請求項17において、

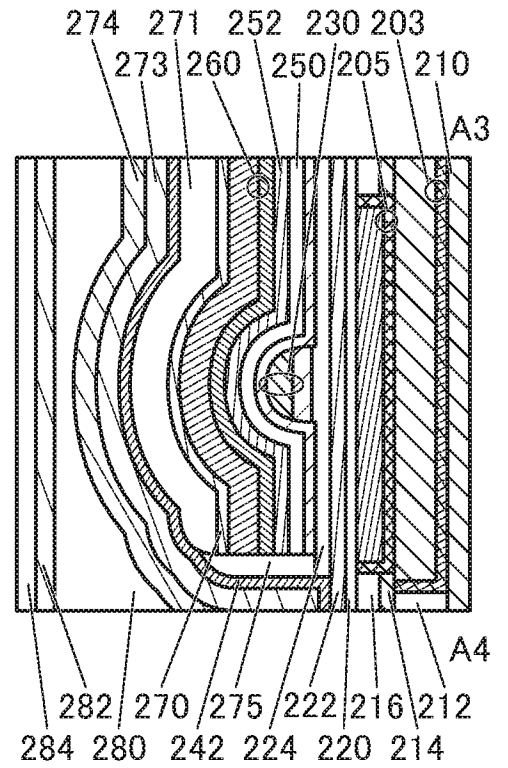
前記第3の絶縁膜および前記第4の絶縁膜の加工は、ドライエッチング法を用いた異方性エッチングにより行う、ことを特徴とする半導体装置の作製方法。

[図 1]

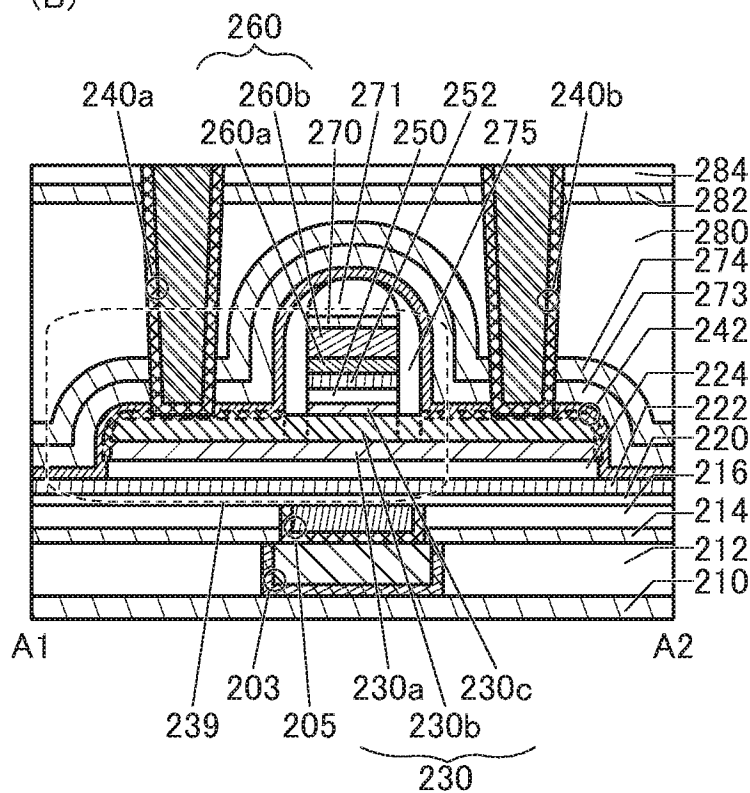
(A)



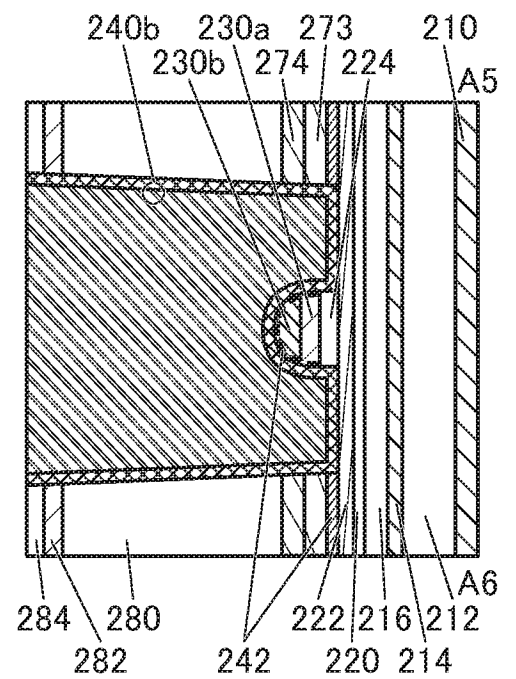
(C)



(B)

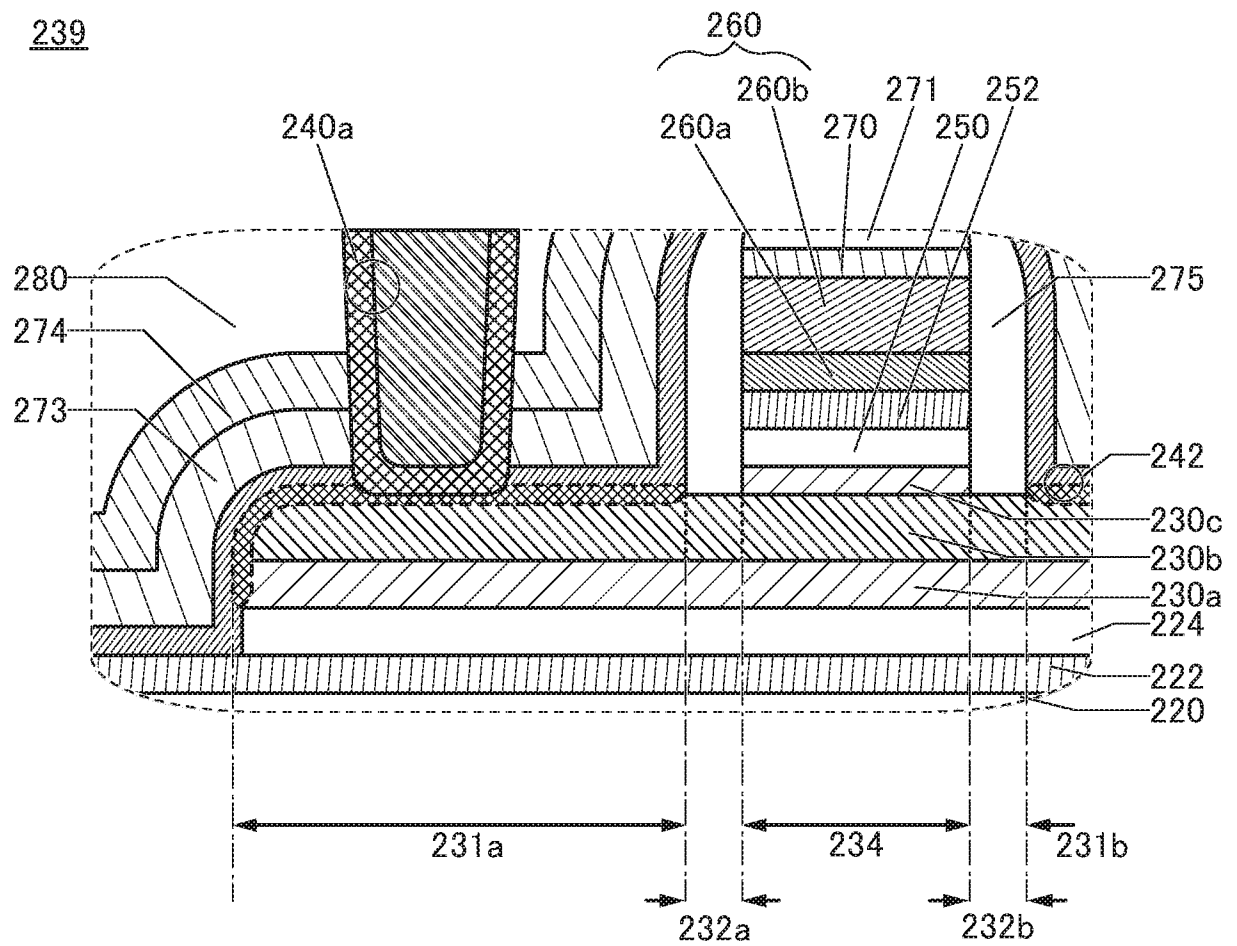


(D)



[図 2]

2/143

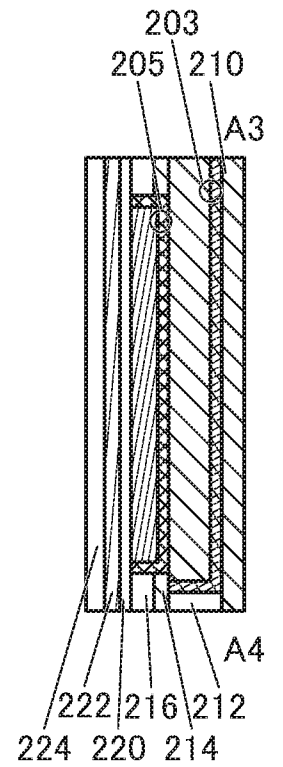
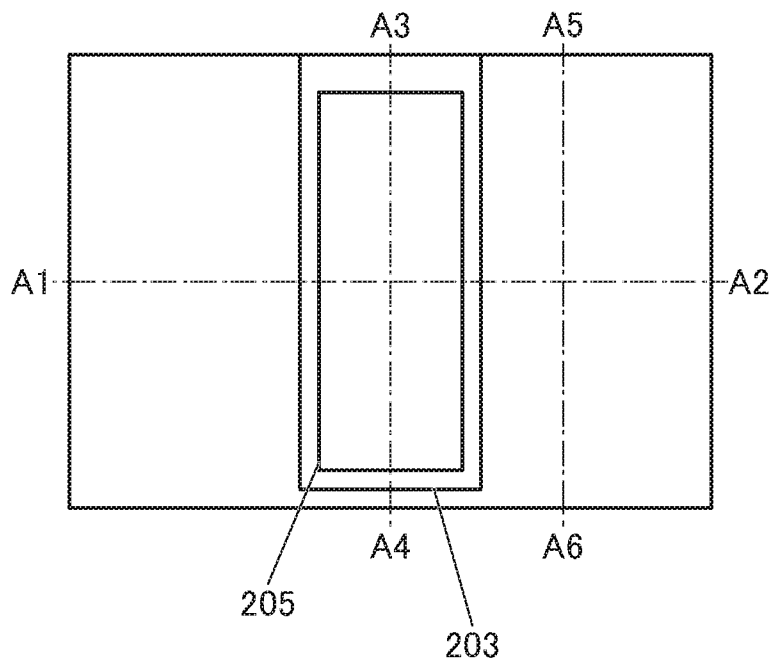


3/143

[ 3]

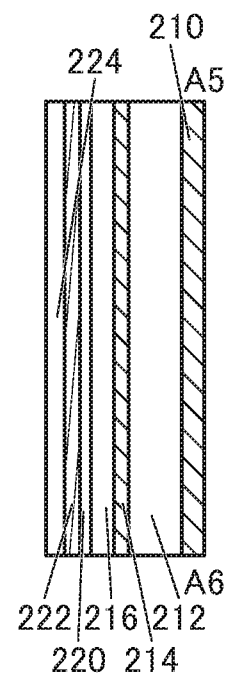
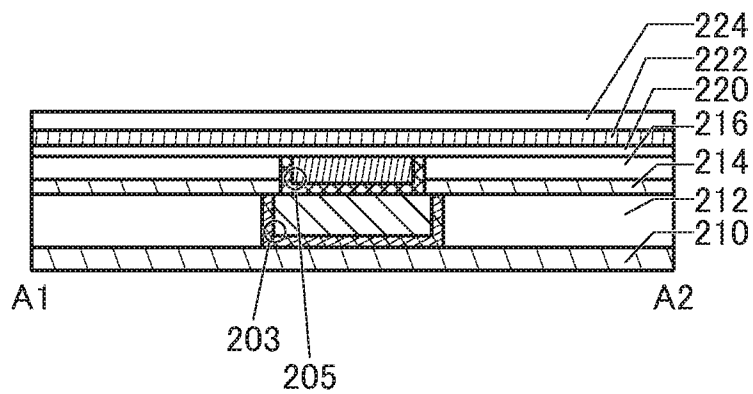
(A)

(C)



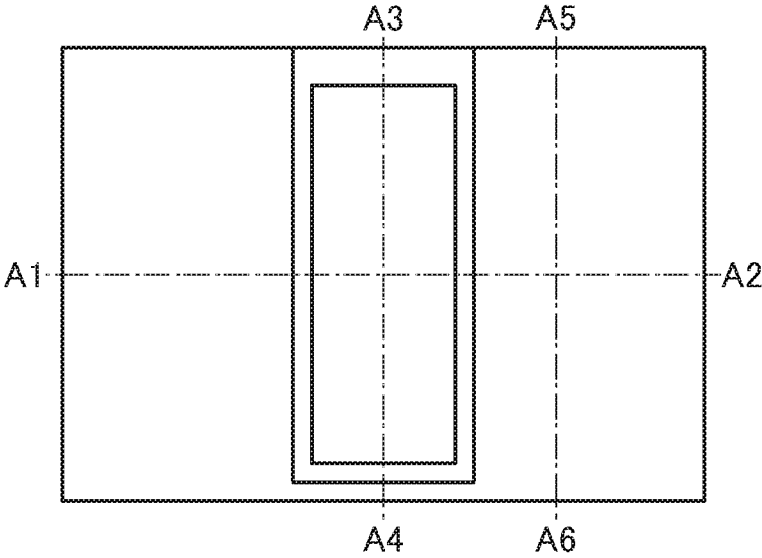
(B)

(D)

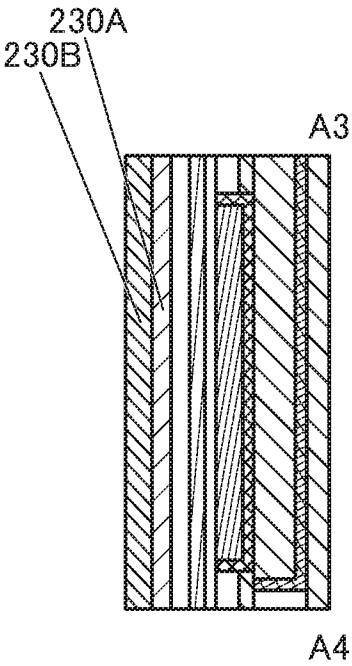


[ 4]

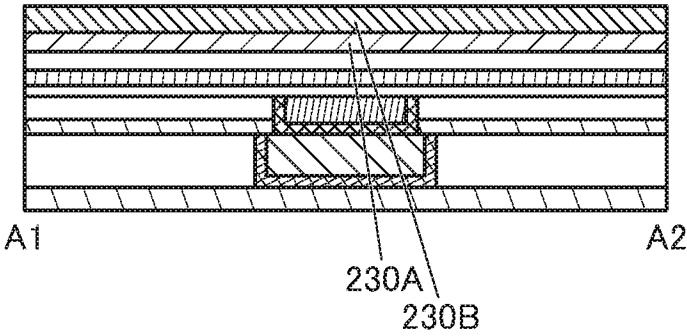
(A)



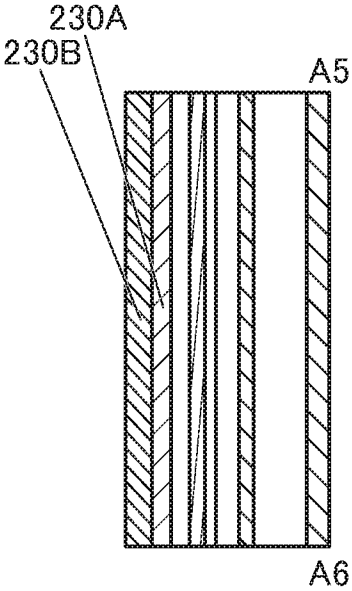
(C)



(B)

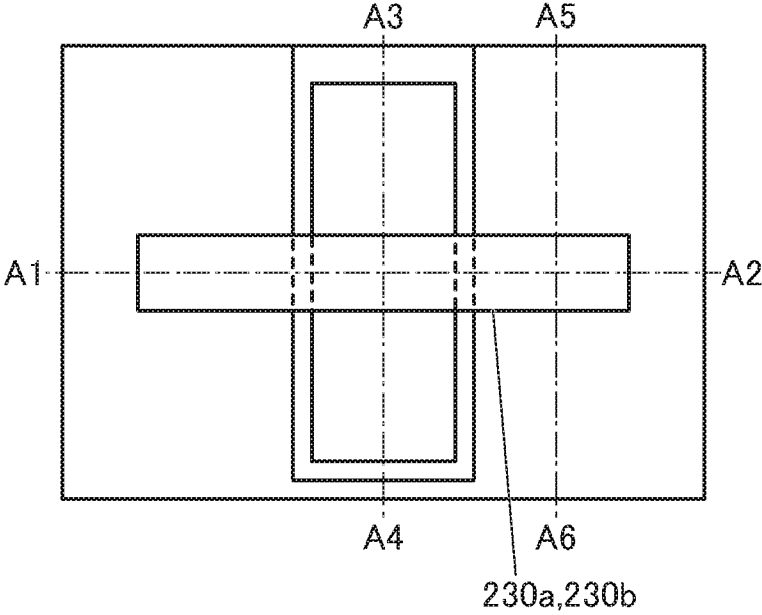


(D)

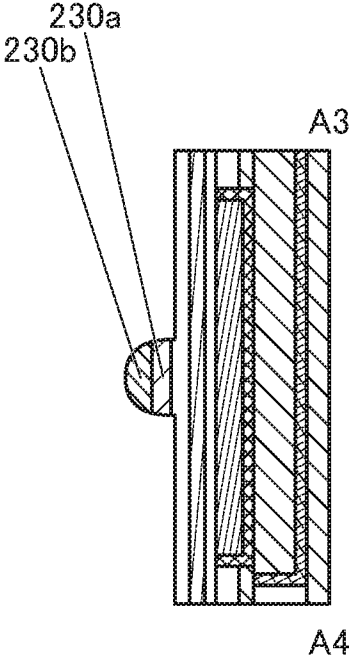


[図 5]

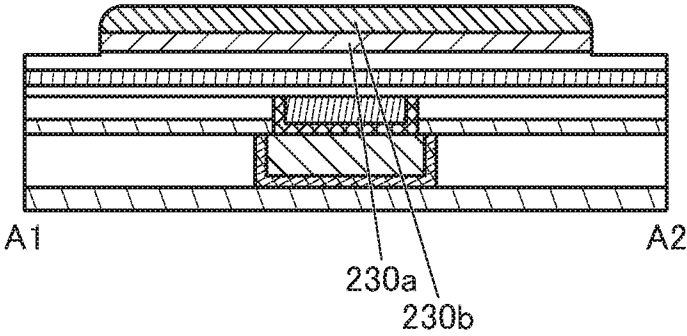
(A)



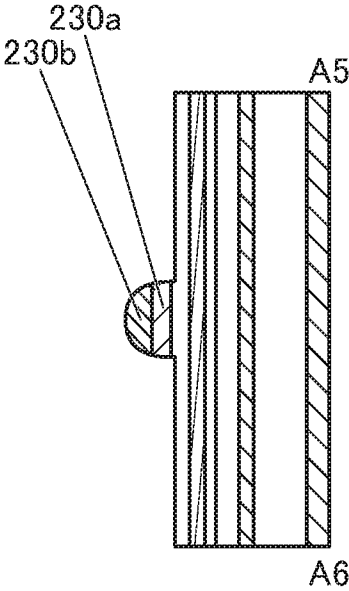
(C)



(B)

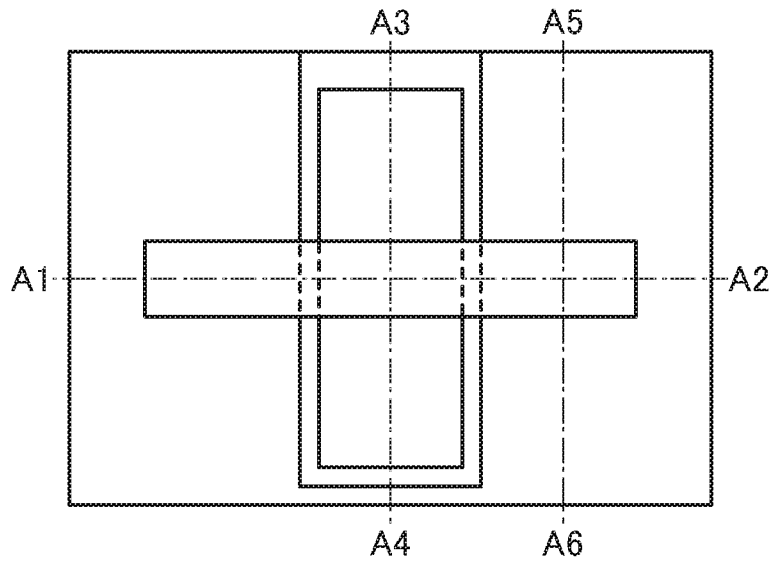


(D)

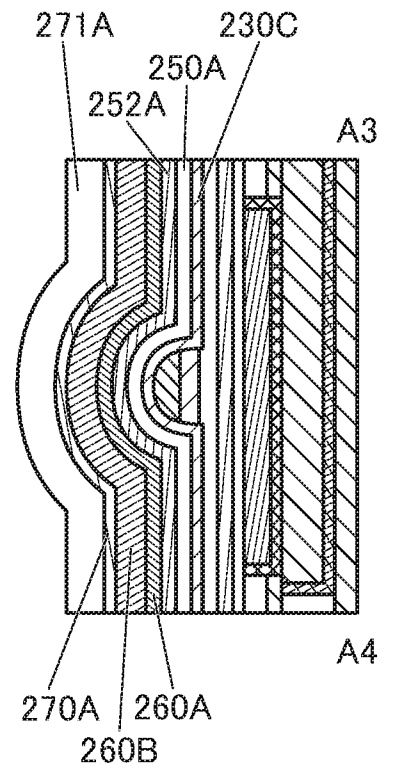


[ 6]

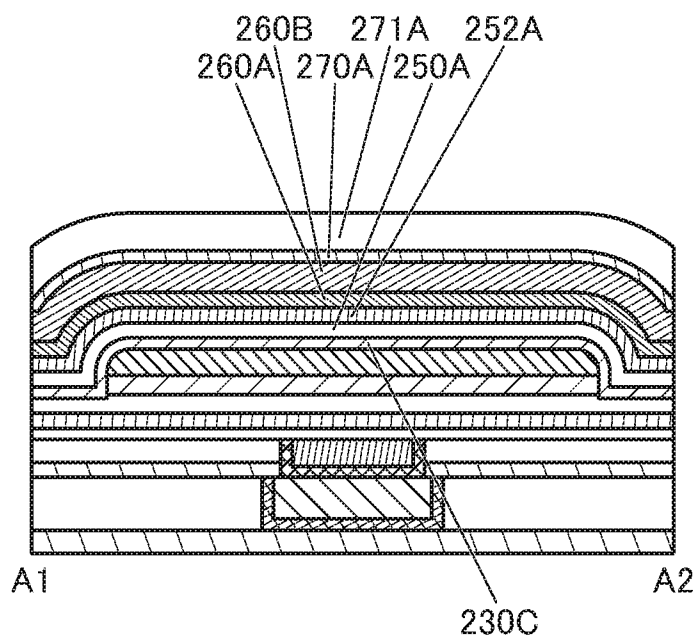
(A)



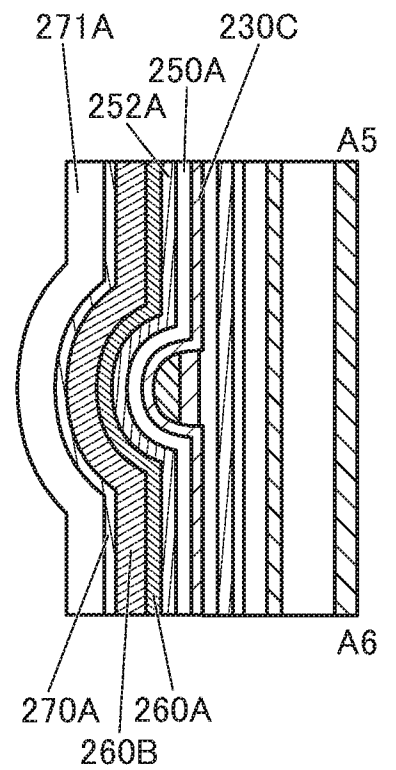
(C)



(B)

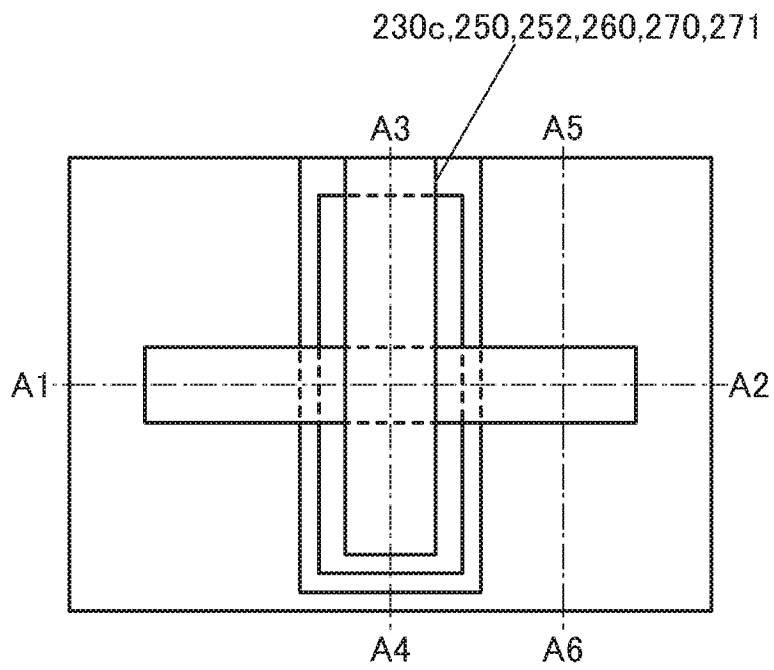


(D)

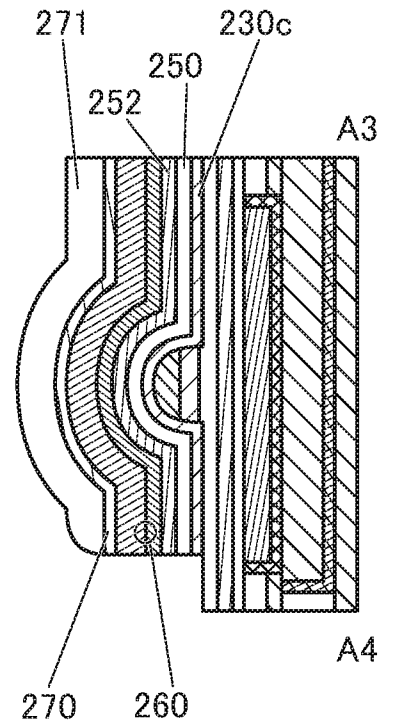


[図 7]

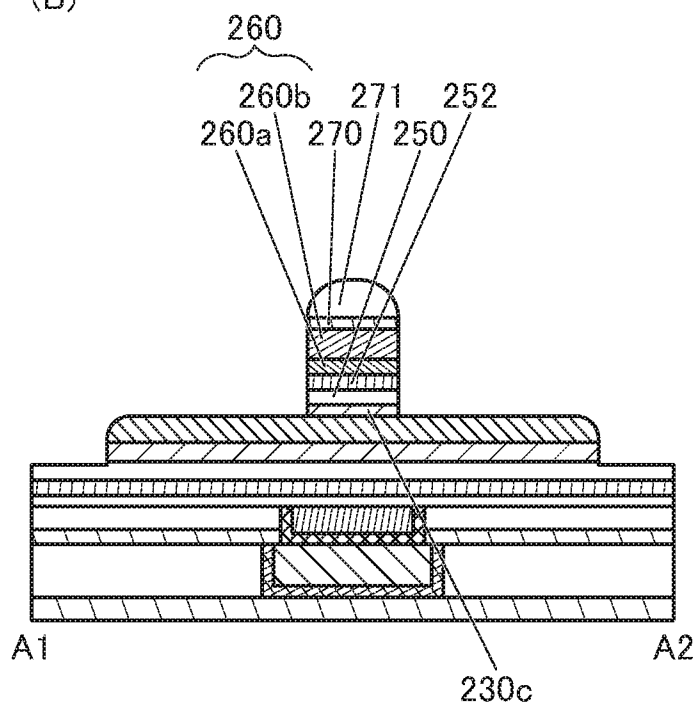
(A)



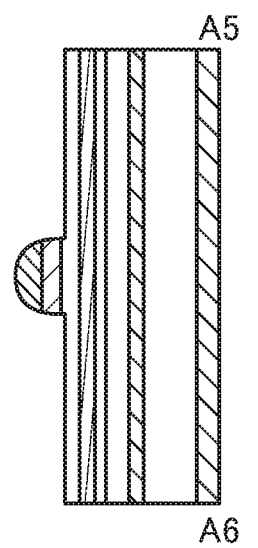
(C)



(B)



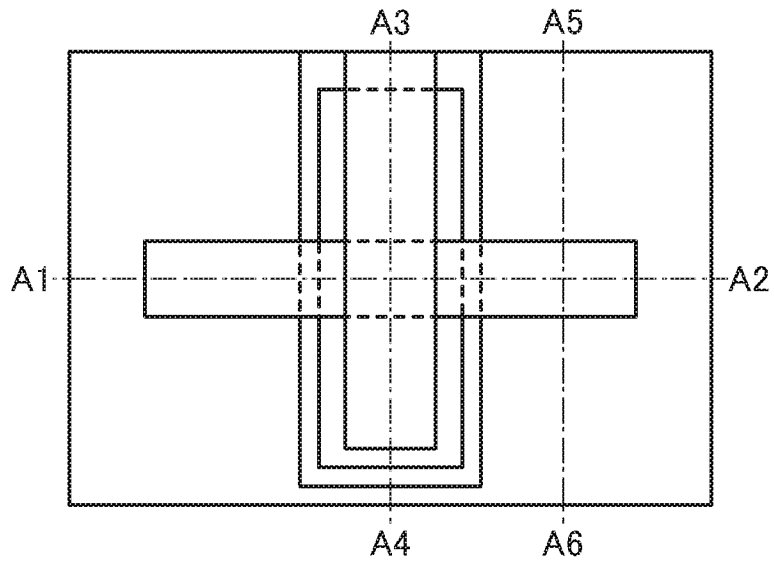
(D)



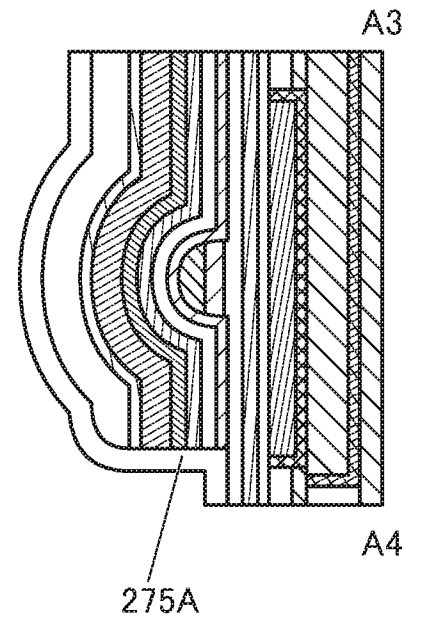
[ 8]

8/143

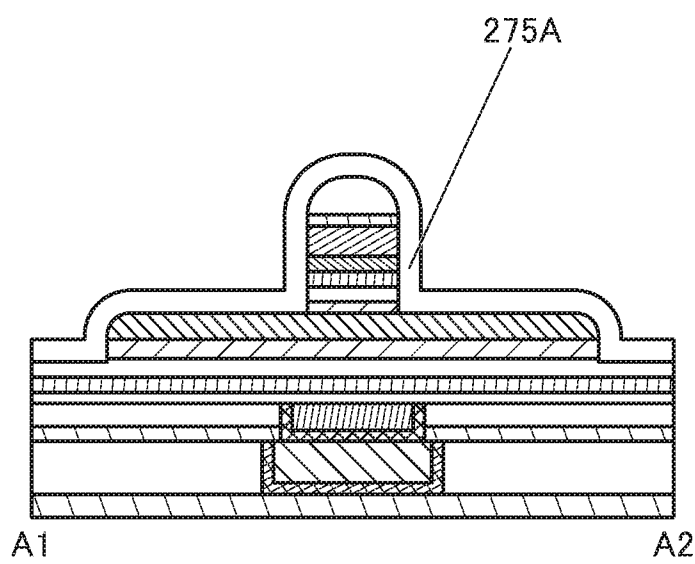
(A)



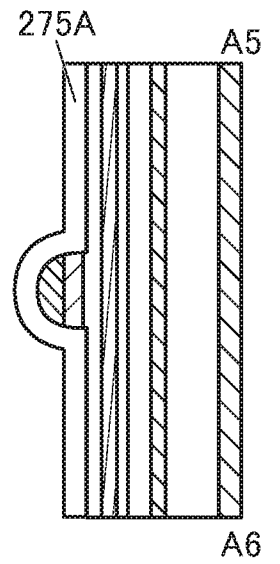
(C)



(B)



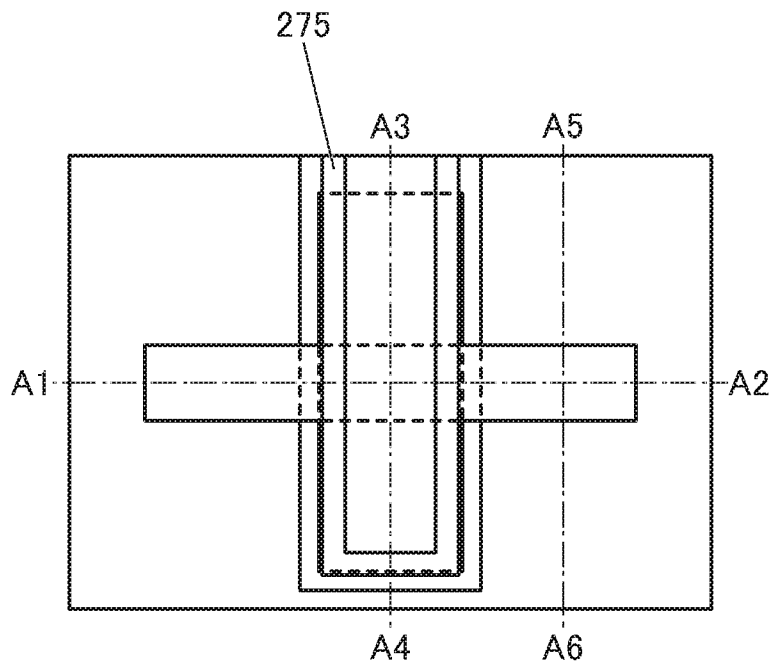
(D)



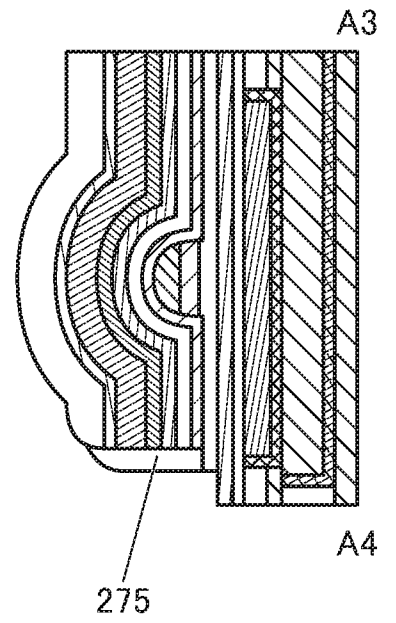
[ 9]

9/143

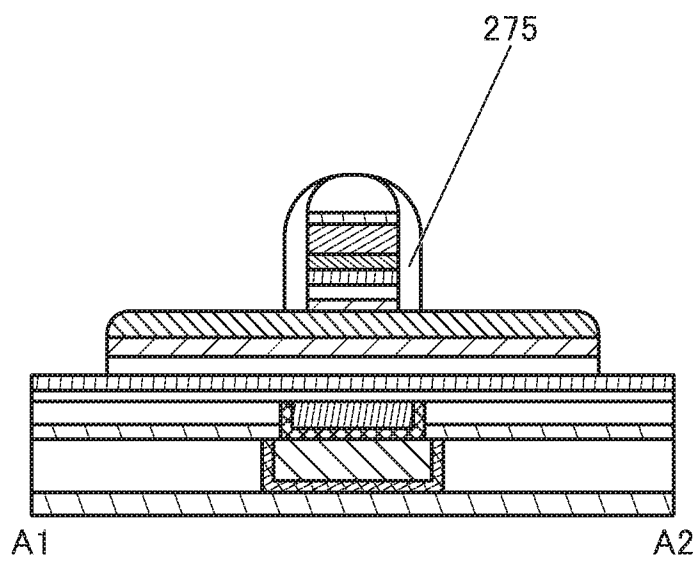
(A)



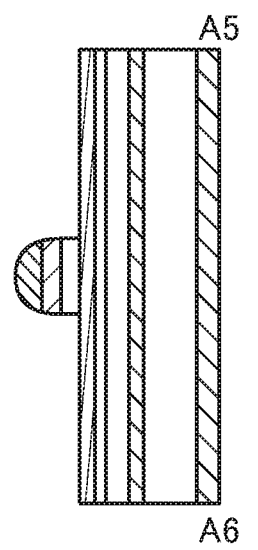
(C)



(B)



(D)

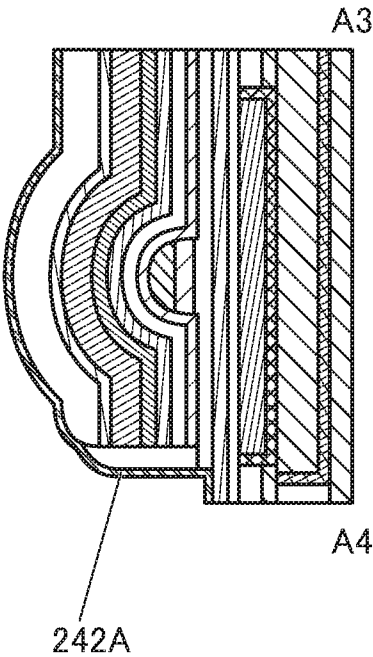
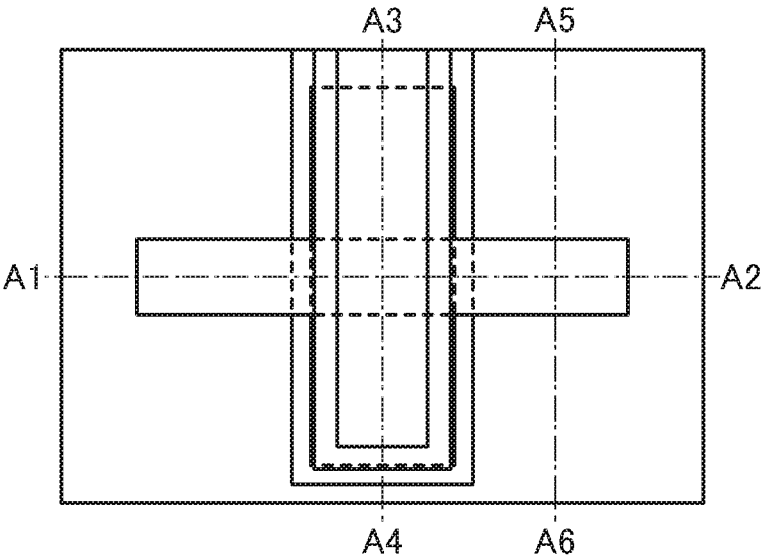


[ 10]

10/143

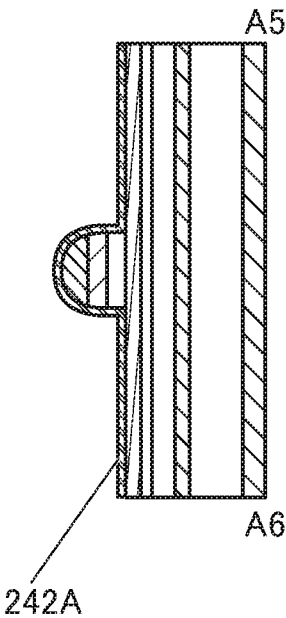
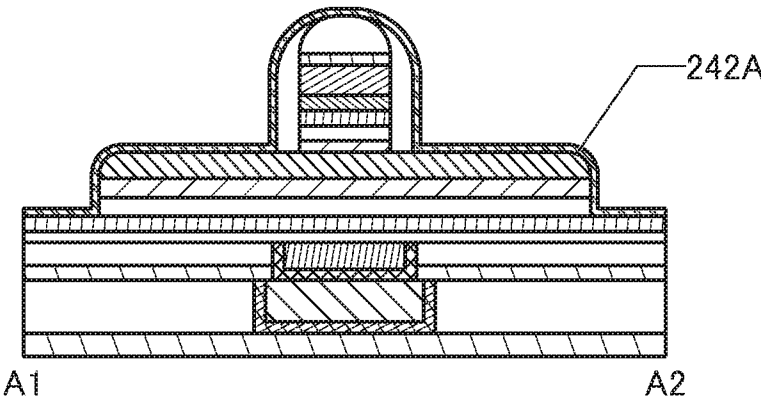
(A)

(C)



(B)

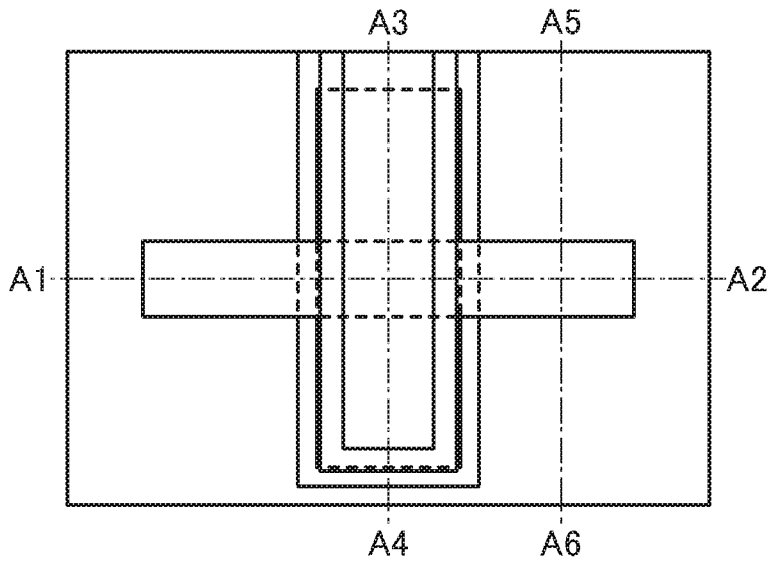
(D)



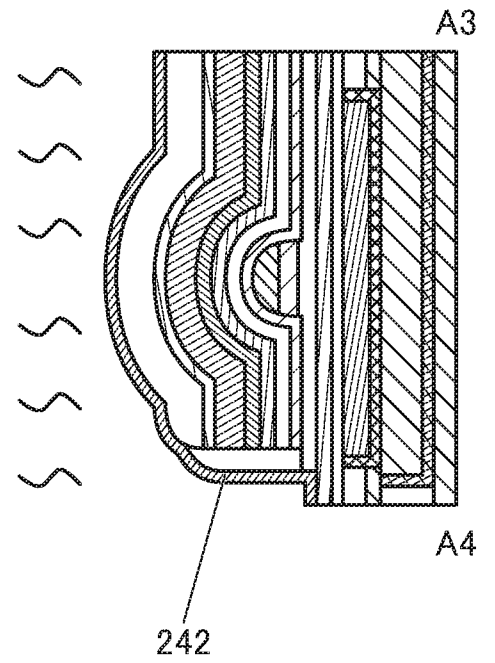
[ 11]

11/143

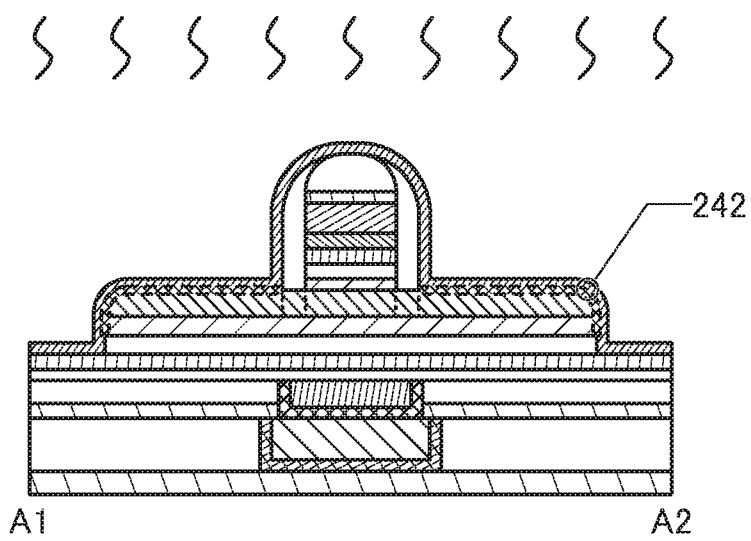
(A)



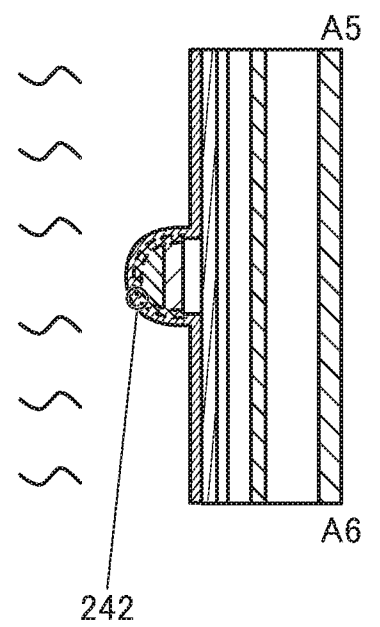
(C)



(B)



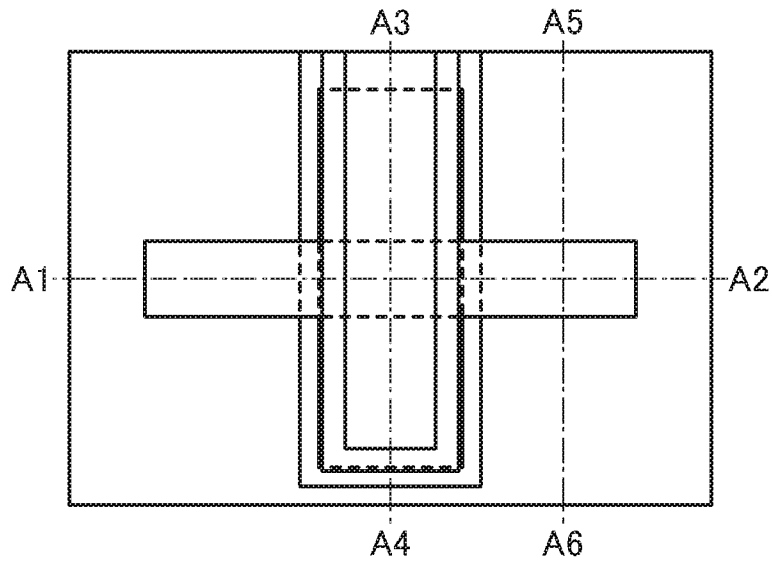
(D)



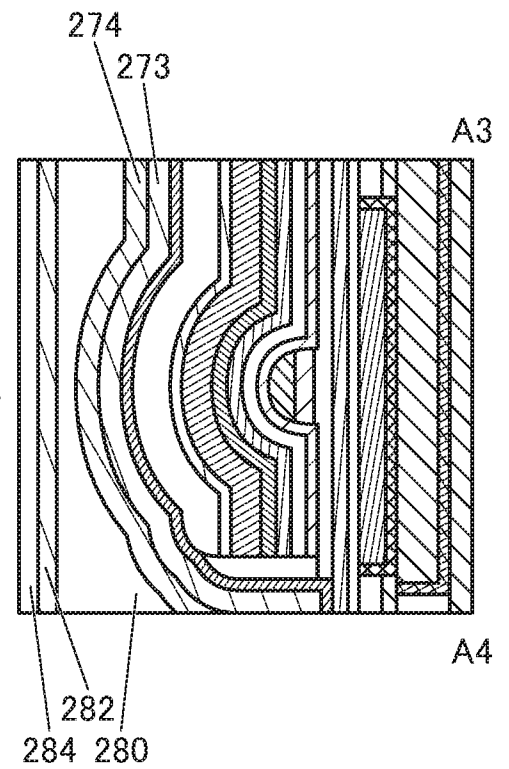
[ 12]

12/143

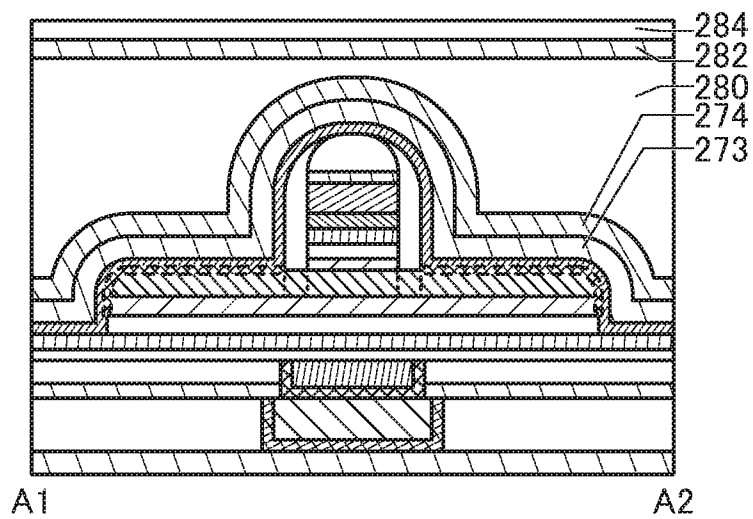
(A)



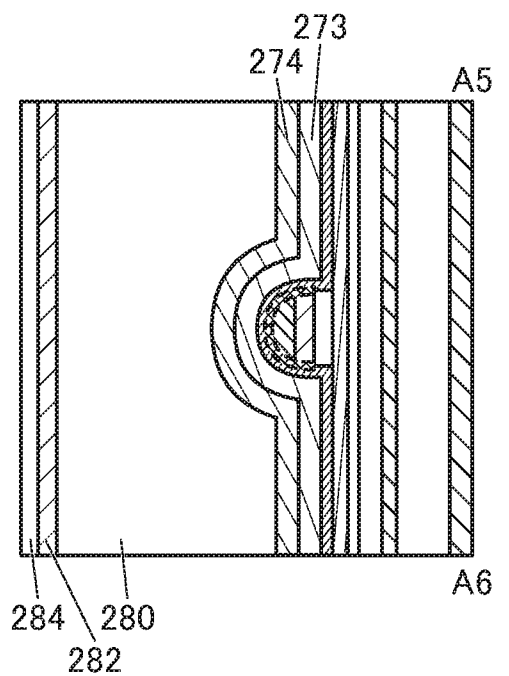
(C)



(B)



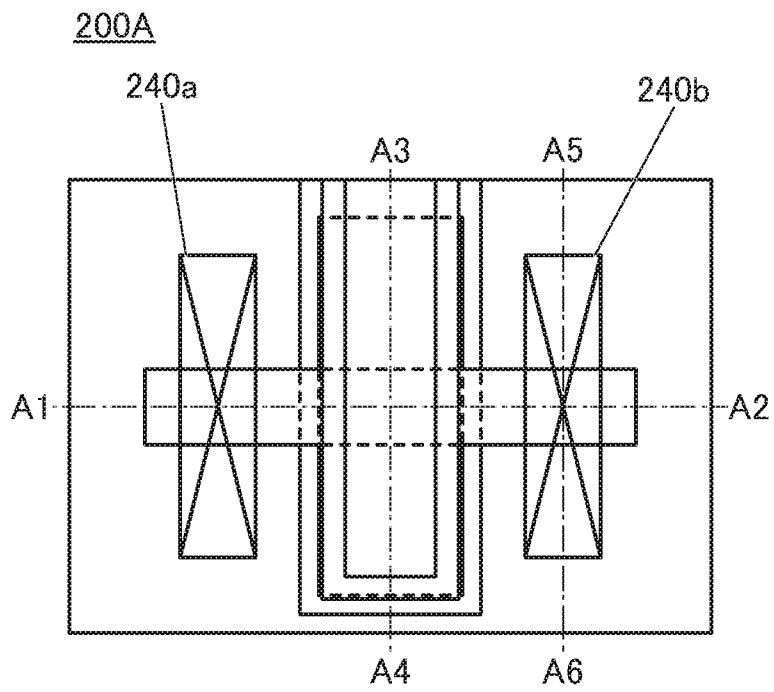
(D)



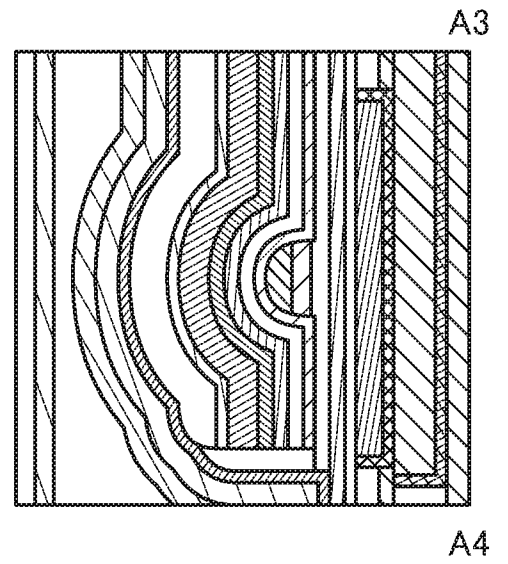
[ 13]

13/143

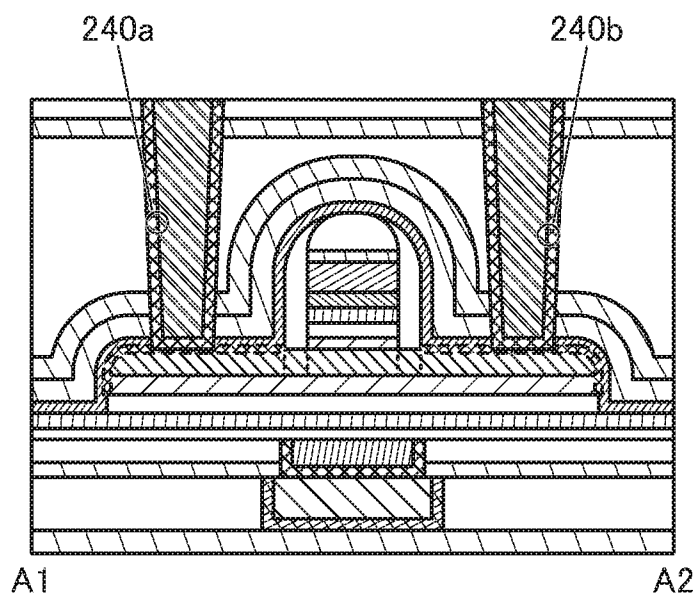
(A)



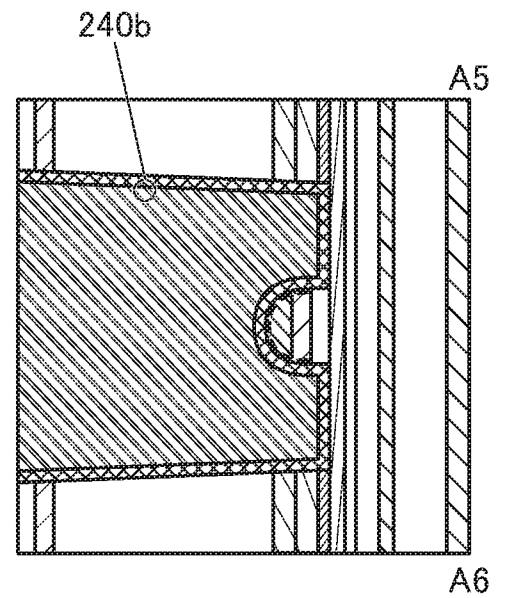
(C)



(B)

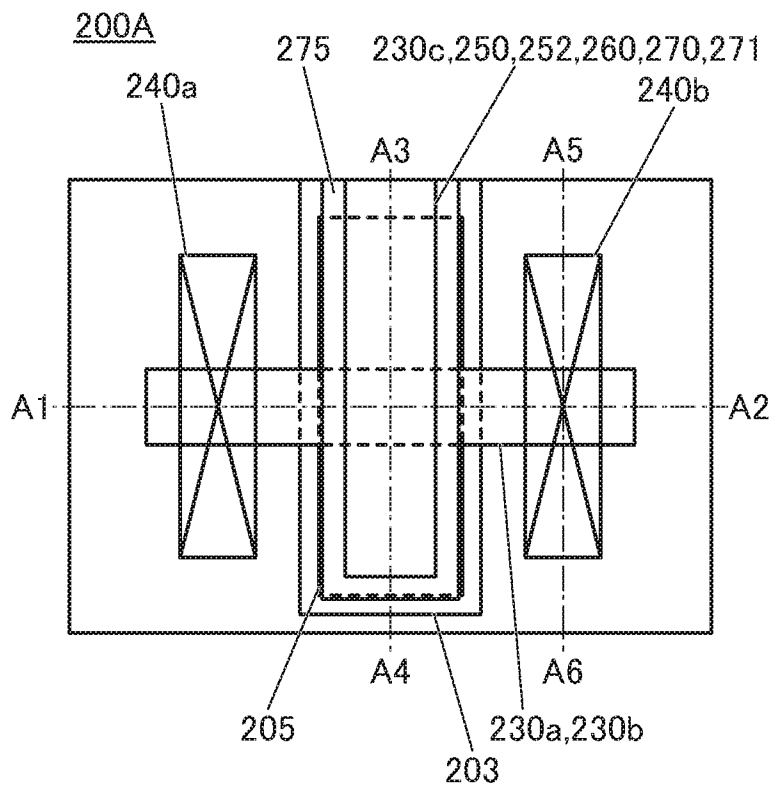


(D)

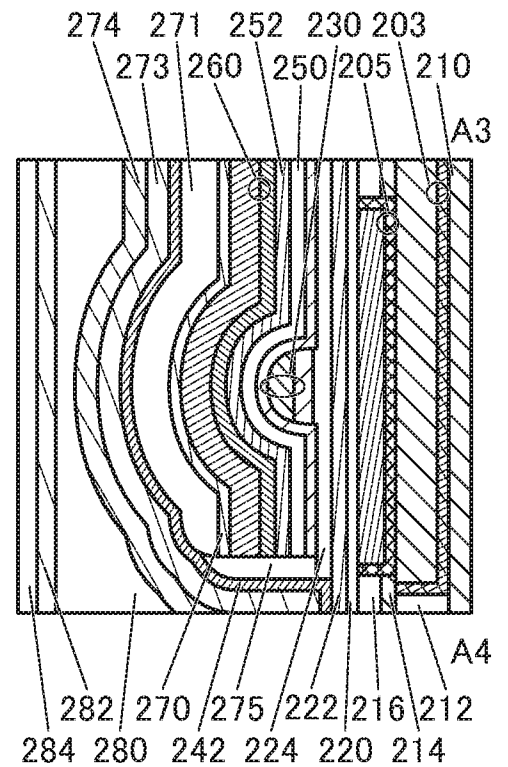


[図 14]

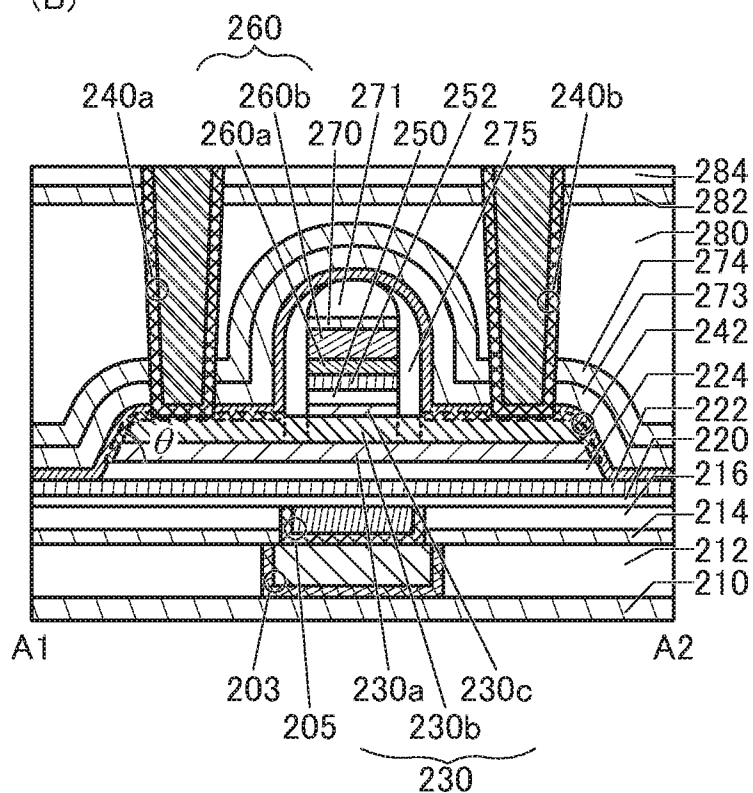
(A)



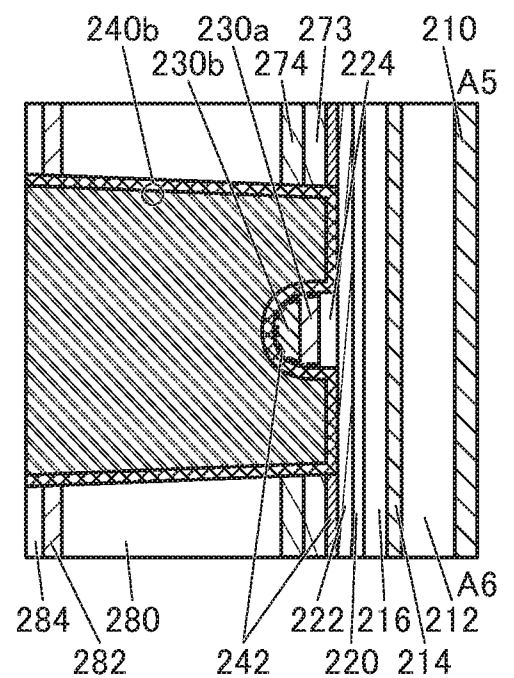
(C)



(B)

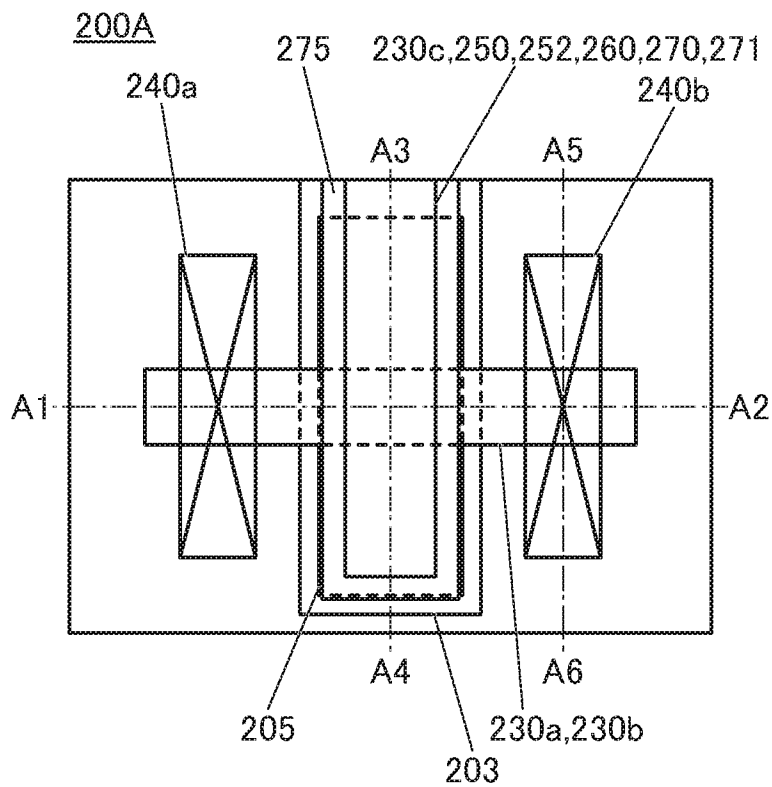


(D)

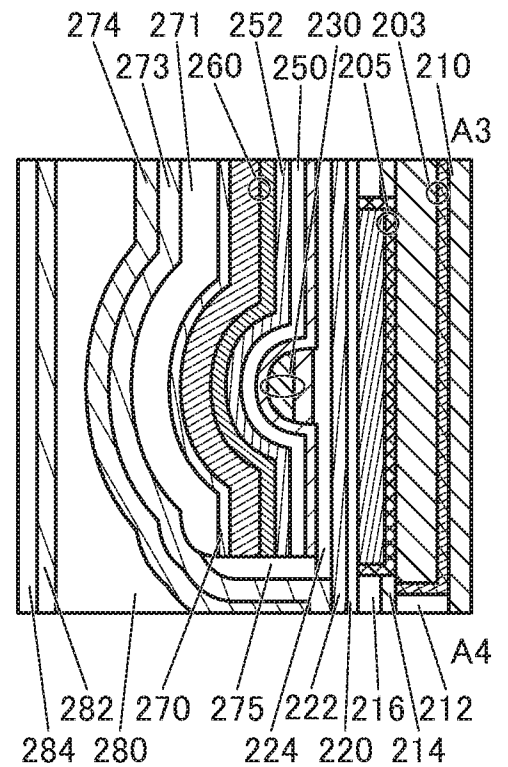


[図15]

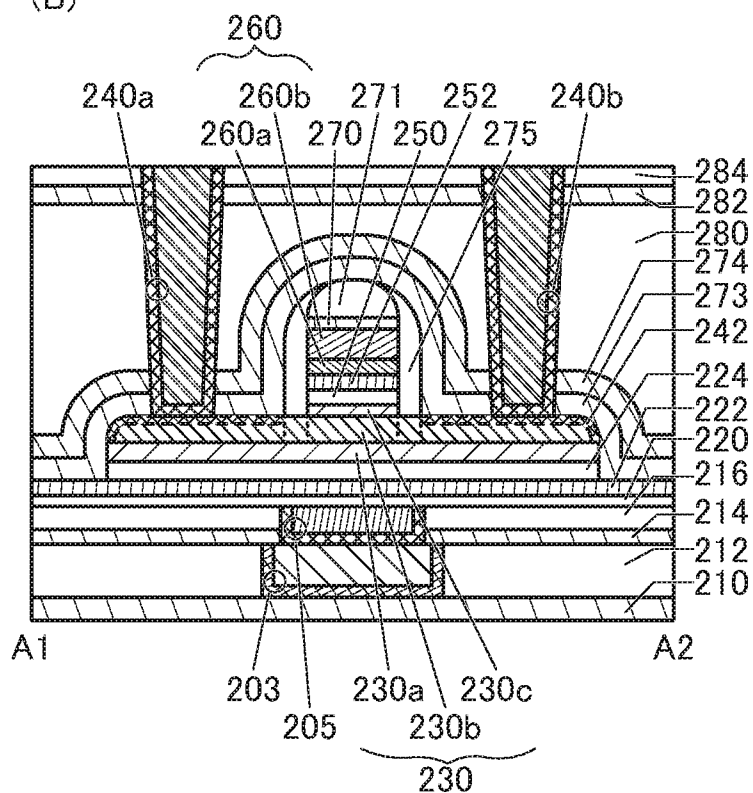
(A)



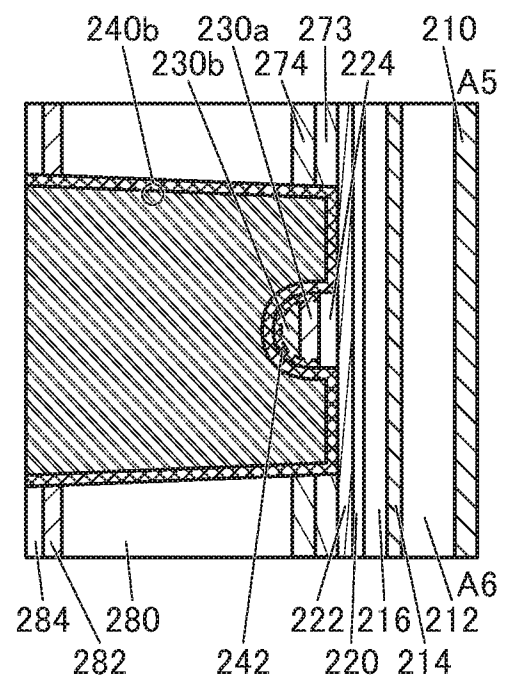
(C)



(B)

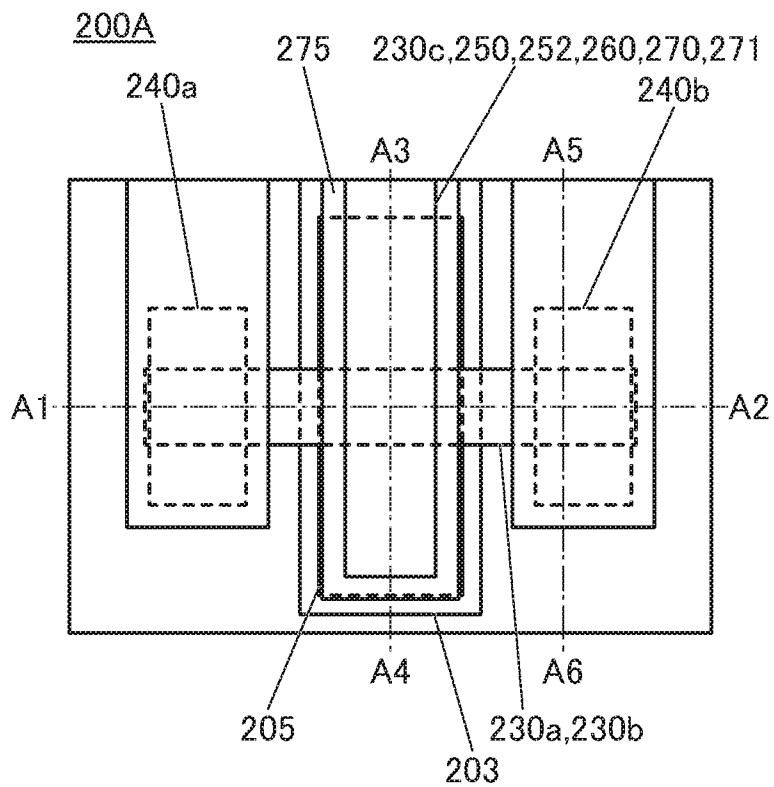


(D)

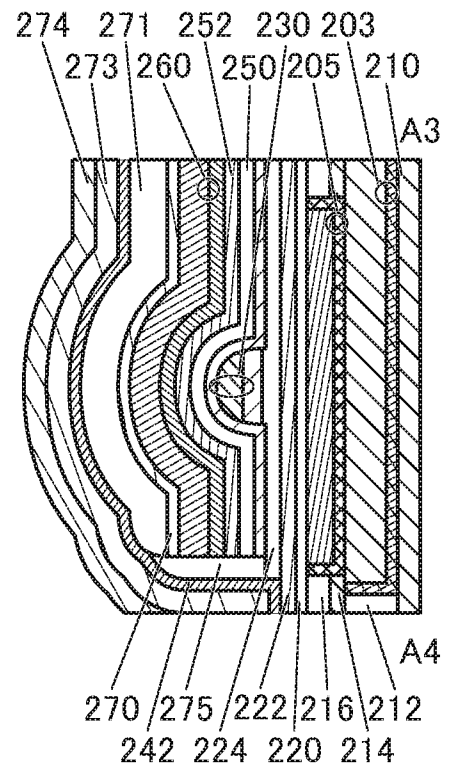


[図 16]

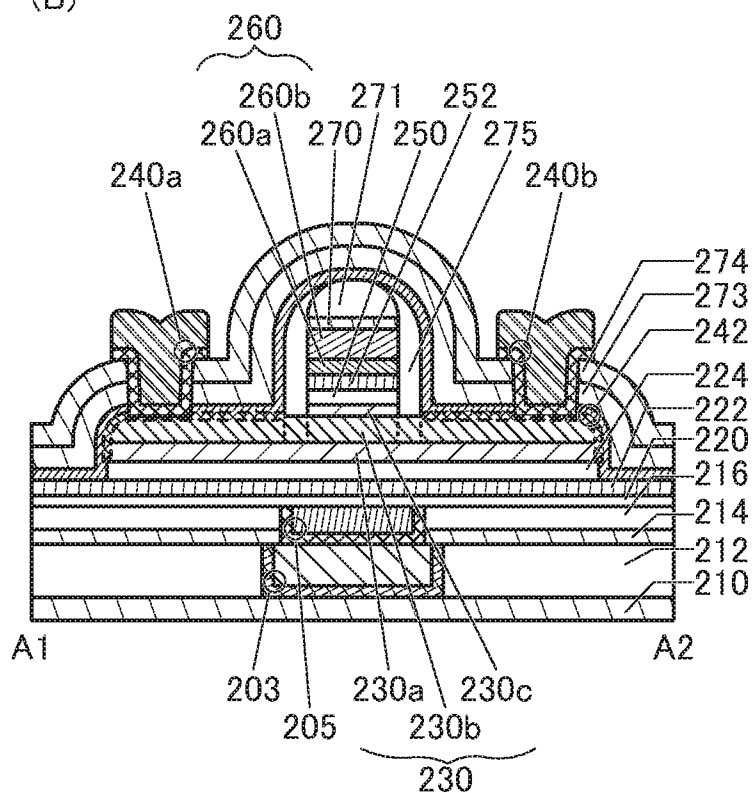
(A)



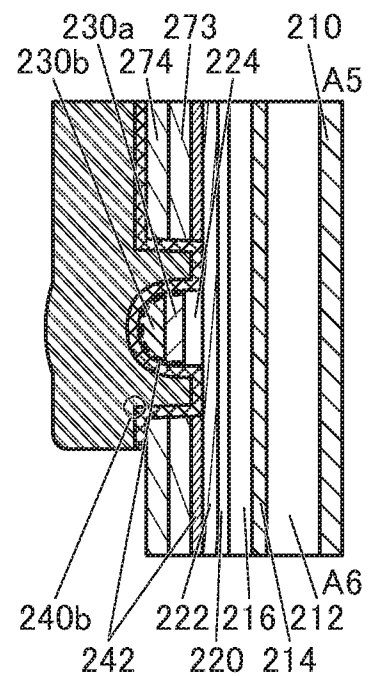
(C)



(B)

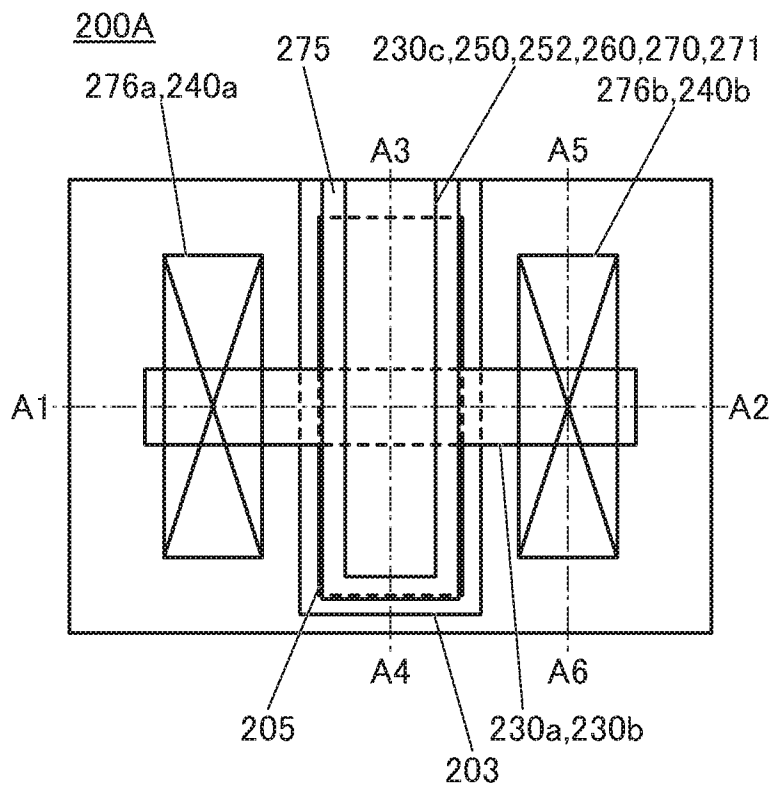


(D)

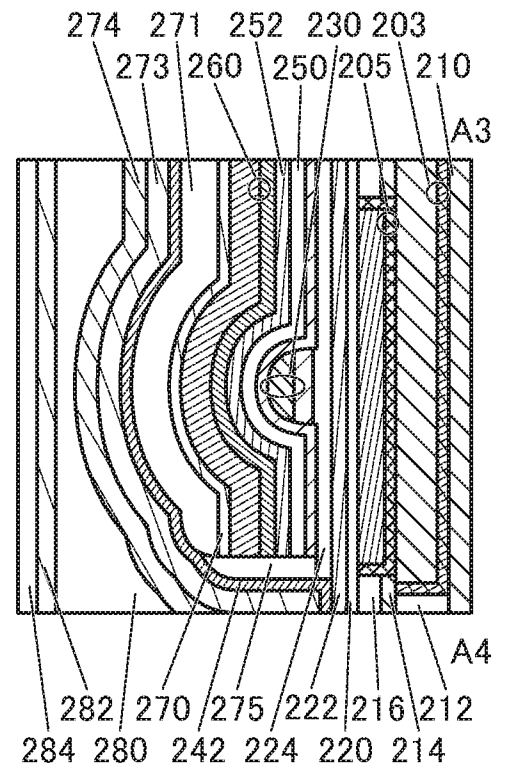


[図 17]

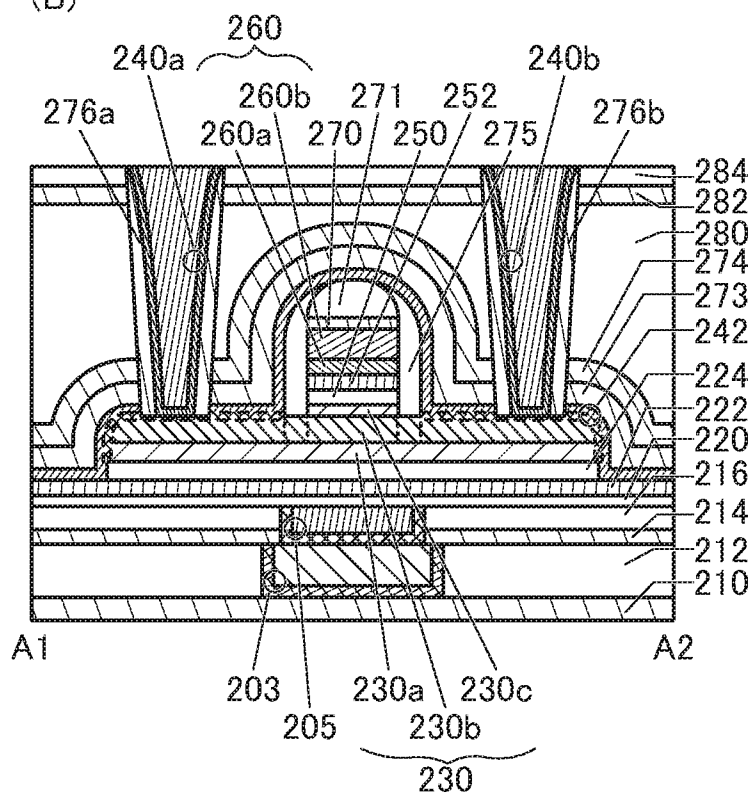
(A)



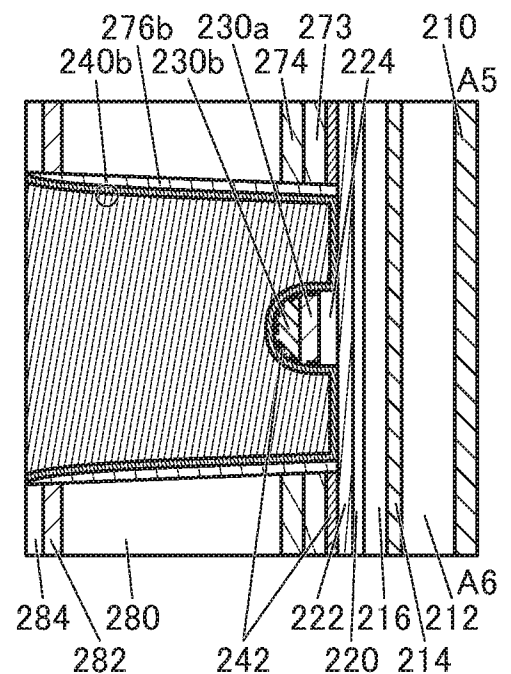
(C)



(B)

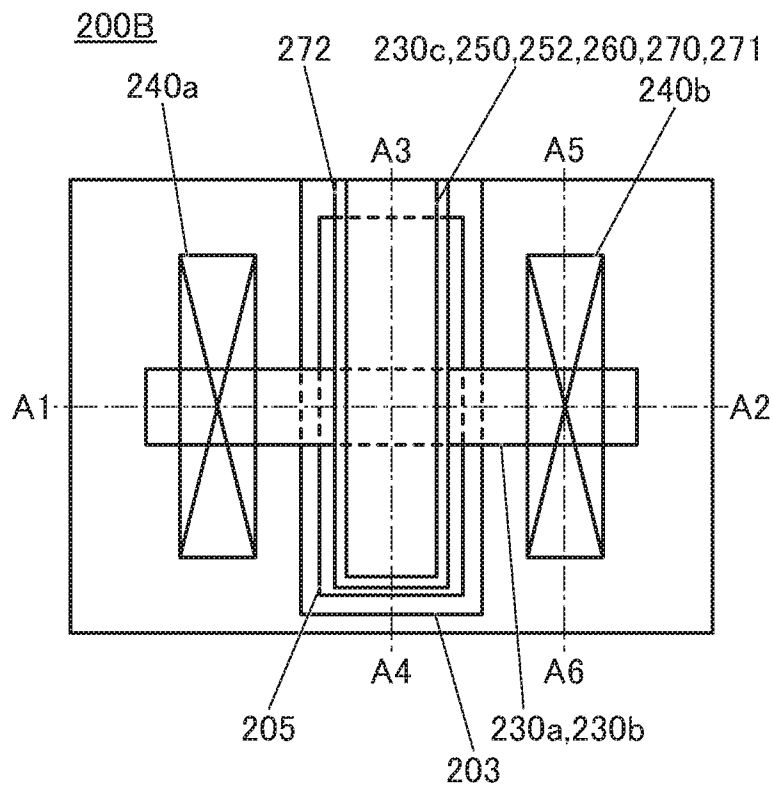


(D)

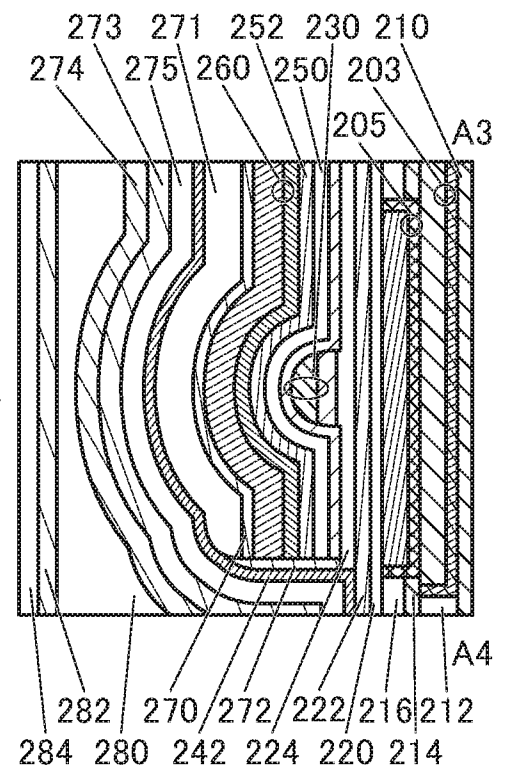


[図 18]

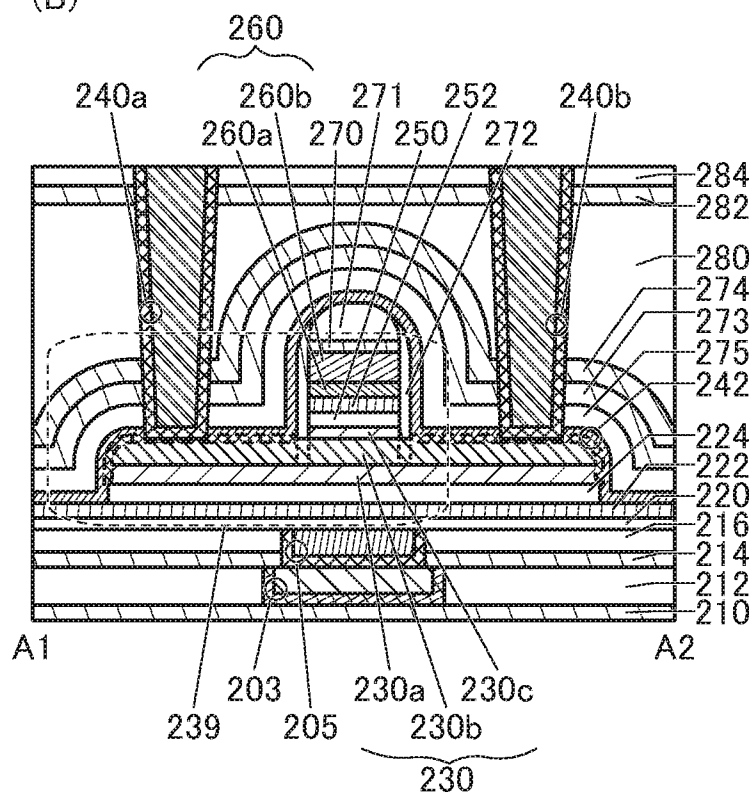
(A)



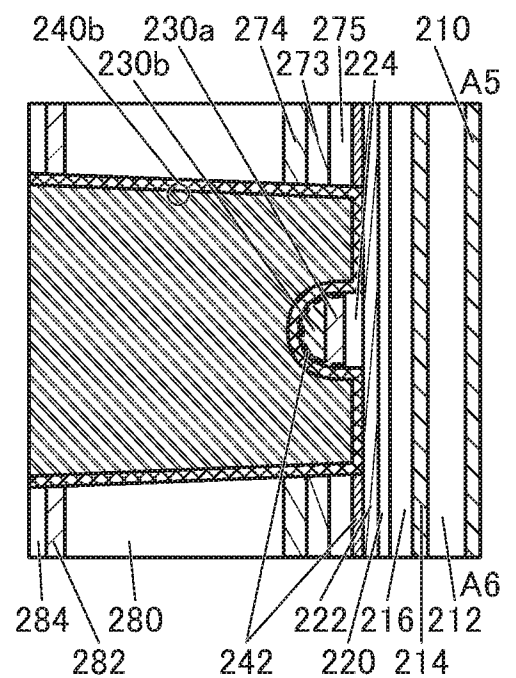
(C)



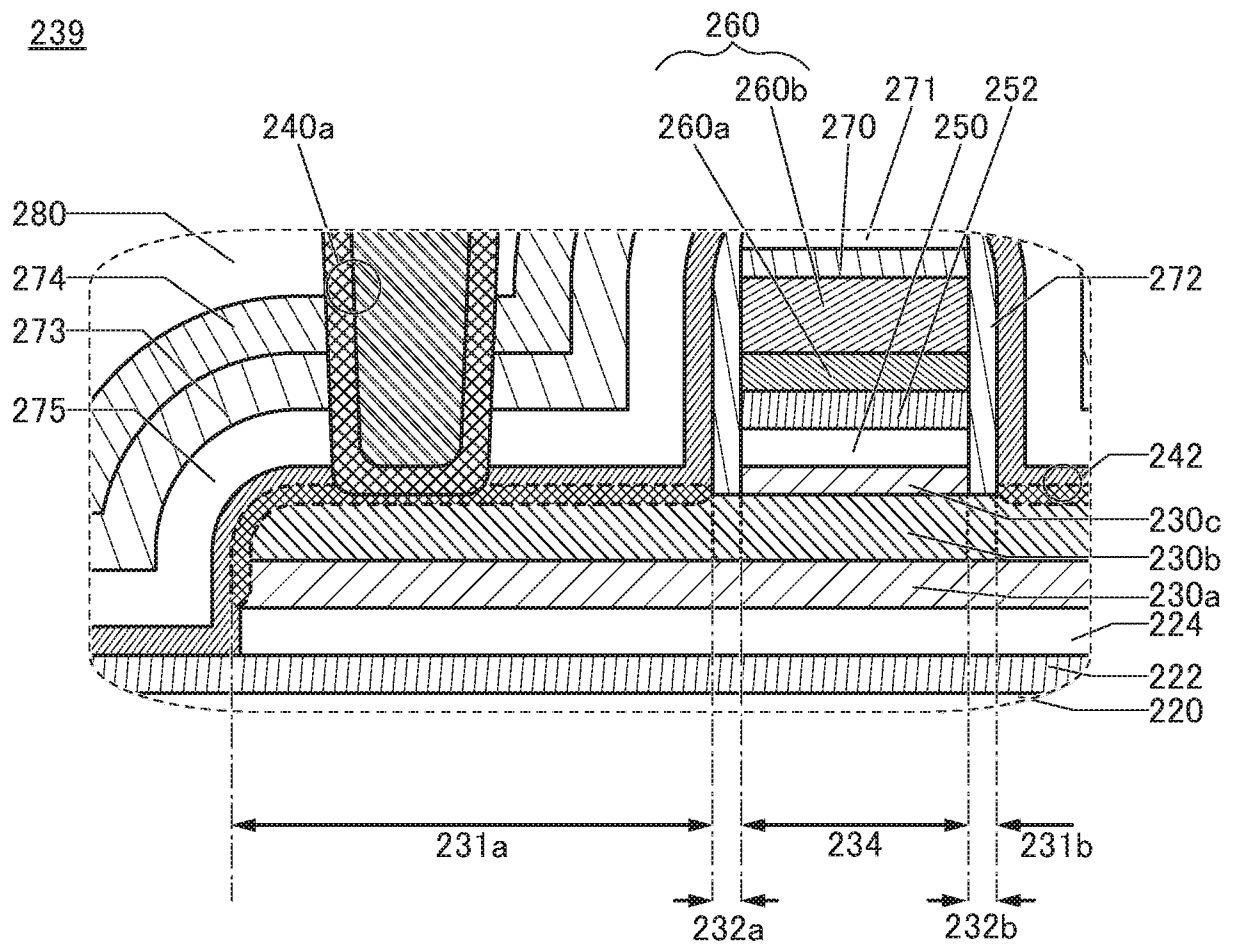
(B)



(D)



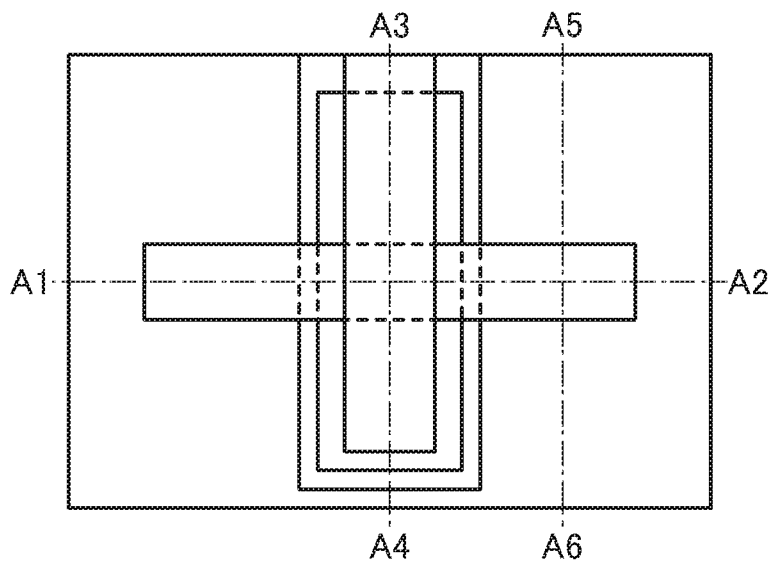
[図19]



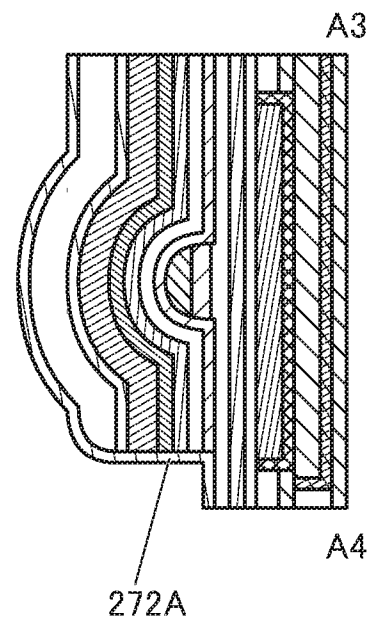
[ 20]

20/143

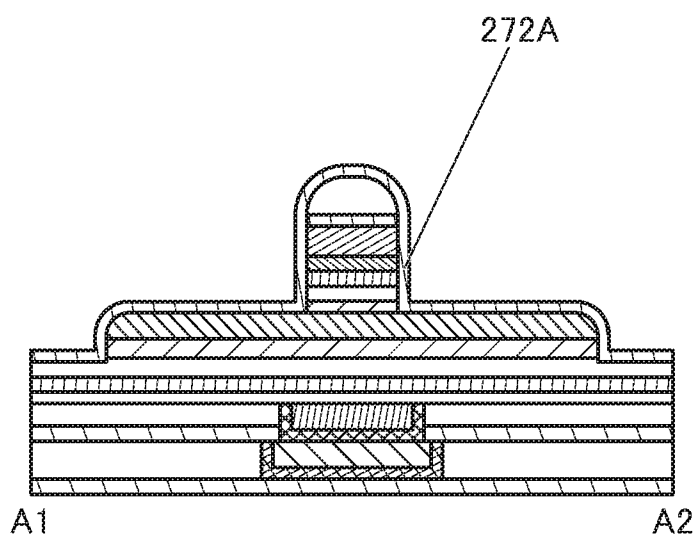
(A)



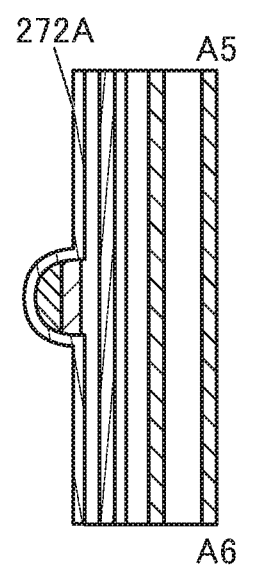
(C)



(B)

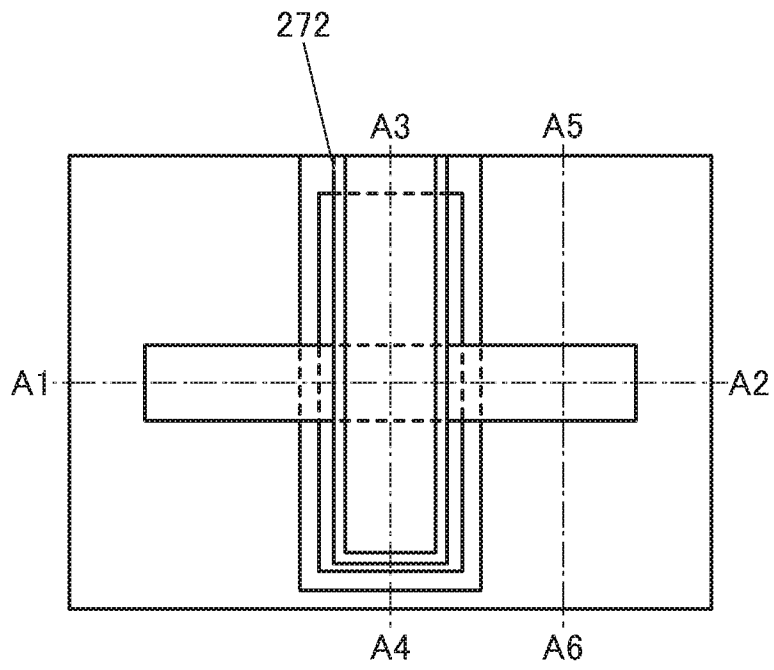


(D)

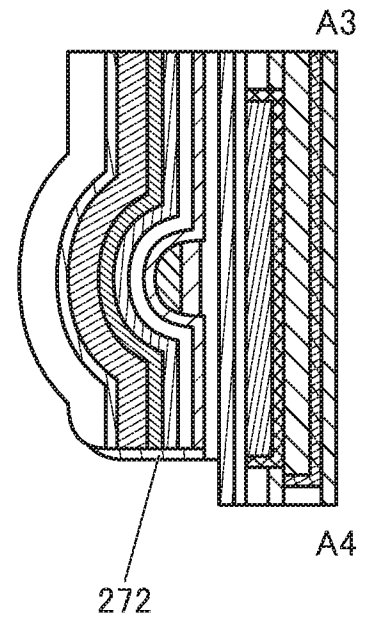


[ 21]

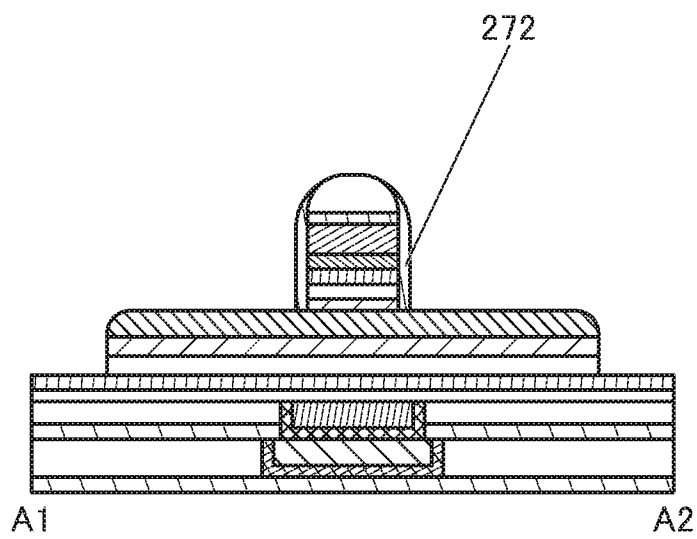
(A)



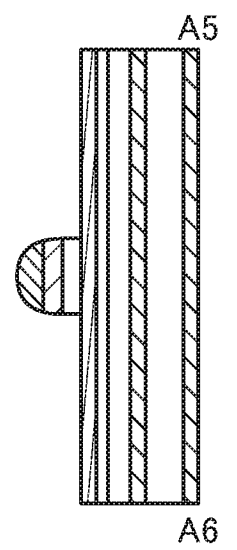
(C)



(B)



(D)

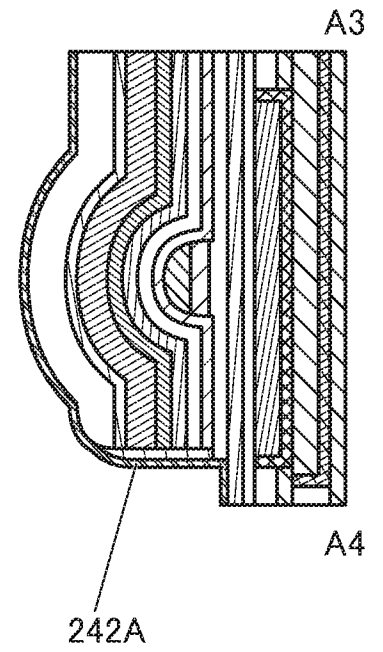
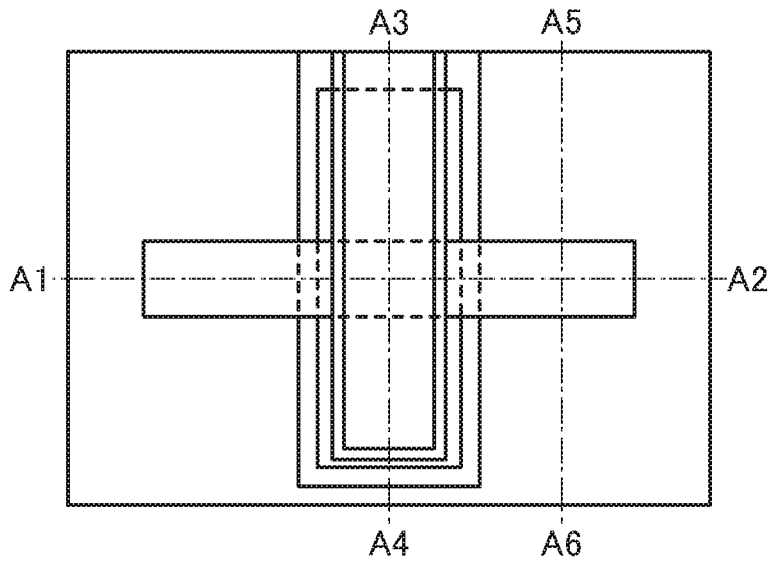


22/143

[ 22]

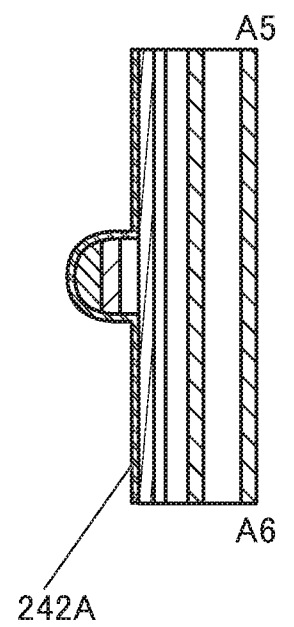
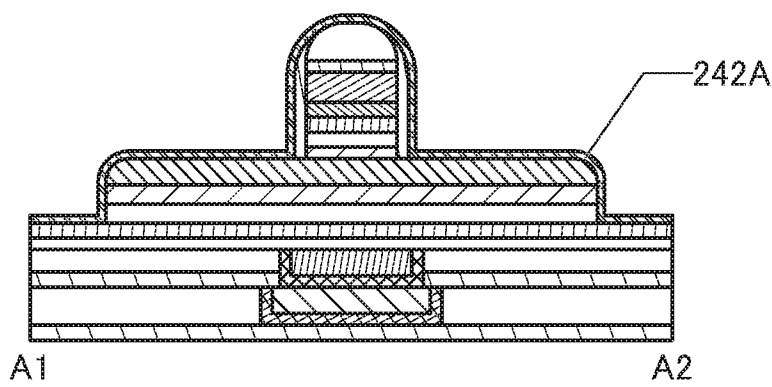
(A)

(C)



(B)

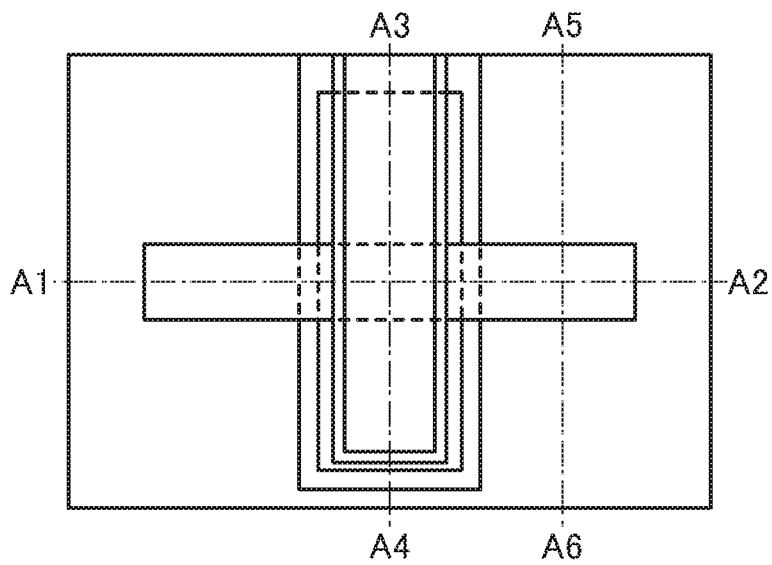
(D)



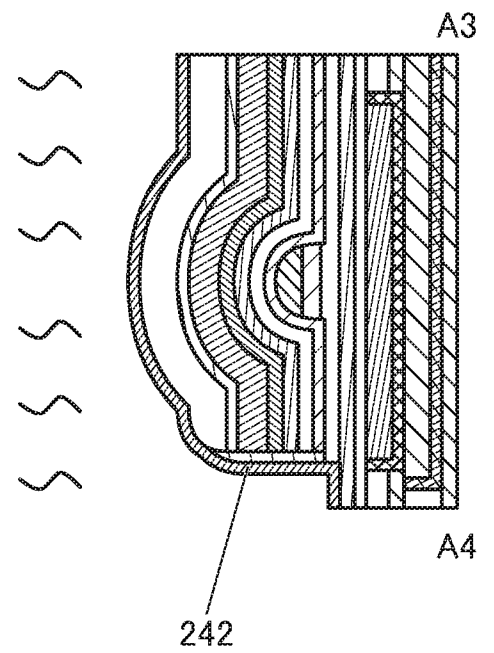
[ 23]

23/143

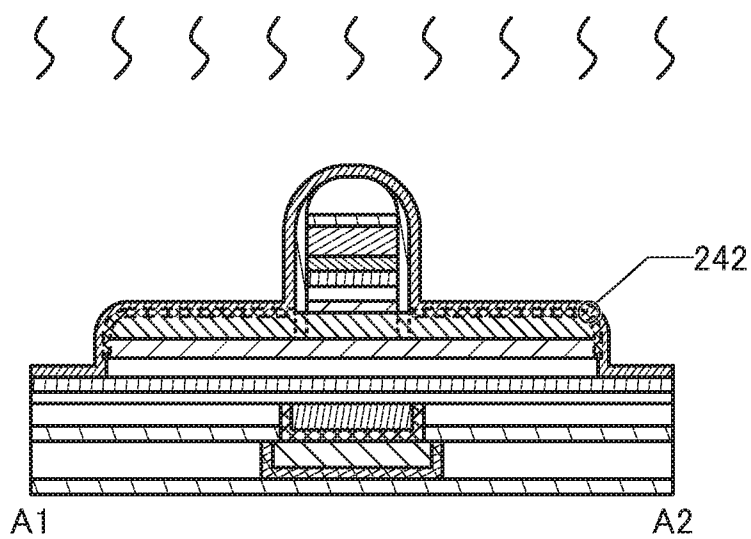
(A)



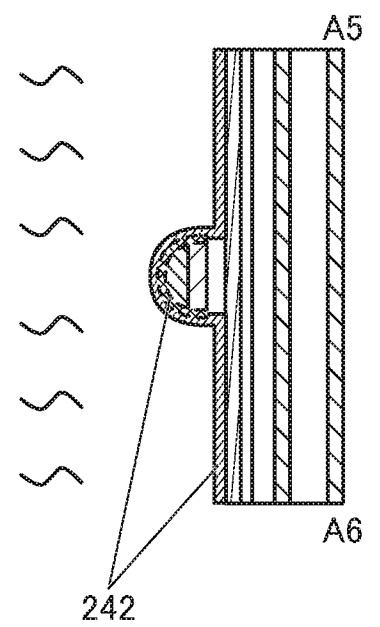
(C)



(B)

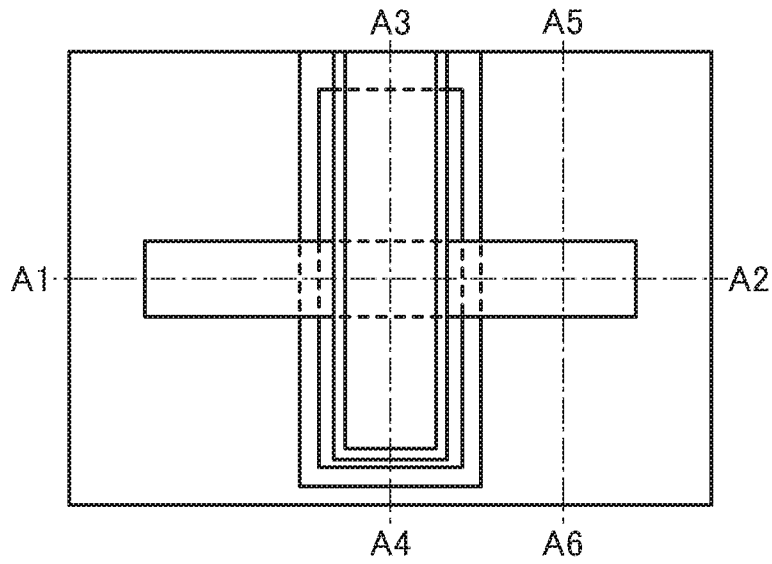


(D)

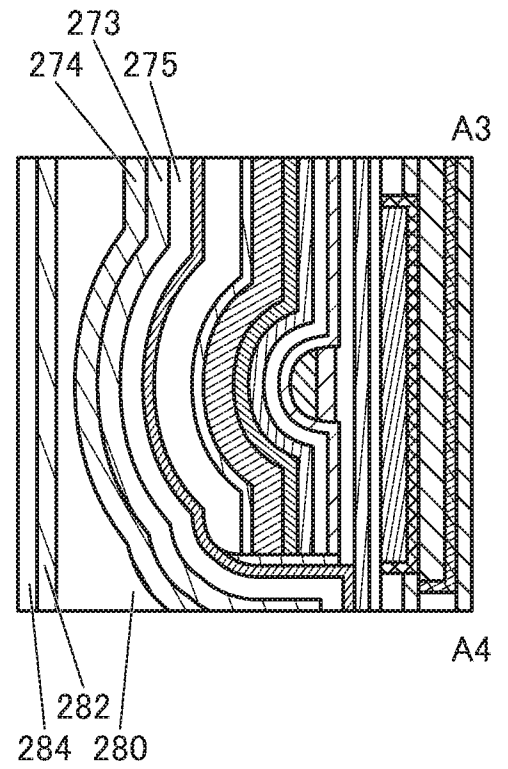


[図24]

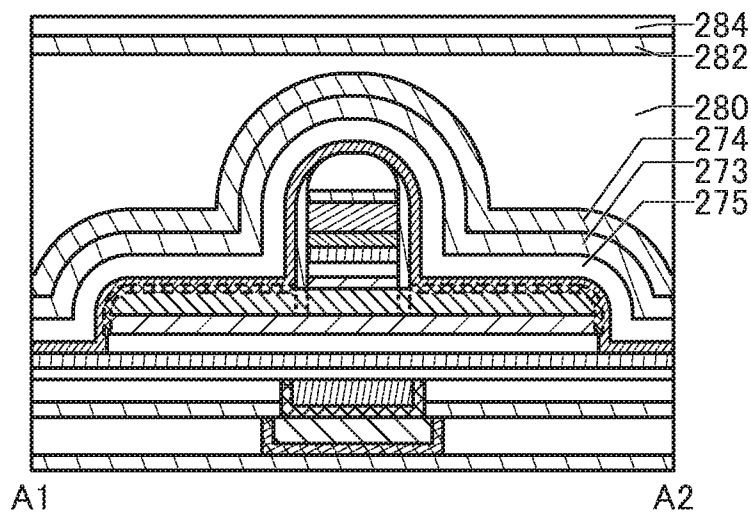
(A)



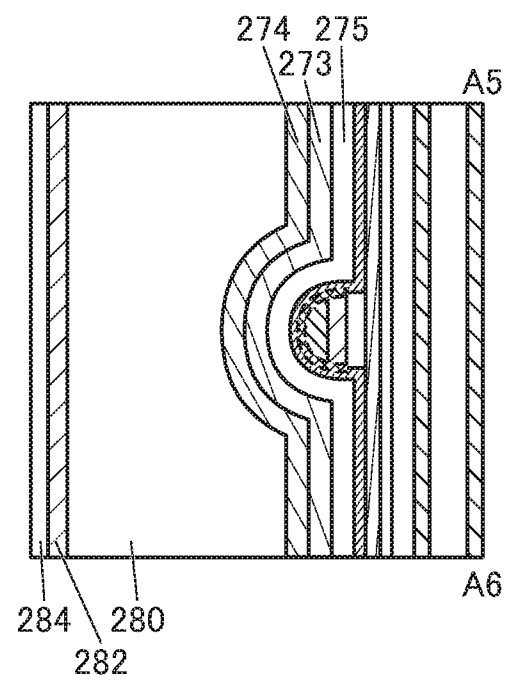
(C)



(B)



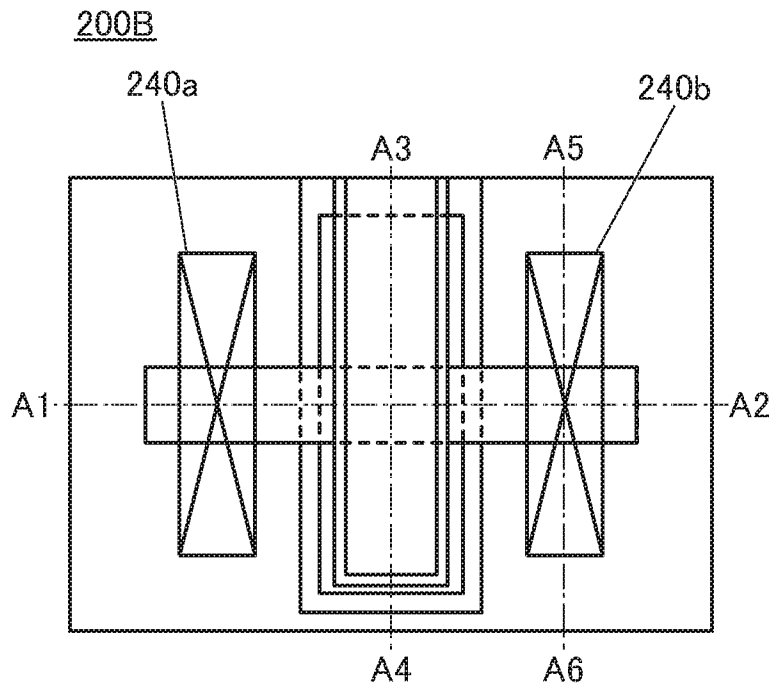
(D)



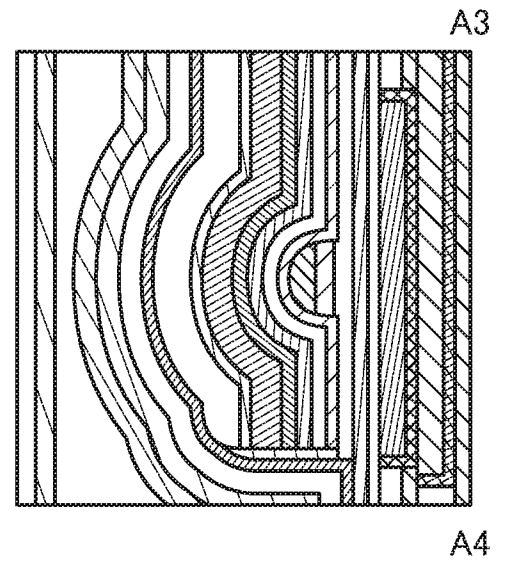
[図25]

25/143

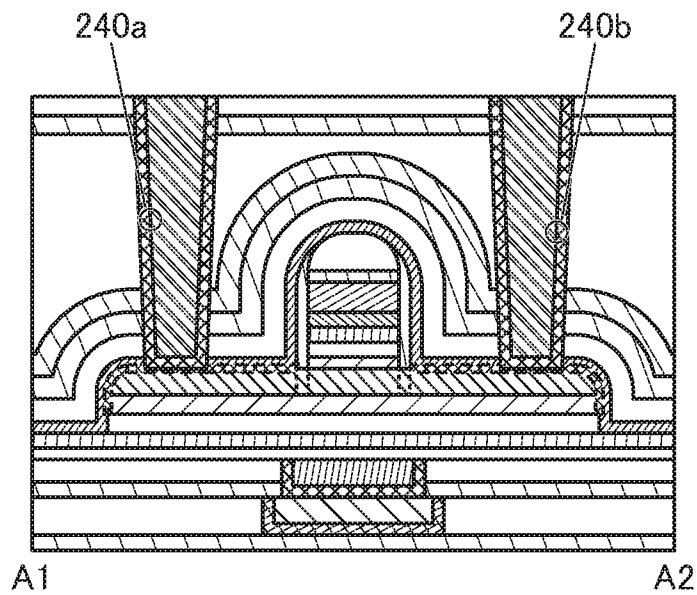
(A)



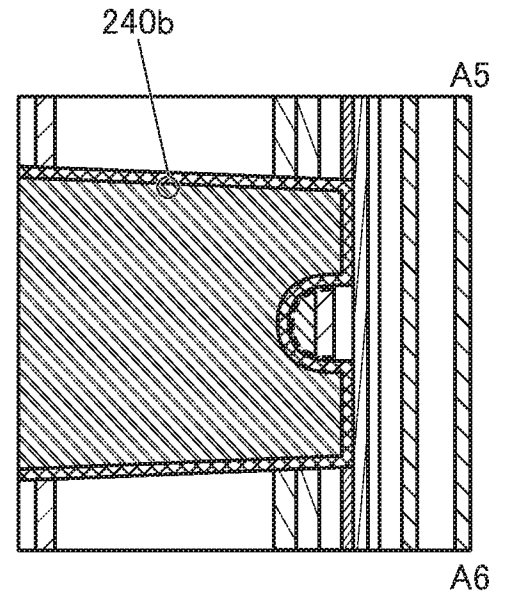
(C)



(B)



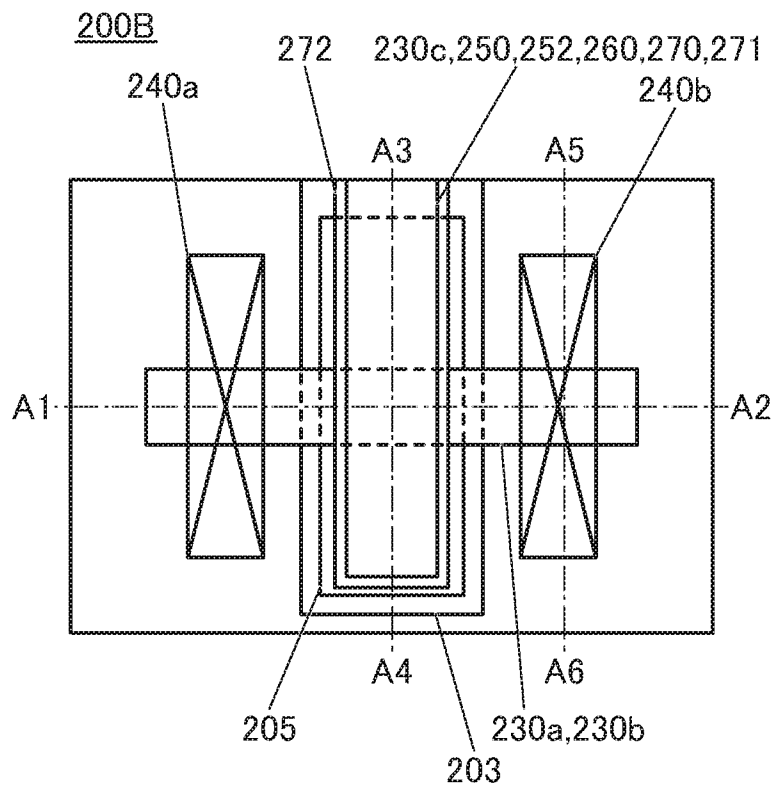
(D)



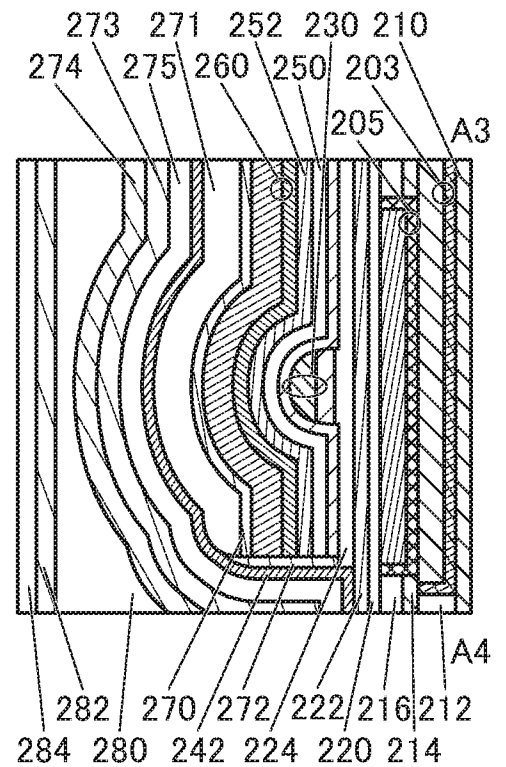
[図26]

26/143

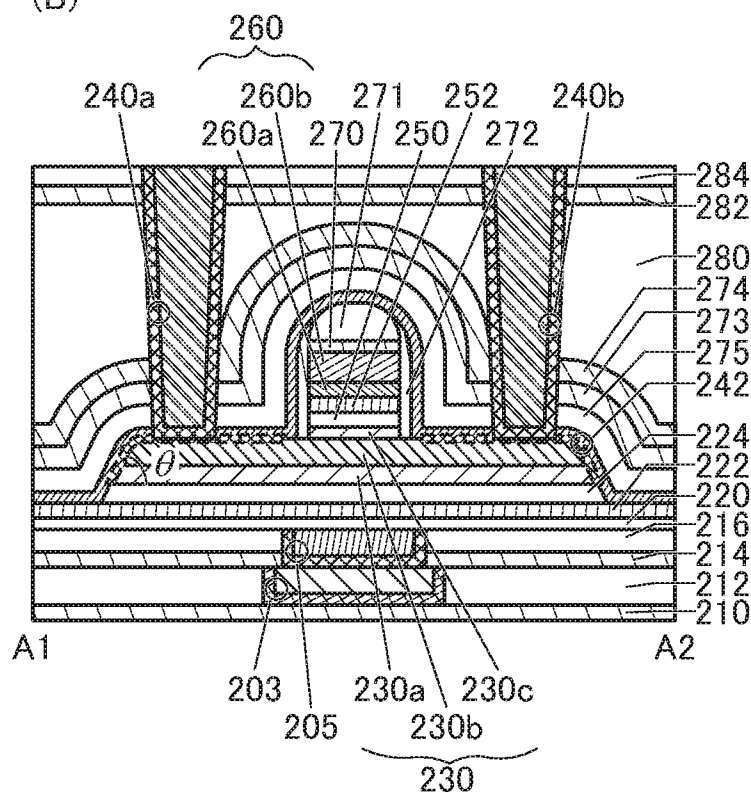
(A)



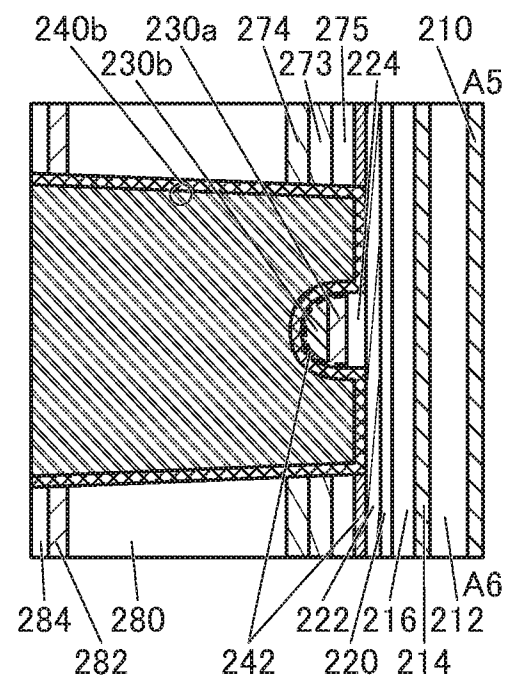
(C)



(B)

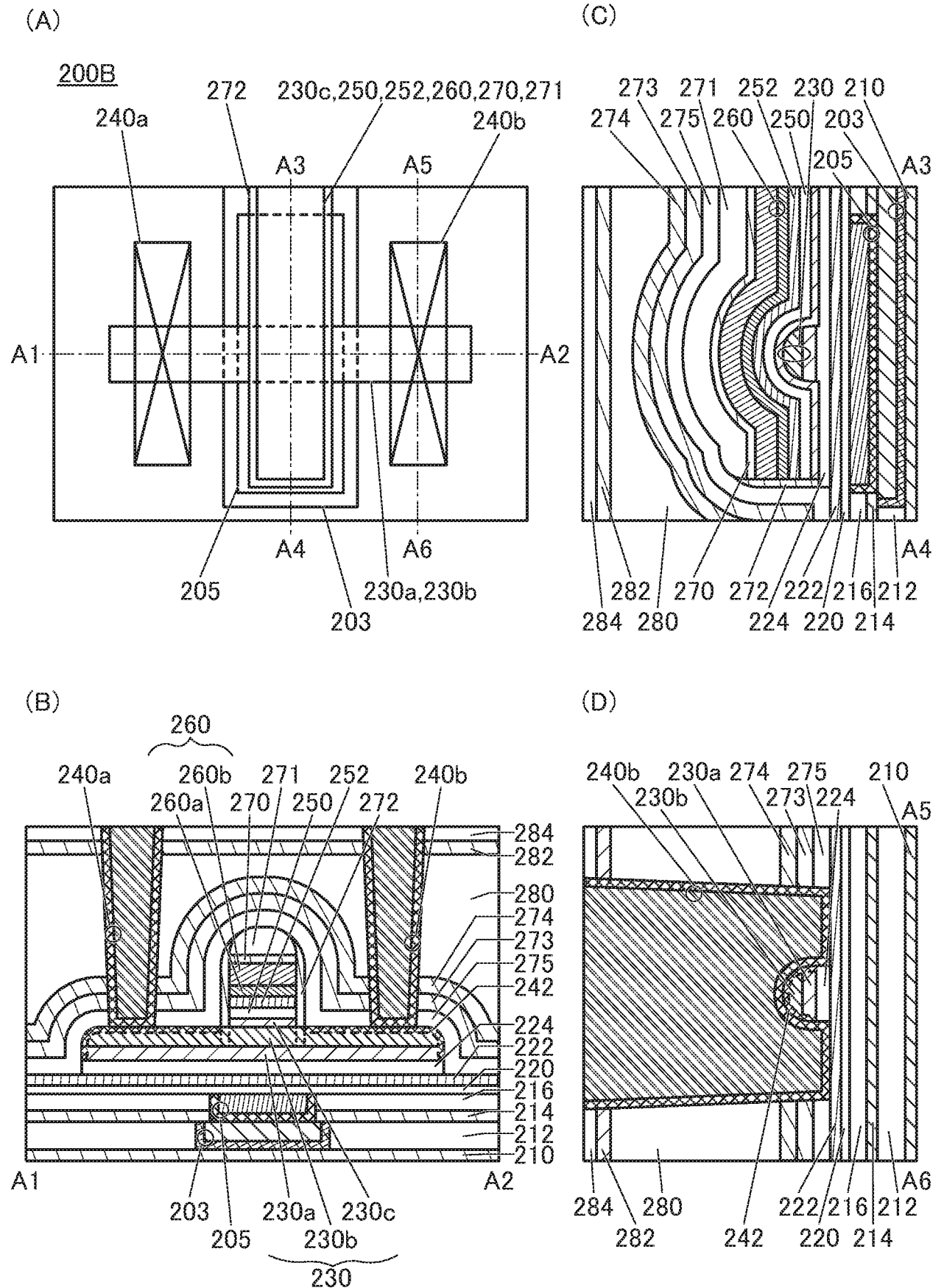


(D)



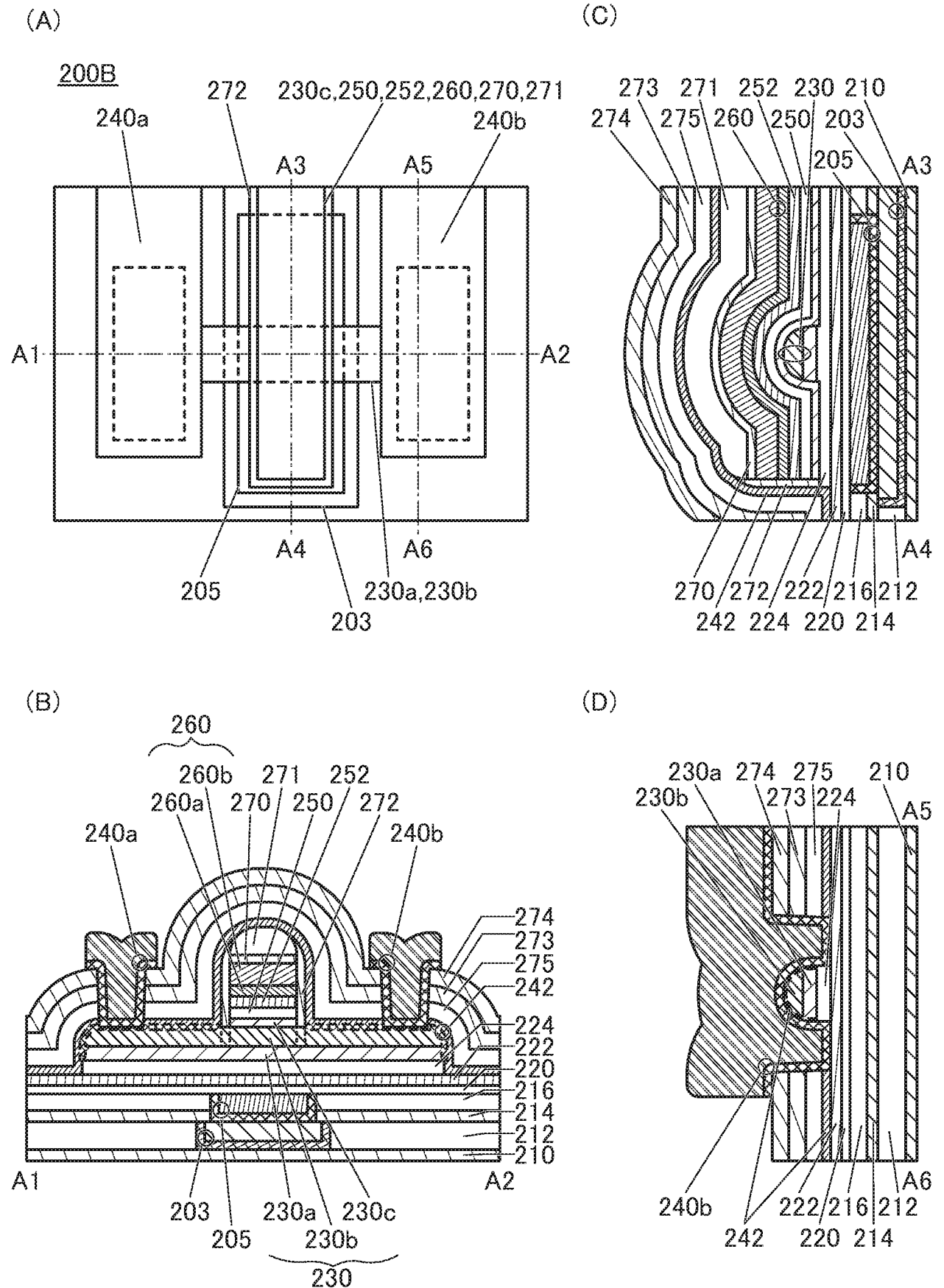
27/143

[図27]



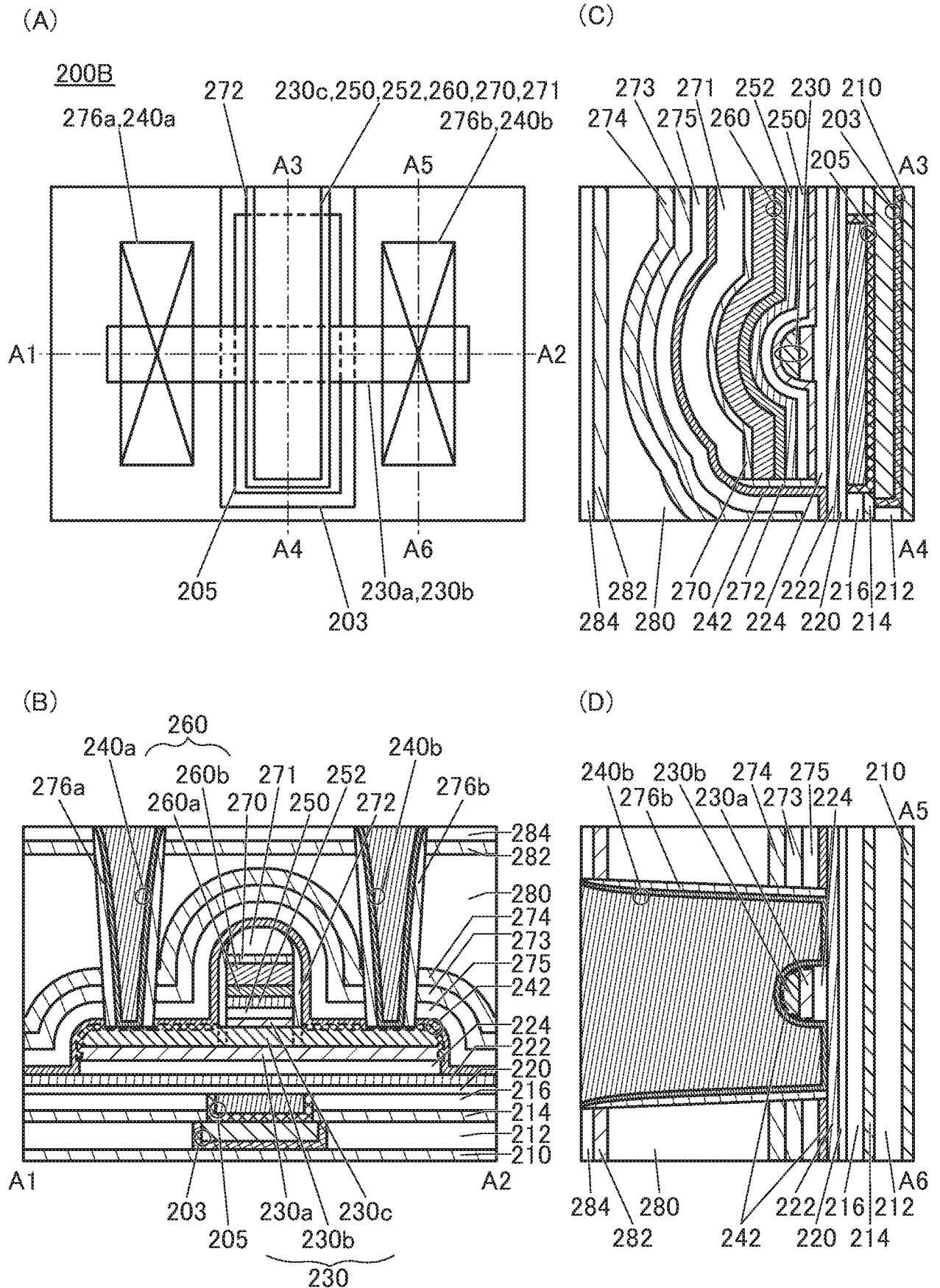
[図28]

28/143



[図29]

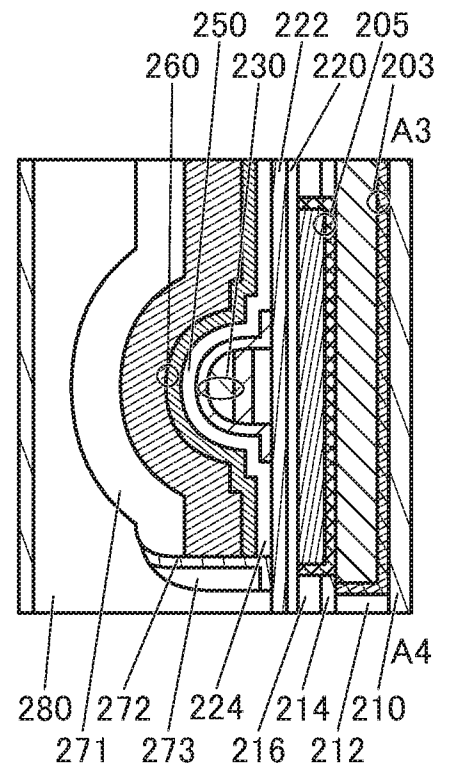
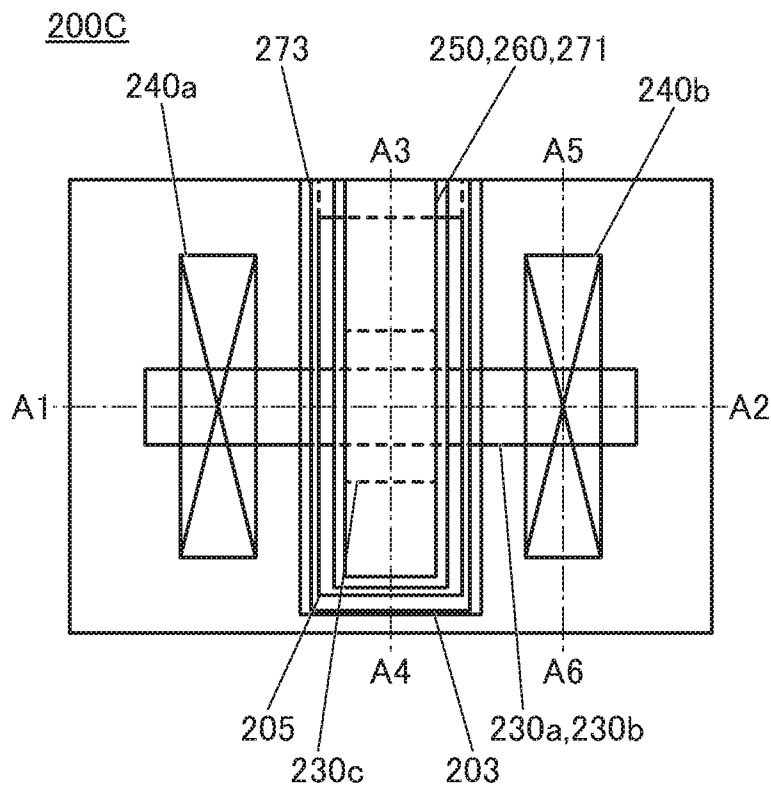
29/143



[図 30]

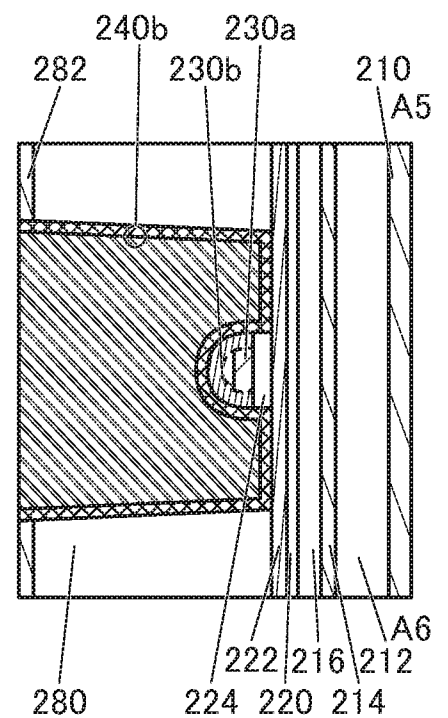
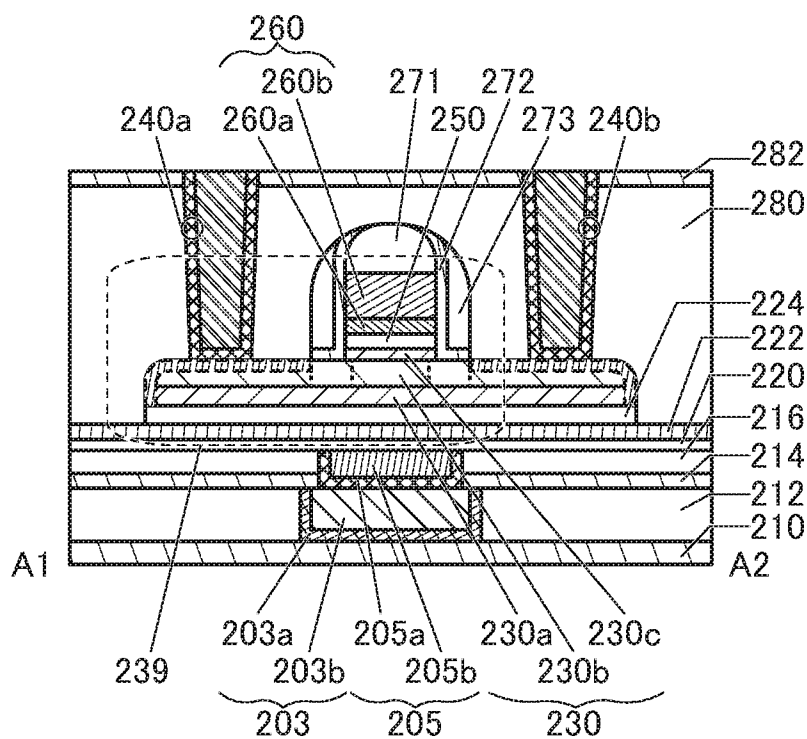
(A)

(C)



(B)

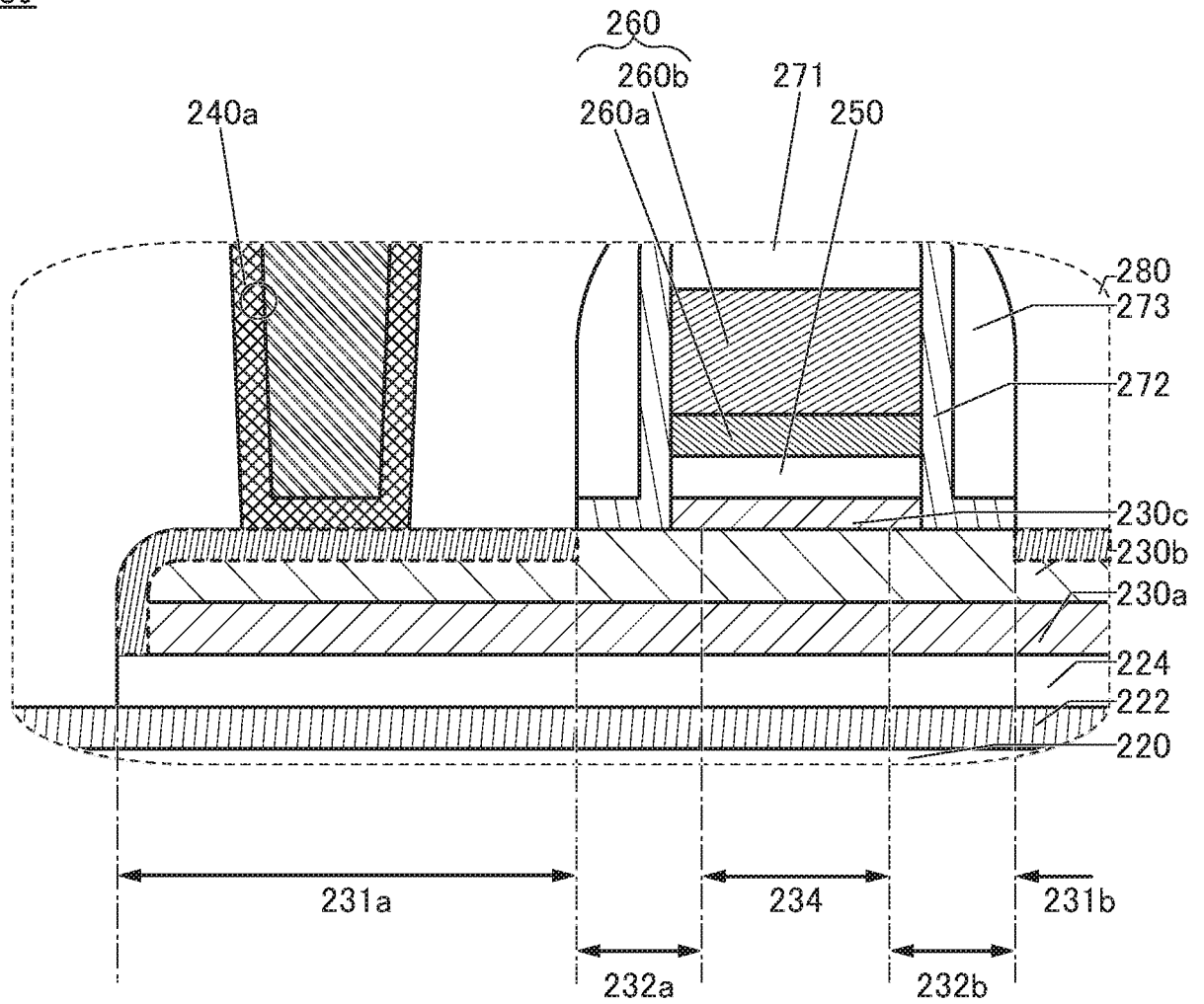
(D)



[図31]

31/143

239

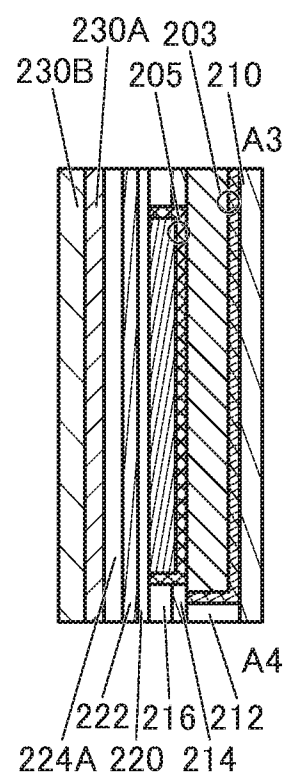
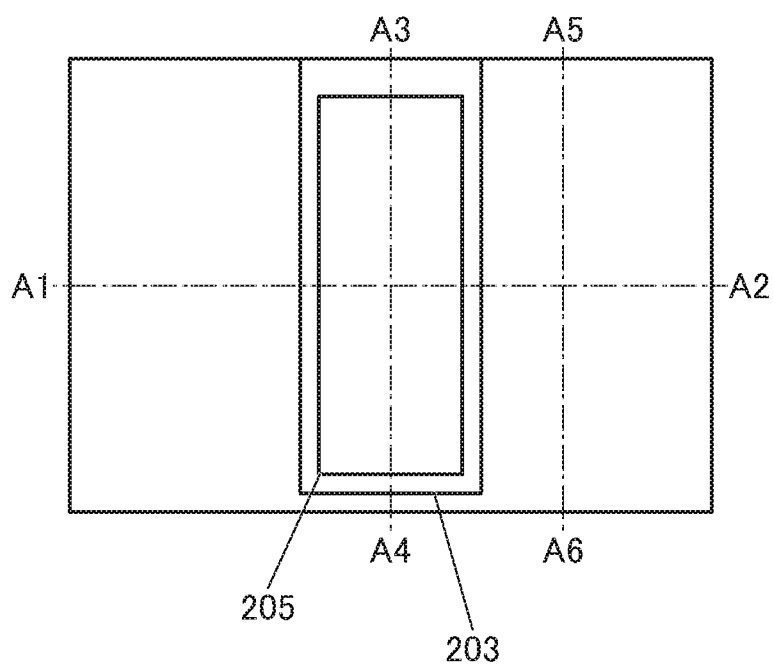


[义 32]

32/143

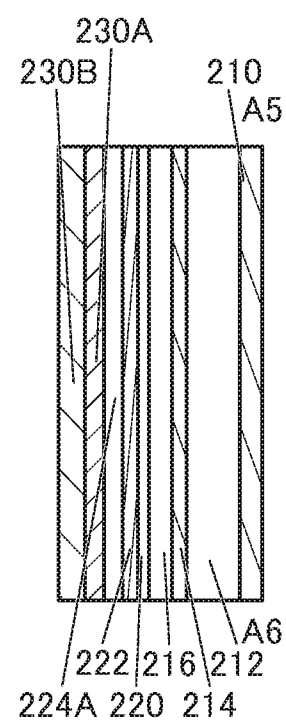
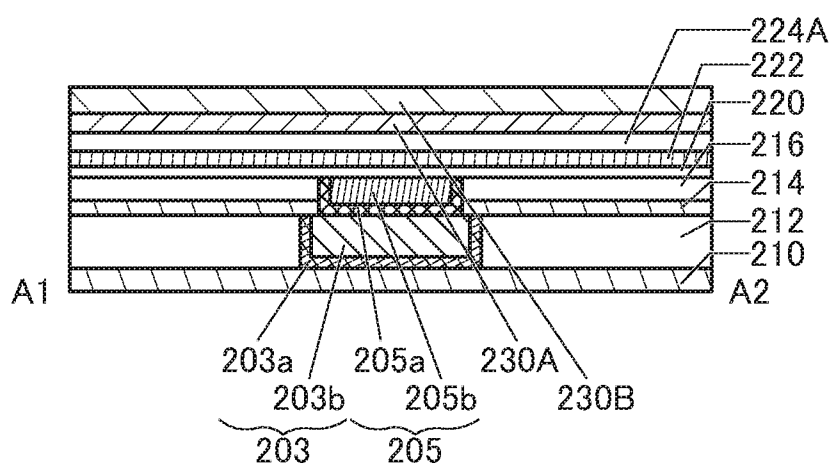
(A)

(C)



(B)

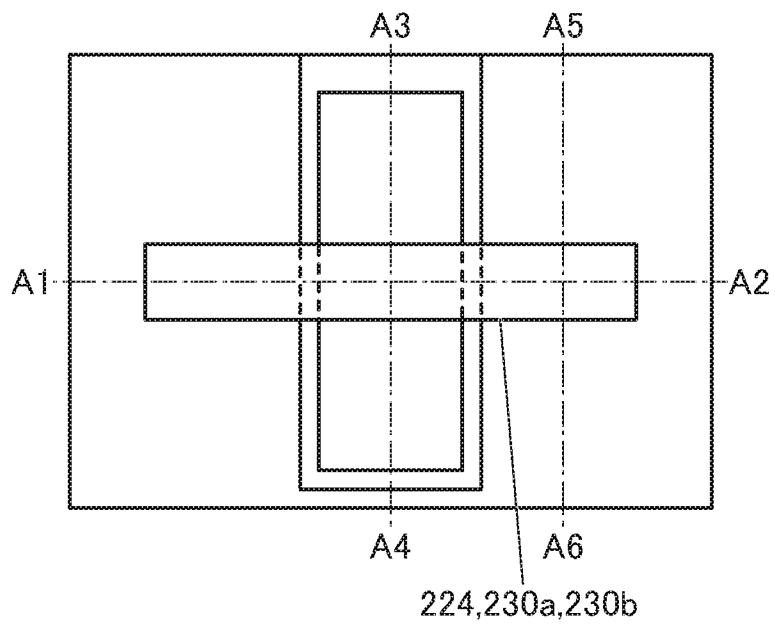
(D)



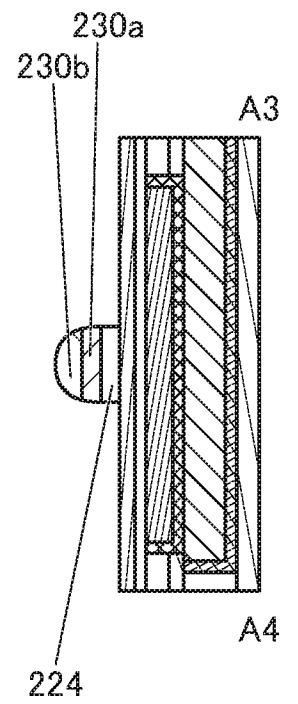
33/143

[ 33]

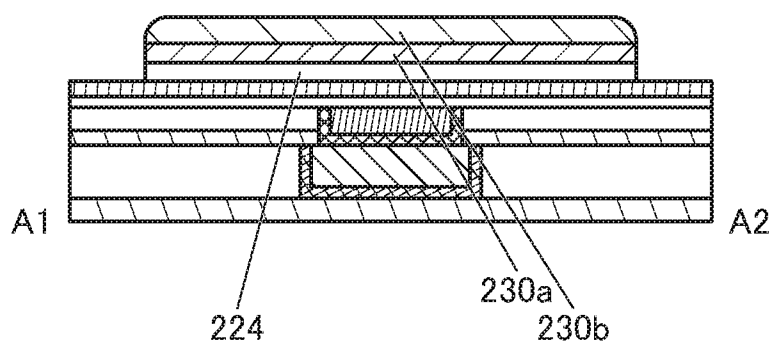
(A)



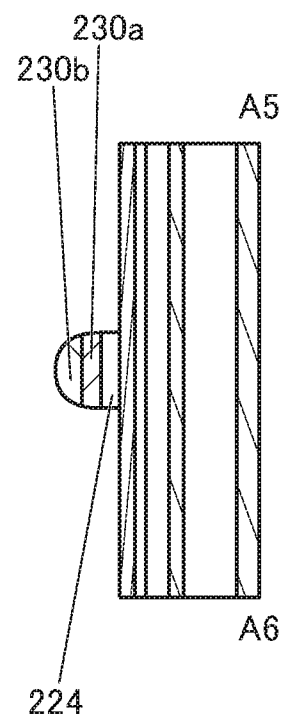
(C)



(B)



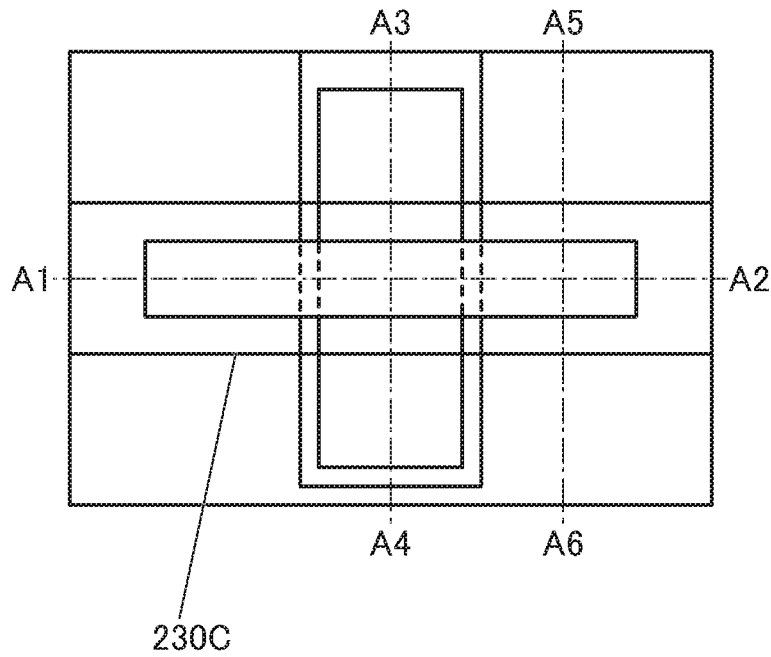
(D)



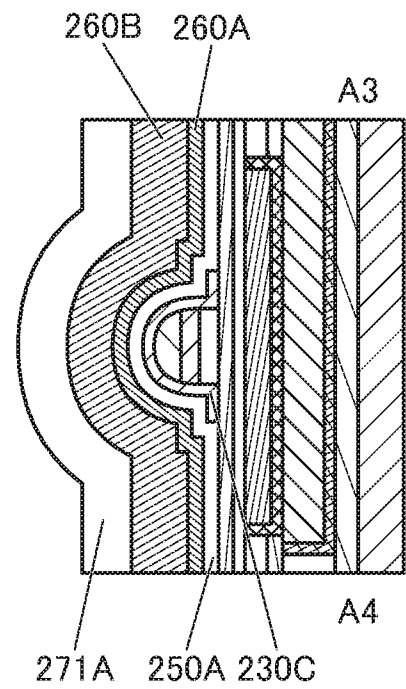
[ 34]

34/143

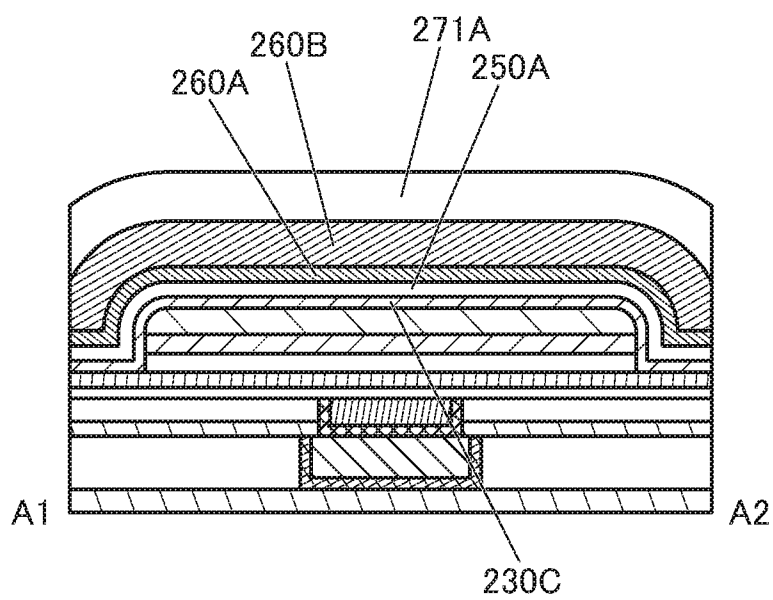
(A)



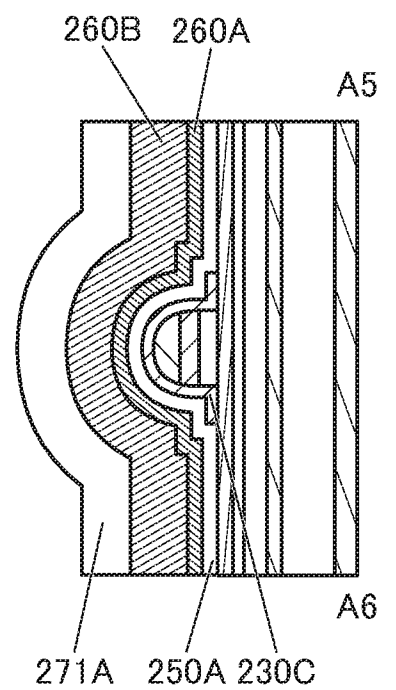
(C)



(B)

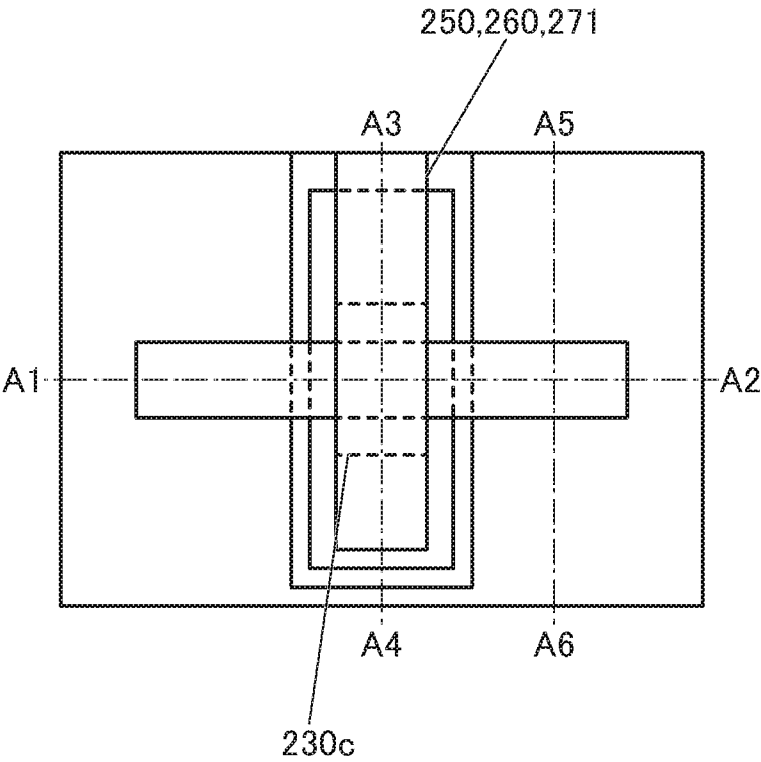


(D)

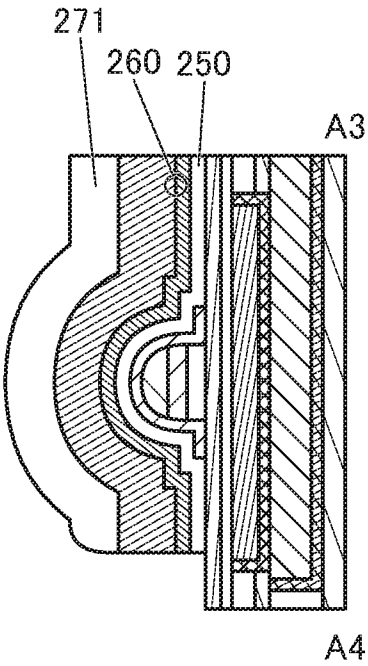


[ 35]

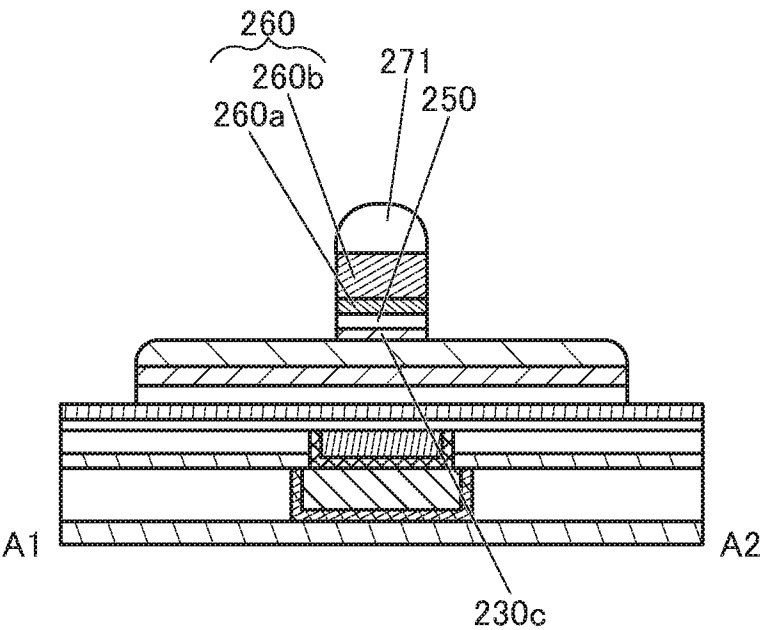
(A)



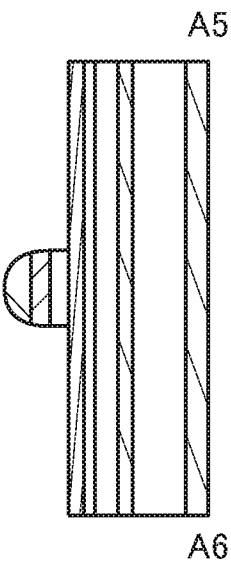
(C)



(B)



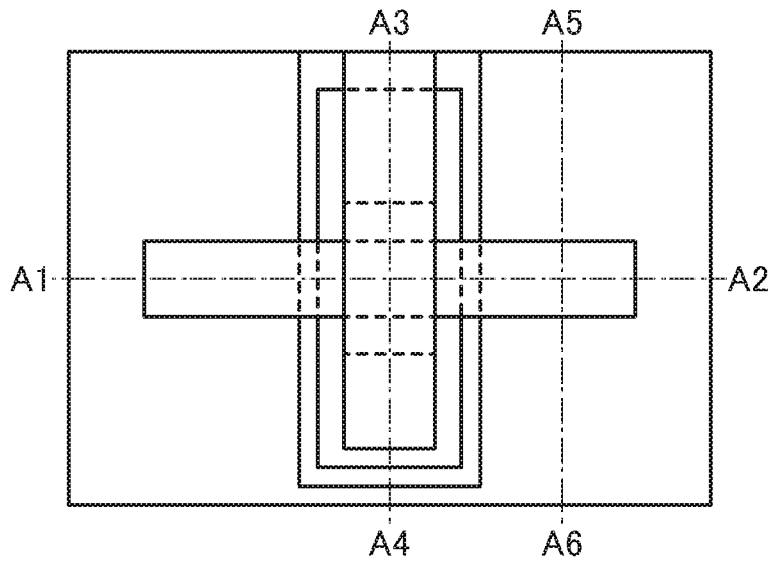
(D)



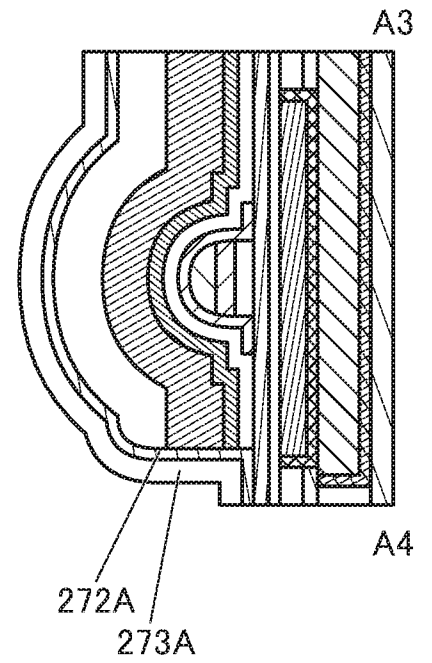
[ 36]

36/143

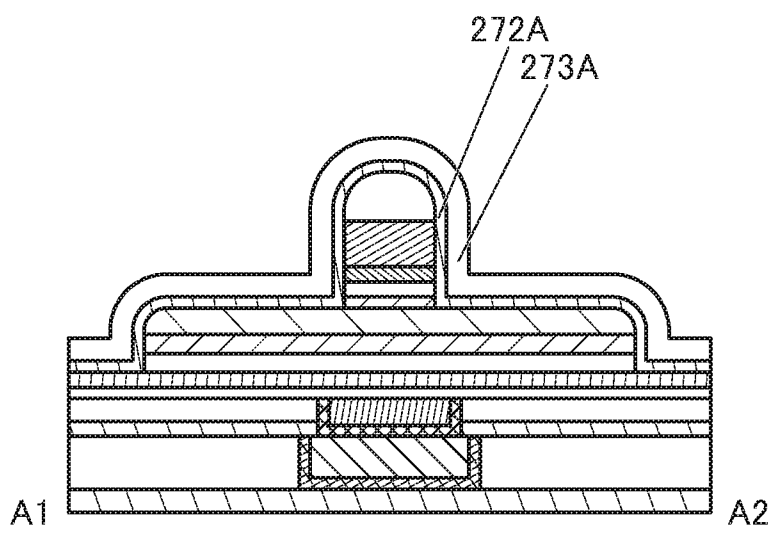
(A)



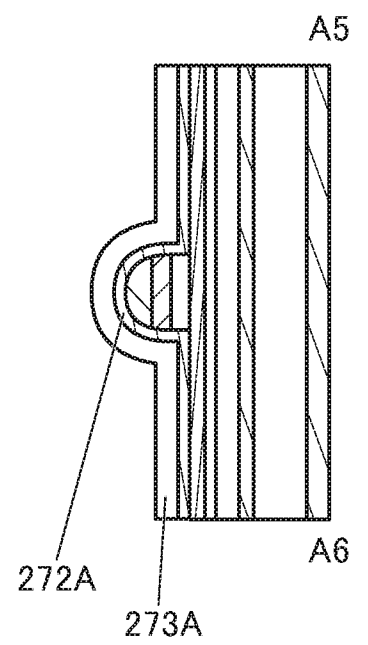
(C)



(B)



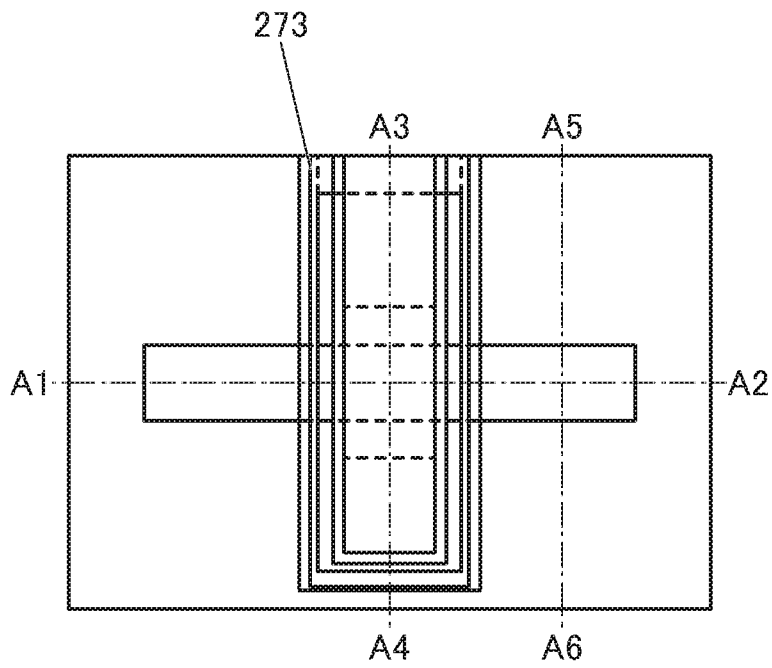
(D)



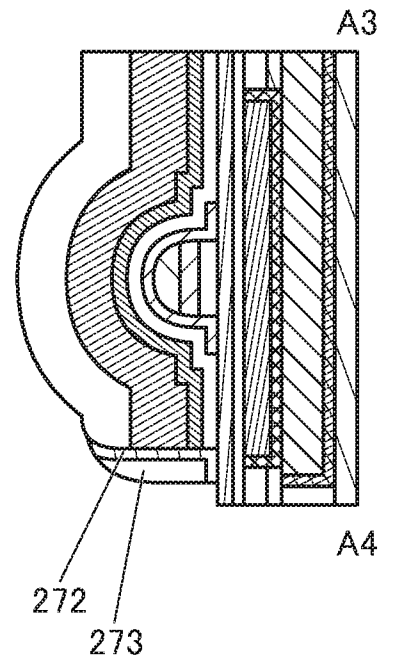
[ 37]

37/143

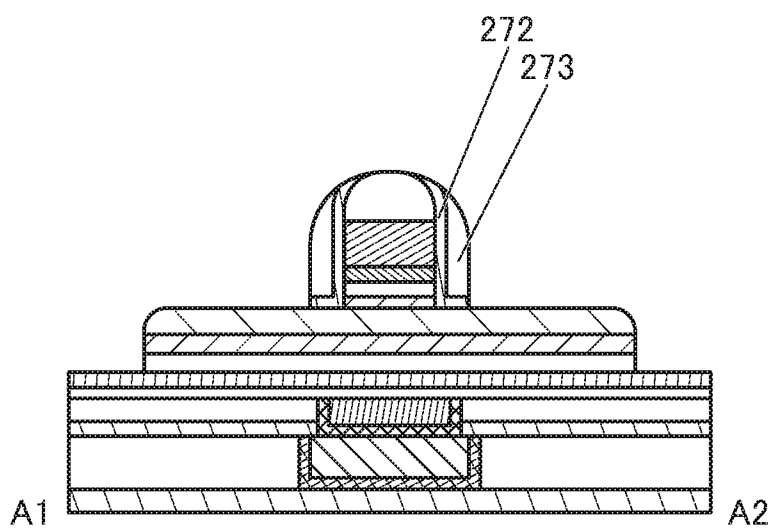
(A)



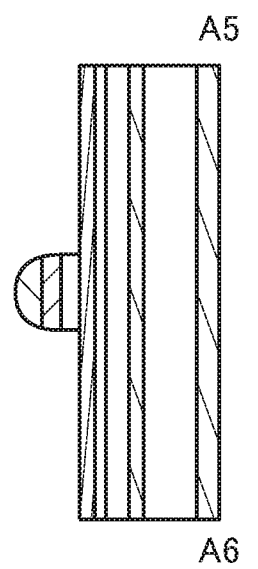
(C)



(B)



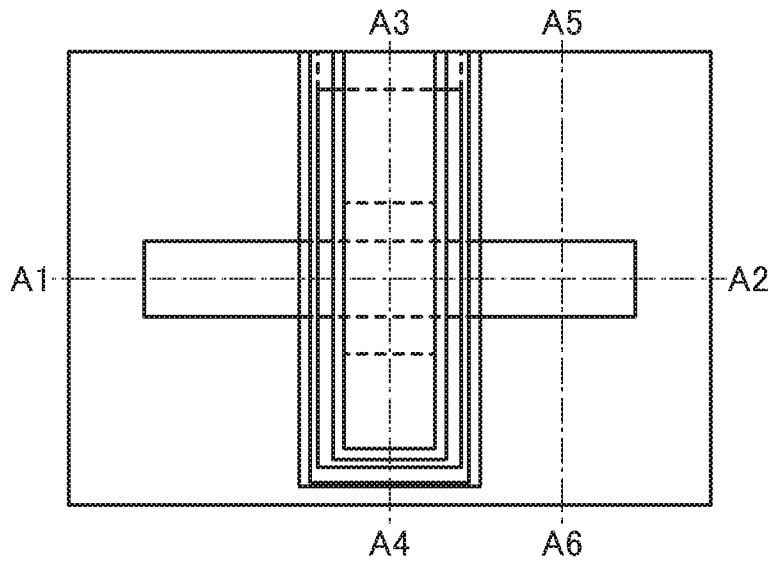
(D)



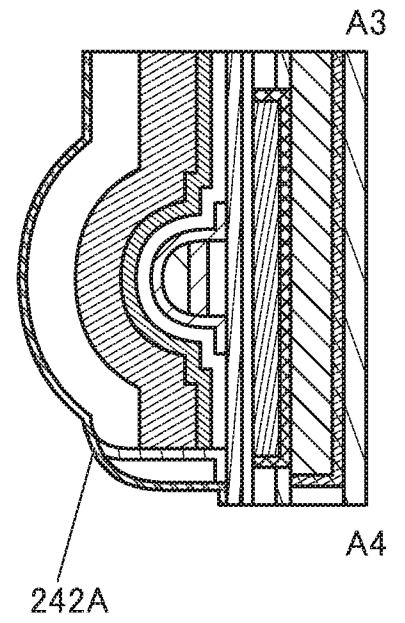
[ 38]

38/143

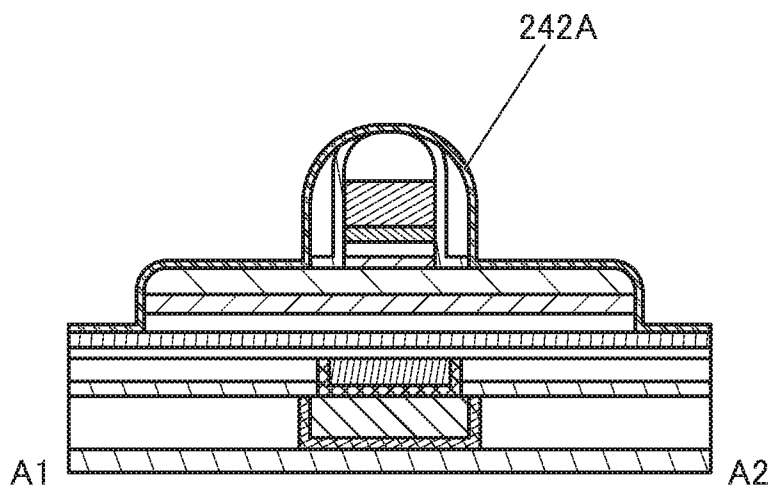
(A)



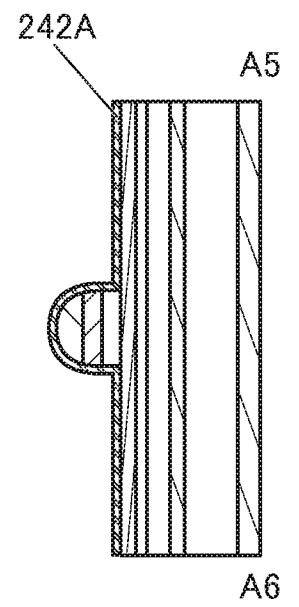
(C)



(B)



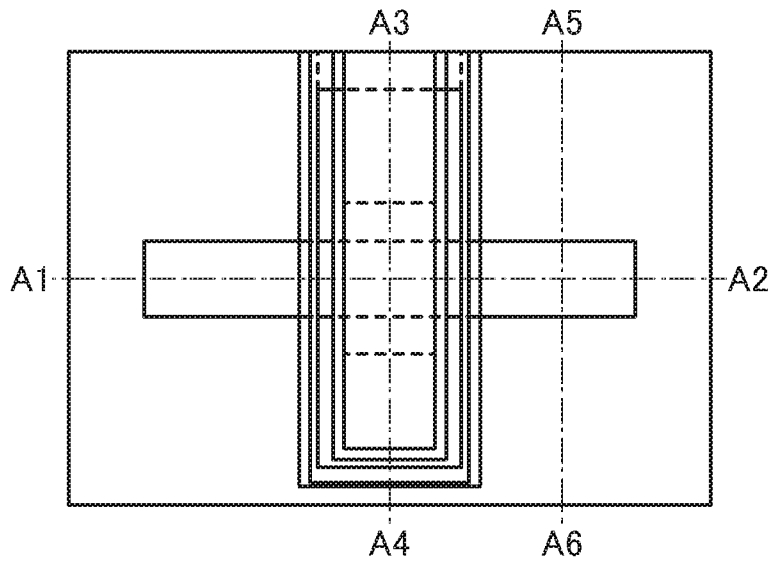
(D)



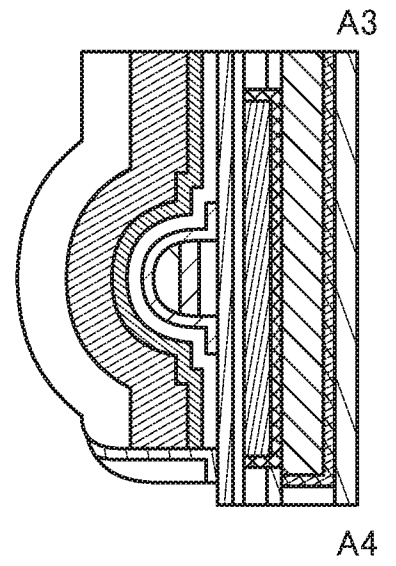
[ 39]

39/143

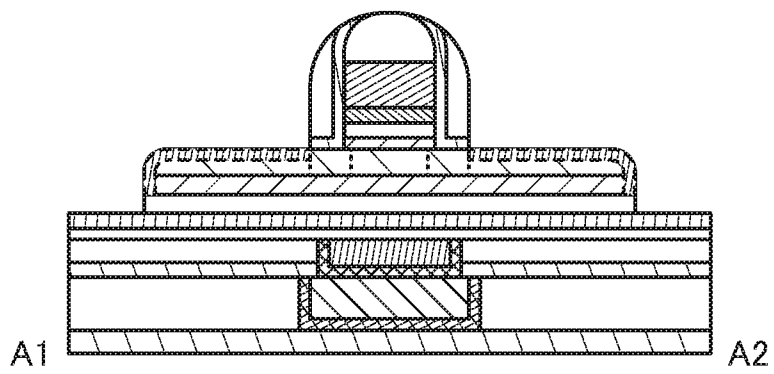
(A)



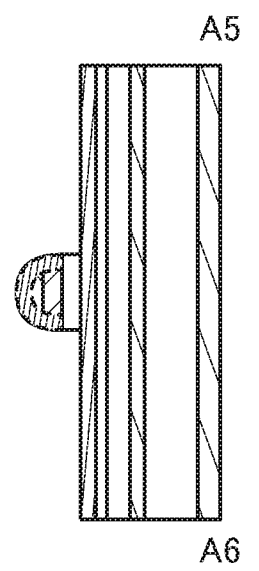
(C)



(B)



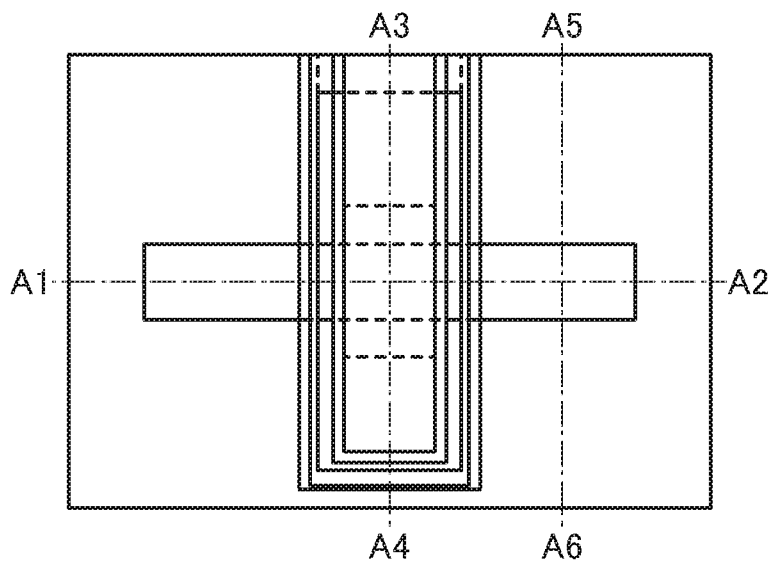
(D)



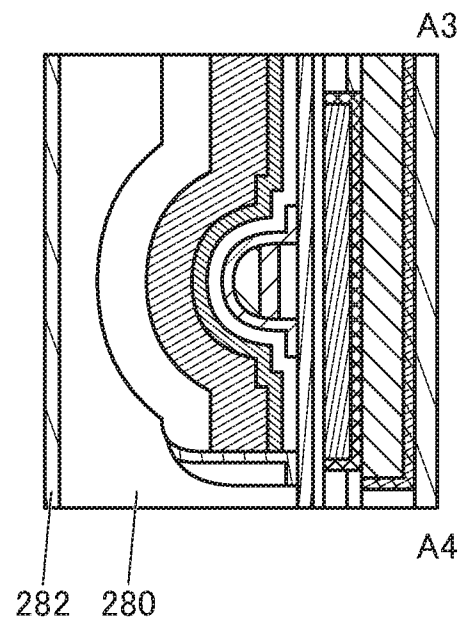
[ 40]

40/143

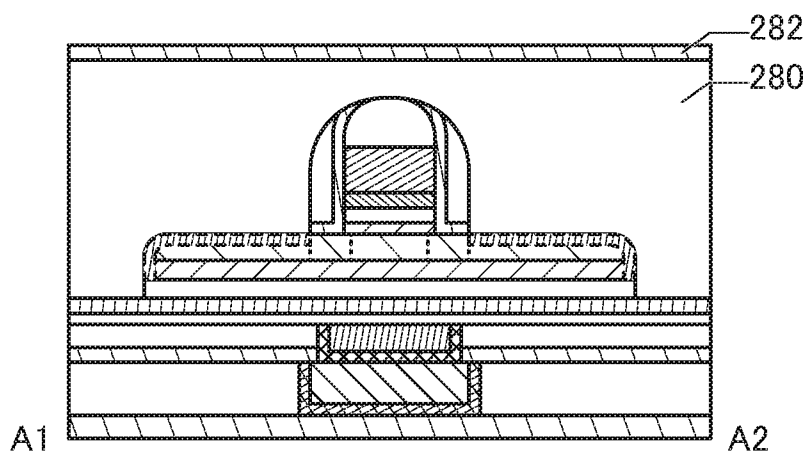
(A)



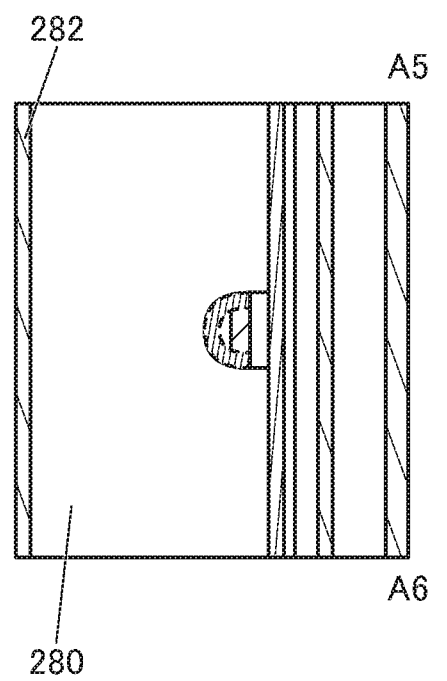
(C)



(B)



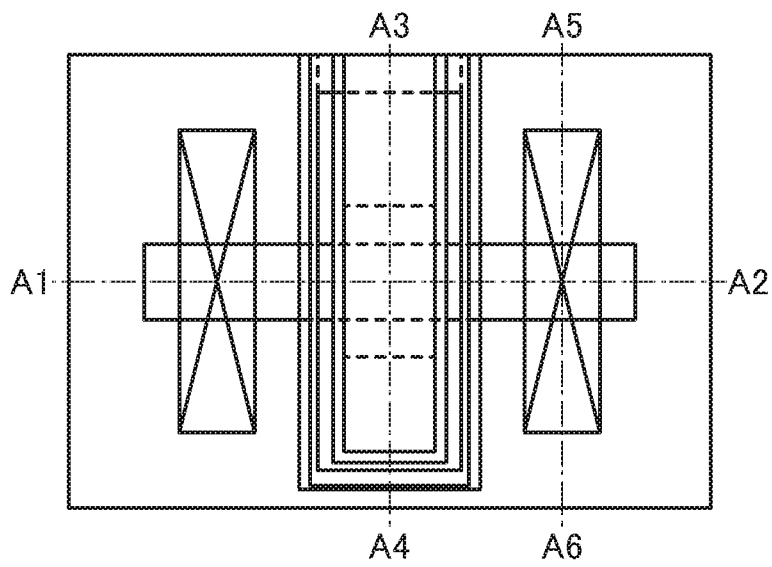
(D)



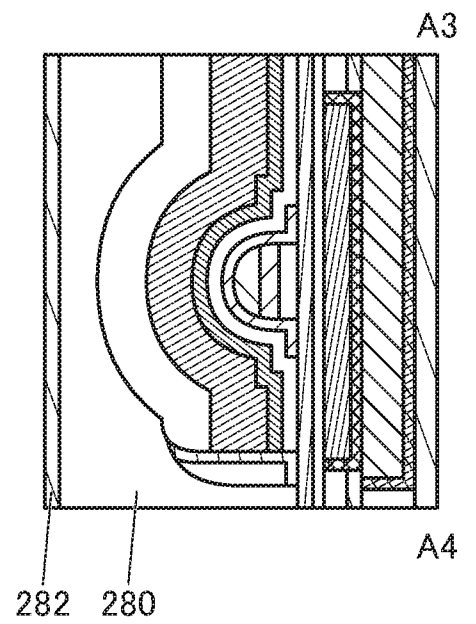
[ 41]

41/143

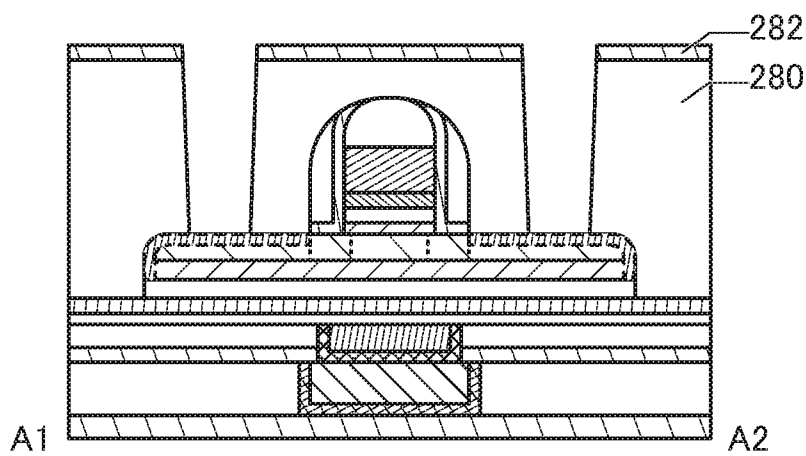
(A)



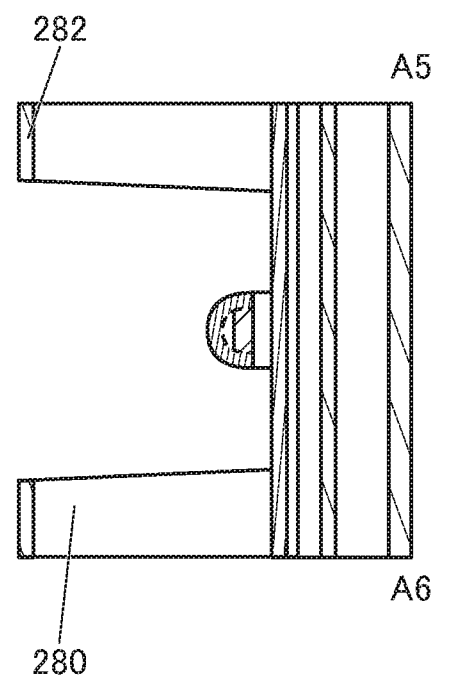
(C)



(B)

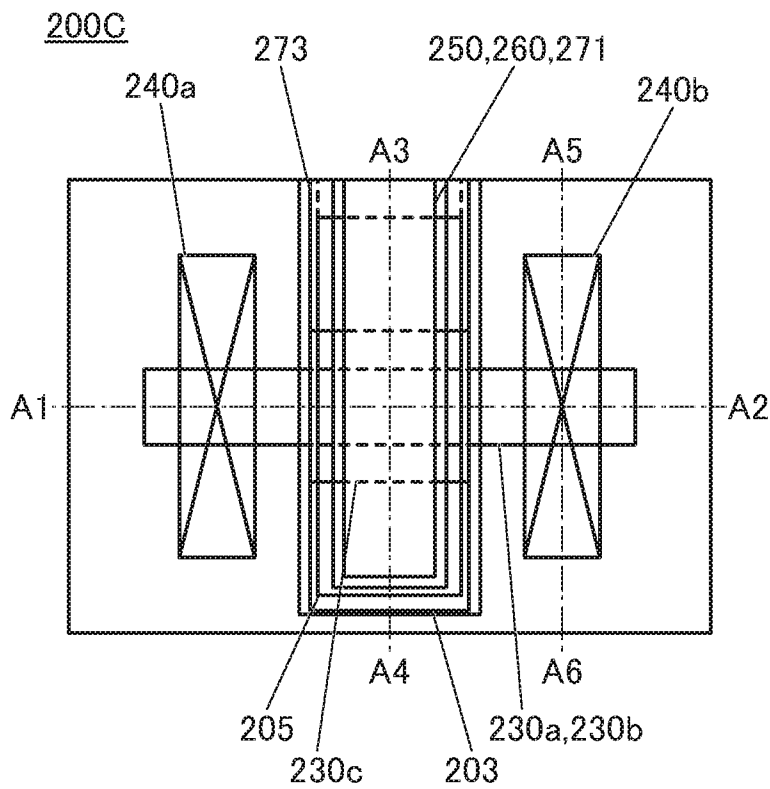


(D)

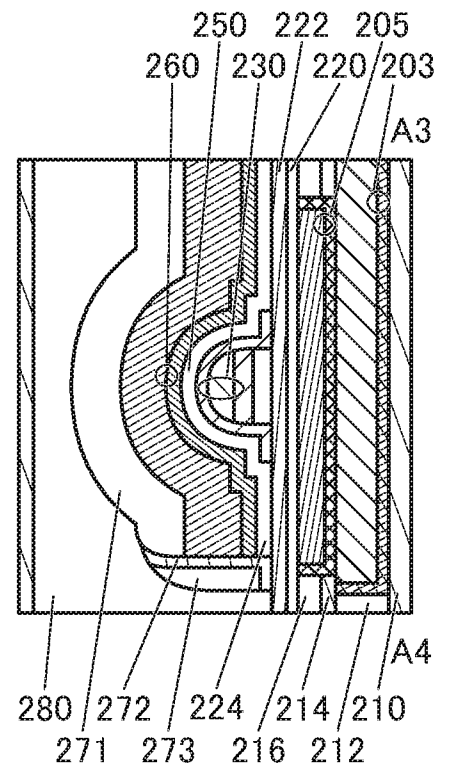


[図42]

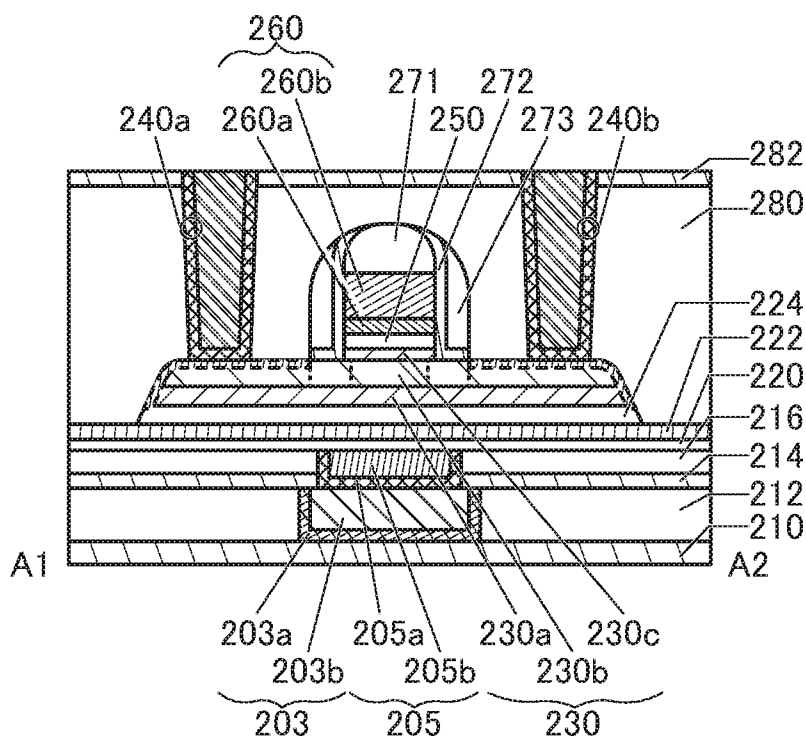
(A)



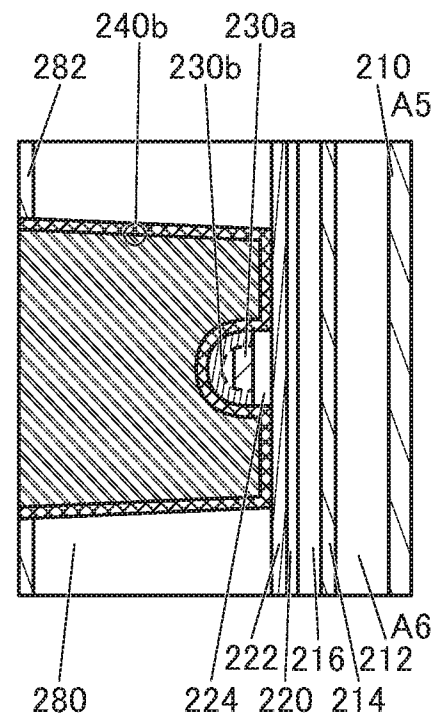
(C)



(B)

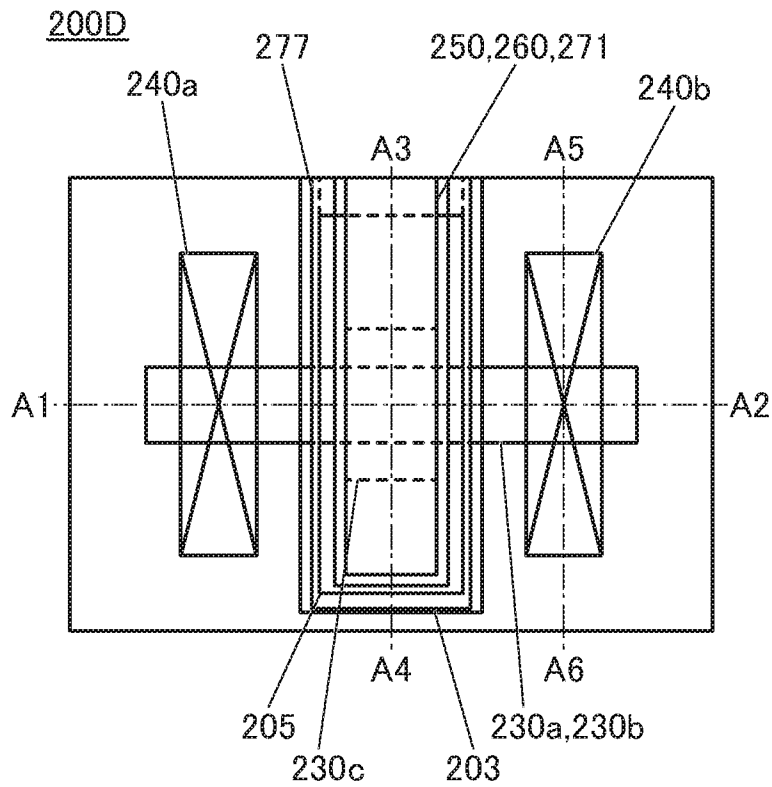


(D)

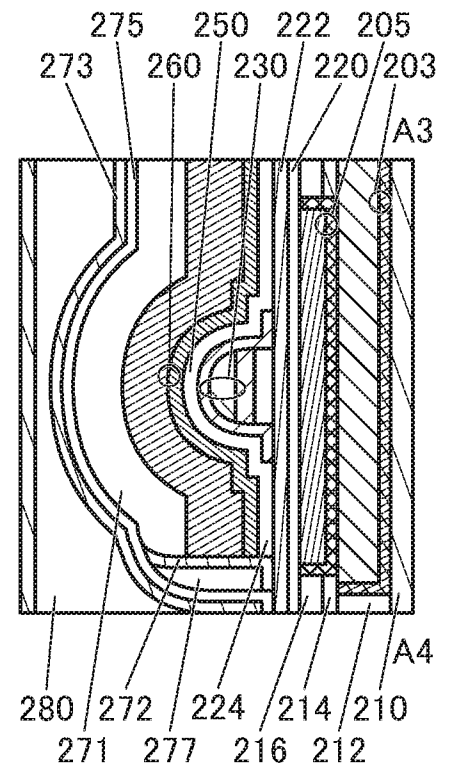


[図43]

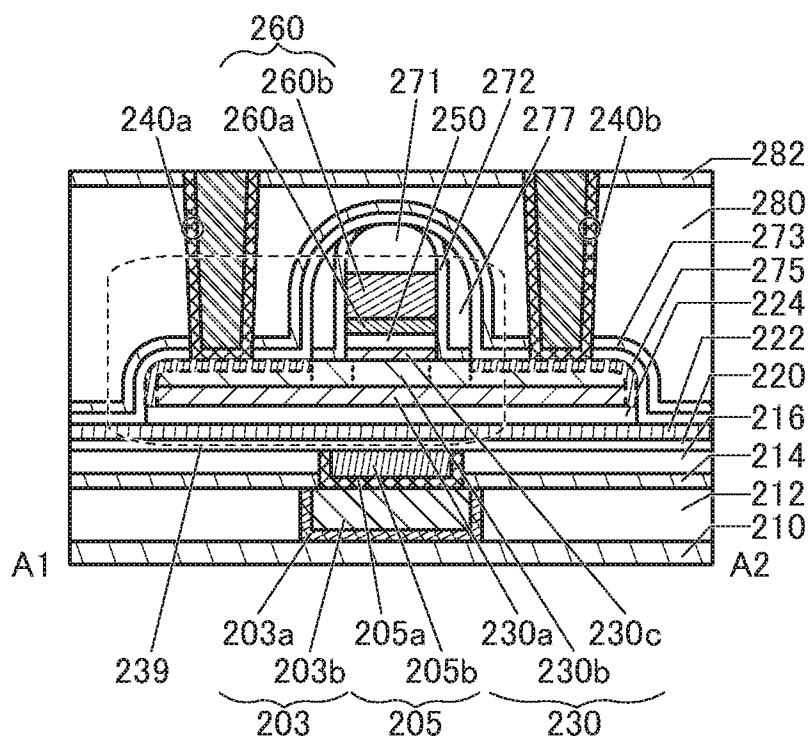
(A)



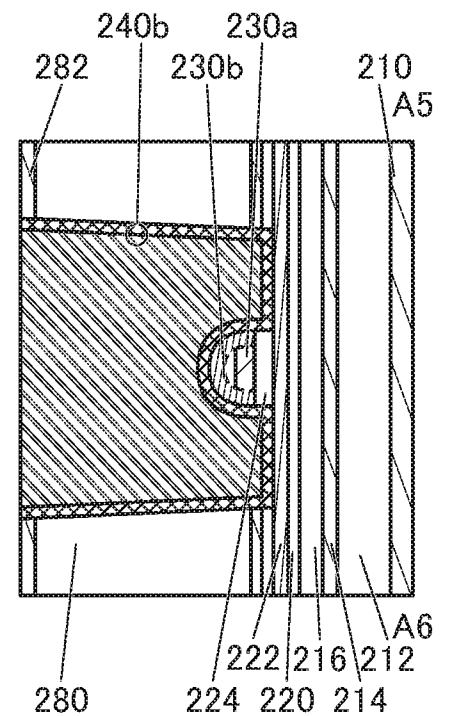
(C)



(B)

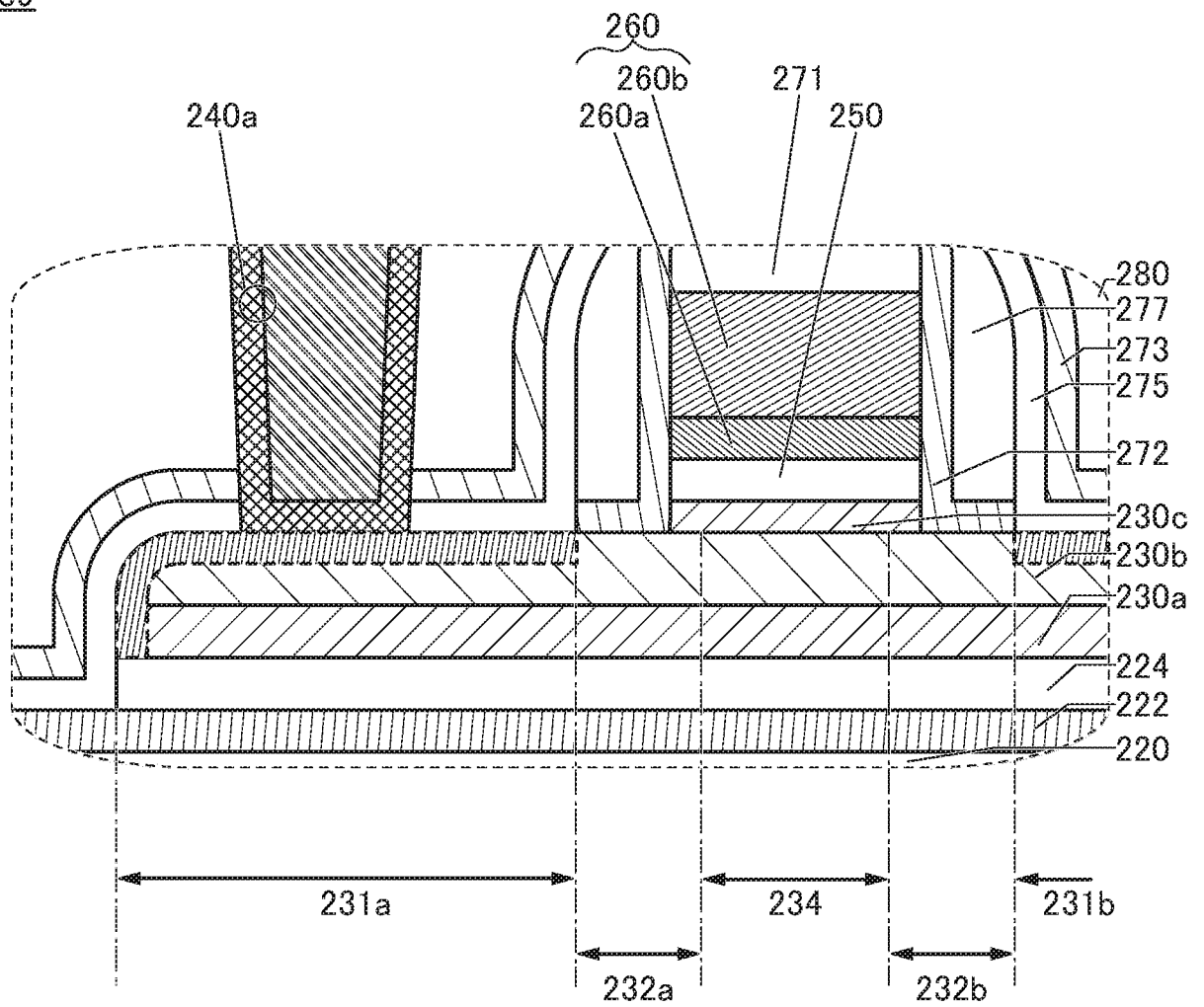


(D)



[ 44]

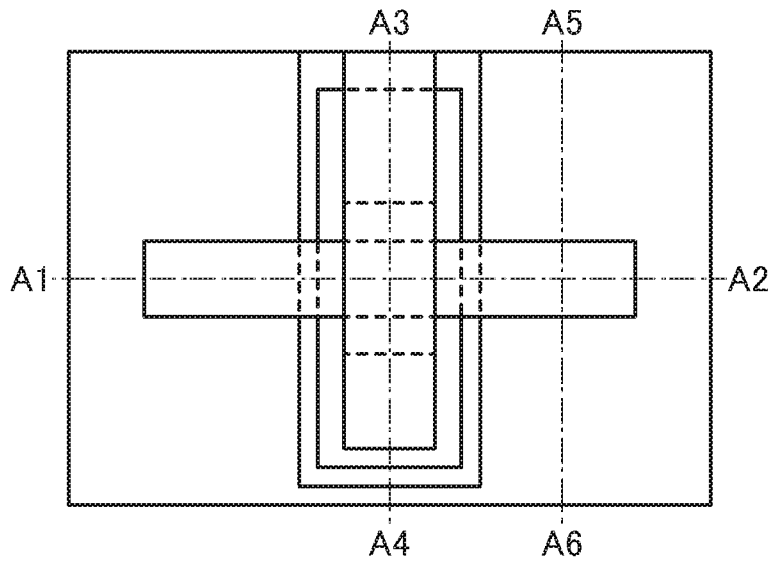
239



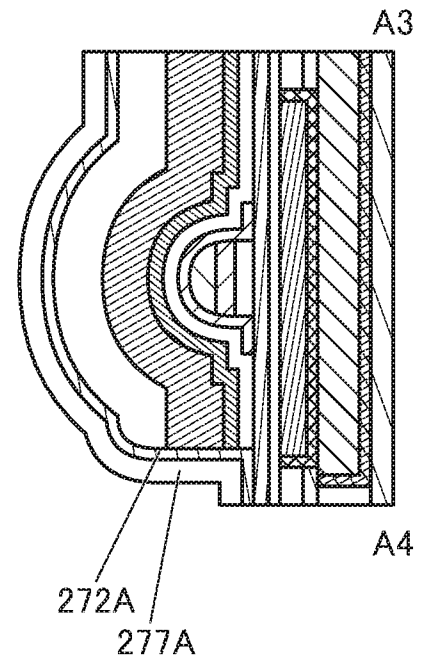
[ 45]

45/143

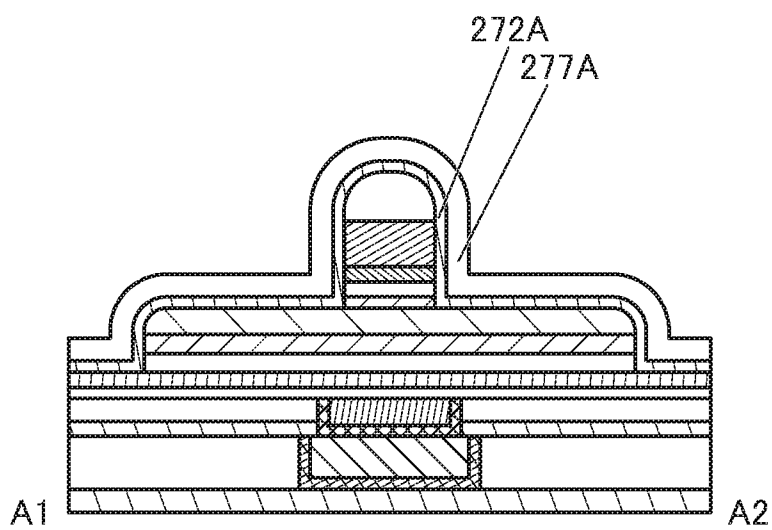
(A)



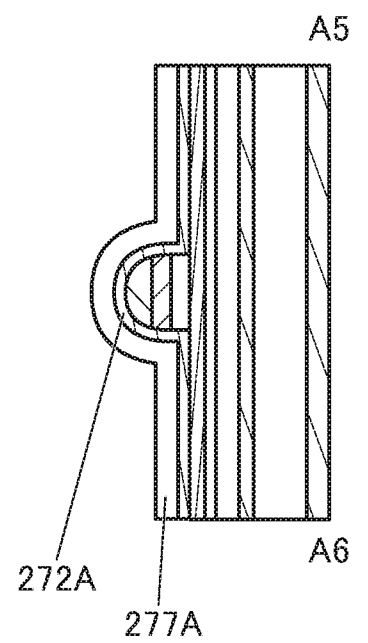
(C)



(B)



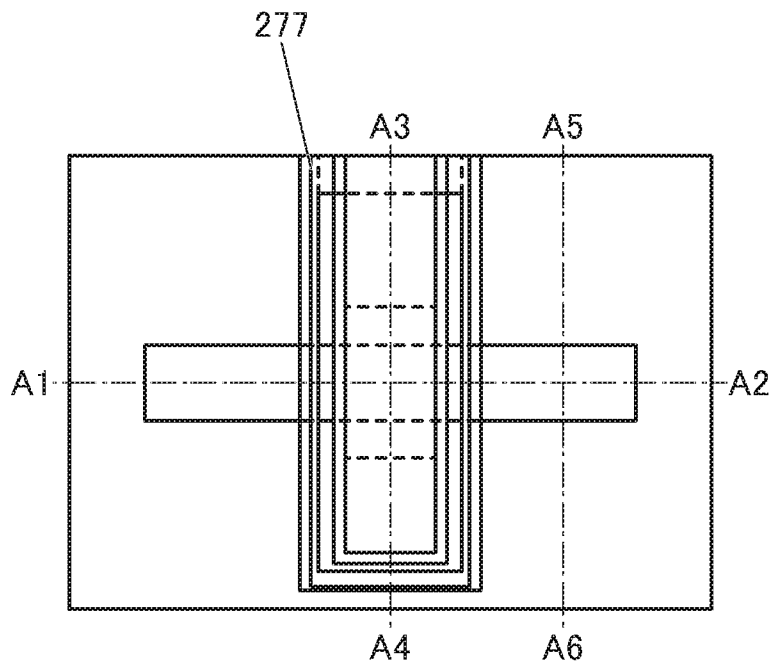
(D)



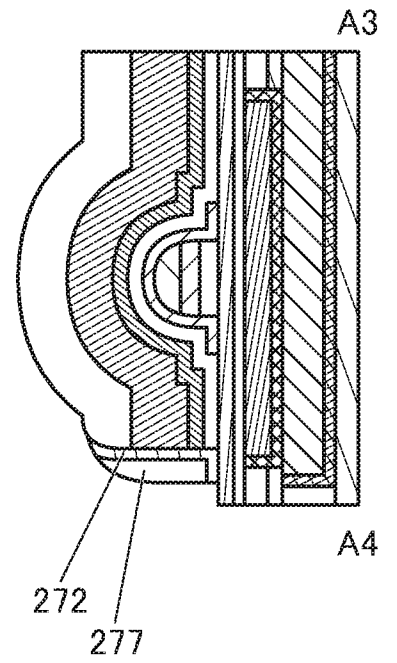
46/143

[ 46]

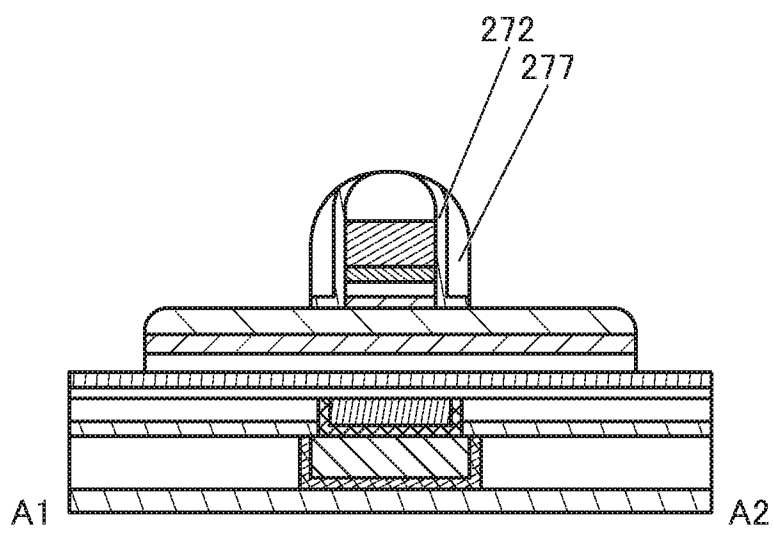
(A)



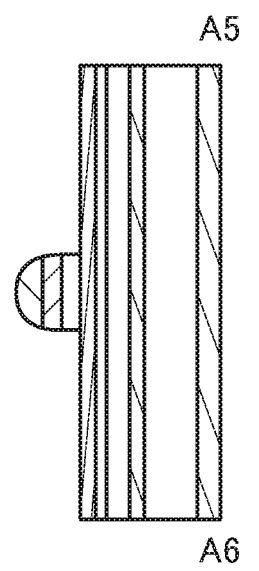
(C)



(B)



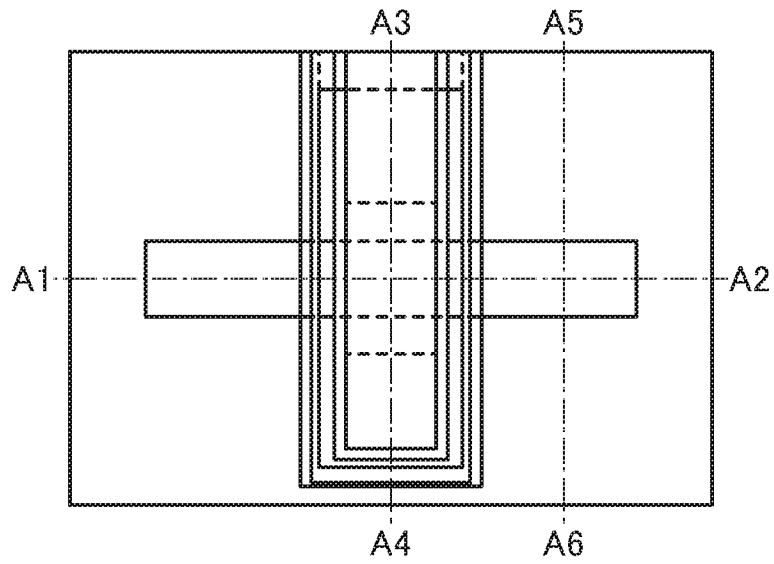
(D)



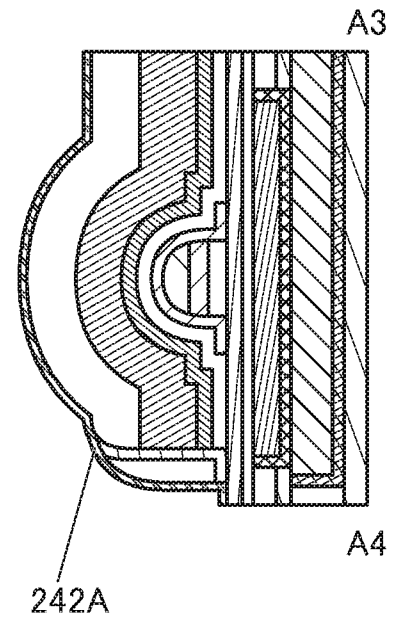
[ 47]

47/143

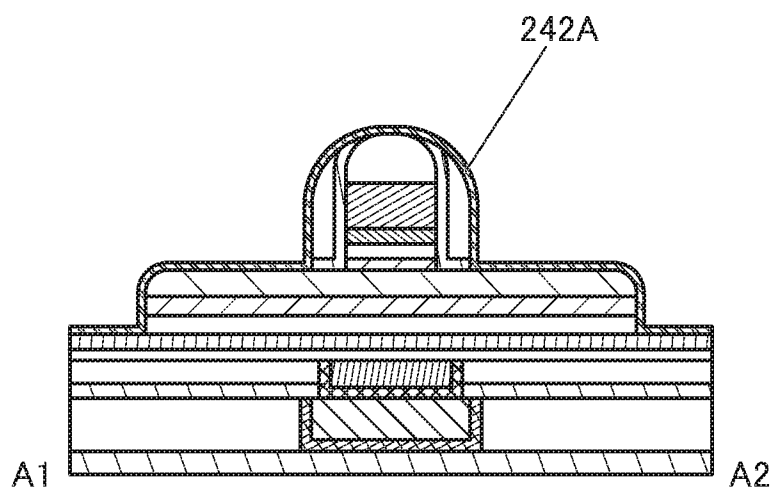
(A)



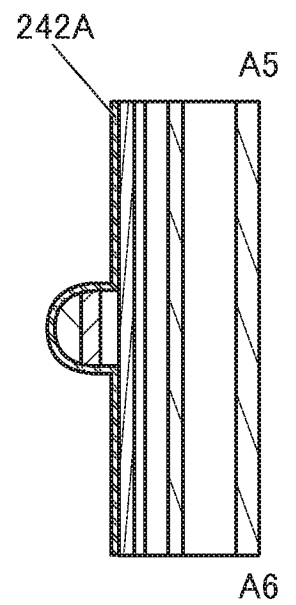
(C)



(B)



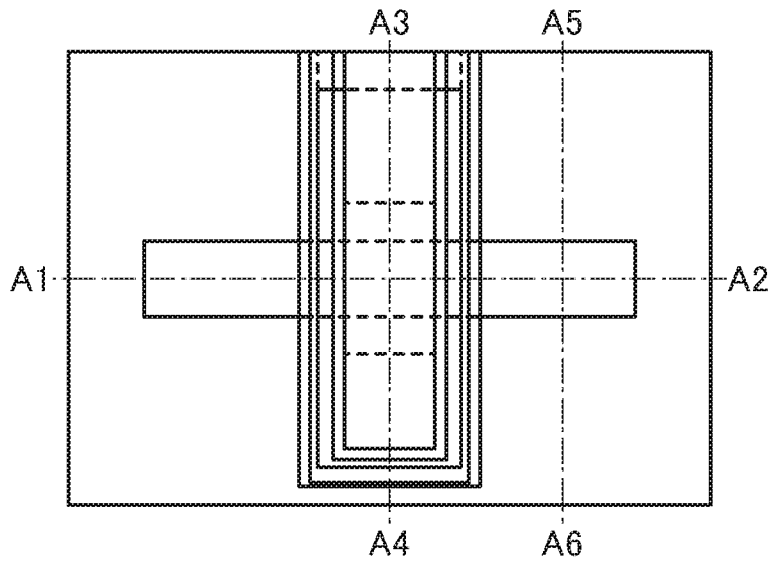
(D)



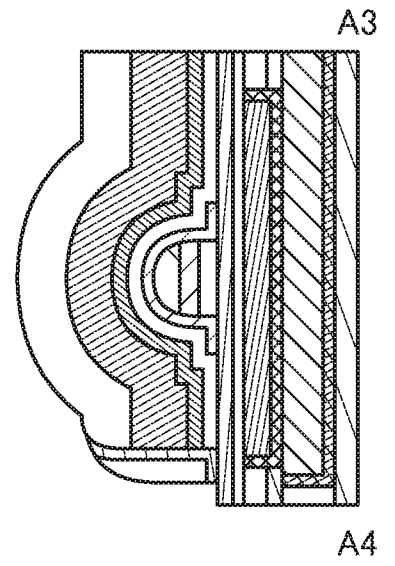
[図48]

48/143

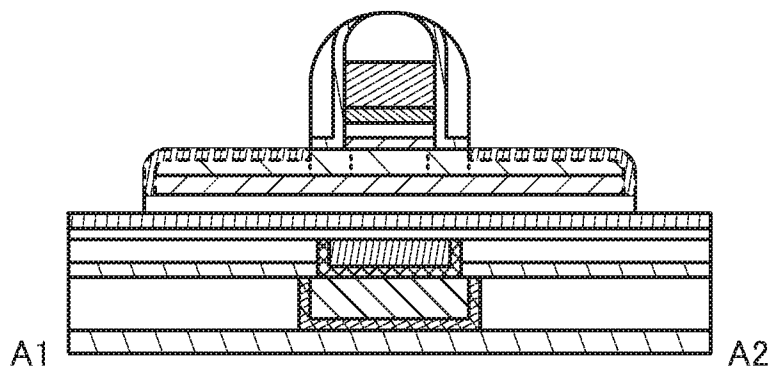
(A)



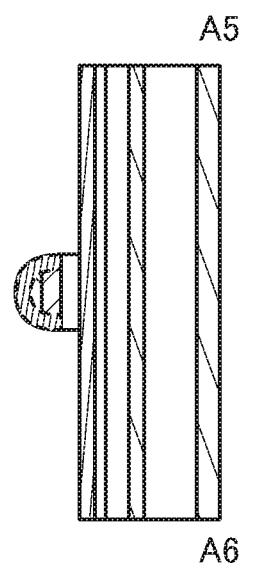
(C)



(B)

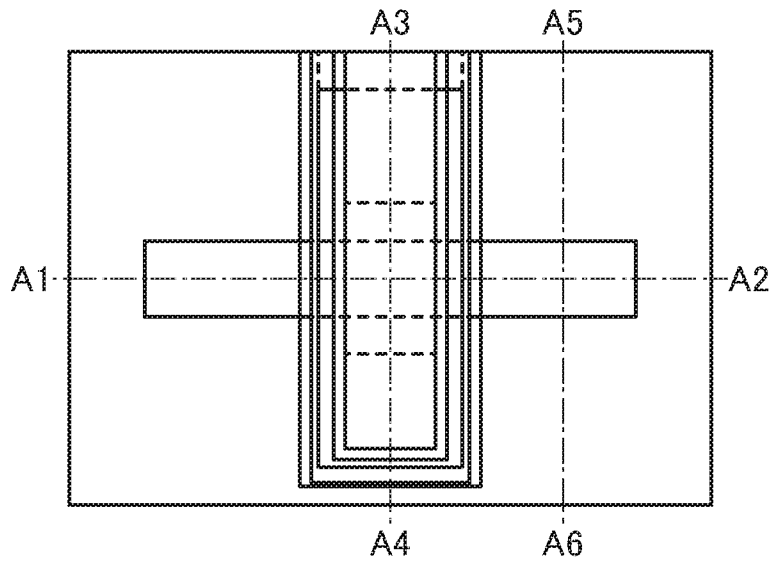


(D)

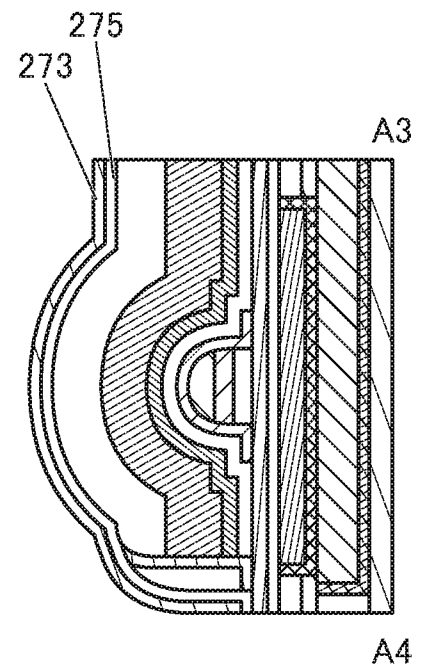


[図49]

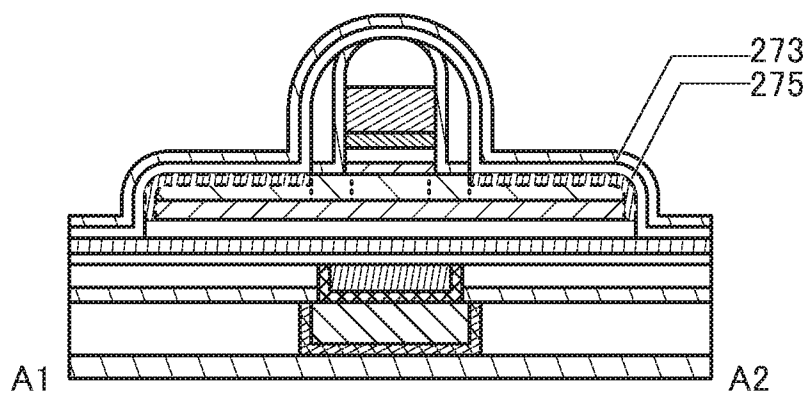
(A)



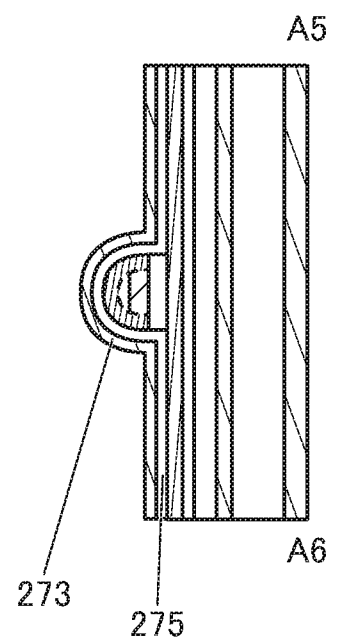
(C)



(B)



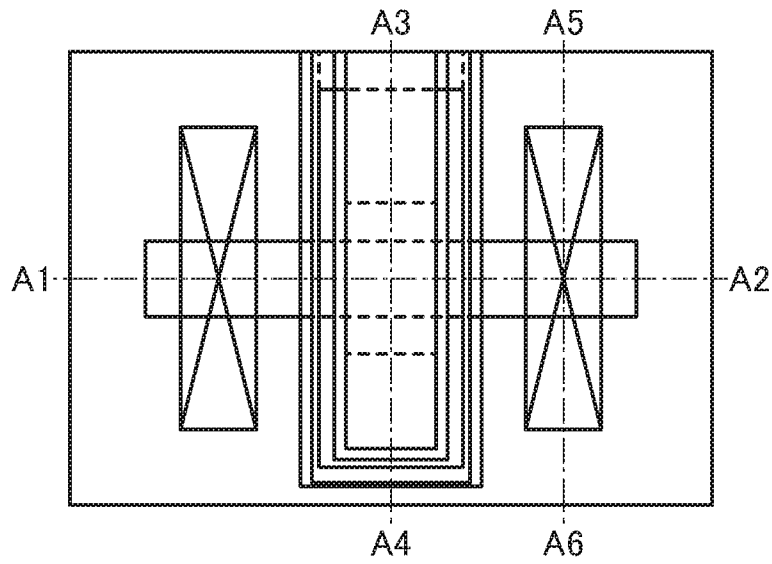
(D)



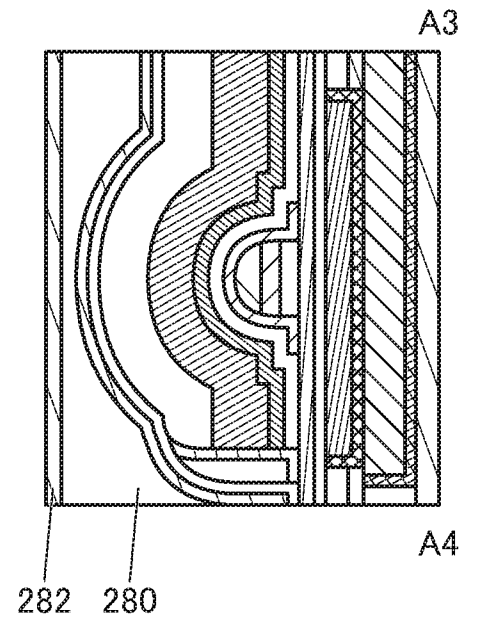
[図50]

50/143

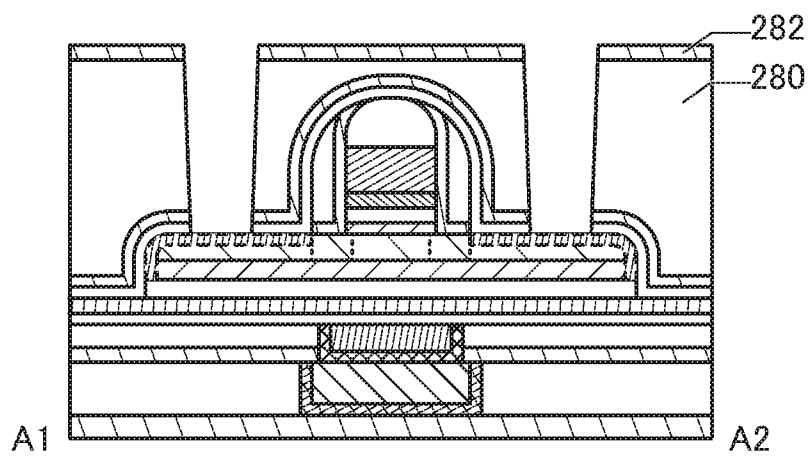
(A)



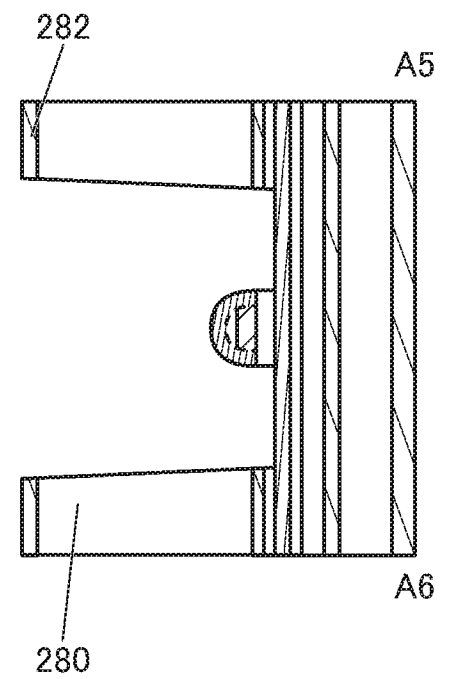
(C)



(B)

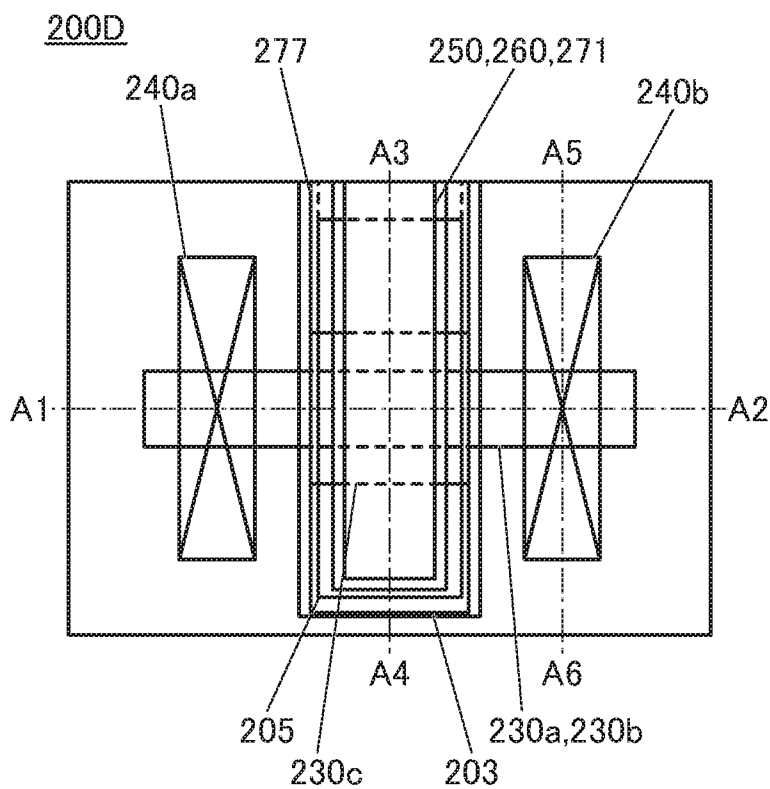


(D)

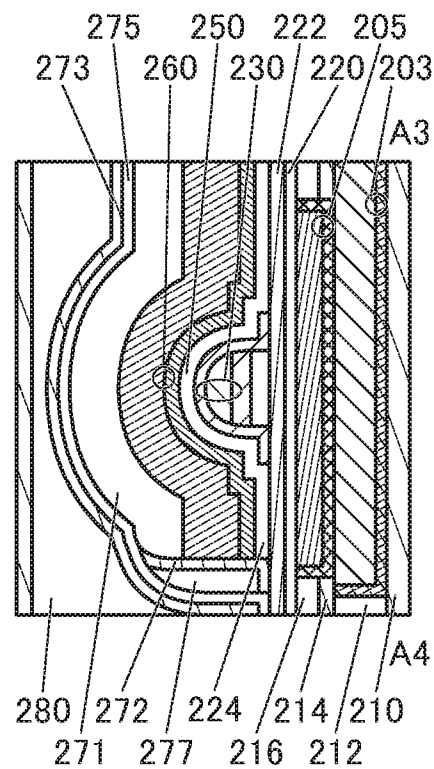


[図51]

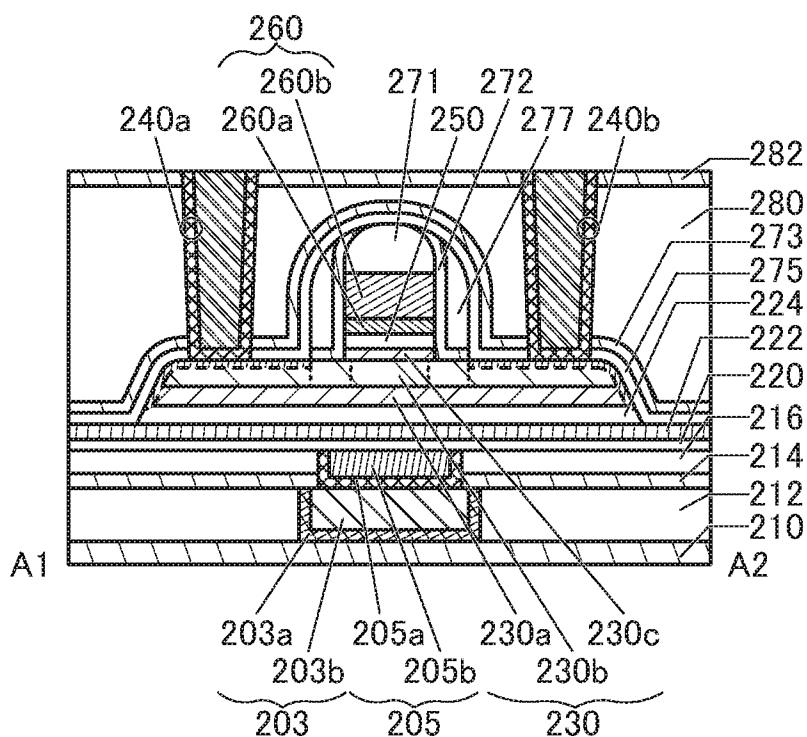
(A)



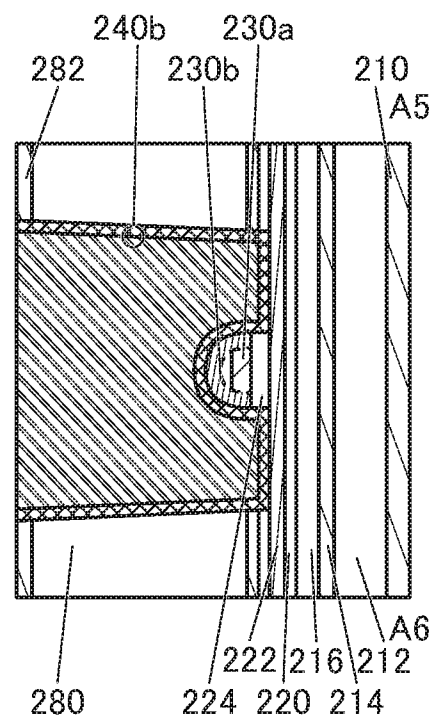
(C)



(B)



(D)

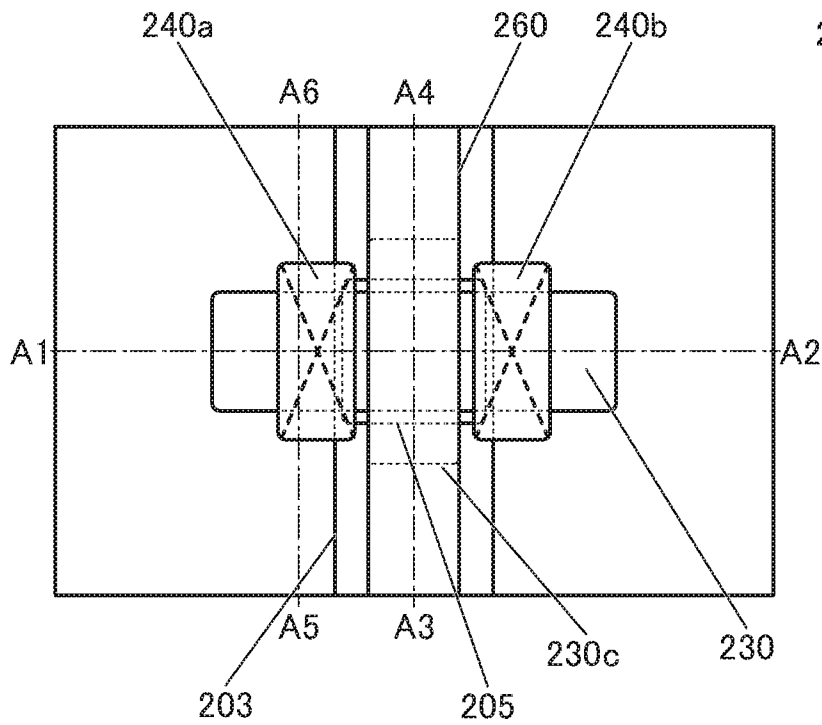


[図52]

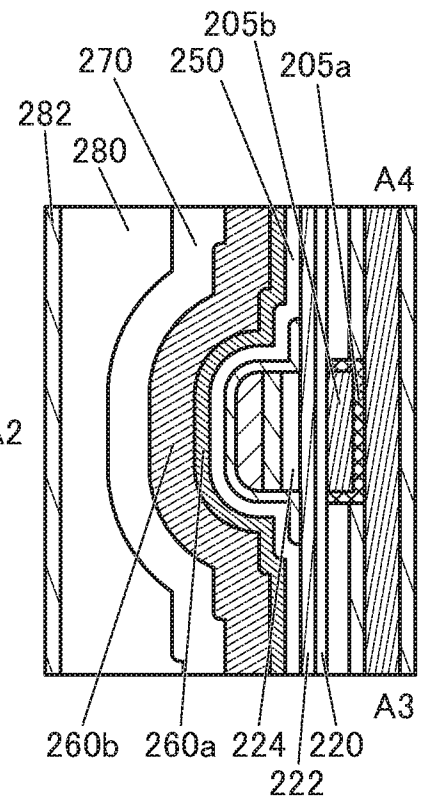
52/143

(A)

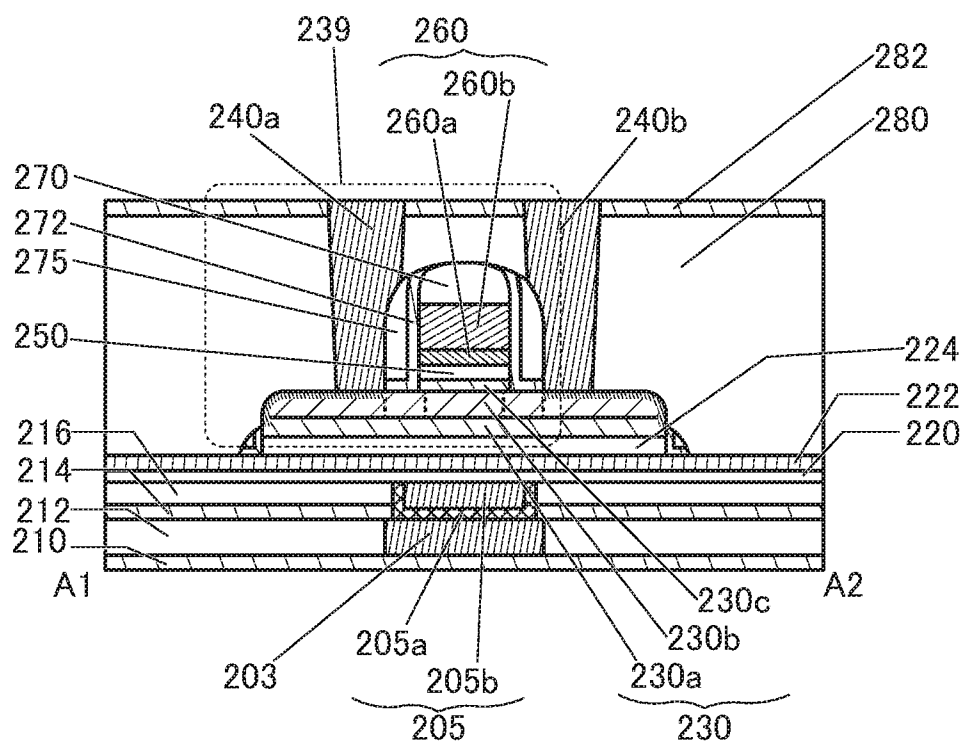
200E



(C)



(B)

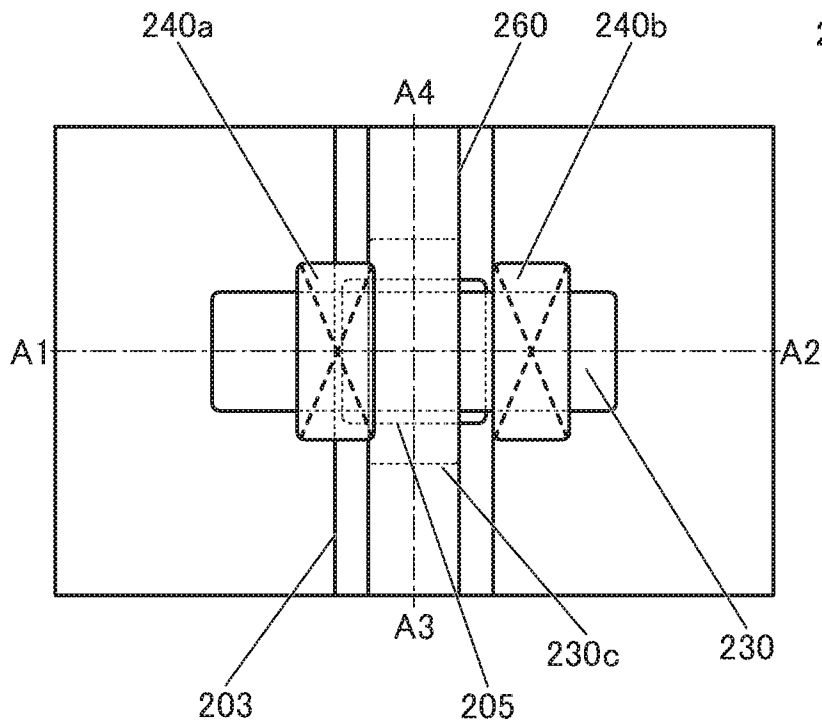


53/143

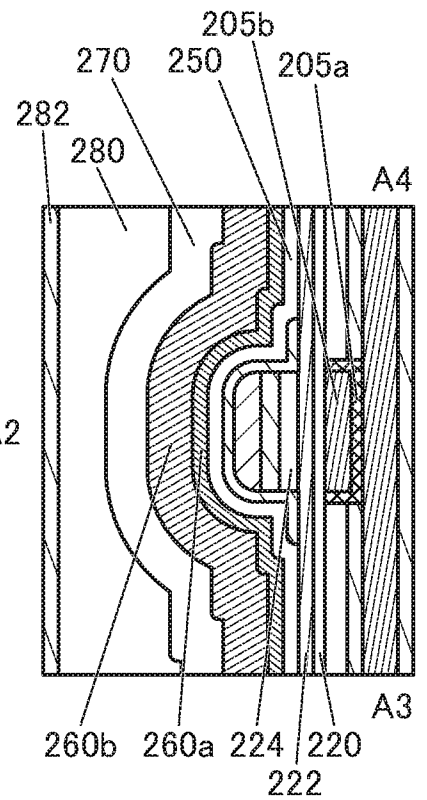
[図53]

(A)

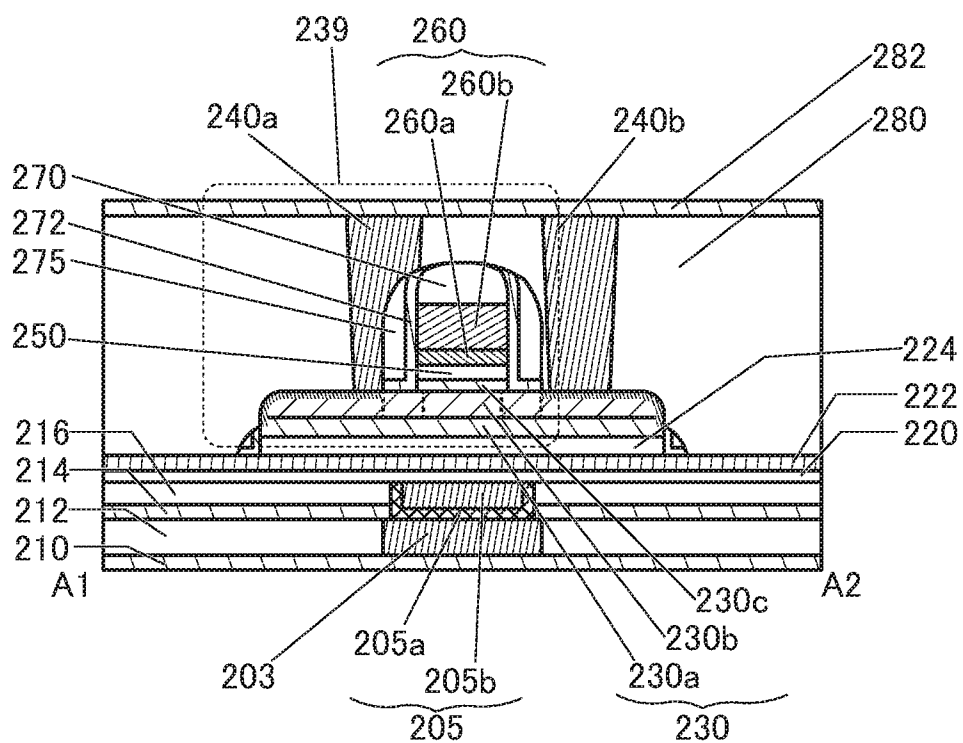
200E



(C)

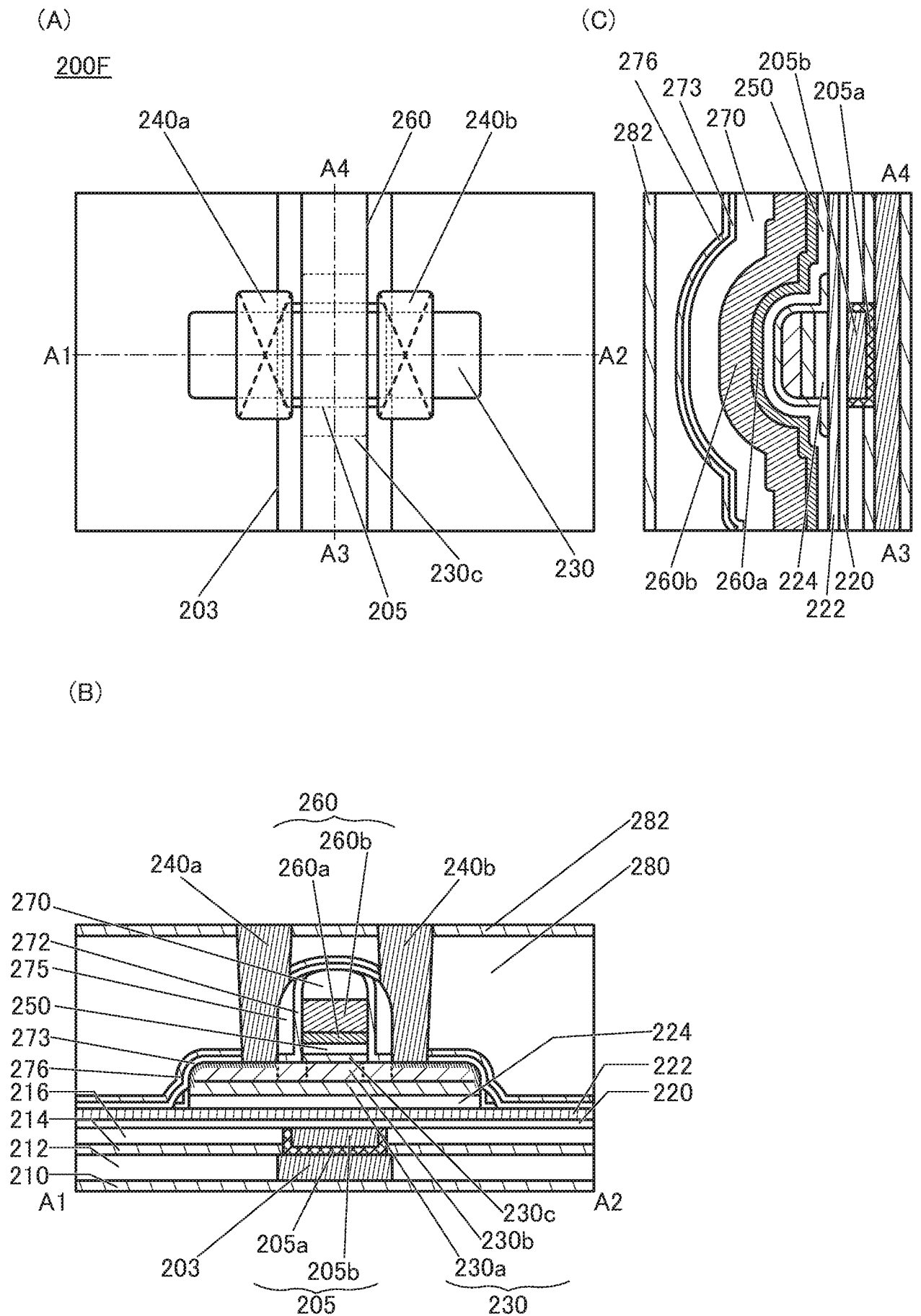


(B)



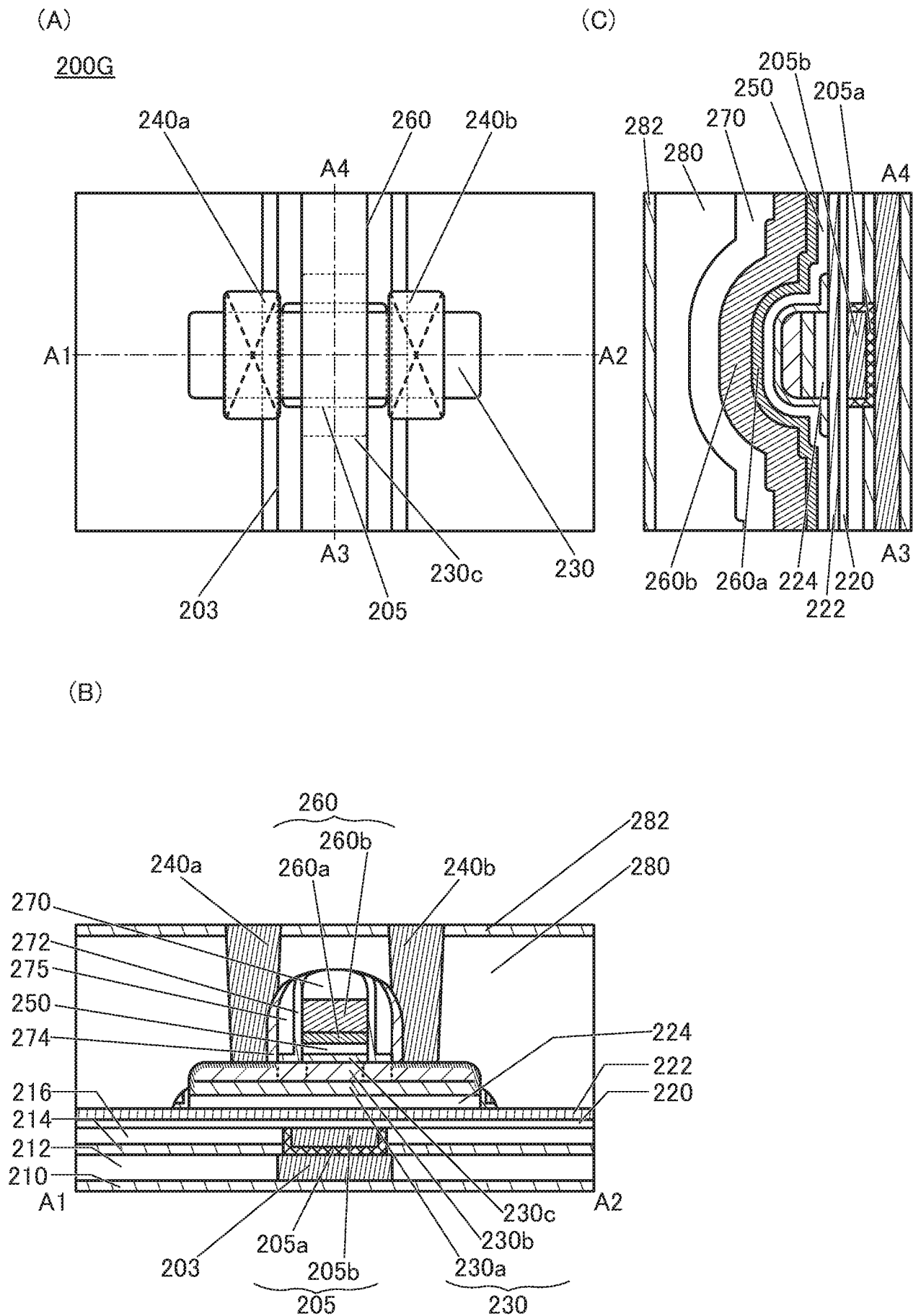
54/143

[図54]



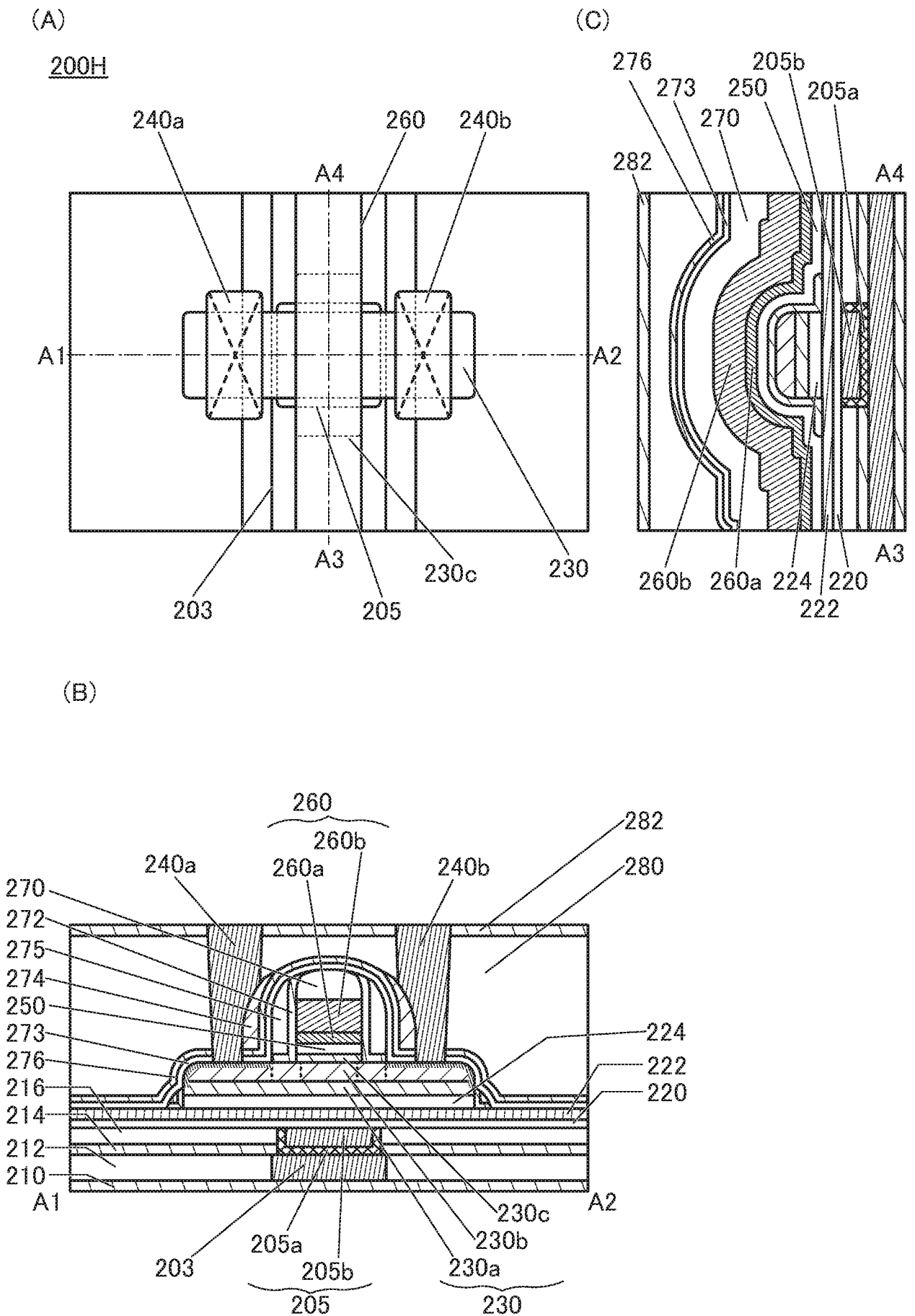
[図55]

55/143



[図56]

56/143

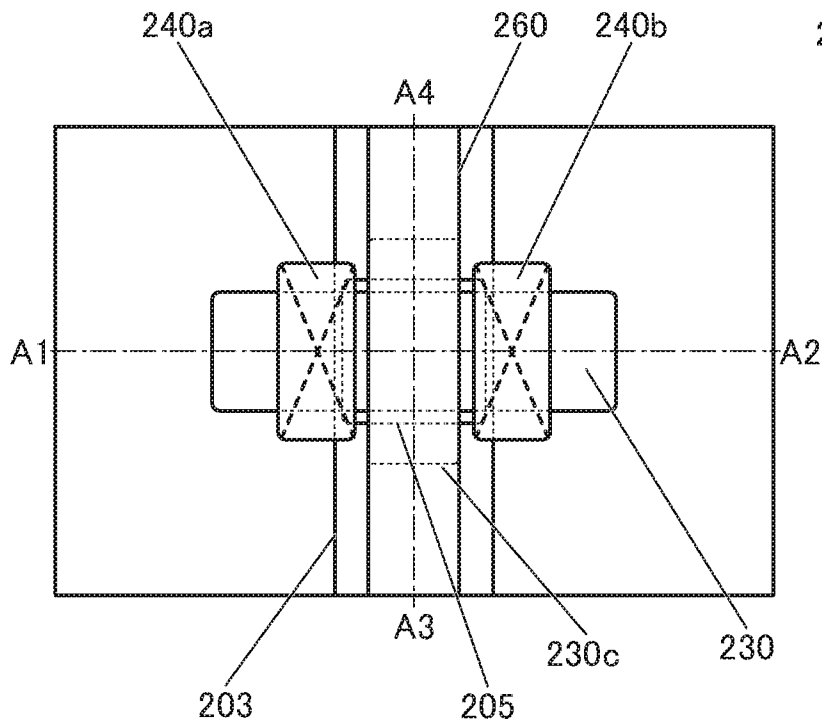


57/143

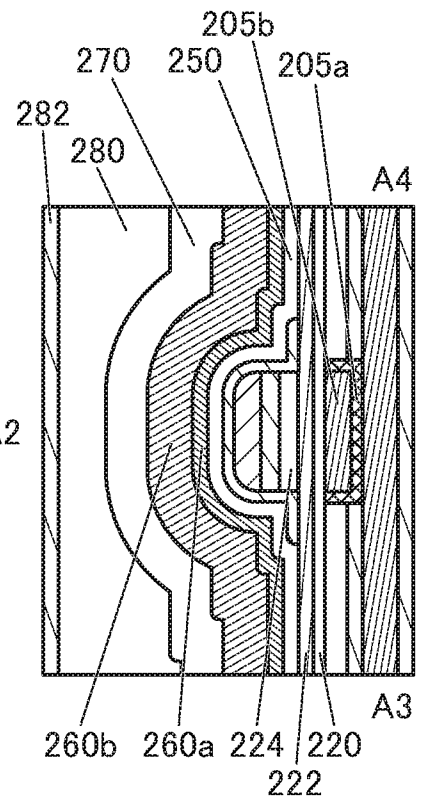
[図57]

(A)

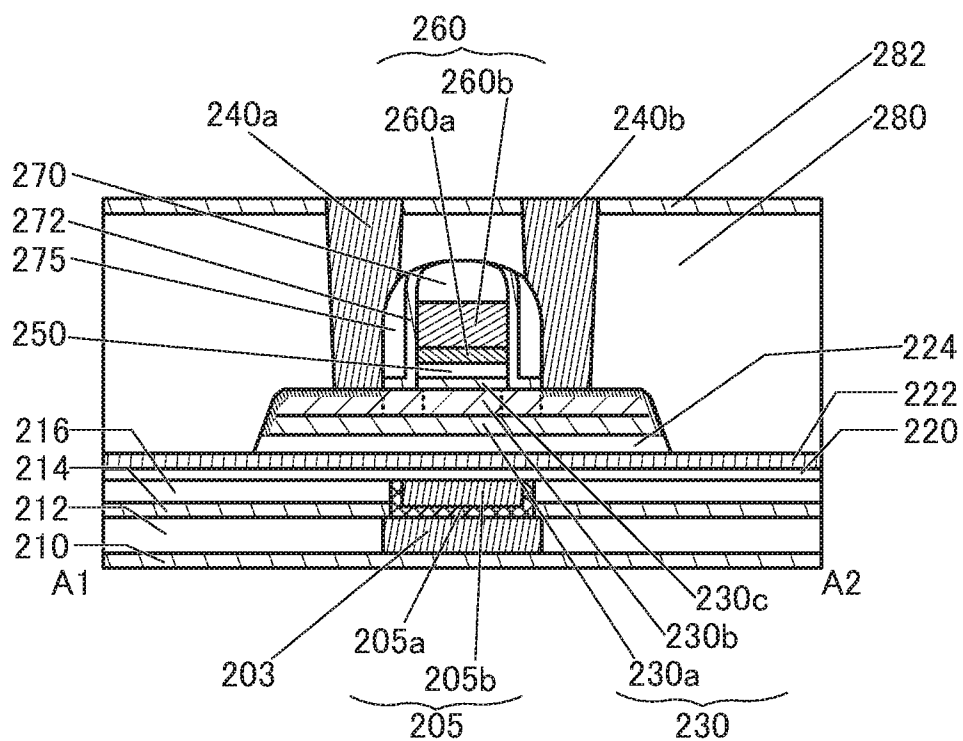
200E



(C)

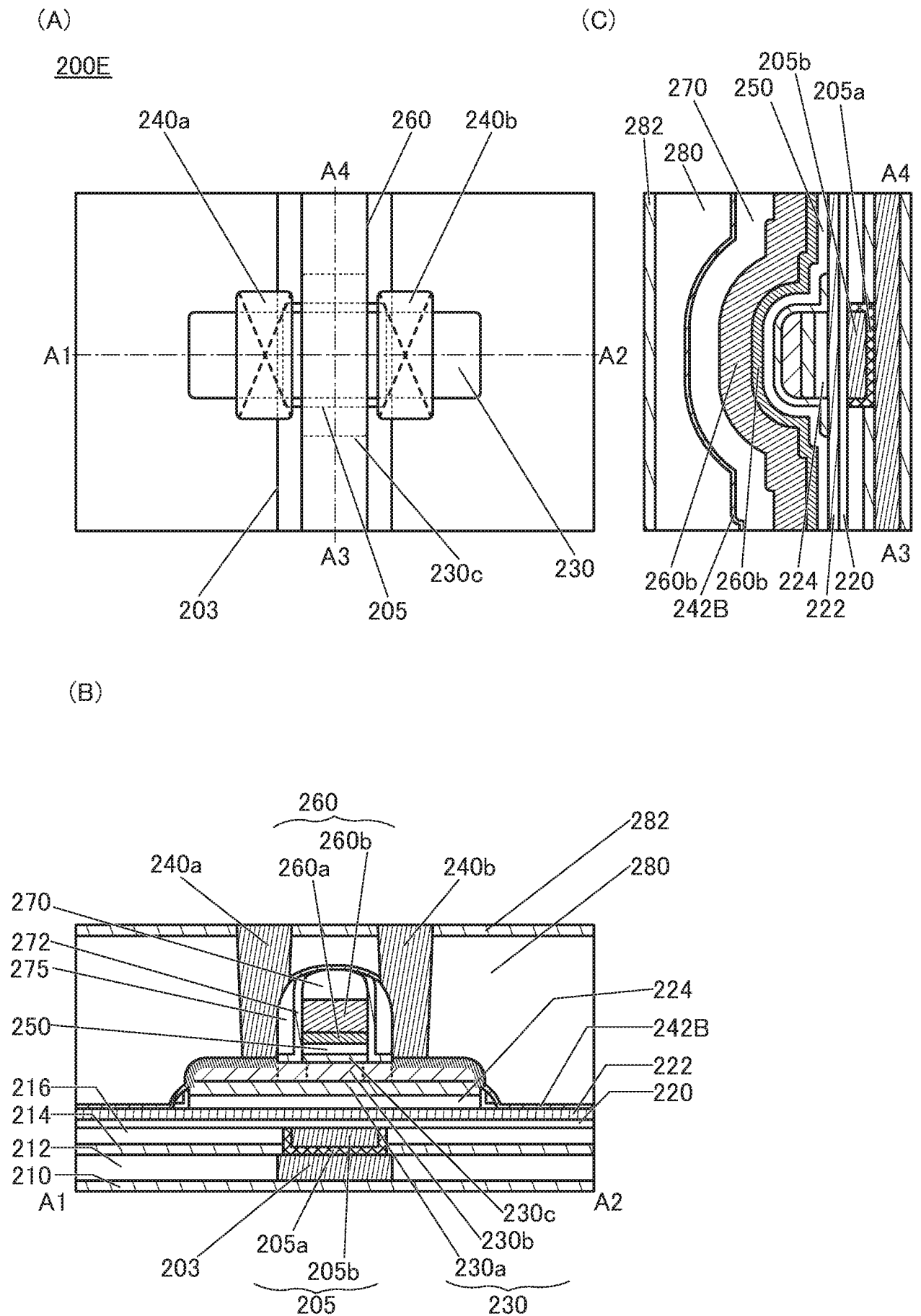


(B)



58/143

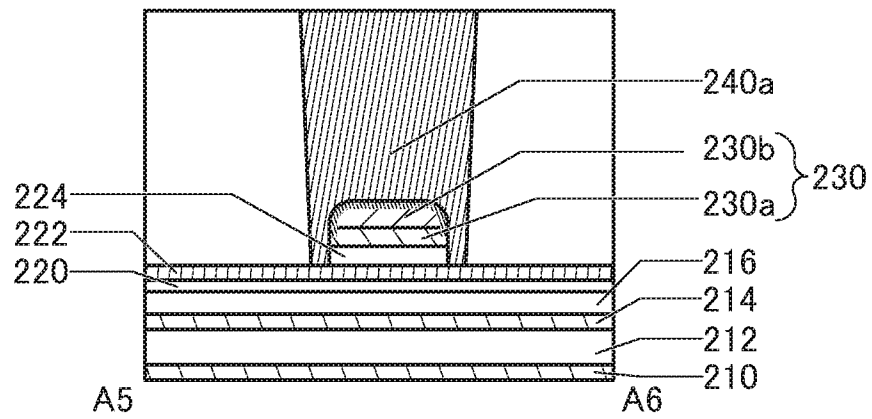
[図58]



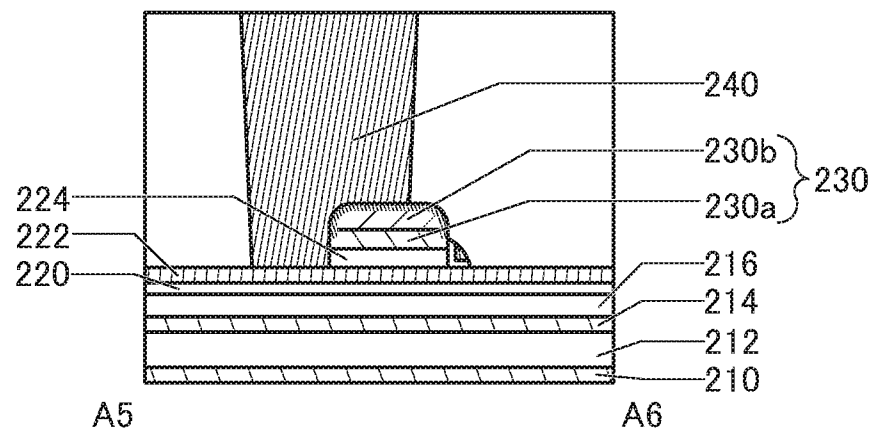
[図59]

59/143

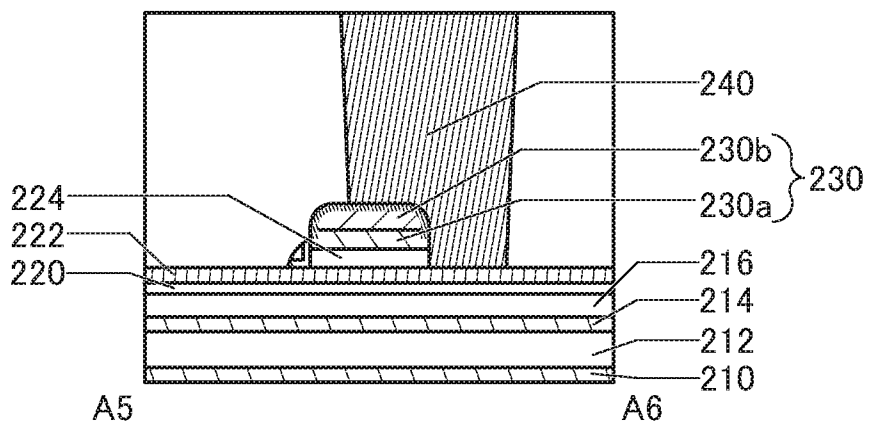
(A)



(B)



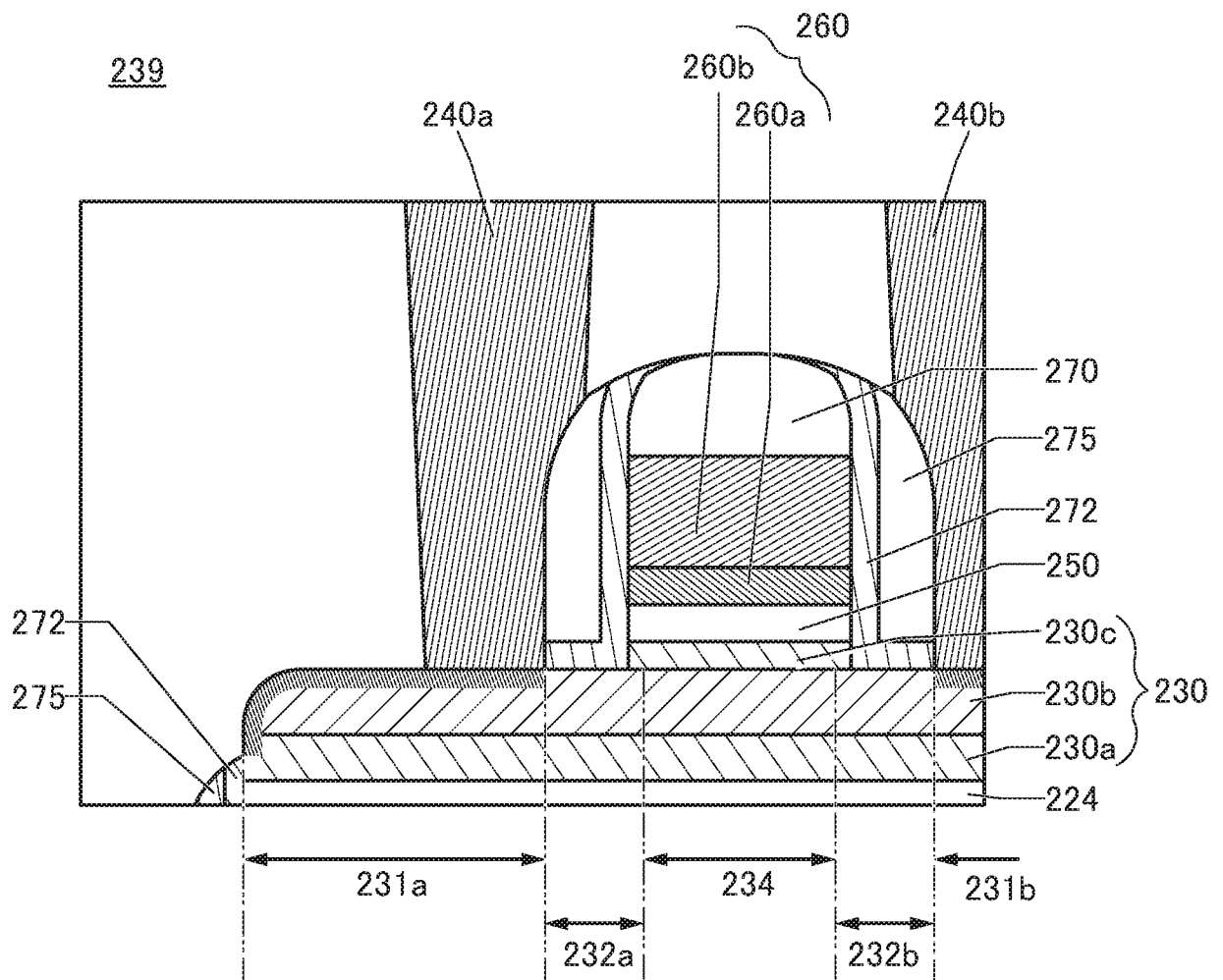
(C)



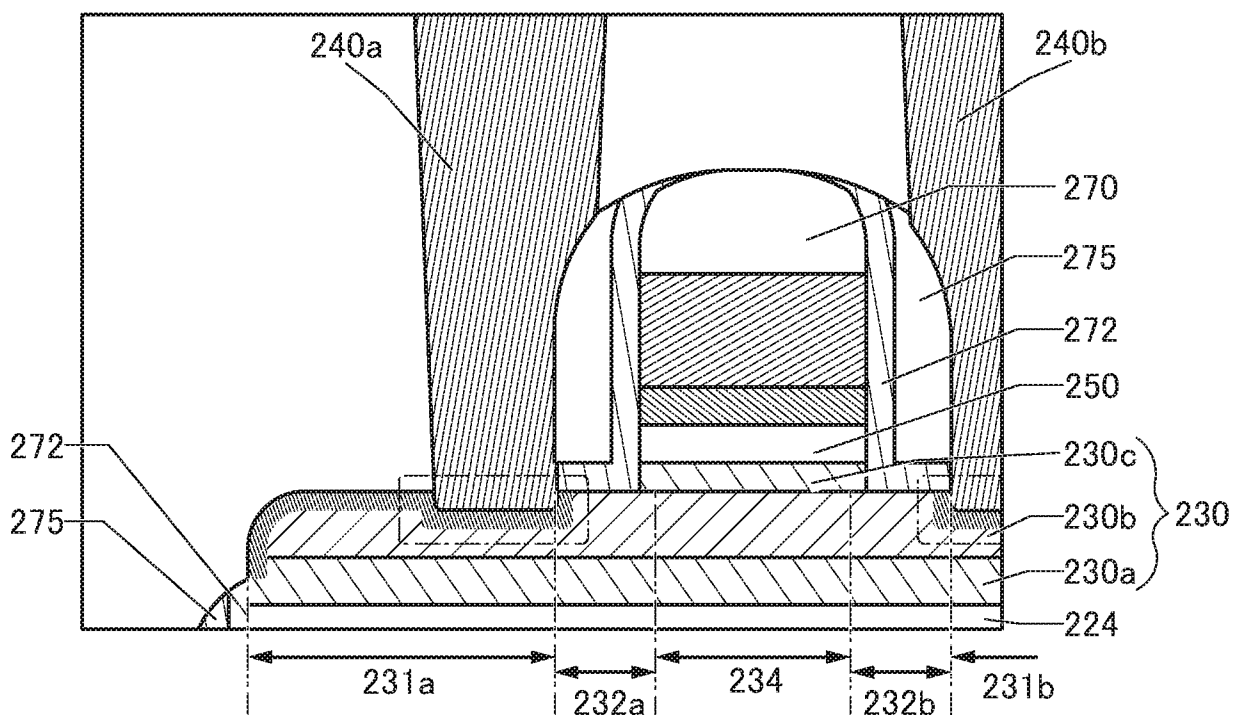
[図 60]

60/143

(A)



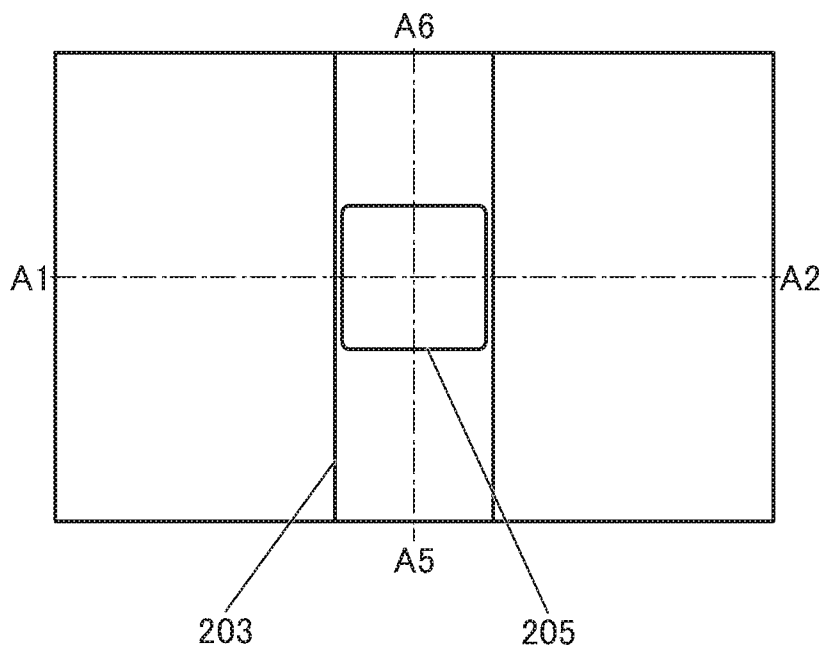
(B)



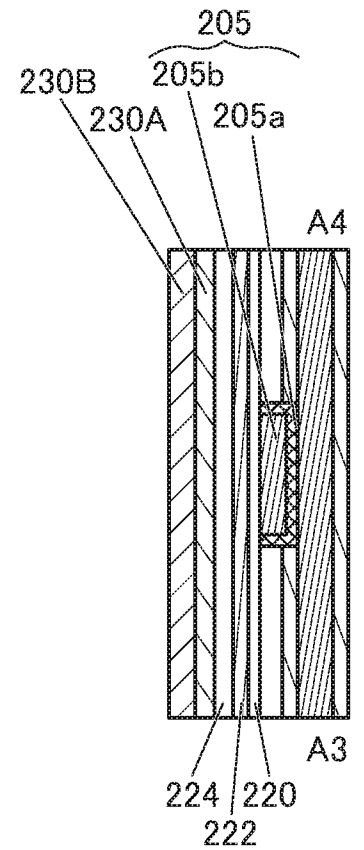
61/143

[図61]

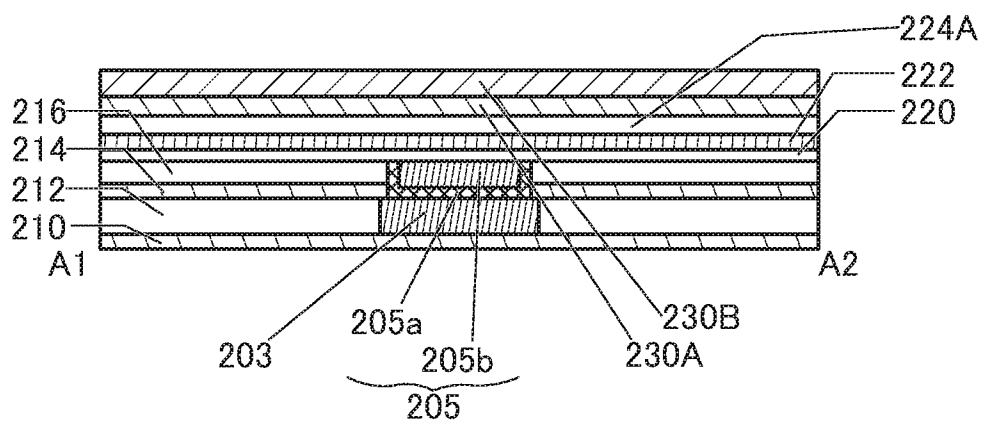
(A)



(C)



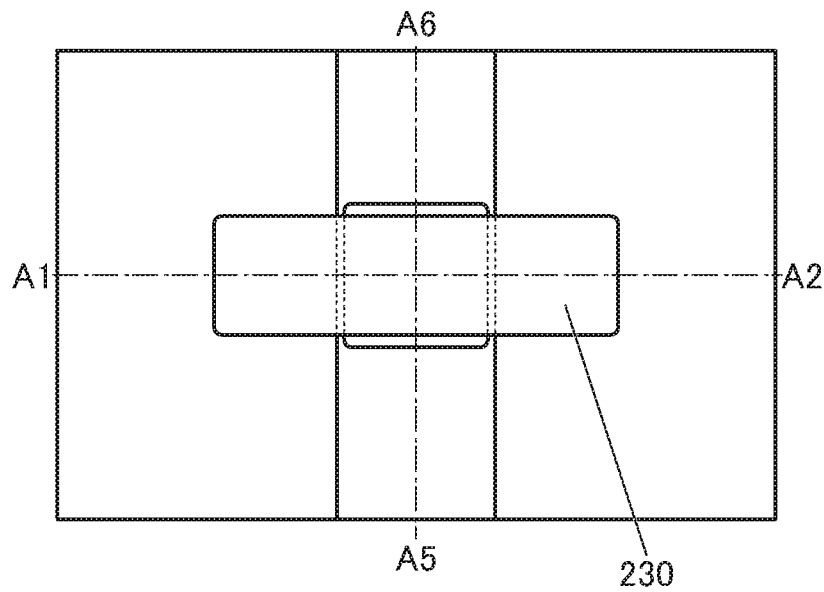
(B)



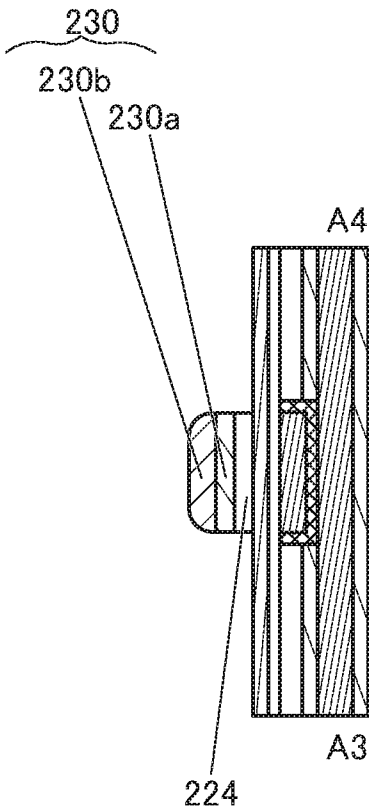
[図62]

62/143

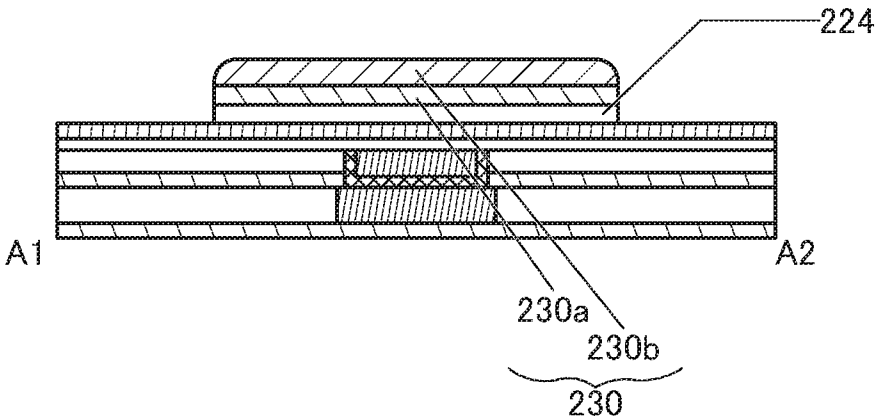
(A)



(C)



(B)

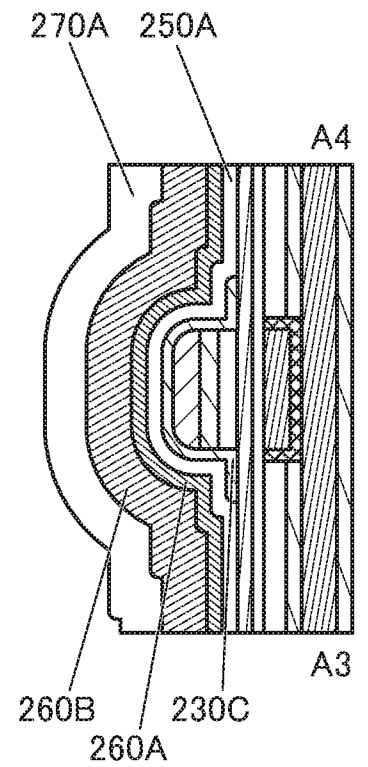
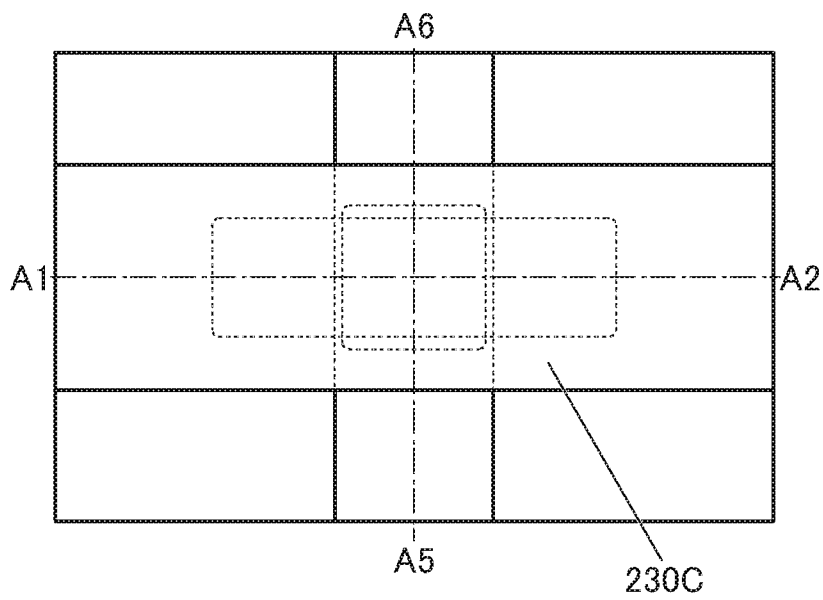


63/143

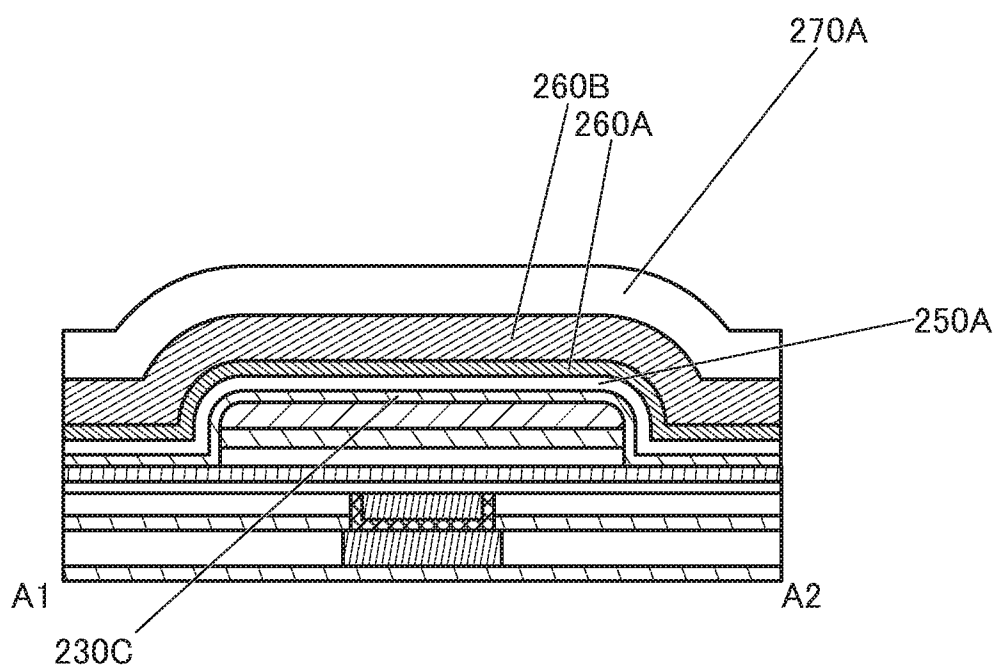
[ 63]

(A)

(C)

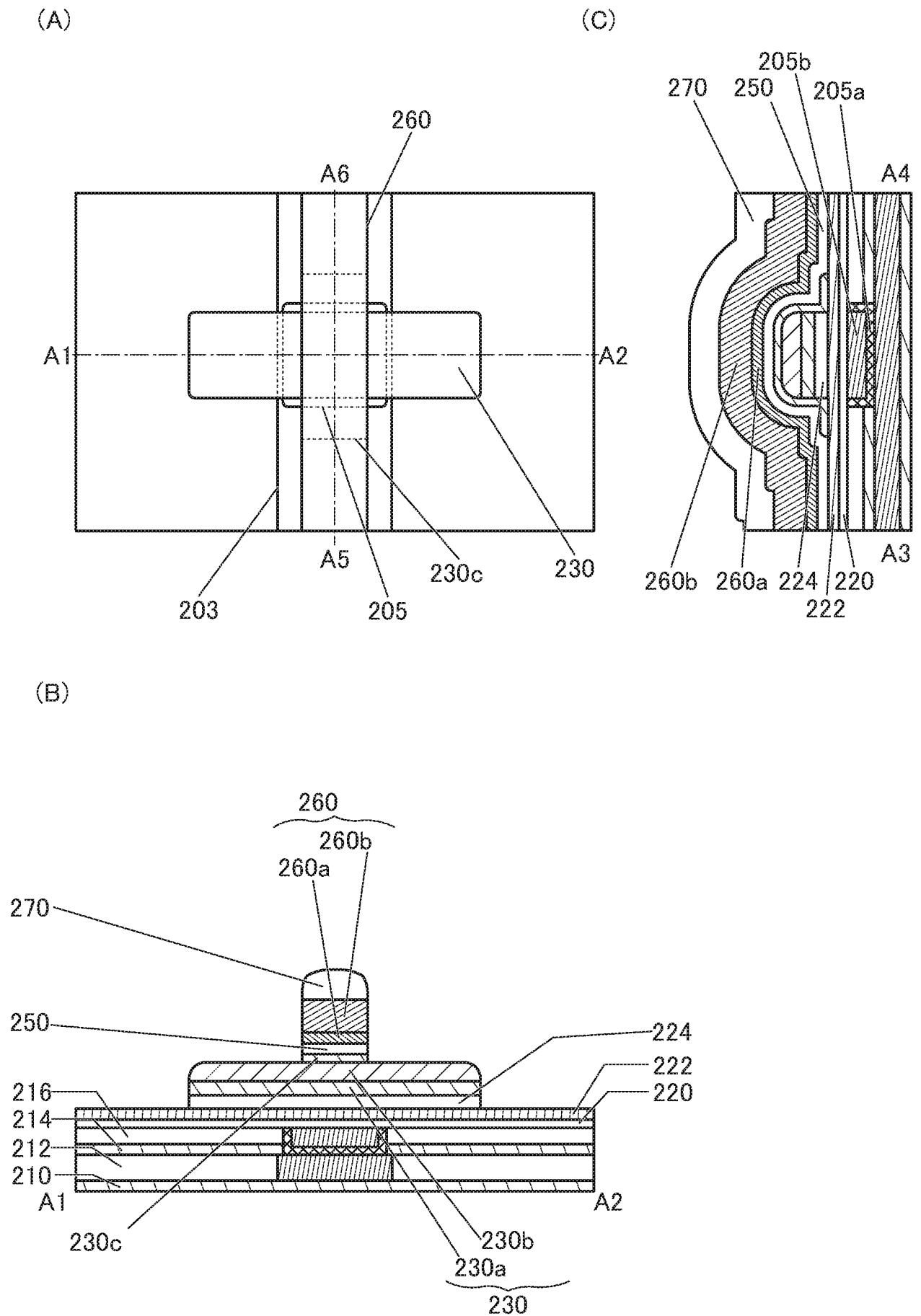


(B)



64/143

[図64]

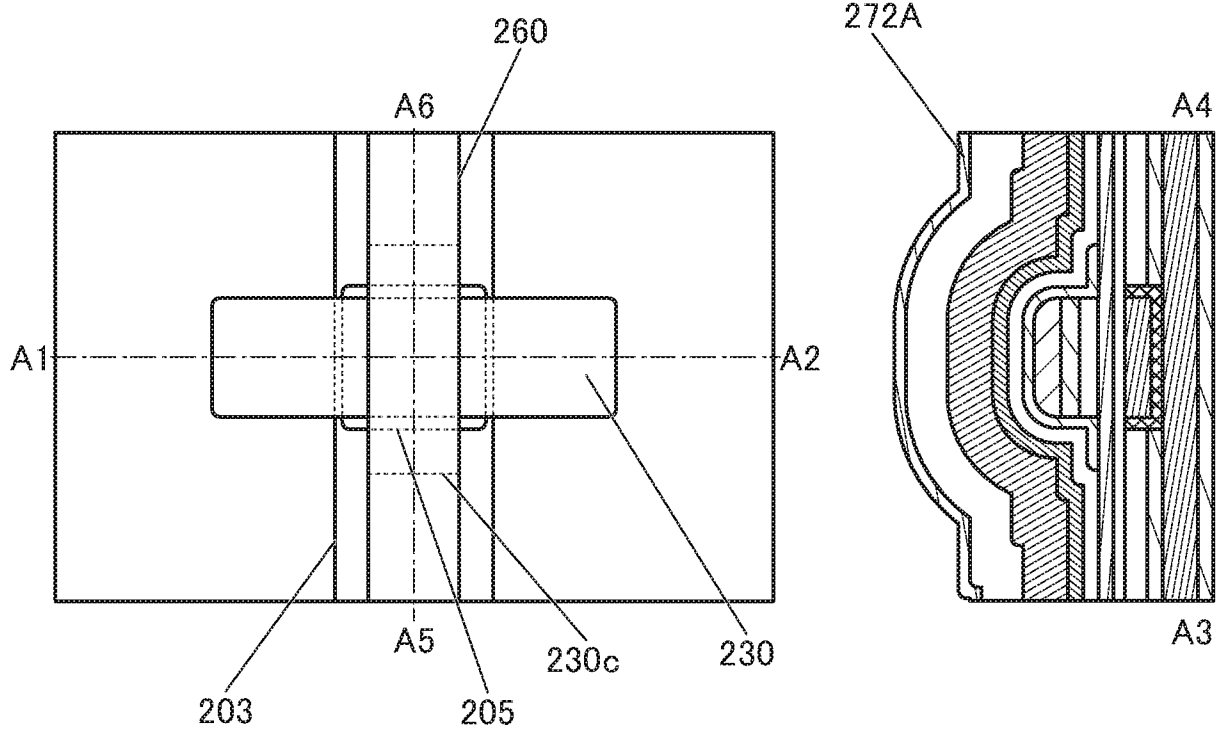


65/143

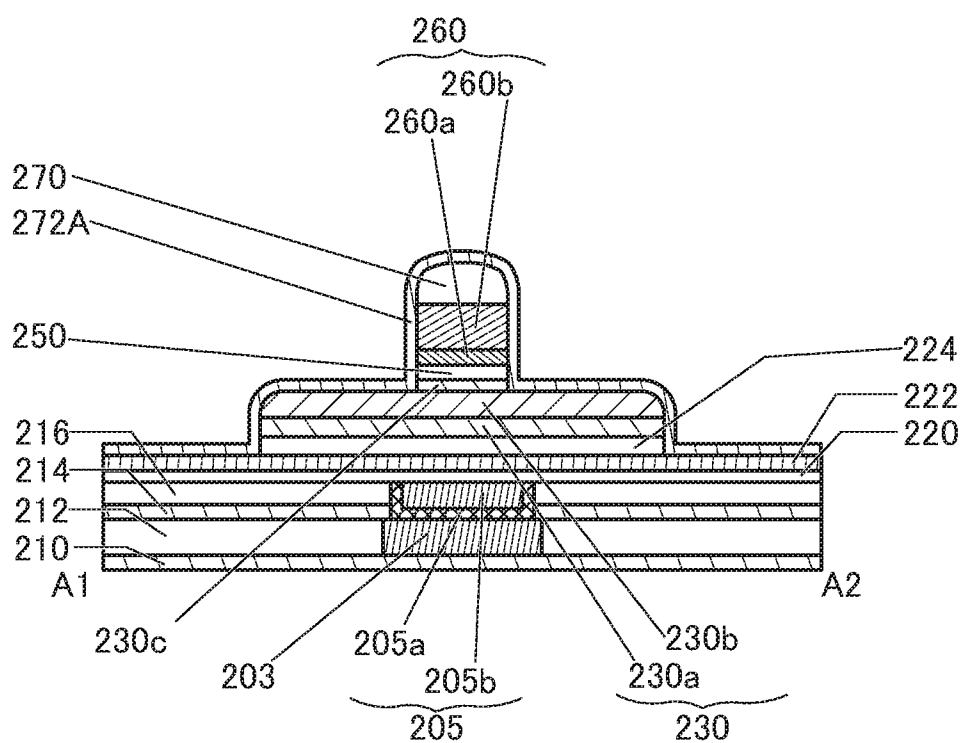
[図 65]

(A)

(C)



(B)

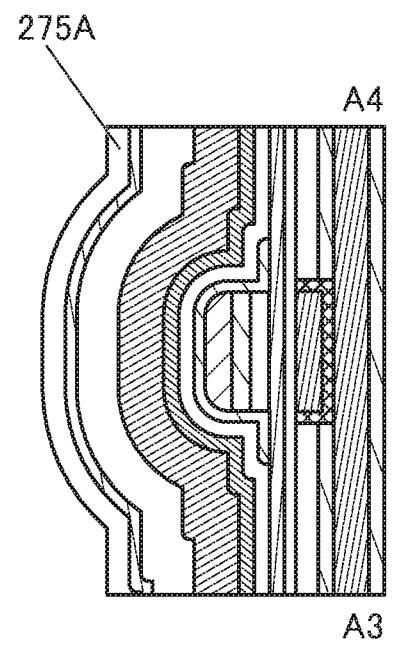
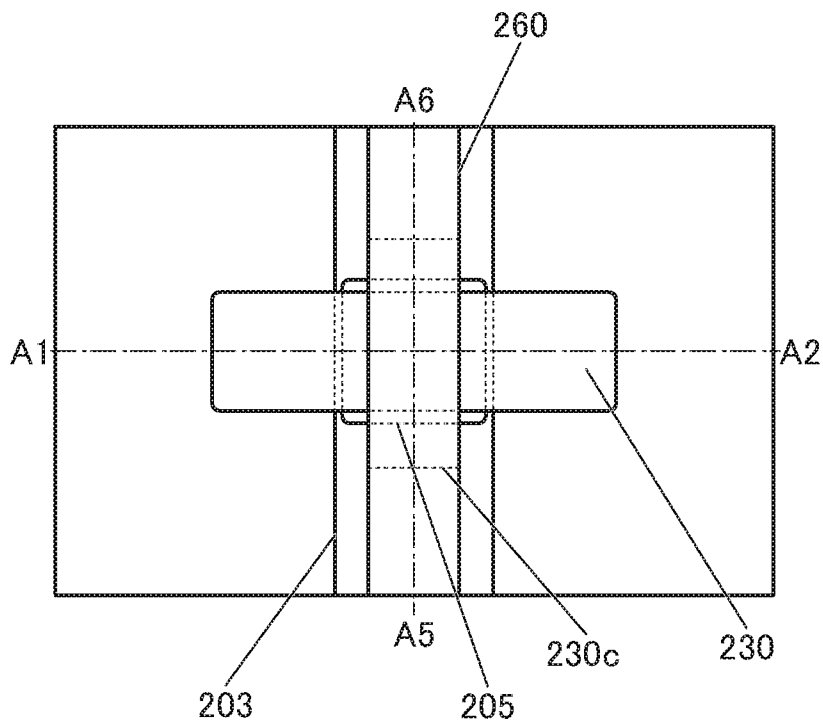


66/143

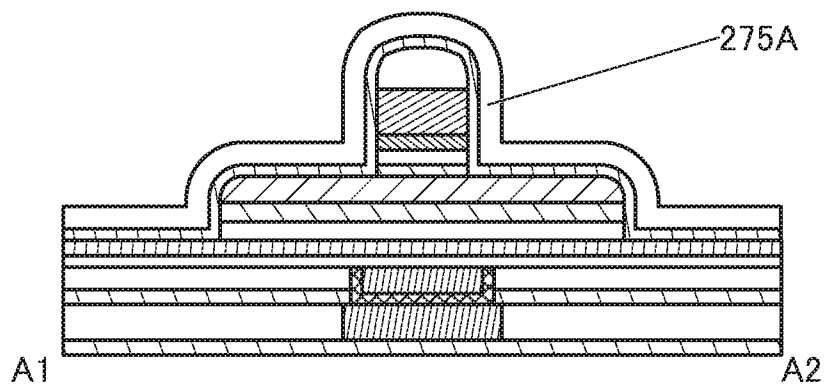
[ 66]

(A)

(C)



(B)

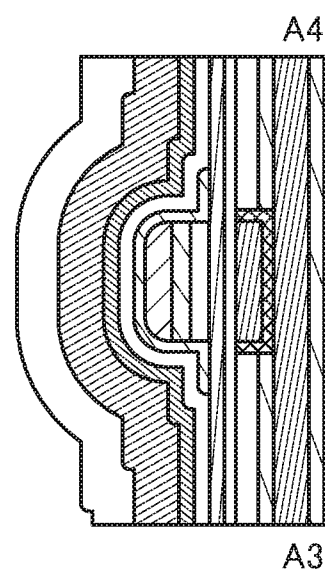
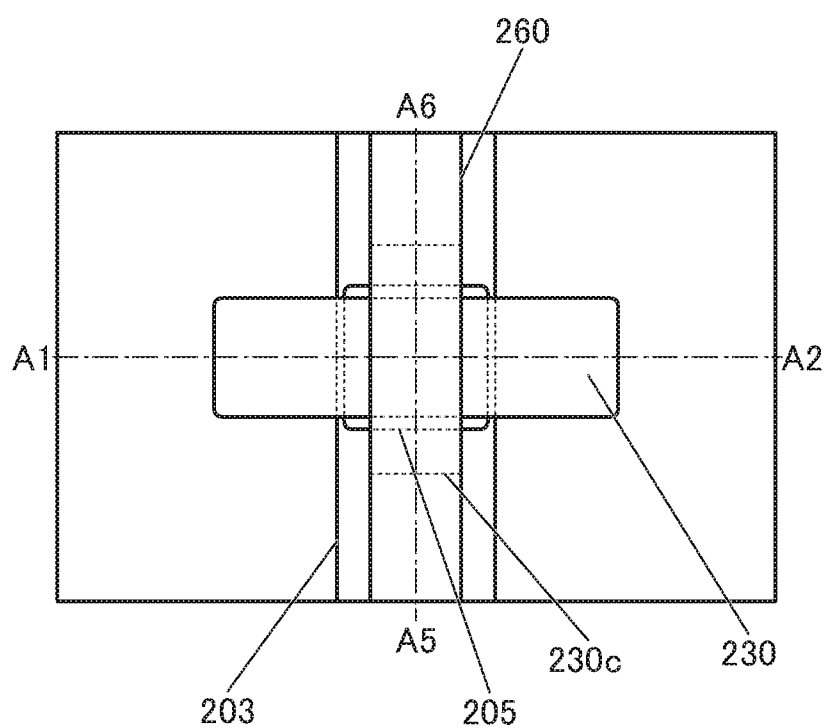


[図67]

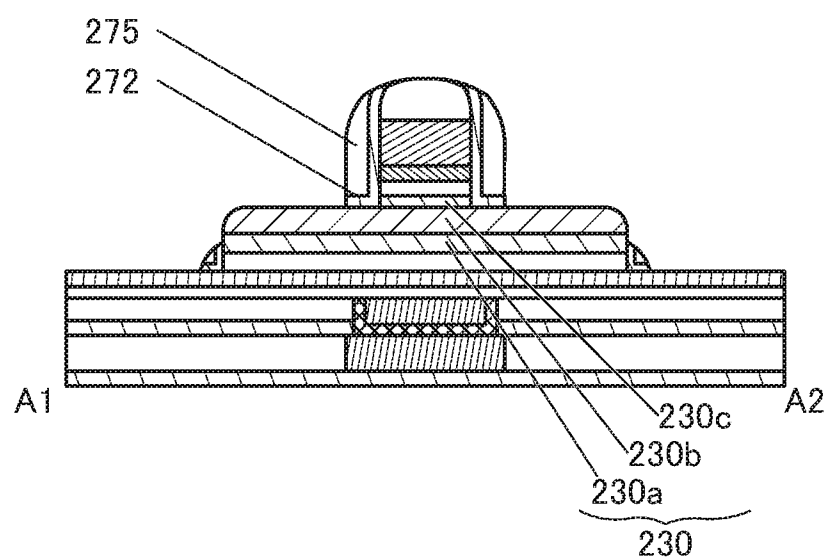
67/143

(A)

(C)



(B)

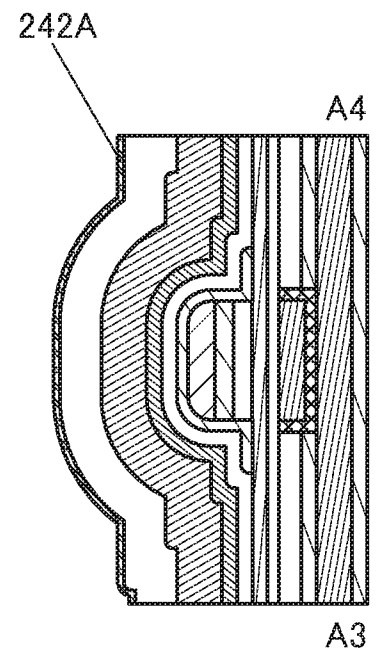
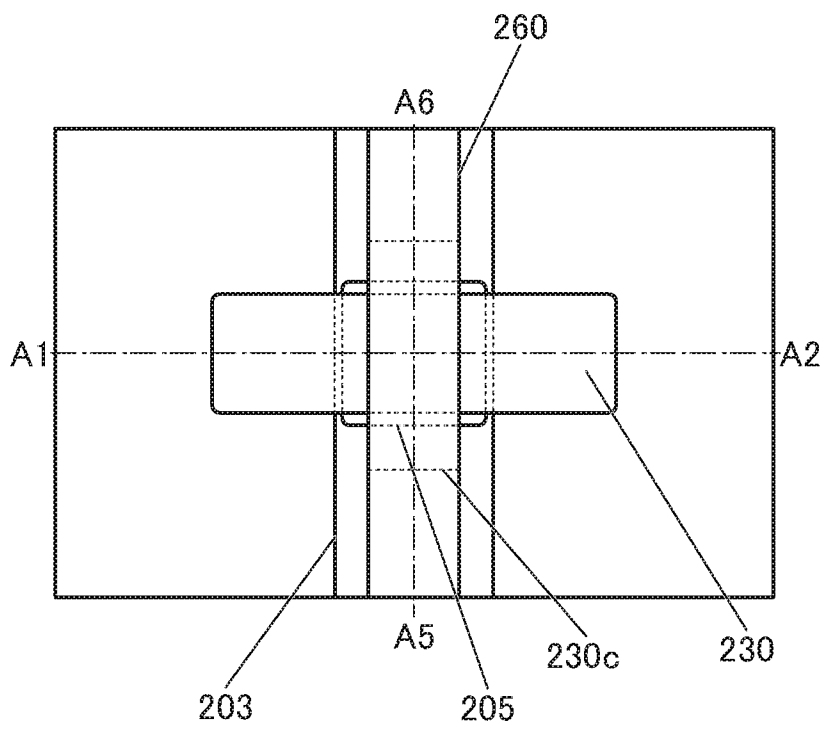


68/143

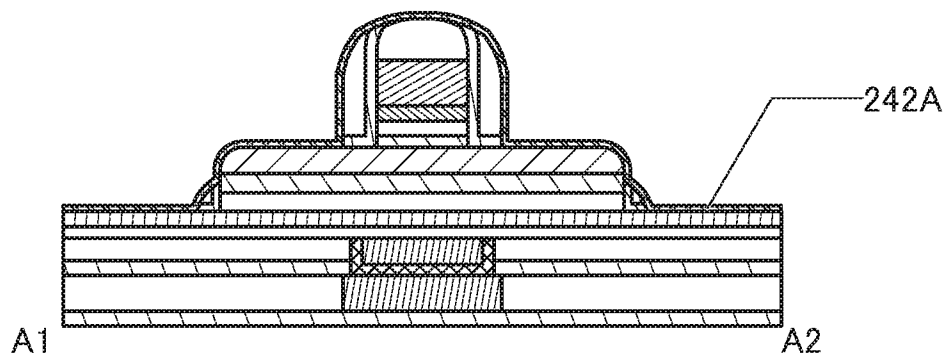
[ 68]

(A)

(C)



(B)

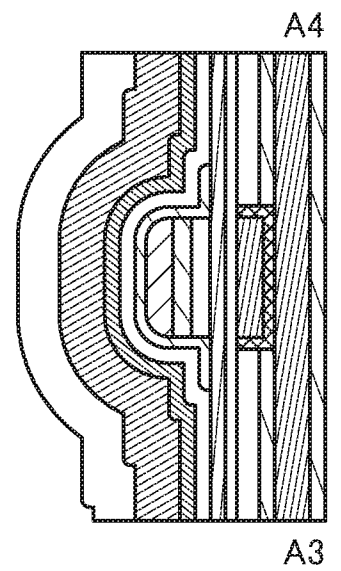
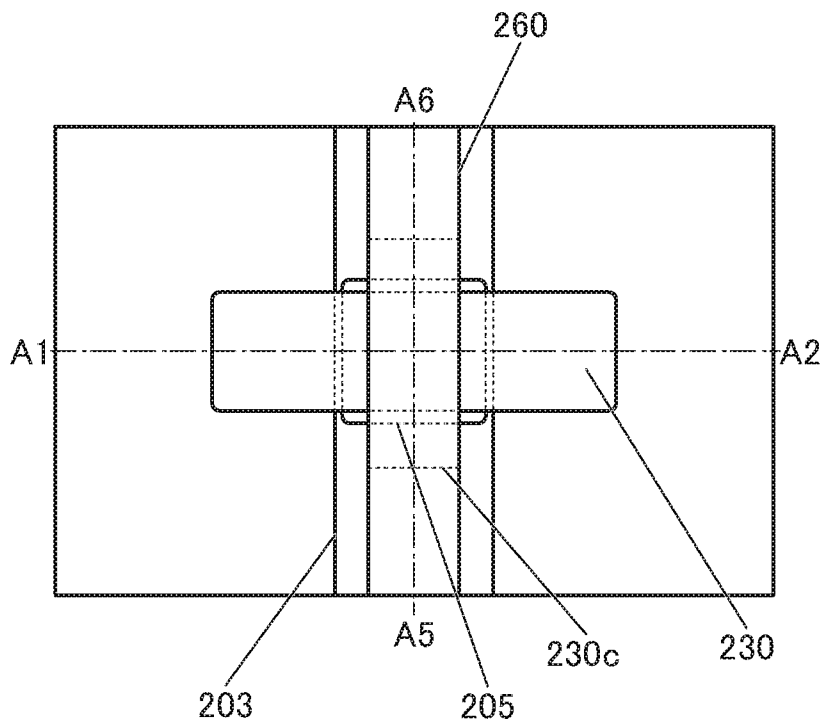


69/143

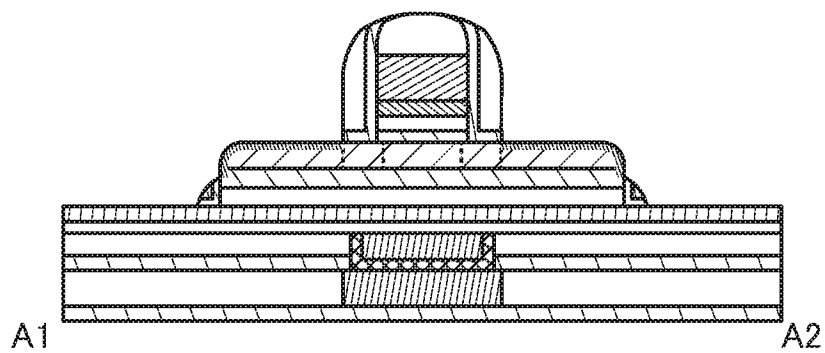
[ 69]

(A)

(C)



(B)

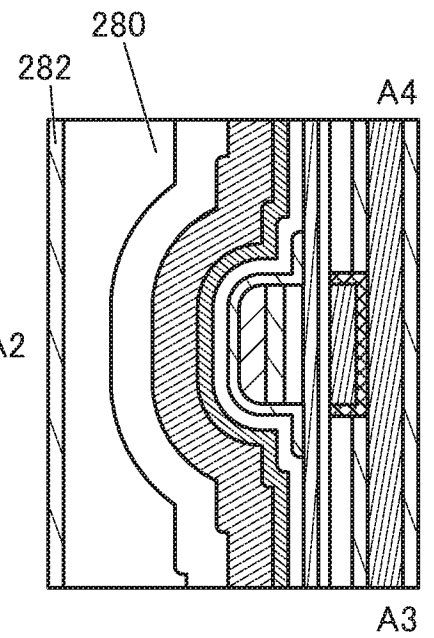
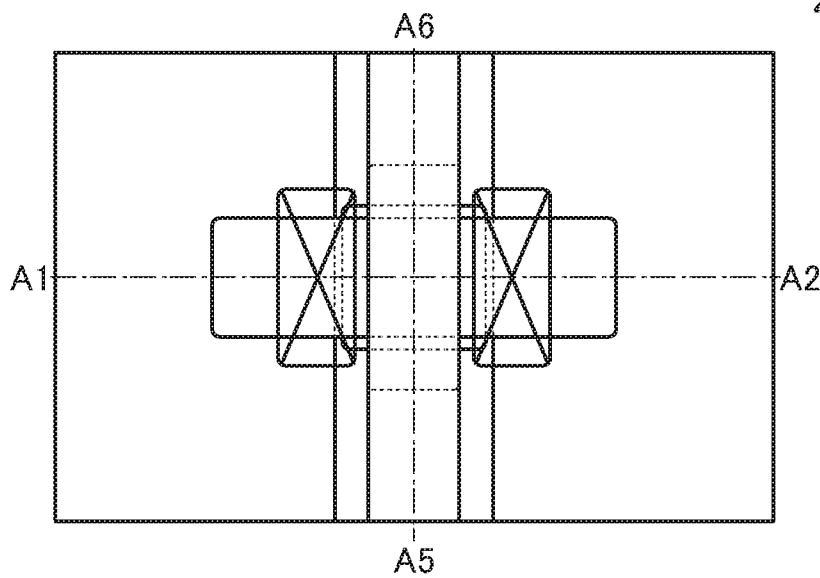


70/143

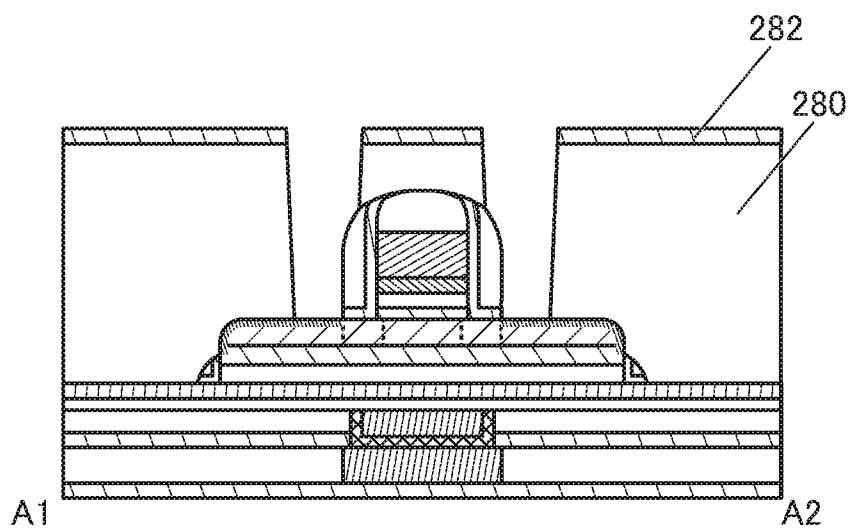
[ 70]

(A)

(C)



(B)

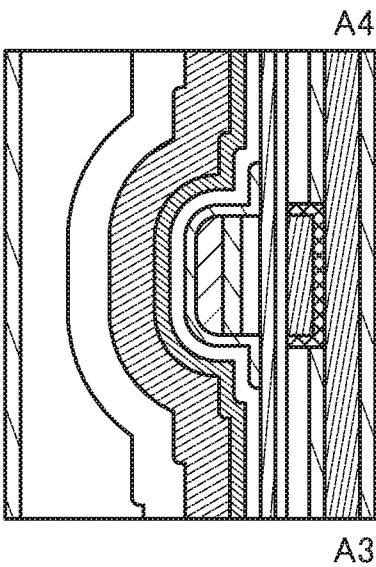
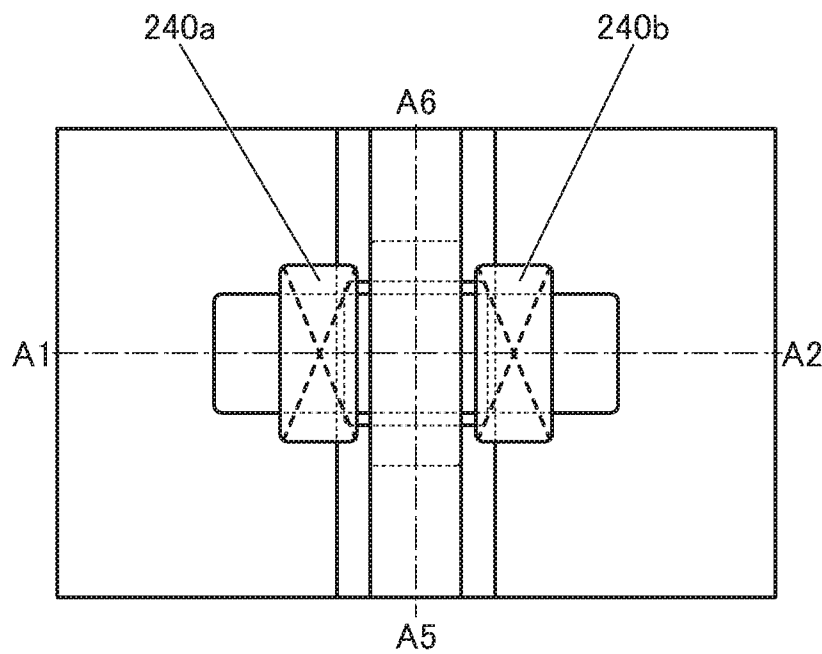


[図 71]

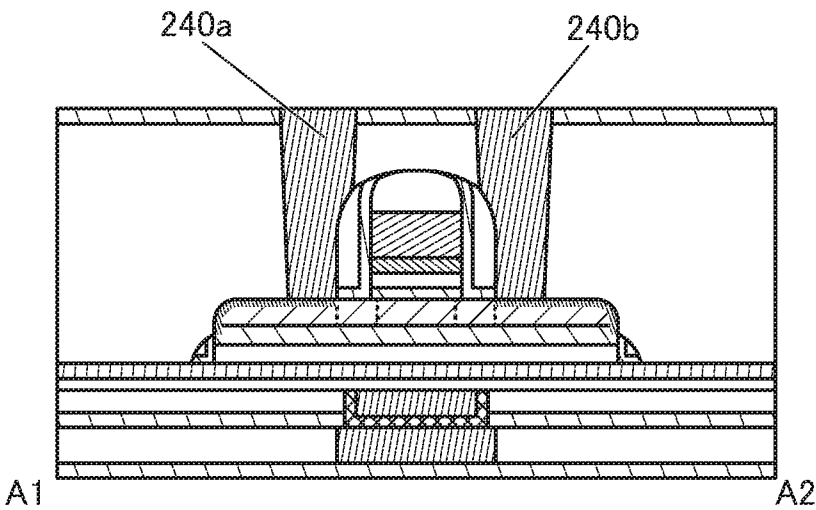
71/143

(A)

(C)

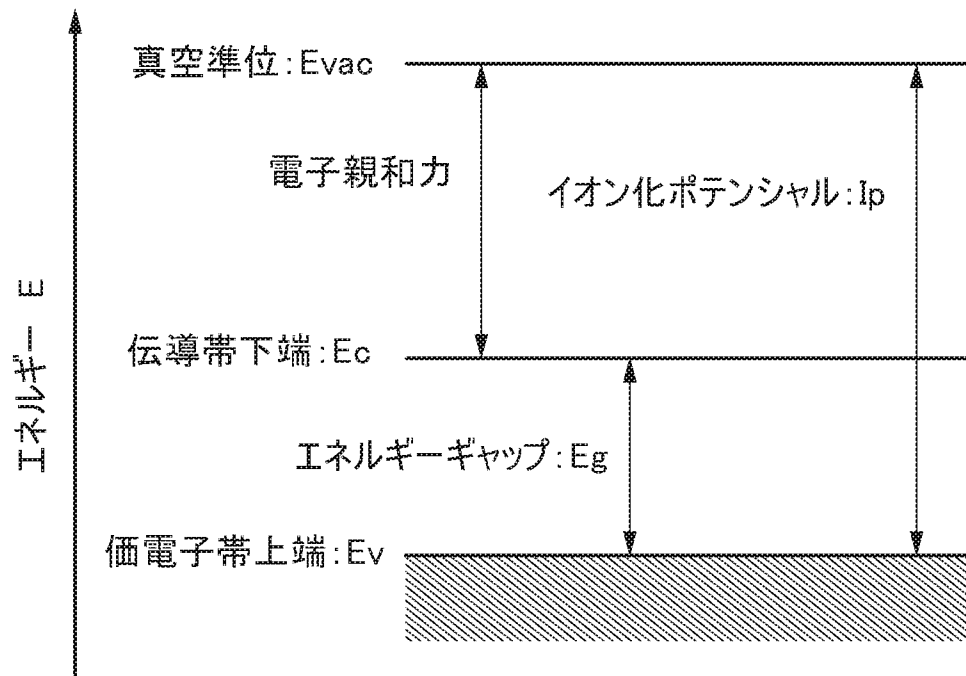


(B)



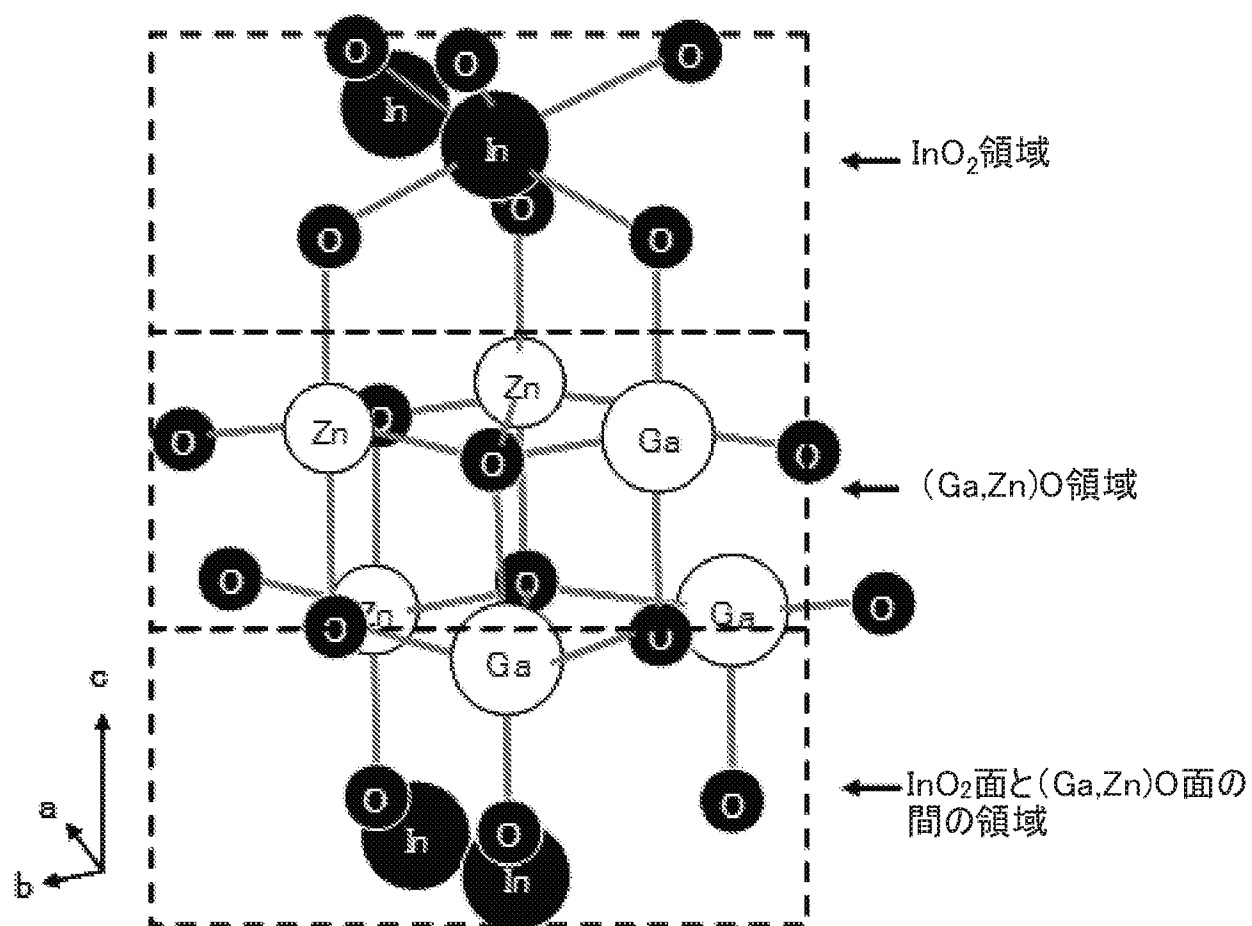
[図72]

72/143



[図73]

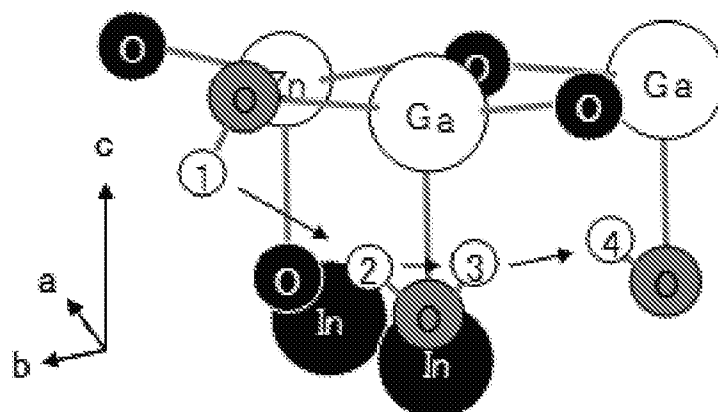
73/143



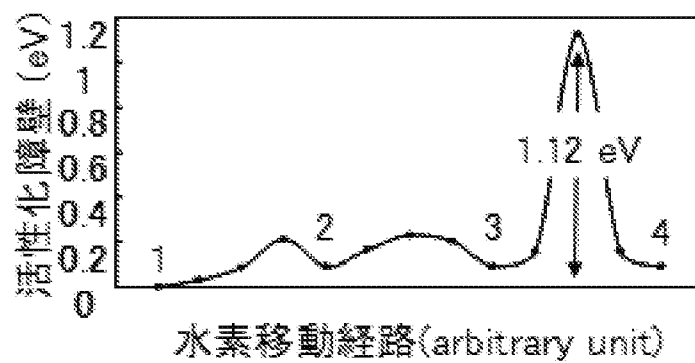
[図74]

74/143

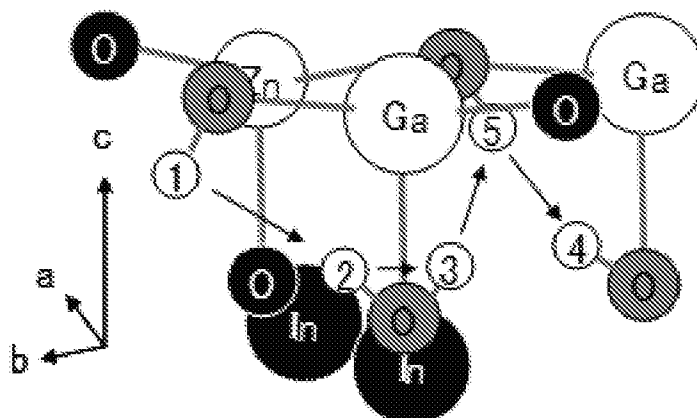
(A)



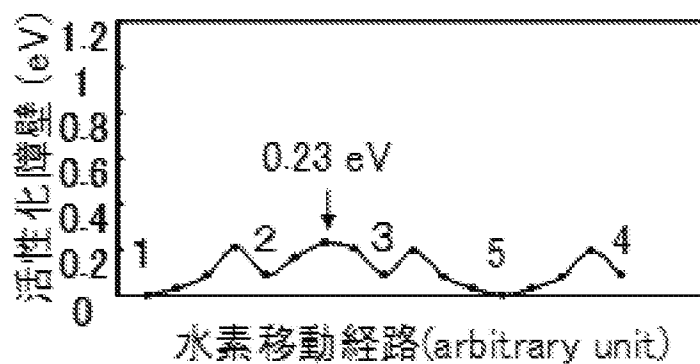
(B)



(C)

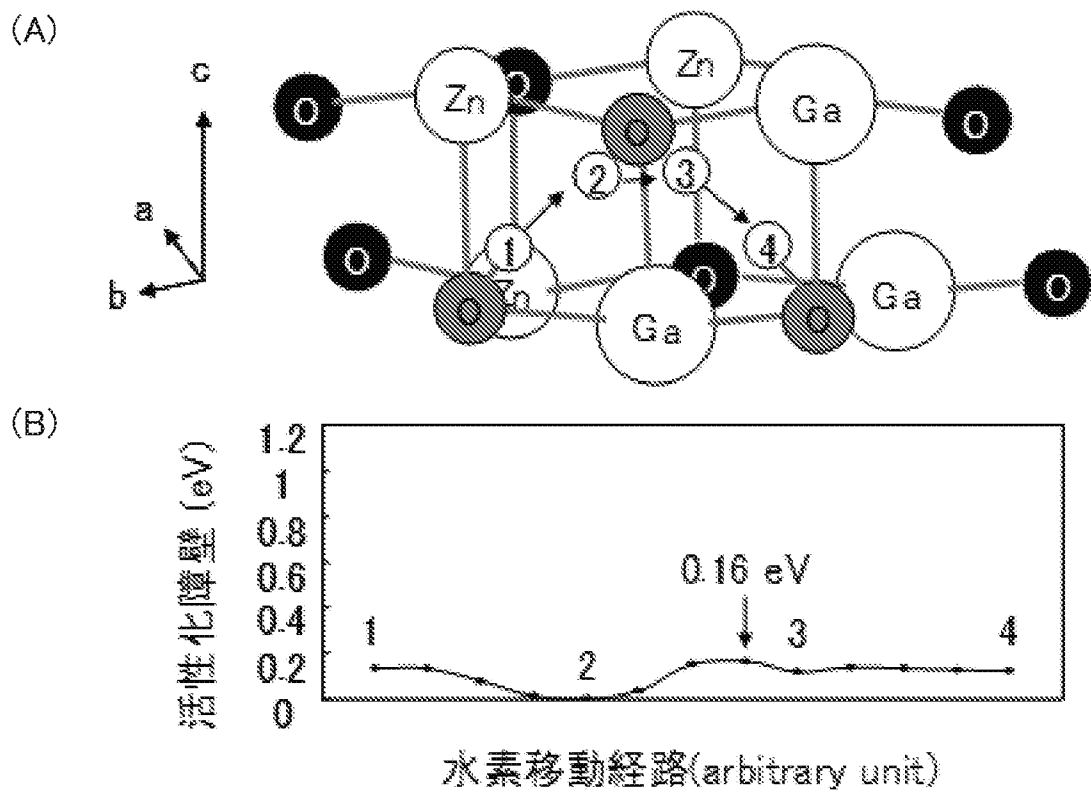


(D)



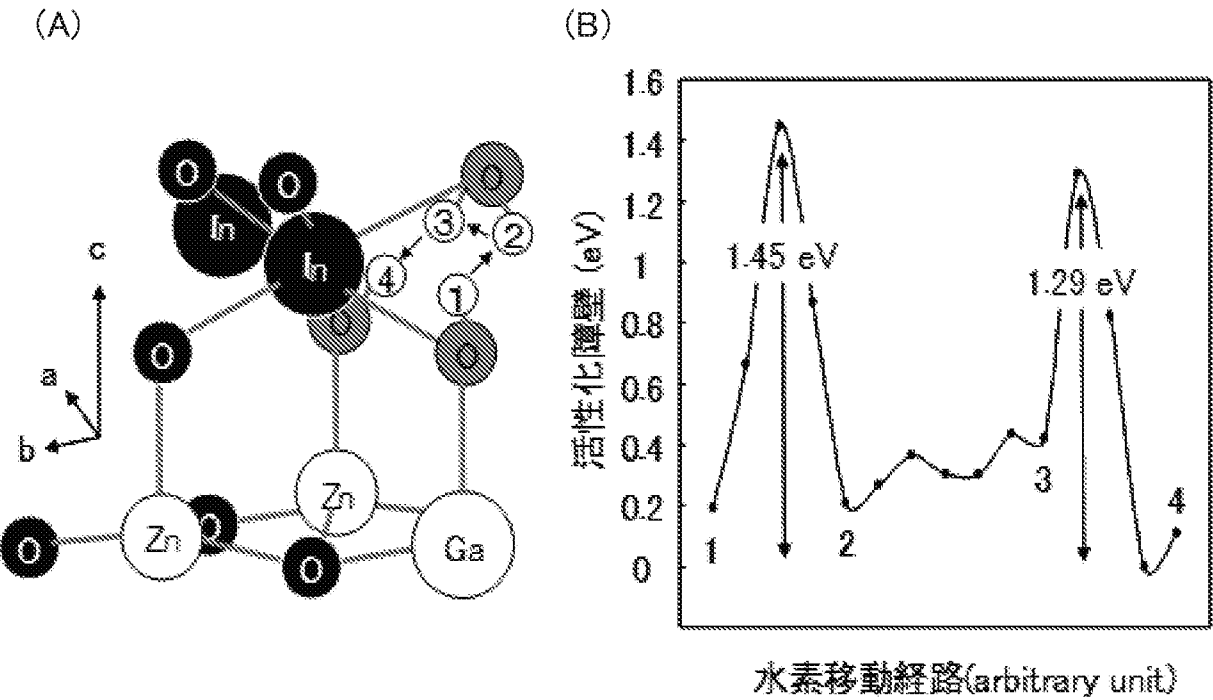
[図75]

75/143



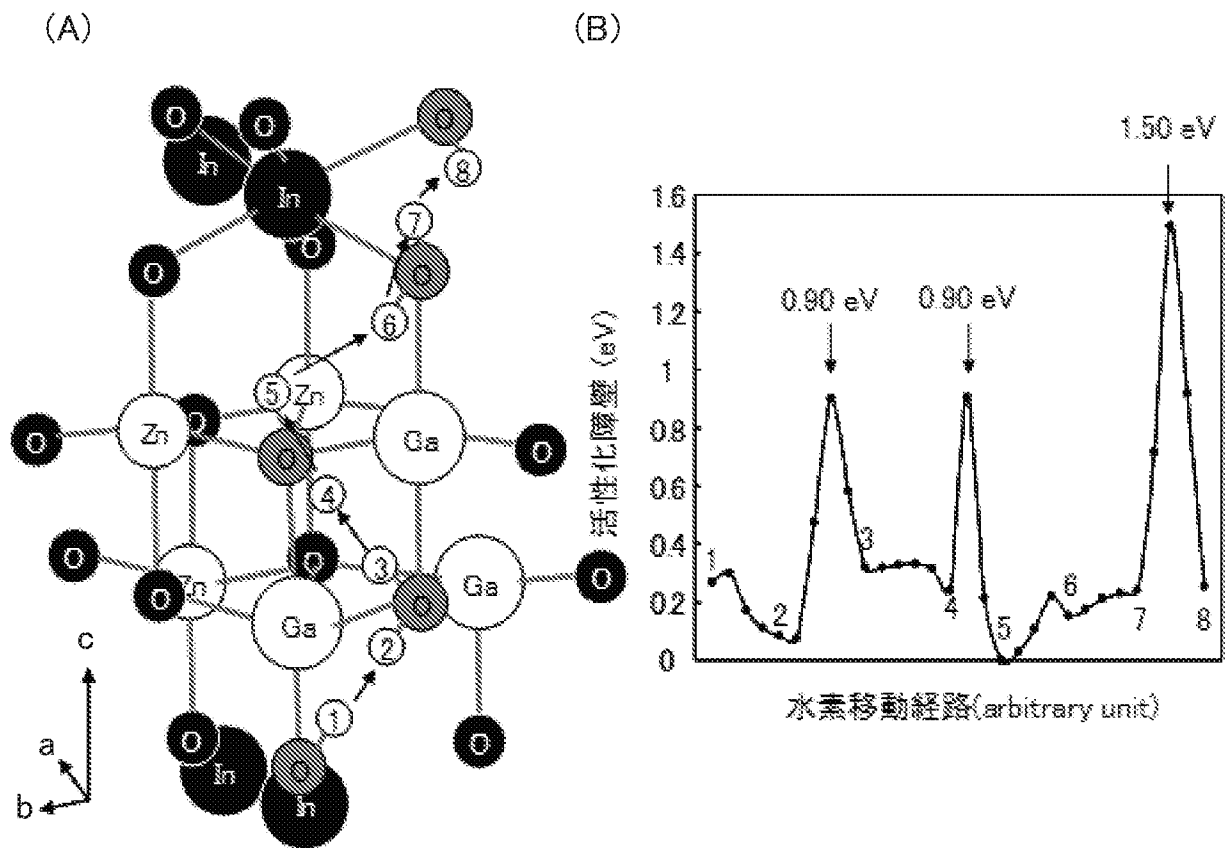
[図 76]

76/143



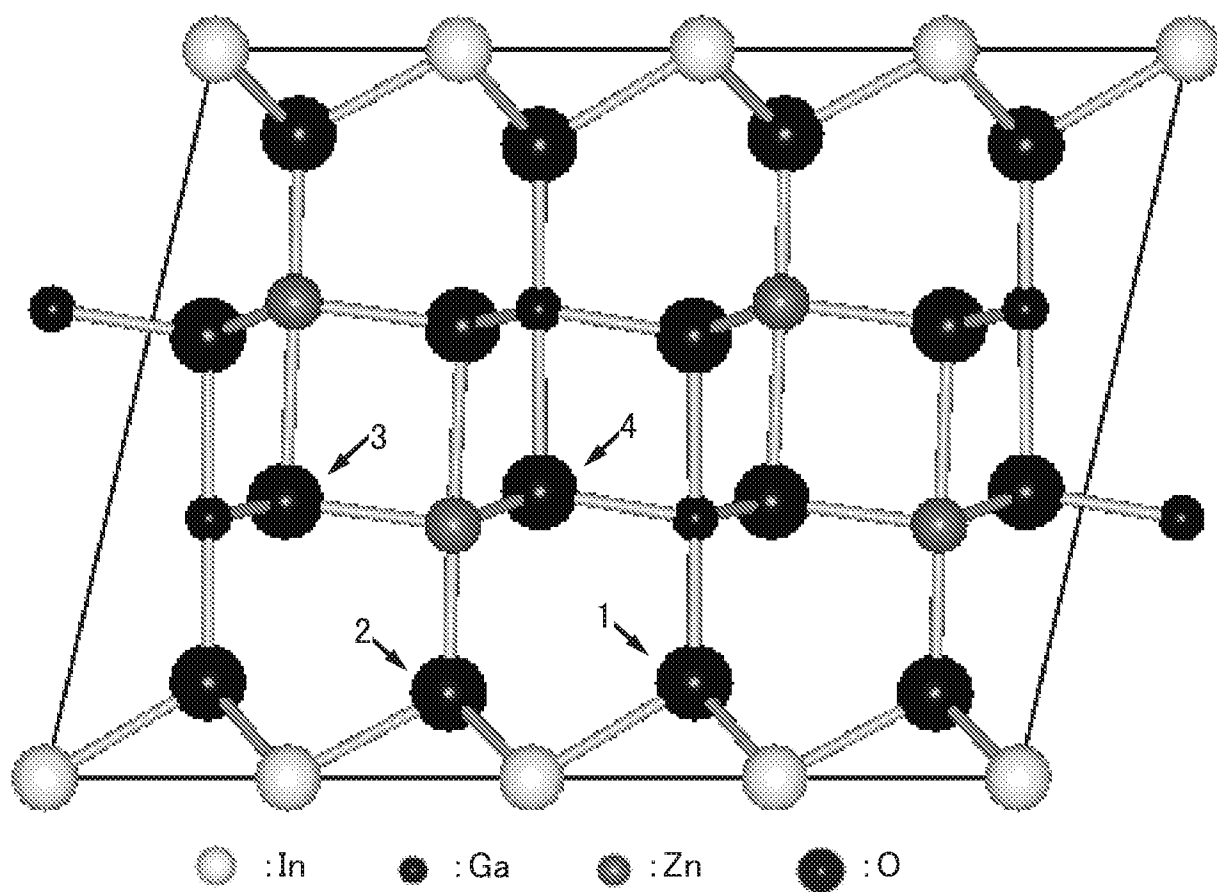
[図 77]

77/143



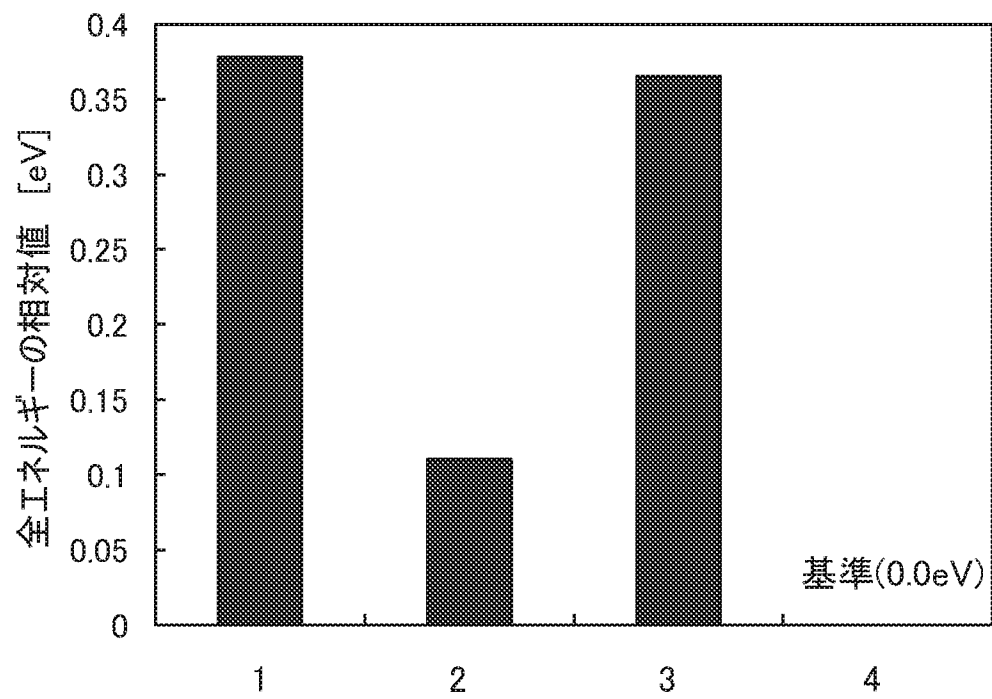
[図78]

78/143



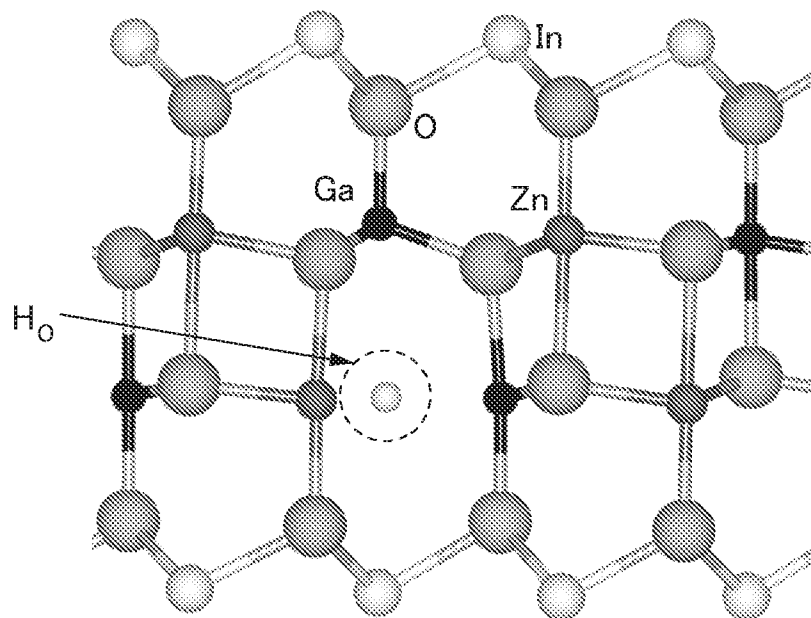
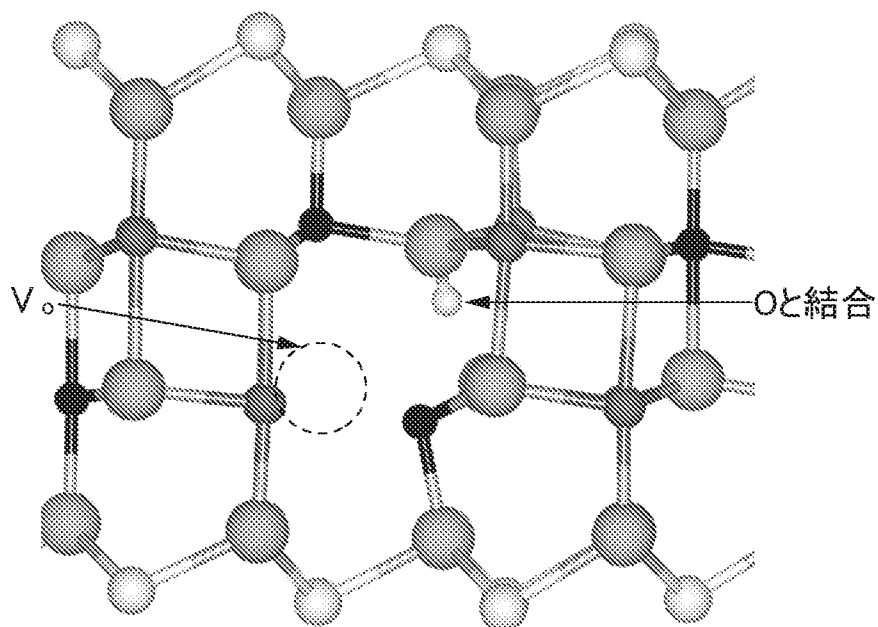
79/143

[図 79]

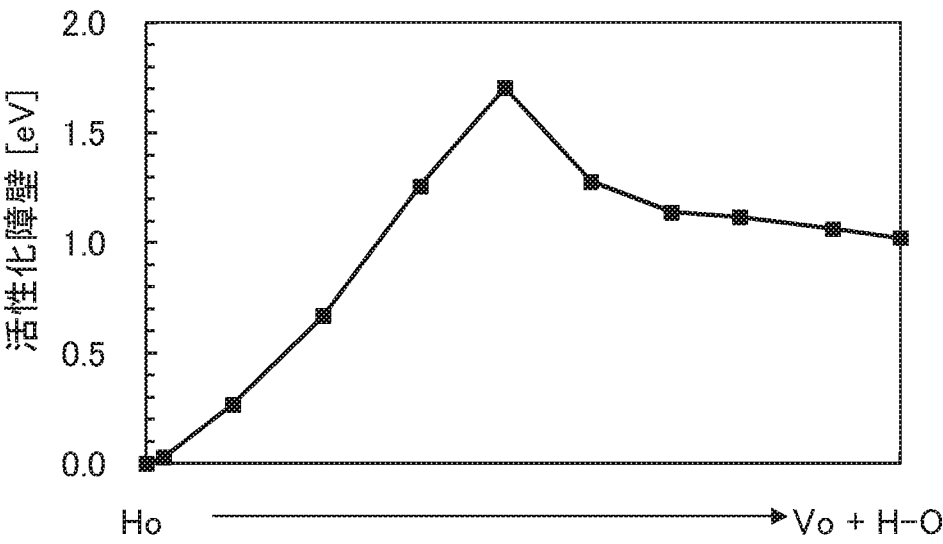


[図80]

80/143

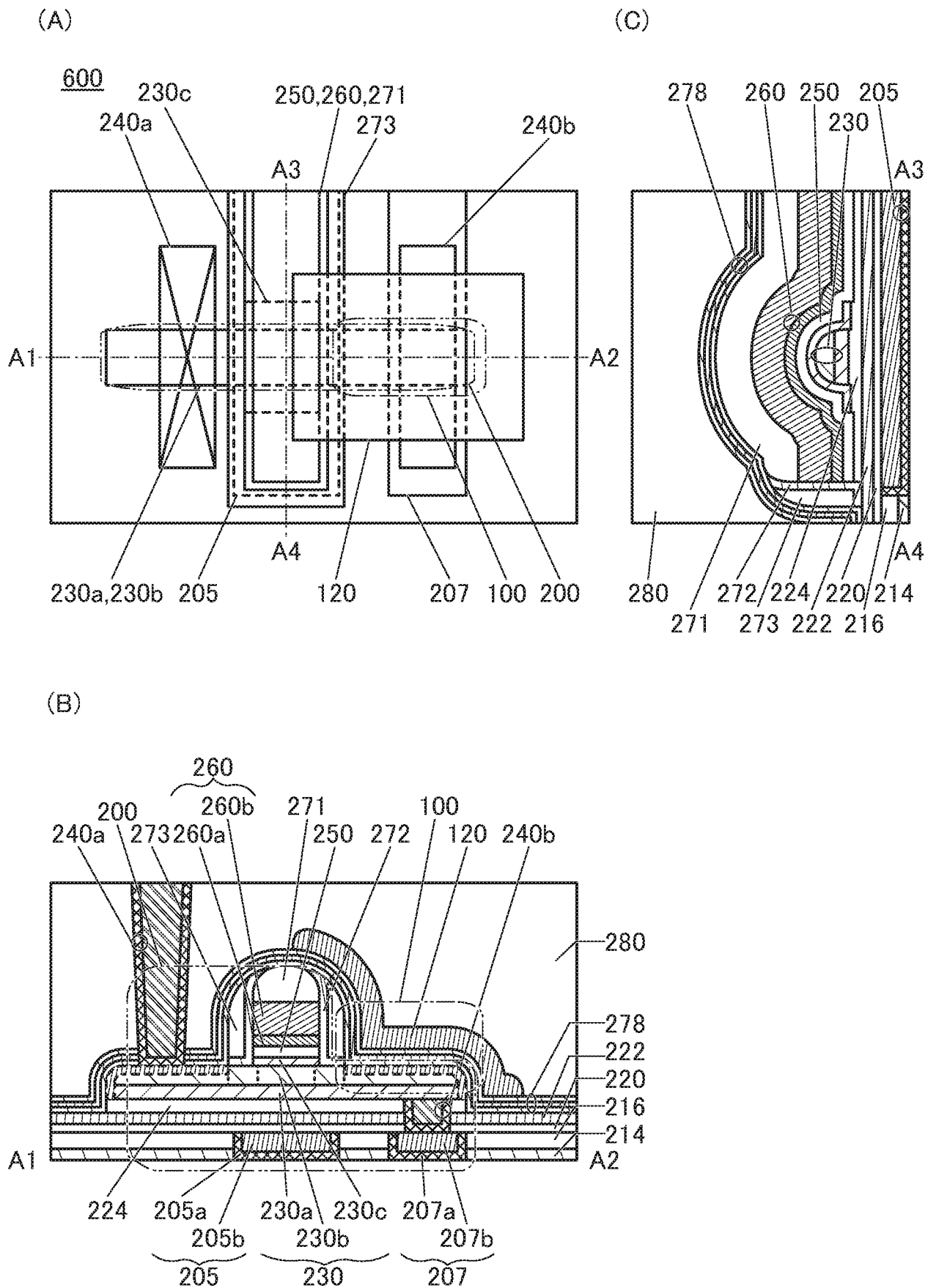
(A) 初期状態 (H_O)(B) 最終状態 (V_O , H-O)

[図81]

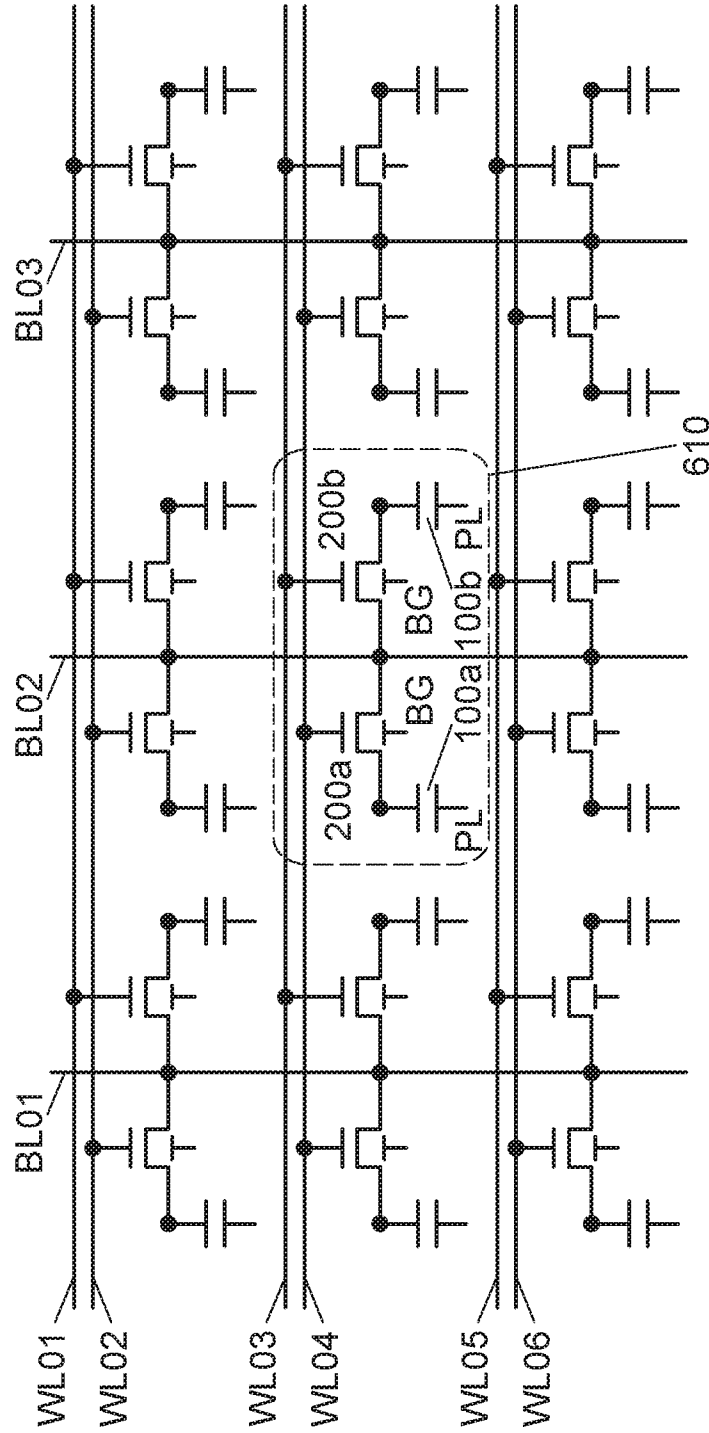


82/143

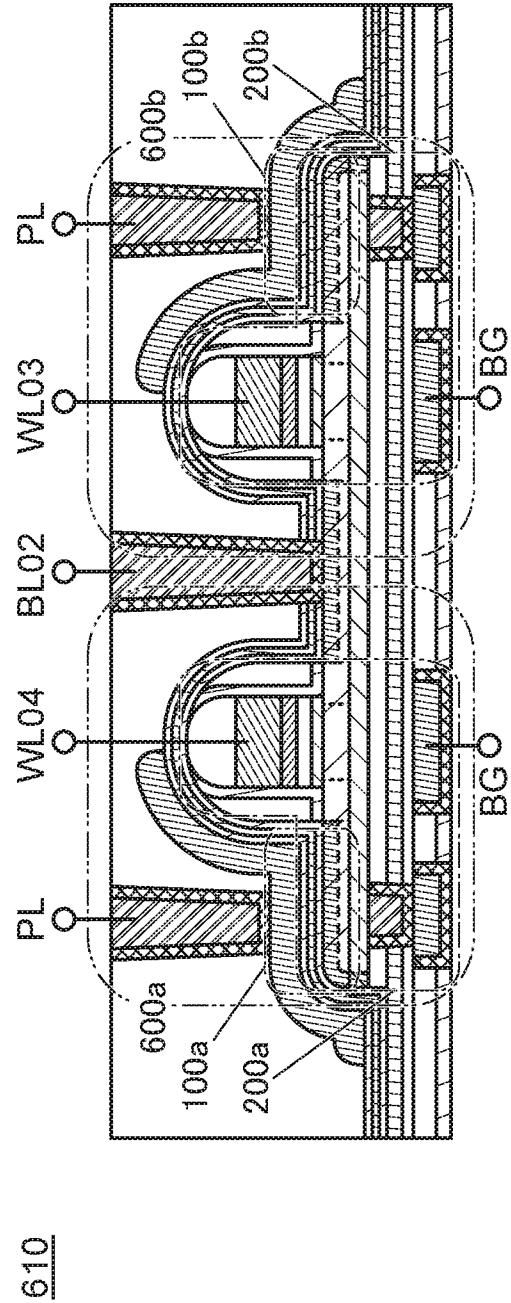
[図82]



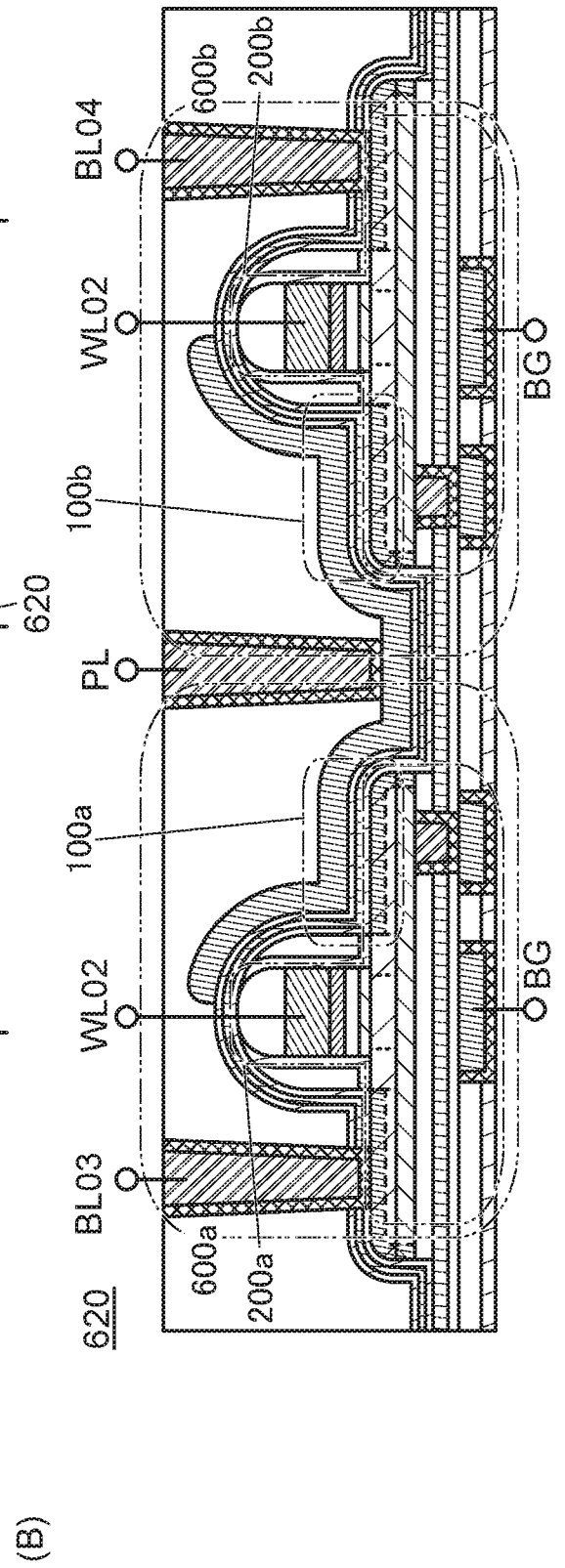
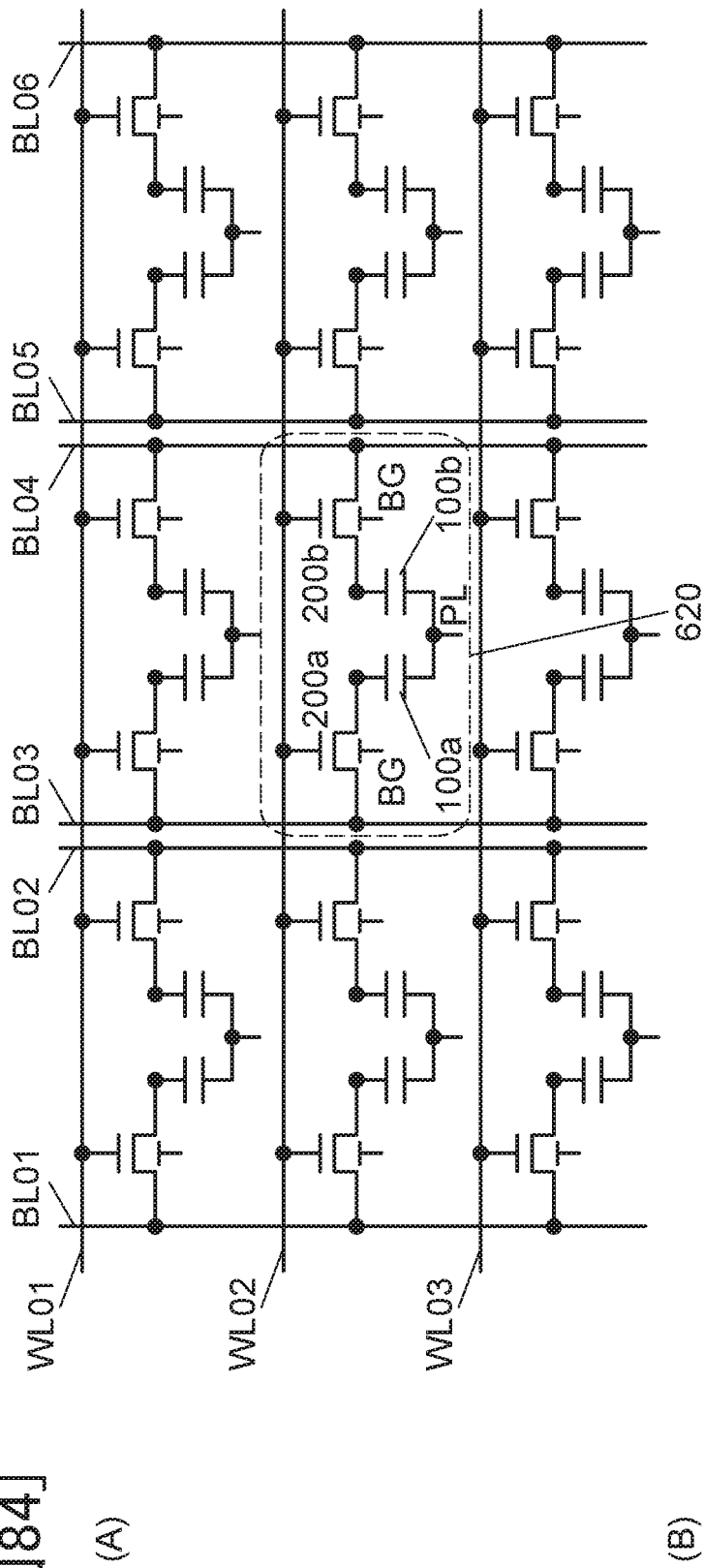
[83]



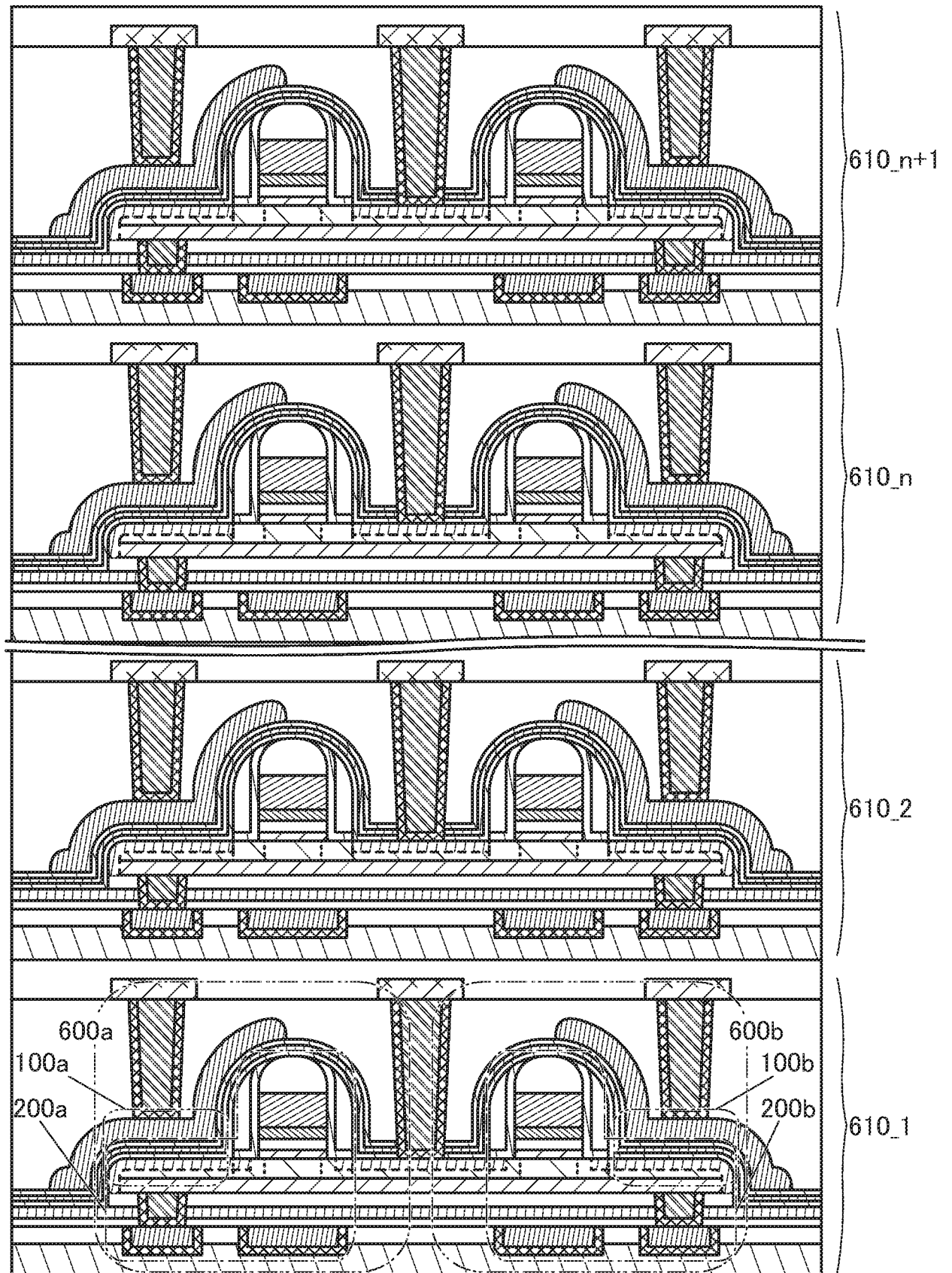
(B)



48

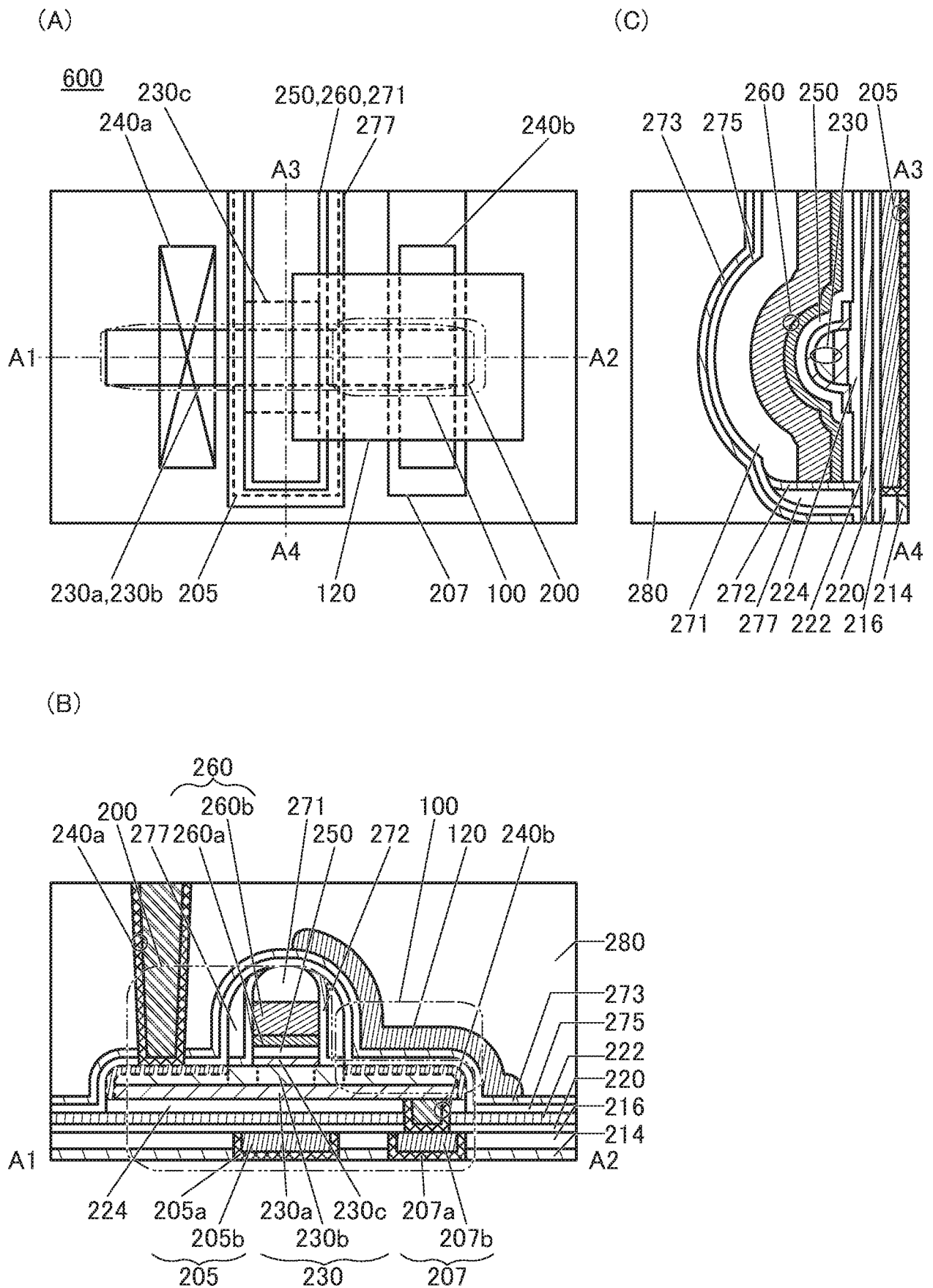


[図85]

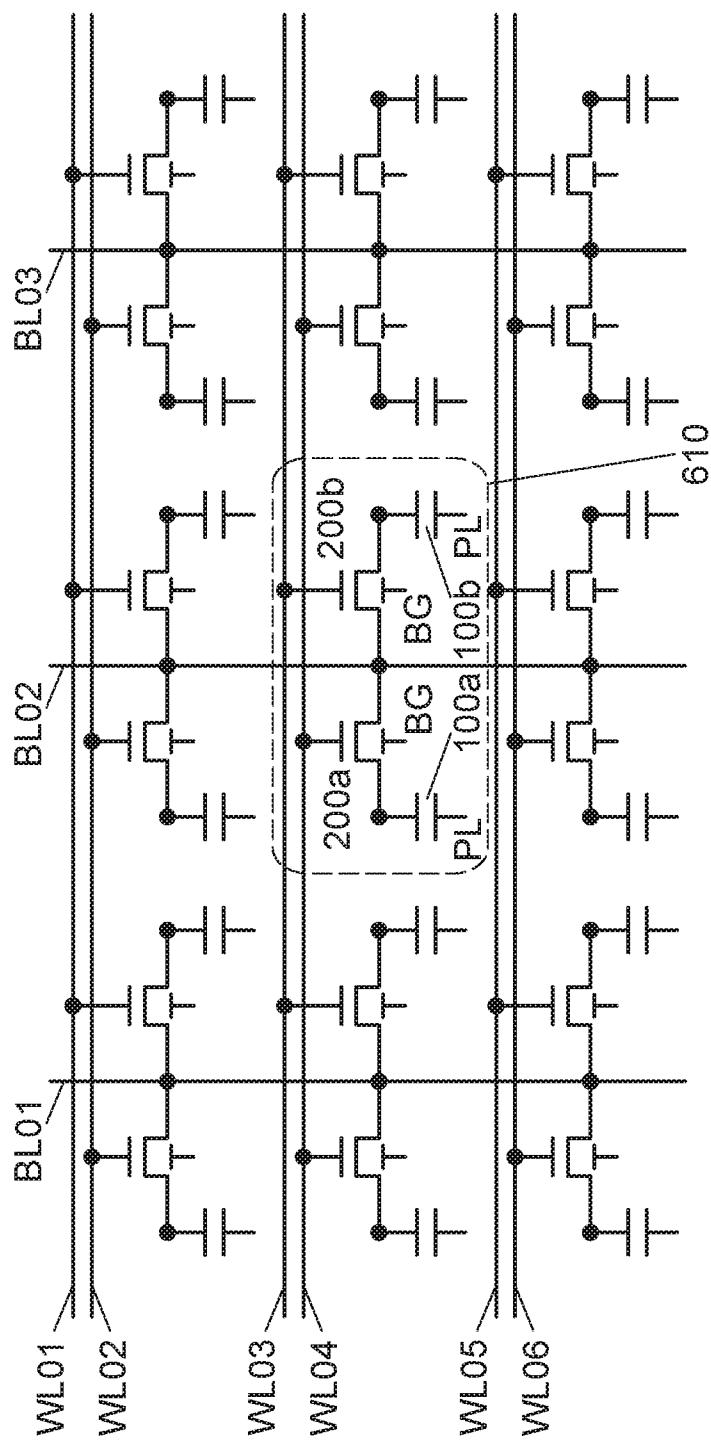


86/143

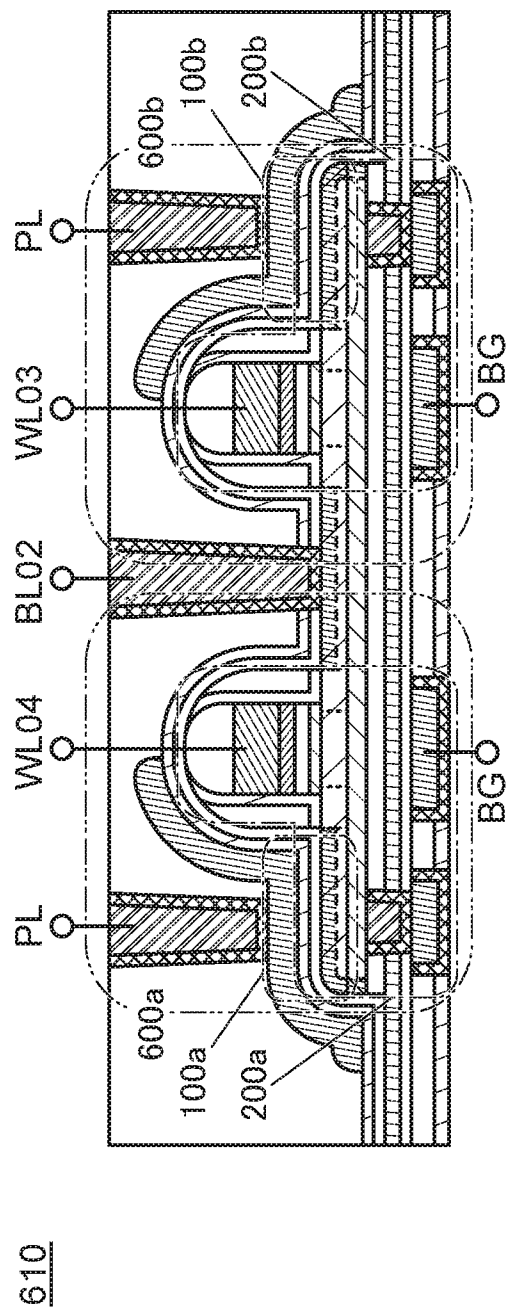
[図86]



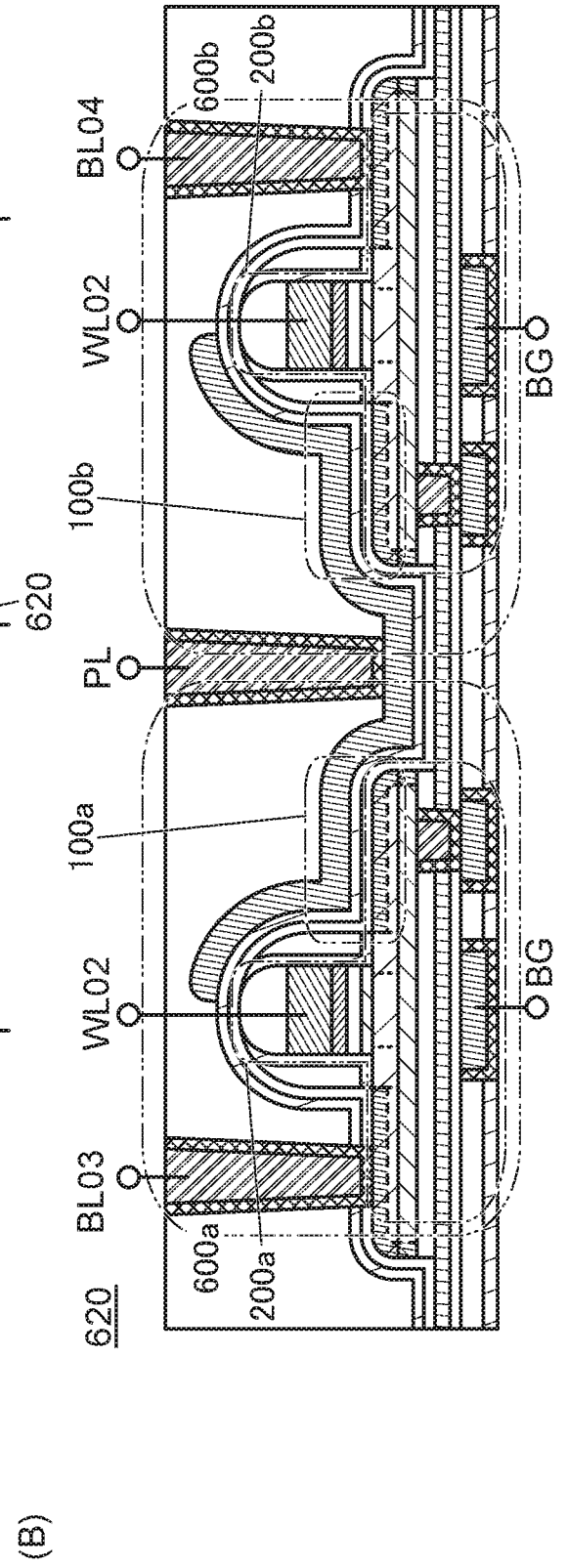
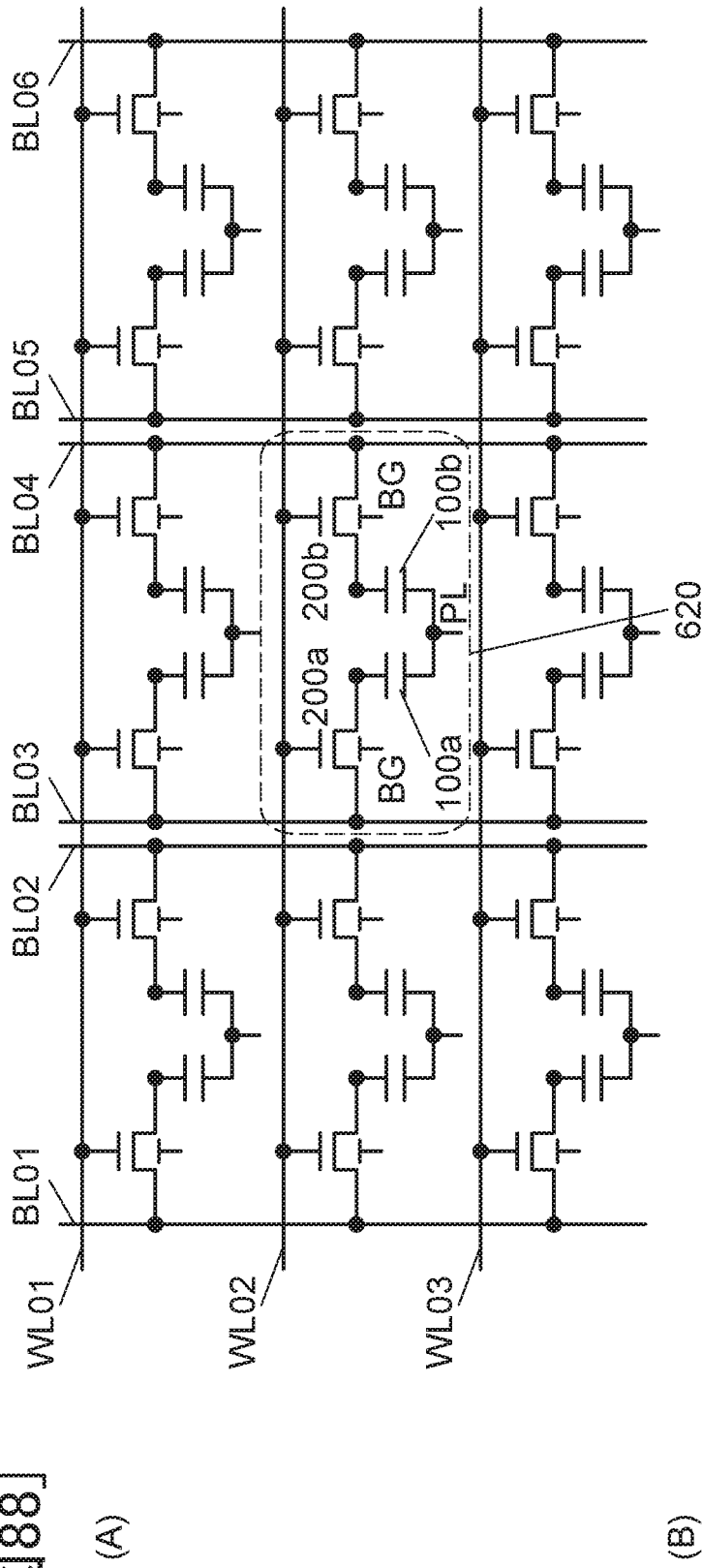
[87]



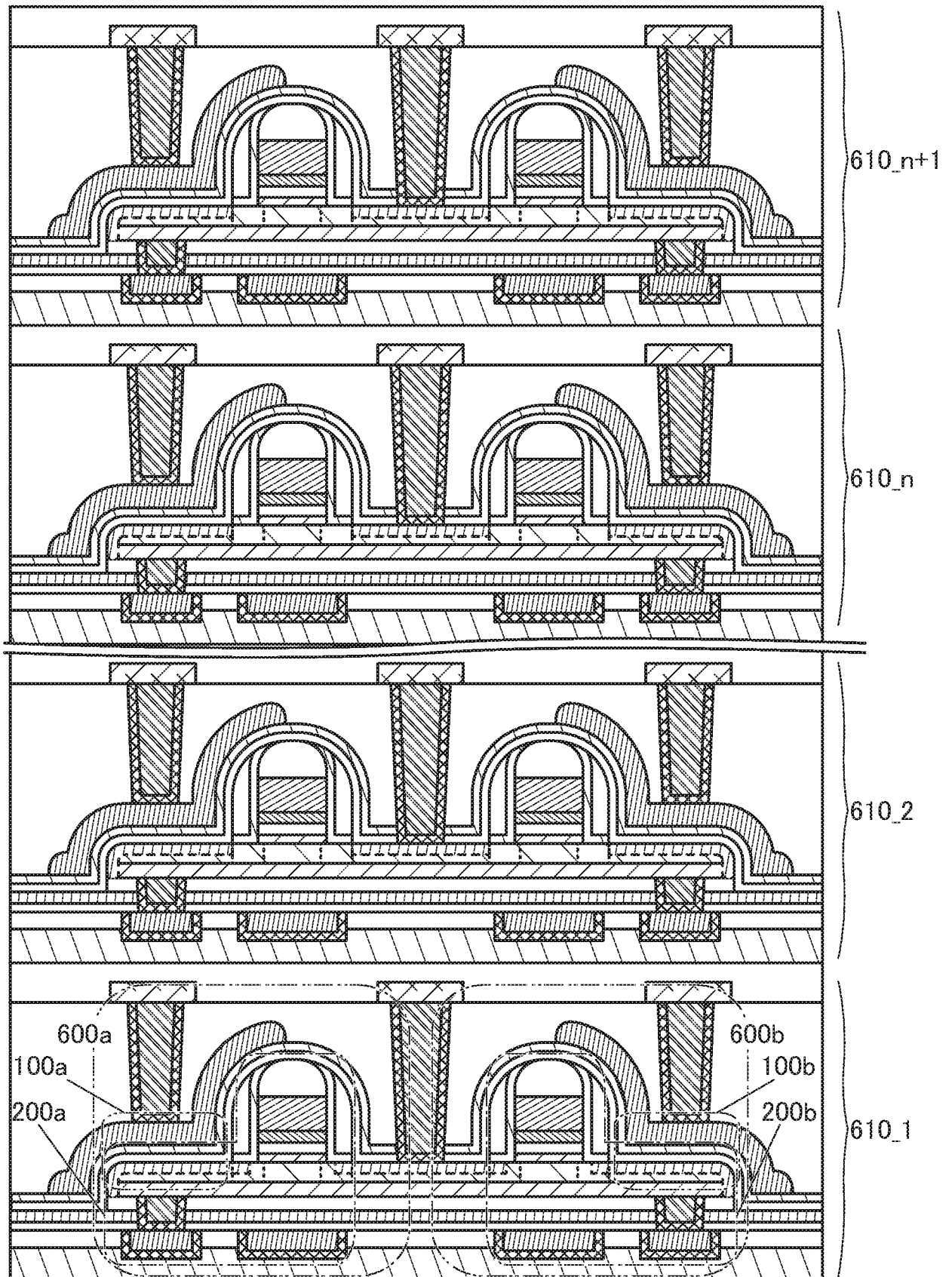
(B)



[88]



[図89]



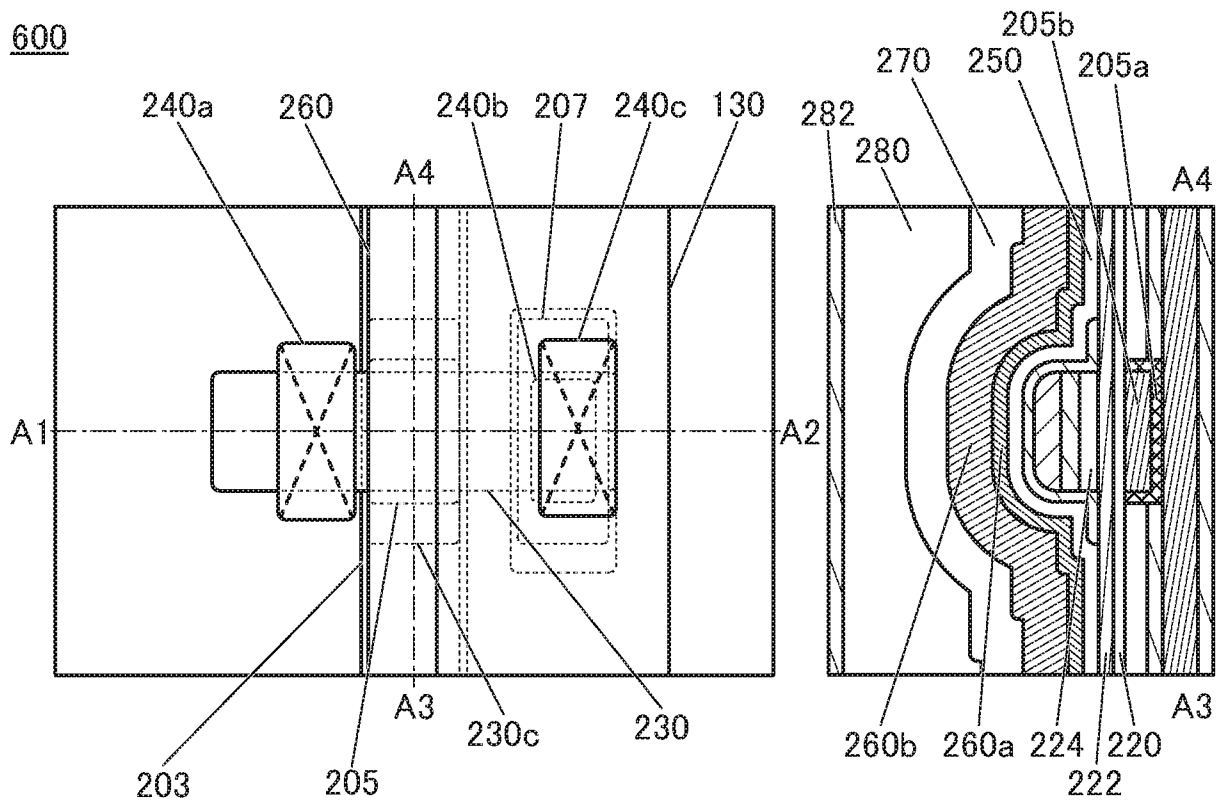
90/143

[図90]

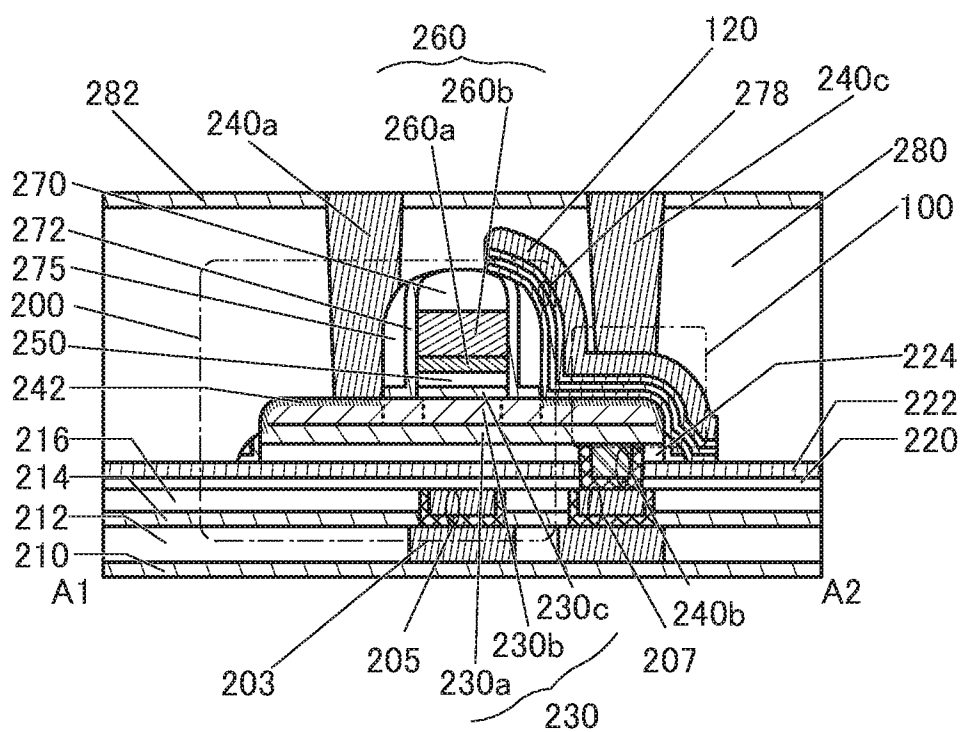
(A)

(C)

600



(B)



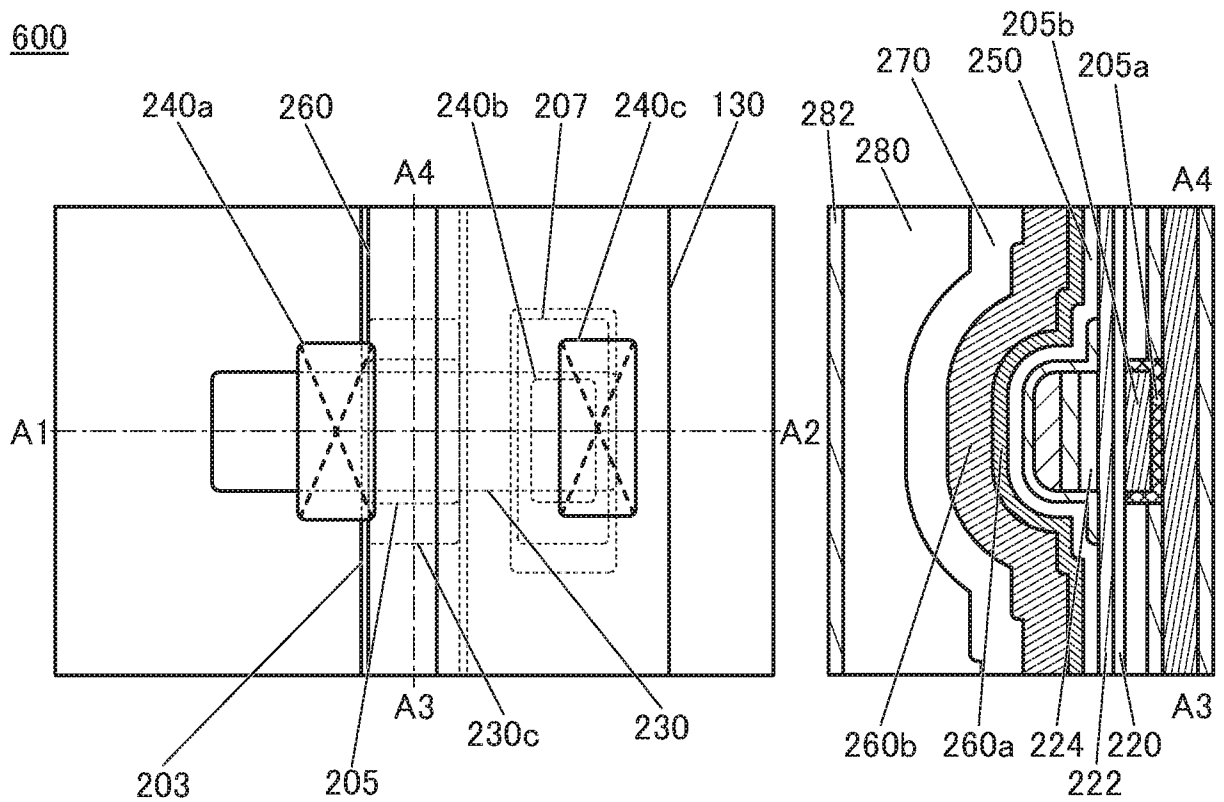
91/143

[図91]

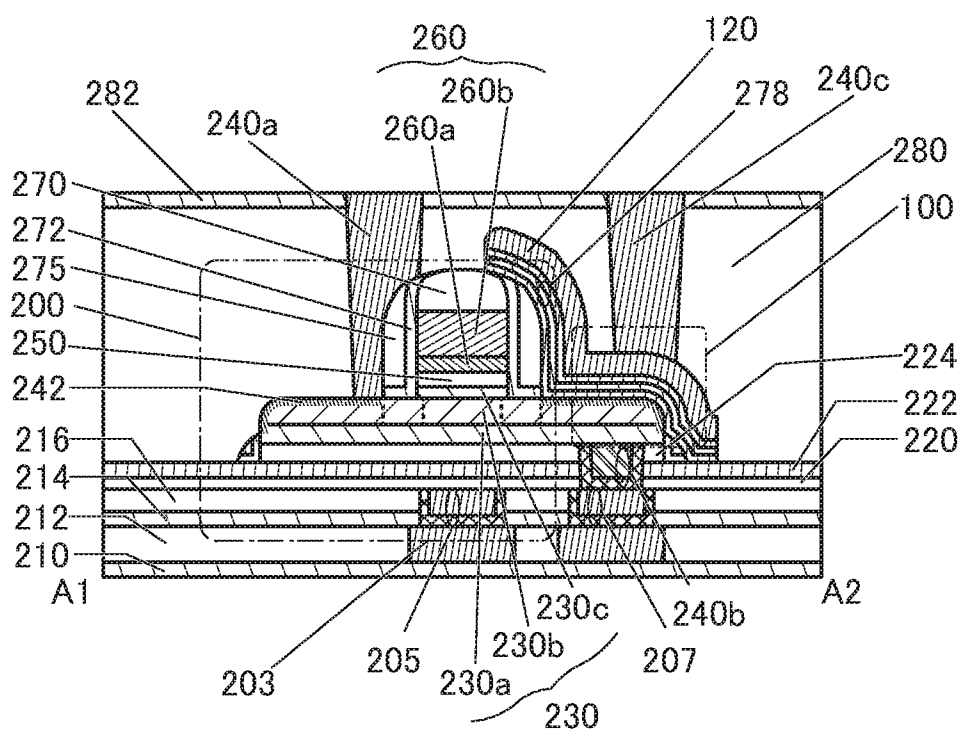
(A)

(C)

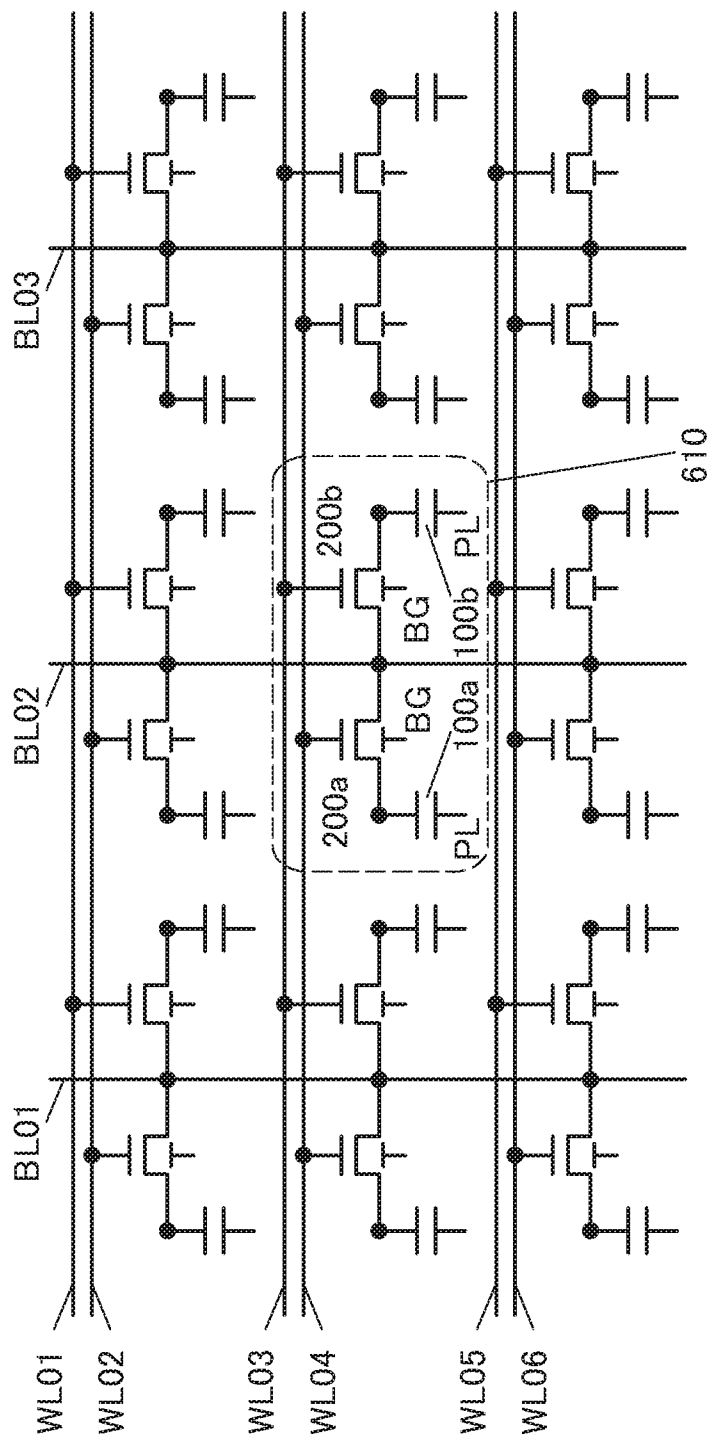
600



(B)

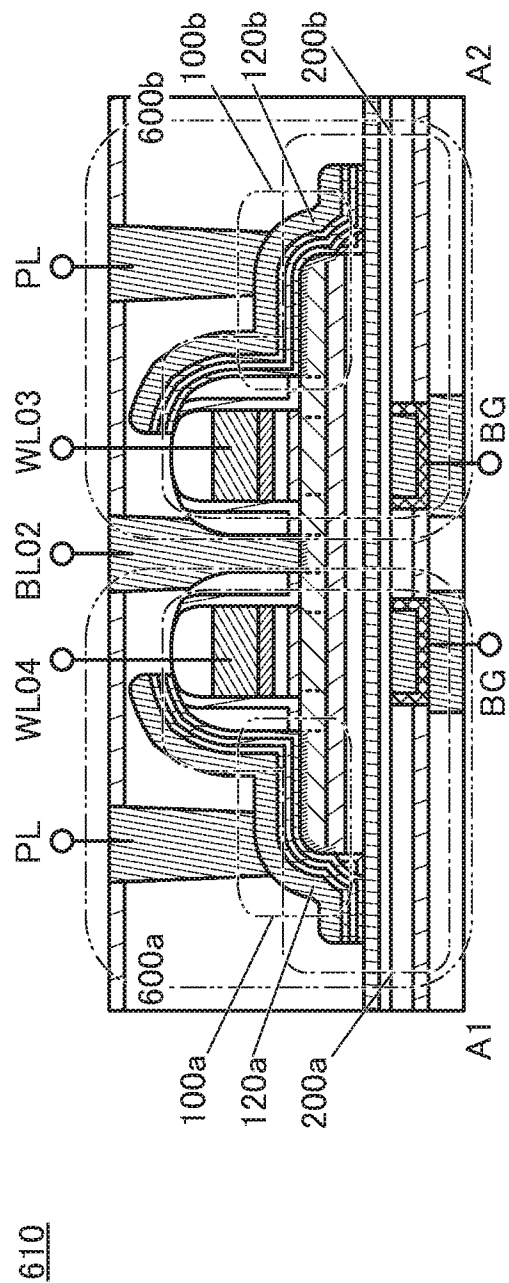


[図92]



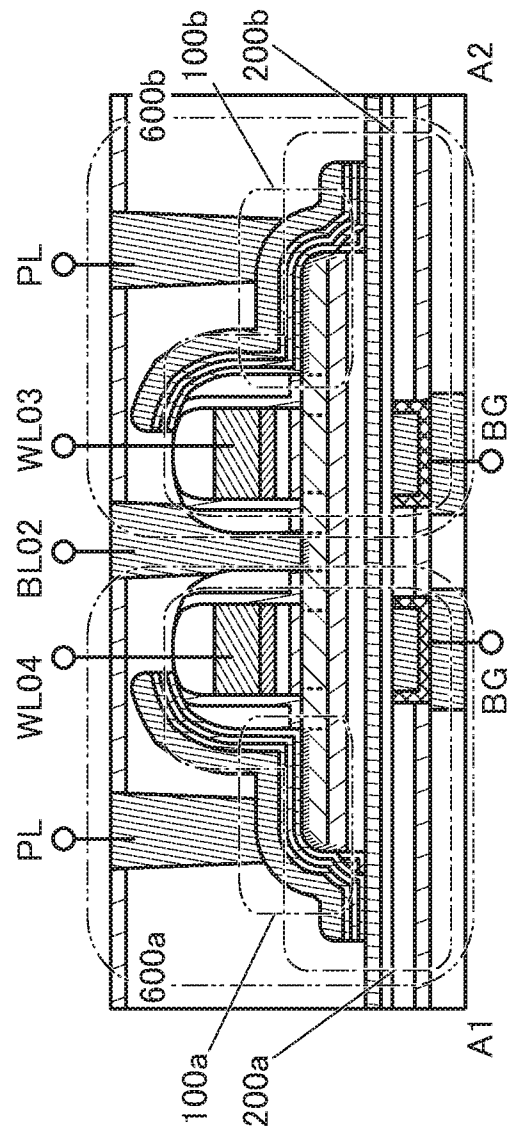
(A)

(B)

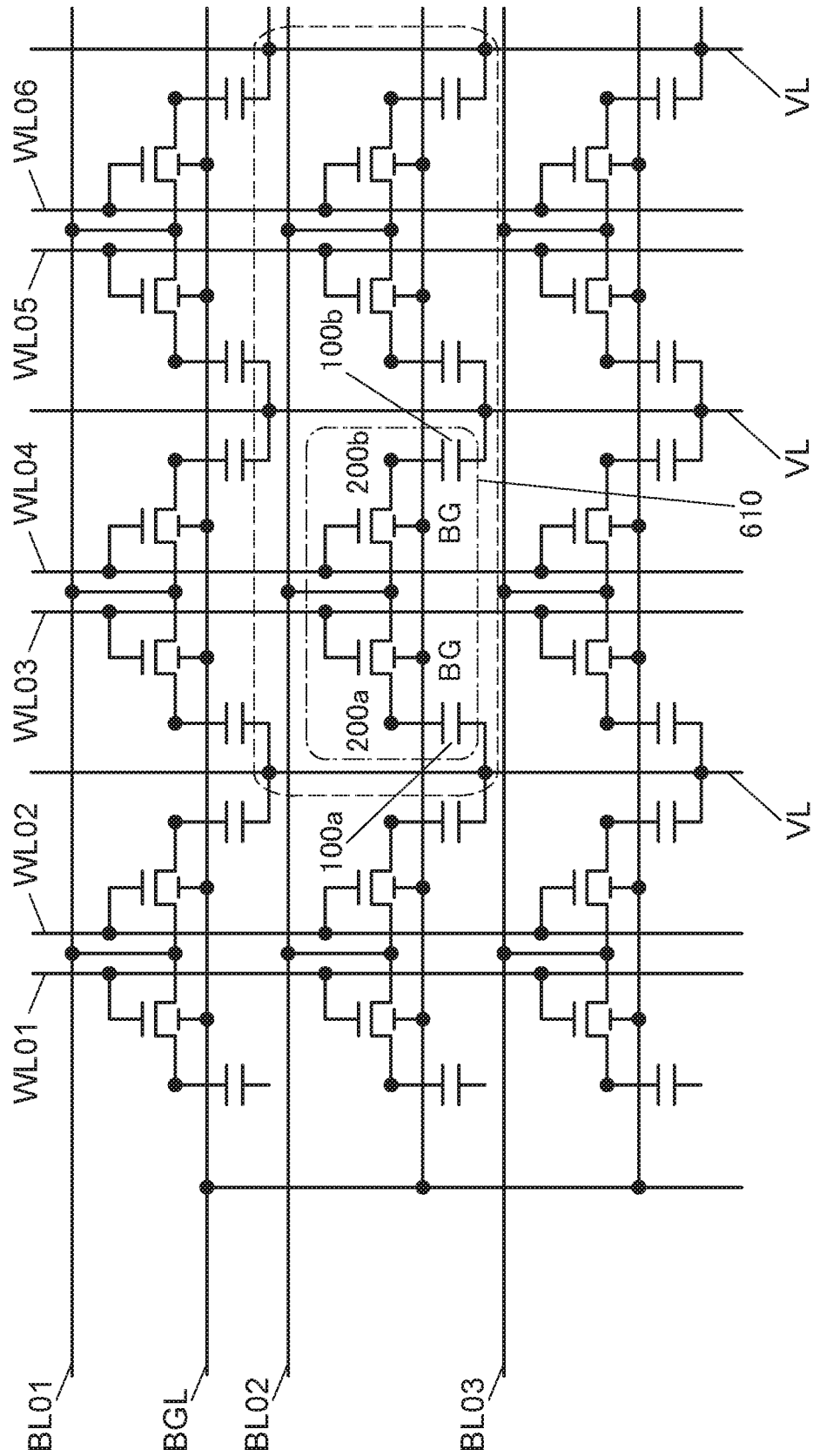


39

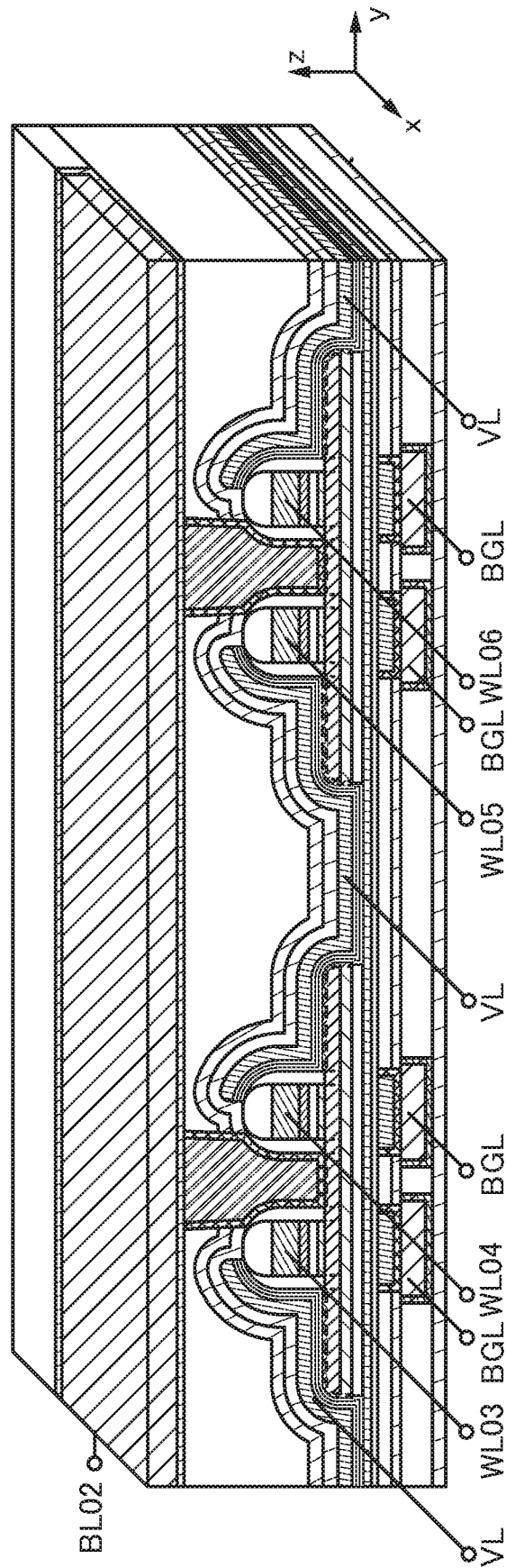
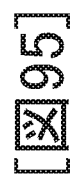
610



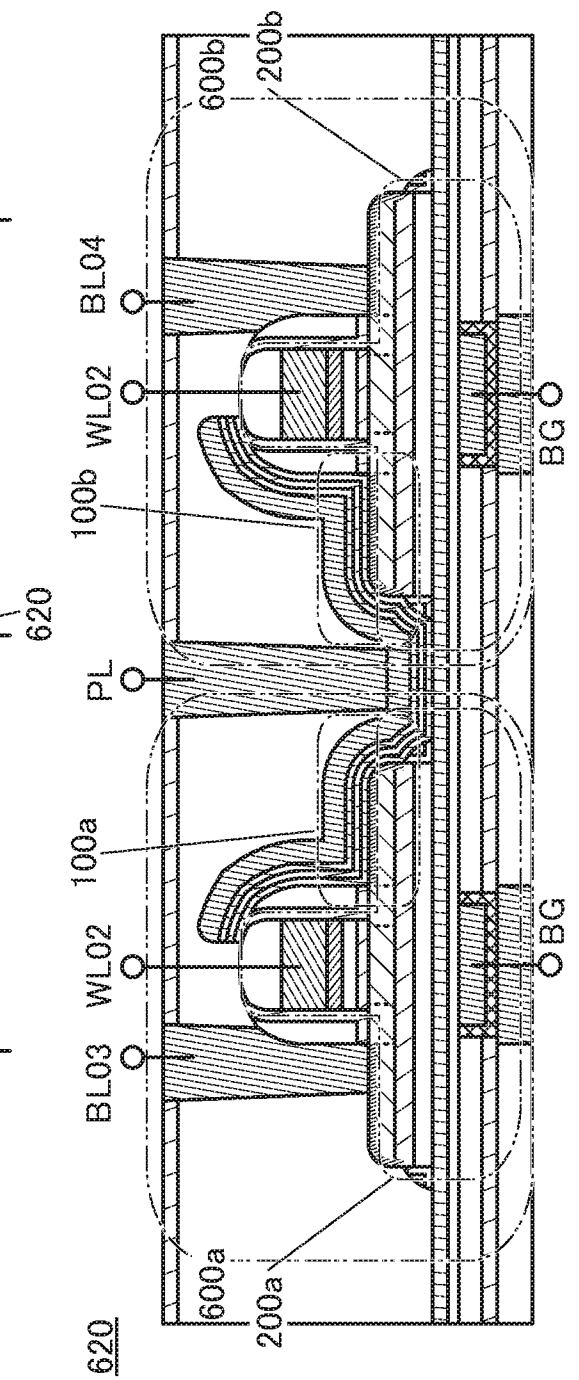
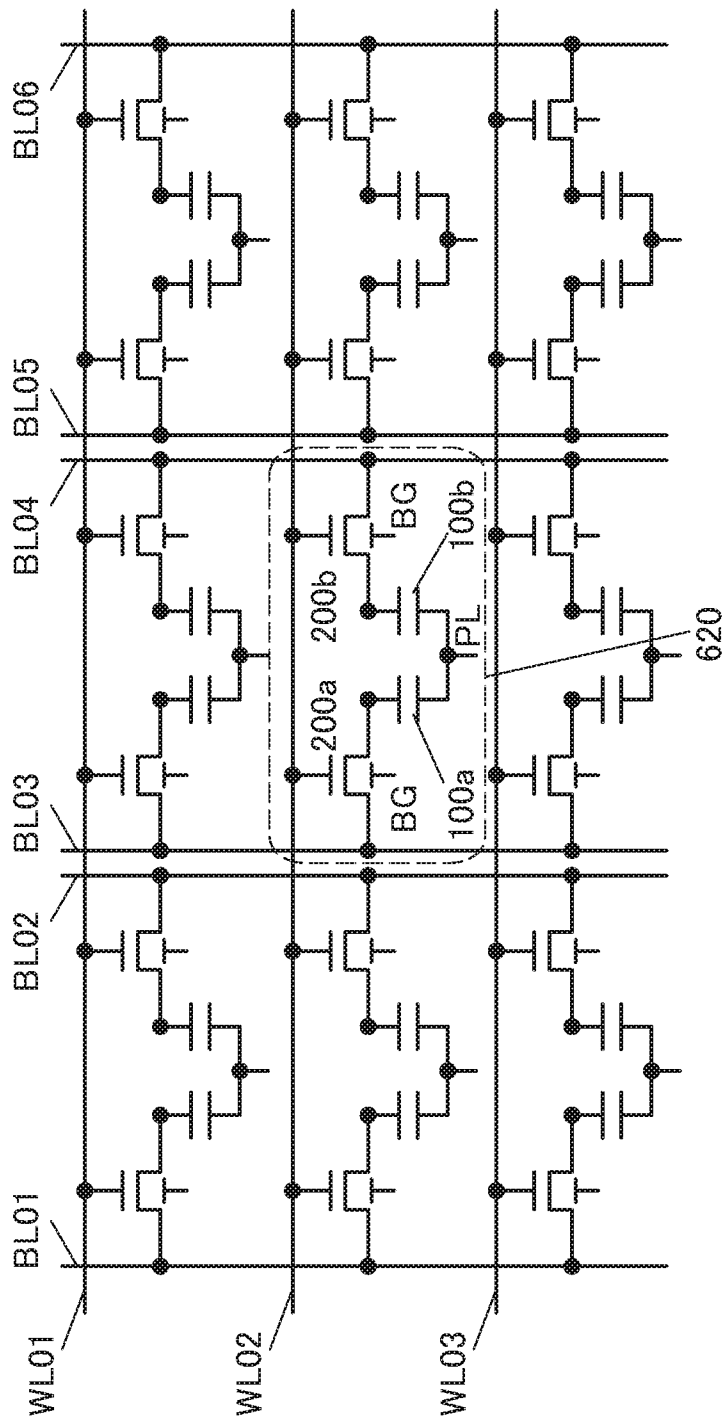
[図94]



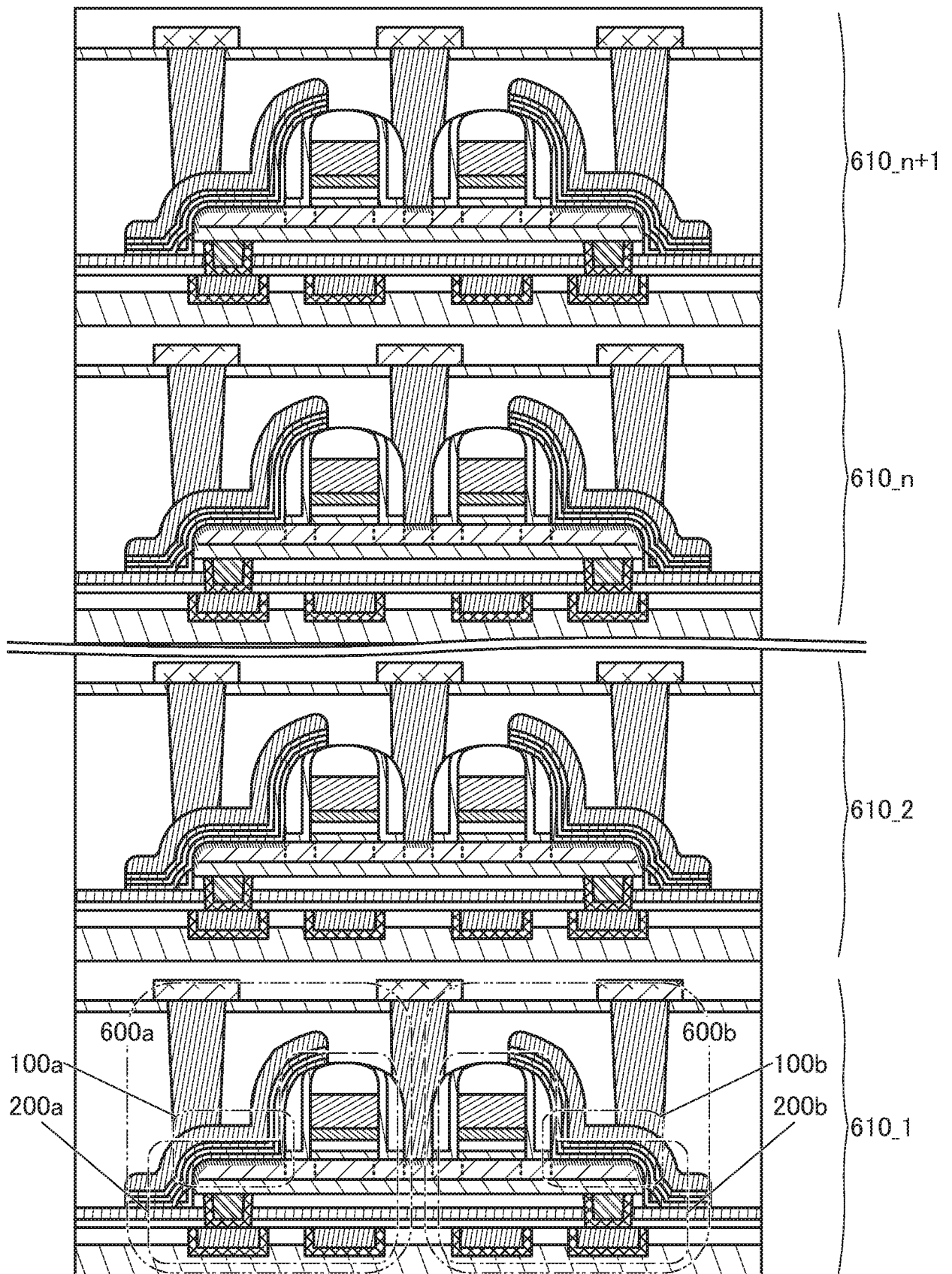
95/143



99

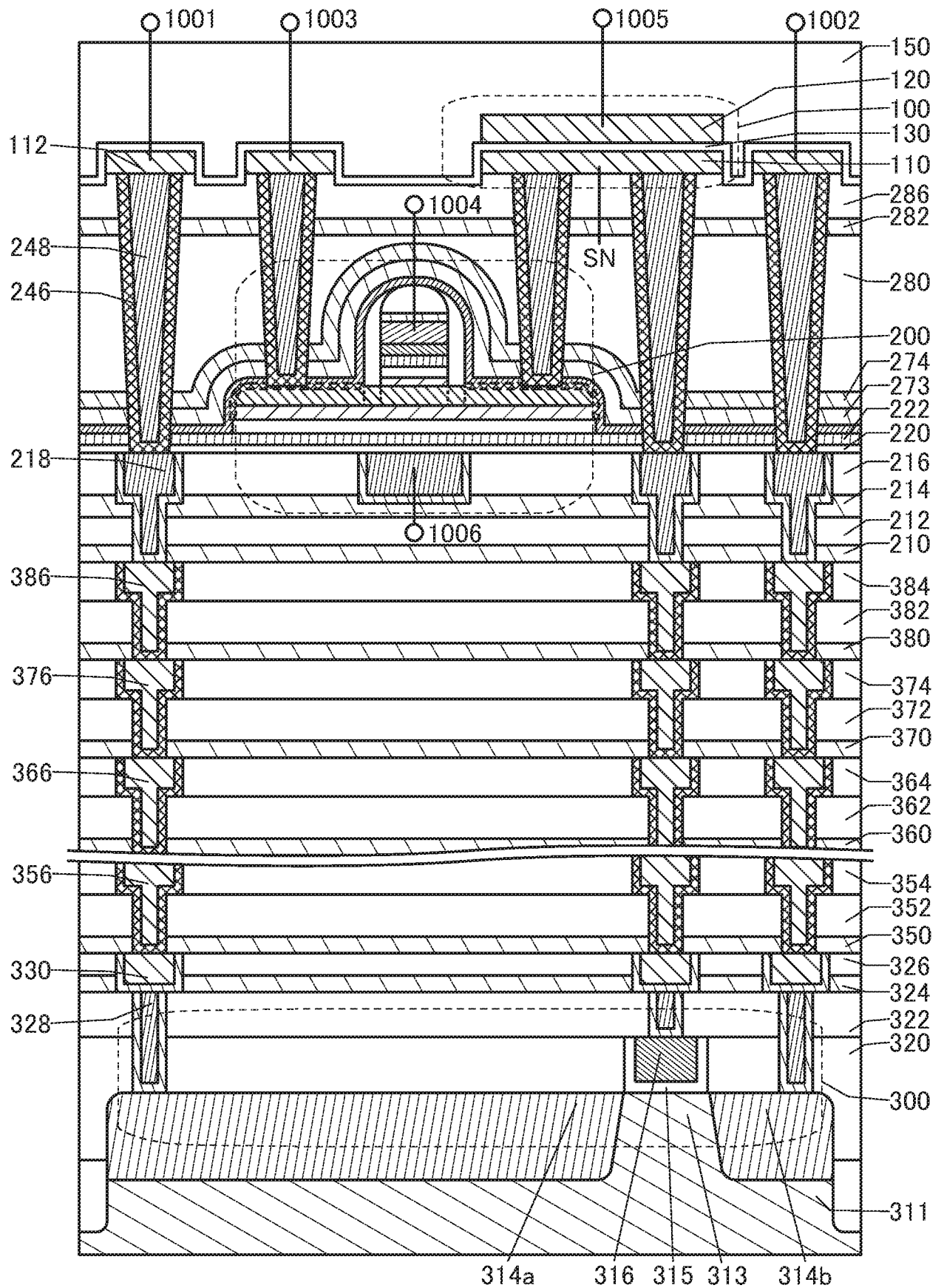


[図97]



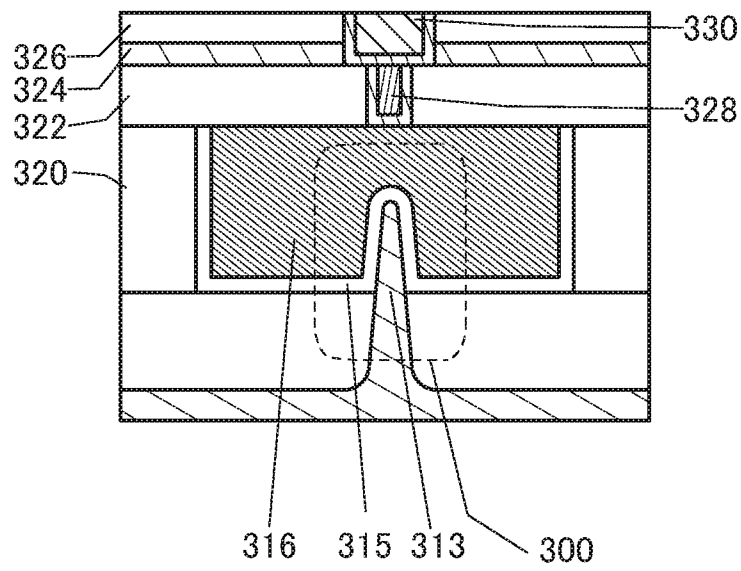
98/143

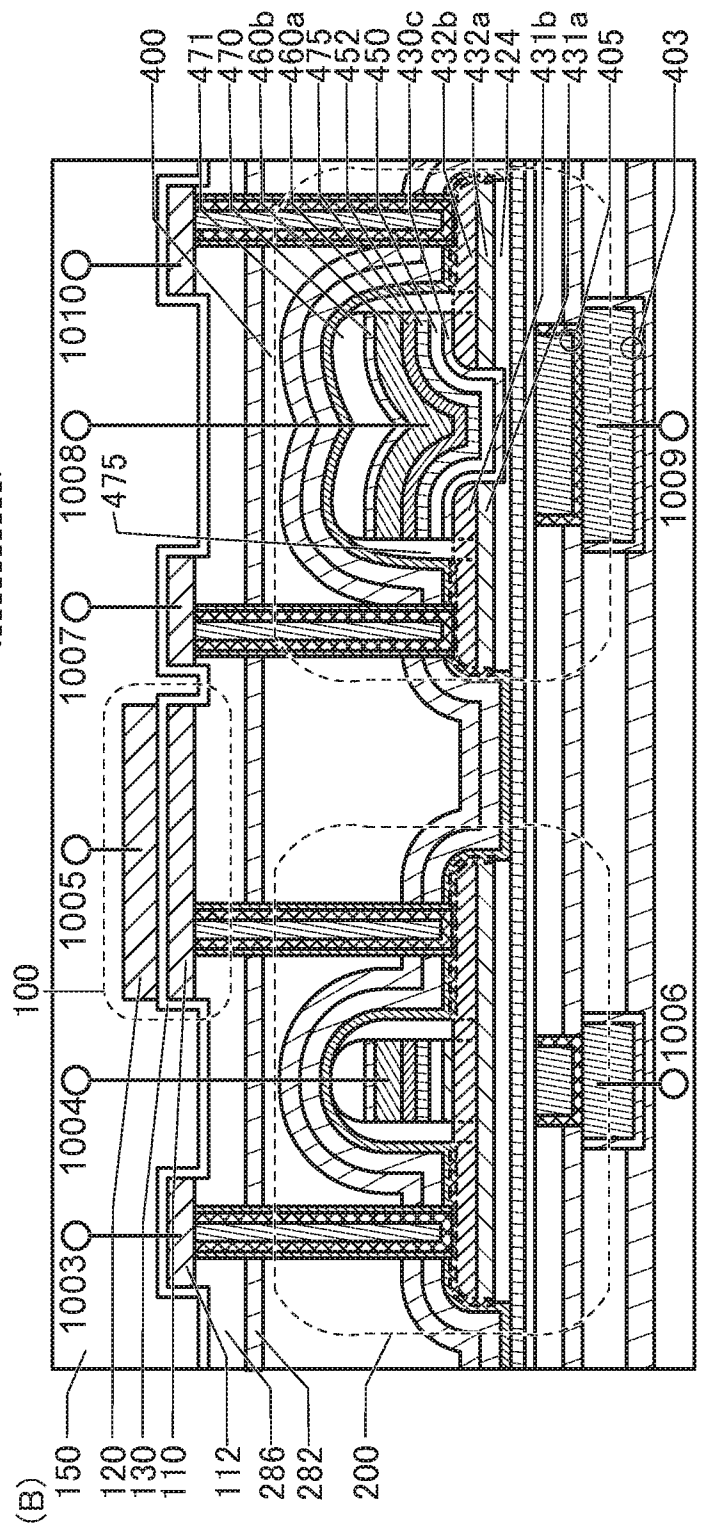
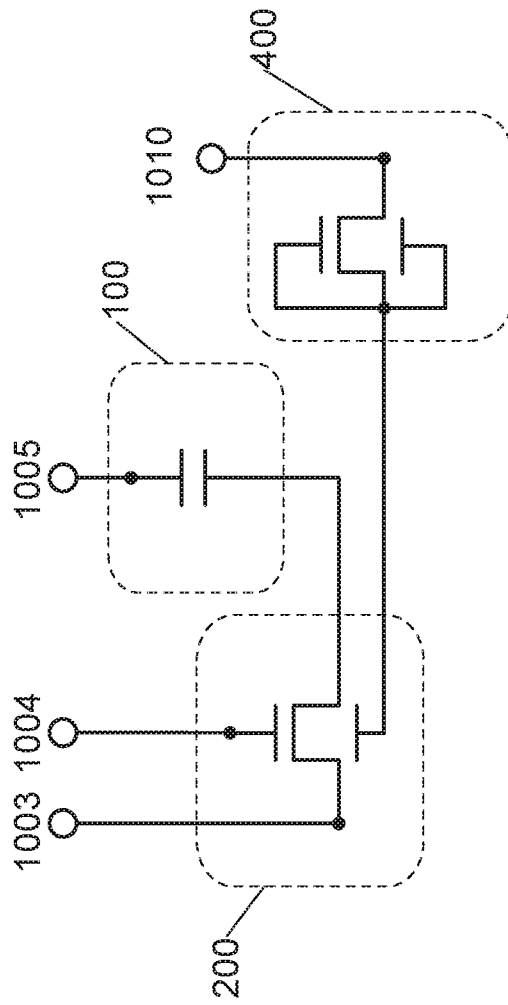
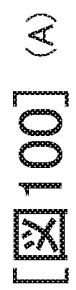
[図98]



99/143

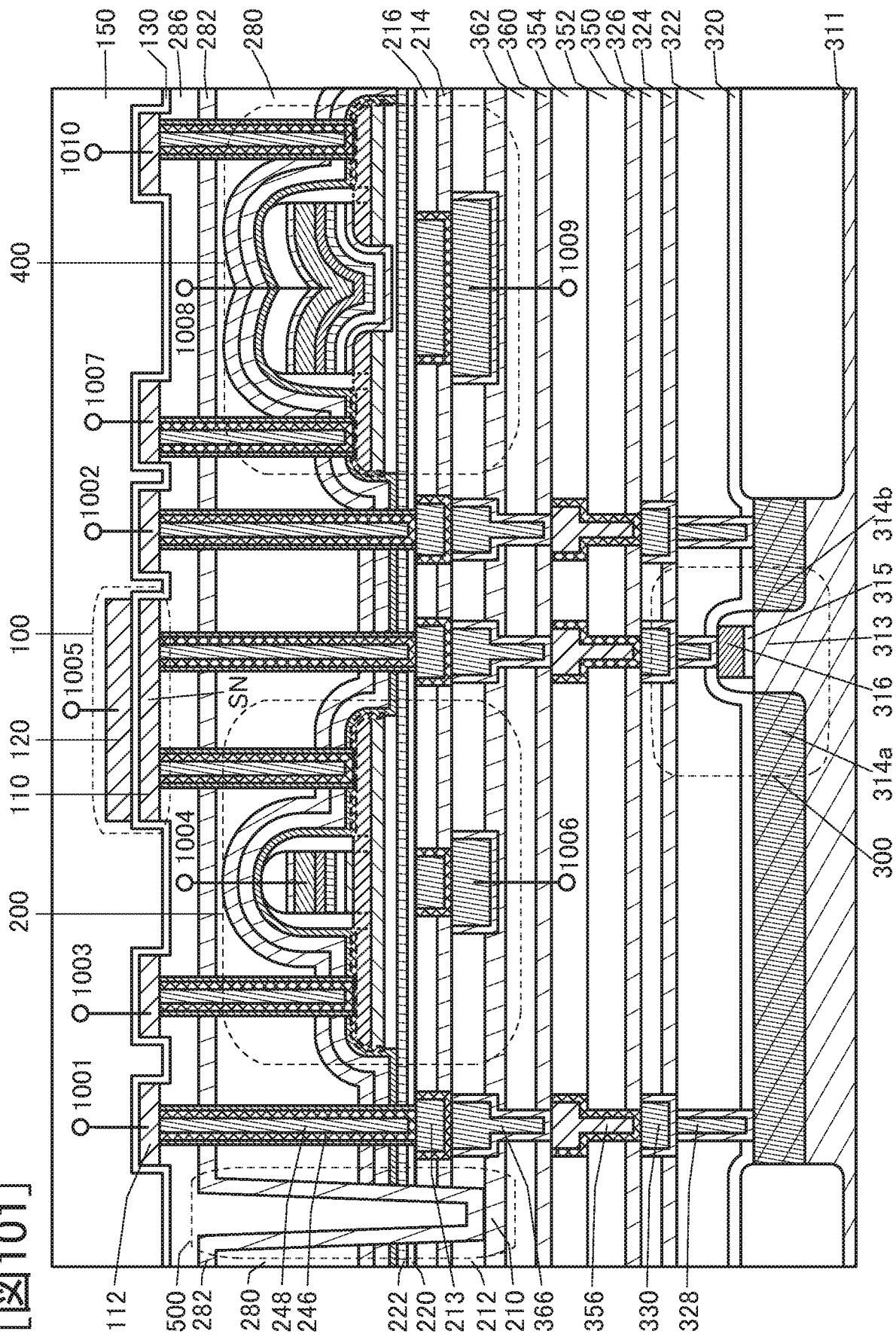
[図99]

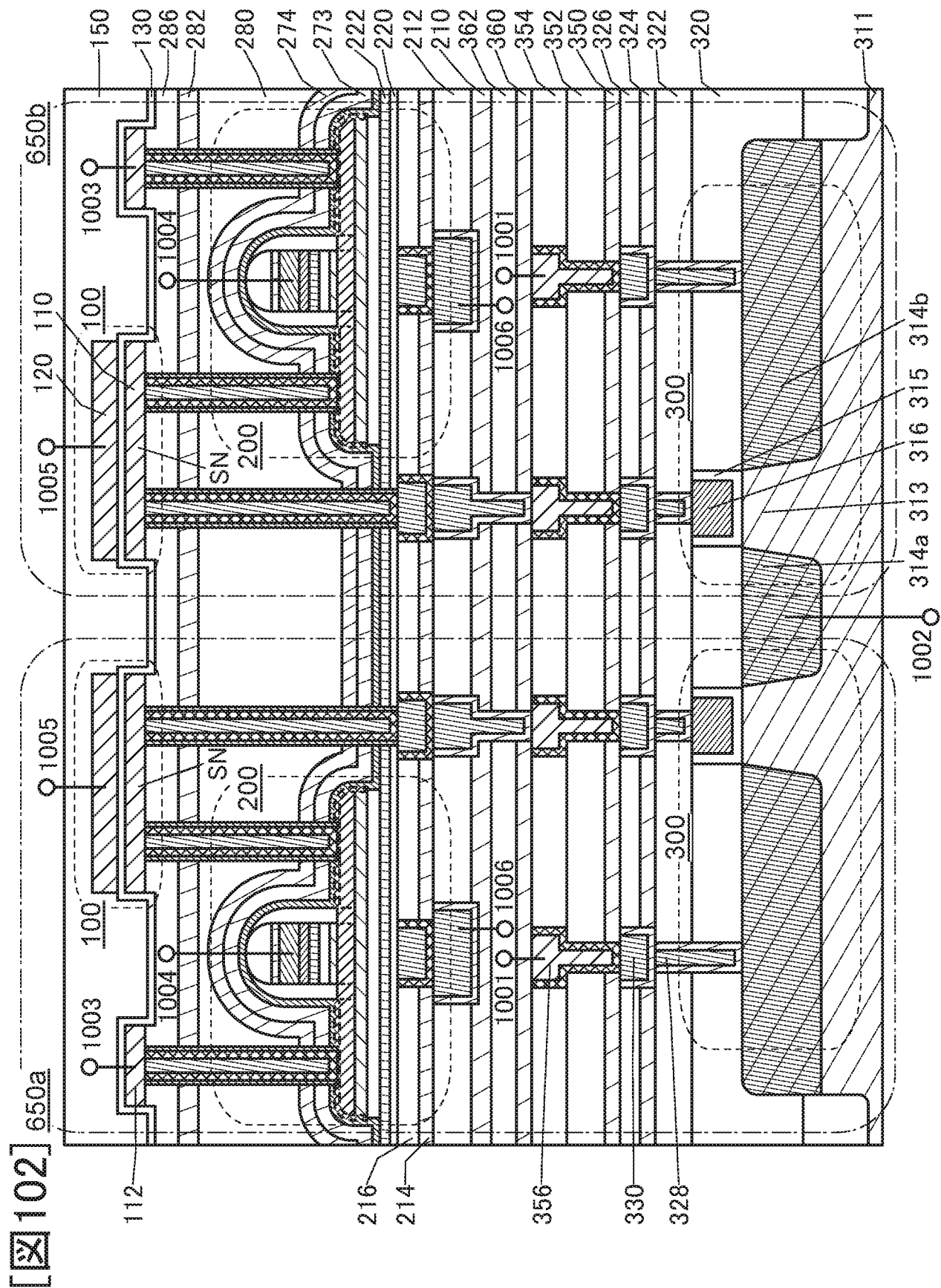




101/143

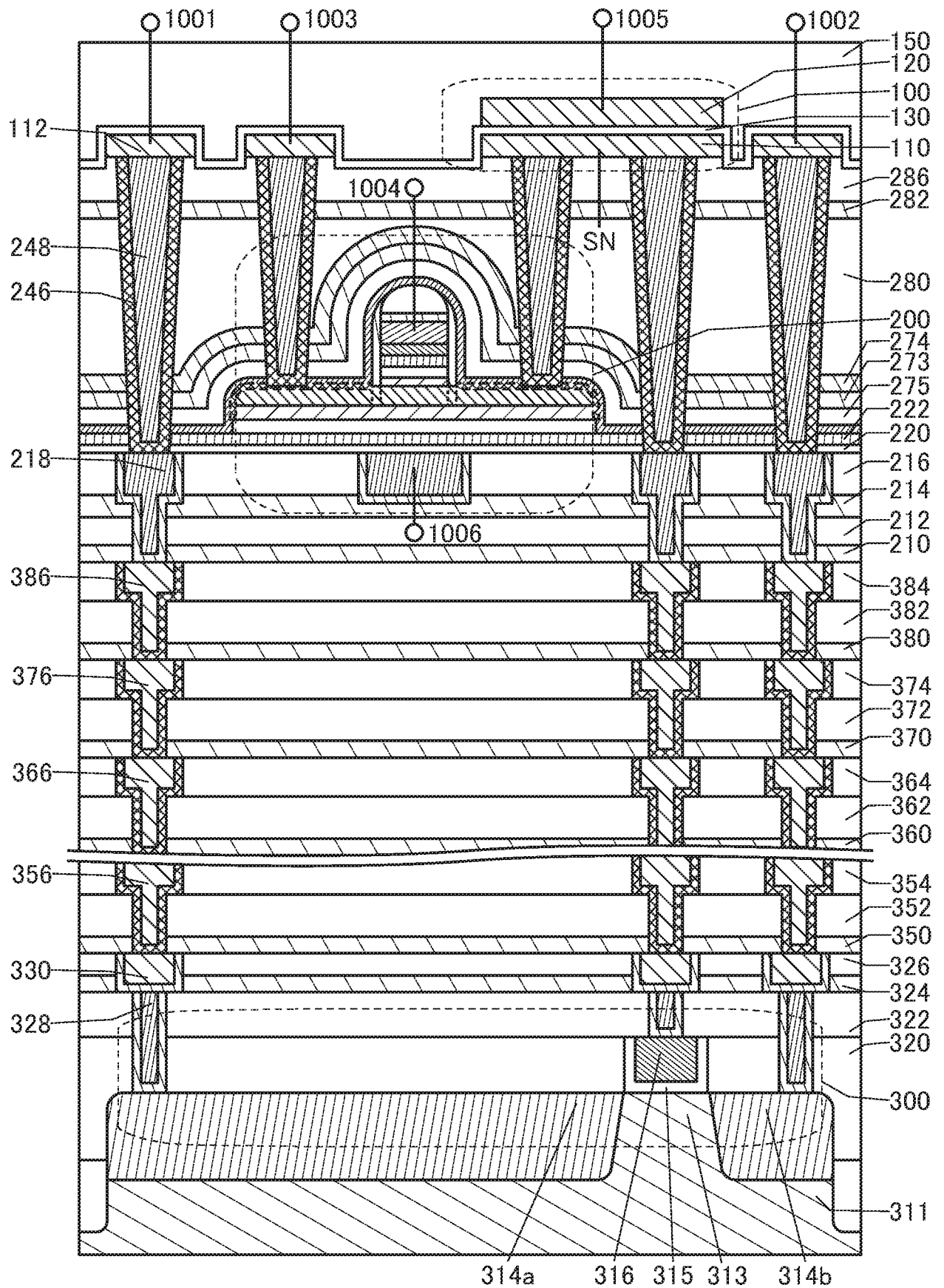
[図101]



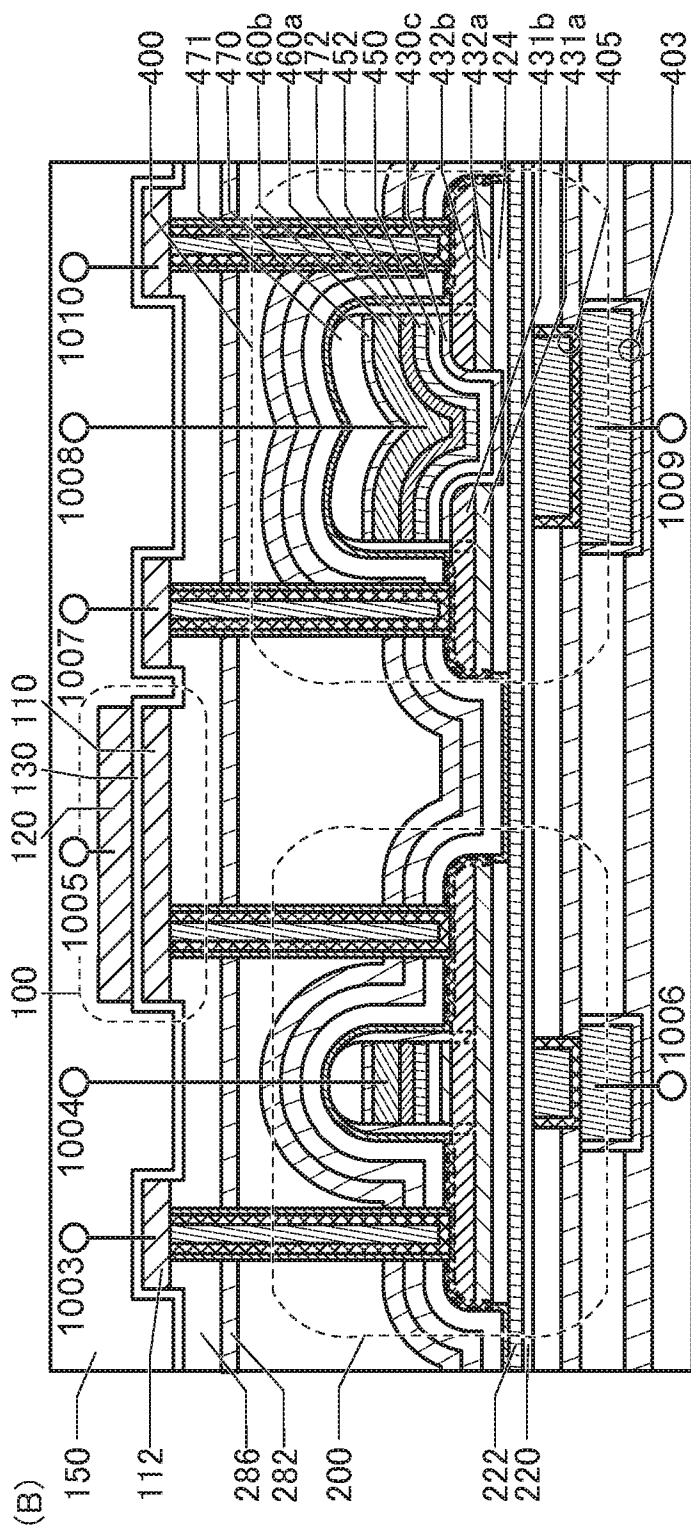
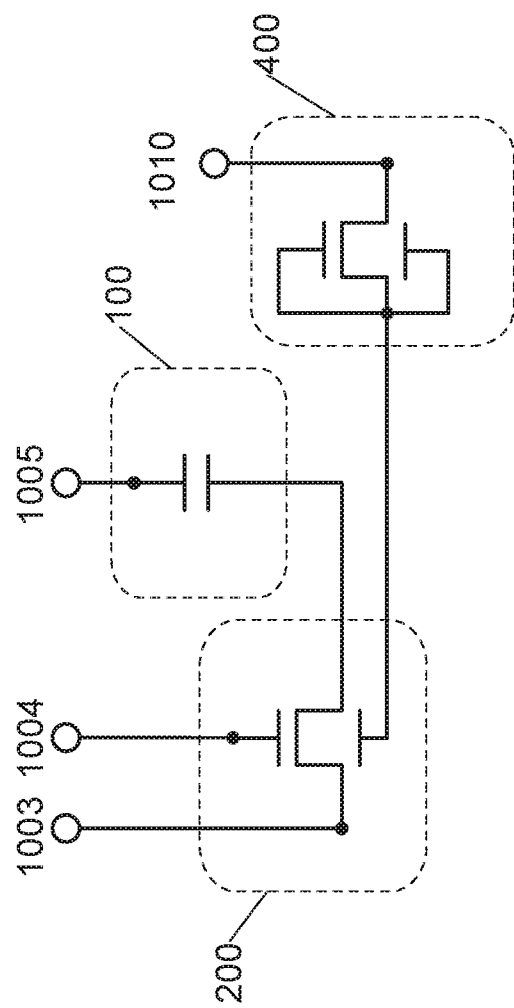


103/143

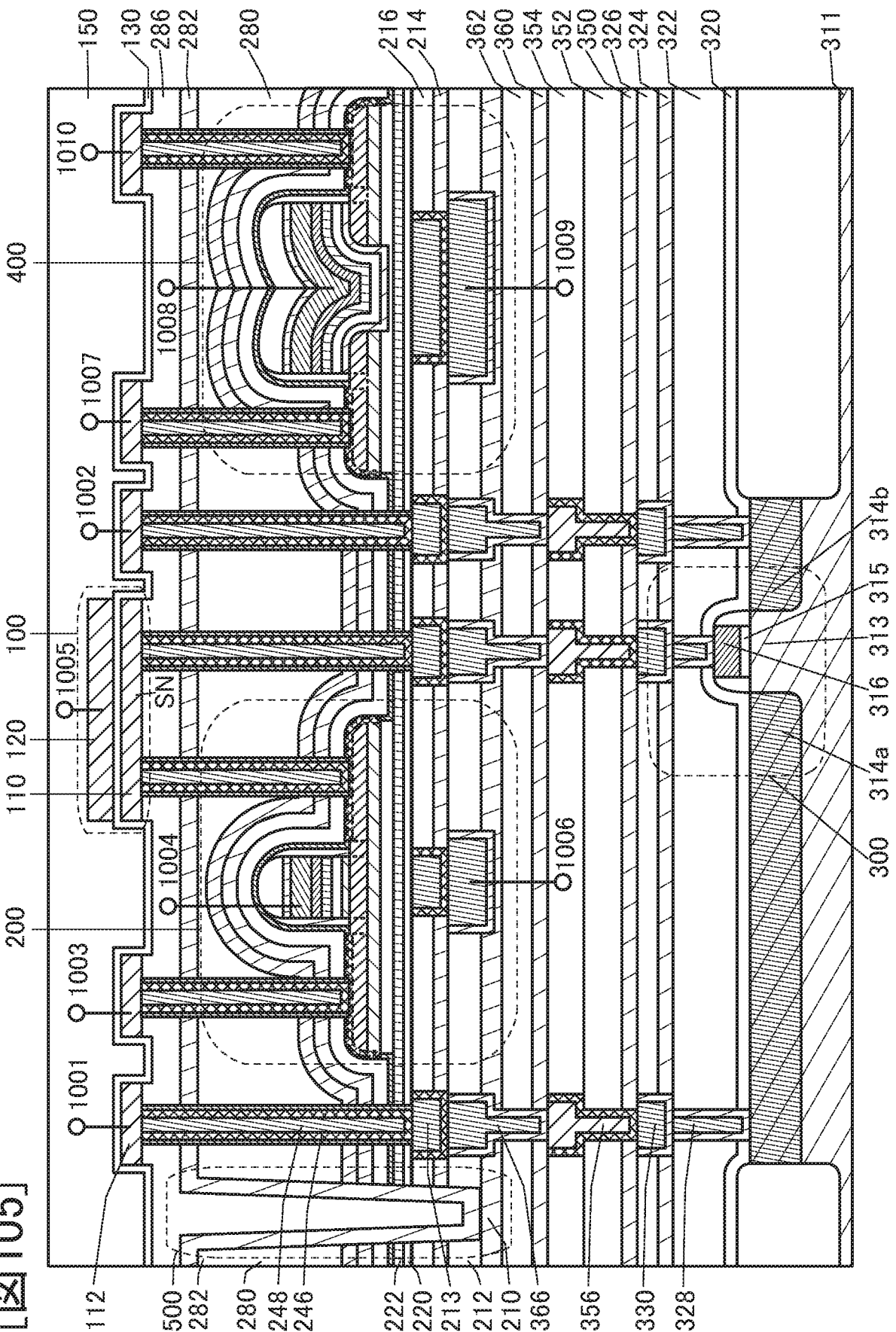
[図 103]

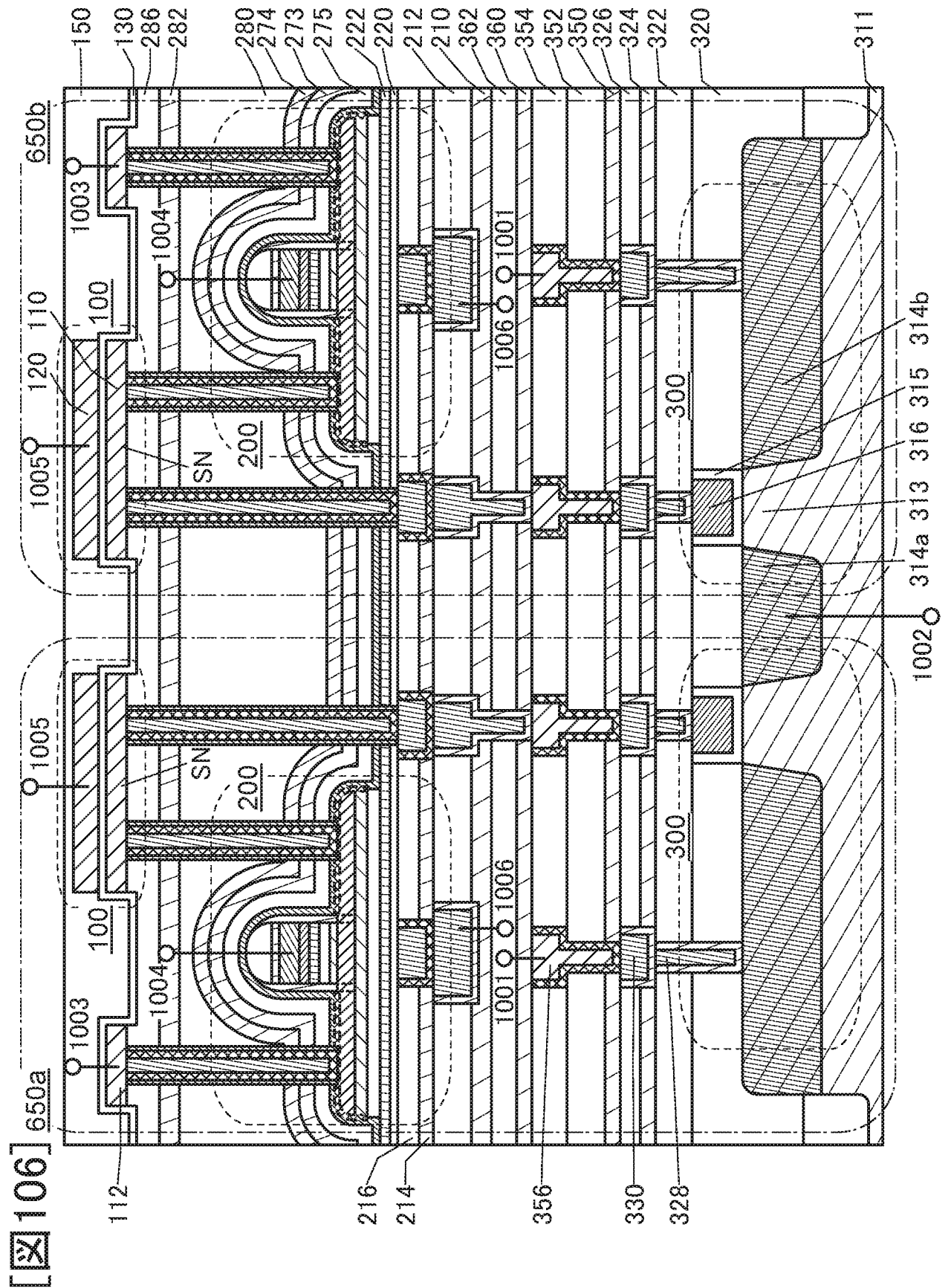


[図104] (A)



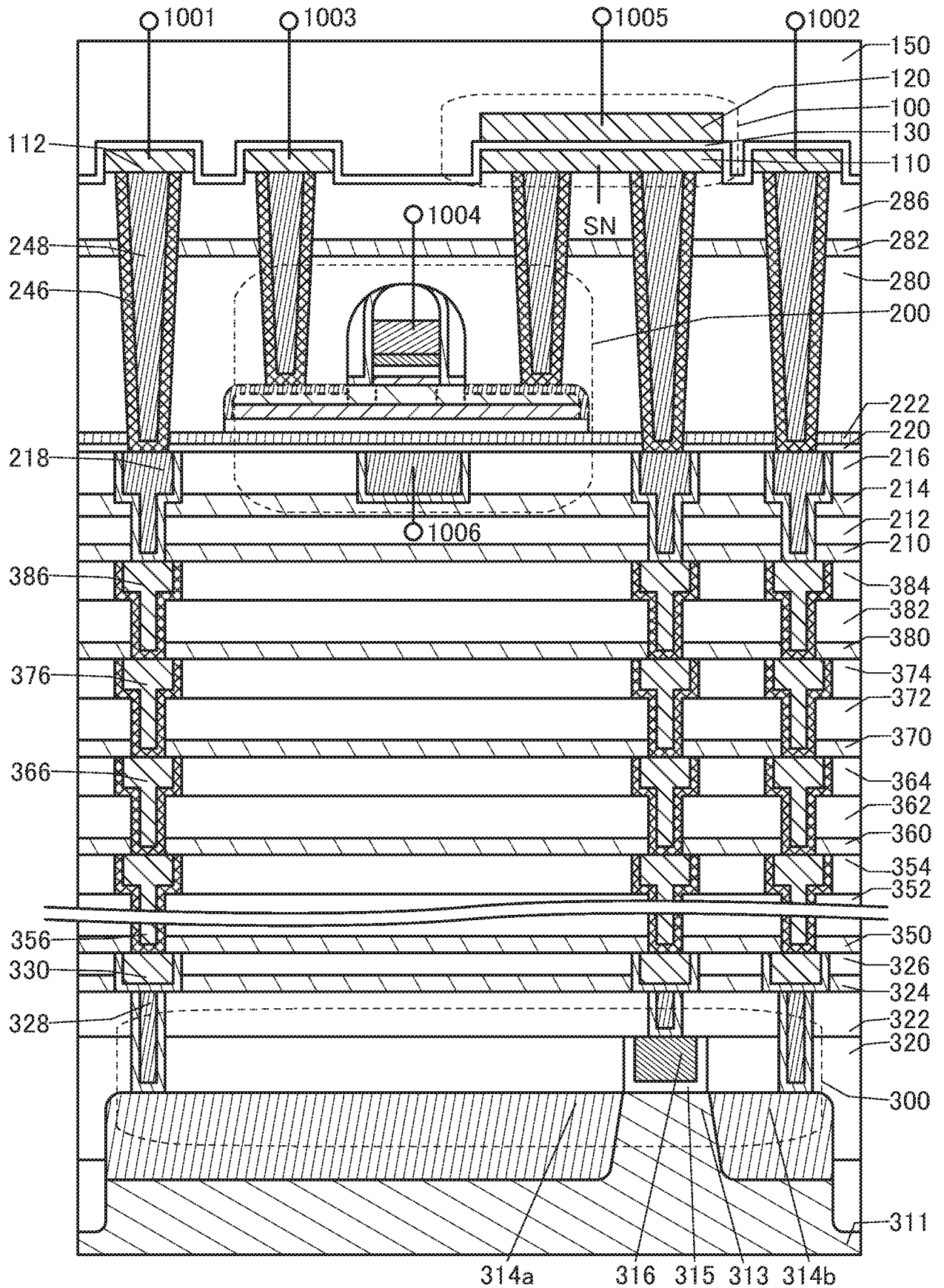
[図105]



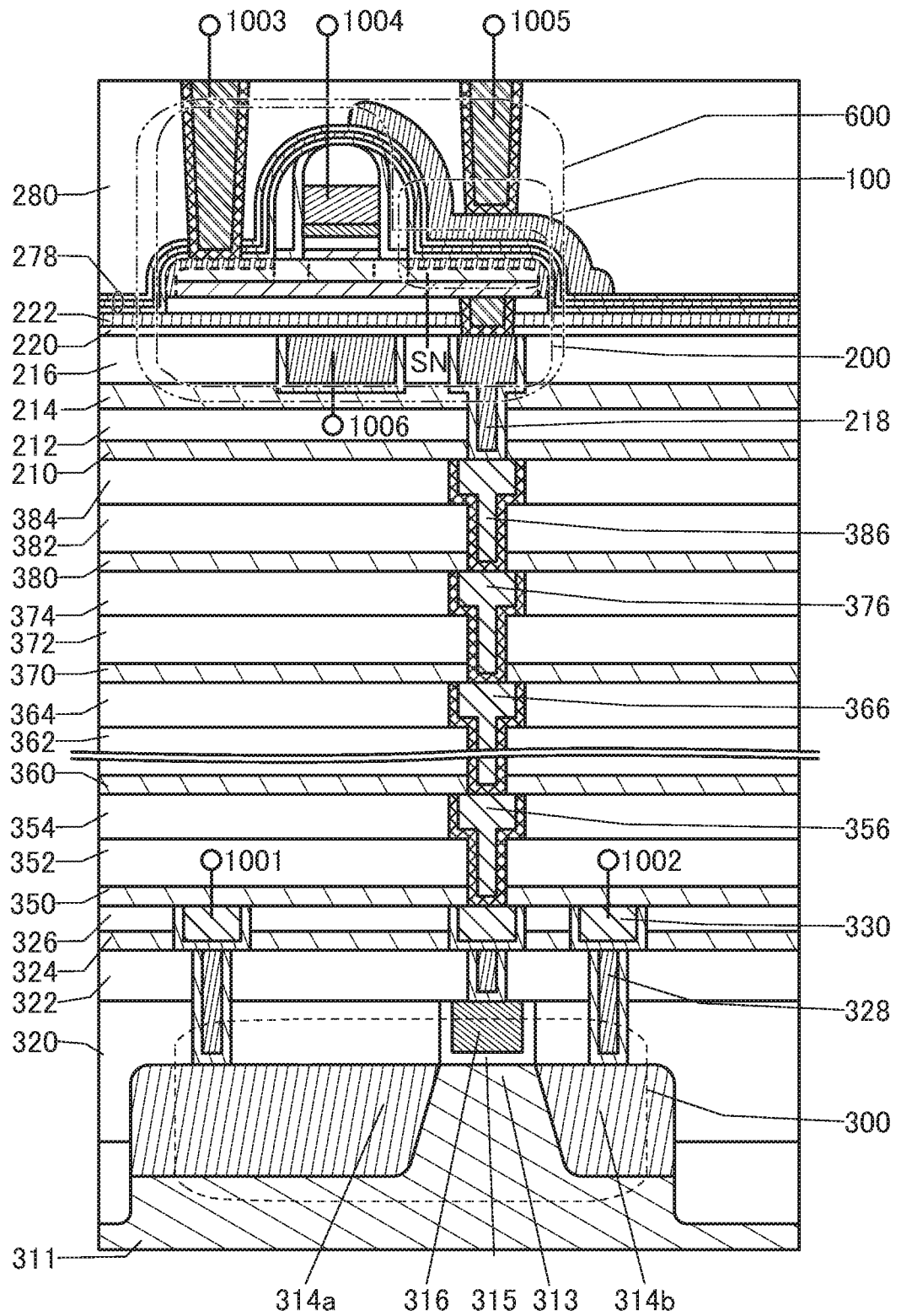


107/143

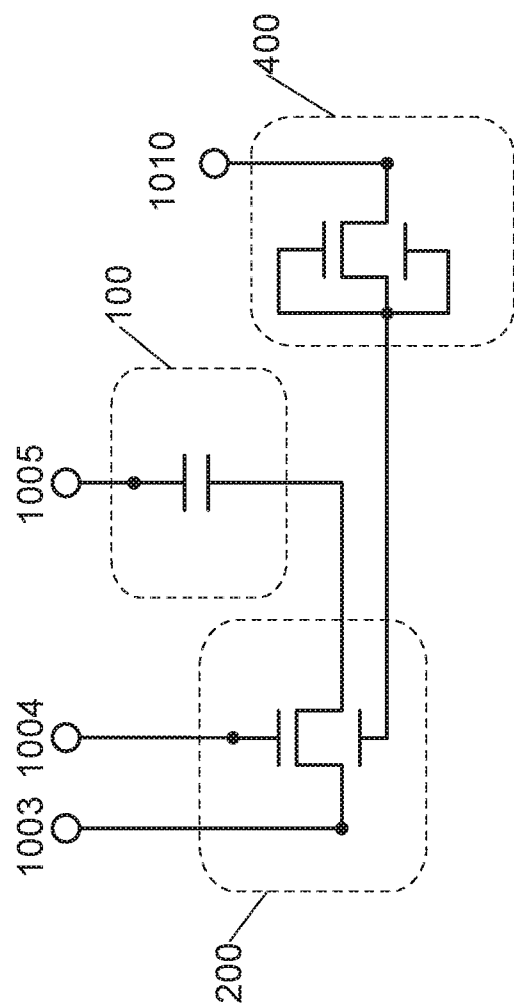
[ 107]



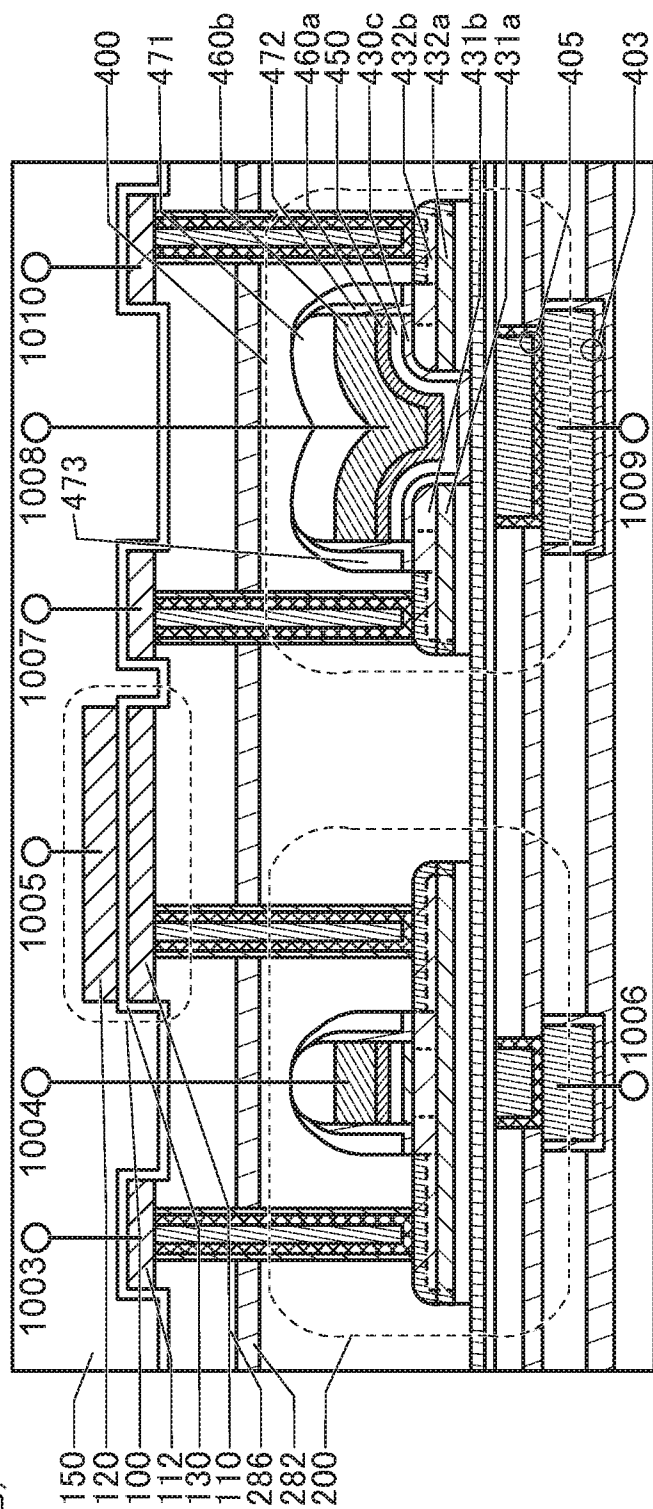
[図 108]



[図109] (A)

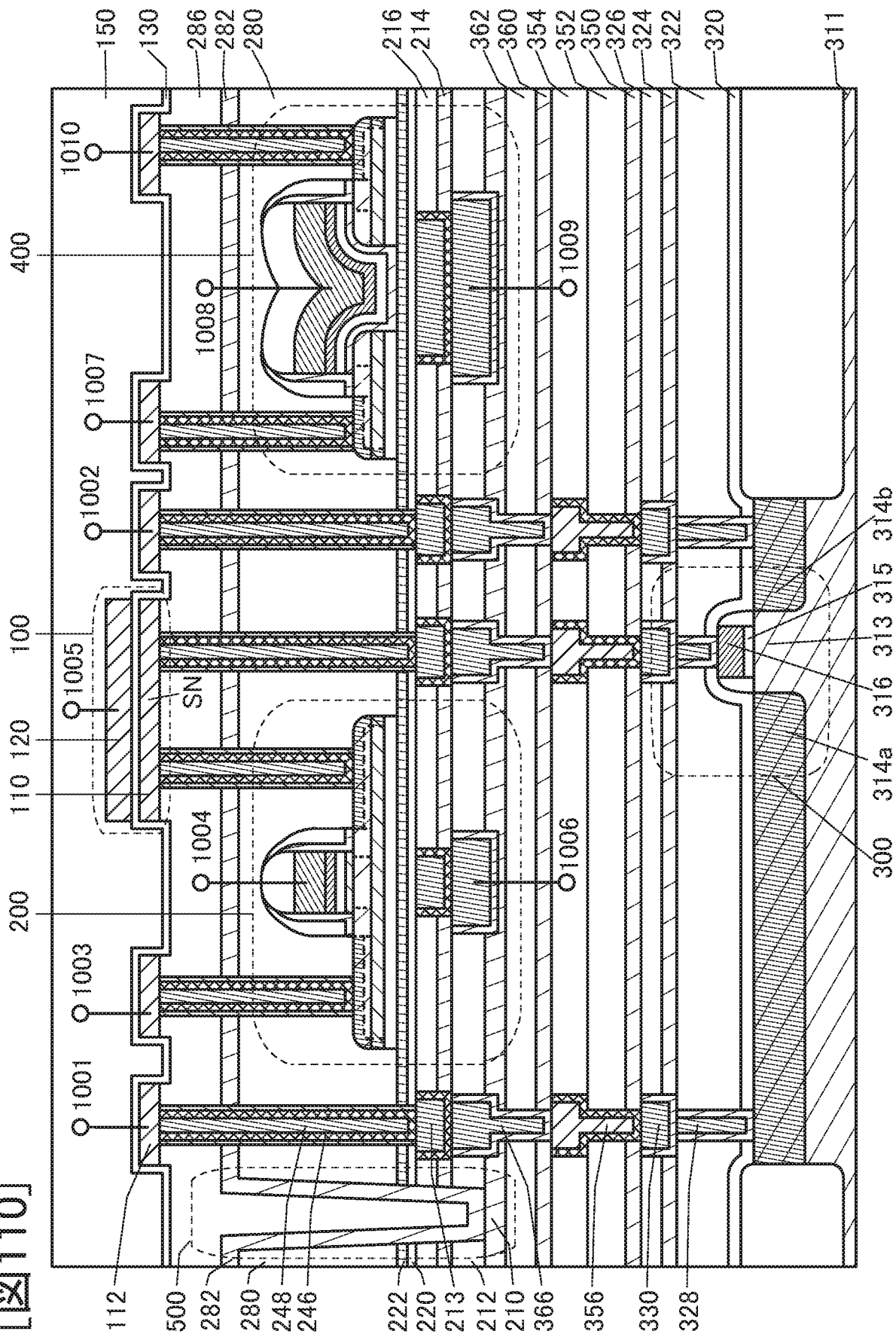


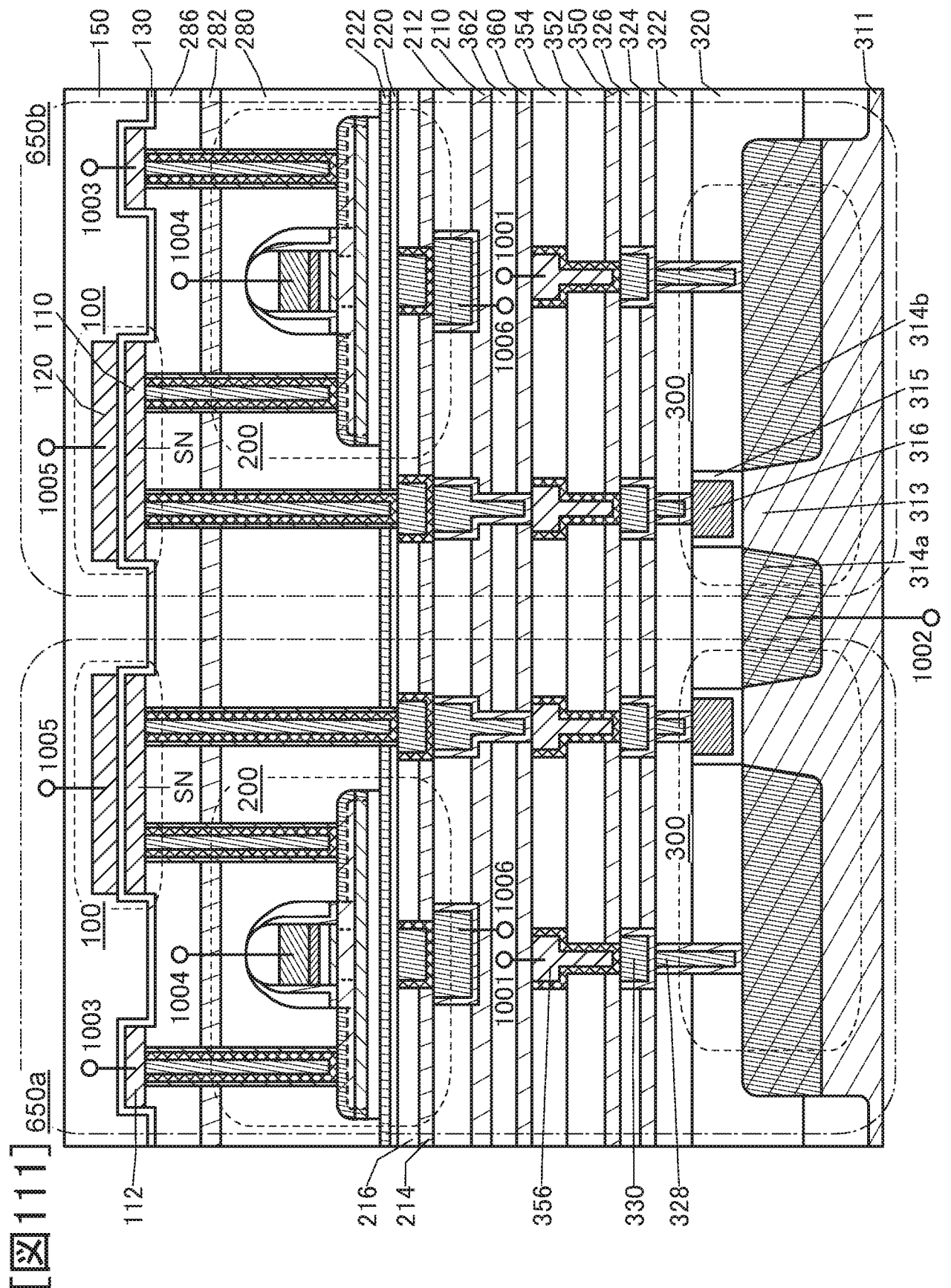
(B)



110/143

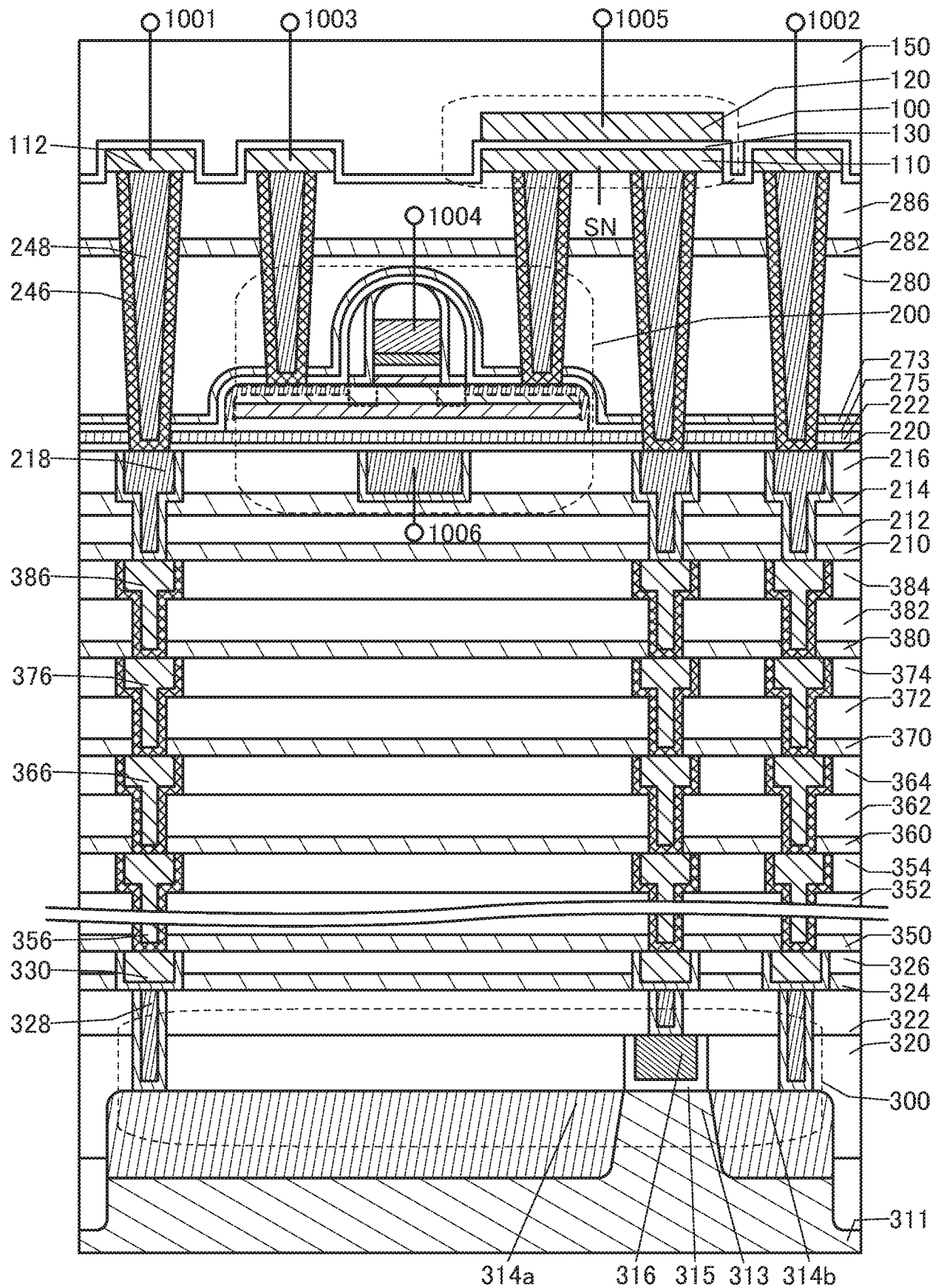
[図110]



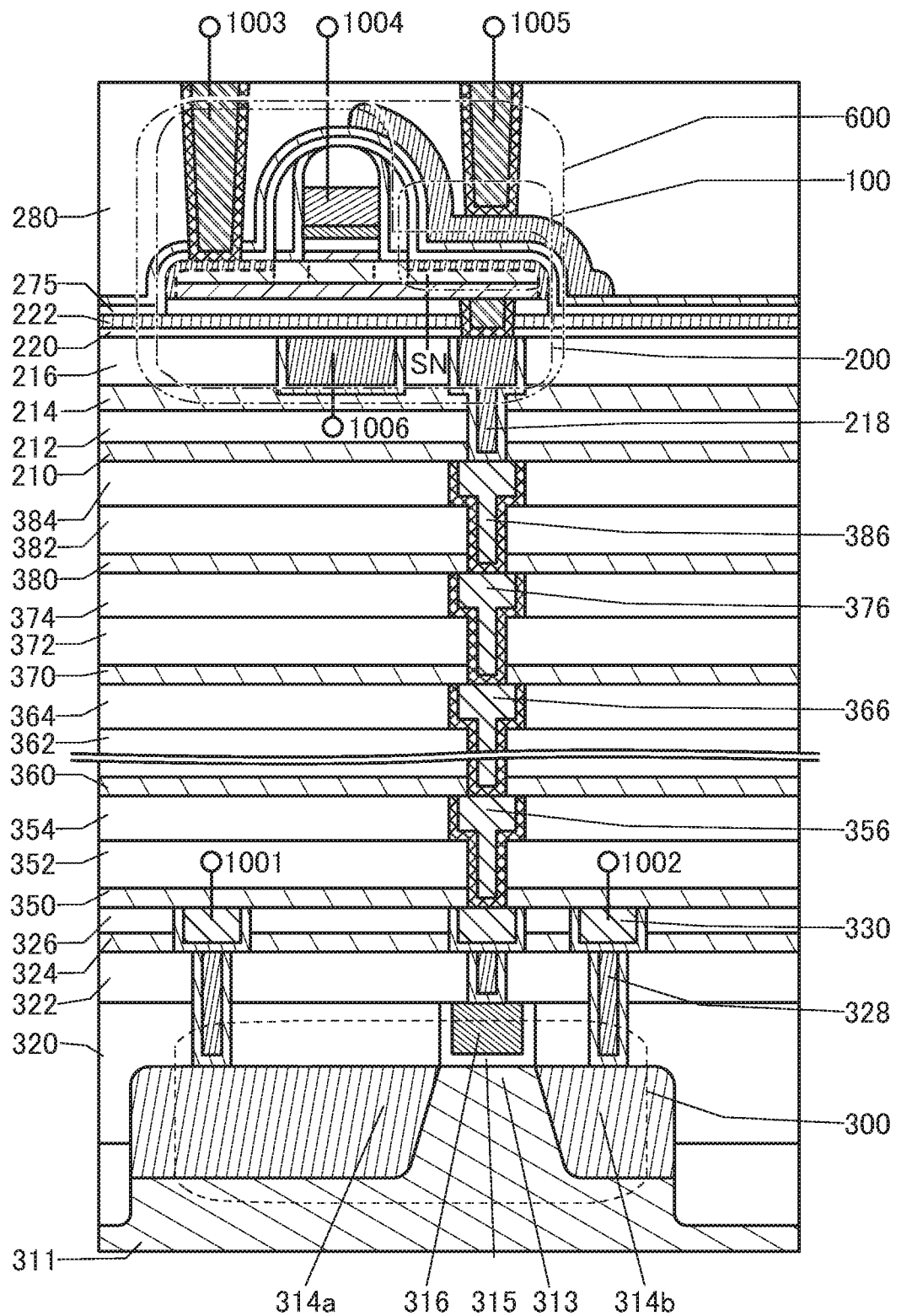


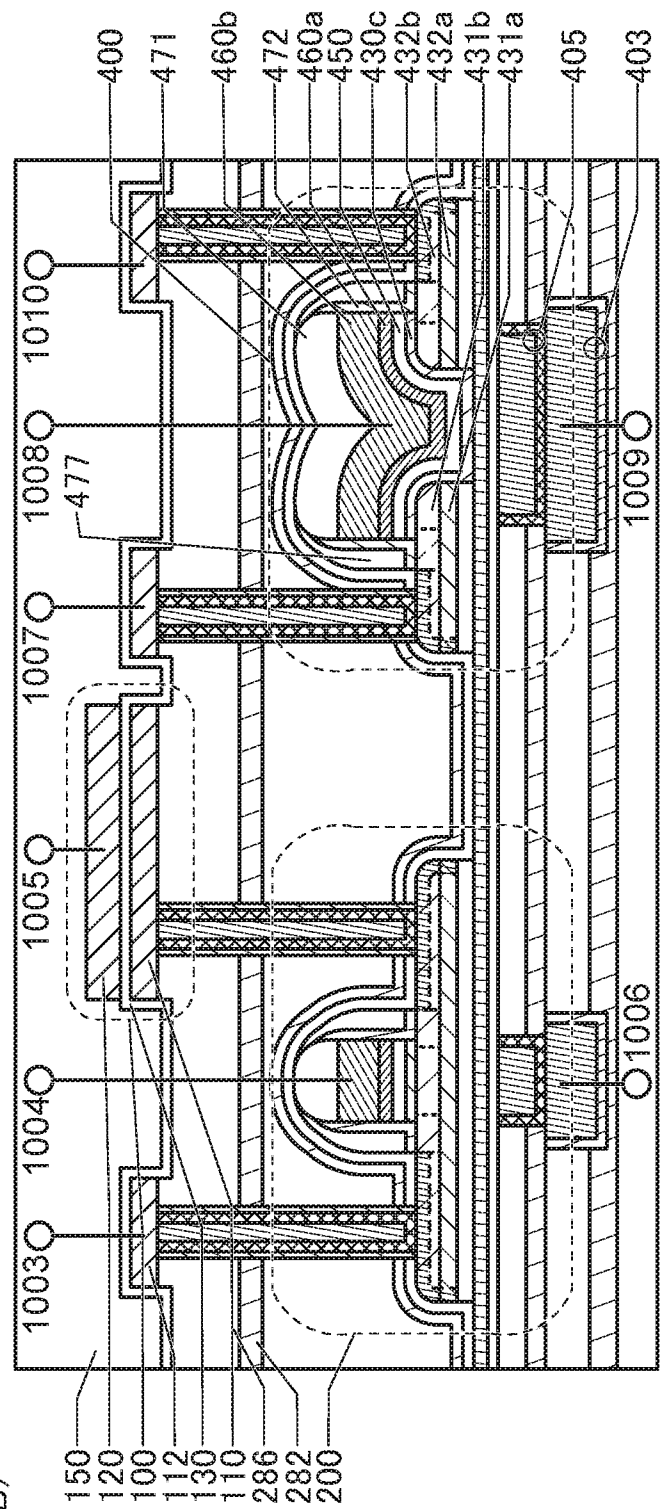
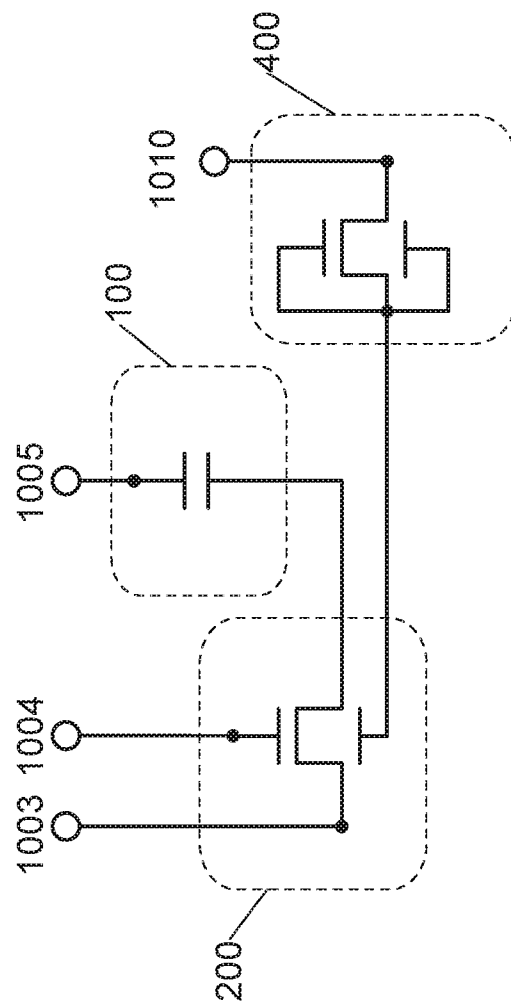
112/143

[図112]



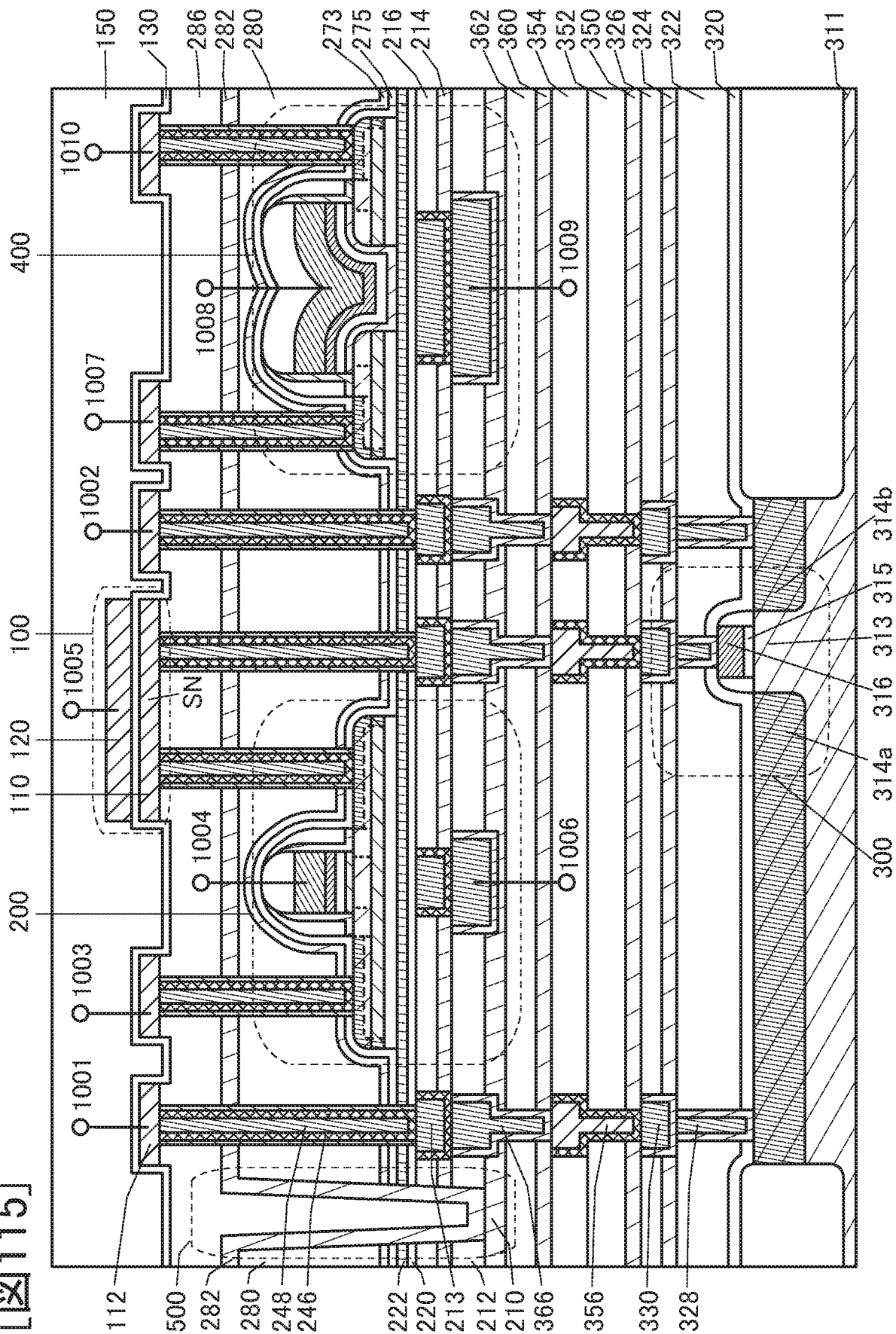
[図 113]

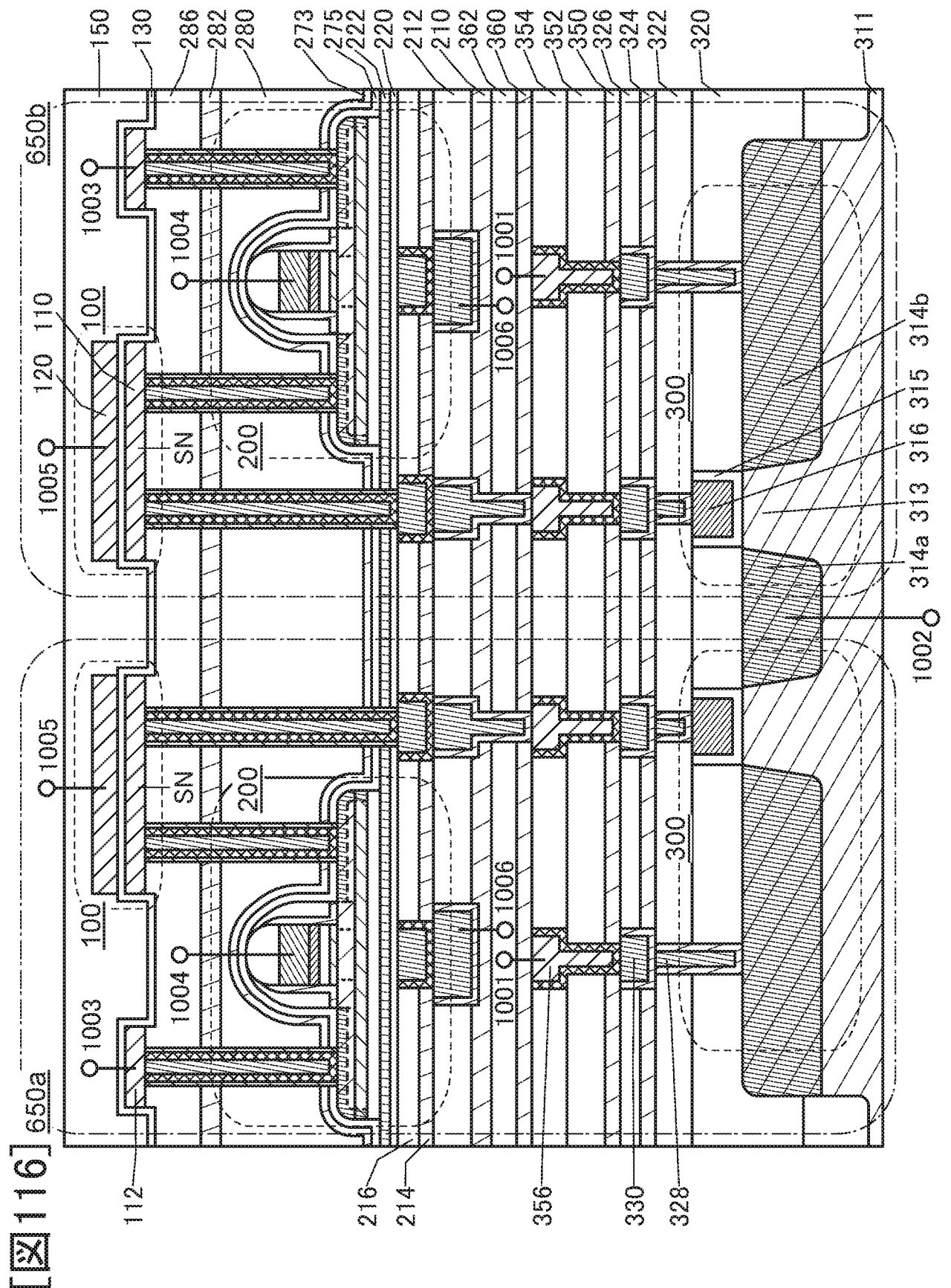




115/143

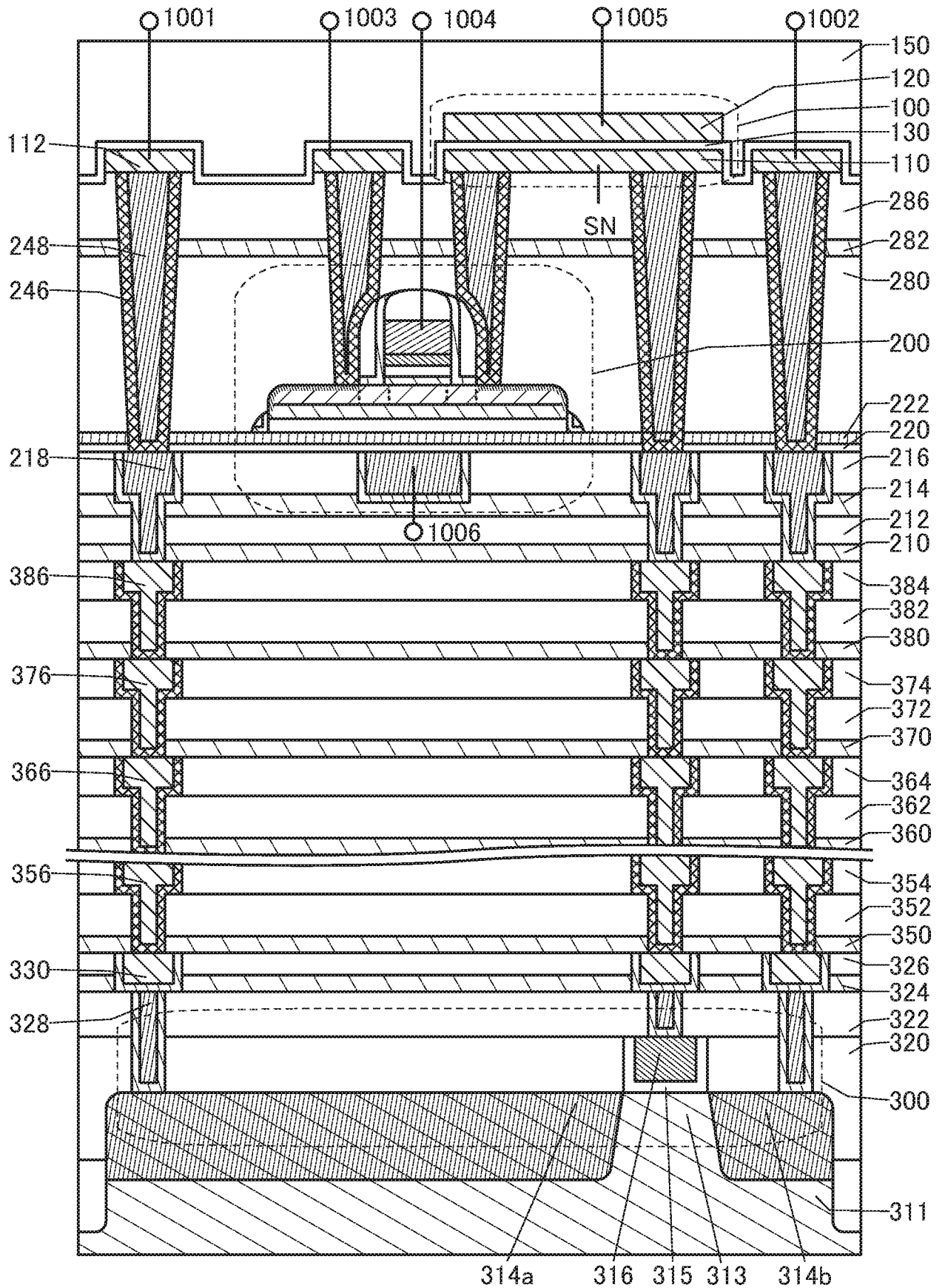
[図115]



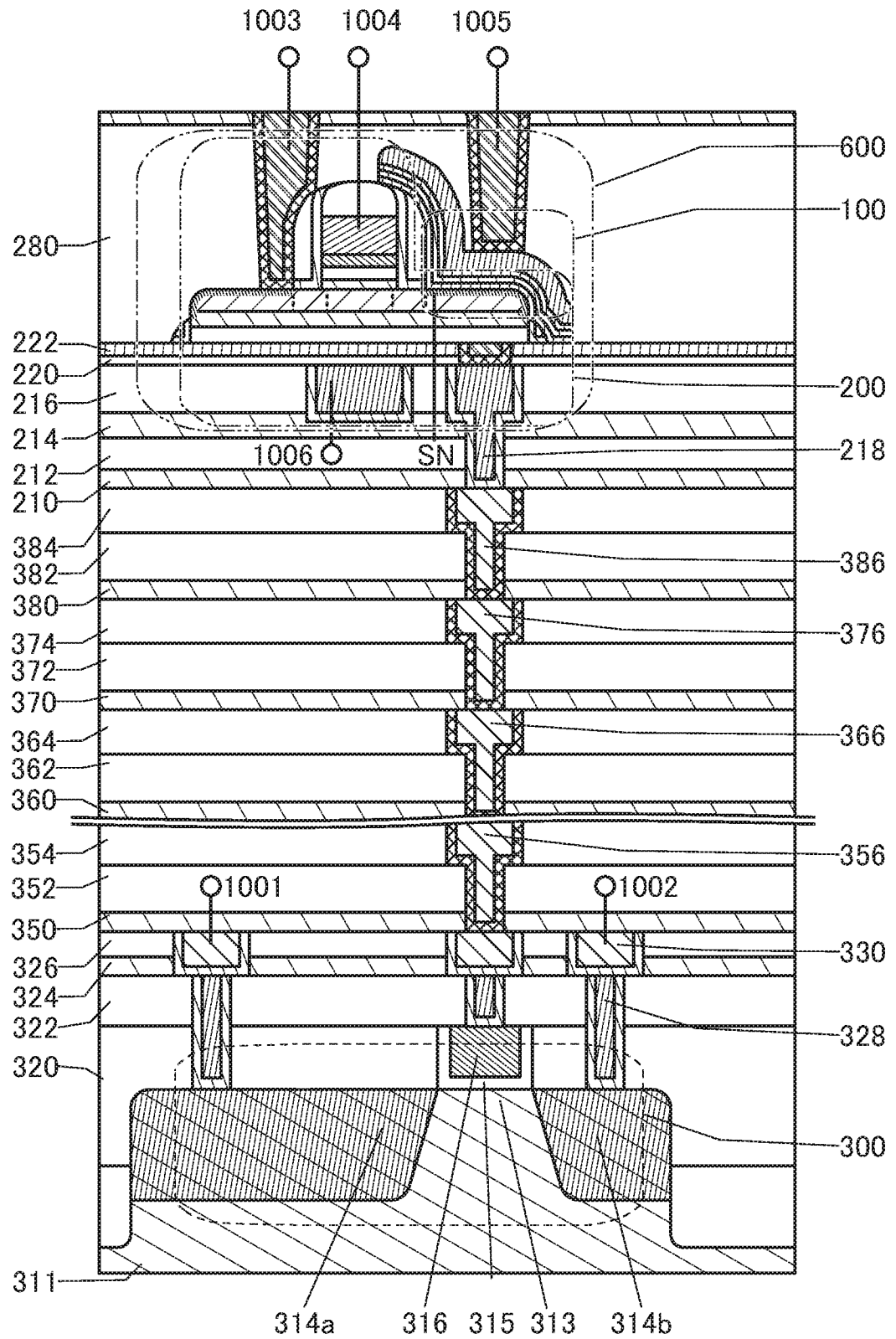


117/143

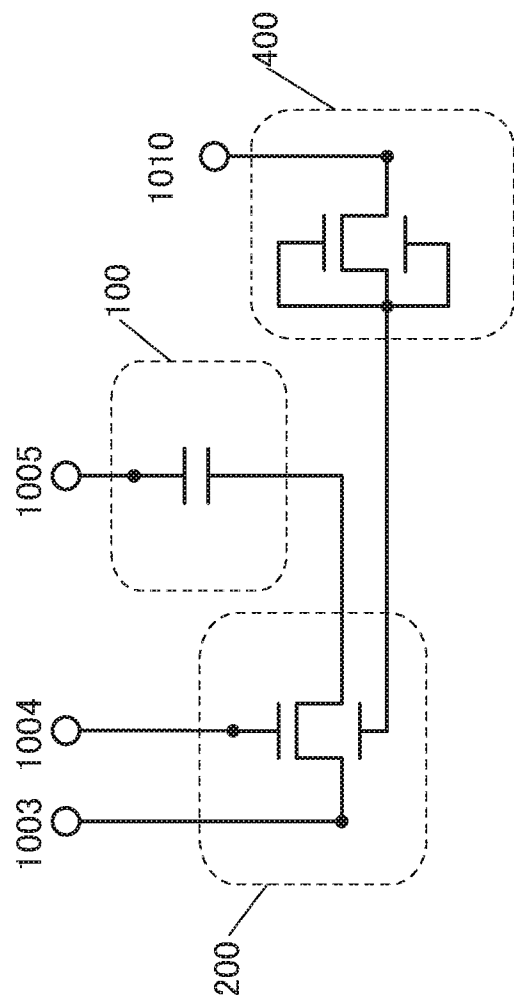
[圖 117]



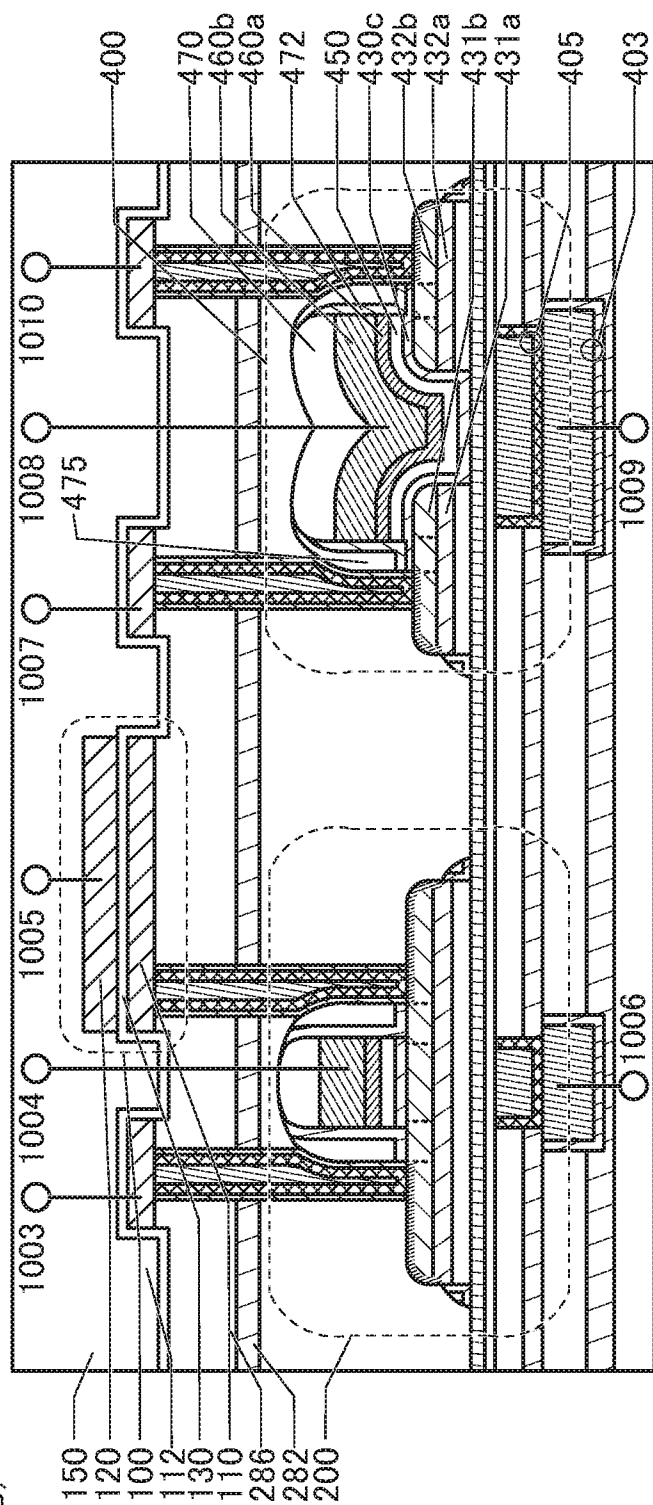
[図118]



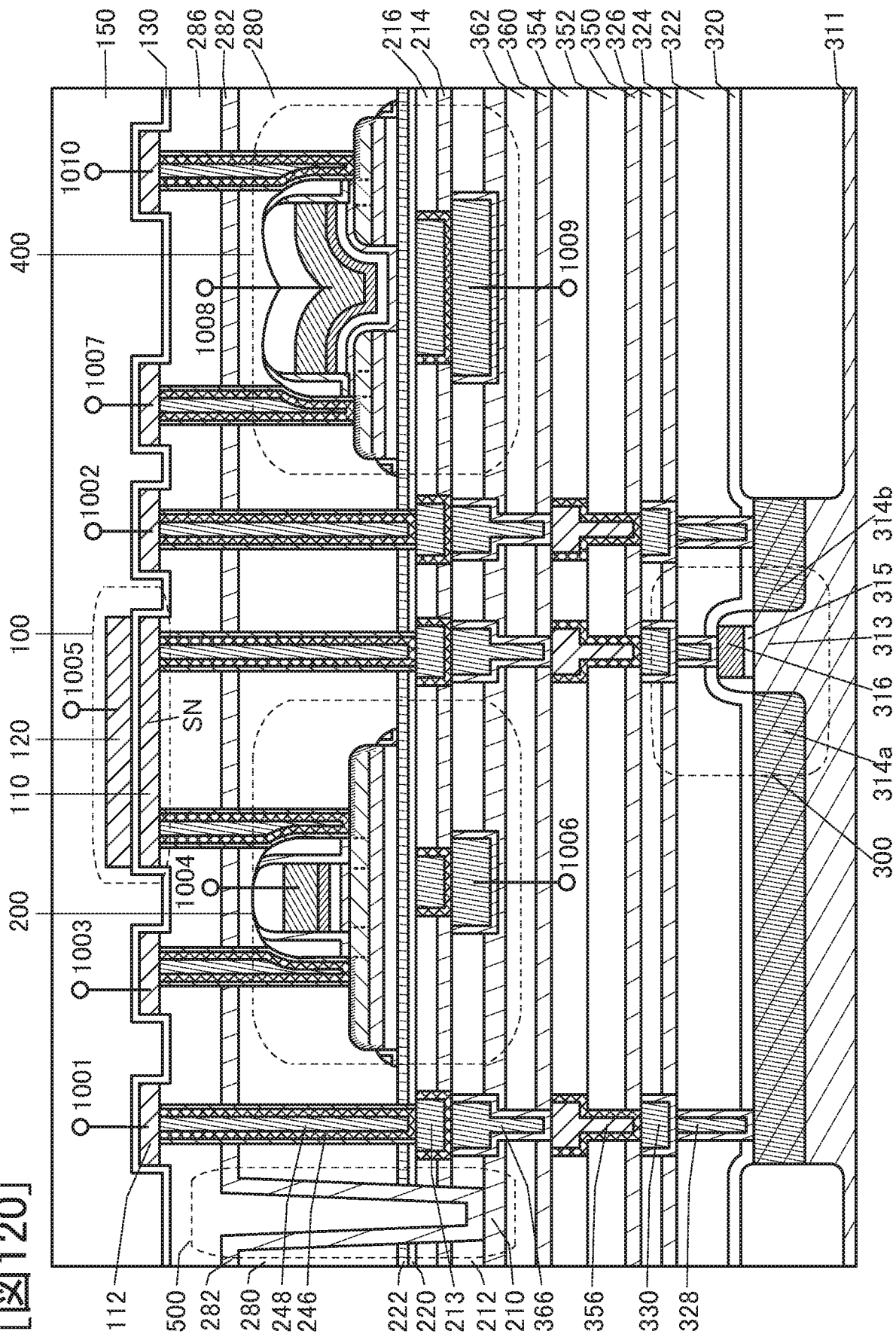
[図119] (A)

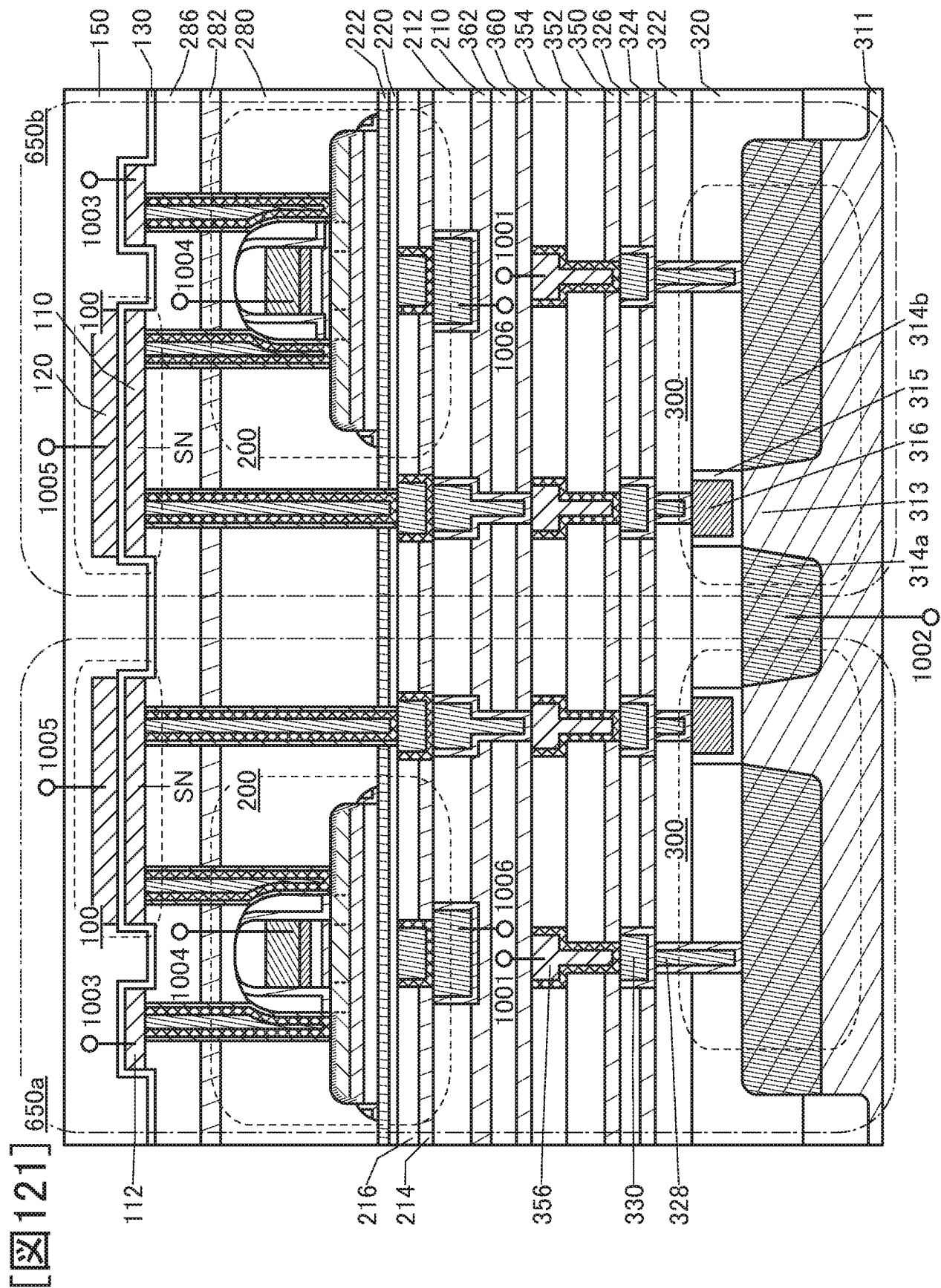


(B)



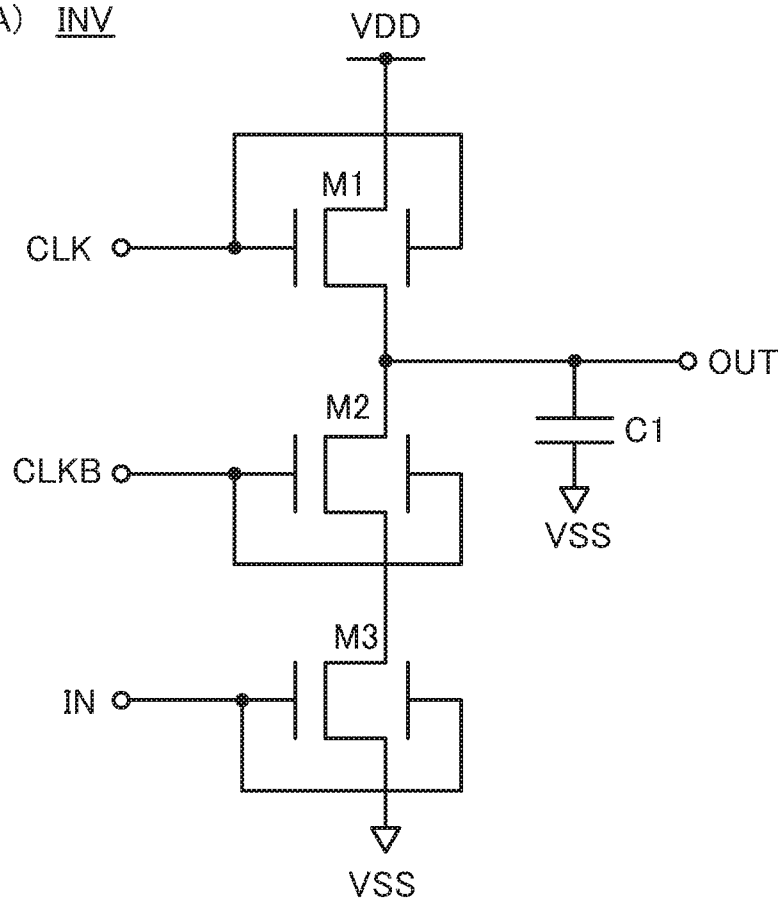
[図120]



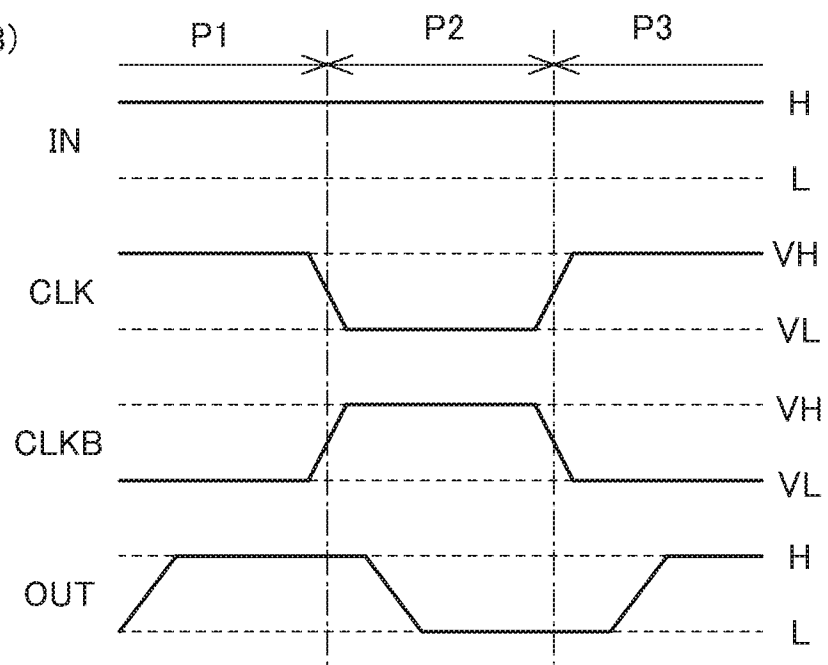


[図122]

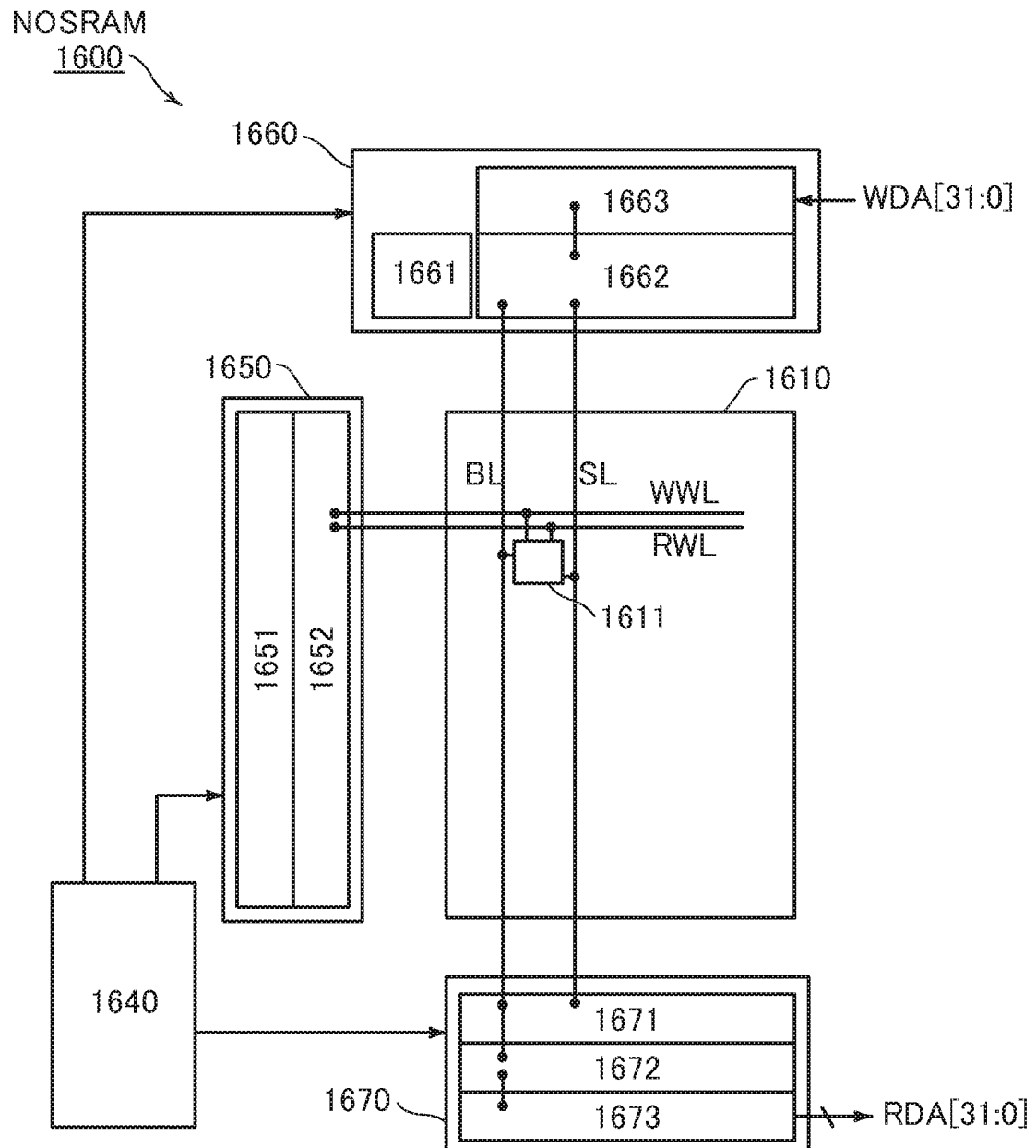
122/143

(A) INV

(B)

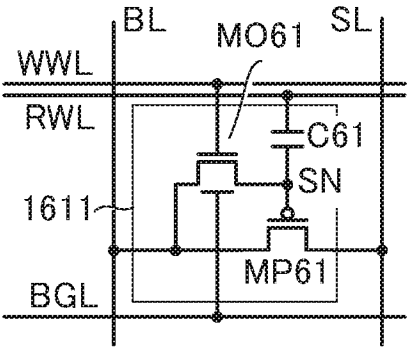


[図123]

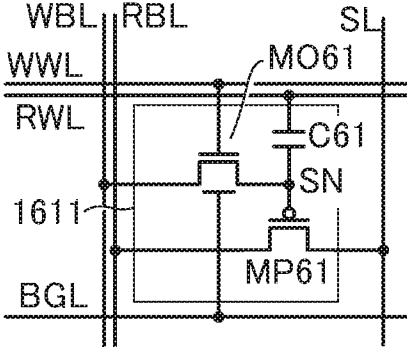


[図124]

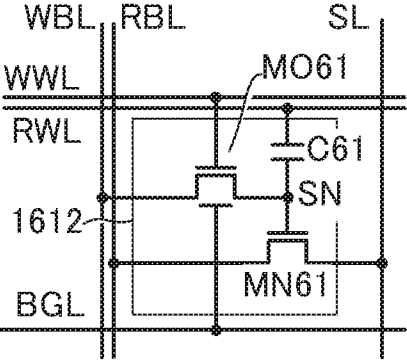
(A)



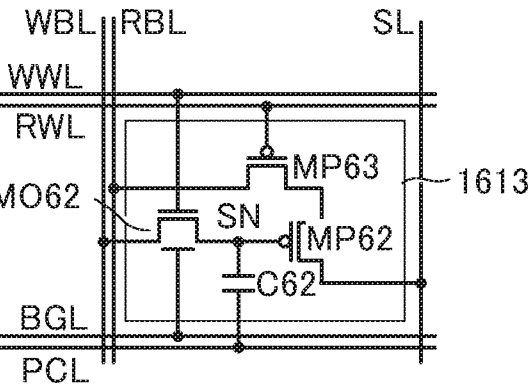
(B)



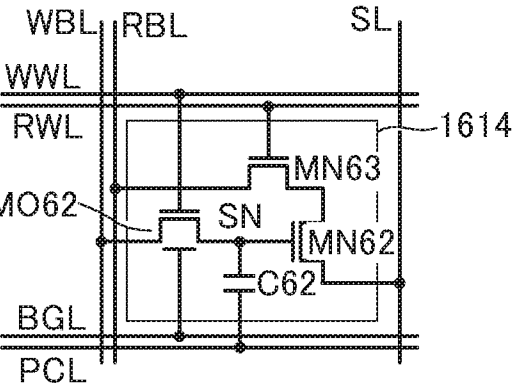
(C)



(D)



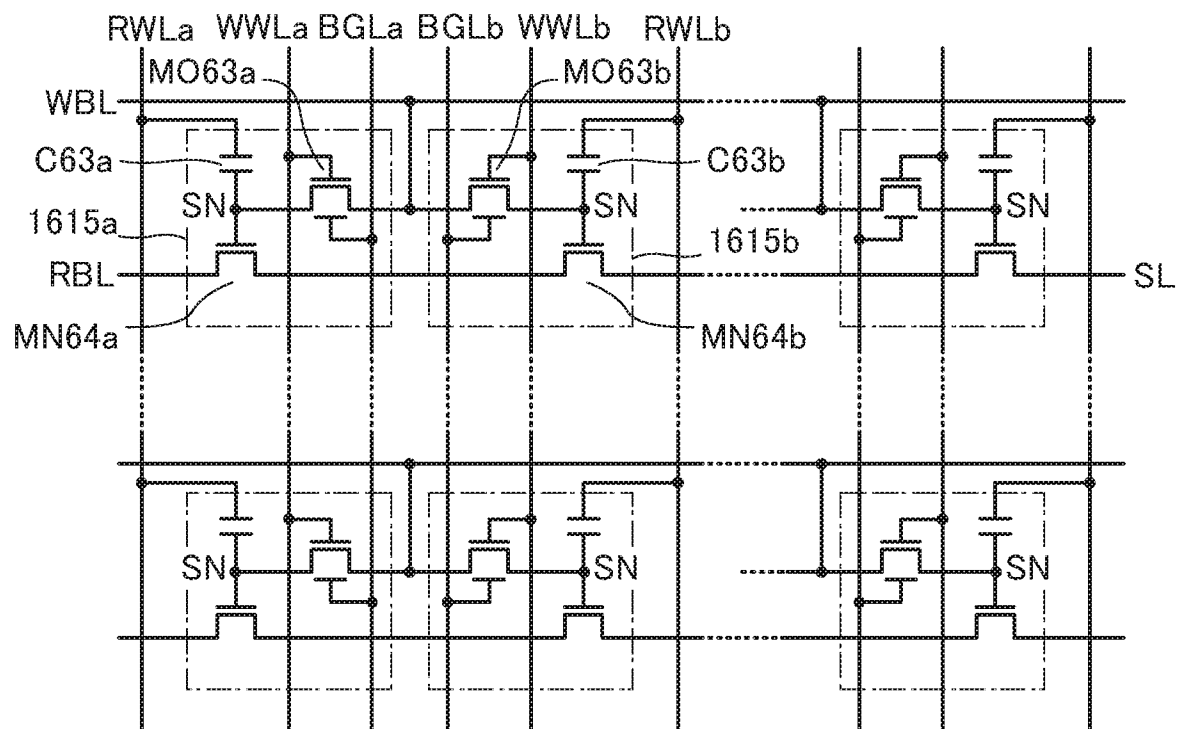
(E)



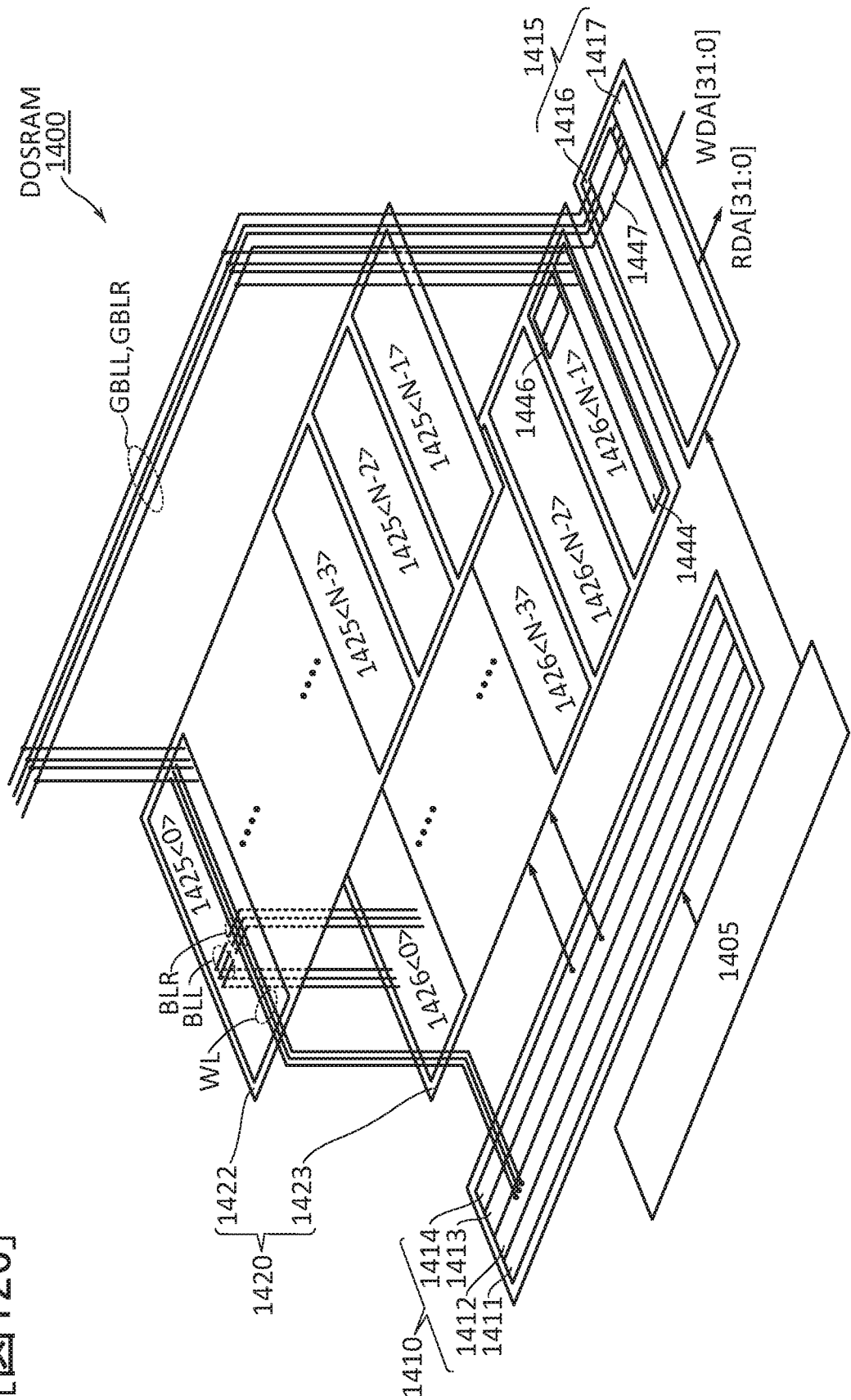
125/143

[図 125]

1610



[図126]

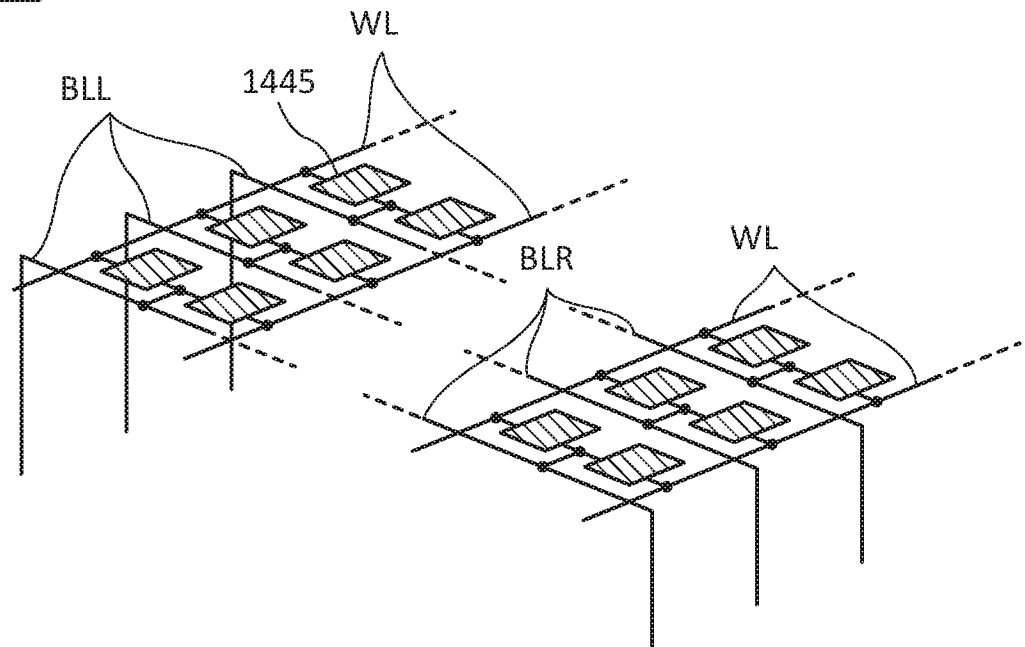


127/143

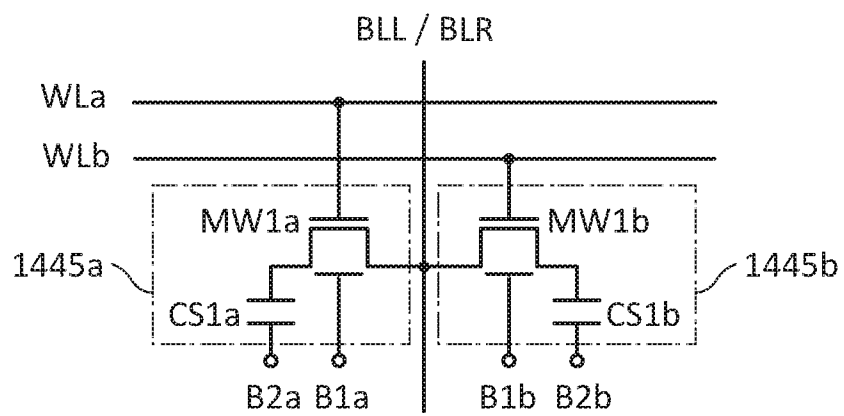
[図127]

(A)

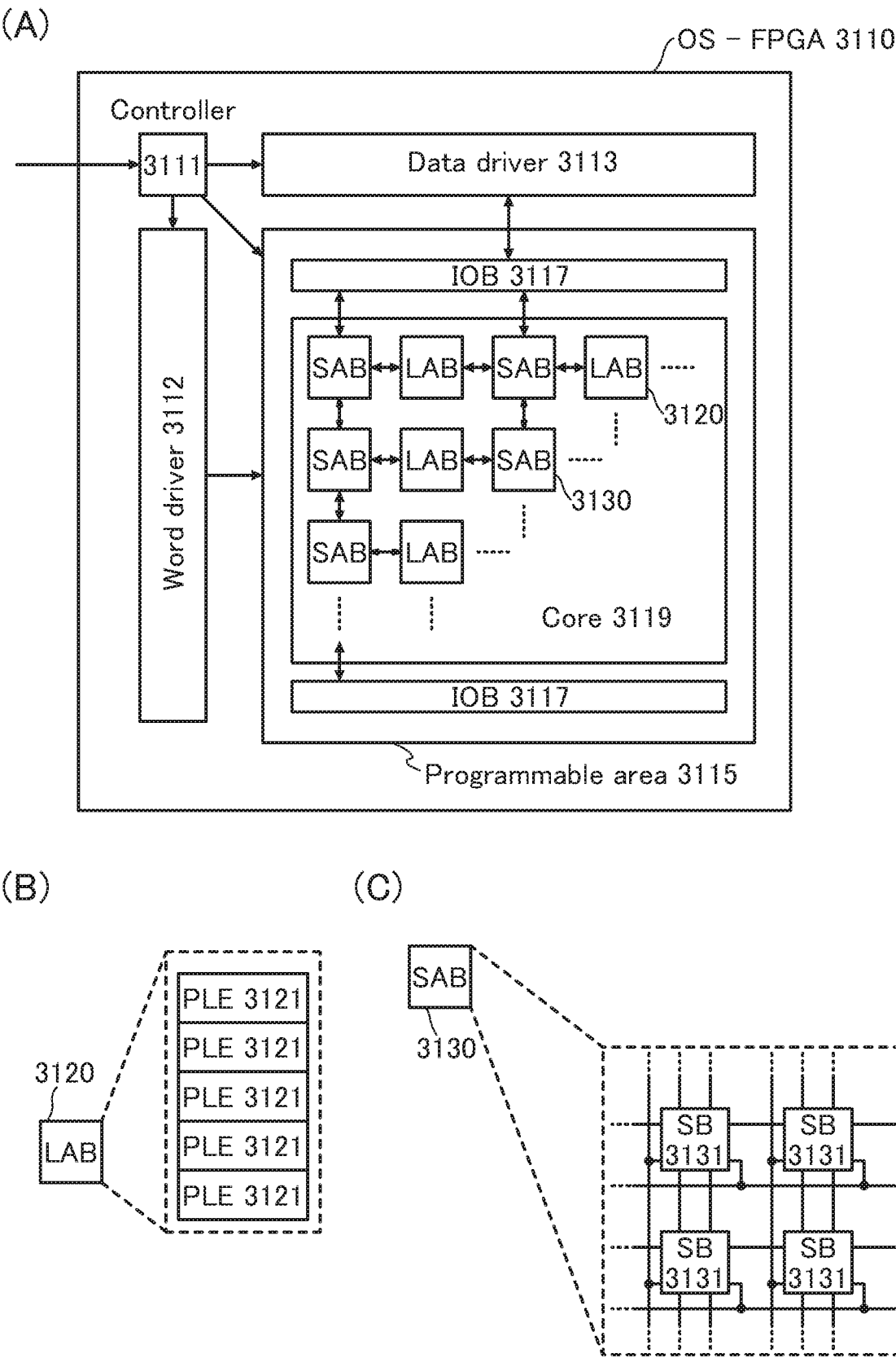
1425



(B)

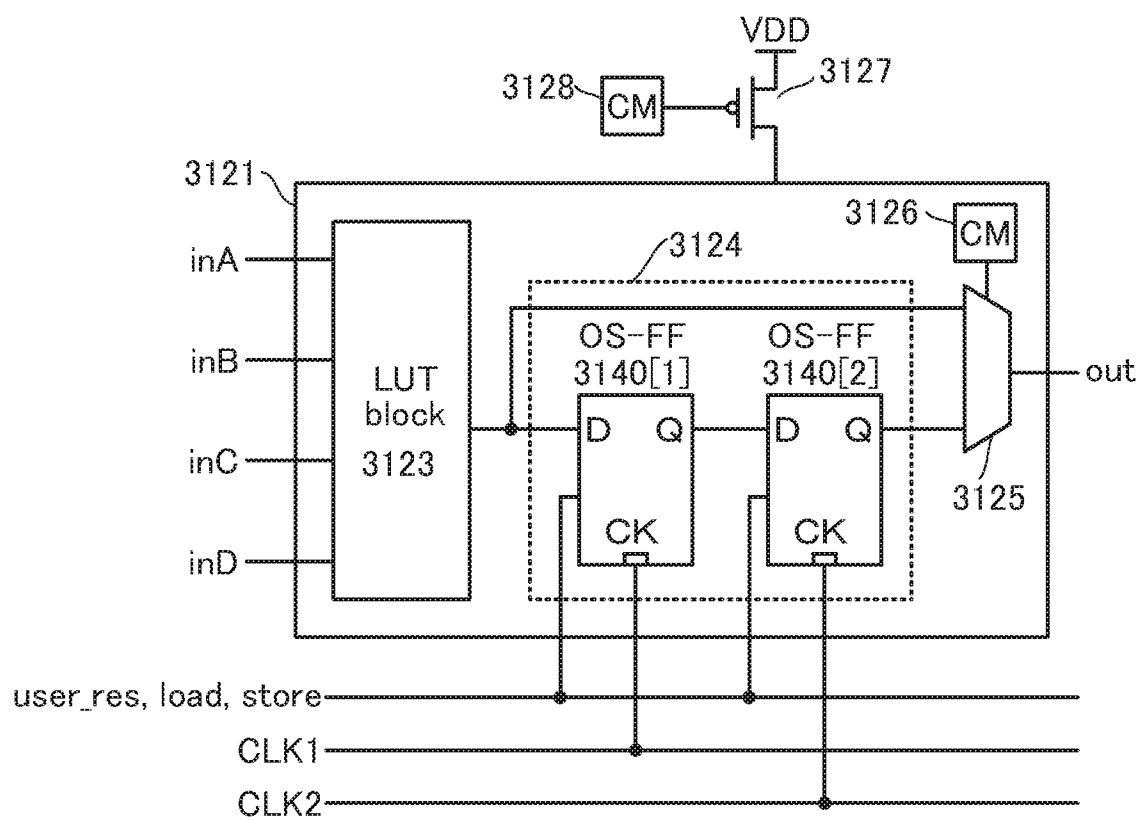


[図128]



130/143

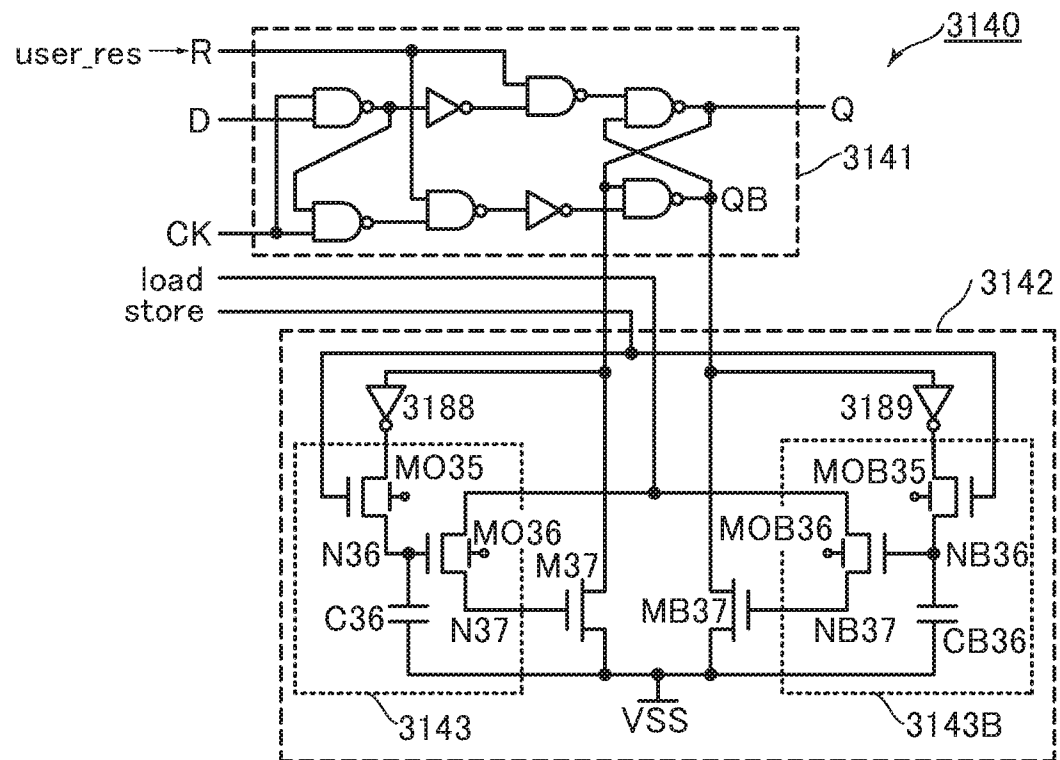
[図130]



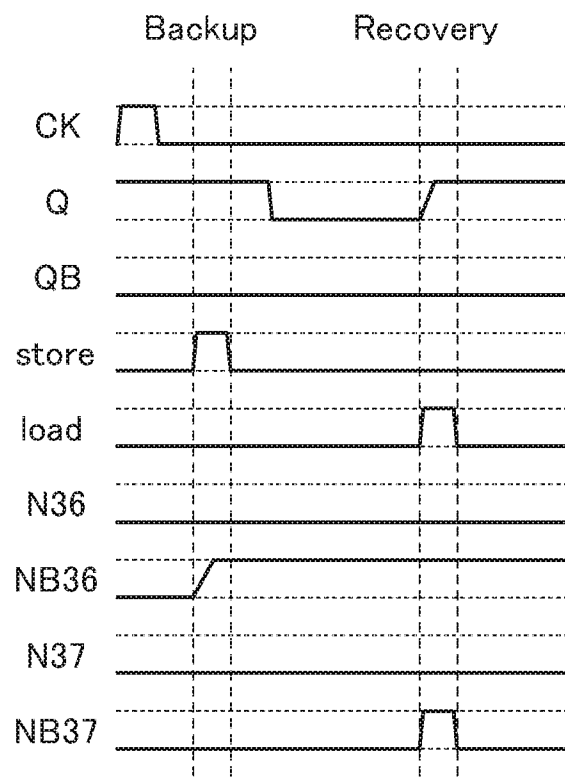
131/143

[図131]

(A)

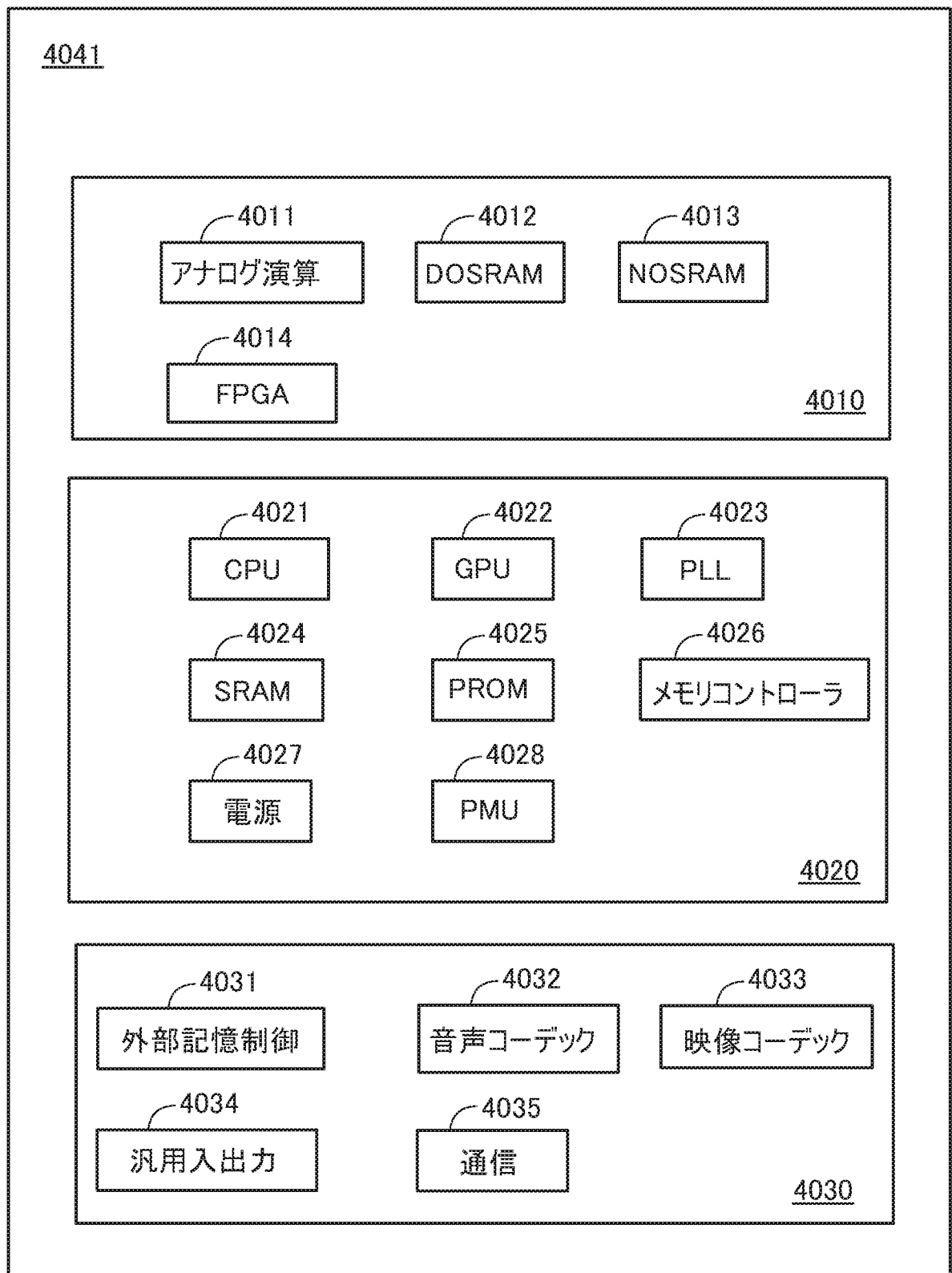


(B)



132/143

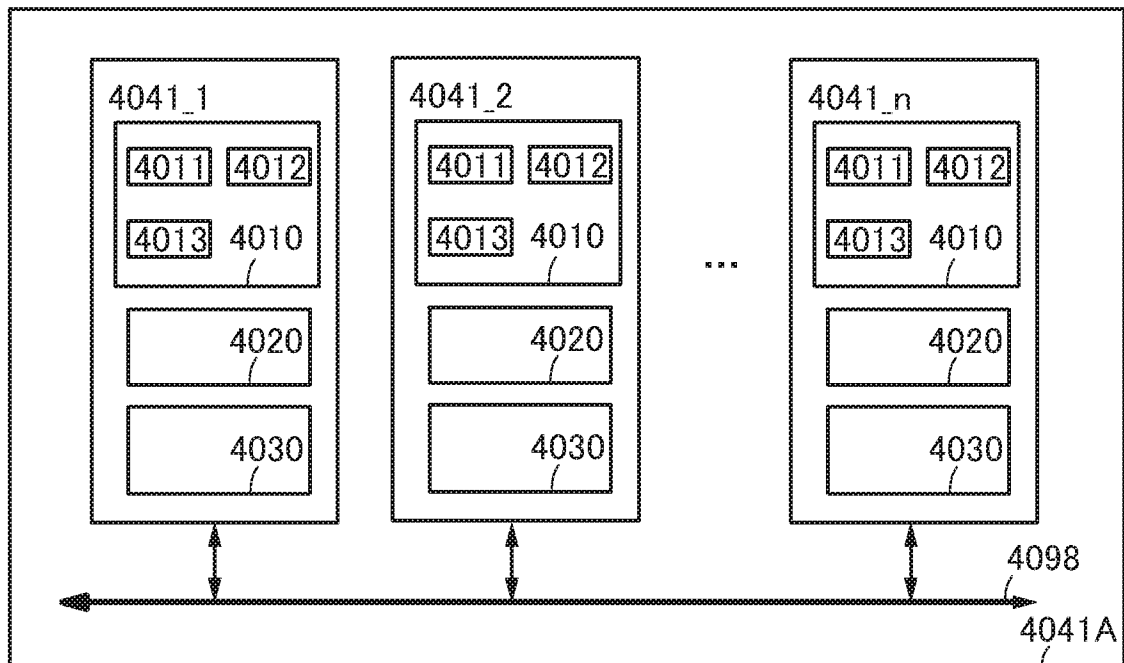
[図132]



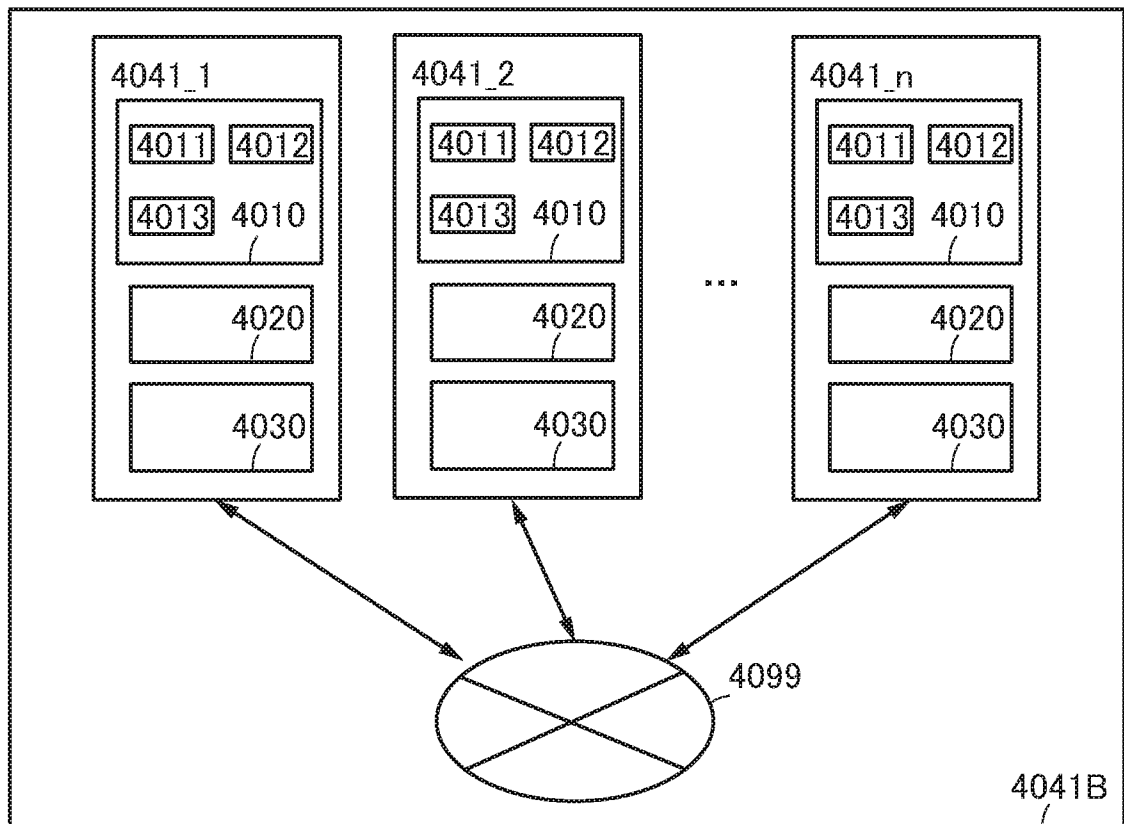
133/143

[図133]

(A)

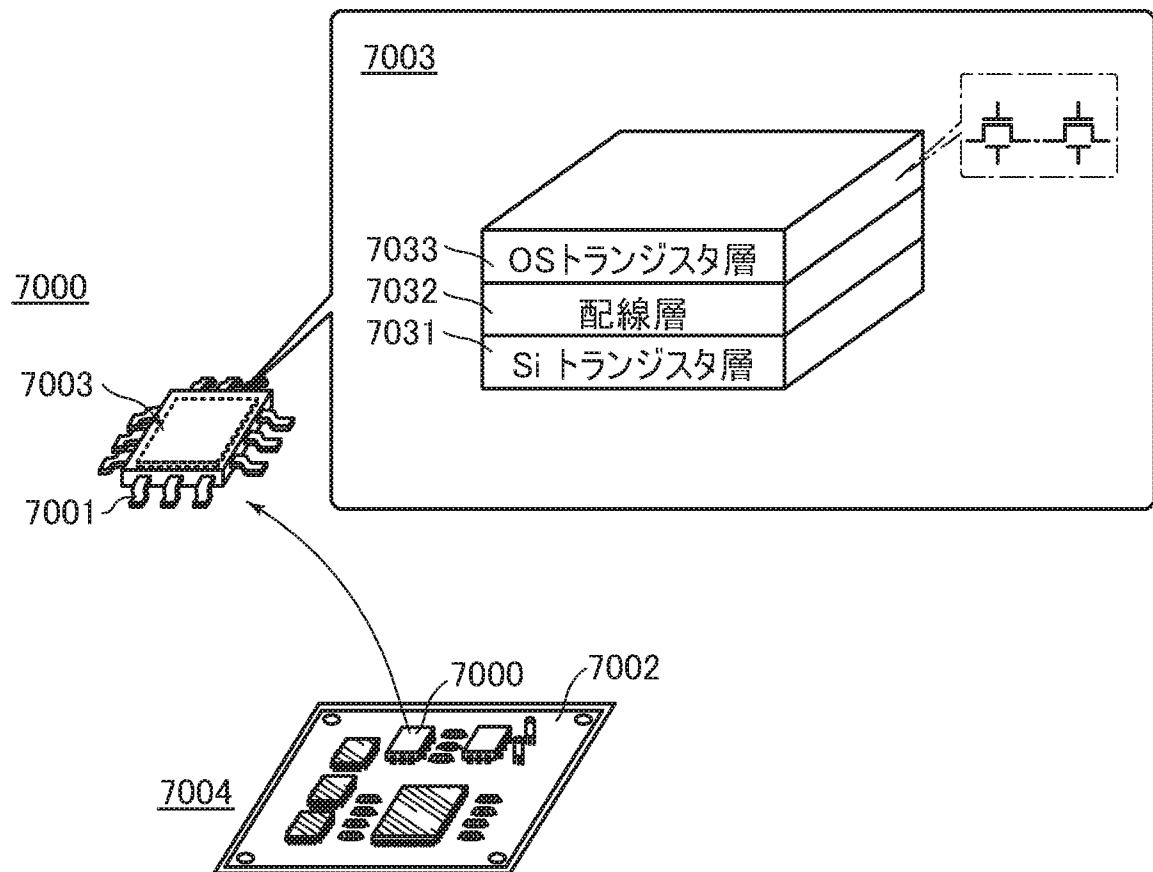


(B)



134/143

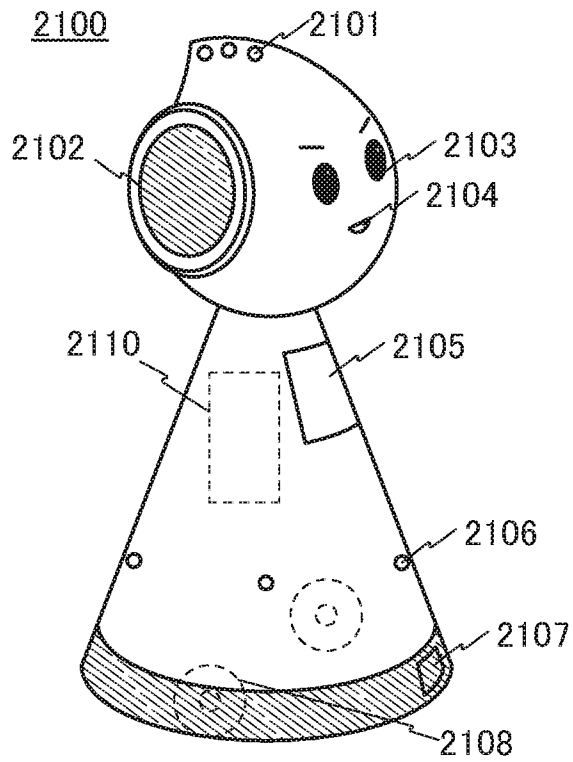
[図134]



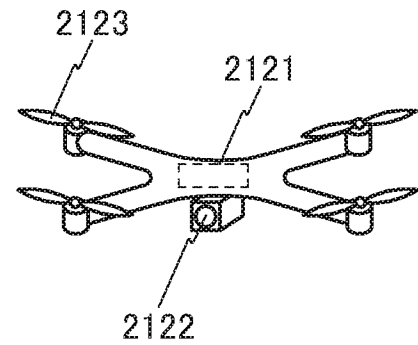
[図135]

135/143

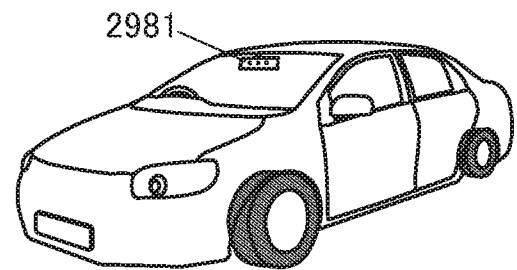
(A)



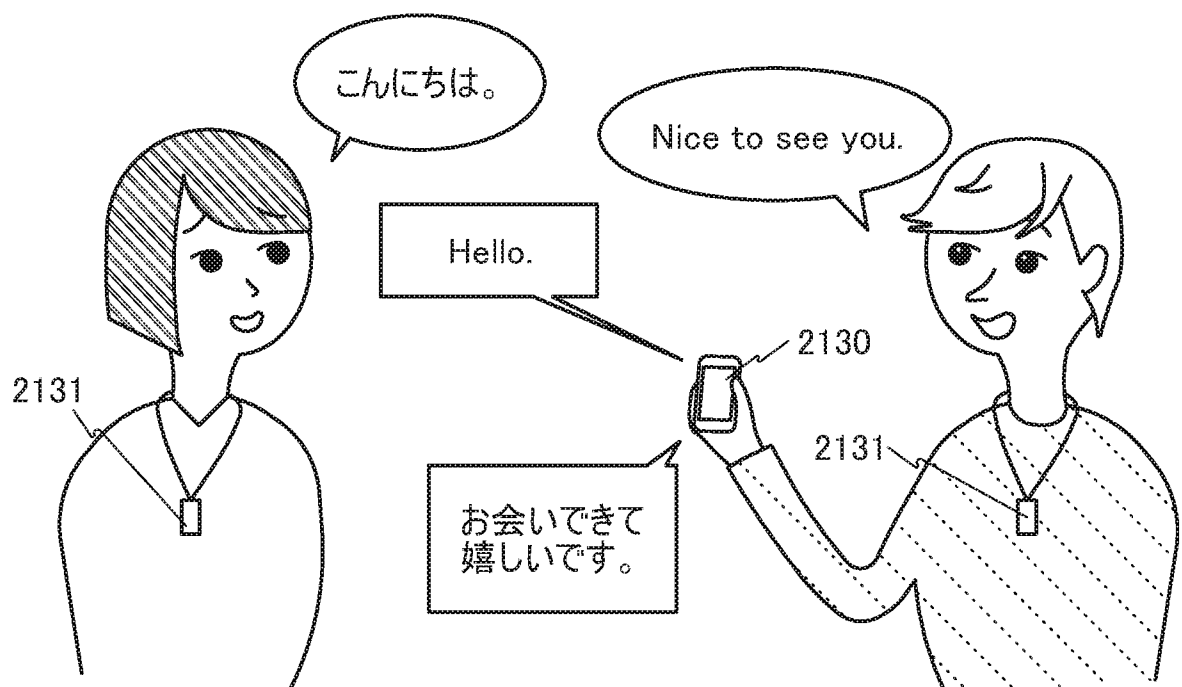
(B)

2120

(C)

2980

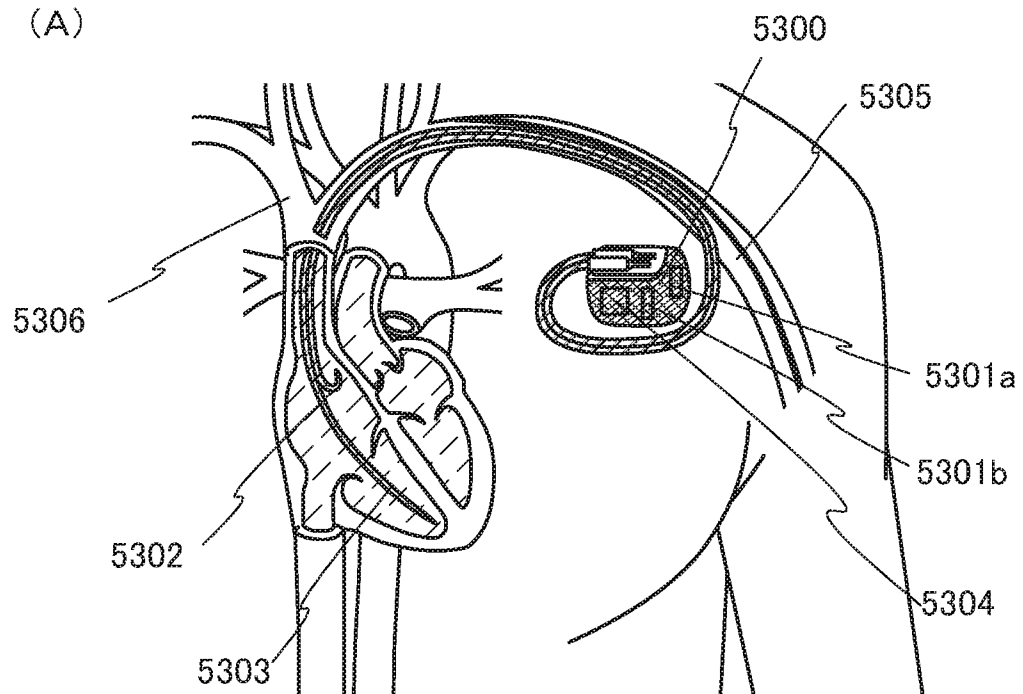
(D)



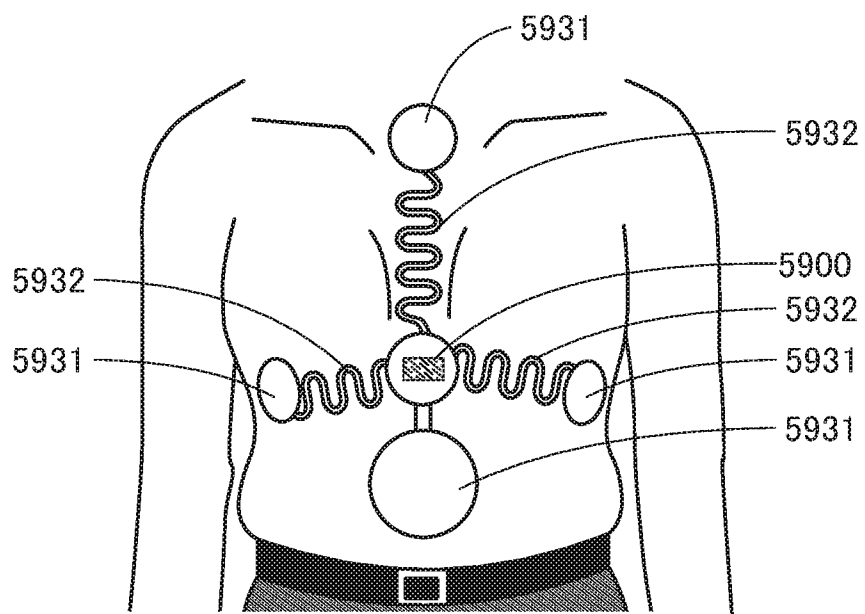
[ 136]

136/143

(A)

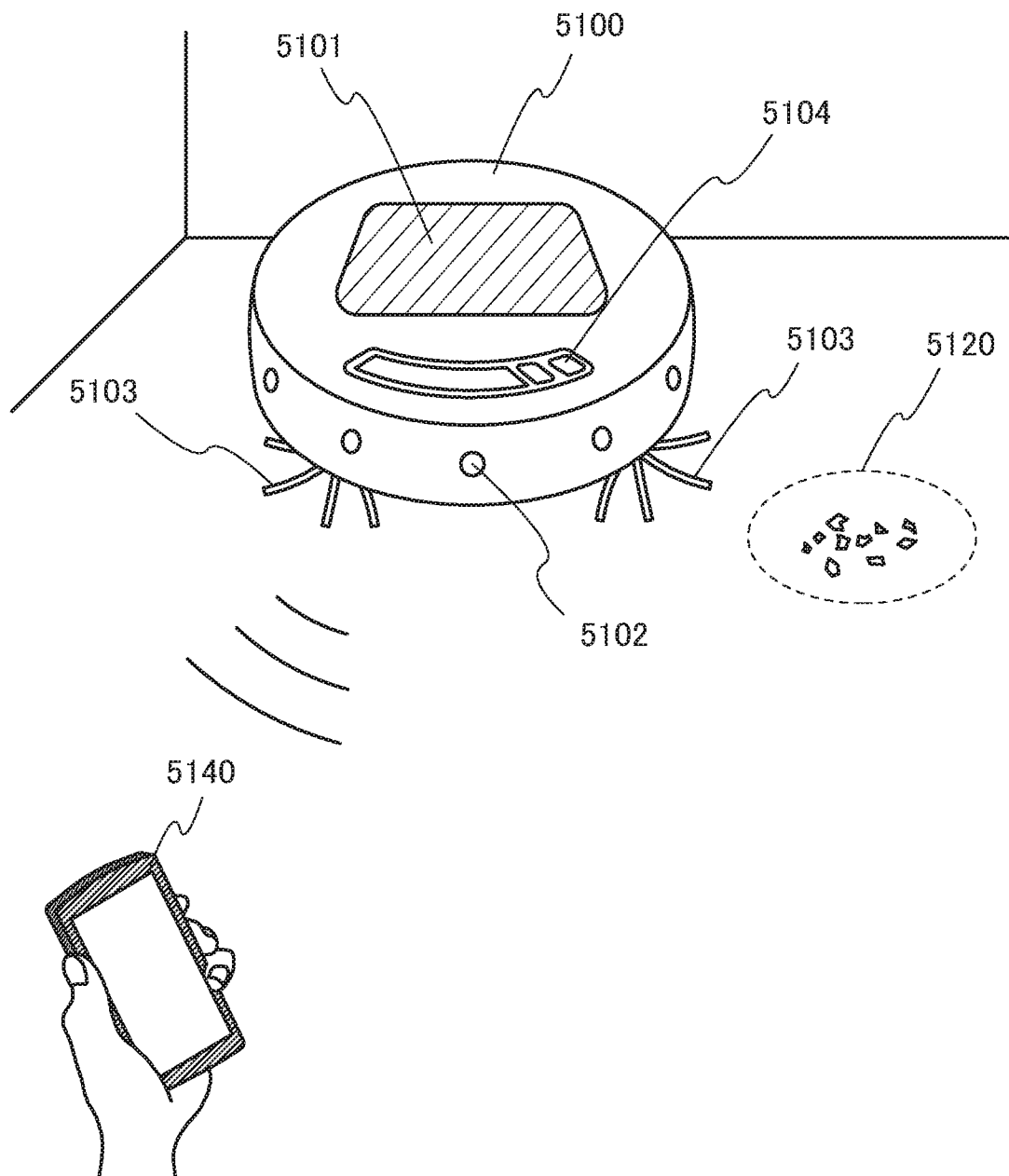


(B)



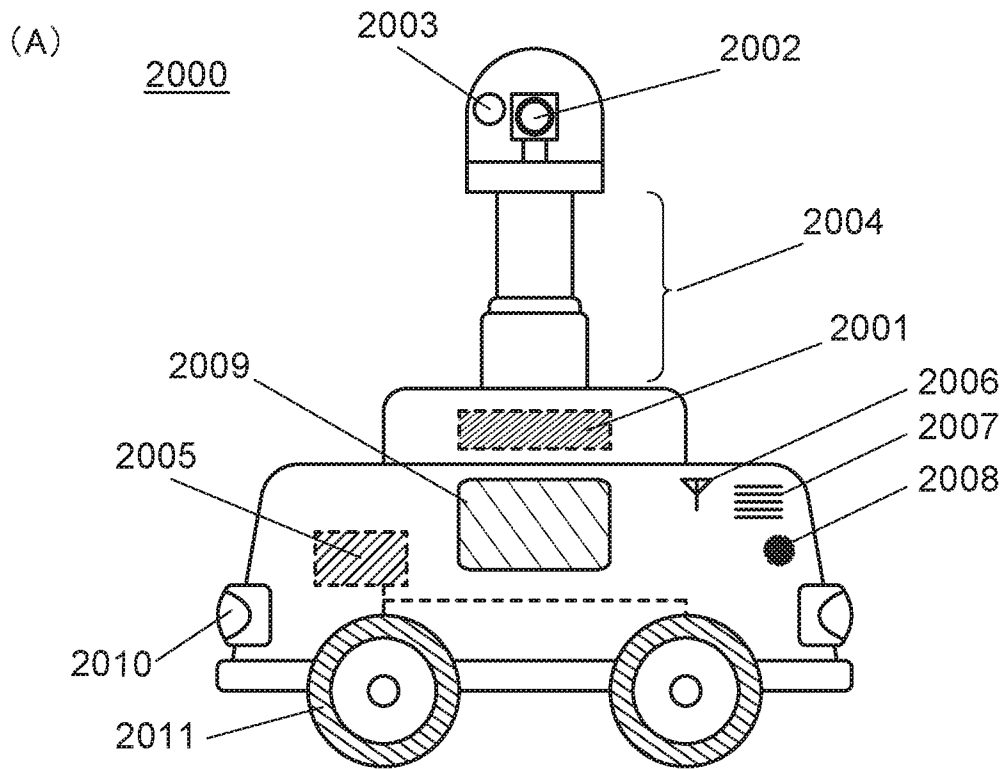
[図137]

137/143

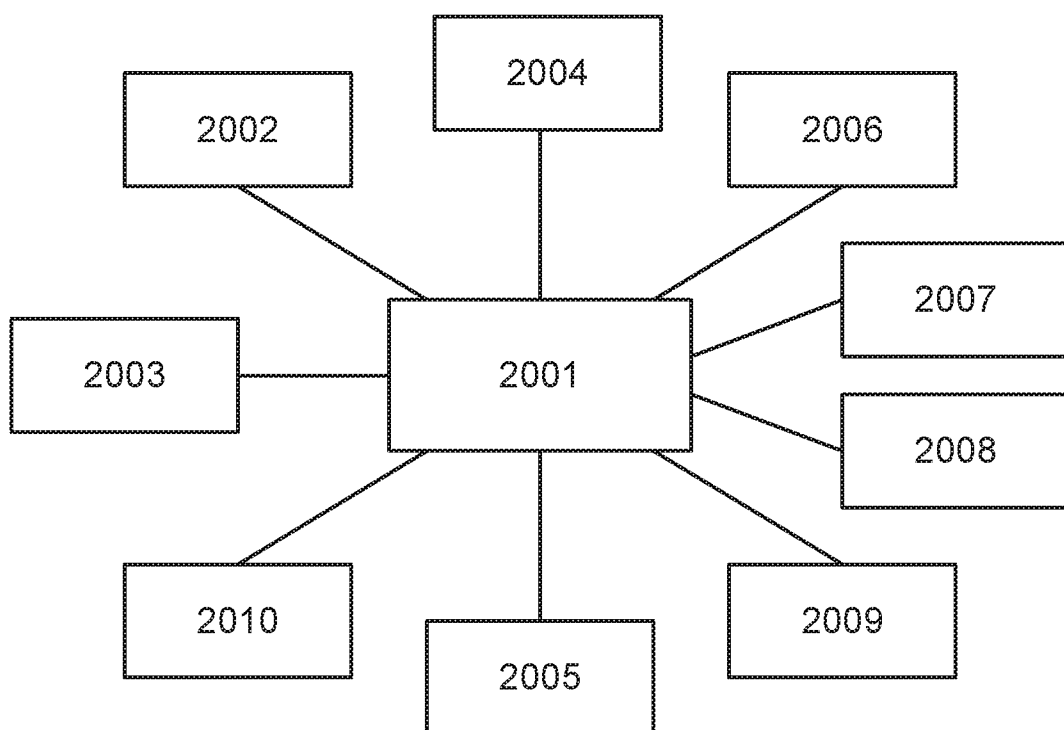


[図 138]

138/143

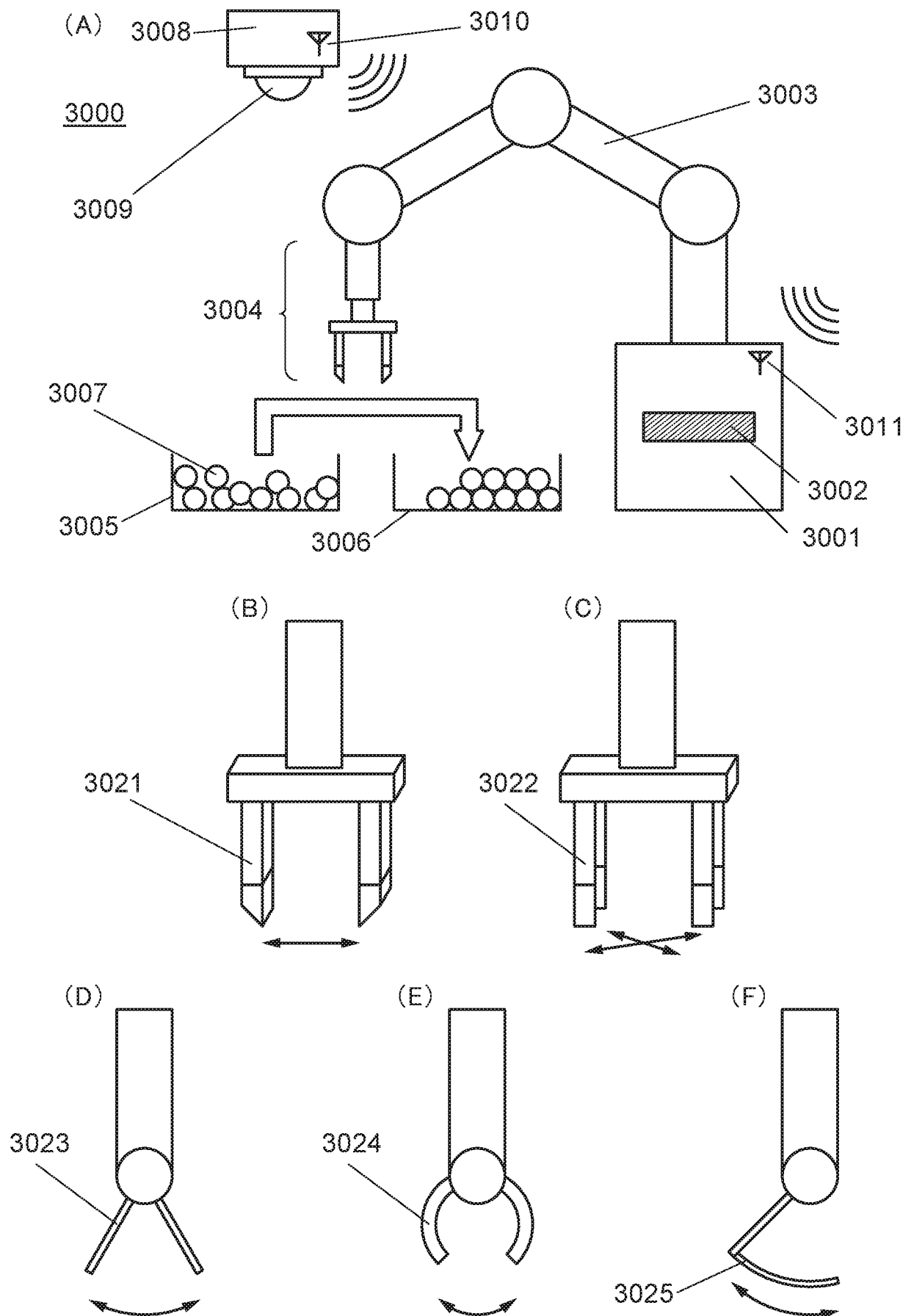


(B)

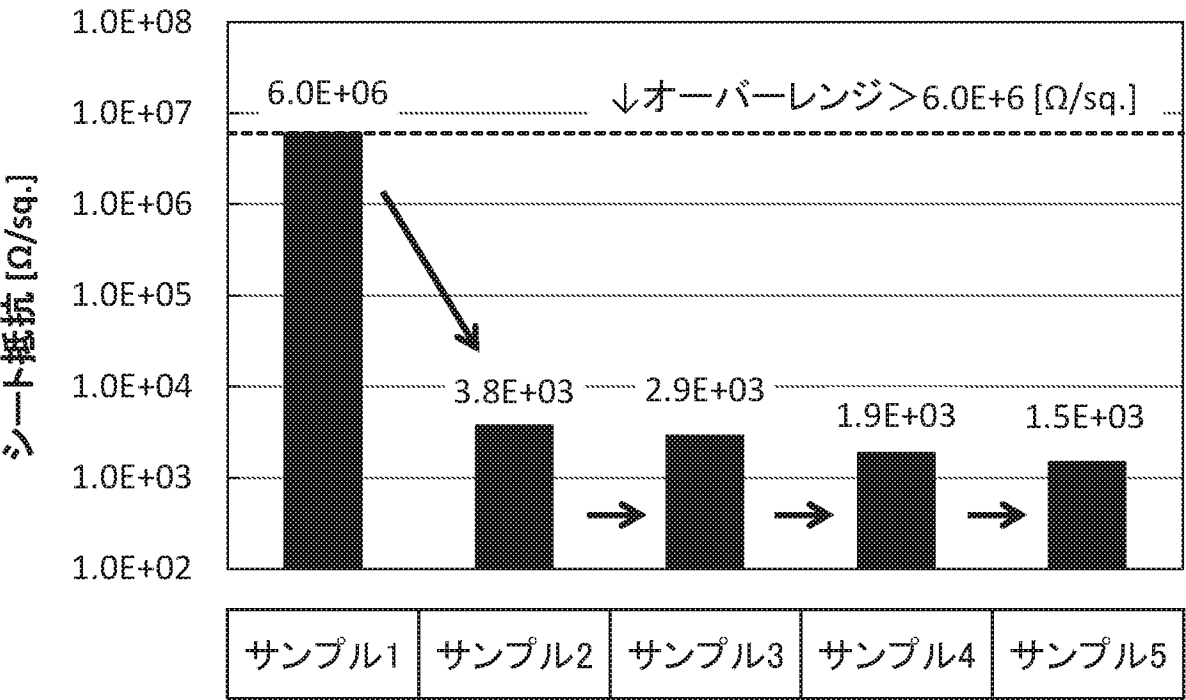


[図 139]

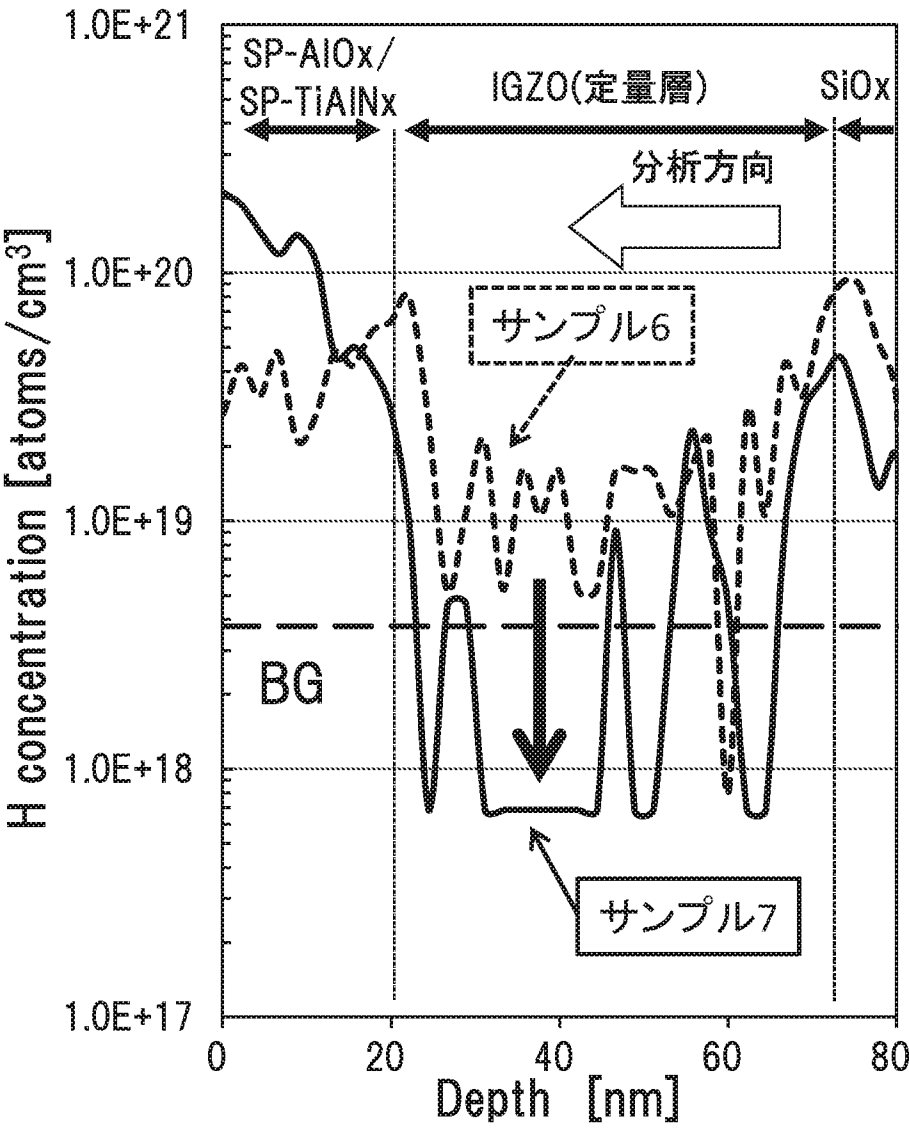
139/143



[図140]

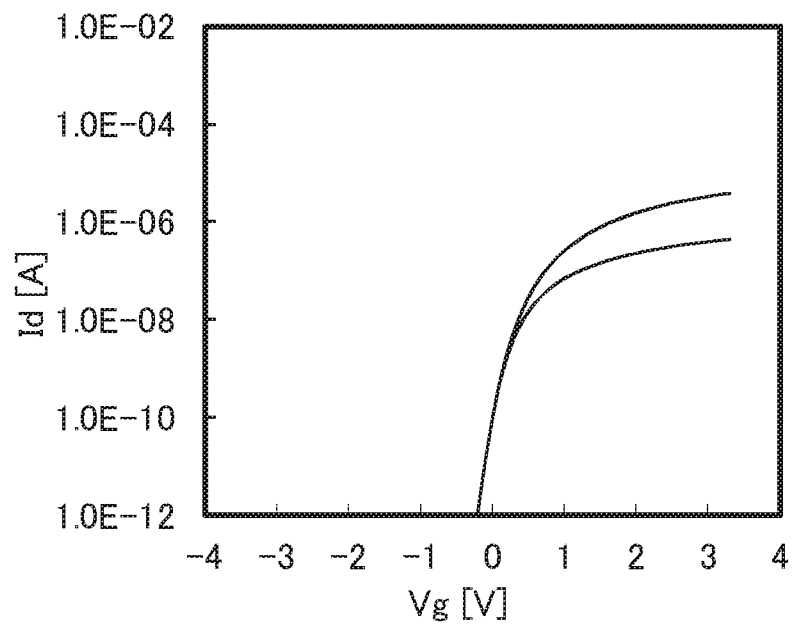


[図 141]

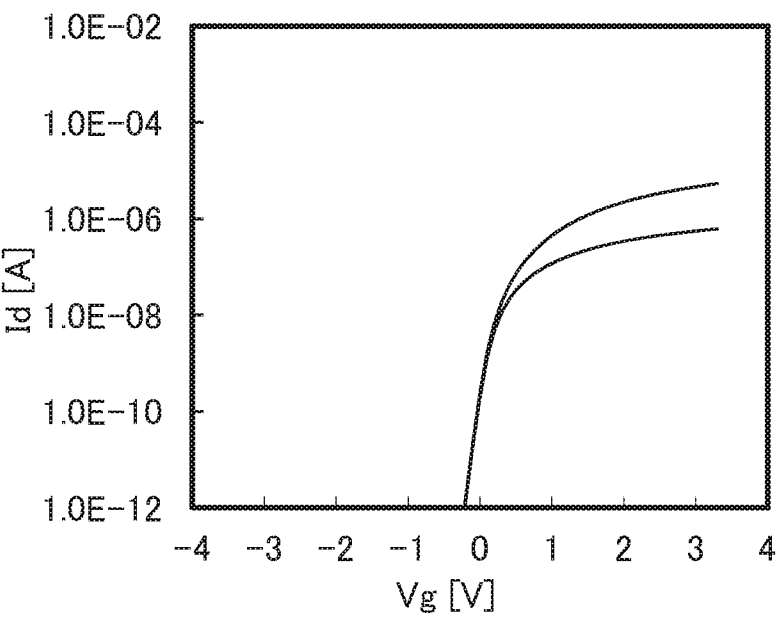


142/143

[図142]



[図 143]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/053239

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786 (2006.01) i, H01L21/28 (2006.01) i, H01L21/336 (2006.01) i,
H01L21/8242 (2006.01) i, H01L27/108 (2006.01) i, H01L29/417 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L21/8242, H01L27/108,
H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-192418 A (SONY CORP.) 06 October 2014, paragraphs [0017]-[0078], fig. 1 & US 2014/0291668 A1, paragraphs [0056]-[0124], fig. 1 & CN 104078511 A & KR 10-2014-0118785 A & TW 201438202 A	1-22
Y	JP 2013-175710 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 September 2013, paragraphs [0038]-[0151], [0288]-[0300], fig. 3, 18 & US 2013/0187152 A1, paragraphs [0067]-[0178], [0315]-[0327], fig. 3A-3E, 18B	1-22

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
27 July 2018 (27.07.2018)

Date of mailing of the international search report
07 August 2018 (07.08.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/053239

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-175717 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 September 2013, paragraphs [0113]-[0183] (Family: none)	1-22
Y	JP 2013-175711 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 September 2013, fig. 1 & US 2013/0193493 A1, fig. 1A-1C	21, 22

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/28, H01L21/336, H01L21/8242, H01L27/108, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-192418 A（ソニー株式会社）2014.10.06, 段落 [0017]-[0078], [図1] & US 2014/0291668 A1, 段落[0056]-[0124], 図1 & CN 104078511 A & KR 10-2014-0118785 A & TW 201438202 A	1-22
Y	JP 2013-175710 A（株式会社半導体エネルギー研究所）2013.09.05, 段落[0038]-[0151], [0288]-[0300], [図3], [図18] & US 2013/0187152 A1, 段落[0067]-[0178], [0315]-[0327], 図3A-3E, 図18B	1-22

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.07.2018

国際調査報告の発送日

07.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JIP）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

脇水 佳弘

電話番号 03-3581-1101 内線 3516

5F

3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-175717 A (株式会社半導体エネルギー研究所) 2013.09.05, 段落[0113]-[0183] (ファミリーなし)	1-22
Y	JP 2013-175711 A (株式会社半導体エネルギー研究所) 2013.09.05, [図 1] & US 2013/0193493 A1, 図 1A-1C	21, 22