

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 12 月 18 日 (18.12.2014)



(10) 国际公布号
WO 2014/198083 A1

- (51) 国际专利分类号:
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2013/081292
- (22) 国际申请日: 2013 年 8 月 12 日 (12.08.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310231385.8 2013 年 6 月 9 日 (09.06.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 尹静文 (YIN, Jingwen); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 吴仲远 (WU, Zhongyuan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 段立业 (DUAN, Liye); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街 32 号院枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: PIXEL CIRCUIT AND DRIVE METHOD THEREOF, AND DISPLAY DEVICE

(54) 发明名称: 一种像素电路及其驱动方法、显示装置

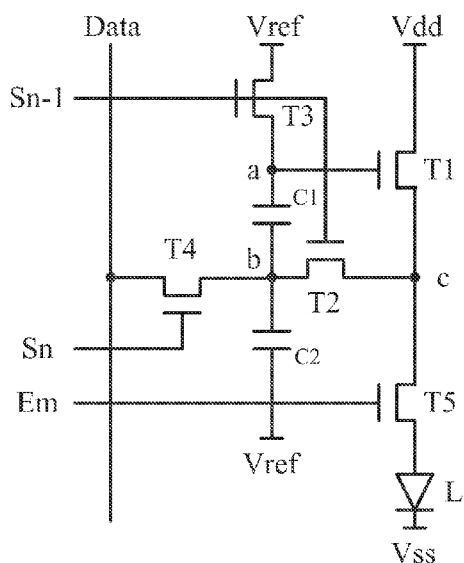


图 1 / FIG.1

(57) Abstract: A pixel circuit and drive method thereof, and display device; the pixel circuit comprises a first transistor (T1), a second transistor (T2), a third transistor (T3), a fourth transistor (T4), a fifth transistor (T5), a first storage capacitor (C1), a second storage capacitor (C2), and a light emitting device (L). The pixel circuit reduces the display brightness nonuniformity of a display device and extends the service life thereof by compensating for the threshold voltage drift of the first transistor (T1).

(57) 摘要: 一种像素电路及其驱动方法、显示装置, 其中像素电路包括: 第一晶体管 (T1)、第二晶体管 (T2)、第三晶体管 (T3)、第四晶体管 (T4)、第五晶体管 (T5)、第一存储电容 (C1)、第二存储电容 (C2) 以及发光器件 (L)。该像素电路通过对第一晶体管 (T1) 的阈值电压漂移进行补偿, 改善了显示装置显示亮度的不均匀性, 延长了显示装置的使用寿命。

一种像素电路及其驱动方法、显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

随着显示技术的急速进步，作为显示装置核心的半导体元件技术也随之得到了飞跃性的进步。对于现有的显示装置而言，有机发光二极管（Organic Light Emitting Diode, OLED）作为一种电流型发光器件，因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。OLED 按驱动方式可分为 PMOLED（Passive Matrix Driving OLED，无源矩阵驱动有机发光二极管）和 AMOLED（Active Matrix Driving OLED，有源矩阵驱动有机发光二极管）两种，由于 AMOLED 显示器具有低制造成本、高应答速度、省电、可用于便携式设备的直流驱动、工作温度范围大等优点而可望成为取代 LCD(liquid crystal display, 液晶显示器)的下一代新型平面显示器。

在现有的 AMOLED 显示面板中，每个 OLED 均包括多个 TFT(Thin Film Transistor, 薄膜晶体管)开关电路，由于生产工艺和制作水平等的限制，导致在大面积玻璃基板上制作的 TFT 开关电路常常在诸如阈值电压、迁移率等电学参数上出现非均匀性，从而使得流经 AMOLED 的电流不仅会随着 TFT 长时间导通所产生的导通电压应力的变化而改变，而且还会随着 TFT 的阈值电压漂移而有所不同。如此一来，将会影响到显示器的亮度均匀性与亮度恒定性。另一方面，由于工作状态下的 AMOLED 还将长时间处于偏压状态，因此，加快了显示装置衰减的速率，从而降低了显示装置的寿命。

发明内容

本发明的实施例提供一种像素电路及其驱动方法、显示装置，用以对 TFT 阈值电压漂移进行补偿，改善显示装置显示亮度的不均匀性，延长显示装置

的使用寿命。

为达到上述目的，本发明的实施例采用如下技术方案：

本发明实施例的一方面，提供一种像素电路，包括：

第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一存储电容、第二存储电容及发光器件；

所述第一晶体管的栅极连接所述第三晶体管的第一极，所述第一晶体管的第一极连接所述第五晶体管的第二极，所述第一晶体管的第二极连接第一电压；

所述第二晶体管的栅极连接第一控制线，所述第二晶体管的第一极连接所述第四晶体管的第二极，所述第二晶体管的第二极连接所述第五晶体管的第二极；

所述第三晶体管的栅极连接所述第一控制线，所述第三晶体管的第一极连接所述第一存储电容的一端，所述第三晶体管的第二极连接可变电电压；

所述第四晶体管的栅极连接第二控制线，所述第四晶体管的第一极连接数据线；

所述第五晶体管的栅极连接发光控制线，所述第五晶体管的第一极连接所述发光器件的阳极；

所述第二存储电容的一端与所述第一存储电容的另一端相连，所述第二存储电容的另一端连接所述可变电电压；

所述发光器件的阴极连接第二电压。

本发明实施例的另一方面，提供一种显示装置，包括如上所述的像素电路。

本发明实施例的又一方面，提供一种像素电路驱动方法，包括：

导通第二晶体管、第三晶体管、第四晶体管、第五晶体管，关闭第一晶体管，同时向数据线输入低电平，并清除发光器件阳极的电荷；

关闭所述第四晶体管和所述第五晶体管，导通所述第二晶体管和所述第三晶体管，可变电电压控制所述第一晶体管导通，将所述第一晶体管阈值电压存储在第一存储电容中；

导通所述第四晶体管，关闭所述第二晶体管、所述第三晶体管、所述第

五晶体管，将数据线输入的高电平储存在第二存储电容中；

关闭所述第二晶体管、所述第三晶体管和所述第四晶体管，导通所述第一晶体管、所述第五晶体管，通过所述第一晶体管和所述第五晶体管的电流驱动所述发光器件发光。

本发明实施例提供的像素电路及其驱动方法、显示装置，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得存储电容保持第一晶体管的栅极和源极之间的栅源电压不变，从而使得通过第一晶体管的电流与该第一晶体管的阈值电压及第一电压无关，从而对第一晶体管阈值电压的不一致或漂移进行了补偿，避免了第一电压的电阻压降（I-R drop）对流过发光器件的电流所造成的影响，显著改善了显示装置显示亮度的均匀性，另一方面，通过清除发光器件阳极的电荷，避免了发光器件长时间处于正偏压状态，从而有效减缓了发光器件衰减的速率，大大提高了显示装置的使用寿命。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1为本发明实施例提供的一种像素电路的连接结构示意图；

图2为驱动图1所示像素电路时各信号线的时序图；

图3为图1所示像素电路在初始化阶段的等效电路示意图；

图4为图1所示像素电路在采集阶段的等效电路示意图；

图5为图1所示像素电路在数据输入阶段的等效电路示意图；

图6为图1所示像素电路在发光阶段的等效电路示意图；

图7为本发明实施例提供的一种像素电路驱动方法的流程示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而

不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明实施例提供的像素电路 1，如图 1 所示，包括：

第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第一存储电容 C1、第二存储电容 C2 以及发光器件 L。

第一晶体管 T1 的栅极连接第三晶体管 T3 的第一极，第一晶体管 T1 的第一极连接第五晶体管 T5 的第二极，第一晶体管 T1 的第二极连接第一电压（Vdd）。

第二晶体管 T2 的栅极连接第一控制线 Sn-1，第二晶体管 T2 的第一极连接第四晶体管 T4 的第二极，第二晶体管 T2 的第二极连接第五晶体管 T5 的第二极。

第三晶体管 T3 的栅极连接第一控制线 Sn-1，第三晶体管 T3 的第一极连接第一存储电容 C1 的一端，其第二极连接可变电电压（Vref）。

第四晶体管 T4 的栅极连接第二控制线 Sn，第四晶体管 T4 的第一极连接数据线 Data。

所述第五晶体管 T5 的栅极连接发光控制线 Em，所述第五晶体管 T5 的第一极连接发光器件 L 的阳极。

第二存储电容 C2 的一端与第一存储电容 C1 的另一端相连，第二存储电容 C2 的另一端连接可变电电压（Vref）。

发光器件 L 的阴极连接第二电压（Vss）。

需要说明的是，本发明实施例中的发光器件 L 可以是现有技术中包括 LED（Light Emitting Diode，发光二极管）或 OLED（Organic Light Emitting Diode，有机发光二极管）在内的多种电流驱动发光器件。在本发明实施例中，是以 OLED 为例进行的说明。

本发明实施例提供的像素电路及其驱动方法、显示装置，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得存储电容保持第一晶体管的栅极和源极之间的栅源电压不变，从而使得通过第一晶体管的电流与该第一晶体管的阈值电压及第一电压无关，从而对第一晶体管阈值电压的不一致或漂移进行了补偿，避免了第一电压的电阻压降（I-R drop）对流过发光器件

的电流所造成的影响，显著改善了显示装置显示亮度的均匀性，另一方面，通过清除发光器件阳极的电荷，避免了发光器件长时间处于正偏压状态，从而有效减缓了发光器件衰减的速率，大大提高了显示装置的使用寿命。

需要说明的是，在本发明实施例中，电压 V_{dd} 可以是指高电压，电压 V_{ss} 可以是低电压或接地端。

其中，第一晶体管 $T1$ 的类型与第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 和第五晶体管 $T5$ 的类型相同或者不同。例如，第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 和第五晶体管 $T5$ 可以均为 N 型晶体管；或者第一晶体管 $T1$ 可以为 N 型晶体管，第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 以及第五晶体管 $T5$ 可以均为 P 型晶体管；或者第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 和第五晶体管 $T5$ 可以均为 P 型晶体管；或者第一晶体管 $T1$ 可以为 P 型晶体管，第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 以及第五晶体管 $T5$ 可以均为 N 型晶体管。当采用不同类型的晶体管时，像素电路的外部控制信号也各不相同。

例如，以 N 型晶体管为例，在本发明实施例所提供的像素电路中，第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 以及第五晶体管 $T5$ 均可以为 N 型增强型 TFT（Thin Film Transistor，薄膜晶体管）或 N 型耗尽型 TFT。其中，第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 和第五晶体管 $T5$ 的第一极均可以指的是源极，第二极则均可以指的是漏极。

以下以第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 和第五晶体管 $T5$ 均为 N 型耗尽型 TFT 为例，对本发明实施例提供的像素电路的工作过程进行详细说明。

图 1 所示的像素电路工作时，其工作过程具体可以分为四个阶段，分别为：初始化阶段、采集阶段、数据输入阶段和发光阶段。图 2 是图 1 所示像素电路工作过程中各信号线的时序图。如图 2 所示，在图中分别用 P_r 、 P_1 、 P_2 和 P_3 来相应地表示初始化阶段、采集阶段、数据输入阶段和发光阶段。

第一阶段为初始化阶段，该阶段的等效电路如图 3 所示，其中，实际通电路径和器件采用实线表示，未通电单元采用虚线表示，以下各等效电路图

与该图的表示方式相同。在初始化阶段，第一控制线 Sn-1、第二控制线 Sn 和发光控制线 Em 输入高电平，可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为低电平。如图 3 所示第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 被导通，第一晶体管 T1 被关闭，第一存储电容 C1 和第二存储电容 C2 被重置，并且第二晶体管 T2 的第一极与第四晶体管 T4 的第二极相连的节点 b 处的电压为低电压 (Vdata)，所以发光器件 L 的阳极电位为该低电位 (Vdata)，所以发光器件 L 上储存的电荷通过被导通的第五晶体管 T5、第二晶体管 T2 及第四晶体管 T4 输出，这样一来，可以使得 OLED 阳极长时间存储的电荷被清除，从而确保其不处于正偏压状态，从而减缓 OLED 衰减的速度，提高显示装置的寿命。

第二阶段为采集阶段，该阶段的等效电路如图 4 所示。在该采集阶段，可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为高电平，第一控制线 Sn-1 输入高电平、第二控制线 Sn 和发光控制线 Em 输入低电平。如图 4 所示，第四晶体管 T4 和第五晶体管 T5 被关闭，第二晶体管 T2 和第三晶体管 T3 被导通，可变电压 (Vref) 输入的高电平使得第一晶体管 T1 导通，第一晶体管 T1 的栅极与第三晶体管 T3 的第一极相连的节点 a 处的电压为高电压 (Vref)，因为该电压使得第一晶体管 T1 刚好导通，从而使得与第一存储电容的另一端电位相同的 c 点电位升为 $V_{ref}-V_{th}$ ，其中 V_{th} 为第一晶体管的阈值电压，其被存储在第二存储电容 C2 中。

第三阶段为数据输入阶段，该阶段的等效电路如图 5 所示。在这个阶段可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为高电平，第二控制线 Sn 输入高电平、第一控制线 Sn-1 和发光控制线 Em 输入低电平。如图 5 所示，第二晶体管 T2、第三晶体管 T3、第五晶体管 T5 被关闭，第四晶体管 T4 被导通，数据线 Data 输出的数据电压 (Vdata) 存储于第二存储电容 C2 中。此时，节点 b 的电压为 (Vdata)。因为第二阶段中第一晶体管的阈值电压 V_{th} 已存储于第二存储电容 C1 中，从而使得节点 a 的电位提升为：

$$A=V_{ref}+V_{data}-V_{ref}+V_{th}=V_{data}+V_{th}。$$

第四阶段为发光阶段，该阶段的等效电路如图 6 所示。在这个阶段，可变电压 (Vref)、发光控制线 Em 为高电平，第一控制线 Sn-1、第二控制线 Sn

和数据线 Data 输出的数据电压 (Vdata) 输入低电平。如图 6 所示, 第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 被关闭, 第一晶体管 T1、第五晶体管 T5 被导通。此时, 使得第一晶体管导通的电压为第三阶段中节点 a 处的电压, 即 $V_{gs}=V_{data}+V_{th}$, 因此流过第一晶体管 T1 的电流驱动 OLED 发光, 该电流 IOLED 为:

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \times K \times (V_{gs} - V_{th})^2 = \frac{1}{2} \times K \times (V_{data} + V_{th} - V_{th})^2 \\ &= \frac{1}{2} \times K \times (V_{data})^2 \end{aligned} \quad (1)$$

其中, K 为关联于第一晶体管 T1 的电流常数, Vdata 为数据电压, Vref 为可变电压, Vth 为晶体管的阈值电压。现有技术中, 不同像素单元之间的 Vth 不尽相同, 且同一像素中的 Vth 还有可能随时间发生漂移, 这将造成显示亮度差异, 由于这种差异与之前显示的图像有关, 因此常呈现为残影现象。

由以上公式 (1) 可知, 用于驱动 OLED 发光的电流 IOLED 与第一晶体管 T1 的阈值电压 Vth 无关, 而且该电流也不受第一电压 (Vdd) 的控制。因此消除了晶体管阈值电压非均匀型及第一电压的电阻压降 (I-R drop) 对显示效果的影响。通过多个晶体管和电容对电路进行开关和充放电控制, 可以使得存储电容保持第一晶体管的栅极和源极之间的栅源电压不变, 从而使得通过第一晶体管的电流与该第一晶体管的阈值电压及第一电压无关, 从而对第一晶体管阈值电压的不一致或漂移进行了补偿, 避免了第一电压的 I-R drop 对流过发光器件的电流所造成的影响, 显著改善了显示装置显示亮度的均匀性, 另一方面, 通过清除发光器件阳极的电荷, 避免了发光器件长时间处于正偏压状态, 从而有效减缓了发光器件衰减的速率, 大大提高了显示装置的使用寿命。

需要说明的是, 在上述实施例中, 晶体管均是以 N 型耗尽型 TFT 为例进行的说明。或者, 同样可以采用 N 型增强型 TFT, 其不同之处在于, 对于耗尽型 TFT, 阈值电压 Vth 为负值, 而对于增强型 TFT, 阈值电压 Vth 为正值。

此外, 第一晶体管 T1 还可以采用 N 型晶体管, 第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 均可以为 P 型晶体管, 驱动这样一种结构的像素电路的外部信号的时序也应当做相应的调整, 其中, 第一控制线 Sn-1、第二控制线 Sn 以及发光控制线 Em 的时序与图 2 中所示的相应信

号的时序相反（即二者的相位差为 180 度）。

或者，第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 和第五晶体管 T5 均为 P 型晶体管，驱动这样一种结构的像素电路的外部信号的时序也应当做相应的调整，其中，第一控制线 Sn-1、第二控制线 Sn、可变电压（Vref）、数据电压（Vdata）以及发光控制线 Em 的时序与图 2 中所示的相应信号的时序相反（即二者的相位差为 180 度）。

或者，第一晶体管 T1 为 P 型晶体管，第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 均为 N 型晶体管，驱动这样一种结构的像素电路的外部信号的时序也应当做相应的调整，其中，可变电压 Vref 和数据电压（Vdata）的时序与图 2 中所示的相应信号的时序相反（即二者的相位差为 180 度）。

本发明实施例还提供一种显示装置，包括如上所述的任意一种像素电路。所述显示装置可以包括多个像素单元阵列，每一个像素单元包括如上所述的任意一个像素电路。具有与本发明前述实施例提供的像素电路相同的有益效果，由于像素电路在前述实施例中已经进行了详细说明，此处不再赘述。

具体的，本发明实施例所提供的显示装置可以是包括 LED 显示器或 OLED 显示器在内的具有电流驱动发光器件的显示装置。

本发明实施例提供的显示装置，包括像素电路，通过多个晶体管和电容对电路进行开关和充放电控制，可以使得存储电容保持第一晶体管栅极和源极之间的栅源电压不变，从而使得通过第一晶体管的电流与该第一晶体管的阈值电压及第一电压无关，从而对第一晶体管阈值电压的不一致或漂移进行了补偿，避免了第一电压的 I-R drop 对流过发光器件的电流所造成的影响，显著改善了显示装置显示亮度的均匀性，另一方面，通过清除发光器件阳极的电荷，避免了发光器件长时间处于正偏压状态，从而有效减缓了发光器件衰减的速率，大大提高了显示装置的使用寿命。

本发明实施例提供的像素电路驱动方法，可以应用于前述实施例中所提供的像素电路，如图 7 所示，包括：

步骤 S701，导通第二晶体管、第三晶体管、第四晶体管、第五晶体管，关闭第一晶体管，同时向数据线输入低电平，并清除发光器件阳极的电荷。

步骤 S702, 关闭第四晶体管和第五晶体管, 导通第二晶体管和第三晶体管, 可变电压控制第一晶体管导通, 第一晶体管阈值电压存储在所述第一存储电容中;

步骤 S703、导通第四晶体管, 关闭第二晶体管、第三晶体管、第五晶体管, 向数据线输入的高电平储存在第二存储电容中;

步骤 S704、关闭第二晶体管、第三晶体管和第四晶体管, 导通第一晶体管和第五晶体管, 通过第一晶体管和第五晶体管的电流驱动所述发光器件发光。

本发明实施例提供的像素电路驱动方法, 通过多个晶体管和电容对电路进行开关和充放电控制, 可以使得存储电容保持第一晶体管的栅极和源极之间的栅源电压不变, 从而使得通过第一晶体管的电流与该第一晶体管的阈值电压及第一电压无关, 从而对第一晶体管阈值电压的不一致或漂移进行了补偿, 避免了第一电压的 I-R drop 对流过发光器件的电流所造成的影响, 显著地改善了显示装置显示亮度的均匀性, 另一方面, 通过清除发光器件阳极的电荷, 避免了发光器件长时间处于正偏压状态, 从而有效减缓了发光器件衰减的速率, 大大提高了显示装置的使用寿命。

需要说明的是, 本发明实施例中的发光器件可以是现有技术中包括 LED 或 OLED 在内的多种电流驱动发光器件。

其中, 第一晶体管 T1 的类型与第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 和第五晶体管 T5 的类型相同或者不同。例如, 第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管均可以为 N 型晶体管; 或者第一晶体管为 N 型晶体管, 第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 均可以为 P 型晶体管; 或者第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 和第五晶体管 T5 均为 P 型晶体管; 或者第一晶体管 T1 为 P 型晶体管, 第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 均为 N 型晶体管。

例如, 以 N 型晶体管为例, 在本发明实施例所提供的像素电路中, 第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 以及第五晶体管 T5 均可以为 N 型增强型 TFT 或 N 型耗尽型 TFT。

需要说明的是，当第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管均为 N 型耗尽型晶体管时，控制信号的时序可以如图 2 所示，包括：

初始化阶段：向第一控制线、第二控制线和发光控制线输入高电平，向可变电压和数据线输入低电平；

采集阶段：向第二控制线和发光控制线输入低电平，向第一控制线、可变电压和数据线输入高电平；

数据输入阶段：向第一控制线和发光控制线输入低电平，向第二控制线、可变电压和数据线输入高电平；

发光阶段：向第一控制线、第二控制线和数据线输入低电平，向可变电压和发光控制线输入高电平。

例如，当该第一晶体管、第二晶体管、第三晶体管、第四晶体管以及第五晶体管均为 N 型耗尽型薄膜晶体管时，步骤 S701 具体可以包括：

该步骤为初始化阶段，参照图 2 所示，在初始阶段中，第一控制线 Sn-1、第二控制线 Sn 和发光控制线 Em 输入高电平，可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为低电平。如图 3 所示第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 被导通，第一晶体管 T1 被关闭，第一存储电容 C1 和第二存储电容 C2 被重置，并且第二晶体管 T2 的第一极与第四晶体管 T4 的第二极相连的节点 b 处的电压为低电压 (Vdata)，所以发光器件 L 的阳极电位为该低电压 (Vdata)，所以发光器件 L 上储存的电荷通过被导通的第五晶体管 T5、第二晶体管 T2 及第四晶体管 T4 输出，这样一来，可以使得 OLED 阳极长时间存储的电荷被清除，从而确保其不处于正偏压状态，从而减缓 OLED 衰减的速度，提高显示装置的寿命。

相应的，步骤 S702 具体可以包括：

该步骤为采集阶段，在该采集阶段，可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为高电平，向第一控制线 Sn-1 输入高电平、向第二控制线 Sn 和发光控制线 Em 输入低电平。如图 4 所示，第四晶体管 T4 被关闭、第五晶体管 T5，第二晶体管 T2、第三晶体管 T3 被导通，可变电压 (Vref) 输入的高电平使得第一晶体管 T1 导通，第一晶体管 T1 的栅极与第三晶体管

T3 的第一极相连的节点 a 处的电压为高电压 (Vref)，因为该电压使得第一晶体管 T1 刚好导通，从而使与第一存储电容的另一端电位相同的 c 点电位升为 $V_{ref}-V_{th}$ ，其中 V_{th} 为第一晶体管的阈值电压，其被存储在第一存储电容 C1 中。

步骤 S703 具体可以包括：

该步骤为数据输入阶段，在这个阶段，可变电压 (Vref) 和数据线 Data 输出的数据电压 (Vdata) 为高电平，向第二控制线 Sn 输入高电平、向第一控制线 Sn-1 和发光控制线 Em 输入低电平。如图 5 所示，第二晶体管 T2、第三晶体管 T3、第五晶体管 T5 被关闭，第四晶体管 T4 被导通，数据线 Data 输出的数据电压 (Vdata) 存储于第二存储电容 C2 中。此时，节点 b 的电压为 (Vdata)。因为第二阶段中第一晶体管的阈值电压 V_{th} 已存储于第一存储电容 C1 中，从而使得节点 a 的电位提升为：

$$A=V_{ref}+V_{data}-V_{ref}+V_{th}=V_{data}+V_{th}。$$

步骤 S704 具体可以包括：

该步骤为发光阶段，在这个阶段，可变电压 (Vref)、发光控制线 Em 为高电平，向第一控制线 Sn-1、第二控制线 Sn 和数据线 Data 输出的数据电压 (Vdata) 输入低电平。如图 6 所示，第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 被关闭，第一晶体管 T1、第五晶体管 T5 被导通。此时，使得第一晶体管导通的电压为第三阶段中节点 a 处的电压，即 $V_{gs}=V_{data}+V_{th}$ ，因此流过第一晶体管 T1 的电流驱动 OLED 发光，该电流 I_{OLED} 与第一晶体管 T1 的阈值电压 V_{th} 无关，而且该电流也不受第一电压 (Vdd) 的控制。因此消除了晶体管阈值电压非均匀型及第一电压的电阻压降 I-R drop 对显示效果的影响。

本领域普通技术人员可以理解：实现上述方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限

于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1. 一种像素电路，其特征在于，包括：

第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第一存储电容、第二存储电容及发光器件；

所述第一晶体管的栅极连接所述第三晶体管的第一极，所述第一晶体管的第一极连接所述第五晶体管的第二极，所述第一晶体管的第二极连接第一电压；

所述第二晶体管的栅极连接第一控制线，所述第二晶体管的第一极连接所述第四晶体管的第二极，所述第二晶体管的第二极连接所述第五晶体管的第二极；

所述第三晶体管的栅极连接所述第一控制线，所述第三晶体管的第一极连接所述第一存储电容的一端，所述第三晶体管的第二极连接可变电电压；

所述第四晶体管的栅极连接第二控制线，所述第四晶体管的第一极连接数据线；

所述第五晶体管的栅极连接发光控制线，所述第五晶体管的第一极连接所述发光器件的阳极；

所述第二存储电容的一端与所述第一存储电容的另一端相连，所述第二存储电容的另一端连接所述可变电电压；

所述发光器件的阴极连接第二电压。

2. 根据权利要求 1 所述的像素电路，其特征在于，所述第一晶体管的类型与所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管的类型相同或者不同。

3. 根据权利要求 2 所述的像素电路，其特征在于，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管均为 N 型晶体管或 P 型晶体管。

4. 根据权利要求 2 所述的像素电路，其特征在于，

所述第一晶体管为 N 型晶体管，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管均为 P 型晶体管；或，

所述第一晶体管为 P 型晶体管，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管均为 N 型晶体管。

5. 根据权利要求 1 所述的像素电路，其特征在于，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管的第一极均为源级，第二极均为漏级。

6. 根据权利要求 1 或 5 所述的像素电路，其特征在于，所述晶体管包括耗尽型薄膜晶体管或增强型薄膜晶体管。

7. 根据权利要求 1 或 5 所述的像素电路，其特征在于，所述发光器件为有机发光二极管。

8. 一种显示装置，其特征在于，包括根据权利要求 1 至 7 中任意一项所述的像素电路。

9. 一种像素电路驱动方法，其特征在于，包括：

导通第二晶体管、第三晶体管、第四晶体管、第五晶体管，关闭第一晶体管，同时向数据线输入低电平，并清除发光器件阳极的电荷；

关闭所述第四晶体管和所述第五晶体管，导通所述第二晶体管和所述第三晶体管，可变电压控制所述第一晶体管导通，将所述第一晶体管阈值电压存储在第一存储电容中；

导通所述第四晶体管，关闭所述第二晶体管、所述第三晶体管、所述第五晶体管，将数据线输入的高电平储存在第二存储电容中；

关闭所述第二晶体管、所述第三晶体管和所述第四晶体管，导通所述第一晶体管、所述第五晶体管，通过所述第一晶体管和所述第五晶体管的电流驱动所述发光器件发光。

10. 根据权利要求 9 所述的像素电路驱动方法，其特征在于，所述第一晶体管的类型与所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管的类型相同或者不同。

11. 根据权利要求 10 所述的像素电路驱动方法，其特征在于，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管均为 N 型晶体管或 P 型晶体管。

12. 根据权利要求 10 所述的像素电路驱动方法，其特征在于，

所述第一晶体管为 N 型晶体管，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管均为 P 型晶体管；或，

所述第一晶体管为 P 型晶体管，所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管均为 N 型晶体管。

13. 根据权利要求 9 或 10 所述的像素电路驱动方法，其特征在于，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管和所述第五晶体管的第一极均为源级，第二极均为漏级。

14. 根据权利要求 9 或 10 所述的像素电路驱动方法，其特征在于，所述晶体管包括耗尽型薄膜晶体管或增强型薄膜晶体管。

15. 根据权利要求 14 所述的像素电路驱动方法，其特征在于，当所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管以及所述第五晶体管均为 N 型耗尽型薄膜晶体管时，控制信号的时序包括：

初始化阶段：向第一控制线、第二控制线和所述发光控制线输入高电平，向所述可变电电压和所述数据线输入低电平；

采集阶段：向所述第二控制线和所述发光控制线输入低电平，向所述第一控制线、所述可变电电压和所述数据线输入高电平；

数据输入阶段：向所述第一控制线和所述发光控制线输入低电平，向所述第二控制线、所述可变电电压和所述数据线输入高电平；

发光阶段：向所述第一控制线、所述第二控制线、所述可变电电压和所述数据线输入低电平，向所述发光控制线输入高电平。

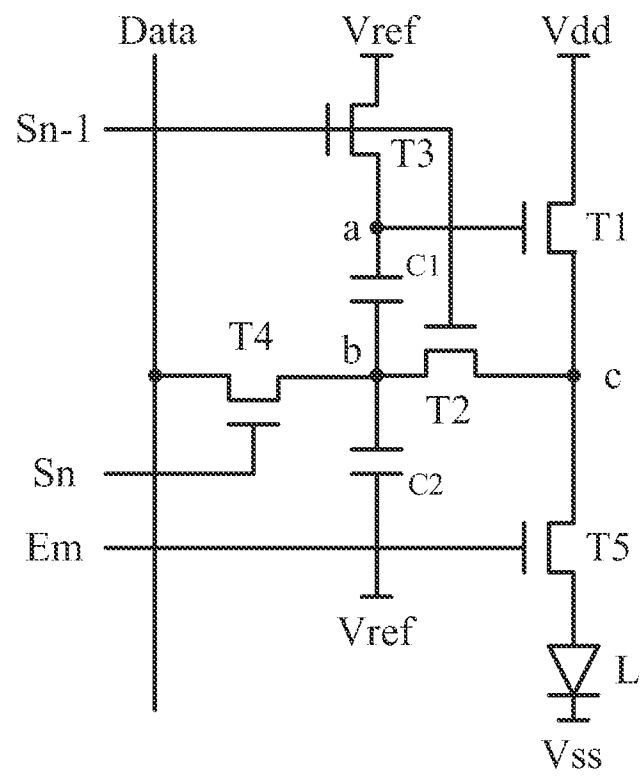


图 1

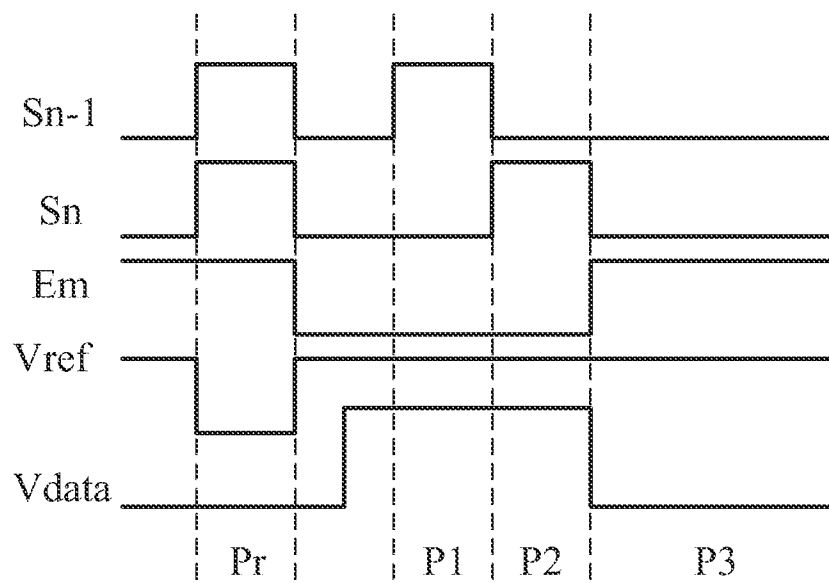


图 2

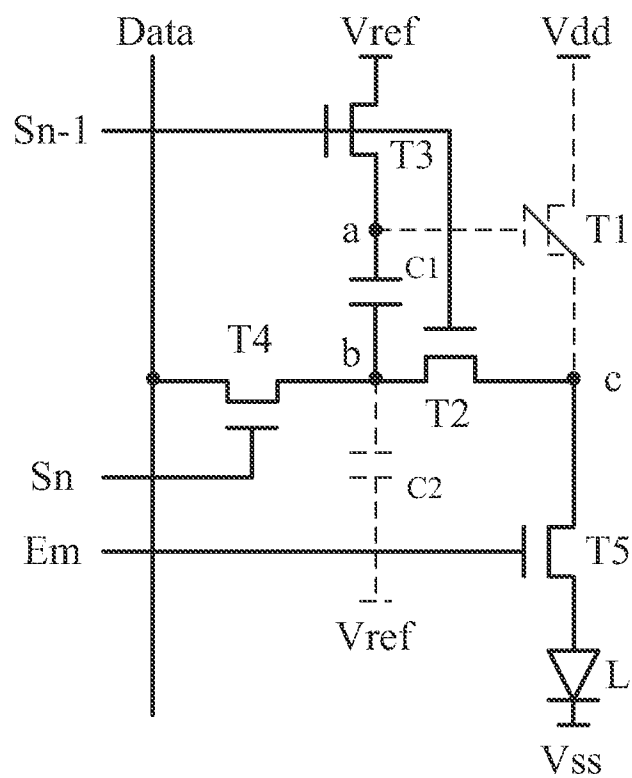


图 3

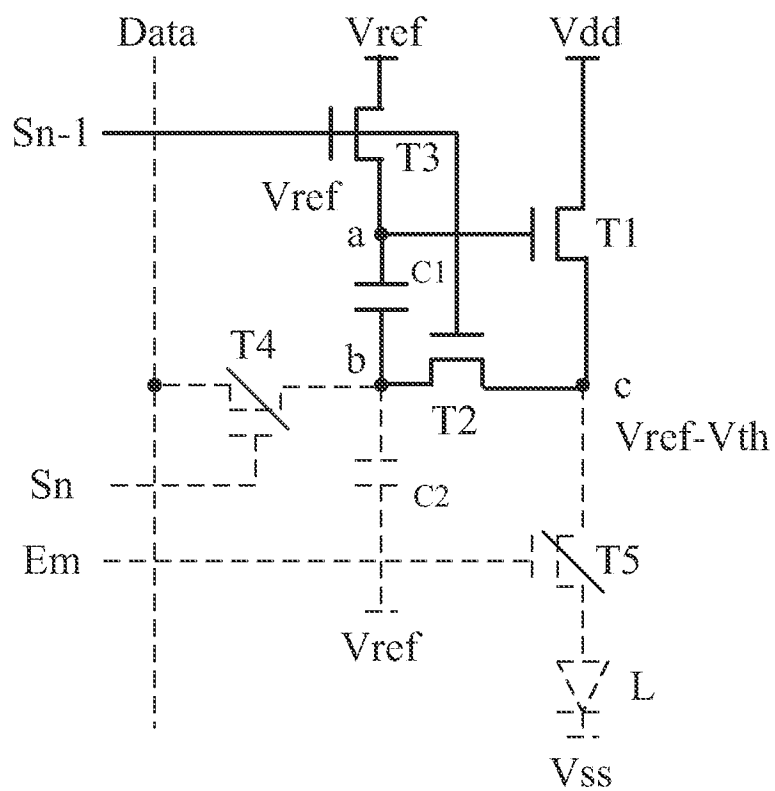


图 4

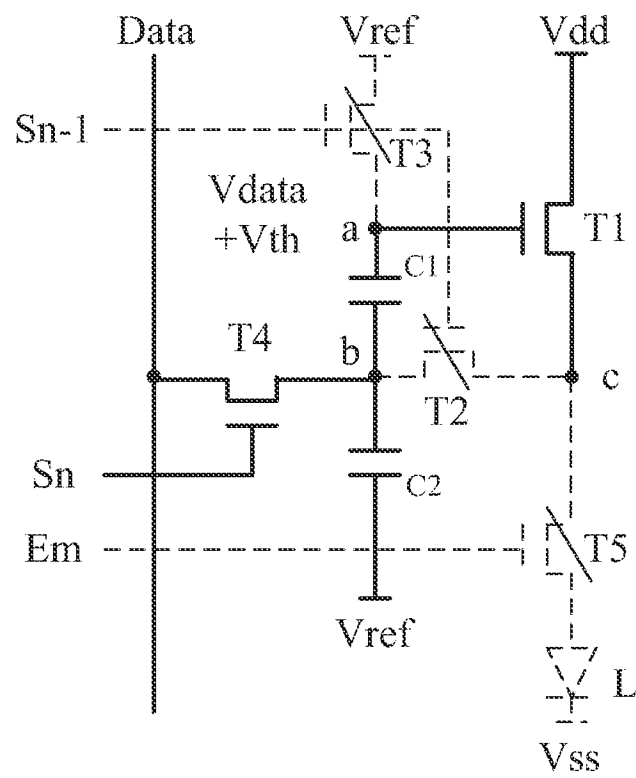


图 5

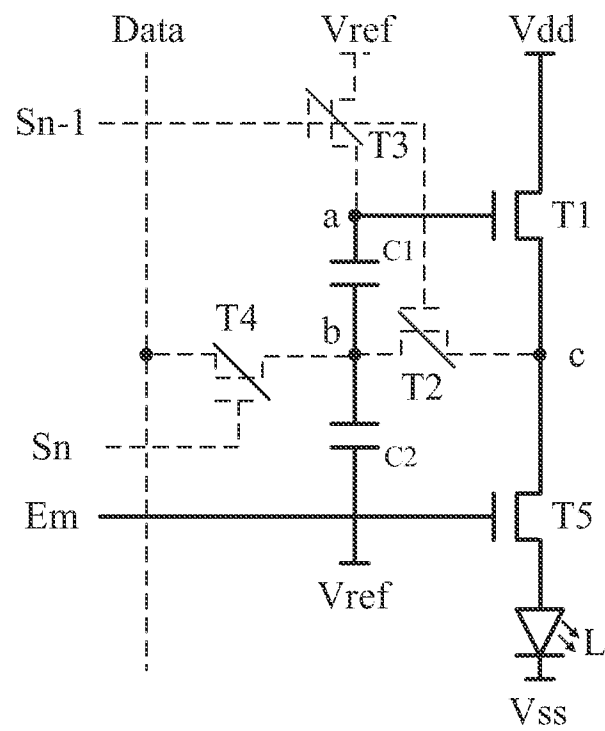


图 6

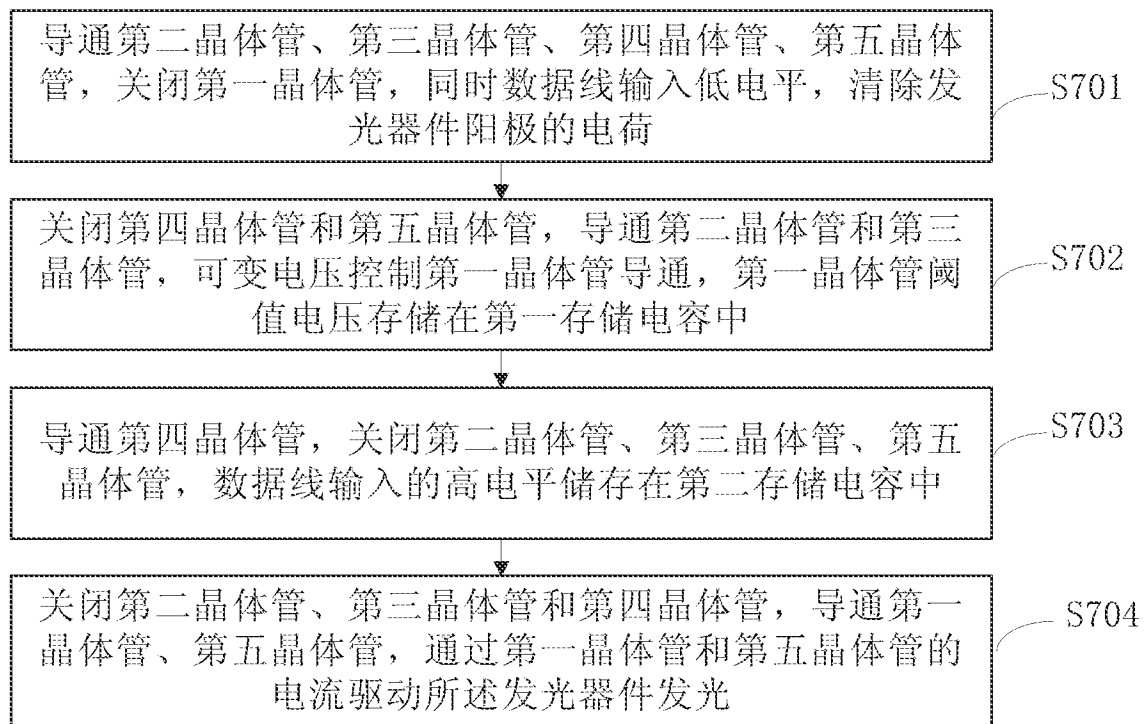


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/081292**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3, H05B 33, H05B 37

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT: transistor, TFT, switch, five, four, capacitance, two, threshold, voltage, luminance, uniform

VEN: TFT, transistor+, switch+, five, fifth+, four, forth+, forthieth+, capaci+, two, second+, threshold+, voltage+, bright+, lumin+, uniform+, even+, average+, homogen+, flareout+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101866614 A (SAMSUNG MOBILE DISPLAY CO., LTD.), 20 October 2010 (20.10.2010), description, paragraphs [0029]-[0064], and figures 1-5	1-15
A	CN 101256732 A (SAMSUNG SDI CO., LTD.), 03 September 2008 (03.09.2008), the whole document	1-15
A	US 2010/0220038 A1 (CHUNG, B. et al.), 02 September 2010 (02.09.2010), the whole document	1-15
A	KR 20100072645 A (LG DISPLAY CO., LTD.), 01 July 2010 (01.07.2010), the whole document	1-15
A	JP 2006251632 A (SONY CORP.), 21 September 2006 (21.09.2006), the whole document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 February 2014 (25.02.2014)Date of mailing of the international search report
20 March 2014 (20.03.2014)Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

LIU, XueTelephone No.: (86-10) **62085841**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/081292

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101866614 A	20.10.2010	EP 2242039 B1	02.11.2011
		EP 2242039 A1	20.10.2010
		US 2010265166 A1	21.10.2010
		KR 20100115062 A	27.10.2010
		JP 5074468 B2	14.11.2012
		KR 1008482 B1	14.01.2011
		CN 101866614 B	14.08.2013
		JP 2010250260 A	04.11.2010
CN 101256732 A	03.09.2008	JP 2008216962 A	18.09.2008
		CN 101256732 B	29.09.2010
		KR 100865394 B1	24.10.2008
		JP 4680964 B2	11.05.2011
		KR 20080080712 A	05.09.2008
		US 8334825 B2	18.12.2012
		US 2008211747 A1	04.09.2008
		EP 1968038 A1	10.09.2008
		US 7916102 B2	29.03.2011
		KR 1040893 B1	16.06.2011
US 2010/0220038 A1	02.09.2010	KR 20100097874 A	06.09.2010
		None	
KR 20100072645 A	01.07.2010	None	
JP 2006251632 A	21.09.2006	None	

A. 主题的分类

G09G3/32 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3, H05B33, H05B37

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT: 晶体管, TFT, 开关, 五, 四, 电容, 二, 两, 阈值, 电压, 亮度, 均匀

VEN: TFT, transistor+, switch+, five, fifth+, four, fo?rth+, fo?rtieth+, capaci+, two, sencond+, threshold+,
voltage+, bright+, lumin+, uniform+, even+, averag+, homogen+, flareout+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101866614A (三星移动显示器株式会社) 20.10 月 2010 (20.10.2010) 说明书第[0029]段至第[0064]段、附图 1-5	1-15
A	CN101256732A (三星 SDI 株式会社) 03.9 月 2008 (03.09.2008) 全文	1-15
A	US2010/0220038A1 (CHUNG B 等) 02.9 月 2010 (02.09.2010) 全文	1-15
A	KR20100072645A (LG DISPLAY CO LTD) 01.7 月 2010 (01.07.2010) 全文	1-15
A	JP2006251632A (SONY CORP) 21.9 月 2006 (21.09.2006) 全文	1-15

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

25.2 月 2014 (25.02.2014)

国际检索报告邮寄日期

20.3 月 2014 (20.03.2014)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

刘雪

电话号码: (86-10) 62085841

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/081292

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101866614A	20.10.2010	EP2242039B1	02.11.2011
		EP2242039A1	20.10.2010
		US2010265166A1	21.10.2010
		KR20100115062A	27.10.2010
		JP5074468B2	14.11.2012
		KR1008482B1	14.01.2011
		CN101866614B	14.08.2013
		JP2010250260A	04.11.2010
CN101256732A	03.09.2008	JP2008216962A	18.09.2008
		CN101256732B	29.09.2010
		KR100865394B1	24.10.2008
		JP4680964B2	11.05.2011
		KR20080080712A	05.09.2008
		US8334825B2	18.12.2012
		US2008211747A1	04.09.2008
		EP1968038A1	10.09.2008
US2010/0220038A1	02.09.2010	US7916102B2	29.03.2011
		KR1040893B1	16.06.2011
		KR20100097874A	06.09.2010
KR20100072645A	01.07.2010	无	
JP2006251632A	21.09.2006	无	