



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I501232 B

(45)公告日：中華民國 104 (2015) 年 09 月 21 日

(21)申請案號：102102522

(22)申請日：中華民國 102 (2013) 年 01 月 23 日

(51)Int. Cl. : G11C11/56 (2006.01)

G11C16/10 (2006.01)

(30)優先權：2012/01/24 美國

13/356,694

2012/05/15 美國

13/471,483

(71)申請人：蘋果公司(美國) APPLE INC. (US)

美國

(72)發明人：葛吉 艾尤 GURGI, EYAL (IL)；卡索拉 優佛 KASORLA, YOAV (IL)；沙威
歐佛 SHALVI, OFIR (IL)

(74)代理人：陳長文

(56)參考文獻：

US 6044004

US 7656710B1

US 8085586B2

US 2004/0114437A1

US 2006/0158940A1

US 2008/0181001A1

US 2009/0043951A1

US 2010/0199150A1

審查人員：蕭明椿

申請專利範圍項數：16 項 圖式數：7 共 30 頁

(54)名稱

用於類比記憶體單元之增強之程式化及抹除方案

ENHANCED PROGRAMMING AND ERASURE SCHEMES FOR ANALOG MEMORY CELLS

(57)摘要

一種用於資料儲存之方法，其包括藉由執行將一脈衝序列施加至一類比記憶體單元群組中之該等記憶體單元之一反覆程序而將該類比記憶體單元群組設定至各別類比值。在該反覆程序期間，評定該反覆程序之一進度，且回應於該經評定進度來修改該反覆程序之一參數。根據該經修改參數而繼續該反覆程序。

A method for data storage includes setting a group of analog memory cells to respective analog values by performing an iterative process that applies a sequence of pulses to the memory cells in the group. During the iterative process, a progress of the iterative process is assessed, and a parameter of the iterative process is modified responsively to the assessed progress. The iterative process is continued in accordance with the modified parameter.

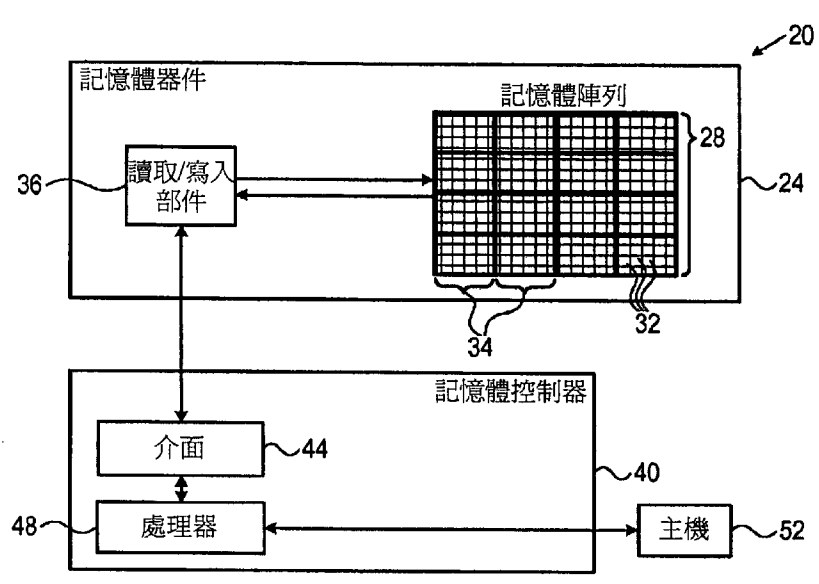
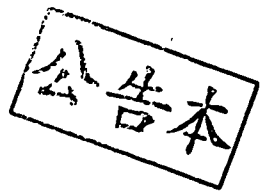


圖1

- 20 . . . 記憶體系統
- 24 . . . 記憶體器件
- 28 . . . 記憶體單元陣列/類比記憶體單元群組
- 32 . . . 類比記憶體單元
- 34 . . . 記憶體區塊
- 36 . . . 讀取/寫入(R/W)部件/讀取/寫入(R/W)電路
- 40 . . . 記憶體控制器
- 44 . . . 介面
- 48 . . . 處理器
- 52 . . . 主機



發明摘要

※ 申請案號：

102102522

※ 申請日：

102. 1. 23

※IPC 分類：G11C 4/56 (2006.01)

G11C 16/10 (2006.01)

【發明名稱】

用於類比記憶體單元之增強之程式化及抹除方案

ENHANCED PROGRAMMING AND ERASURE SCHEMES FOR
ANALOG MEMORY CELLS

【中文】

一種用於資料儲存之方法，其包括藉由執行將一脈衝序列施加至一類比記憶體單元群組中之該等記憶體單元之一反覆程序而將該類比記憶體單元群組設定至各別類比值。在該反覆程序期間，評定該反覆程序之一進度，且回應於該經評定進度來修改該反覆程序之一參數。根據該經修改參數而繼續該反覆程序。

【英文】

A method for data storage includes setting a group of analog memory cells to respective analog values by performing an iterative process that applies a sequence of pulses to the memory cells in the group. During the iterative process, a progress of the iterative process is assessed, and a parameter of the iterative process is modified responsively to the assessed progress. The iterative process is continued in accordance with the modified parameter.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

20	記憶體系統
24	記憶體器件
28	記憶體單元陣列/類比記憶體單元群組
32	類比記憶體單元
34	記憶體區塊
36	讀取/寫入(R/W)部件/讀取/寫入(R/W)電路
40	記憶體控制器
44	介面
48	處理器
52	主機

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於類比記憶體單元之增強之程式化及抹除方案

ENHANCED PROGRAMMING AND ERASURE SCHEMES FOR
ANALOG MEMORY CELLS

相關申請案之交叉參考

本申請案係與同一天申請的代理人案號為1007-1130.1之名為「用於類比記憶體單元之程式化與抹除方案(Programming and erasure schemes for analog memory cells)」之美國專利申請案相關，該專利申請案之揭示內容係以引用方式併入本文中。本申請案主張2011年5月16日申請之美國臨時專利申請案61/486,341之權利，該臨時專利申請案之揭示內容係以引用方式併入本文中。本申請案為2012年1月24日申請之美國專利申請案13/356,694之部分接續案，該專利申請案之揭示內容係以引用方式併入本文中。

【技術領域】

本發明大體上係關於資料儲存，且特別係關於用於類比記憶體單元之程式化及抹除之方法及系統。

【先前技術】

若干類型之記憶體器件(諸如，快閃記憶體)使用類比記憶體單元陣列來儲存資料。每一類比記憶體單元保持諸如電荷或電壓之給定物理量之某一位準，該物理量表示儲存於該記憶體單元中之資料。此物理量之位準亦被稱作儲存值或類比值。舉例而言，在快閃記憶體中，每一類比記憶體單元保存某一量之電荷。可能類比值之範圍通常被劃分成多個區域，每一區域對應於表示一或多個資料位元值之程式化狀

態。藉由寫入對應於所要位元之標稱類比值而將資料寫入至類比記憶體單元。

通常被稱作單位階記憶體單元(SLC)器件之一些記憶體器件在每一記憶體單元中儲存單一資訊位元，亦即，每一記憶體單元可經程式化以呈現兩個可能記憶體狀態。常常被稱作多位階記憶體單元(MLC)器件之較高密度器件每記憶體單元儲存兩個或兩個以上位元，亦即，可經程式化以呈現兩個以上可能記憶體狀態。

舉例而言，快閃記憶體器件係由Bez等人描述於以引用方式併入本文中之「Introduction to Flash Memory」(IEEE之論文集，2003年4月，第91卷，第4期，第489-502頁)中。舉例而言，多位階快閃記憶體單元及器件係由Eitan等人描述於以引用方式併入本文中之「Multilevel Flash Cells and their Trade-Offs」(1996 IEEE國際電子器件會議(IEDM)之論文集，New York, New York，第169-172頁)中。該論文比較若干種類之多位階快閃記憶體單元，諸如，共地(common ground)、DINOR、AND、NOR及NAND記憶體單元。

Eitan等人在以引用方式併入本文中之「Can NROM, a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cells?」(1999固態器件及材料(SSDM)國際會議之論文集，Tokyo, Japan，1999年9月21日至24日，第522-524頁)中描述被稱作氮化物唯讀記憶體(NROM)的另一類型之類比記憶體單元。NROM記憶體單元亦係由Maayan等人描述於以引用方式併入本文中之「A 512 Mb NROM Flash Data Storage Memory with 8 MB/s Data Rate」(2002 IEEE固態電路國際會議(ISSCC 2002)之論文集，San Francisco, California，2002年2月3日至7日，第100-101頁)中。其他例示性類型之類比記憶體單元為浮動閘極(FG)記憶體單元、鐵電RAM (FRAM)記憶體單元、磁性RAM (MRAM)記憶體單元、電荷收集快閃(CTF)及相

變RAM (PRAM，亦被稱作相變記憶體--PCM)記憶體單元。舉例而言，FRAM、MRAM及PRAM記憶體單元係由Kim及Koh描述於以引用方式併入本文中之「Future Memory Technology including Emerging New Memories」(第24次微電子國際會議之論文集，Nis、Serbia及Montenegro，2004年5月16日至19日，第1卷，第377-384頁)中。

用於程式化及抹除類比記憶體單元之各種方法在此項技術中為吾人所知。一些記憶體器件使用將脈衝序列施加至記憶體單元群組且在該序列期間驗證經程式化值之反覆程式化及驗證(P&V)程序。

【發明內容】

本文所描述的本發明之一實施例提供一種用於資料儲存之方法。該方法包括藉由執行將一脈衝序列施加至一類比記憶體單元群組中之記憶體單元之一反覆程序而將該類比記憶體單元群組設定至各別類比值。在該反覆程序期間，評定該反覆程序之一進度，且回應於該經評定進度來修改該反覆程序之一參數。根據該經修改參數而繼續該反覆程序。

在一些實施例中，執行該反覆程序包括用資料來程式化該群組中之該等記憶體單元。在其他實施例中，執行該反覆程序包括抹除該等記憶體單元之該群組。

在一實施例中，評定該進度包括評定出該群組中已由於該等脈衝而達到各別所欲類比值之該等記憶體單元之一數目超過一預定義數目。修改該參數可包括修改該序列中之連續脈衝之間的一振幅增量或持續時間增量。在另一實施例中，評定該進度包括評定出施加至該群組中之該等記憶體單元之該等脈衝之一數目超過一預定義數目。

在一所揭示實施例中，修改該參數包括修改該序列中之連續脈衝之間的一振幅增量或持續時間增量、該序列中之一初始脈衝之一振幅或持續時間、施加至該等記憶體單元之該群組之一程式化字線電

壓、施加至該等記憶體單元之另一群組之一未選定字線電壓、施加至該群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓，及/或施加至該群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

修改該參數可包括取決於施加至該群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓來修改施加至該等記憶體單元之該群組之一程式化字線電壓、施加至該等記憶體單元之另一群組之一未選定字線電壓，或施加至該群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

根據本發明之一實施例，另外提供一種用於資料儲存之裝置，其包括一記憶體及儲存電路。該記憶體包括多個類比記憶體單元。該儲存電路經組態以藉由執行將一脈衝序列施加至該等類比記憶體單元之一群組中之該等記憶體單元的一反覆程序而將該群組設定至各別類比值、評定該反覆程序之一進度、回應於該經評定進度來修改該反覆程序之一參數，且根據該經修改參數而繼續執行該反覆程序。

根據本發明之一實施例，亦提供一種在包括多個類比記憶體單元之一記憶體中用於資料儲存之方法。該方法包括基於儲存於該記憶體中之該等記憶體單元中至少一者中之一或多個資料值來設定應用於該等記憶體單元之一群組之一反覆程序的一參數。根據該經設定參數而在該等記憶體單元之該群組中執行該反覆程序。

在一實施例中，執行該反覆程序包括用資料來程式化該群組中之該等記憶體單元。在另一實施例中，執行該反覆程序包括抹除該等記憶體單元之該群組。在一實施例中，設定該參數包括將該等資料值自該等記憶體單元中之該至少一者複製至一替代儲存位置，及基於該等經複製資料值來設定該參數。

在另一實施例中，設定該參數包括設定該反覆程序中之連續脈

衝之間的一振幅增量或持續時間增量、該反覆程序中之—初始脈衝之一振幅或持續時間、施加至該等記憶體單元之該群組之一程式化字線電壓、施加至該等記憶體單元之另一群組之一未選定字線電壓、施加至該群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓，及/或施加至該群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

根據本發明之一實施例，進一步提供一種用於資料儲存之裝置，其包括一記憶體及儲存電路。該記憶體包括多個類比記憶體單元。該儲存電路經組態以基於儲存於該記憶體中之該等記憶體單元中至少一者中之一或多個資料值來設定應用於該等記憶體單元之一群組之一反覆程序的一參數，且根據該經設定參數而在該等記憶體單元之該群組中執行該反覆程序。

根據本發明之一實施例，另外提供一種在包括多個類比記憶體單元之一記憶體中用於資料儲存之方法。該方法包括藉由執行一程式化操作而用資料來程式化該等記憶體單元中之一或多者。評定對該等經程式化記憶體單元執行之該程式化操作之一效能測量。在執行該程式化操作之後，基於該程式化操作之該效能測量來組態一抹除操作，且藉由執行該經組態抹除操作來抹除該記憶體之該等記憶體單元之一群組。

在一些實施例中，評定該效能測量包括量測該程式化操作之一持續時間。在一實施例中，組態該抹除操作包括設定該抹除操作中之連續抹除脈衝之間的一振幅增量或持續時間增量、該抹除操作中之—初始脈衝之一振幅或持續時間、在該抹除操作期間施加之一字線電壓，及/或在該抹除操作期間施加之一位元線電壓。

在一實施例中，估計該效能測量包括判定施加至該等經程式化記憶體單元之程式化及抹除循環之一數目，且組態該抹除操作包括基

於該等程式化及抹除循環之該經判定數目來組態該抹除操作。

根據本發明之一實施例，亦提供一種用於資料儲存之裝置，其包括一記憶體及儲存電路。該記憶體包括多個類比記憶體單元。該儲存電路經組態以藉由執行一程式化操作而用資料來程式化該等記憶體單元中之一或多者、評定對該等經程式化記憶體單元執行之該程式化操作之一效能測量、在執行該程式化操作之後基於該程式化操作之該效能測量來組態一抹除操作，且藉由執行該經組態抹除操作來抹除該記憶體之該等記憶體單元之一群組。

根據本發明之一實施例，進一步提供一種在包括多個類比記憶體單元之一記憶體中用於資料儲存之方法。該方法包括對該等記憶體單元之一群組應用將該群組中之該等記憶體單元設定至各別類比值之一操作。評定應用於該等記憶體單元之該群組之該操作之一效能測量。基於該操作之該經評定效能測量來評定該記憶體中包括該群組之一記憶體區塊之一健全狀況狀態。

應用該操作可包括用資料來程式化該群組中之該等記憶體單元。或者，應用該操作可包括抹除該等記憶體單元之該群組。在一實施例中，評定該效能測量包括量測該操作之一持續時間。在另一實施例中，評定該健全狀況狀態包括當該效能測量偏離一預定義範圍時將該記憶體區塊標記為不良。在又一實施例中，評定該健全狀況狀態包括當該效能測量偏離一預定義範圍時將該記憶體區塊標記為經受額外評估。在再一實施例中，評定該健全狀況狀態包括取決於該效能測量來設定用於該記憶體區塊中之後續資料儲存之一儲存組態。

根據本發明之一實施例，另外提供一種用於資料儲存之裝置，其包括一記憶體及儲存電路。該記憶體包括多個類比記憶體單元。該儲存電路經組態以對該等記憶體單元之一群組應用將該群組中之該等記憶體單元設定至各別類比值之一操作、評定應用於該等記憶體單元

之該群組之該操作之一效能測量，且基於該操作之該經評定效能測量來評定該記憶體中包括該群組之一記憶體區塊之一健全狀況狀態。

將自本發明之實施例之以下詳細描述連同圖式更全面地理解本發明。

【圖式簡單說明】

圖1為根據本發明之一實施例的示意性地說明記憶體系統之方塊圖；

圖2為根據本發明之一實施例的示意性地說明類比記憶體單元陣列之電路圖；

圖3A為根據本發明之一實施例的示意性地說明程式化類比記憶體單元群組之程序之圖解；

圖3B為根據本發明之一實施例的示意性地說明抹除類比記憶體單元群組之程序之圖解；

圖4為根據本發明之一實施例的示意性地說明用於程式化或抹除類比記憶體單元群組之方法之流程圖；

圖5為根據本發明之一實施例的示意性地說明用於程式化類比記憶體單元群組之方法之流程圖；

圖6為根據本發明之一實施例的示意性地說明用於抹除類比記憶體單元群組之方法之流程圖；及

圖7為根據本發明之一實施例的示意性地說明用於評定類比記憶體單元群組之健全狀況等級之方法之流程圖。

【實施方式】

概述

在諸如快閃記憶體之記憶體器件中，通常藉由將類比記憶體單元程式化至表示經儲存位元值之各別類比值而將資料儲存於該等記憶體單元中。每一位元值對應於藉由類比值之某一區域表示之各別程式

化位準或程式化狀態。

在一些記憶體器件中，在反覆程式化及驗證(P&V)程序中程式化類比記憶體單元群組，該程序將程式化脈衝序列施加至該群組中之記憶體單元。藉由比較每一類比值與對應於正被程式化之記憶體單元之所欲程式化狀態的各別驗證臨限值而在該序列期間驗證記憶體單元之類比值。程式化僅針對類比值仍低於各別驗證臨限值之記憶體單元而繼續。其他記憶體單元經假定為被正確地程式化，且被禁止接收後續程式化脈衝。通常使用反覆抹除程序來抹除快閃記憶體單元區塊，反覆抹除程序將抹除脈衝序列施加至該區塊中之記憶體單元。藉由比較記憶體單元之類比值與抹除臨限值而在該序列期間驗證該等類比值。

下文所描述的本發明之實施例提供用於程式化及抹除諸如快閃記憶體單元之類比記憶體單元之改良型方法及系統。相比於習知程式化及抹除方案，所揭示技術達成較低程式化及抹除時間，以及較高程式化及抹除可靠性。

在一些實施例中，儲存電路(例如，耦接至記憶體單元或記憶體控制器之讀取/寫入電路)評定反覆程式化或抹除程序之進度，且基於經評定進度來修改反覆程序之一或多個參數。可(例如)在已達到所欲類比值之記憶體單元之百分比方面或在施加至記憶體單元之程式化或抹除脈衝之數目方面評定進度。

可基於進度來修改各種程式化或抹除參數，例如，連續程式化或抹除脈衝之間的振幅增量或持續時間增量、初始脈衝振幅，或在程式化或抹除程序期間施加之各種字線或位元線電壓。

在替代實施例中，儲存電路基於儲存於記憶體單元中之一或多者中之資料來設定程式化或抹除程序之一或多個參數。在其他實施例中，儲存電路基於程式化操作之效能來組態抹除操作之一或多個參數。舉例而言，儲存電路可量測用於某一記憶體區塊中之頁之平均程

式化時間，且取決於測定程式化時間來組態用於該區塊之抹除操作。

在又其他實施例中，儲存電路基於在記憶體區塊中執行之程式化或抹除操作之效能測量(例如，基於程式化或抹除時間)來評定該區塊之健全狀況狀態。

系統描述

圖1為根據本發明之一實施例的示意性地說明記憶體系統20之方塊圖。系統20可用於各種主機系統及器件中，諸如，用於計算器件、蜂巢式電話或其他通信終端機、抽取式記憶體模組(有時被稱作「USB隨身碟」)、固態磁碟(SSD)、數位相機、音樂及其他媒體播放器及/或供儲存及擷取資料之任何其他系統或器件中。

系統20包含將資料儲存於記憶體單元陣列28中之記憶體器件24。該記憶體陣列包含多個記憶體區塊34。每一記憶體區塊34包含多個類比記憶體單元32。在本專利申請案之內容背景中及在申請專利範圍中，術語「類比記憶體單元」用以描述保持諸如電壓或電荷之物理參數之連續類比值的任何記憶體單元。陣列28可包含任何種類之類比記憶體單元，諸如，NAND、NOR及電荷收集快閃(CTF)快閃記憶體單元、相變RAM (PRAM，亦被稱作相變記憶體--PCM)、氮化物唯讀記憶體(NROM)、鐵電RAM (FRAM)、磁性RAM (MRAM)及/或動態RAM (DRAM)記憶體單元。

儲存於記憶體單元中之電荷位準及/或寫入至記憶體單元中及自記憶體單元中讀取之類比電壓或電流在本文中被統稱作類比值、類比儲存值或儲存值。舉例而言，儲存值可包含臨限電壓或任何其他合適種類之儲存值。系統20藉由程式化類比記憶體單元以呈現各別程式化狀態而將資料儲存於該等記憶體單元中，該等程式化狀態亦被稱作程式化位準。程式化狀態係選自可能狀態之有限集合，且每一程式化狀態對應於某一標稱儲存值。舉例而言，3位元/單元MLC可經程式化以

藉由將八個可能標稱儲存值中之一者寫入至該記憶體單元中而呈現八個可能程式化狀態中之一者。

記憶體器件24包含讀取/寫入(R/W)部件36，該R/W部件將供儲存於該記憶體器件中之資料轉換成類比儲存值且將該等值寫入至記憶體單元32中。在替代實施例中，R/W部件不執行轉換，但具備電壓樣本，亦即，具備供儲存於記憶體單元中之儲存值。當自陣列28中讀取資料時，R/W部件36將記憶體單元32之儲存值轉換成具有一或多個位元之解析度之數位樣本。資料通常係按被稱作頁之群組而寫入至記憶體單元及自記憶體單元被讀取。在一些實施例中，R/W部件可藉由將一或多個負抹除脈衝施加至記憶體單元32來抹除該等記憶體單元之群組。通常在全部記憶體區塊中執行抹除。

資料於記憶體器件24中之儲存及自記憶體器件24中之擷取係由記憶體控制器40執行。該記憶體控制器包含用於與記憶體器件24通信之介面44，及進行各種記憶體管理功能之處理器48。記憶體控制器40與主機52通信，以用於接受供儲存於記憶體器件中之資料且用於輸出自記憶體器件擷取之資料。可以硬體來實施記憶體控制器40，且尤其是實施處理器48。或者，記憶體控制器可包含執行合適軟體之微處理器，或硬體元件與軟體元件之組合。

圖1之組態為例示性系統組態，其係純粹地出於概念清晰性起見而加以展示。亦可使用任何其他合適記憶體系統組態。已出於清晰性起見而自該圖省略對於理解本發明之原理並非必要之元件，諸如，各種介面、定址電路、定時及定序電路，及除錯電路。

雖然圖1之實例展示單一記憶體器件24，但系統20可包含由記憶體控制器40控制之多個記憶體器件。在圖1所示之例示性系統組態中，記憶體器件24及記憶體控制器40經實施為兩個單獨積體電路(IC)。然而，在替代實施例中，記憶體器件及記憶體控制器可整合於

單一多晶片封裝(MCP)或系統單晶片(SoC)中之單獨半導體晶粒上，且可由內部匯流排互連。再或者，記憶體控制器電路之一些或全部可駐留於經安置有記憶體陣列之同一晶粒上。再或者，記憶體控制器40之功能性之一些或全部可以軟體予以實施且由主機系統之處理器或其他元件進行。在一些實施例中，主機52及記憶體控制器40可製造於同一晶粒上或製造於同一器件封裝中之單獨晶粒上。

在一些實施例中，記憶體控制器40包含以軟體予以程式化以進行本文所描述之功能的通用處理器。可經由(例如)網路而將軟體以電子形式下載至處理器，或者或另外，可將軟體提供及/或儲存於諸如磁性、光學或電子記憶體之非暫時性有形媒體上。

在陣列28之實例組態中，記憶體單元32係按多個列及行而配置，且每一記憶體單元包含一浮動閘極電晶體。每一列中之電晶體之閘極係由字線連接，且每一行中之電晶體之源極係由位元線連接。記憶體陣列通常被劃分成多個頁，亦即，經同時地程式化及讀取之記憶體單元群組。頁有時被再分成區段。在一些實施例中，每一頁包含陣列之整個列。在替代實施例中，每一列(字線)可被劃分成兩個或兩個以上頁。舉例而言，在一些器件中，每一列被劃分成兩個頁，一個頁包含奇數次序記憶體單元且另一頁包含偶數次序記憶體單元。

通常，記憶體控制器40以頁單位來程式化資料，但抹除全部記憶體區塊34。通常，雖然未必，但一記憶體區塊相當於 10^6 個記憶體單元，而一頁相當於 10^3 至 10^4 個記憶體單元。

以下描述將描述用於程式化及抹除陣列28之記憶體單元32之若干實例技術。所揭示技術可由記憶體控制器40及/或由R/W部件36進行。出於清晰性起見，以下描述將程式化及抹除程序稱作由記憶體器件中之R/W部件36執行。然而，通常，構成所揭示程式化及抹除技術之各種任務可以任何合適方式而在記憶體控制器與R/W電路之間予以

劃分，或由此等元件中任一者執行。因此，在本專利申請案之內容背景中及在申請專利範圍中，記憶體控制器40及R/W電路36被聯合地稱作進行所揭示技術之儲存電路。

圖2為根據本發明之一實施例的示意性地說明可用以實施陣列28之類比記憶體單元陣列之電路圖。在此實施例中，該陣列包含由字線64及位元線68連接之多個快閃記憶體單元(在該圖中被展示為浮動閘極電晶體)。

在一些實施例中，R/W部件36使用反覆程式化及驗證(P&V)程序而用資料來程式化給定字線64中之記憶體單元群組(例如，該字線中之所有記憶體單元、奇數次序記憶體單元或偶數次序記憶體單元)。在此程序中，部件36將程式化脈衝序列施加至記憶體單元群組，且在每一脈衝之後驗證該群組中之記憶體單元之臨限電壓。部件36禁止已達到所欲臨限電壓之記憶體單元之後續程式化，使得後續脈衝僅選擇性地施加至尚未達到所欲臨限電壓之彼等記憶體單元。

在P&V程序期間，部件36用合適電壓來加偏壓於各種字線64及位元線68。圖2之實例展示三個字線64，該等字線中之中間字線正被程式化。本實例展示在P&V程序期間之特定例項，其中記憶體單元72將被程式化(因為該記憶體單元尚未達到其所欲臨限電壓)。同時，同一字線中之記憶體單元80將被禁止程式化，此係因為該記憶體單元已經達到其所欲臨限電壓。其他字線中之記憶體單元(諸如，記憶體單元80)將未被程式化。

為了程式化適當記憶體單元，R/W部件36用被表示為 V_{pgm} 之程式化電壓來加偏壓於中間字線，且用被表示為 V_{pass_pgm} 之通過電壓來加偏壓於區塊中之其他字線。部件36用被表示為 $V_{bitline_pgm}$ 之位元線程式化電壓來加偏壓於待程式化之位元線，且用被表示為 $V_{bitline_inhibit}$ 之位元線禁止電壓來加偏壓於待禁止程式化之位元

線。

圖3A為根據本發明之一實施例的示意性地說明程式化類比記憶體單元群組28之程序之圖解。本實例展示用資料予以程式化之2位元/單元記憶體單元之群組(例如，字線中之所有記憶體單元、奇數次序記憶體單元或偶數次序記憶體單元)。每一記憶體單元可程式化至對應於四個臨限電壓分佈84A.....84D之四個可能程式化位準(亦被稱作程式化狀態)中之一者。每一程式化位準對應於一各別兩位元資料值。對應於負臨限電壓之程式化位準84A亦充當抹除位準。在起始程式化之前，將群組中之所有記憶體單元設定至抹除位準。

在一些實施例中，R/W部件36使用反覆P&V程序來程式化群組中之記憶體單元，如上文所描述。當在給定程式化脈衝之後驗證記憶體單元臨限電壓時，部件36比較記憶體單元臨限電壓與一或多個驗證臨限值。在本實例中，部件36使用分別對應於程式化位準84B.....84D之三個驗證臨限值88A.....88C。當意欲經程式化至某一程式化位準之某一記憶體單元之臨限電壓超過彼程式化位準之驗證臨限值時，該記憶體單元被禁止接收後續程式化脈衝。通常藉由將記憶體單元之位元線電壓自Vbitline_pgm改變至Vbitline_inhibit來執行禁止。

(同樣地出於清晰性起見，本實例展示同時地程式化所有四個程式化位準之程式化程序。在一些實施例中，部件36在兩個階段中程式化具有兩個頁之記憶體單元群組--一個階段使用兩個程式化位準來程式化第一頁，且第二階段使用所有四個程式化位準來程式化第二頁。)

圖3B為根據本發明之一實施例的示意性地說明抹除類比記憶體單元群組28之程序之圖解。該抹除程序通常同時地應用於整個區塊34。在抹除程序中，部件36將一序列或抹除脈衝施加至記憶體單元，且藉由比較記憶體單元臨限電壓與抹除臨限值92來驗證記憶體單元臨

限電壓。抹除工序繼續直至區塊中之所有記憶體單元(或在一些實施例中，預定義受控數目個記憶體單元)具有低於臨限值92之臨限電壓為止。

圖3A及圖3B之實施例提及2位元/單元記憶體單元之程式化及抹除。然而，所揭示技術適用於具有程式化位準之任何所要數目及配置的任何其他合適類型之記憶體單元。

基於程式化/抹除進度而對程式化/抹除反覆程序參數之自適應性修改

在一些實施例中，當程式化或抹除類比記憶體單元群組時，R/W部件36評定反覆程式化或抹除程序之進度。當進度滿足某一切換條件時，部件36修改程序之參數中之一或多者。

部件36可以各種方式來評定進度，亦即，定義及評估各種種類之切換條件。舉例而言，部件36可檢查群組中之記憶體單元之預定義百分比是否已達到其所欲臨限電壓(例如，超過用於程式化操作之適當驗證臨限值，或降至低於用於抹除操作之抹除臨限值)。在抹除操作中，部件36可評定在第一抹除脈衝之後或在兩個抹除脈衝之後被充分地抹除之記憶體單元之數目。在替代實施例中，部件36可組合來自反覆程序之兩個或兩個以上不同驗證階段之記憶體單元計數。

當使用此類條件時，R/W部件36可假定資料被擾亂或以其他方式同等地分佈於程式化位準當中。在替代實施例中，R/W電路可在起始程式化操作之前判定每一程式化位準中之記憶體單元之數目，或以任何其他合適方式獲得此資訊。

另一實例切換條件係在執行預定數目次反覆之後(亦即，在施加預定義數目個程式化或抹除脈衝之後)修改程式化或抹除參數。又或者，R/W部件可藉由判定與程式化或抹除相關之某參數之絕對值來評估切換條件。

在各種實施例中，當滿足切換條件時，R/W部件可修改反覆程式化或抹除程序之任何合適參數。舉例而言，該參數可包含序列中之連續程式化/抹除脈衝之間的振幅增量或持續時間增量(有時被稱作增量步進脈衝程式化--ISPP)，及/或序列中之初始脈衝之振幅或持續時間。

或者或另外，在程式化操作中，經修改參數可包含施加至未選定字線之通過電壓(Vpass_pgm)、施加至選定字線之字線電壓(Vpgm)、施加至經程式化記憶體單元之位元線電壓(Vbitline_pgm)、施加至經禁止記憶體單元之位元線電壓(Vbitline_inhibit)，及/或任何其他合適參數。再或者或另外，在抹除操作中，經修改參數可包含(例如)在正被抹除之區塊中施加之字線電壓及/或位元線電壓。

在一實例實施例中，部件36評定群組中已達到所欲程式化位準之記憶體單元之數目。當百分比超過預定義值時，部件36改變連續脈衝之間的振幅增量。

在另一實例實施例中，部件36用大抹除脈衝電壓來開始抹除程序。當經成功抹除之記憶體單元之百分比達到某一預定義值時，部件36減低用於後續脈衝之抹除脈衝電壓。

在另一實施例中，R/W部件36依據Vpgm來修改偏壓電壓(例如，Vbitline_pgm、Vbitline_inhibit、Vpass_pgm)中之一或多者。此類程式化使部件36能夠最佳化字線及/或位元線電壓，且有效地程式化記憶體單元。

可執行電壓最佳化，例如，以便最小化來自鄰近記憶體單元(鄰近字線及/或鄰近位元線上)之程式化干擾。在一些實施例中，依據Vpgm之絕對值來執行最佳化。

圖4為根據本發明之一實施例的示意性地說明用於程式化或抹除類比記憶體單元32之群組之方法之流程圖。在初始化步驟96處，該方

法始於R/W部件36在記憶體單元群組中起始反覆程式化或抹除程序。

在程式化或抹除程序期間之某點，在進度評定步驟100處，部件36評定該程序之進度。在完成檢查步驟104處，部件36檢查該程序是否完成。舉例而言，部件36可檢查所有記憶體單元是否已達到其所欲臨限電壓。若該程序完成，則該方法終止於終止步驟108處。

否則，在切換條件評估步驟112處，部件36檢查是否滿足預定義切換條件(基於在上文之步驟100處評定之進度)。若反覆程序之進度滿足切換條件，則在參數修改步驟116處，部件36修改反覆程序之參數中之一或多者。該方法接著循環回至上文之步驟100，在該步驟中，部件36繼續追蹤反覆程序之進度。

基於資料而對程式化程序參數之自適應性設定

在一些實施例中，R/W部件36基於當前儲存於記憶體單元中之一或多者中之資料來設定反覆程式化或抹除程序之一或多個參數。可以此方式設定任何合適程式化或抹除程序參數，諸如，上文所列出之參數(例如，ISPP、序列中之初始脈衝之振幅或持續時間，及/或任何字線或位元線電壓)。

舉例而言，當程式化一記憶體單元群組(例如，一頁)時，部件36可基於儲存於與經程式化群組相同之字線中之資料及/或基於儲存於一或多個其他(例如，鄰近)字線中之資料來設定程式化參數。舉例而言，部件36可基於鄰近字線(在經程式化群組之字線下方或上方)中之對應記憶體單元中之資料(或臨限電壓)來設定Vbitline_pgm。在一些實施例中，部件36可首先讀取用於設定程式化參數之資料且在程式化之前將該資料儲存於替代位置中。

作為另一實例，當抹除一區塊時，部件36可基於儲存於該區塊中之資料來設定抹除程序之一或多個參數。舉例而言，部件36可依據區塊中在抹除之前被程式化之字線之數目來設定抹除程序之參數。在

一實例實施例中，部件36在區塊中之所有字線被程式化時設定一個抹除電壓(Verase)，且在該等字線之僅一部分被程式化時設定一不同抹除電壓。在一些實施例中，由記憶體控制器40將關於經程式化字線之數目之指示提供至部件36。在其他實施例中，部件36獨立於記憶體控制器而判定經程式化字線之數目。在一些實施例中，部件36基於區塊中之經程式化字線之數目來改變程式化程序之一或多個參數。

作為又一實例，若區塊含有經程式化至高臨限電壓之大數目個記憶體單元，則部件36可將抹除脈衝之初始振幅設定至高值，且反之亦然。

圖5為根據本發明之一實施例的示意性地說明用於程式化類比記憶體單元32之群組之方法之流程圖。圖5之描述提及記憶體單元群組中之程式化程序，但亦可在抹除程序中使用相似方法。

在讀出步驟120處，該方法始於部件36自一或多個記憶體單元讀取資料。經讀取記憶體單元可或可不屬於待程式化之記憶體單元群組。基於在步驟120處讀取之資料，在參數設定步驟124處，部件36設定程式化程序之一或多個參數。在程式化步驟128處，部件36接著使用具有經設定參數之反覆程式化程序而將資料儲存於記憶體單元群組中。

基於程式化程序之效能而對抹除程序參數之設定

在一些實施例中，部件36基於應用於記憶體之程式化操作之效能來組態待應用於記憶體單元群組之抹除操作。通常，雖然未必，但用於一給定記憶體單元群組(例如，一區塊)之抹除操作係基於應用於彼群組內之一或多個記憶體單元(例如，該區塊內之一頁)之程式化操作之效能予以組態。

此技術係基於記憶體單元對程式化操作(通常對正電壓程式化脈衝之施加)之回應度指示記憶體單元對抹除操作(通常對負電壓程式化

脈衝之施加)之回應度的事實。部件36可評定程式化操作之任何合適種類之效能測量，且基於經評定效能測量而以任何合適方式來組態抹除操作。

舉例而言，部件36可量測程式化操作之程式化時間(持續時間)，例如，在該操作之起始與完成之間經過的時間，或可量測在程式化操作中執行之P&V反覆之數目。部件36接著可基於測定程式化時間來組態抹除操作。在一實例實施例中，部件36可依據反覆數目來量測已達到所欲程式化位準之記憶體單元之數目或百分比。換言之，部件36可評定經成功程式化之記憶體單元之數目之累積分佈函數(CDF)。

部件36可藉由基於程式化操作之效能來設定任何合適抹除參數(諸如，抹除脈衝之初始振幅或持續時間、連續抹除脈衝之間的增量，及/或在抹除期間施加之任何位元線或字線電壓)而組態抹除操作。

圖6為根據本發明之一實施例的示意性地說明用於抹除類比記憶體單元32之群組之方法之流程圖。圖6之描述提及同一記憶體單元群組之程式化及抹除。然而，通常，所揭示技術可用於基於程式化另一群組之執行來抹除某一記憶體單元群組。該兩個群組可或可不具有共同之記憶體單元。

在程式化步驟132處，該方法始於部件36藉由執行程式化操作(例如，P&V程序)而用資料來程式化記憶體單元群組。在效能估計步驟136處，部件36估計程式化操作之效能測量。舉例而言，部件36可估計程式化時間(程式化持續時間)或任何其他合適效能測量。

在抹除組態步驟140處，基於程式化操作之估計效能測量，部件36組態待應用於記憶體單元群組之抹除操作。在抹除步驟144處，部件36使用經組態抹除操作來抹除記憶體單元群組。

在一些實施例中，部件36或記憶體控制器40可基於其他效能測

量(諸如，基於應用於某一記憶體區塊之程式化及抹除(P/E)循環之數目)來組態用於該區塊之抹除操作。在一實施例中，在程式化之後，部件36或記憶體控制器40可記錄區塊之壽命之某指示，且在抹除之前擷取此指示以便組態抹除操作。

基於程式化或抹除效能之健全狀況等級評定

在一些實施例中，部件36量測待應用於記憶體單元群組之反覆程式化或抹除程序之效能，且基於測定效能來評定該等記憶體單元之健全狀況狀態。以下描述提及量測程式化或抹除程序之持續時間，但所揭示技術可與其他合適效能測量一起使用。

在一實施例中，部件36量測不同記憶體單元群組之程式化或抹除時間。偏離預定義範圍(例如，低於某一下臨限值及/或高於某一上臨限值)之程式化或抹除時間可指示出記憶體單元之健全狀況狀態不良且可能不可靠或不久會發生故障。

在一些實施例中，若給定記憶體區塊(或該區塊中之記憶體單元群組)之程式化或抹除時間偏離預定義範圍，則記憶體控制器40將該區塊標記為不良或可疑。不良區塊通常被停止使用。可疑區塊通常在將其標記為不良之前經受額外評估。記憶體控制器可基於用於區塊之平均程式化或抹除時間、用於區塊之最大或最小程式化或抹除時間或與區塊相關聯之程式化或抹除時間之任何其他合適測量而將區塊標記為不良或可疑。

在一實施例中，記憶體控制器可依據反覆數目或經成功程式化之記憶體單元之數目之CDF來量測已達到所欲程式化位準之記憶體單元之數目或百分比，且使用此評定作為區塊之健全狀況狀態測量。

在一些實施例中，即使區塊中之P&V程序成功地完成，記憶體控制器亦基於程式化時間準則而將區塊標記為不良。在一些實施例中，記憶體控制器僅針對程式化時間偏離預定義範圍之區塊而在P&V之後

應用驗證技術。上文所引證之美國專利申請案13/356,694中給出可用於此目的之P&V後驗證技術之實例。

在抹除操作中，部件36或記憶體控制器40可基於區塊之經評定健全狀況狀態而採取各種動作。舉例而言，R/W部件或記憶體控制器可基於區塊之經評定健全狀況狀態來設定用於區塊中之後續程式化命令之儲存組態(例如，錯誤校正碼及/或每記憶體單元之位元數目)。

圖7為根據本發明之一實施例的示意性地說明用於評定類比記憶體單元群組之健全狀況等級之方法之流程圖。在操作步驟148處，該方法始於R/W部件36或記憶體控制器40將程式化或抹除操作應用於記憶體單元群組。在效能估計步驟152處，部件36或記憶體控制器40估計程式化或抹除操作之效能測量。舉例而言，效能測量可包含程式化或抹除操作之持續時間。在健全狀況狀態評定步驟156處，部件36或控制器40基於效能測量來評定記憶體單元群組之健全狀況狀態。

應瞭解，上文所描述之實施例係作為實例被引證，且本發明不限於上文特別地展示及描述之內容。實情為，本發明之範疇包括上文所描述之各種特徵之組合及子組合兩者，以及熟習此項技術者將在閱讀前述描述後即想到且在先前技術中未揭示的該等特徵之變化及修改。將以引用方式併入本專利申請案中之文件視為本申請案之整體部分，惟如下情形除外：在任何術語係以與本說明書中明確地或隱含地作出之定義相衝突之方式定義於此等併入式文件中的程度上，應僅考慮本說明書中之定義。

【符號說明】

20	記憶體系統
24	記憶體器件
28	記憶體單元陣列/類比記憶體單元群組
32	類比記憶體單元

34	記憶體區塊
36	讀取/寫入(R/W)部件/讀取/寫入(R/W)電路
40	記憶體控制器
44	介面
48	處理器
52	主機
64	字線
68	位元線
72	記憶體單元
80	記憶體單元
84A	臨限電壓分佈/程式化位準
84B	臨限電壓分佈/程式化位準
84C	臨限電壓分佈/程式化位準
84D	臨限電壓分佈/程式化位準
88A	驗證臨限值
88B	驗證臨限值
88C	驗證臨限值
92	抹除臨限值
Vbitline_inhibit	位元線禁止電壓
Vbitline_pgm	位元線程式化電壓
Vpass_pgm	通過電壓
Vpgm	程式化電壓

申請專利範圍

104
年6月9日修正本

1. 一種用於資料儲存之方法，其包含：
 - 自數個記憶體單元之一第一群組讀取資料；
 - 藉由執行將一脈衝序列施加至該等記憶體單元之一第二群組中之記憶體單元之一反覆程序而將該等記憶體單元之該第二群組設定至各別類比值；
 - 在該反覆程序期間，評定該反覆程序之一進度，且回應於該經評定進度且依照該等記憶體單元之該第一群組之該經讀取資料來修改該反覆程序之一參數；及
 - 根據該經修改參數而繼續執行該反覆程序。
2. 如請求項1之方法，其中執行該反覆程序包含：用資料來程式化該第二群組中之該等記憶體單元。
3. 如請求項1之方法，其中執行該反覆程序包含：抹除該等記憶體單元之該第二群組。
4. 如請求項1之方法，其中評定該進度包含：評定出該第二群組中已由於該等脈衝而達到各別所欲類比值之該等記憶體單元之一數目超過一預定義數目。
5. 如請求項4之方法，其中修改該參數包含：修改該序列中之連續脈衝之間的一振幅增量或持續時間增量。
6. 如請求項1之方法，其中評定該進度包含：評定出施加至該第二群組中之該等記憶體單元之該等脈衝之一數目超過一預定義數目。
7. 如請求項1之方法，其中修改該參數包含修改選自由以下各者組成之一類型群組之至少一參數類型：該序列中之連續脈衝之間的一振幅增量或持續時間增量；該序列中之一初始脈衝之一振

幅或持續時間；施加至該等記憶體單元之該第二群組之一程式化字線電壓；施加至該等記憶體單元之另一群組之一未選定字線電壓；施加至該第二群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓；及施加至該第二群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

8. 如請求項1之方法，其中修改該參數包含：取決於施加至該第二群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓來修改：施加至該等記憶體單元之該第二群組之一程式化字線電壓；施加至該等記憶體單元之另一群組之一未選定字線電壓；或施加至該第二群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

9. 一種用於資料儲存之裝置，其包含：

一記憶體，其包含多個(multiple)記憶體單元；及

儲存電路，其經組態以：自該多個記憶體單元之一第一群組讀取資料、藉由執行將一脈衝序列施加至該多個記憶體單元之一第二群組中之記憶體單元的一反覆程序而將該多個記憶體單元之該第二群組設定至各別類比值、評定該反覆程序之一進度、根據該經評定進度依照該多個記憶體單元之該第一群組之該經讀取資料來修改該反覆程序之一參數，且根據該經修改參數而繼續執行該反覆程序。

10. 如請求項9之裝置，其中該反覆程序包含：用資料來程式化該第二群組中之該等記憶體單元之一程式化程序。

11. 如請求項9之裝置，其中該反覆程序包含：抹除該等記憶體單元之該第二群組之一抹除程序。

12. 如請求項9之裝置，其中該儲存電路進一步經組態以藉由評定出該第二群組中已由於該等脈衝而達到各別所欲類比值之該等記

憶體單元之一數目超過一預定義數目來評定該進度。

13. 如請求項12之裝置，其中該儲存電路進一步經組態以藉由修改該序列中之連續脈衝之間的一振幅增量或持續時間增量來修改該參數。
14. 如請求項9之裝置，其中該儲存電路進一步經組態以藉由評定出施加至該第二群組中之該等記憶體單元之該等脈衝之一數目超過一預定義數目來評定該進度。
15. 如請求項9之裝置，其中該儲存電路進一步經組態以修改選自由以下各者組成之一類型群組之至少一參數類型：該序列中之連續脈衝之間的一振幅增量或持續時間增量；該序列中之一初始脈衝之一振幅或持續時間；施加至該等記憶體單元之該第二群組之一程式化字線電壓；施加至該等記憶體單元之另一群組之一未選定字線電壓；施加至該第二群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓；及施加至該第二群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。
16. 如請求項9之裝置，其中該儲存電路進一步經組態以取決於施加至該第二群組中意欲接收後續脈衝之該等記憶體單元之一程式化位元線電壓來修改：施加至該等記憶體單元之該第二群組之一程式化字線電壓；施加至該等記憶體單元之另一群組之一未選定字線電壓；或施加至該第二群組中意欲被禁止接收該等後續脈衝之該等記憶體單元之一禁止位元線電壓。

圖式

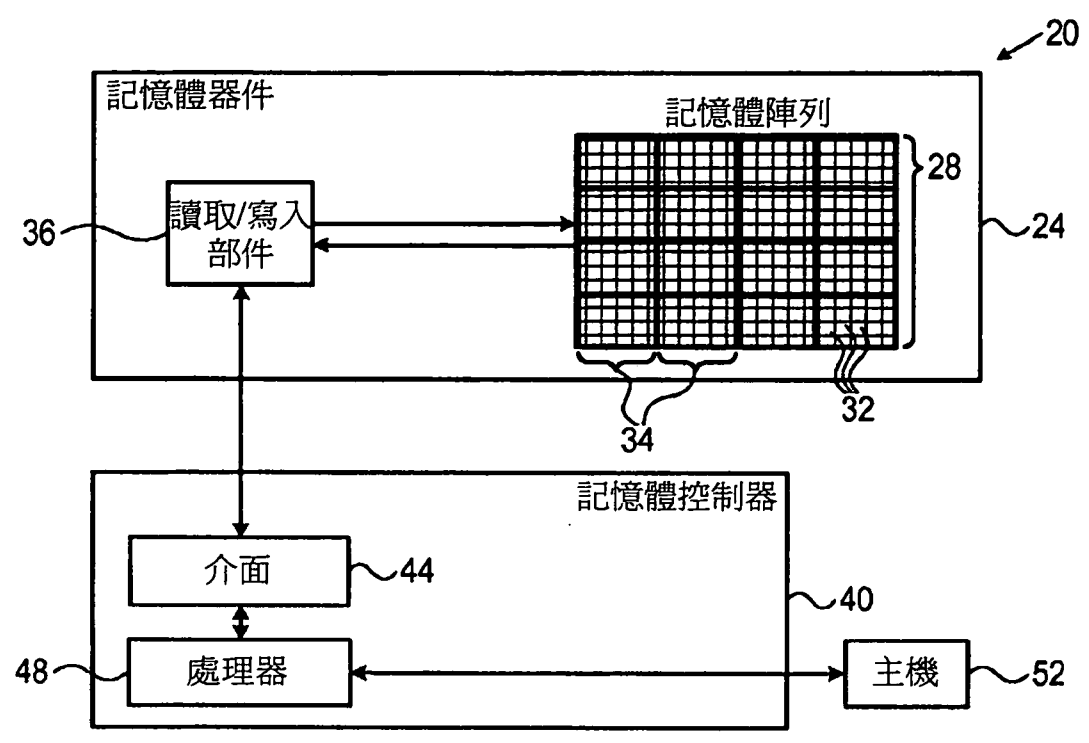


圖1

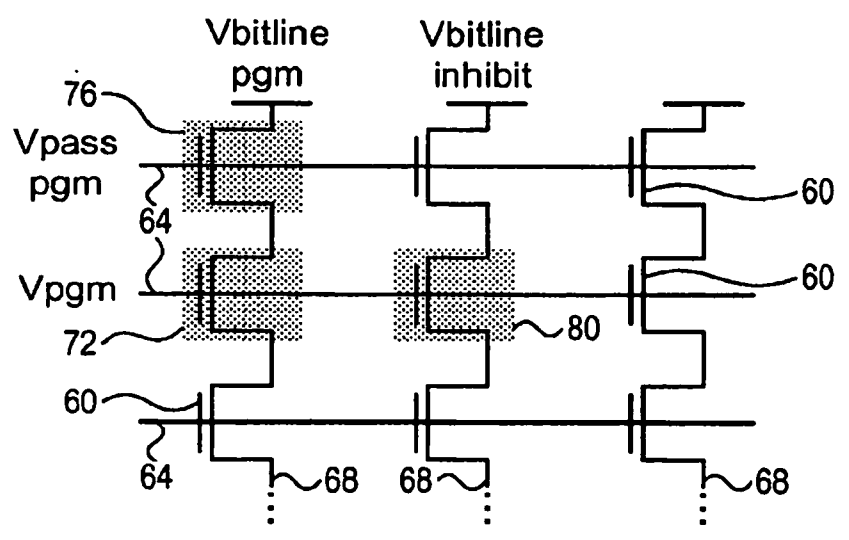


圖2

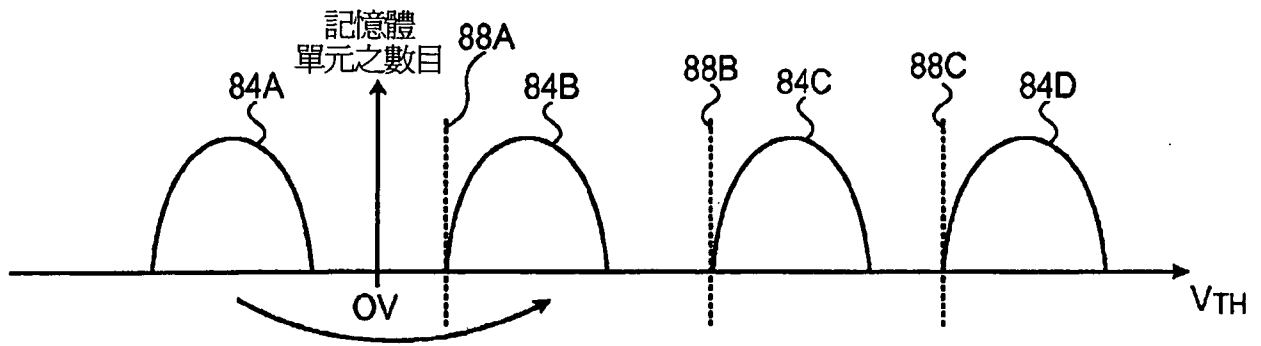


圖3A

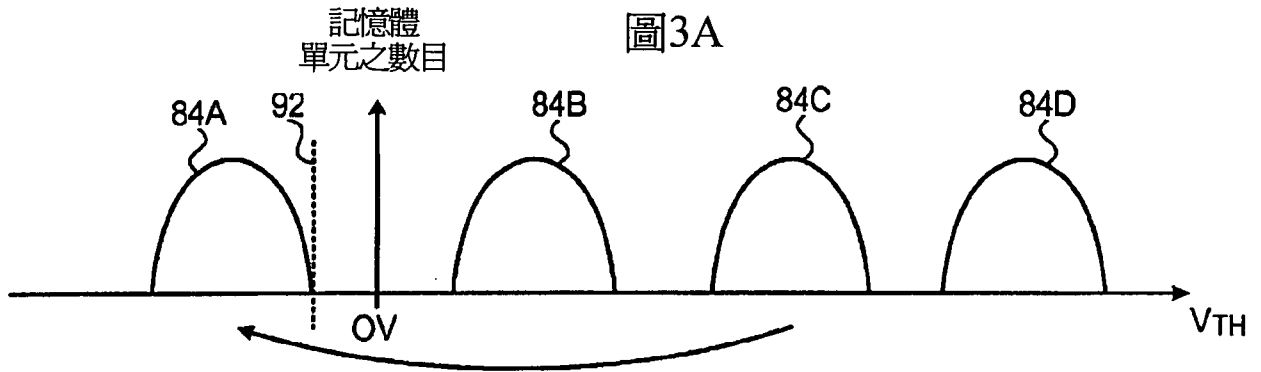


圖3B

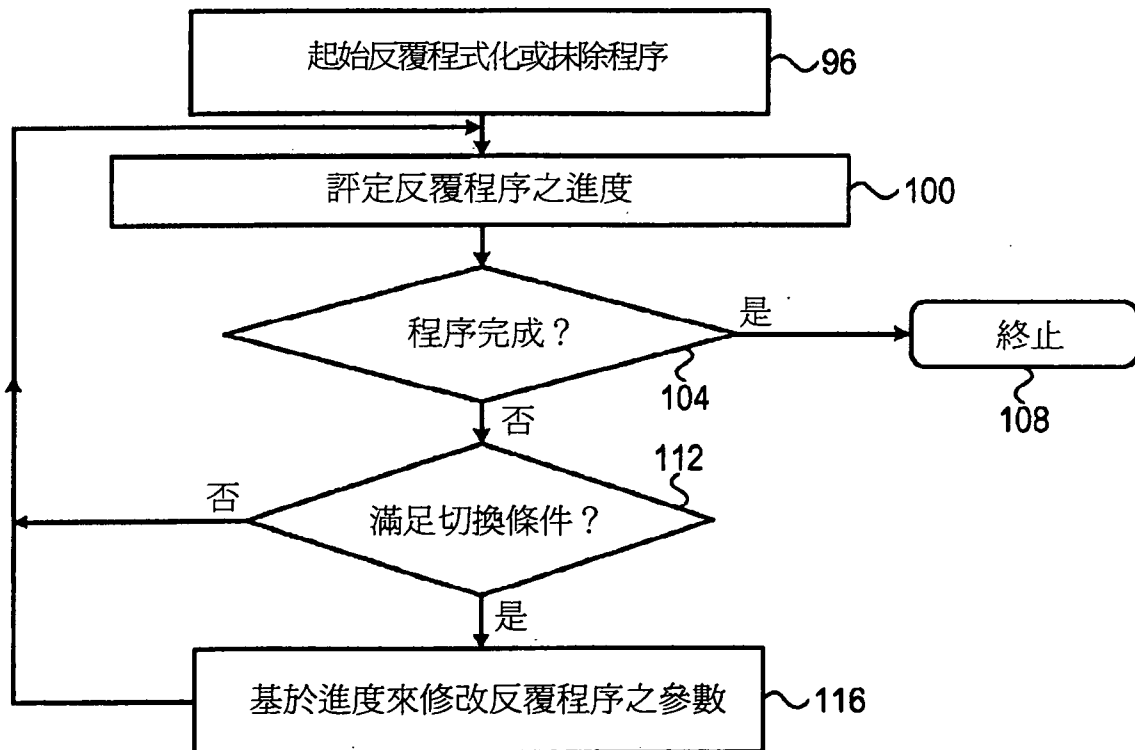


圖4

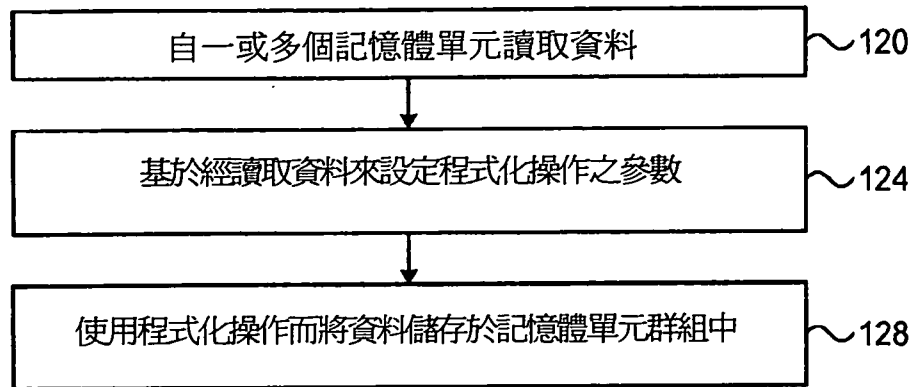


圖5

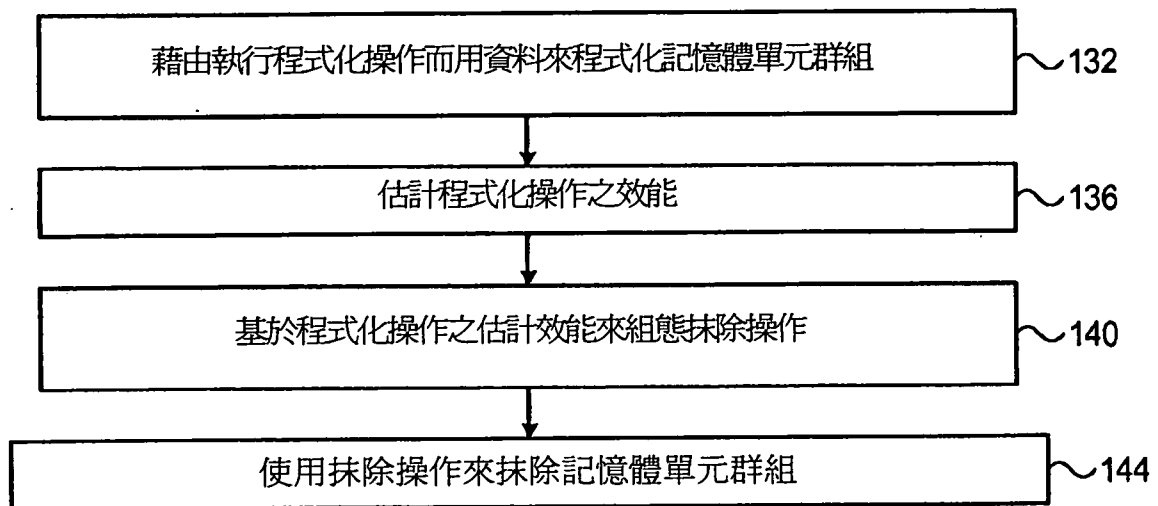


圖6

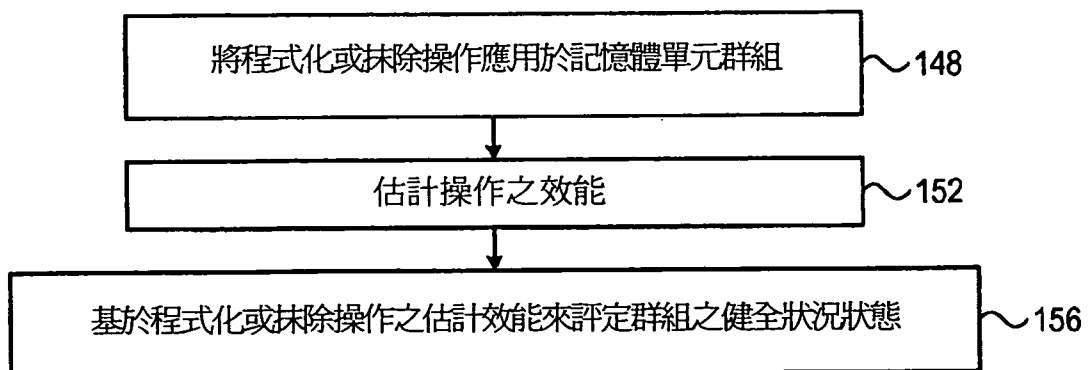


圖7