



(12) 发明专利

(10) 授权公告号 CN 102598266 B

(45) 授权公告日 2015. 04. 22

(21) 申请号 201080051156. 2

(22) 申请日 2010. 10. 28

(30) 优先权数据

2009-264615 2009. 11. 20 JP

(85) PCT国际申请进入国家阶段日

2012. 05. 11

(86) PCT国际申请的申请数据

PCT/JP2010/069647 2010. 10. 28

(87) PCT国际申请的公布数据

W02011/062067 EN 2011. 05. 26

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 小山润 加藤清

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51) Int. Cl.

H01L 27/105(2006. 01)

G11C 16/04(2006. 01)

H01L 21/203(2006. 01)

H01L 21/306(2006. 01)

H01L 21/3065(2006. 01)

H01L 21/8234(2006. 01)

H01L 21/8242(2006. 01)

H01L 27/06(2006. 01)

H01L 27/08(2006. 01)

H01L 27/088(2006. 01)

H01L 27/10(2006. 01)

H01L 27/108(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

US 4920391 A, 1990. 04. 24, 说明书第 2 栏第 9 行至说明书第 7 栏第 35 行, 附图 1-8G.

CN 101339954 A, 2009. 01. 07, 说明书第 2 页第 7 行至说明书第 9 页最后一行, 附图 1-2E.

CN 1389927 A, 2003. 01. 08, 说明书第 2 页倒数第 3 行至说明书 24 页最后一行, 附图 1-7B.

CN 101258607 A, 2008. 09. 03, 说明书第一页第 5 行至说明书第 9 页第 3 行.

CN 101328409 A, 2008. 12. 24, 全文.

CN 1641882 A, 2005. 07. 20, 全文.

审查员 刘玮德

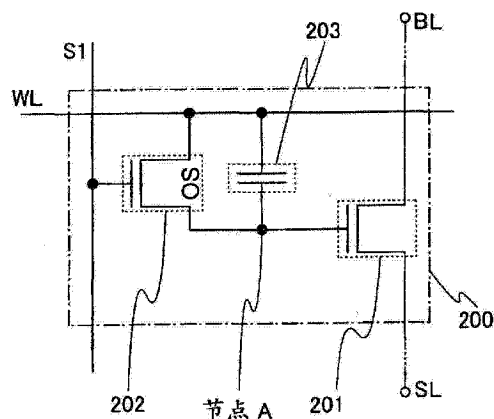
权利要求书5页 说明书30页 附图25页

(54) 发明名称

半导体装置

(57) 摘要

一种半导体装置, 其具有新的结构。该半导体装置包括: 彼此串联连接的存储单元; 以及电容器。存储单元之一包括: 连接到位线及源极线的第一晶体管; 连接到信号线及字线的第二晶体管; 以及连接到字线的电容器。第二晶体管包含氧化物半导体层。第一晶体管的栅电极、第二晶体管的源电极和漏电极中的一方、以及电容器的电极中的一方彼此连接。



1. 一种半导体装置,包括:

源极线;

位线;

多个存储单元,串联地电连接在所述源极线和所述位线之间,

信号线;以及

字线,

其中,所述多个存储单元之一包括第一晶体管、第二晶体管、以及电容器,所述第一晶体管包含第一栅电极、第一源电极以及第一漏电极,所述第二晶体管包含第二栅电极、第二源电极以及第二漏电极,

所述第一晶体管设置在包含半导体材料的衬底中,

所述第二晶体管包含氧化物半导体层,

所述第一栅电极、所述第二源电极和所述第二漏电极中的一方、以及所述电容器的一个电极相互电连接,

所述源极线与所述第一源电极相互电连接,

所述位线与所述第一漏电极相互电连接,

其中,所述信号线与所述第二栅电极相互电连接,并且

所述字线、所述第二源电极和所述第二漏电极中的另一方、以及所述电容器的另一个电极相互电连接。

2. 根据权利要求1所述的半导体装置,其中所述第二晶体管包括在所述包含半导体材料的衬底上的所述第二栅电极、在所述第二栅电极上的第二栅极绝缘层、在所述第二栅极绝缘层上的所述氧化物半导体层、以及电连接到所述氧化物半导体层的所述第二源电极及所述第二漏电极。

3. 根据权利要求1所述的半导体装置,其中所述包含半导体材料的衬底为单晶半导体衬底或SOI衬底。

4. 根据权利要求1所述的半导体装置,其中所述半导体材料为硅。

5. 根据权利要求1所述的半导体装置,其中所述氧化物半导体层包括基于In-Ga-Zn-O的氧化物半导体材料。

6. 根据权利要求1所述的半导体装置,其中所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。

7. 根据权利要求1所述的半导体装置,其中所述氧化物半导体层的氢浓度为小于或者等于 5×10^{19} 原子/ cm^3 。

8. 根据权利要求1所述的半导体装置,其中所述第二晶体管的截止电流为小于或者等于 $1 \times 10^{-13}\text{A}$ 。

9. 一种半导体装置,包括:

源极线;

位线;

多个存储单元,串联地电连接在所述源极线和所述位线之间,所述多个存储单元之一包括:

第一晶体管,所述第一晶体管包含第一栅电极、第一源电极以及第一漏电极,

第二晶体管,所述第二晶体管包含第二栅电极、第二源电极以及第二漏电极,以及
电容器;
信号线;
字线;
第一选择线;
第二选择线;

第三晶体管,所述第三晶体管包含第三栅电极、第三源电极以及第三漏电极,所述第三栅电极电连接到所述第一选择线;以及

第四晶体管,所述第四晶体管包含第四栅电极、第四源电极以及第四漏电极,所述第四栅电极电连接到所述第二选择线,

其中,所述第一晶体管设置在包含半导体材料的衬底中,
所述第二晶体管包含氧化物半导体层,

所述第一栅电极、所述第二源电极和所述第二漏电极中的一方、以及所述电容器的一个电极相互电连接,

所述源极线通过所述第四晶体管与所述第一源电极和所述第一漏电极中的一方电连接,

所述位线通过所述第三晶体管与所述第一源电极和所述第一漏电极中的另一方电连接,

其中,所述信号线与所述第二栅电极相互电连接,并且

所述字线、所述第二源电极和所述第二漏电极中的另一方、以及所述电容器的另一个电极相互电连接。

10. 根据权利要求 9 所述的半导体装置,其中所述第二晶体管包括在所述包含半导体材料的衬底上的所述第二栅电极、在所述第二栅电极上的第二栅极绝缘层、在所述第二栅极绝缘层上的所述氧化物半导体层、以及电连接到所述氧化物半导体层的所述第二源电极及所述第二漏电极。

11. 根据权利要求 9 所述的半导体装置,其中所述包含半导体材料的衬底为单晶半导体衬底或 SOI 衬底。

12. 根据权利要求 9 所述的半导体装置,其中所述半导体材料为硅。

13. 根据权利要求 9 所述的半导体装置,其中所述氧化物半导体层包括基于 In-Ga-Zn-O 的氧化物半导体材料。

14. 根据权利要求 9 所述的半导体装置,其中所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。

15. 根据权利要求 9 所述的半导体装置,其中所述氧化物半导体层的氢浓度为小于或者等于 5×10^{19} 原子 / cm^3 。

16. 根据权利要求 9 所述的半导体装置,其中所述第二晶体管的截止电流为小于或者等于 $1 \times 10^{-13} \text{A}$ 。

17. 一种半导体装置,包括:

源极线;

位线;

多个存储单元,串联地电连接在所述源极线和所述位线之间;
信号线;以及
字线,

其中,所述多个存储单元之一包括第一晶体管、第二晶体管以及电容器,所述第一晶体管包含第一栅电极、第一源电极以及第一漏电极,所述第二晶体管包含第二栅电极、第二源电极以及第二漏电极,

所述第一晶体管设置在包含半导体材料的衬底中,

所述第二晶体管包含氧化物半导体层,

所述第一栅电极、所述第二源电极和所述第二漏电极中的一方、以及所述电容器的一个电极相互电连接,

所述源极线与所述第一源电极相互电连接,

所述位线与所述第一漏电极相互电连接,

并且,所述第一晶体管包括设置在所述包含半导体材料的衬底中的沟道形成区域、以夹着所述沟道形成区域的方式设置的杂质区域、在所述沟道形成区域上的第一栅极绝缘层、在所述第一栅极绝缘层上的所述第一栅电极、以及电连接到所述杂质区域的所述第一源电极及所述第一漏电极,

其中,所述信号线与所述第二栅电极相互电连接,并且

所述字线、所述第二源电极和所述第二漏电极中的另一方、以及所述电容器的另一个电极相互电连接。

18. 根据权利要求 17 所述的半导体装置,其中所述第二晶体管包括在所述包含半导体材料的衬底上的所述第二栅电极、在所述第二栅电极上的第二栅极绝缘层、在所述第二栅极绝缘层上的所述氧化物半导体层、以及电连接到所述氧化物半导体层的所述第二源电极及所述第二漏电极。

19. 根据权利要求 17 所述的半导体装置,其中所述包含半导体材料的衬底为单晶半导体衬底或 SOI 衬底。

20. 根据权利要求 17 所述的半导体装置,其中所述半导体材料为硅。

21. 根据权利要求 17 所述的半导体装置,其中所述氧化物半导体层包括基于 In-Ga-Zn-O 的氧化物半导体材料。

22. 根据权利要求 17 所述的半导体装置,其中所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。

23. 根据权利要求 17 所述的半导体装置,其中所述氧化物半导体层的氢浓度为小于或者等于 5×10^{19} 原子 / cm^3 。

24. 根据权利要求 17 所述的半导体装置,其中所述第二晶体管的截止电流为小于或者等于 $1 \times 10^{-13} \text{A}$ 。

25. 一种半导体装置,包括:

源极线;

位线;

多个存储单元,串联地电连接在所述源极线和所述位线之间,所述多个存储单元之一包括:

第一晶体管,所述第一晶体管包含第一栅电极、第一源电极以及第一漏电极,
第二晶体管,所述第二晶体管包含第二栅电极、第二源电极以及第二漏电极,以及
电容器;
信号线;
字线;
第一选择线;
第二选择线;

第三晶体管,所述第三晶体管包含第三栅电极、第三源电极以及第三漏电极,所述第三栅电极电连接到所述第一选择线;以及

第四晶体管,所述第四晶体管包含第四栅电极、第四源电极以及第四漏电极,所述第四栅电极电连接到所述第二选择线,

其中所述第一晶体管设置在包含半导体材料的衬底中,

所述第二晶体管包含氧化物半导体层,

所述第一栅电极、所述第二源电极和所述第二漏电极中的一方、以及所述电容器的一个电极相互电连接,

所述源极线通过所述第四晶体管与所述第一源电极和所述第一漏电极中的一方电连接,

所述位线通过所述第三晶体管与所述第一源电极和所述第一漏电极中的另一方电连接,

所述第一晶体管包括设置在所述包含半导体材料的衬底中的沟道形成区域、以夹着所述沟道形成区域的方式设置的杂质区域、在所述沟道形成区域上的第一栅极绝缘层、在所述第一栅极绝缘层上的所述第一栅电极、以及电连接到所述杂质区域的所述第一源电极及所述第一漏电极,

其中,所述信号线与所述第二栅电极相互电连接,并且

所述字线、所述第二源电极和所述第二漏电极中的另一方、以及所述电容器的另一个电极相互电连接。

26. 根据权利要求 25 所述的半导体装置,其中所述第二晶体管包括在所述包含半导体材料的衬底上的所述第二栅电极、在所述第二栅电极上的第二栅极绝缘层、在所述第二栅极绝缘层上的所述氧化物半导体层、以及电连接到所述氧化物半导体层的所述第二源电极及所述第二漏电极。

27. 根据权利要求 25 所述的半导体装置,其中所述包含半导体材料的衬底为单晶半导体衬底或 SOI 衬底。

28. 根据权利要求 25 所述的半导体装置,其中所述半导体材料为硅。

29. 根据权利要求 25 所述的半导体装置,其中所述氧化物半导体层包括基于 In-Ga-Zn-O 的氧化物半导体材料。

30. 根据权利要求 25 所述的半导体装置,其中所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。

31. 根据权利要求 25 所述的半导体装置,其中所述氧化物半导体层的氢浓度为小于或者等于 5×10^{19} 原子 / cm^3 。

32. 根据权利要求 25 所述的半导体装置,其中所述第二晶体管的截止电流为小于或者等于 $1 \times 10^{-13} \text{A}$ 。

半导体装置

技术领域

[0001] 所公开的发明涉及一种利用半导体元件的半导体装置及其制造方法。

背景技术

[0002] 利用半导体元件的存储装置可以粗略地分为两类：当电力供给停止时丢失存储的数据的易失性存储装置和即使在没有电力供给时也保持所存储的数据的非易失性存储装置。

[0003] 易失性存储装置的典型例子是 DRAM (Dynamic Random Access Memory :动态随机存取存储器)。DRAM 这样的方式存储数据：存储元件中包含的晶体管被选择并将电荷存储在电容器中。

[0004] 由于上述原理，在从 DRAM 读出数据时电容器的电荷丢失，因此，需要再次进行写入以使得在读出数据之后再次存储数据。另外，存储元件中所包括的晶体管存在泄漏电流，并且即使晶体管未被选择时电荷也流入或流出电容器，从而数据保持时间较短。为此，需要以预定的间隔进行另一写入操作(刷新操作)，并且难以充分降低功耗。另外，因为在没有电力供给时存储的内容丢失，因此需要具有利用磁性材料或光学材料的另外的存储装置以实现较长期间的存储保持。

[0005] 易失性存储装置的另一例子是 SRAM (Static Random Access Memory :静态随机存取存储器)。SRAM 使用诸如触发器等电路保持存储的数据，因此不需要刷新操作。在这一点上 SRAM 优越于 DRAM。但是，因为使用诸如触发器等电路，因此单位存储容量的成本变高。另外，如 DRAM 中那样，如果没有电力供给，则 SRAM 中存储的数据丢失。

[0006] 非易失性存储装置的典型例子是快闪(flash)存储器。快闪存储器在晶体管中包括在栅电极和沟道形成区之间的浮置栅极，并通过将电荷保持在该浮置栅极中来存储数据。因此，快闪存储器具有如下的优点：数据保持时间极长(几乎是永久性的)，不需要易失性存储装置中所需的刷新操作(例如，见专利文献 1)。

[0007] 但是，由于在进行写入时产生的隧穿电流，存储元件中的栅极绝缘层劣化，使得在预定次数的写入之后存储元件不能发挥其功能。为了降低上述问题的不利影响，例如，使用其中使各存储元件的写入次数均衡化的方法。但是，为了实现该方法，需要具有复杂的外围电路。另外，使用上述方法也不能解决使用寿命的根本问题。换言之，快闪存储器不适合于其中数据被频繁写入的应用。

[0008] 另外，为了将电荷保持在浮置栅极中或者去除该电荷，需要高电压。再者，电荷的保持或去除需要相对较长的时间，并且难以实现写入和擦除的高速化。

[0009] 参考文献

[0010] 专利文献 1：日本专利申请公开 No. S57-105889

发明内容

[0011] 鉴于上述问题，所公开的发明的一个实施例的目的之一是提供一种具有新的结构

的半导体装置,其中即使没有电力供给也能够保持存储的数据并且对写入次数没有限制。

[0012] 本发明的一个实施例是具有使用氧化物半导体形成的晶体管和使用除氧化物半导体以外的材料形成的晶体管的分层结构的半导体装置。例如,可以采用如下结构。

[0013] 本发明的一个实施例是一种半导体装置,包括:源极线;位线;信号线;以及字线。多个存储单元彼此串联连接在源极线和位线之间,并且所述多个存储单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器。第一晶体管设置在包含半导体材料的衬底上,第二晶体管包含氧化物半导体层。第一栅电极、第二源电极和第二漏电极中的一方、以及电容器的一个电极彼此电连接。源极线与第一源电极彼此电连接,位线与第一漏电极彼此电连接,并且信号线与第二栅电极彼此电连接。字线、第二源电极和第二漏电极中的另一方、以及电容器的另一电极彼此电连接。

[0014] 本发明的另一个实施例是一种半导体装置,包括:源极线;位线;信号线;以及字线。多个存储单元串联连接在源极线和位线之间,所述多个存储单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器。第一晶体管设置在包含半导体材料的衬底上,第二晶体管包含氧化物半导体层。第一栅电极、第二源电极和第二漏电极中的一方、以及电容器的一个电极彼此电连接。源极线与第一源电极彼此电连接,位线与第一漏电极彼此电连接,并且信号线与第二源电极和第二漏电极中的另一方彼此电连接。字线、第二栅电极、以及电容器的电极中的另一方彼此电连接。

[0015] 在上面的说明中,优选的是,半导体装置包括:第一选择线;第二选择线;在栅电极中电连接到第一选择线的第三晶体管;以及在栅电极中电连接到第二选择线的第四晶体管。此外,优选地,位线通过第三晶体管电连接到第一漏电极,并且源极线通过第四晶体管电连接到第一源电极。

[0016] 在上述说明中,半导体装置中的第一晶体管包括:设置在包含半导体材料的衬底中的沟道形成区域;以夹着沟道形成区域的方式设置的杂质区域;在沟道形成区域上的第一栅极绝缘层;在第一栅极绝缘层上的第一栅电极;以及电连接到所述杂质区域的第一源电极及第一漏电极。

[0017] 在上述说明中,第二晶体管包括:在包含半导体材料的衬底上的第二栅电极;在第二栅电极上的第二栅极绝缘层;在第二栅极绝缘层上的氧化物半导体层;以及电连接到所述氧化物半导体层的第二源电极及第二漏电极。

[0018] 在上述说明中,优选使用单晶半导体衬底或 SOI 衬底作为所述包含半导体材料的衬底。尤其是,优选使用硅作为所述半导体材料。

[0019] 在上述说明中,所述氧化物半导体层优选使用基于 In-Ga-Zn-O 的氧化物半导体材料形成。更优选地,所述氧化物半导体层包含 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶体。此外,氧化物半导体层中的氢浓度优选为小于或等于 5×10^{19} 原子/ cm^3 。另外,第二晶体管的截止电流(off-state current)优选为小于或等于 $1 \times 10^{-13}\text{A}$ 。

[0020] 在任何上述结构中,第二晶体管可以设置在与第一晶体管重叠的区域中。

[0021] 注意,在本说明书等中,诸如“上”或“下”之类的术语并不必然表示一个部件被放置在另一部件的“正上”或“正下”。例如,“在栅极绝缘层上的第一栅电极”的表述并不排

除其中在栅极绝缘层和第一栅电极之间设置另一部件的情况。另外,诸如“上”或“下”之类的术语只是为了便于说明而使用的,并且在没有相反的明确说明的情况下,其可以包括部件的关系倒转的情况。

[0022] 另外,在本说明书等中,诸如“电极”或“布线”之类的术语并不限制部件的功能。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,术语“电极”或“布线”可以包括其中以一体的方式形成多个“电极”或“布线”的情况。

[0023] “源极”和“漏极”的功能有时彼此互换,例如,在使用相反极性的晶体管的情况或电路操作中电流方向变化的情况下。因此,在本说明书中,术语“源极”和“漏极”可以彼此互换。

[0024] 注意,在本说明书等中,术语“电连接”包括其中部件通过具有某种电作用的物体连接的情况。这里,对于具有某种电作用的物体没有特别的限制,只要可以在通过该物体连接的部件之间发送和接收电信号即可。

[0025] “具有某种电作用的物体”的例子是诸如晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等、以及电极和布线。

[0026] 一般来说,术语“SOI 衬底”是指其中在绝缘表面上设置有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”在其类别中还包括在绝缘表面上设置有使用硅以外的材料形成的半导体层的衬底。换言之,“SOI 衬底”中所具有的半导体层不限于硅半导体层。“SOI 衬底”中的衬底不限于诸如硅晶片等的半导体衬底,并且可以是诸如玻璃衬底、石英衬底、蓝宝石衬底、或金属衬底等的非半导体衬底。换言之,“SOI 衬底”在其类别中还包括设有半导体材料形成的层的绝缘衬底或具有绝缘表面的导电衬底。此外,在本说明书等中,术语“半导体衬底”不但是指仅利用半导体材料形成的衬底,而且是指包含半导体材料的所有衬底。就是说,在本说明书等中,“半导体衬底”在其类别中还包括“SOI 衬底”。

[0027] 另外,在本说明书等中,氧化物半导体以外的半导体材料可以是任何半导体材料,只要其是氧化物半导体以外的半导体材料即可。例如,可以给出硅、锗、硅锗、碳化硅、或砷化镓等。另外,可以使用有机半导体材料等。注意,在未特别说明半导体装置等中所包含的材料时,可以使用氧化物半导体材料或者氧化物半导体以外的半导体材料。

[0028] 本发明的一个实施例提供了一种半导体装置,其中使用氧化物半导体以外的材料的晶体管放置在下部而包含氧化物半导体的晶体管放置在上部。

[0029] 由于包含氧化物半导体的晶体管的截止电流极小,因此通过使用该晶体管可以将所存储的数据储存极长时间。换言之,由于不需要进行刷新操作,或者,刷新操作的频率可以极低,因此可以充分降低功耗。另外,即使没有电力供给,也可以较长时间保存存储的数据。

[0030] 另外,在该半导体装置中,信息的写入不需要高电压,而且也没有元件劣化的问题。例如,因为不需要如现有的非易失性存储器那样将电子注入到浮置栅极和从浮置栅极抽出电子,因此不发生栅极绝缘层的劣化。就是说,根据本发明一个实施例的半导体装置对在现有的非易失性存储器中成为问题的写入次数没有限制,而且其可靠性显著提高。此外,根据晶体管的导通状态或截止状态而进行信息写入,从而可以容易地实现高速操作。另外,还有如下的优点:不需要快闪存储器等中所需的用于擦除信息的操作。

[0031] 与包含氧化物半导体的晶体管相比,使用氧化物半导体以外的材料的晶体管可以

以充分高的速度进行操作,因此,使用该晶体管可以高速地读出存储的数据。

[0032] 通过包括使用氧化物半导体以外的材料的晶体管和使用氧化物半导体的晶体管,可以实现具有新的特征的半导体装置。

附图说明

[0033] 在附图中:

[0034] 图 1 是用于说明半导体装置的电路图;

[0035] 图 2A 和 2B 是用于说明半导体装置的截面图及平面图;

[0036] 图 3A 至 3H 是用于说明半导体装置的制造步骤的截面图;

[0037] 图 4A 至 4G 是用于说明半导体装置的制造步骤的截面图;

[0038] 图 5A 至 5D 是用于说明半导体装置的制造步骤的截面图;

[0039] 图 6 是包含氧化物半导体的晶体管的截面图;

[0040] 图 7 是沿图 6 的 A-A' 截面的能带图(示意图);

[0041] 图 8A 是示出将正电压($V_g > 0$)施加到栅极(GE1)的状态的图,而图 8B 是示出将负电压($V_g < 0$)施加到栅极(GE1)的状态的图;

[0042] 图 9 是示出真空能级和金属的功函数(ϕ_m)之间以及真空能级和氧化物半导体的电子亲和势(χ)之间的关系的图;

[0043] 图 10 是示出 C-V 特性的图;

[0044] 图 11 是示出 V_g 和 $(1/C)^2$ 的关系的图;

[0045] 图 12 是用于说明半导体装置的截面图;

[0046] 图 13A 和 13B 每一都是用于说明半导体装置的截面图;

[0047] 图 14A 和 14B 每一都是用于说明半导体装置的截面图;

[0048] 图 15A 和 15B 每一都是用于说明半导体装置的截面图;

[0049] 图 16 是用于说明半导体装置的电路图;

[0050] 图 17 是用于说明半导体装置的模块电路图;

[0051] 图 18 是用于说明半导体装置的电路图;

[0052] 图 19 是用于说明半导体装置的电路图;

[0053] 图 20A 至 20F 每一都是用于说明使用半导体装置的电子设备的图。

具体实施方式

[0054] 下面,参照附图说明本发明的实施方式的例子。注意,本发明并不限于下面的描述,本领域技术人员可以容易地理解,在此公开的方式和细节可以以各种形式进行修改,而不脱离本发明的宗旨及其范围。因此,本发明不应被解释为受限于在此所示的实施例的内容。

[0055] 注意,为了便于理解,附图等中所示出的各结构的位置、大小、或范围等有时并未准确地呈现。因此,本发明的实施例并不局限于附图等所公开的位置、大小、或范围等。

[0056] 在本说明书等中,使用诸如“第一”、“第二”、“第三”等序数词以避免部件的混同,并且这些术语并不表示对部件号的限制。

[0057] 实施例 1

[0058] 在本实施例中,参照图 1 至图 15A 和 15B 说明根据所公开的发明的一个方式的半导体装置的结构及其制造方法。

[0059] < 半导体装置的电路结构 >

[0060] 图 1 示出半导体装置的电路结构的一个例子。该半导体装置包括使用氧化物半导体以外的材料的晶体管 160 和使用氧化物半导体的晶体管 162。注意,在图 1 中,对晶体管 162 增加了 OS 的符号,以示出晶体管 162 使用氧化物半导体(OS)。这对于以下的实施例的其他电路图中也是如此。

[0061] 这里,晶体管 160 的栅电极与晶体管 162 的源电极和漏电极中的一方电连接。另外,第一布线(其被表示为“第一线”,也称为源极线 SL)和晶体管 160 的源电极电连接,第二布线(其被表示为“第二线”,也称为位线 BL)和晶体管 160 的漏电极电连接。并且,第三布线(其被表示为“第三线”,也称为第一信号线 S1)与晶体管 162 的源电极和漏电极中的另一方电连接,第四布线(其被表示为“第四线”,也称为第二信号线 S2)和晶体管 162 的栅电极电连接。

[0062] 与使用氧化物半导体的晶体管相比,使用氧化物半导体以外的材料的晶体管 160 可以进行更高速度的操作,因此可以实现存储数据的高速读出。另外,使用氧化物半导体的晶体管 162 具有极小的截止电流。因此,在晶体管 162 处于截止状态时,可以在极长时间内保持晶体管 160 的栅电极的电压。另外,在使用氧化物半导体的晶体管 162 中,不容易导致短沟道效应,这是有利的。

[0063] 可以在极长时间内保持栅电极的电压的有点使得能够如下所述地进行信息写入、保持和读出。

[0064] 首先,说明信息的写入及保持。首先,将第四布线的电位设定为使晶体管 162 处于导通状态的电位,从而使晶体管 162 处于导通状态。由此,将第三布线的电位施加到晶体管 160 的栅电极(信息写入)。然后,将第四布线的电位设定为使晶体管 162 处于截止状态的电位,使晶体管 162 处于截止状态,从而保持晶体管 160 的栅电极的电位(信息保持)。

[0065] 因为晶体管 162 的截止电流极小,因此在长时间内保持晶体管 160 的栅电极的电位。例如,在晶体管 160 的栅电极的电位为使晶体管 160 处于导通状态的电位的情况下,在长时间内保持晶体管 160 的导通状态。另外,在晶体管 160 的栅电极的电位为使晶体管 160 处于截止状态的电位的情况下,在长时间内保持晶体管 160 的截止状态。

[0066] 下面,说明信息的读出。如上所述,当在如上所述地保持晶体管 160 的导通状态或截止状态并将预定的电位(低电位)施加到第一布线时,第二布线的电位值根据晶体管 160 的导通状态或截止状态而变化。例如,在晶体管 160 处于导通状态的情况下,第二布线的电位受第一布线的电位地影响而降低。另一方面,在晶体管 160 处于截止状态的情况下,第二布线的电位不变化。

[0067] 如上所述,通过在保持信息的状态下将第二布线的电位和预定的电位进行比较,可以读出信息。

[0068] 下面,说明信息的重写。以与上述地信息的写入及保持类似的方式,进行信息的水写。就是说,将第四布线的电位设定为使晶体管 162 处于导通状态的电位,从而使晶体管 162 处于导通状态。由此,将第三布线的电位(与新的信息有关的电位)施加到晶体管 160 的栅电极。然后,将第四布线的电位设定为使晶体管 162 处于截止状态的电位,从而使晶体

管 162 处于截止状态,因而新的信息被保持。

[0069] 如上所述,在根据所公开的发明的实施例的半导体装置中,可以通过再次写入信息而直接重写信息。由此,不需要快闪存储器等所需要的擦除操作;因而可以抑制由于擦除操作导致的操作速度的降低。换言之,可以实现半导体装置的高速操作。

[0070] 注意,在上述说明中,使用以电子为载流子的 n 型晶体管(n 沟道晶体管)的情况,但是,不用说也可以使用以空穴为载流子的 p 型晶体管代替 n 型晶体管。

[0071] 另外,当然,也可以对晶体管 160 的栅电极附加电容器等,以使得容易保持晶体管 160 的栅电极的电位。

[0072] < 半导体装置的平面结构及截面结构 >

[0073] 图 2A 和图 2B 示出上述半导体装置的结构的一个例子。图 2A 和图 2B 分别是半导体装置的截面图和半导体装置的平面图。这里,图 2A 相当于沿图 2B 的线 A1-A2 及线 B1-B2 的截面。图 2A 和图 2B 所示的半导体装置包括在下部的使用氧化物半导体以外的材料的晶体管 160 以及在上部的使用氧化物半导体的晶体管 162。注意,尽管在晶体管 160 及晶体管 162 都是 n 型晶体管的情况下进行说明,但是也可以采用 p 型晶体管。尤其是,使用 p 型晶体管作为晶体管 160 是容易的。

[0074] 晶体管 160 具有:对于包含半导体材料的衬底 100 设置的沟道形成区域 116;以其间夹着沟道形成区域 116 的方式设置的杂质区域 114 以及其间夹着沟道形成区域 116 的高浓度杂质区域 120 (也将这些区域总称为杂质区域);设置在沟道形成区域 116 上的栅极绝缘层 108;设置在栅极绝缘层 108 上的栅电极 110;以及电连接到杂质区域 114 的源电极或漏电极 130a 以及源电极或漏电极 130b。

[0075] 这里,在栅电极 110 的侧面设置侧壁绝缘层 118。另外,在衬底 100 的在平面图中不重叠于侧壁绝缘层 118 的区域中设置高浓度杂质区域 120。在高浓度杂质区域 120 上设置金属化合物区域 124。在衬底 100 上,围绕晶体管 160 地设置有元件隔离绝缘层 106,并且设置层间绝缘层 126 及层间绝缘层 128 以覆盖晶体管 160。源电极或漏电极 130a 和源电极或漏电极 130b 通过形成在层间绝缘层 126 及层间绝缘层 128 中的开口电连接到金属化合物区域 124。换言之,源电极或漏电极 130a 和源电极或漏电极 130b 经由金属化合物区域 124 电连接到高浓度杂质区域 120 及杂质区域 114。另外,栅电极 110 电连接到以与源电极或漏电极 130a 和源电极或漏电极 130b 类似的方式设置的电极 130c。

[0076] 晶体管 162 具有:设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的氧化物半导体层 140、设置在氧化物半导体层 140 上且电连接到氧化物半导体层 140 的源电极或漏电极 142a 以及源电极或漏电极 142b。

[0077] 这里,栅电极 136d 被设置为嵌入在形成在层间绝缘层 128 上的绝缘层 132 中。另外,与栅电极 136d 类似的,电极 136a、电极 136b 电极 136c 被形成为分别与源电极或漏电极 130a、源电极或漏电极 130b 以及电极 130c 接触。

[0078] 在晶体管 162 上,与氧化物半导体层 140 的一部分接触地设置保护绝缘层 144。在保护绝缘层 144 上设置有层间绝缘层 146。这里,在保护绝缘层 144 和层间绝缘层 146 中,形成有到达源电极或漏电极 142a 和源电极或漏电极 142b 的开口。在所述开口中,电极 150d 及电极 150e 被形成为分别接触于源电极或漏电极 142a 和源电极或漏电极 142b。与电极

150d 及电极 150e 类似地, 电极 150a、电极 150b 以及电极 150c 被形成为在设置在栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口中, 分别接触于电极 136a、电极 136b 以及电极 136c。

[0079] 这里, 氧化物半导体层 140 优选为充分去除诸如氢等杂质而被高度纯度化的氧化物半导体层。具体地说, 氧化物半导体层 140 中的氢浓度为小于或者等于 5×10^{19} 原子/cm³, 优选为小于或者等于 5×10^{18} 原子/cm³, 更优选为小于或者等于 5×10^{17} 原子/cm³。氧化物半导体层 140 优选是通过含有充分的氧而使由于氧缺乏导致的缺陷得到减少的氧化物半导体层。在其中氢浓度充分降低且由于氧缺乏导致的缺陷得到减少的高度纯化的氧化物半导体层 140 中, 载流子浓度为小于为 1×10^{12} /cm³, 优选为小于或者等于 1×10^{11} /cm³。以这样的方式, 通过使用使其成为 i 型(本征)氧化物半导体或基本上 i 型的氧化物半导体, 可以得到截止电流特性极为优良的晶体管 162。例如, 在漏极电压 Vd 为 +1V 或 +10V 且栅极电压 Vg 为 -5V 至 -20V 的情况下, 截止电流为小于或者等于 1×10^{-13} A。当使用其中氢浓度得到充分降低并且由于氧缺乏导致的缺陷得到减少的高度纯化的氧化物半导体层 140, 并且降低了晶体管 162 的截止电流时, 可以实现具有新的结构的半导体装置。另外, 使用二次离子质谱(SIMS)测量上述氧化物半导体层 140 中的氢浓度。

[0080] 另外, 在层间绝缘层 146 上设置有绝缘层 152。电极 154a、电极 154b、电极 154c 以及电极 154d 设置为嵌入该绝缘层 152 中。这里, 电极 154a 接触于电极 150a, 电极 154b 接触于电极 150b, 电极 154c 接触于电极 150c 及电极 150d, 并且电极 154d 接触于电极 150e。

[0081] 就是说, 在图 2A 和 2B 所示的半导体装置中, 晶体管 160 的栅电极 110 经由电极 130c、电极 136c、电极 150c、电极 154c 以及电极 150d 电连接到晶体管 162 的源电极或漏电极 142a。

[0082] < 半导体装置的制造方法 >

[0083] 下面说明上述半导体装置的制造方法的一个例子。首先, 参考图 3A 至 3H 说明下部的晶体管 160 的制造方法, 然后, 参考图 4A 至 4G 和图 5A 至 5D 说明上部的晶体管 162 的制造方法。

[0084] < 下部的晶体管的制造方法 >

[0085] 首先, 制备包含半导体材料的衬底 100 (见图 3A)。作为包含半导体材料的衬底 100, 可以使用含硅或碳化硅等的单晶半导体衬底或多晶半导体衬底、含硅锗等的化合物半导体衬底、或 SOI 衬底等。这里, 示出使用单晶硅衬底作为包含半导体材料的衬底 100 的一个例子。

[0086] 在衬底 100 上形成作为用于形成元件隔离绝缘层的掩模的保护层 102 (见图 3A)。作为保护层 102, 例如可以使用以氧化硅、氮化硅、或氮氧化硅等形成的绝缘层。注意, 在上述步骤之前或之后, 可以将赋予 n 型导电性的杂质元素和赋予 p 型导电性的杂质元素添加到衬底 100, 以控制晶体管的阈值电压。在衬底 100 中所含的半导体材料为硅时, 可以使用磷或砷等作为赋予 n 型导电性的杂质。另外, 例如可以使用硼、铝、或镓等作为赋予 p 型导电性的杂质。

[0087] 接着, 利用上述保护层 102 作为掩模, 通过蚀刻来去除未覆盖有保护层 102 的区域(露出的区域)中的衬底 100 的部分。由此, 形成隔离的半导体区域 104 (见图 3B)。该蚀刻优选使用干蚀刻, 但是也可以使用湿蚀刻。可以根据待蚀刻的对象的材料适当地选择蚀刻

气体和蚀刻剂。

[0088] 接着,形成绝缘层以覆盖半导体区域 104,并且选择性地去除与半导体区域 104 重叠的区域中的该绝缘层,从而形成元件隔离绝缘层 106(见图 3B)。该绝缘层使用氧化硅、氮化硅、或氮氧化硅等而形成。作为该绝缘层的去除方法,有 CMP 等抛光处理或蚀刻处理等,可以使用任意这些方法。注意,在形成半导体区域 104 之后,或者,在形成元件隔离绝缘层 106 之后,去除上述保护层 102。

[0089] 接着,在半导体区域 104 上形成绝缘层,并在该绝缘层上形成包含导电材料的层。

[0090] 该绝缘层之后将作为栅极绝缘层,并且该绝缘层优选具有采用通过 CVD 法或溅射法等得到的包含氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽等的膜的单层结构或多层结构。替代地,可以通过高密度等离子体处理或热氧化处理来使半导体区域 104 的表面氧化或氮化,来形成上述绝缘层。例如,可以使用诸如 He、Ar、Kr、或 Xe 等稀有气体和诸如氧、氧化氮、氨、氮、或氢等的混合气体来进行高密度等离子体处理。另外,对该绝缘层的厚度没有特别的限制,但是其厚度可以为大于或等于 1nm 且小于或者等于 100nm。

[0091] 包含导电材料的层可以使用诸如铝、铜、钛、钽、或钨等的金属材料形成。替代地,可以使用诸如包含导电材料的多晶硅等的半导体材料形成所述包含导电材料的层。对形成包含导电材料的层方法也没有特别的限制,可以使用诸如蒸镀法、CVD 法、溅射法、旋涂法等等的各种成膜方法。此外,在本实施例中,说明了使用金属材料形成包含导电材料的层的情况的例子。

[0092] 然后,通过选择性地蚀刻该绝缘层和包含导电材料的层,形成栅极绝缘层 108 和栅电极 110。(见图 3C)。

[0093] 接着,形成覆盖栅电极 110 的绝缘层 112(见图 3C)。然后,将磷(P)或砷(As)等添加到半导体区域 104,在衬底 100 中形成浅结深的杂质区域 114(见图 3C)。注意,虽然这里添加磷或砷以形成 n 沟道晶体管,然而在形成 p 沟道晶体管时可以添加硼(B)或铝(Al)等的杂质元素。另外,通过形成杂质区域 114,在栅极绝缘层 108 下的半导体区域 104 中形成沟道形成区域 116(见图 3C)。在此,可以适当地设定所添加的杂质的浓度,在半导体元件被高微细化的情况下优选将浓度设置得高。此外,虽然这里采用在形成杂质区域 114 之后形成绝缘层 112 的工艺,但是也可以采用在形成绝缘层 112 之后形成杂质区域 114 的工艺。

[0094] 接着,形成侧壁绝缘层 118(见图 3D)。覆盖绝缘层 112 地形成绝缘层,之后通过对该绝缘层进行高各向异性的蚀刻处理,来以自对准的方式形成侧壁绝缘层 118。此时,优选对绝缘层 112 进行部分蚀刻,从而暴露栅电极 110 的顶表面和杂质区域 114 的顶表面。

[0095] 接着,形成绝缘层以覆盖栅电极 110、杂质区域 114 和侧壁绝缘层 118 等。然后,将磷(P)或砷(As)等添加到该绝缘层与杂质区域 114 接触的区域,从而形成高浓度杂质区域 120(见图 3E)。然后,通过去除上述绝缘层,形成金属层 122 以覆盖栅电极 110、侧壁绝缘层 118 和高浓度杂质区域 120 等(见图 3E)。该金属层 122 可以使用诸如真空蒸镀法、溅射法或旋涂法等任意的各种方法形成。优选使用与半导体区域 104 中所含的半导体材料起反应来形成低电阻的金属化合物的金属材料形成金属层 122。作为上述金属材料的示例,有钛、钽、钨、镍、钴、铂等。

[0096] 接着,进行热处理,从而使金属层 122 与半导体材料起反应。由此,形成与高浓度

杂质区域 120 接触的金属化合物区域 124(见图 3F)。另外,在使用多晶硅等作为栅电极 110 的情况下,栅电极 110 的与金属层 122 接触的部分也具有金属化合物区域。

[0097] 作为上述热处理,可以使用利用闪光灯进行照射的热处理。当然,也可以使用其他热处理方法,但是优选使用可以实现极短时间热处理的方法,以提高在金属化合物形成过程中的化学反应的可控性。另外,上述金属化合物区域通过金属材料与半导体材料之间的反应而形成,并且具有充分提高的电导率。通过形成该金属化合物区域,可以充分降低电阻,并可以提高元件特性。在形成金属化合物区域 124 之后,去除金属层 122。

[0098] 接着,形成层间绝缘层 126 和层间绝缘层 128 以覆盖上述步骤中形成的各部件(见图 3G)。层间绝缘层 126 和层间绝缘层 128 可以使用包含诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽等无机绝缘材料形成。替代地,可以使用诸如聚酰亚胺或丙烯酸树脂等有机绝缘材料。注意,虽然这里层间绝缘层 126 和层间绝缘层 128 形成两层结构,但是这些层间绝缘层的结构不限于此。注意,在形成层间绝缘层 128 之后,优选对层间绝缘层 128 的表面进行 CMP 或蚀刻处理等而使其平坦化。

[0099] 然后,在上述层间绝缘层中形成到达金属化合物区域 124 的开口,并在该开口中形成源电极或漏电极 130a 和源电极或漏电极 130b(见图 3H)。例如,可以如下形成源电极或漏电极 130a 和源电极或漏电极 130b:使用 PVD 法或 CVD 法等包括所述开口的区域中形成导电层;然后使用蚀刻或 CMP 等去除上述导电层的一部分。

[0100] 注意,在通过去除上述导电层的一部分而形成源电极或漏电极 130a 和源电极或漏电极 130b 的情况下,优选对其表面进行处理以使其平坦。例如,在包含所述开口的区域中形成厚度薄的钛膜或氮化钛膜等,然后形成钨膜以嵌入所述开口中的情况下,通过在此之后进行 CMP,可以在去除钨膜、钛膜或氮化钛膜等的不需要的部分,并且可以改善表面的平坦度。通过对包含源电极或漏电极 130a 和源电极或漏电极 130b 的表面的表面进行平坦化,可以在之后的步骤中形成优良的电极、布线、绝缘层或半导体层等。

[0101] 注意,虽然仅描述了与金属化合物区域 124 接触的源电极或漏电极 130a 和源电极或漏电极 130b,但是也可以在同一步骤中形成接触栅电极 110 的电极(例如,图 2A 中的电极 130c)等。对可以用作源电极或漏电极 130a 和源电极或漏电极 130b 的材料没有特别的限制,并且可以使用任意的各种导电材料。例如,可以使用诸如钼、钛、铬、钽、钨、铝、铜、钽或铑等导电材料。

[0102] 通过上述工艺,形成使用包含半导体材料的衬底 100 的晶体管 160。另外,也可以在上述工艺之后,形成电极、布线或绝缘层等。在使用其中层叠层间绝缘层和导电层的多层布线结构作为布线的结构时,可以提供高度集成的半导体装置。

[0103] <上部的晶体管的制造方法>

[0104] 接着,参考图 4A 至 4G 及图 5A 至 5D 说明在层间绝缘层 128 上制造晶体管 162 的工艺。注意,图 4A 至 4G 及图 5A 至 5D 示出了在层间绝缘层 128 上的各种电极和晶体管 162 等的制造工艺,而省略了在晶体管 162 下的晶体管 160 等。

[0105] 首先,在层间绝缘层 128、源电极或漏电极 130a、源电极或漏电极 130b、以及电极 130c 上形成绝缘层 132(见图 4A)。可以使用 PVD 法或 CVD 法等形成绝缘层 132。可以使用包含诸如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、或氧化钽等无机绝缘材料的材料形成绝缘层 132。

[0106] 接着,在绝缘层 132 中形成到达源电极或漏电极 130a、源电极或漏电极 130b、以及电极 130c 的开口。此时,在要形成栅电极 136d 的区域中形成另一开口。然后,将导电层 134 形成嵌入上述开口中(见图 4B)。例如,上述开口可以使用掩模通过蚀刻等方法形成。该掩模通过例如使用光掩模的曝光等方法形成。对于所述蚀刻,可以使用湿蚀刻或干蚀刻,但是从微细处理的观点来看,优选使用干蚀刻。导电层 134 可以通过诸如 PVD 法或 CVD 法等的沉积方法形成。作为可以用于导电层 134 的材料例子,可以举出诸如钼、钛、铬、钽、钨、铝、铜、钕或钐等导电材料、任意这些材料的合金、以及含任意这些材料的化合物(例如,任意这些材料的氮化物)等。

[0107] 更具体地说,例如,可以如下形成导电层 134:在包括所述开口的区域中使用 PVD 法形成厚度薄的钛膜,并且使用 CVD 法形成厚度薄的氮化钛膜,然后形成钨膜以嵌入在所述开口中。这里,通过 PVD 法形成的钛膜具有如下功能:将与下面的电极(这里,源电极或漏电极 130a、源电极或漏电极 130b、或电极 130c 等)的界面处的氧化膜还原而降低与下面的电极的接触电阻。另外,之后形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。另外,也可以在由钛或氮化钛等形成阻挡膜之后,使用镀法形成铜膜。

[0108] 在形成导电层 134 之后,通过蚀刻处理或 CMP 等去除导电层 134 的一部分,从而暴露绝缘层 132,并形成电极 136a、电极 136b、电极 136c 以及栅电极 136d(见图 4C)。注意,在去除上述导电层 134 的一部分以形成电极 136a、电极 136b、电极 136c 以及栅电极 136d 时,优选进行处理以获得平坦表面。通过将绝缘层 132、电极 136a、电极 136b、电极 136c 以及栅电极 136d 的表面处理为平坦,可以在之后的步骤中形成优良的电极、布线、绝缘层、或半导体层等。

[0109] 接着,形成栅极绝缘层 138 以覆盖绝缘层 132、电极 136a、电极 136b、电极 136c 以及栅电极 136d(见图 4D)。栅极绝缘层 138 可以通过 CVD 法或溅射法等形成。另外,栅极绝缘层 138 优选包含氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪或氧化钽等。另外,栅极绝缘层 138 可以具有单层结构或者叠层结构。例如,可以通过使用硅烷(SiH_4)、氧和氮作为原料气体的等离子体 CVD 法,形成氧氮化硅的栅极绝缘层 138。对栅极绝缘层 138 的厚度没有特别的限制,但是例如其厚度可以为大于或等于 10nm 且小于或者等于 500nm。在使用叠层结构时,优选通过层叠厚度为大于或等于 50nm 且小于或者等于 200nm 的第一栅极绝缘层和在第一栅极绝缘层上的厚度为大于或等于 5nm 且小于或者等于 300nm 的第二栅极绝缘层来形成栅极绝缘层 138。

[0110] 注意,通过去除杂质而成为 i 型氧化物半导体或者基本上 i 型的氧化物半导体(高度纯化的氧化物半导体)对界面态或界面电荷极为敏感,因此在使用该氧化物半导体作为氧化物半导体层的情况下,氧化物半导体层与栅极绝缘层之间的界面是重要的。就是说,要与高度纯化的氧化物半导体层接触的栅极绝缘层 138 需要具有高的质量。

[0111] 例如,使用微波(2.45GHz)的高密度等离子体 CVD 法是理想的,因为可以形成致密且耐压高的高质量的栅极绝缘层 138。以这样的方式,高度纯化的氧化物半导体层与高质量栅极绝缘层彼此接触时,界面态可以得到降低并且可以得到优良的界面特性。

[0112] 当然,即使在使用如此的高度纯化的氧化物半导体层的情况下,也可以使用诸如溅射法或等离子体 CVD 法等的其他方法,只要能够形成优质的绝缘层作为栅极绝缘层即可。替代地,也可以使用在形成之后通过热处理而使膜质量以及与氧化物半导体层之间的

界面特性得到改善的绝缘层。总之,只要形成作为栅极绝缘层 138 的膜质量优良且可以降低与氧化物半导体层的界面态密度而形成优良的界面的层都是可以接受的。

[0113] 此外,在温度为 85°C , 电场强度为 $2 \times 10^6 \text{V/cm}$ 且时间为 12 小时的偏压-温度测试(BT 测试)中,如果在氧化物半导体中含有杂质,则杂质和氧化物半导体的主要成分之间的结合(combination)被强电场(B:偏压)和高的温度(T:温度)切断,并且所生成的悬挂键导致阈值电压(V_{th})的偏移。

[0114] 另一方面,根据所公开的本发明的一个实施例,通过去除氧化物半导体的杂质,尤其是氢或水等,并在栅极绝缘层和氧化物半导体层之间实现优良的界面特性,可以得到即使在 BT 测试中也稳定的晶体管。

[0115] 接着,在栅极绝缘层 138 上形成氧化物半导体层,并通过使用掩模的蚀刻等方法处理该氧化物半导体层,以形成岛状的氧化物半导体层 140 (见图 4E)。

[0116] 作为氧化物半导体层,可以应用使用任意下述材料的氧化物半导体层:四元金属氧化物,诸如 In-Sn-Ga-Zn-O;三元金属氧化物,诸如 In-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-O;二元金属氧化物,诸如 In-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-O;In-O;Sn-O;以及 Zn-O 等。另外,上述氧化物半导体材料也可以包含 SiO_2 。

[0117] 作为氧化物半导体层,可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。这里,M 表示选自 Ga、Al、Mn 及 Co 中的一种或多种金属元素。例如,M 可以是 Ga、Ga 和 Al、Ga 和 Mn、或 Ga 和 Co 等。在以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的、包含 Ga 作为 M 的氧化物半导体膜被称为基于 In-Ga-Zn-O 的氧化物半导体,并且将基于 In-Ga-Zn-O 的氧化物半导体的薄膜称为基于 In-Ga-Zn-O 的氧化物半导体膜(基于 In-Ga-Zn-O 的非晶膜)。

[0118] 在本实施例中,作为氧化物半导体层,使用基于 In-Ga-Zn-O 的氧化物半导体靶材以用于膜形成,通过溅射法形成非晶氧化物半导体层。注意,通过将硅添加到该非晶氧化物半导体层,可以抑制其晶化,因此,可以使用包含大于或等于 2wt. % 且小于或者等于 10wt. % 的 SiO_2 的靶材来形成氧化物半导体层。

[0119] 作为用于使用溅射法形成氧化物半导体层的靶材,例如,可以使用含氧化锌为主要成分的氧化物半导体成膜用靶材。另外,例如,可以使用用于沉积包含 In、Ga 和 Zn 的氧化物半导体的靶材(组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比])等。另外,可以使用其组成比为 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [摩尔比] 或 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [摩尔比] 的用于沉积包含 In、Ga 和 Zn 的氧化物半导体的靶材。用于沉积氧化物半导体的靶材的填充率为大于或等于 90% 且小于或者等于 100%,优选为大于或等于 95% (例如,99.9%)。通过使用填充率高的用于沉积氧化物半导体的靶材,形成致密的氧化物半导体层。

[0120] 氧化物半导体层的形成气氛优选为稀有气体(典型为氩)气氛、氧气氛、或稀有气体(典型为氩)和氧的混合气氛。特别是,优选使用其中诸如氢、水、氢氧根或氢化物等的杂质的浓度降低到大约几 ppm (优选为几 ppb) 的高纯度气体。

[0121] 在形成氧化物半导体层时,将衬底固定在保持为降低的压力状态下的处理室内,并且衬底温度为高于或等于 100°C 且小于或者等于 600°C ,优选为大于或等于 200°C 且小于或者等于 400°C 。当在加热衬底的同时形成氧化物半导体层时,可以降低氧化物半导体层所包含的杂质的浓度。另外,可以减轻由溅射导致的损伤。在去除处理室内的残留水

分的同时引入从其去除了氢和水的溅射气体,并使用金属氧化物作为靶材来形成氧化物半导体层。优选使用俘获型真空泵,以去除处理室内的残留水分。例如,可以使用低温泵、离子泵或钛升华泵。抽空单元可以是配有冷阱的涡轮泵。从使用低温泵进行抽空的沉积室中去除原子、包含氢原子的化合物(诸如,水(H_2O)等)(优选地,还去除包含碳原子的化合物)等,因此可以降低在该沉积室中形成的氧化物半导体层所包含的杂质的浓度。

[0122] 作为形成条件,例如,可以采用如下条件:衬底和靶材之间的距离为100mm,压力为0.6Pa,直流(DC)功率为0.5kW,并且气氛为氧气氛(氧流量比例为100%)。优选使用脉冲直流(DC)电源,因为可以减少粉状物质(也称为微粒或尘埃),并且膜厚度的变化可以较小。将氧化物半导体层的厚度设定为大于或等于2nm且小于或者等于200nm、优选为大于或等于5nm且小于或者等于30nm。另外,氧化物半导体层的适当的厚度根据使用的氧化物半导体材料而不同,因此可以根据使用的材料适当地选择氧化物半导体层的厚度。

[0123] 另外,优选在通过溅射法形成氧化物半导体层之前,通过其中引入氩气体并产生等离子体的反溅射,来去除附着在栅极绝缘层138的表面的尘埃。这里,通常的溅射是通过离子碰撞溅射靶材实现的,而反溅射是指通过离子碰撞待处理物体的表面以改变表面的质量的方法。作为使离子碰撞待处理物体的表面的方法,有其中在氩气氛中将高频电压施加到所述表面并在衬底附近生成等离子体的方法。另外,也可以使用氮气氛、氦气氛或氧气氛等代替氩气氛。

[0124] 对于上述氧化物半导体层的蚀刻,可以使用干蚀刻或湿蚀刻。当然,也可以使用干蚀刻和湿蚀刻的组合。根据材料适当地设定蚀刻条件(蚀刻气体、蚀刻液、蚀刻时间、或温度等),以可以将氧化物半导体层蚀刻成所希望的形状。

[0125] 作为干蚀刻所使用的蚀刻气体的例子,有含有氯的气体(基于氯的气体,例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)、或四氯化碳(CCl_4)等)等。替代地,可以使用:含有氟的气体(基于氟的气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等);溴化氢(HBr);氧(O_2);或对其添加了氦(He)或氩(Ar)等的稀有气体的任意上述气体等。

[0126] 作为干蚀刻法,可以使用平行板型反应性离子蚀刻(RIE)法或感应耦合等离子体(ICP)蚀刻法。适当地设定蚀刻条件(施加到线圈形电极的电功率、施加到衬底一侧的电极的电功率、衬底一侧的电极的温度等),以将该层蚀刻成所希望的形状。

[0127] 作为用于湿蚀刻的蚀刻剂,可以使用磷酸、醋酸以及硝酸的混合溶液等。替代地,可以使用IT007N(由Kanto Chemical Co., Inc制造)等。

[0128] 接着,优选对氧化物半导体层进行第一热处理。通过进行该第一热处理,可以使氧化物半导体层脱水化或脱氢化。第一热处理在如下温度进行:大于或等于300°C且小于或者等于750°C,优选大于或等于400°C且低于衬底的应变点。例如,将衬底引入到使用电阻加热元件等的电炉中,在氮气氛中在450°C的温度对氧化物半导体层140进行热处理1小时。此时,防止氧化物半导体层140接触大气,从而避免水或氢的混入。

[0129] 另外,热处理装置不限于电炉,也可以包括利用诸如被加热的气体等介质发出的热传导或热辐射对待处理的物体进行加热的装置。例如,可以使用快速热退火(RTA)装置,诸如气体快速热退火(GRTA)装置或灯快速热退火(LRTA)装置等。LRTA装置是利用从灯(如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯等)发出的光(电磁波)的辐射加热

待处理物体的装置。GRTA 装置是利用高温气体进行热处理的装置。作为所述气体,使用不会因加热处理而与待处理物体起反应的惰性气体,诸如氩等稀有气体或氮等。

[0130] 例如,作为第一热处理,也可以进行如下 GRTA 处理。将衬底置于到被加热到 650°C 至 700°C 的高温的惰性气体中,行加热几分钟,然后从该惰性气体中取出衬底。GRTA 处理使得可以在短时间内进行高温热处理。另外,该热处理仅是在短时间内进行,因此即使在超过衬底的应变点的温度条件下也可以使用该热处理。

[0131] 另外,优选在含有氮或稀有气体(氮、氖或氩等)为主要成分且不包含水或氢等的气氛中进行第一热处理。例如,优选将引入加热处理装置中的氮或诸如氮、氖、氩等的稀有气体的纯度设定为大于或等于 6N (99.9999%),优选设定为大于或等于 7N (99.99999%) (即,杂质浓度为小于或者等于 1ppm,优选为小于或者等于 0.1ppm)。

[0132] 根据第一加热处理的条件或氧化物半导体层的材料,有时可能将氧化物半导体层晶化成为微晶层或多晶层。例如,氧化物半导体层可以被晶化为晶化程度大于或等于 90% 或大于或等于 80% 的微晶氧化物半导体层。另外,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可以变为不含晶体成分的非晶氧化物半导体层。

[0133] 氧化物半导体层可以成为这样的氧化物半导体层,其中晶体(粒径(gain diameter))为大于或等于 1nm 且小于或者等于 20nm,典型为大于或等于 2nm 且小于或者等于 4nm)混合在非晶氧化物半导体(例如,氧化物半导体层的表面)中。

[0134] 另外,可以通过在氧化物半导体层的非晶表面上设置晶体层,改变氧化物半导体层的电特性。例如,在使用基于 In-Ga-Zn-O 的氧化物半导体的成膜靶材来形成氧化物半导体层的情况下,可以通过形成其中电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒被对准的晶体部,改变氧化物半导体层的电特性。

[0135] 更具体地,例如,通过将 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 轴在垂直于氧化物半导体层的表面的方向的方式来使晶粒对准,可以提高在平行于氧化物半导体层表面的方向上的导电性,从而可以提高在垂直于氧化物半导体层表面的方向上的绝缘性。另外,上述晶体部具有抑制诸如水或氢等杂质侵入到氧化物半导体层中的功能。

[0136] 注意,具有上述晶体部的氧化物半导体层可以通过 GRTA 来对氧化物半导体层表面进行加热而形成。通过使用 Zn 含量小于 In 或 Ga 含量的溅射靶材,可以实现更理想的氧化物半导体层的形成。

[0137] 对氧化物半导体层 140 的第一热处理也可以对还未被处理为岛状的氧化物半导体层 140 来进行。在此情况下,在进行第一热处理之后,从加热装置取出衬底,并进行光刻步骤。

[0138] 另外,上述第一热处理可以对氧化物半导体层 140 进行脱水化或脱氢化,因此也可以被称为脱水化处理或脱氢化处理等。可以在任何时机进行上述脱水化处理或脱氢化处理,例如,在形成氧化物半导体层之后,在将源电极或漏电极层叠在氧化物半导体层 140 上之后,或者,在将保护绝缘层形成在源电极或漏电极上之后等。可以进行该脱水化处理或脱氢化处理一次以上。

[0139] 接着,形成源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 接触(见图 4F)。可以通过形成导电层以覆盖氧化物半导体层 140 之后对该导电层选择性地蚀刻的方式,形成源电极或漏电极 142a 和源电极或漏电极 142b。

[0140] 该导电层可以使用诸如溅射法的 PVD 法或诸如等离子体 CVD 法等的 CVD 法形成。另外,作为导电层的材料,可以使用选自铝、铬、铜、钽、钛、钼和钨的元素或含任意上述元素作为其成分的合金等。也可以使用选自锰、镁、锆、铍和钽的任何一种或多种材料。另外,对于该导电层的材料,也可以适用其中组合了铝与选自钛、钽、钨、钼、铬、钽和铪的一种元素或多种元素材料。

[0141] 替代地,该导电层也可以使用导电金属氧化物形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,有时缩写为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)、或者其中含有硅或氧化硅的任意上述金属氧化物材料。

[0142] 该导电层既可为单层结构,又可为两层或更多层的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠有钛膜的两层结构、以及顺序层叠有钛膜、铝膜和钛膜的三层结构等。

[0143] 这里,对于用于形成蚀刻掩模的曝光,优选使用紫外线、KrF 激光束、或 ArF 激光束。

[0144] 晶体管的沟道长度(L)由源电极或漏电极 142a 的下边缘部和源电极或漏电极 142b 的下边缘部的间隔决定。另外,当在沟道长度(L)短于 25nm 的条件下,使用波长极短的几 nm 至几十 nm 的极紫外线(Extreme Ultraviolet)进行用于形成掩模的曝光。在利用超紫外线的曝光中,分辨率高,并且焦深(focus depth)大。因此,可以之后将形成的晶体管的沟道长度(L)可以为大于或等于 10nm 且小于或者等于 1000nm,从而可以提高电路的操作速度。此外,该晶体管的截止电流极小,因此可以抑制功耗的增大。

[0145] 可以适当地调节层的材料和蚀刻条件,以使得在对该导电层进行蚀刻时不会把氧化物半导体层 140 去除。另外,根据材料和蚀刻条件,有时在该蚀刻步骤中氧化物半导体层 140 被部分蚀刻而具有凹槽部(凹部)。

[0146] 可以在氧化物半导体层 140 和源电极或漏电极 142a 之间或者在氧化物半导体层 140 和源电极或漏电极 142b 之间形成氧化物导电层。可以连续形成(连续沉积)氧化物导电层和用于形成源电极或漏电极 142a 和源电极或漏电极 142b 的金属层。氧化物导电层可以用作源区或漏区。通过设置该氧化物导电层,可以降低源区或漏区的电阻,并可以实现晶体管的高速操作。

[0147] 可以使用多色调掩模(其是一种将光透射为具有多种强度的曝光掩模)形成的抗蚀剂掩模来进行蚀刻,以减少掩模和步骤的数量。使用多色调掩模形成的抗蚀剂掩模具有多种厚度的形状(阶梯状),并且可以通过灰化来进一步改变形状,因此该抗蚀剂掩模可以用于处理为不同的图案的多个蚀刻工艺中。就是说,利用一个多色调掩模,可以形成对应于至少两种或两种以上的不同图案的抗蚀剂掩模。因此,可以削减曝光掩模数,并且可以削减所对应的光刻步骤数,因此可以简化工艺。

[0148] 另外,优选在上述步骤之后,进行使用诸如 N_2O 、 N_2 或 Ar 等的气体的等离子体处理。通过该等离子体处理,去除附着于露出的氧化物半导体层表面的水等。替代地,可以使用诸如氧和氩的混合气体等的包含氧的气体进行等离子体处理。以这样的方式,可以将氧供给给氧化物半导体层而减少由于氧缺乏导致的缺陷。

[0149] 接着,不接触空气地形成与部分氧化物半导体层 140 接触的保护绝缘层 144(见图

4G)。

[0150] 保护绝缘层 144 可以通过适当地使用溅射法等防止水或氢等的杂质混入到保护绝缘层 144 的方法而形成。保护绝缘层 144 的厚度为大于或等于 1nm。作为可以用于保护绝缘层 144 的材料,有氧化硅、氮化硅、氧氮化硅、氮氧化硅等。保护绝缘层 144 可以具有单层结构或者叠层结构。优选将形成保护绝缘层 144 时的衬底温度设定为大于或等于室温且小于或等于 300° C。用于形成保护绝缘层 144 的气氛优选采用稀有气体(典型为氩)气氛、氧气气氛、或稀有气体(典型为氩)和氧的混合气氛。

[0151] 在保护绝缘层 144 包含氢的情况下,导致氢侵入到氧化物半导体层或者由氢从氧化物半导体层中抽取氧等,并且使得氧化物半导体层的背沟道一侧的电阻低,这可能形成寄生沟道。因此,重要的是在保护绝缘层 144 的形成过程中不使用氢,以使得氧化物绝缘层 144 含尽可能少的氢。

[0152] 另外,优选在去除处理室内的残留水分的同时形成保护绝缘层 144。这是为了防止氧化物半导体层 140 和保护绝缘层 144 中包含氢、羟基或水。

[0153] 优选使用俘获型真空泵,以去除处理室内的残留水分。例如,优选使用低温泵、离子泵或钛升华泵。另外,作为抽空单元,可以使用配有冷阱的涡轮泵。从使用低温泵进行抽空的沉积室中,去除了氢原子或包含氢原子的化合物(诸如水(H₂O)等)等,因此可以降低在该沉积室中形成的保护绝缘层 144 所包含的杂质的浓度。

[0154] 作为形成保护绝缘层 144 时的溅射气体,优选使用其中将诸如氢、水、羟基或氢化物等的杂质的浓度降低到大约几 ppm(优选为几 ppb)的高纯度气体。

[0155] 接着,优选在惰性气体气氛中或在氧气气氛中进行第二热处理(优选为在大于或等于 200° C 且小于或者等于 400° C,例如大于或等于 250° C 且小于或者等于 350° C 的温度)。例如,在氮气气氛下在 250° C 的温度进行第二热处理一小时。第二热处理可以降低晶体管的电特性的变化。另外,通过第二热处理,可以将氧供给给氧化物半导体层。

[0156] 另外,可以在空气中在大于或等于 100° C 且小于或者等于 200° C 的温度进行热处理大于或等于 1 小时且小于或者等于 30 小时。该热处理可在固定的加热温度进行。替代地,可以反复多次应用如下的温度循环:温度从室温增加到大于或等于 100° C 且小于或者等于 200° C 的温度,并然后降低到室温。另外,可以在形成保护绝缘层之前在降低的压力下进行该热处理。通过降低的压力使得可以缩短热处理时间。另外,可以进行该热处理代替上述第二热处理;替代地,可以在第二热处理以外,在第二热处理之前和/或之后,进行该热处理。

[0157] 然后,在保护绝缘层 144 上形成层间绝缘层 146(见图 5A)。层间绝缘层 146 可以使用 PVD 法或 CVD 法等形成。另外,可以使用包含诸如氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、或氧化钽等的无机绝缘材料形成层间绝缘层 146。另外,优选在形成层间绝缘层 146 之后,对层间绝缘层 146 的表面进行 CMP 或蚀刻处理等,以使其平坦化。

[0158] 接着,在层间绝缘层 146、保护绝缘层 144 以及栅极绝缘层 138 中形成到达电极 136a、电极 136b、电极 136c、源电极或漏电极 142a、以及源电极或漏电极 142b 的开口;然后,形成导电层 148 以嵌入这些开口中(见图 5B)。例如,上述开口可以使用掩模通过蚀刻形成。例如,上述掩模可以通过使用光掩模的曝光形成。作为蚀刻,可以使用湿蚀刻或干蚀刻,但是从微细处理的观点来看,优选使用干蚀刻。导电层 148 可以使用诸如 PVD 法或 CVD

法等的沉积法形成。作为可以用于形成导电层 148 的材料,可以举出诸如以下的导电材料:钼、钛、铬、钽、钨、铝、铜、钕和铈,任意这些元素的合金,或含任意这些元素的化合物(例如,任意这些元素的氮化物)等。

[0159] 具体地说,例如,可以如下形成导电层 148:在包括所述开口的区域中使用 PVD 法形成厚度薄的钛膜,然后使用 CVD 法形成厚度薄的氮化钛膜;然后,形成钨膜以嵌入开口中。这里,通过 PVD 法形成的钛膜具有使与下面的电极(这里,电极 136a、电极 136b、电极 136c、源电极或漏电极 142a、或源电极或漏电极 142b 等)的界面处的氧化膜还原从而降低与下面的电极的接触电阻的功能。另外,随后形成的氮化钛膜具有抑制导电材料的扩散的阻挡功能。另外,可以在利用钛或氮化钛等形成阻挡膜之后,使用镀的方法来形成铜膜。

[0160] 在形成导电层 148 之后,通过使用蚀刻或 CMP 等去除导电层 148 的一部分,从而暴露层间绝缘层 146,并形成电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e(见图 5C)。另外,在通过去除上述导电层 148 的一部分来形成电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 时,优选进行处理以获得平坦表面。通过将层间绝缘层 146、电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 的表面处理为平坦,可以在之后的步骤中形成优良的电极、布线、绝缘层、或半导体层等。

[0161] 此外,形成绝缘层 152,并在绝缘层 152 中形成到达电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 的开口;然后,形成导电层以嵌入在所述开口中。然后,使用蚀刻或 CMP 等去除该导电层的一部分,从而暴露绝缘层 152,并形成电极 154a、电极 154b、电极 154c 以及电极 154d(见图 5D)。该步骤与形成电极 150a 等的步骤相同,因而省略其详细说明。

[0162] 在以上述方式制造晶体管 162 的情况下,氧化物半导体层 140 的氢浓度为小于或者等于 5×10^{19} 原子/cm³,并且晶体管 162 的截止电流为小于或者等于 1×10^{-13} A,即,检测极限。晶体管 162 的截止电流(这里,每微米沟道宽度的电流)为小于或者等于 100zA/ μ m。如此,通过使用其中氢浓度被充分降低并且由于氧缺乏导致的缺陷得到降低的高度纯化的氧化物半导体层 140,可以得到特性优良的晶体管 162。另外,可以制造包括在下部的使用氧化物半导体以外的材料的晶体管 160 以及在上部的使用氧化物半导体的晶体管 162 的特性优良的半导体装置。

[0163] 另外,虽然对氧化物半导体的物理性质已在进行各种各样的研究,但是这些研究并未启示充分降低能隙中的局部态(localized states)的思想。在所公开的发明的一个实施例方式中,从氧化物半导体中去除可以引入局部态的水或氢,从而制造了高度纯化的氧化物半导体。这是基于充分降低能隙中的局部态的思想的。由此,可以制造极为优良的工业产品。

[0164] 另外,在去除氢或水等时,氧有时也被去除。由此,优选地是,通过将氧供给给由氧缺乏而产生的金属的悬挂键以减少由氧缺乏而导致的局部态,进一步使氧化物半导体纯化(使其成为 i 型氧化物半导体)。例如,可以以如下方式减少由氧缺乏而导致的局部态:与沟道形成区域紧密接触地形成氧过剩的氧化膜;并进行在 200° C 至 400° C(典型为大约 250° C)的温度的热处理,从而将氧从该氧化膜供给给氧化物半导体。在第二热处理期间,可以将惰性气体切换为含氧的气体,或者将含氧的气体切换为惰性气体。此外,可以在第二热处理之后,在氧气氛中或者在其中充分降低了氢或水的气氛中,通过降温过程,将氧供给

给氧化物半导体。

[0165] 可以认为,氧化物半导体特性恶化的一个因素是由氢过剩导致的导带下的 0.1eV 至 0.2eV 处的较浅能级或由氧缺乏导致的较深能级等。尽量去除氢并且充分供给氧以消除上述缺陷的技术思想应当是有效的。

[0166] 在所公开的发明中,因为氧化物半导体被高度纯化,因此氧化物半导体中的载流子密度充分低。

[0167] 此外,利用常温下的费米-狄拉克分布函数,能隙处于 3.05 至 3.15eV 的氧化物半导体的本征载流子密度为 $1 \times 10^{-7}/\text{cm}^3$,这比硅的本征载流子密度 $1.45 \times 10^{10}/\text{cm}^3$ 低得多。

[0168] 因此,作为少数载流子的空穴的数目极少。绝缘栅型场效应管 (Insulated Gate Field Effect Transistor, IGFET) 在截止状态下的泄漏电流被预期为在常温下为小于或者等于 100aA/ μm ,优选为小于或者等于 10aA/ μm ,或者更优选为小于或者等于 1aA/ μm 。这里,“1aA/ μm ”表示晶体管的每微米沟道宽度流过 1aA ($1 \times 10^{-18}\text{A}$) 的电流。

[0169] 实际上,作为能隙为大于或等于 3eV 的宽带隙半导体,已知 4H-SiC (3.26eV) 和 GaN (3.42eV) 等。预期利用这些半导体材料能够得到与上述特性类似的晶体管特性。但是,因为这些半导体材料大于或等于 1500° C 的工艺温度,因此在基本上是不可能形成这些半导体材料的薄膜的。另外,工艺温度过高使得不能在硅集成电路上进行三维层叠这些材料。另一方面,因为氧化物半导体可以通过在室温至 400C 的加热溅射而沉积成薄膜,并且可以在 450° C 至 700° C 进行脱水化或脱氢化(去除氢或水)及供给氧;因此,可以在硅集成电路上三维地层叠氧化物半导体。

[0170] 另外,尽管通常氧化物半导体为 n 型,但是在所公开的发明的一个实施方式中,通过去除杂质(诸如水或氢等)并供给作为氧化物半导体的构成元素的氧,使得氧化物半导体成为 i 型氧化物半导体。在这一点上,与通过添加杂质而使硅成为 i 型硅的情况不同,因此可以说,所公开的发明的一个实施例包含了新的技术思想。

[0171] <使用氧化物半导体的晶体管的电导通机理>

[0172] 这里,将参考图 6 至图 9 说明使用氧化物半导体的晶体管的电导通机理。注意,为便于理解,以下的说明是基于理想情况的假设的,并不必然反映实际情况。另外,以下说明只是一个考虑,而并不影响发明的有效性。

[0173] 图 6 是包含氧化物半导体的晶体管(薄膜晶体管)的截面图。在栅电极(GE1)上设置有氧化物半导体层(OS)而栅极绝缘层(GI)插入在二者之间,并且其上设置有源电极(S)和漏电极(D)。提供绝缘层以覆盖源电极(S)和漏电极(D)。

[0174] 图 7 示出沿图 6 的 A-A' 截面的能带图(示意图)。在图 7 中,黑色圆点(●)表示电子,而白色圆点(○)表示空穴,它们分别具有电荷(-q, +q)。在将正电压施加到漏电极($V_D > 0$)的情况下,虚线表示不将电压施加到栅电极的情况($V_G = 0$),而实线表示将正电压施加到栅电极的情况($V_G > 0$)。在不将电压施加到栅电极的情况下,因为势垒高,因此载流子(电子)不从电极注入到氧化物半导体一侧,从而没有电流流过,这意味着截止状态。另一方面,在将正电压施加到栅极的情况下,势垒降低,因而电流流过,这意味着导通状态。

[0175] 图 8A 和 8B 示出沿图 6 的 B-B' 的截面的能带图(示意图)。图 8A 示出将正电压($V_G > 0$)施加到栅电极(GE1),并且在源电极和漏电极之间流过载流子(电子)的导通状态。图 8B 示出将负电压($V_G < 0$)施加到栅电极(GE1)并且不流过少数载流子的截止状态。

[0176] 图 9 示出真空能级和金属的功函数 (ϕ_m) 之间以及真空能级和氧化物半导体的电子亲和势 (χ) 之间的关系。

[0177] 在常温下,金属中的电子劣化,并且费米能级位于导带内。另一方面,常规的氧化物半导体为 n 型半导体,其中费米能级 (E_F) 远离位于带隙中央的本征费米能级 (E_i),并且位置更接近导带。另外,已知在氧化物半导体中部分的氢成为施主,并这是导致氧化物半导体成为 n 型半导体的因素之一。

[0178] 另一方面,根据所公开的发明的一个实施例的氧化物半导体是通过如下获得的本征 (i 型) 的或者基本本征的氧化物半导体:从氧化物半导体去除作为半导体 n 型化的因素的氢,并对氧化物半导体进行纯化,以使得尽可能使得其中不含氧化物半导体的主要成分以外的元素(杂质元素)。就是说,其特征在于:通过尽可能多地去除诸如氢或水等的杂质,得到纯化的 i 型(本征)半导体或接近本征的半导体,而不是通过添加杂质元素。由此,可以使费米能级 (E_F) 与本征费米能级 (E_i) 相当。

[0179] 据称,氧化物半导体的带隙 (E_g) 是 3.15eV,并且电子亲和势 (χ) 是 4.3V。源电极及漏电极中所含的钛 (Ti) 的功函数与氧化物半导体的电子亲和势 (χ) 基本相等。在此情况下,在金属和氧化物半导体地界面处不形成对电子的肖特基势垒。

[0180] 就是说,在金属的功函数 (ϕ_m) 和氧化物半导体的电子亲和势 (χ) 相当的情况下,在金属和氧化物半导体彼此接触时获得如图 7 所示的能带图(示意图)。

[0181] 在图 7 中,黑色圆点 (●) 表示电子。在将正电位施加到漏极时,电子超过势垒而注入到氧化物半导体,并流向漏极。势垒的高度取决于栅极电压和漏极电压。在施加正的漏极电压时,势垒的高度低于未施加电压情况下的图 7 中的势垒的高度,即带隙 (E_g) 的 1/2。

[0182] 此时,如图 8A 所示,电子在栅极绝缘层和被纯化的氧化物半导体的界面附近(氧化物半导体的能量稳定的最低部)移动。另外,如图 8B 所示,在将负电位施加到栅电极 (GE1) 时,因为作为少数载流子的空穴基本为 0,因此电流地值极为接近于 0。

[0183] 以这样的方式,通过进行纯化以使得尽可能少地包含氧化物半导体的主要元素以外的元素(杂质元素),来得到本征 (i 型) 的或基本上本征的氧化物半导体。由此,氧化物半导体与栅极绝缘层之间的界面的特性变得明显。因此,栅极绝缘层需要能够与氧化物半导体形成优良界面。具体地说,优选使用例如,通过使用利用 VHF 频带至微波频带的范围中电源频率而产生的高密度等离子体的 CVD 法而形成的绝缘层,或通过溅射法形成的绝缘层等。

[0184] 在对氧化物半导体进行纯化并使得氧化物半导体和栅极绝缘层的界面理想时,例如,在晶体管的沟道宽度 (W) 为 $1 \times 10^4 \mu m$ 且沟道长度 (L) 为 $3 \mu m$ 的情况下,可以实现 $10^{-13} A$ 或更低的截止电流和 0.1V/dec. 的亚阈值摆幅值 (S 值) (栅极绝缘层的厚度:100nm)。

[0185] 如上所述地对氧化物半导体进行纯化以尽可能少地包含氧化物半导体的主要成分以外的元素(杂质元素),从而使得晶体管可以以理想的方式操作。

[0186] < 载流子浓度 >

[0187] 在根据所公开的发明的技术思想中,通过充分减小氧化物半导体层的载流子浓度,使其尽可能接近本征 (i 型) 氧化物半导体层。以下,将参考图 10 及图 11 说明计算载流子浓度的方法和实际测量的载流子浓度。

[0188] 首先,简单说明计算载流子浓度的方法。可以通过制造 MOS 电容器并估算 MOS 电

容器的 C-V 测量的结果 (C-V 特性), 来计算载流子浓度。

[0189] 更具体地, 以如下方式计算载流子浓度 N_d : 通过绘制 MOS 电容器的栅极电压 V_g 与电容 C 的关系而获得 C-V 特性; 利用该 C-V 特性得到栅极电压 V_g 与 $(1/C)^2$ 的关系的图; 找到在该图的弱反型区中 $(1/C)^2$ 的微分值; 并且将该微分值代入公式 1。注意, 在公式 1 中, e 表示元电荷, ϵ_0 表示真空介电常数, 并且 ϵ 表示氧化物半导体的相对介电常数。

[0190] 公式 1

$$[0191] \quad N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

[0192] 接着, 说明使用上述方法实际测量的载流子浓度。在进行测量时使用如下形成的样品 (MOS 电容器): 在玻璃衬底上形成有 300nm 厚的钛膜, 在钛膜上形成有 100nm 厚的氮化钛膜, 在氮化钛膜上形成有 2 μ m 厚的使用基于 In-Ga-Zn-O 的氧化物半导体的氧化物半导体层; 并在氧化物半导体层上形成有 300nm 厚的银膜。注意, 通过使用包含 In、Ga 和 Zn 的用于沉积氧化物半导体的靶材 ($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [摩尔比]), 通过溅射法, 形成氧化物半导体层。另外, 氧化物半导体层的形成气氛为氩和氧的混合气氛 (流量比为 $\text{Ar}:\text{O}_2=30$ (sccm):15 (sccm))。

[0193] 图 10 和图 11 分别示出 C-V 特性和 V_g 与 $(1/C)^2$ 的关系。使用公式 1 从图 11 的弱反型区中的 $(1/C)^2$ 的微分值计算得到的载流子浓度为 $6.0 \times 10^{10}/\text{cm}^3$ 。

[0194] 如上所述, 通过使用使其成为 i 型或者基本上 i 型的氧化物半导体 (例如, 载流子浓度低于 $1 \times 10^{12}/\text{cm}^3$, 优选为小于或者等于 $1 \times 10^{11}/\text{cm}^3$), 可以得到截止电流特性极为优良的晶体管。

[0195] < 修改例 >

[0196] 将参考图 12 至图 15A 和 15B 说明半导体装置的结构修改例。另外, 在下面的修改例中, 晶体管 162 的结构与上述的不同。换言之, 晶体管 160 的结构与上述的类同。

[0197] 在图 12 所示的例子中, 晶体管 162 具有: 在氧化物半导体层 140 下的栅电极 136d; 以及源电极或漏电极 142a 和源电极或漏电极 142b, 其在氧化物半导体层 140 的底表面处接触氧化物半导体层 140。另外, 平面的结构可以根据截面而适当地改变, 因此, 这里只示出截面结构。

[0198] 图 12 所示的结构和图 2A 和 2B 所示的结构的一大不同之处在于: 存在源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 连接的连接位置。就是说, 在图 2A 和 2B 所示的结构中, 源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的顶表面接触氧化物半导体层 140; 另一方面, 在图 12 所示的结构中, 源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的底表面处接触氧化物半导体层 140。另外, 由于接触的不同, 其他电极或其他绝缘层等的位置也发生变化。各部件的详细与图 2A 和 2B 等中那些部件相同。

[0199] 具体地, 晶体管 162 包括: 设置在层间绝缘层 128 上的栅电极 136d; 设置在栅电极 136d 上的栅极绝缘层 138; 设置在栅极绝缘层 138 上的源电极或漏电极 142a 和源电极或漏电极 142b; 以及接触源电极或漏电极 142a 和源电极或漏电极 142b 的顶表面的氧化物半导体层 140。

[0200] 这里,栅电极 136d 设置为嵌入在形成在层间绝缘层 128 上的绝缘层 132 中。另外,与栅电极 136d 类同的,分别形成接触于源电极或漏电极 130a 的电极 136a、接触于源电极或漏电极 130b 的电极 136b 以及接触于电极 130c 的电极 136c。

[0201] 另外,在晶体管 162 上,设置有保护绝缘层 144,其与氧化物半导体层 140 的一部分接触。在保护绝缘层 144 上设置有层间绝缘层 146。这里,在保护绝缘层 144 和层间绝缘层 146 中,形成有到达源电极或漏电极 142a 和源电极或漏电极 142b 的开口。在这些开口中,电极 150d 及电极 150e 被形成为分别与源电极或漏电极 142a 和源电极或漏电极 142b 接触。与电极 150d 及电极 150e 类似地,电极 150a、电极 150b 以及电极 150c 被形成为在设置在栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口中与电极 136a、电极 136b 以及电极 136c 接触。

[0202] 另外,在层间绝缘层 146 上设置有绝缘层 152。将电极 154a、电极 154b、电极 154c 以及电极 154d 设置为嵌入该绝缘层 152 中。这里,电极 154a 接触于电极 150a,电极 154b 接触于电极 150b,电极 154c 接触于电极 150c 及电极 150d,并且电极 154d 接触于电极 150e。

[0203] 图 13A 和 13B 示出在氧化物半导体层 140 上具有栅电极 136d 的例子。这里,图 13A 示出源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的底表面处接触氧化物半导体层 140 的例子,而图 13B 示出源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的顶表面处接触氧化物半导体层 140 的例子。

[0204] 图 13A 和 13B 所示的结构和图 2A 和 2B 及图 12 所示的结构较大不同之处在于:在氧化物半导体层 140 上具有栅电极 136d。另外,图 13A 所示的结构和图 13B 所示的结构较大不同之处在于:源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 的底表面接触还是与氧化物半导体层 140 的顶表面接触。另外,由于这些的不同,其他电极或绝缘层等的位置可以改变。各部件的细节与图 2A 和 2B 等的相同。

[0205] 具体地,在图 13A 中,晶体管 162 包括:设置在层间绝缘层 128 上的源电极或漏电极 142a 和源电极或漏电极 142b;接触源电极或漏电极 142a 和源电极或漏电极 142b 的顶表面的氧化物半导体层 140;设置在氧化物半导体层 140 上的栅极绝缘层 138;以及与氧化物半导体层 140 重叠的区域中设置在栅极绝缘层 138 上的栅电极 136d。

[0206] 在图 13B 中,晶体管 162 包括:设置在层间绝缘层 128 上的氧化物半导体层 140;设置为与氧化物半导体层 140 的顶表面接触的源电极或漏电极 142a 和源电极或漏电极 142b;设置在氧化物半导体层 140、源电极或漏电极 142a 和源电极或漏电极 142b 上的栅极绝缘层 138;以及在重叠于氧化物半导体层 140 的区域中设置在栅极绝缘层 138 上的栅电极 136d。

[0207] 另外,在图 13A 和 13B 所示的结构中,有时可以将图 2A 和 2B 等中示出了的部件省略(例如,电极 150a 或电极 154a 等)。在此情况下,可以得到制造工艺的简化的效果。当然,在图 2A 和 2B 等所示的结构中也可以省略不必要的部件。

[0208] 图 14A 和 14B 示出在元件的尺寸比较大并且在氧化物半导体层 140 下设置栅电极 136d 的结构例子。在此情况下,因为对表面的平坦度或覆盖度的要求不太高,因此不需要将布线或电极等形成为嵌入绝缘层中。例如,可以通过在形成导电层之后进行构图,来形成栅电极 136d 等。另外,虽然这里未图示,但是也可以类同地制造晶体管 160。

[0209] 另外,图 14A 所示的结构和图 14B 所示的结构较大不同之处在于:源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 的底表面接触还是与氧化物半导体

层 140 的顶表面接触。另外,由于这些的不同,其他电极或绝缘层等的位置可以发生改变。各部件的详细说明与图 2A 和 2B 等的相同。

[0210] 具体地,在图 14A 中,晶体管 162 包括:设置在层间绝缘层 128 上的栅电极 136d;设置在栅电极 136d 上的栅极绝缘层 138;设置在栅极绝缘层 138 上的源电极或漏电极 142a 和源电极或漏电极 142b;以及接触源电极或漏电极 142a 和源电极或漏电极 142b 的顶表面的氧化物半导体层 140。

[0211] 在图 14B 中,晶体管 162 包括:设置在层间绝缘层 128 上的栅电极 136d;设置在栅电极 136d 上的栅极绝缘层 138;在重叠于栅电极 136d 的区域中设置在栅极绝缘层 138 上的氧化物半导体层 140;以及设置为接触氧化物半导体层 140 的顶表面的源电极或漏电极 142a 和源电极或漏电极 142b。

[0212] 另外,在图 14A 和 14B 所示的结构中,有时可以从图 2A 和 2B 等所示的结构中省略某些部件。在此情况下,也可以得到制造工艺简化的效果。

[0213] 图 15A 和 15B 示出在元件的尺寸比较大并且在氧化物半导体层 140 上设置栅电极 136d 的结构例子。在此情况下,因为对表面的平坦度或覆盖度的要求不太高,因此不需要将布线或电极等形成为嵌入绝缘层中。例如,可以通过在形成导电层之后进行构图,来形成栅电极 136d 等。另外,虽然这里未图示,但是也可以类同地制造晶体管 160。

[0214] 图 15A 所示的结构和图 15B 所示的结构的较大不同之处在于:源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 的底表面接触还是与氧化物半导体层 140 的顶表面接触。由于这些的不同,其他电极或绝缘层等的为可以发生改变。各部件的详细说明与图 2A 和 2B 等的相同。

[0215] 具体地,在图 15A 中,晶体管 162 包括:设置在层间绝缘层 128 上的源电极或漏电极 142a 和源电极或漏电极 142b;接触源电极或漏电极 142a 和源电极或漏电极 142b 的顶表面的氧化物半导体层 140;设置在源电极或漏电极 142a、源电极或漏电极 142b 以及氧化物半导体层 140 上的栅极绝缘层 138;以及在重叠于氧化物半导体层 140 的区域中设置在栅极绝缘层 138 上的栅电极 136d。

[0216] 在图 15B 中,晶体管 162 包括:设置在层间绝缘层 128 上的氧化物半导体层 140;设置为接触氧化物半导体层 140 的顶表面的源电极或漏电极 142a 和源电极或漏电极 142b;设置在源电极或漏电极 142a、源电极或漏电极 142b、以及氧化物半导体层 140 上的栅极绝缘层 138;以及在重叠于氧化物半导体层 140 的区域中设置在栅极绝缘层 138 上的栅电极 136d。

[0217] 另外,在图 15A 和 15B 所示的结构中,有时可以省略图 2A 和 2B 所示的结构中的部件。在此情况下,也可以得到制造工艺的简化的效果。

[0218] 如上所述,根据所公开的发明的一个实施例,实现了具有新的结构的半导体装置。虽然在本实施例中,晶体管 160 和晶体管 162 层叠,但是半导体装置的结构不限于此。另外,虽然说明了晶体管 160 和晶体管 162 的沟道长度方向相互垂直的例子,但是晶体管 160 和晶体管 162 的位置不限于此。此外,也可以将晶体管 160 和晶体管 162 设置为彼此重叠。

[0219] 另外,尽管在本实施例中,为了便于理解而说明了最小存储单位(1 位)的半导体装置,但是半导体装置的结构不限于此。也可以通过适当地连接多个半导体装置而构成更高级的半导体装置。例如,可以使用多个上述半导体装置构成 NAND 型或 NOR 型的半导体装置。

布线的结构也不局限于图 1 所示,并且可以适当地改变布线的结构。

[0220] 在根据本实施例的半导体装置中,晶体管 162 的低截止电流使得能够在极长时间内保持信息。也就是说,不需要进行 DRAM 等所需要的刷新操作,因而可以抑制功耗。另外,可以将该半导体装置基本上用作非易失性存储装置。

[0221] 另外,因为通过晶体管 162 的开关操作而进行信息写入,因此在该半导体装置中不需要高电位,也没有元件劣化的问题。此外,根据晶体管的导通或截止而进行信息写入或擦除,从而也可以容易实现高速操作。另外,通过控制输入到晶体管的电位,可以直接重写信息。由此,不需要快闪存储器等所需要的擦除操作,并可以抑制由于擦除操作导致的操作速度的降低。

[0222] 另外,与使用氧化物半导体的晶体管相比,使用氧化物半导体以外的材料的晶体管可以进行更高速度的操作,因此,可以进行高速的存储信息的读出。

[0223] 本实施例所示的结构、方法等可以与其他实施例所示的结构、方法等适当地组合。

[0224] 实施例 2

[0225] 在本实施例中,将说明根据本发明的一个实施例的半导体装置的电路结构及其操作方法。

[0226] < 存储单元的结构 >

[0227] 图 16 示出半导体装置所具有的存储单元电路图的一个例子。图 16 所示的存储单元 200 包括第一信号线 S1、字线 WL、晶体管 201 (第一晶体管)、晶体管 202 (第二晶体管)、以及电容器 203。晶体管 201 使用氧化物半导体以外的材料而形成,晶体管 202 使用氧化物半导体而形成。这里,晶体管 201 优选具有与实施例 1 所示的晶体管 160 类同的结构。另外,晶体管 202 优选具有与实施例 1 所示的晶体管 162 类同的结构。另外,存储单元 200 电连接到源极线 SL 及位线 BL,也可以经由晶体管(包括其他存储单元中的晶体管)电连接到源极线 SL 及位线 BL。

[0228] 这里,晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一方、以及电容器 203 的电极中的一方相互电连接。另外,源极线 SL 与晶体管 201 的源电极相互电连接。位线 BL 与晶体管 201 的漏电极相互电连接。第一信号线 S1 与晶体管 202 的栅电极相互电连接。字线 WL、晶体管 202 的源电极和漏电极中的另一方、以及电容器 203 的电极中的另一方相互电连接。另外,源极线 SL 和晶体管 201 的源电极可以经由晶体管(包括其他存储单元中的晶体管)相互连接。另外,位线 BL 和晶体管 201 的漏电极可以经由晶体管(包括其他存储单元中的晶体管)相互连接。

[0229] < 半导体装置的结构 >

[0230] 图 17 示出具有 $m \times n$ 位的存储容量的半导体装置的模块电路图。这里,作为一个例子,示出其中存储单元 200 相互串联连接的 NAND 型半导体装置。

[0231] 根据本发明的一个实施例的半导体装置包括: m 个字线 WL; n 个位线 BL; n 个第一信号线 S1;两个选择线 SEL (1)及 SEL (2);存储单元阵列 210,其中多个存储单元 200 (1、1)至 200 (m,n)配置为 m 行(横向) $\times n$ 列(纵向)(m,n 为自然数)的矩阵形式;晶体管 215 (1、1)至 215 (1, n),沿选择线 SEL (1)配置在位线 BL (1)至 BL (n)与存储单元 200 (1、1)至 200 (1, n)之间;晶体管 215 (2、1)至 215 (2, n),沿选择线 SEL (2)配置在源极线 SL (1)至 SL (n)与存储单元 200 ($m,1$)至 200 (m,n)之间;以及外围电路,诸如位线及第

一信号线的驱动电路 211、字线的驱动电路 213、以及读出电路 212。作为其他外围电路，也可以设置有刷新电路等。

[0232] 存储单元 200 (i, j) (这里, i 为大于或等于 1 且小于或者等于 m 的整数, j 为大于或等于 1 且小于或者等于 n 的整数) 连接到第一信号线 $S1(j)$ 及字线 $WL(i)$ 。另外, 存储单元 200 (i_1, j) (i_1 为 2 至 m 的整数) 所具有的晶体管 201 的漏电极连接到存储单元 200 (i_1-1, j) 所具有的晶体管 201 的源电极。另外, 存储单元 200 ($1, j$) 所具有的晶体管 201 的漏电极连接到晶体管 215 ($1, j$) 的源电极, 并且存储单元 200 (m, j) 所具有的晶体管 201 的源电极连接到晶体管 215 ($2, j$) 的漏电极。晶体管 215 ($1, j$) 的漏电极连接到位线 $BL(j)$, 而晶体管 215 ($2, j$) 的源电极连接到源极线 $SL(j)$ 。另外, 晶体管 215 ($1, j$) 的栅电极连接到选择线 $SEL(1)$, 晶体管 215 ($2, j$) 栅电极连接到选择线 $SEL(2)$ 。

[0233] 另外, 位线 $BL(1)$ 至 $BL(n)$ 及第一信号线 $S1(1)$ 至 $S1(n)$ 连接到位线及第一信号线的驱动电路 211。字线 $WL(1)$ 至 $WL(m)$ 和选择线 $SEL(1)$ 及 $SEL(2)$ 连接到字线的驱动电路 213。另外, 位线 $BL(1)$ 至 $BL(n)$ 也连接到读出电路 212。电位 V_s 施加到源极线 $SL(1)$ 至 $SL(n)$ 。另外, 源极线 $SL(1)$ 至 $SL(n)$ 并不必须分开而, 也可以互相电连接。

[0234] < 半导体装置的操作 >

[0235] 接着, 将说明图 17 所示的半导体装置的操作。在本结构中, 按列进行写入, 并按行进行读出。

[0236] 在对第 j 列中的存储单元 200 ($1, j$) 至 200 (m, j) 写入时, 将第一信号线 $S1(j)$ 的电位设定为 $V1$ (任意电位, 例如 2V), 以使目标存储单元的晶体管 202 处于导通状态。另一方面, 将除第一信号行 $S1(j)$ 以外的第一信号线 $S1$ 的电位设定为 $V0$ (任意电位, 例如 0V), 以使非目标存储单元的晶体管 202 处于截止状态。至于其他布线, 将位线 $BL(1)$ 至 $BL(n)$ 的电位、选择线 $SEL(1)$ 及 $SEL(2)$ 的电位、以及源极线 $SL(1)$ 至 $SL(n)$ 的电位 V_s 设定为 $V0$ 。这里, 电位 $V1$ 被设定为通过将其施加到栅电极使晶体管 201、晶体管 202 以及晶体管 215 处于导通状态的电位。电位 $V0$ 被设定为通过将其施加到栅电极而使晶体管 201、晶体管 202 以及晶体管 215 处于截止状态的电位。

[0237] 当在这个状态下, 将字线 WL 的电位 V_{WL} 设定为预定的电位时, 数据被写入。例如, 在写入数据“1”时, 将连接到目标存储单元的字线 WL 的电位设定为 V_{w_1} , 而在写入数据“0”时, 将连接到目标存储单元的字线 WL 的电位设定为 V_{w_0} 。另外, 在写入结束时, 在字线 WL 的电位变化之前, 将第一信号线 $S1(j)$ 的电位设定为 $V0$, 从而使目标存储单元的晶体管 202 处于截止状态。

[0238] 这里, 对应于写入时的字线 WL 的电位 V_{WL} 的电荷 QA 被累积在连接到晶体管 201 的栅电极的节点 (以下称为节点 A) 中, 由此存储数据。这里, 晶体管 202 的截止电流极小或者基本为 0, 因此在长时间内保持所写入的数据。在其他列中的存储单元中, 存储到节点 A 中累积的电荷 QA 不变。

[0239] 另外, 虽然在写入时位线 $BL(1)$ 至 $BL(n)$ 的电位被设定为 $V0$, 但是这些电位也可以处于浮置状态, 或者可以充电到任意电位, 只要晶体管 215 ($1, 1$) 至 215 ($1, n$) 处于截止状态即可。

[0240] 另外, 在进行写入时, 在半导体装置没有衬底电位的情况下, 诸如在晶体管形成在

SOI 衬底上的情况下,例如,如下将数据写入到存储单元:首先,将选择线 SEL (1)的电位设定为 V0,并且将选择线 SEL (2)的电位设定为 V1,从而使晶体管 215 (1, j) 处于截止状态并且使晶体管 215 (2, j) 处于导通状态。第一信号线 S1 (j) 的电位设定为 V1,以使第 j 列中的存储单元 200 (1, j) 至 200 (m, j) 的晶体管 202 处于导通状态。另外,字线 WL (1) 至 WL (m) 的电位设定为 V1,以使第 j 列中的存储单元 200 (1, j) 至 200 (m, j) 的晶体管 201 处于导通状态。然后,从第一行中的存储单元 200 (1, j) 开始,将字线 WL 的电位 VWL 设定为预定的电位,以进行上述数据的写入。在到第 m 行中的存储单元 200 (m, j) 的数据写入完时,将选择线 SEL (2) 的电位设定为 V0,从而使晶体管 215 (2, j) 处于截止状态。由此,可以在将第 j 列中的存储单元的晶体管 201 的源电极的电位设定为大约 V0 的同时进行写入数据。另外,可以以与上述的数据写入类同的方式进行到其他布线的数据写入。另外,虽然已经说明了从第一行到第 m 行进行数据写入的方法,但是本发明不限于此。也可以将位线 BL (1) 至 BL (n) 的电位设定为 V0,并且将选择线 SEL (1) 的电位设定为 V1 以使晶体管 215 (1, j) 处于导通状态,从而可以从第 m 行到第一行进行数据写入。

[0241] 另一方面,在半导体装置具有衬底电位的情况下,诸如在将晶体管形成在单晶半导体衬底上的情况下,可以利用 0V 的衬底电位进行上述数据写入。

[0242] 通过将字线 WL 的电位 VWL 设定为预定的电位,对第 i 行中的存储单元 200 (i, 1) 至 200 (i, n) 进行读出。在对第 i 行中的存储单元 200 (i, 1) 至 200 (i, n) 进行读出时,将选择线 SEL (1) 及 SEL (2) 的电位设定为 V1,将第一信号线 S1 (1) 至 S1 (n) 的电位设定为 V0,将源极线 SL (1) 至 SL (n) 的电位 Vs 设定为 V0,并且使连接到位线 BL (1) 至 BL (n) 的读出电路 212 处于操作状态。由此,使晶体管 215 (1, 1) 至 215 (2, n) 处于导通状态,并且使所有存储单元的晶体管 202 处于截止状态。

[0243] 然后,将字线 WL (i) 的电位设定为 Vr_1,并将第 i 行以外的行的字线 WL 的电位设定为 Vr_0。此时,第 i 行以外的存储单元的晶体管 201 处于导通状态。结果,根据第 i 行中的存储单元的晶体管 201 的装置是处于导通状态还是处于截止状态而决定存储单元列的电阻状态。在第 i 行中的具有数据“0”的存储单元中,晶体管 201 处于截止状态,因此该存储单元列处于高电阻状态。另一方面,在第 i 行中的具有数据“1”的存储单元中,晶体管 201 处于导通状态,因此,该存储单元列处于低电阻状态。结果,读出电路 212 可以根据存储单元列的电阻状态的不同而读出数据“0”或“1”。

[0244] 以下,说明写入时字线 WL 的电位 Vw_0 及 Vw_1、读出时字线 WL 的电位 Vr_0 及 Vr_1 的确定方法。

[0245] 确定晶体管 201 的状态的节点 A 的电位 VA 取决于晶体管 201 的栅极和晶体管 201 的源极(漏极)间的电容 C1 和电容器 203 的电容 C2。利用写入时的字线 WL 的电位 VWL(写)以及读出时的字线 WL 的电位 VWL (读),VA 可以表示为如下:

$$[0246] \quad V_A = (C_1 \cdot V_{WL}(\text{写}) + C_2 \cdot V_{WL}(\text{读})) / (C_1 + C_2)$$

[0247] 在其中读出被选择的存储单元 200 中, VWL (读) = Vr_1,而在其中读出未被选择的存储单元 200 中, VWL (读) = Vr_0。另外,在写入数据“1”时, VWL (写) = Vw_1,而在写入数据“0”时, VWL (写) = Vw_0。就是说,各状态下的节点 A 的电位可以以下式表示:

[0248] 在读出被选择并且写入有数据“1”的情况下,节点 A 的电位被表示如下:

$$[0249] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

[0250] 在读出被选择状态并且写入有数据“0”的情况下,节点 A 的电位被表示如下:

$$[0251] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

[0252] 在读出未被选择并且写入有数据“1”的情况下,节点 A 的电位被表示如下:

$$[0253] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

[0254] 在读出未被选择并且写入有数据“0”的情况下,节点 A 的电位被表示如下:

$$[0255] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

[0256] 在读出被选择且写入有数据“1”时,优选晶体管 201 处于导通状态,并且节点 A 的电位 V_A 优选超过晶体管 201 的阈值电压 V_{th} 。就是说,优选满足如下公式:

$$[0257] \quad (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2) > V_{th}$$

[0258] 在读出被选择且写入有数据“0”时,优选晶体管 201 处于截止状态,并且节点 A 的电位 V_A 优选低于晶体管 201 的阈值电压 V_{th} 。就是说,优选满足如下公式:

$$[0259] \quad (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2) < V_{th}$$

[0260] 在读出未被选择时,即使写入有数据“1”或数据“0”,晶体管 201 也需要处于导通状态。因此节点 A 的电位 V_A 需要高于晶体管 201 的阈值电位 V_{th} 。就是说,优选满足如下公式:

$$[0261] \quad (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2) > V_{th}$$

$$[0262] \quad (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2) > V_{th}$$

[0263] 通过以满足上述关系的方式确定 V_{w_0} 、 V_{w_1} 、 V_{r_0} 、 V_{r_1} 等,可以使半导体装置操作。例如,在晶体管 201 的阈值电压 $V_{th}=0.3$ (V) 且 C_1/C_2 为 1 的情况下,可以将电位设置为: $V_0=0$ (V), $V_1=2$ (V), $V_{w_0}=0$ (V), $V_{w_1}=2$ (V), $V_{r_0}=2$ (V), $V_{r_1}=0$ (V)。另外,这些电位只是一个例子,可以在满足上述条件的范围内适当地改变。

[0264] 这里,在 $C_1/C_2 \ll 1$ 的条件下,节点 A 和字线 WL 紧密结合,因此不管晶体管 202 是处于导通状态还是处于截止状态,字线 WL 的电位与节点 A 的电位基本相同。因此,即使在晶体管 202 处于导通的状态下写入数据时,节点 A 能够存储的电荷也是极少的,数据“0”和“1”之间的差异变小。

[0265] 具体地,在将所选择的字线 WL 的电位设定为 V_{r_1} 的同时进行上述读出的情况下,不管是写入有数据“0”还是写入有数据“1”,存储单元的节点 A 的电位都下降,从而使晶体管 201 处于截止状态。结果,难以读出数据。

[0266] 另一方面,在 $C_1/C_2 \gg 1$ 的条件下,因为节点 A 和字线 WL 的结合较弱,因此即使字线 WL 的电位改变,节点 A 的电位也几乎不变。因此,能够控制晶体管 201 的导通状态和截止状态的节点 A 的电位非常有限,而难以控制晶体管 201 的导通状态和截止状态。

[0267] 特别是,在将非选择的字线 WL 的电位设定为 V_{r_0} 并进行上述读出的情况下,存储单元的节点 A 的电位几乎不增加,并具有数据“0”的晶体管 201 处于截止状态。结果,难以读出数据。

[0268] 因为存在随 C_1 和 C_2 的大小而难以进行操作的情况,因此在确定 C_1 和 C_2 时须加以关注。另外,在 V_{w_0} 为 0 (V), V_{w_1} 为 V_{dd} , V_{r_0} 为 0 (V), V_{r_1} 为 V_{dd} 的情况下,当 C_1/C_2 在 $V_{th}/(V_{dd}-V_{th})$ 至 $(V_{dd}-V_{th})/V_{th}$ 的范围内时,半导体装置可以充分进行操作。

[0269] 另外,数据“1”和数据“0”只是为了方便起见而区分的,因此数据“1”和数据“0”可以彼此互换。另外,也可以使用接地电位 GND 等作为 V_0 ,使用电源电位 V_{dd} 等作为 V_1 。

[0270] 使用氧化物半导体的晶体管的截止电流极小,因此通过使用该晶体管可以相当长时间地保持存储的数据。就是说,因为不需要进行刷新操作,或者,可以显著地降低刷新操作的频率,因此可以充分降低功耗。另外,即使没有电力供给,也可以长期保持存储的数据。

[0271] 另外,信息的写入不需要高电压,而且也没有元件劣化的问题。此外,根据晶体管的导通状态或截止状态而进行信息写入,从而可以容易地实现高速操作。另外,还有不需要快闪存储器等所需的用于擦除信息的操作的优点。

[0272] 由于与使用氧化物半导体的晶体管相比,使用氧化物半导体以外的材料的晶体管可以以更高速度进行操作,因此,通过使用该晶体管可以高速读出存储的数据。

[0273] 本实施例所示的结构或方法等可以与其他实施例所示的结构或方法等适当地组合。

[0274] 实施例 3

[0275] 以下,将参照图 18 说明根据本发明一个实施例的半导体装置中所具有的读出电路 212 的例子。

[0276] 图 18 所示的读出电路 212 具有晶体管 204 和读出放大器 205。将偏置电压 V_{bias} 施加到晶体管 204 的栅电极,并且预定的电流流过晶体管 204。将参考电位 V_{ref} 输入到读出放大器 205 的一个输入端子。

[0277] 在读出数据时,将读出放大器 205 的另一个输入端子和连接到从其读出数据的存储单元的位线 BL 相互电连接。

[0278] 存储单元根据所存储的数据“1”或“0”而具有不同的电阻。具体地,在所选择的存储单元中的晶体管 201 处于导通状态时,存储单元处于低电阻状态,而在所选择的存储单元的晶体管 201 处于截止状态时,存储单元处于高电阻状态。

[0279] 在存储单元处于高电阻状态时,读出放大器 205 的所述另一输入端子的电位高于参考电位 V_{ref} ,而从读出放大器 205 的输出端子输出数据“1”。另一方面,在存储单元处于低电阻状态时,读出放大器 205 的两个输入端子中的另一方的电位低于参考电位 V_{ref} ,而从读出放大器 205 的输出端子输出数据“0”。

[0280] 如上所述,通过使用读出电路 212,可以读出存储在存储单元中的数据。另外,读出电路 212 只是一个例子,也可以使用具有其他结构的读出电路。例如,读出电路 212 也可以具有预充电电路。

[0281] 本实施例所示的结构和方法等可以与其他实施例所示的结构和方法等适当地组合。

[0282] 实施例 4

[0283] 在本实施例中,将说明与任意上述实施例所示的存储单元不同的存储单元的电路结构及其操作。

[0284] < 存储单元的结构 >

[0285] 图 19 示出根据本实施例的存储单元的电路图的一个例子。图 19 所示的存储单元 220 包括第一信号线 S1、字线 WL、晶体管 221 (第一晶体管)、晶体管 222 (第二晶体管)以及电容器 223。晶体管 221 使用氧化物半导体以外的材料而形成,晶体管 222 使用氧化物半导体而形成。这里,晶体管 221 优选被形成为具有与实施例 1 所示的晶体管 160 类同的结构。另外,晶体管 222 优选被形成为具有与实施例 1 所示的晶体管 162 类同的结构。另外,

存储单元 220 电连接到源极线 SL 及位线 BL, 也可以经由晶体管(包括其他存储单元中的晶体管)电连接到源极线 SL 及位线 BL。

[0286] 这里, 晶体管 221 的栅电极、晶体管 222 的源电极和漏电极中的一方、以及电容器 223 的电极中的一个相互电连接。另外, 源极线 SL 和晶体管 221 的源电极相互电连接。位线 BL 与晶体管 221 的漏电极相互电连接。第一信号线 S1 与晶体管 222 的源电极和漏电极中的另一方相互电连接。字线 WL 和晶体管 222 的栅电极与电容器 223 的电极中的另一方相互电连接。另外, 源极线 SL 和晶体管 221 的源电极也可以经由晶体管(包括其他存储单元中的晶体管)相互连接。另外, 位线 BL 和晶体管 221 的漏电极也可以经由晶体管(包括其他存储单元中的晶体管)连接。

[0287] < 存储单元的操作 >

[0288] 以下, 将具体说明存储单元的操作。

[0289] 在对存储单元 220 进行写入时, 将晶体管 221 的源电极或漏电极的电位设定为 V0 (任意电位, 例如 0V), 并将字线 WL 的电位设定为 V1 (任意电位, 例如 2V)。此时, 晶体管 222 处于导通状态。

[0290] 当在这个状态下, 将第一信号线 S1 的电位 VS1 设定为预定的电位时, 写入数据。例如, 在写入数据“1”时, 将第一信号线 S1 的电位设定为 Vw_1, 而在写入数据“0”时, 将第一信号线 S1 的电位设定为 Vw_0。另外, 在写入结束时, 在第一信号线 S1 的电位变化之前, 将字线 WL 的电位设定为 V0, 从而使晶体管 222 处于截止状态。

[0291] 对应于写入时的第一信号线 S1 的电位的电荷 QA 累积在连接到晶体管 221 的栅电极的节点(以下称为节点 A), 由此存储数据。这里, 晶体管 222 的截止电流极小或者基本上为 0, 因此长时间地保持所写入的数据。

[0292] 通过将字线 WL 的电位 VWL 设定为预定的电位, 从存储单元 220 进行读出。例如, 在从其读出数据的存储单元 220 中, 字线 WL 的电位设定为 Vr_1, 而在未从其读出数据的存储单元 220 中, 字线 WL 的电位设定为 Vr_0。在任一情况下, 将第一信号线 S1 的电位设定为 V1。

[0293] 以如下方式设定写入时的第一信号线 S1 的电位 Vw_1 及 Vw_0、读出时的字线 WL 的电位 Vr_1 及 Vr_0: 在将字线 WL 的电位为 Vr_1 时, 存储有数据“1”的存储单元的晶体管 221 处于导通状态, 而存储有数据“0”的存储单元的晶体管 221 处于截止状态。此外, 电位 Vw_1 及 Vw_0 和电位 Vr_1 及 Vr_0 被设置为使得晶体管 222 处于截止状态。另外, 在将字线 WL 的电位设定为 Vr_0 时, 不管是存储有数据“1”还是存储有数据“0”, 在存储单元中, 晶体管 221 都处于导通状态并且晶体管 222 处于截止状态。

[0294] 在使用存储单元 220 形成 NAND 型非易失性存储器的情况下, 就是说, 被选择用于读出的存储单元可以根据所存储的数据而具有不同的电阻, 并且在存储单元列中的其他存储单元可以具有低的电阻而不管所存储的数据如何。结果, 通过使用检测位线 BL 的电阻状态之间的不同的读出电路, 可以读出存储单元中的数据。

[0295] 另外, 数据“1”和数据“0”只是为了方便起见而被区别的, 因此数据“1”和数据“0”可以彼此互换。另外, 也可以使用接地电位 GND 等作为 V0, 使用电源电位 Vdd 等作为 V1。

[0296] 另外, 在使用本实施例所示的存储单元 220 的情况下, 也可以实现具有矩阵结构的半导体装置。可以通过使用其结构与任意上述实施例中结构类同的电路并且通过根据信

号线的结构适当地形成驱动电路、读出电路和写入电路,来实现所述具有矩阵结构的半导体装置。另外,在使用存储单元 220 的情况下,按行进行读出和写入。

[0297] 本实施例所示的结构和方法等可以与其他实施例所示的结构和方法等适当地组合。

[0298] 实施例 5

[0299] 在本实施例中,将参考图 20A 至 20F 说明安装有根据任意上述实施例得到的半导体装置的电子设备的例子。根据任意上述实施例得到的半导体装置即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,利用该半导体装置,可以提供具有新的结构的电子设备。另外,根据任意上述实施例的半导体装置被集成安装到电路板等上,以将其安装到电子设备。

[0300] 图 20A 示出包括根据任意上述实施例的半导体装置的膝上型个人计算机,其包括主体 301、壳体 302、显示部 303 和键盘 304 等。通过将根据本发明的一个实施例的半导体装置应用于膝上型个人计算机,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明的实施例的半导体装置应用于膝上型个人计算机。

[0301] 图 20B 示出包括根据任意上述实施例的半导体装置的便携式信息终端(PDA),并且其设有主体 311,包括显示部 313、外部接口 315 和操作按钮 314 等。另外,作为操作用附属部件,有触笔 312。通过将根据本发明的一个实施例的半导体装置应用于 PDA,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明的实施例的半导体装置应用于 PDA。

[0302] 图 20C 示出作为包括根据任意上述实施例的半导体装置的电子纸的一个例子的电子书阅读器 320。电子书阅读器 320 包括两个壳体,即壳体 321 及壳体 323。壳体 321 及壳体 323 由绞接单元 337 组合,且可以以该绞接单元 337 为轴进行开闭操作。通过这种结构,电子书阅读器 320 可以像纸质图书一样使用。通过将根据本发明的一个实施例的半导体装置应用于电子纸,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明实施例的半导体装置应用于电子纸。

[0303] 壳体 321 中安装有显示部 325,而壳体 323 中安装有显示部 327。显示部 325 和显示部 327 可显示一个图像或不同图像。在显示部 325 和显示部 327 显示不同图像时,例如可以在右侧的显示部(图 20C 中的显示部 325)显示文本,而在左侧的显示部(图 20C 中的显示部 327)显示图像。

[0304] 图 20C 中示出壳体 321 中备有操作部等的例子。例如,壳体 321 具备电源 331、操作键 333 以及扬声器 335 等。利用操作键 333 可以翻页。注意,键盘、指示装置等可以设置在与壳体的其上设有显示部的表面上。另外,也可以采用在壳体的背面及侧面设置外部连接用端子(耳机端子、USB 端子、或可与 AC 适配器及 USB 电缆等的各种线缆连接的端子等)、记录介质插入部等。此外,电子书阅读器 320 可以具有电子词典的功能。

[0305] 电子书阅读器 320 可以采用以无线的方式收发信息的结构。通过无线通信,可以从电子书籍服务器购买并下载所希望的书籍数据等。

[0306] 注意,电子纸可以用于任意可以显示信息的领域中的电子设备。例如,除了电子书阅读器以外,还可以将电子纸应用于招贴、诸如列车等交通工具中的广告、诸如信用卡等各

种卡片中的显示等。

[0307] 图 20D 示出包括根据任意上述实施例的半导体装置的移动电话。该移动电话包括两个壳体,壳体 340 及壳体 341。壳体 341 包括显示面板 342、扬声器 343、麦克风 344、指示装置 346、相机镜头 347、外部连接端子 348 等。另外,壳体 340 包括用于对该移动电话充电的太阳能电池 349 和外部存储器插槽 350 等。此外,天线被设置在壳体 341 中。通过将根据本发明的一个实施例的半导体装置应用于移动电话,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明实施例的半导体装置应用于移动电话。

[0308] 显示面板 342 具有触摸屏功能。图 20D 中以虚线示出显示的多个操作键 345。另外,该移动电话包括用于将太阳能电池 349 所输出的电位升压到各电路所需要的电位的升压电路。另外,除了上述结构以外,还可以采用安装有非接触 IC 芯片、或小型记录装置等的结构。

[0309] 显示面板 342 的显示方向根据使用模式适当地改变。另外,在与显示面板 342 同一表面上设有相机镜头 347,因此其可以用作视频电话。扬声器 343 及麦克风 344 可以用于视频电话、录音、回放等,而限于语音通信。此外,在如图 20D 所示处于展开状态的壳体 340 和壳体 341 可以滑动从而使得一个重叠在另一个上,这使得移动电话适于携带。

[0310] 外部连接端子 348 可以连接到各种线缆,比如 AC 适配器或 USB 线缆,这使得可以进行充电或者通信。另外,通过将记录媒体插入到外部存储器插槽 350 中,移动电话可以应对更大容量的信息储存及移动。另外,移动电话除了上述功能以外还可以具有红外线通讯功能、电视接收功能等。

[0311] 图 20E 示出包括根据任意上述实施例的半导体装置的数码相机。该数码相机包括主体 361、显示部(A) 367、取景器 363、操作开关 364、显示部(B) 365、以及电池 366 等。通过将根据本发明的一个实施例的半导体装置应用于数码相机,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明实施例的半导体装置应用于数码相机。

[0312] 图 20F 示出包括根据任意上述实施例的半导体装置的电视装置。在电视装置 370 中,壳体 371 中安装有显示部 373。显示部 373 可以显示图像。此外,在利用支架 375 支撑壳体 371。

[0313] 可以通过利用壳体 371 的操作开关或另行提供的遥控器 380 进行电视装置 370 的操作。可利用遥控器 380 的操作键 379 控制频道和音量,从而可以控制显示部 373 上显示的图像。此外,遥控器 380 可以设有显示从该遥控器 380 输出的信息的显示部 377。通过将根据本发明的一个实施例的半导体装置应用于电视装置,即使没有电力供给也可以保持信息。另外,不发生由写入和擦除导致的劣化。此外,其操作速度快。由此,优选将根据本发明实施例的半导体装置应用于电视装置。

[0314] 另外,电视装置 370 优选设置有接收器、调制解调器等。通过接收器,可接收一般的电视广播。此外,当电视装置 370 通过有线或无线连接经由调制解调器连接到通信网络时,可执行单向(从发送器到接收器)或双向(在发送器与接收器之间或者在接收器之间)的信息通信。

[0315] 本实施例所示的结构和方法等可以与其他实施例所示的结构和方法等适当地组

合。

[0316] 本申请基于 2009 年 11 月 20 日在日本专利局提交的日本专利申请第 2009-264615 号,通过引用将其全部内容包括在此。

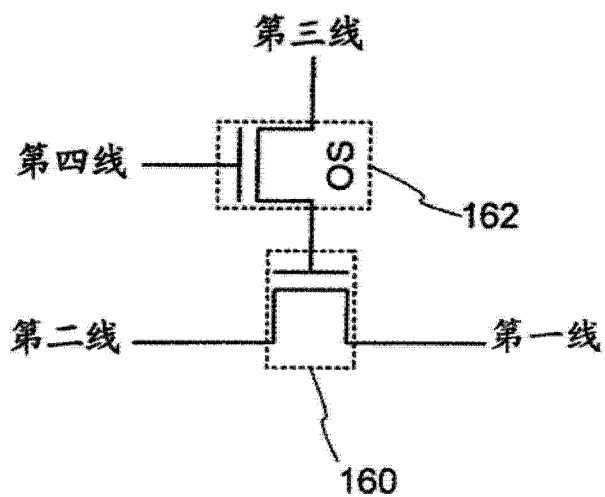


图 1

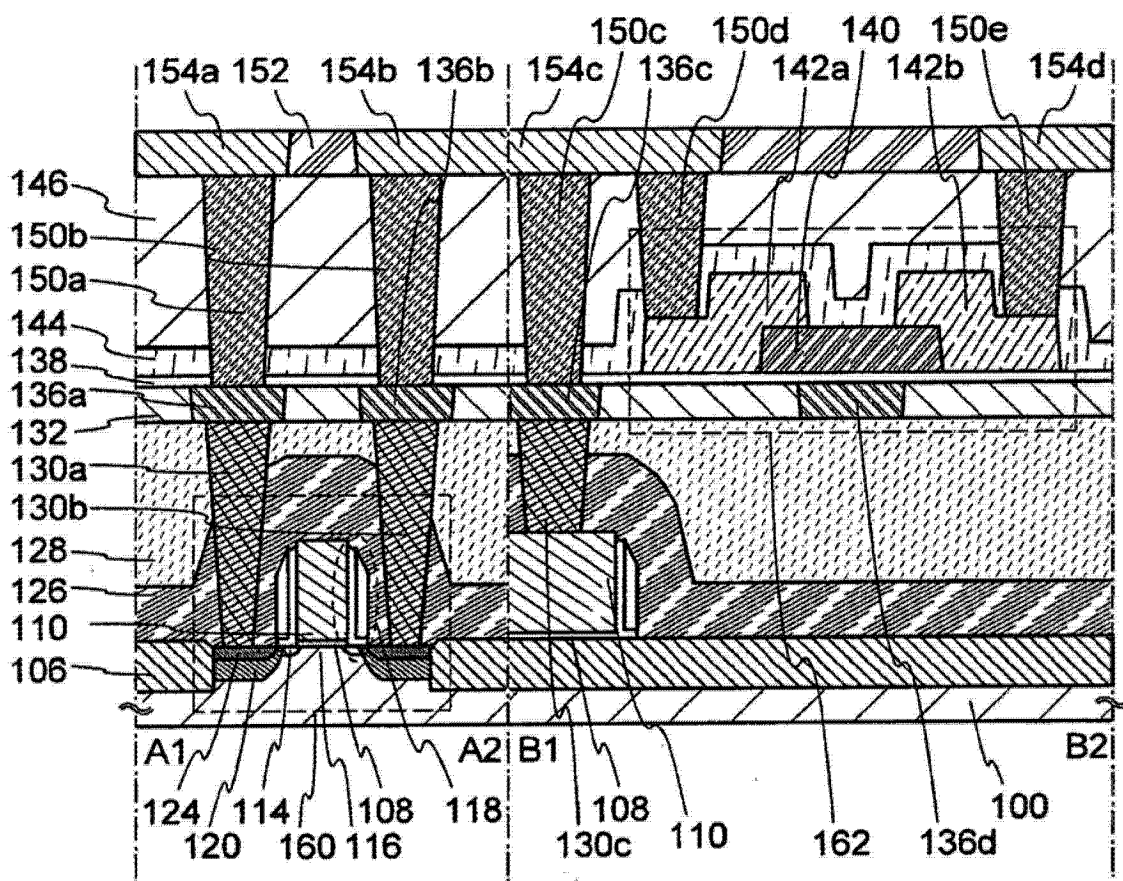


图 2A

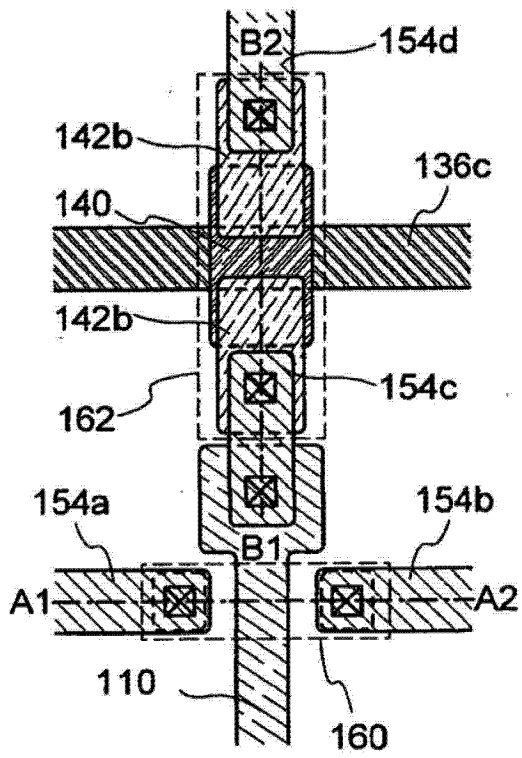


图 2B

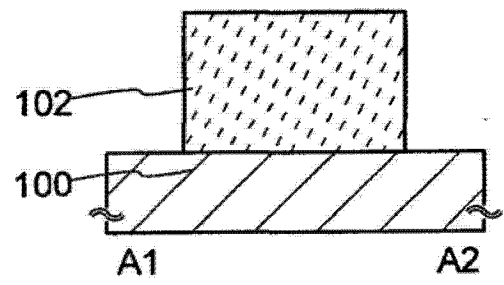


图 3A

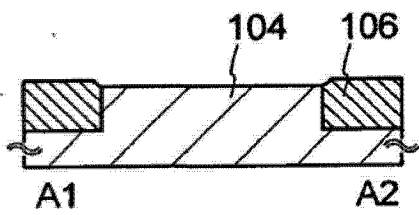


图 3B

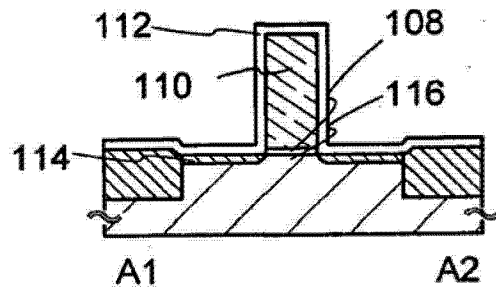


图 3C

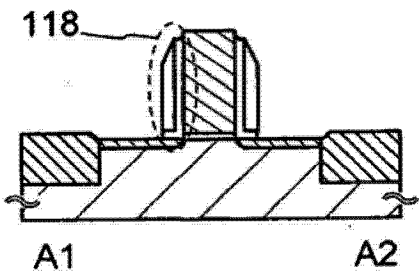


图 3D

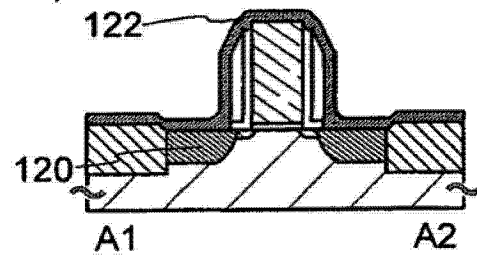


图 3E

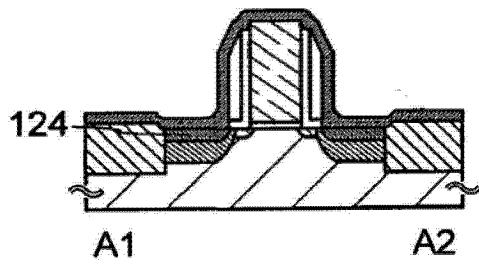


图 3F

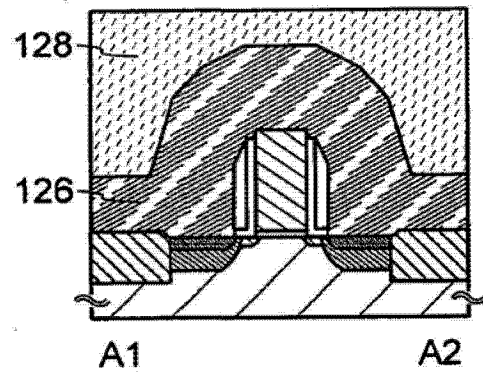


图 3G

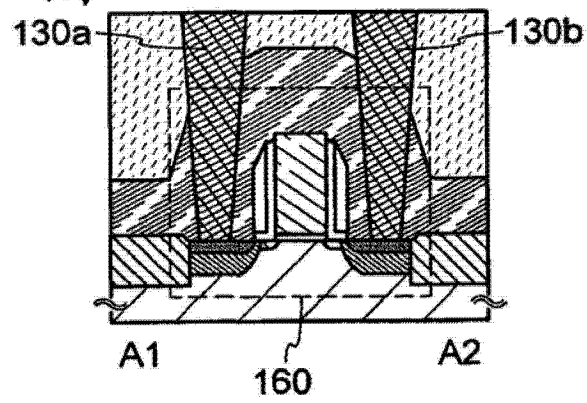


图 3H

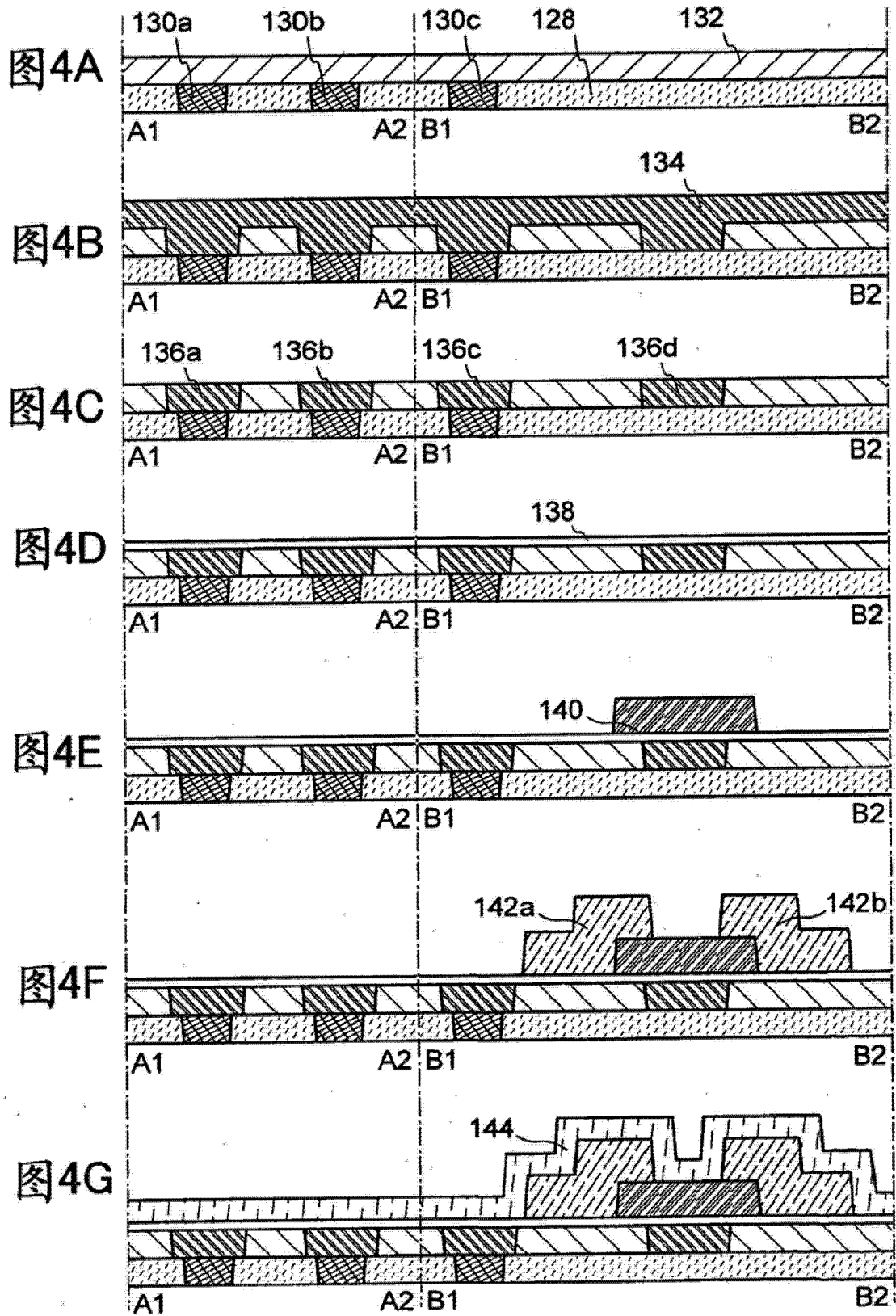


图5A

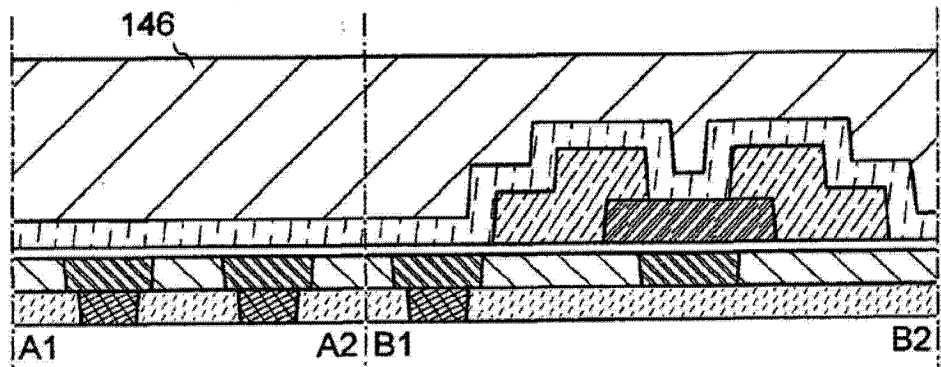


图5B

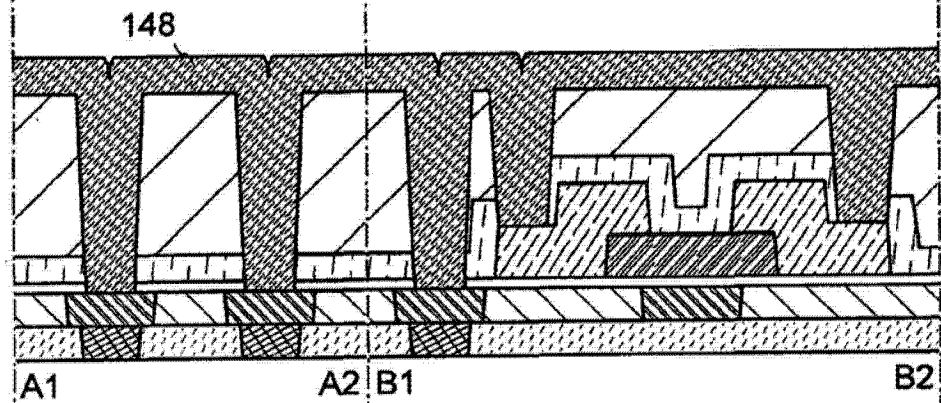


图5C

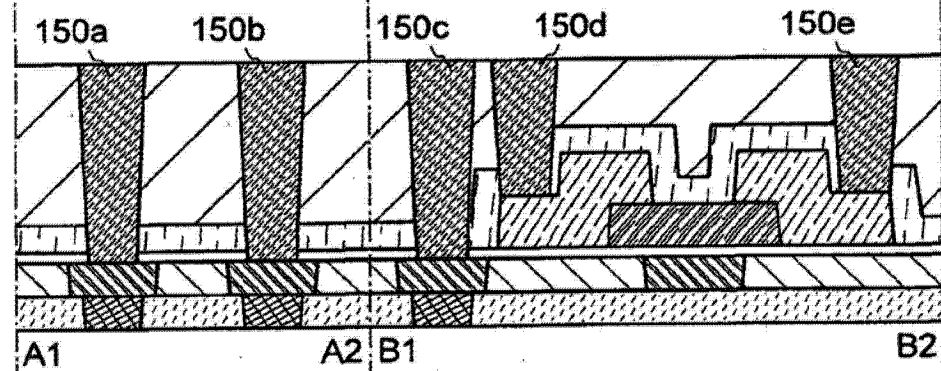
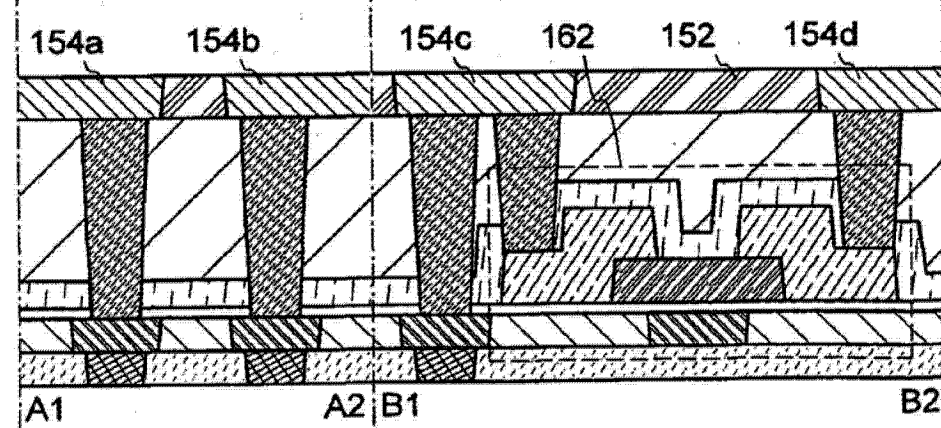


图5D



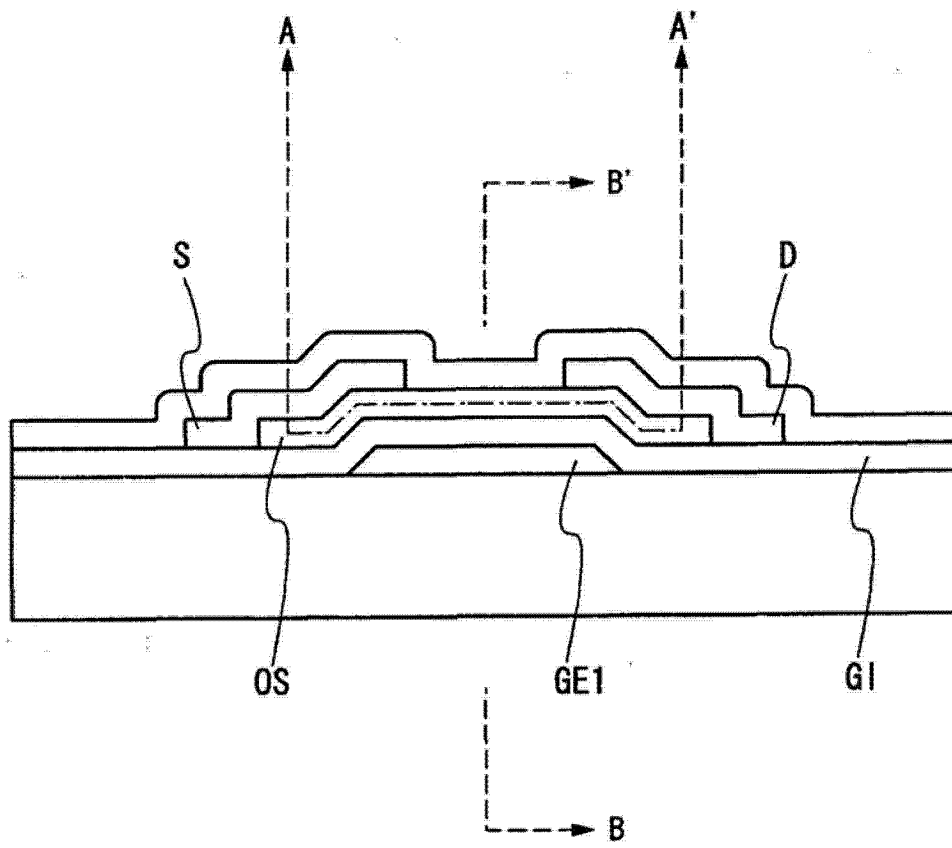


图 6

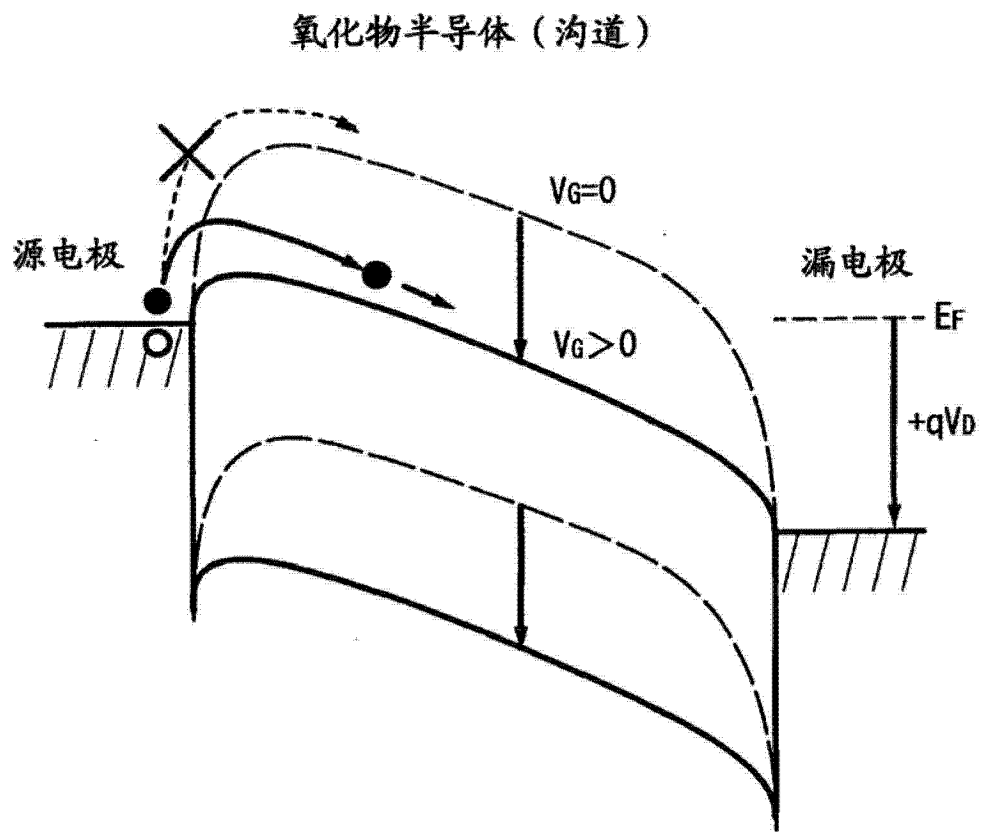
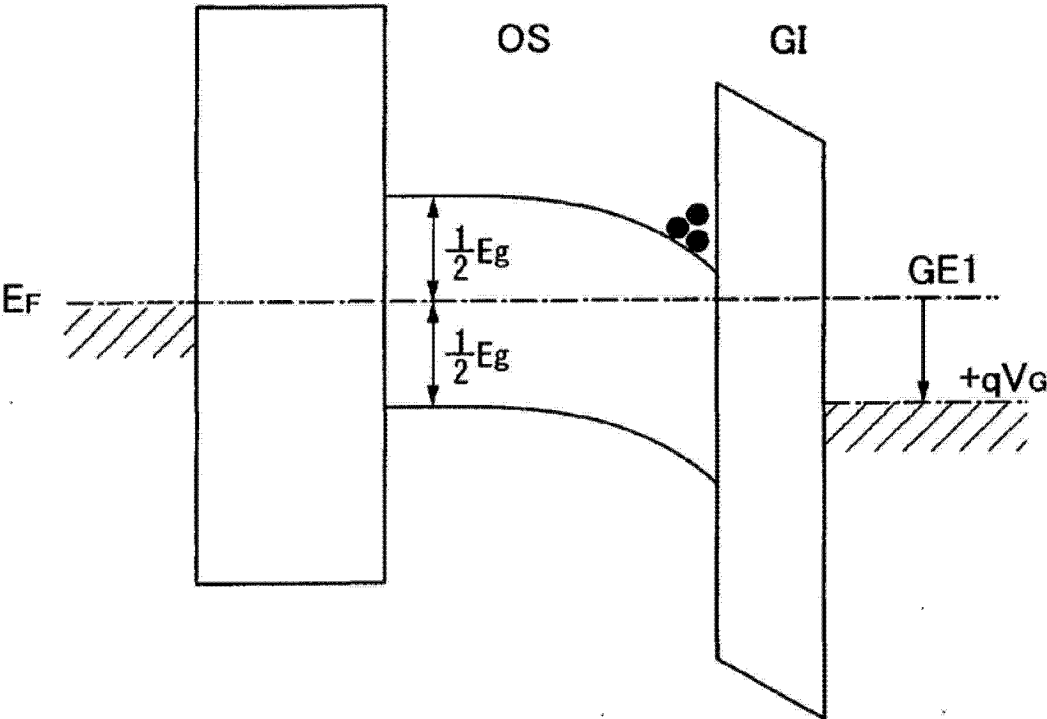


图 7



B-B'截面的能带图 ($V_G > 0$)

图 8A

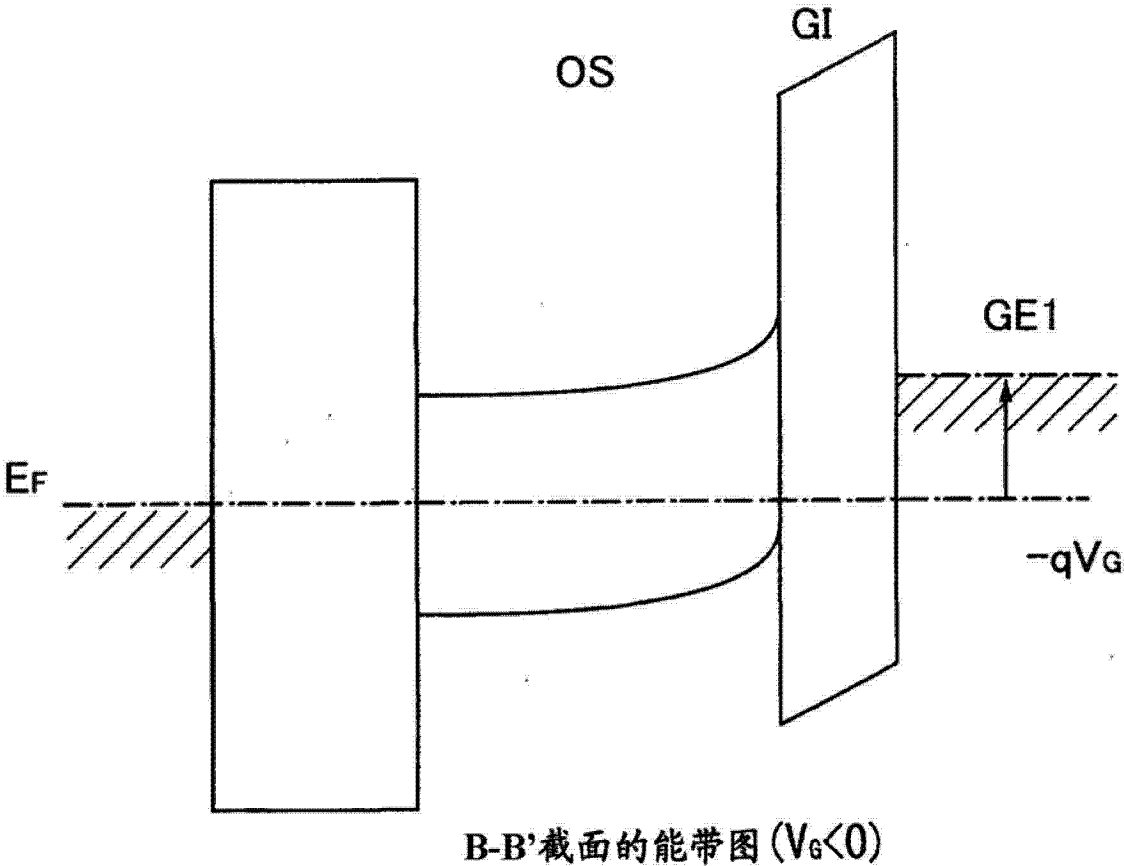


图 8B

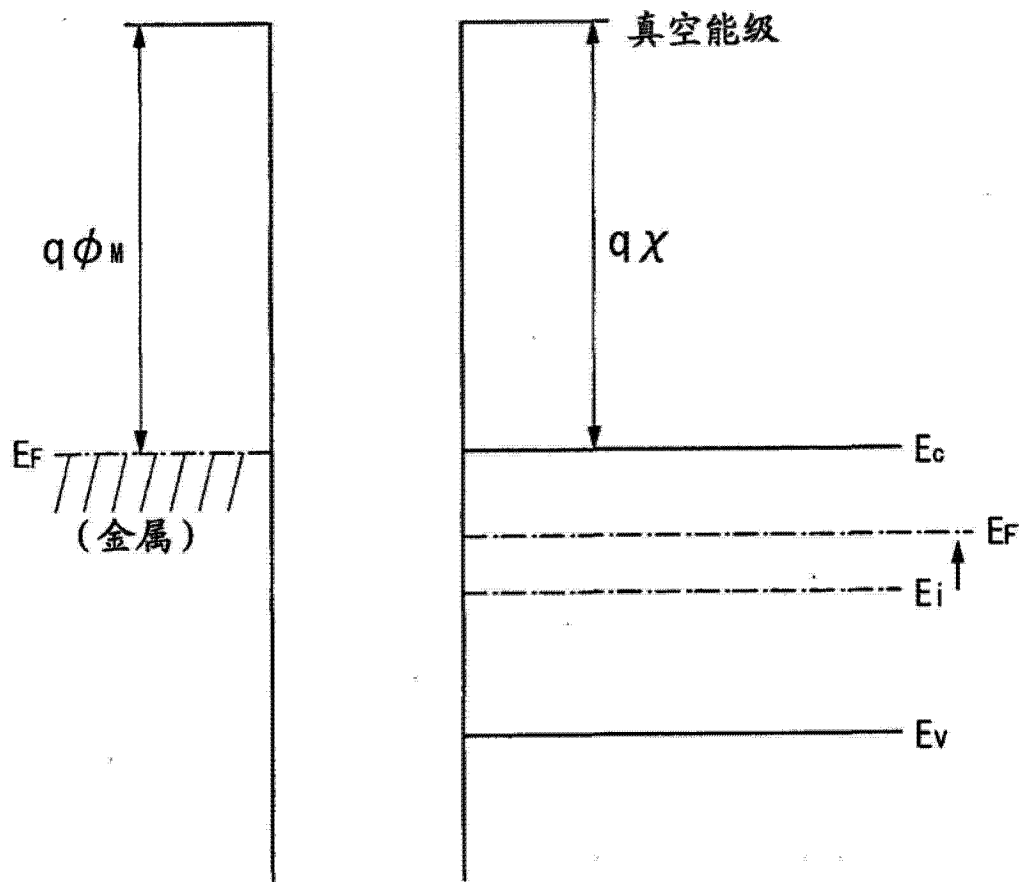


图 9

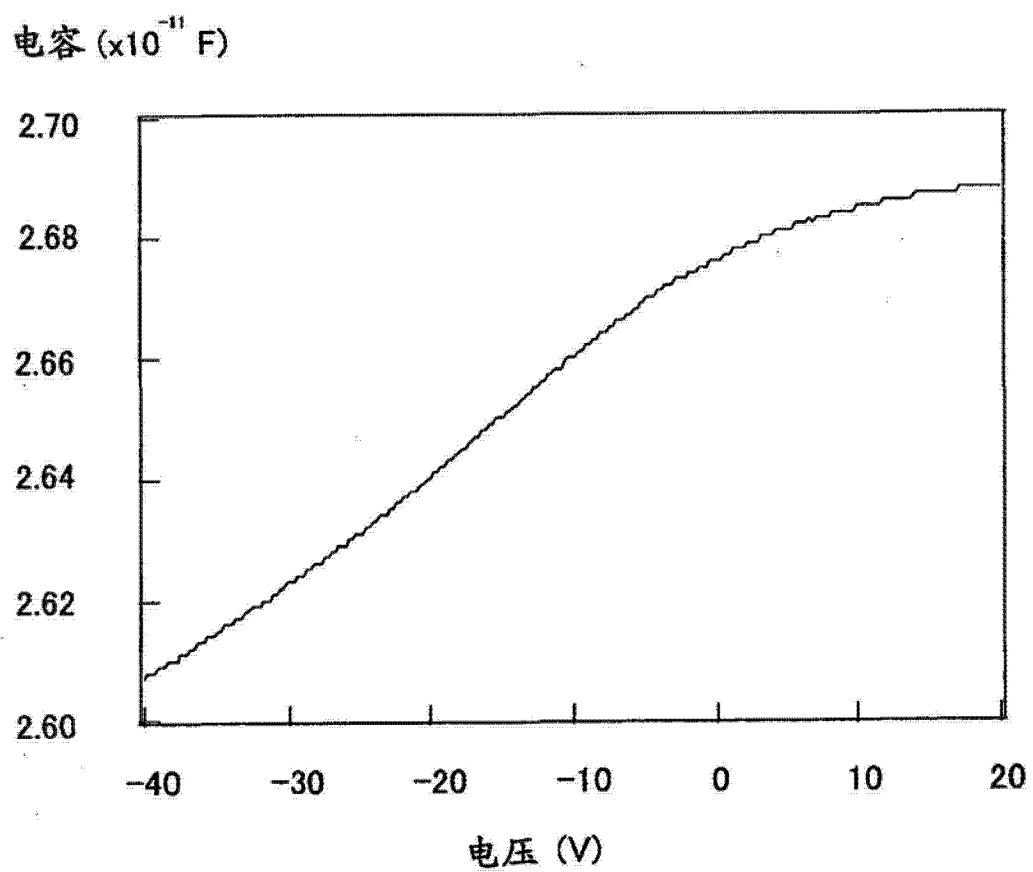


图 10

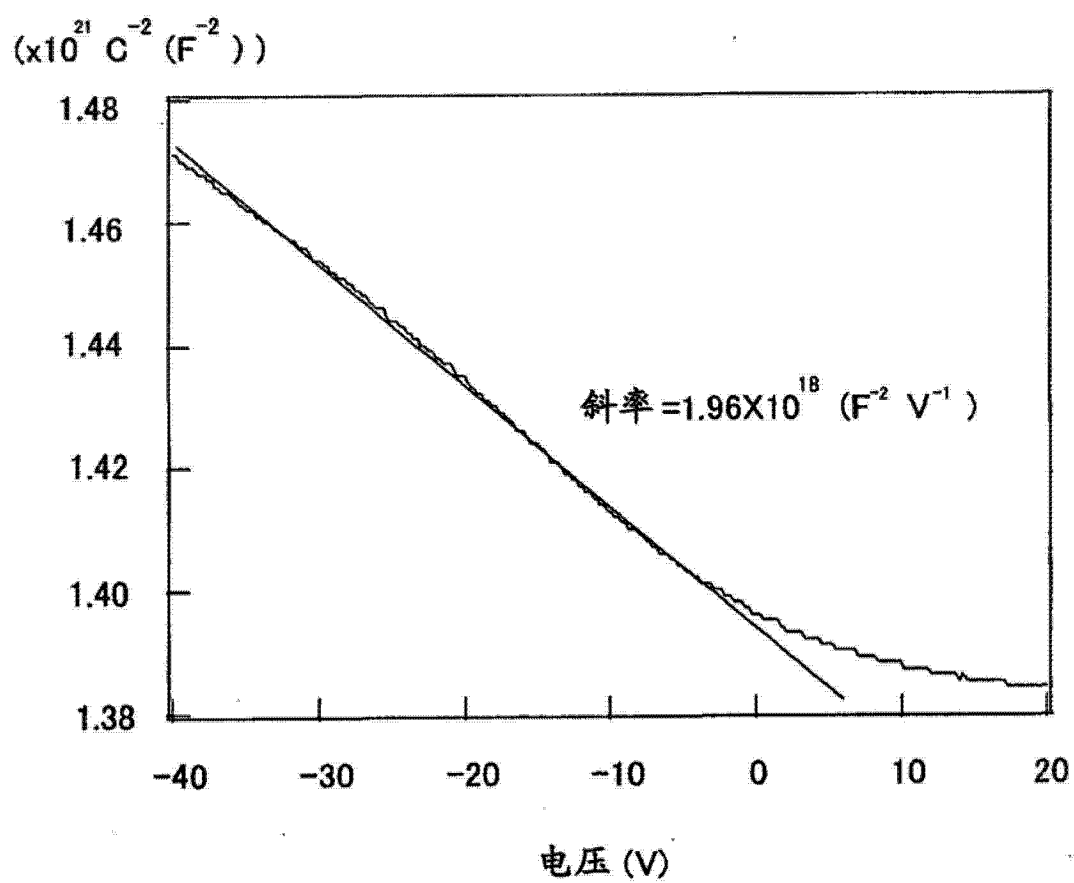


图 11

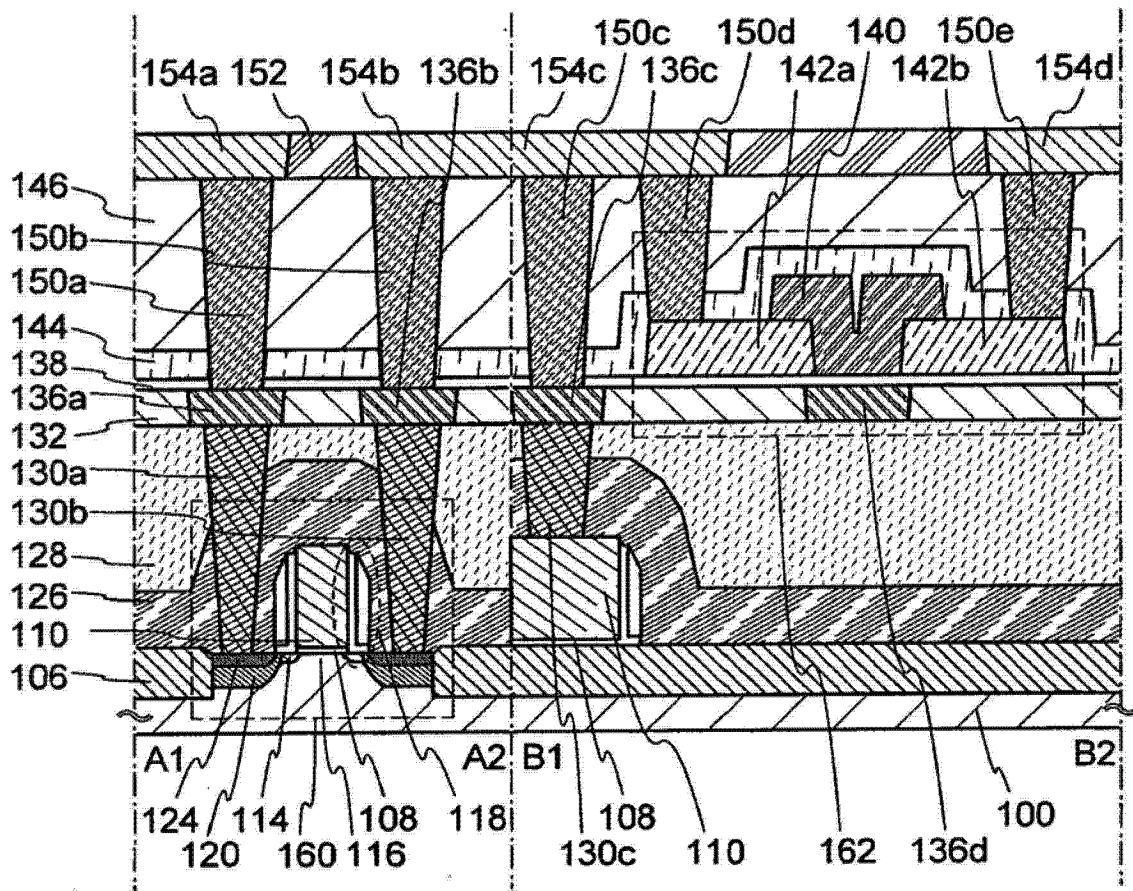


图 12

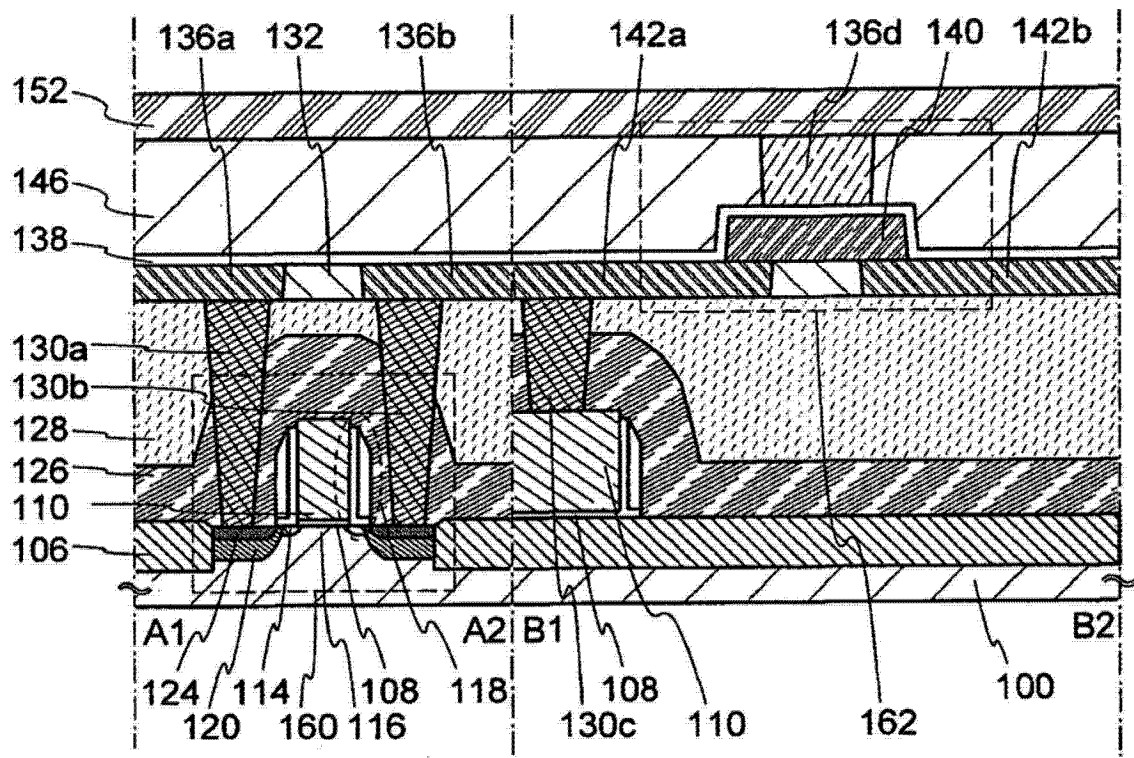


图 13A

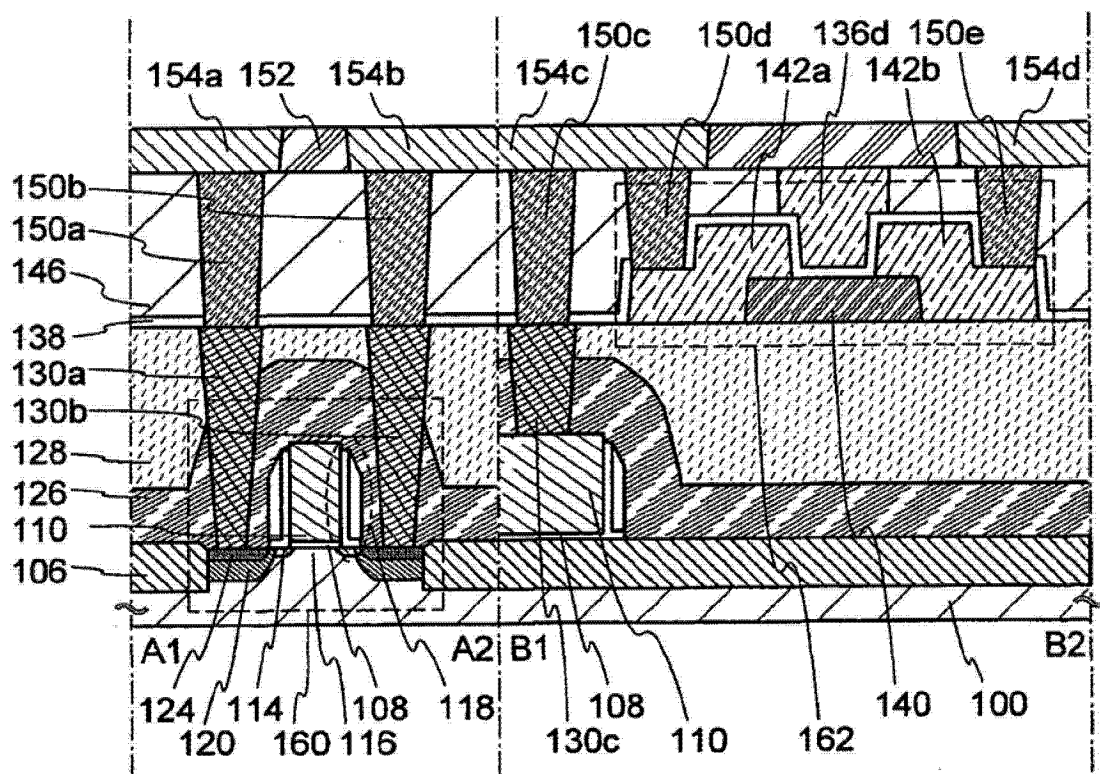


图 13B

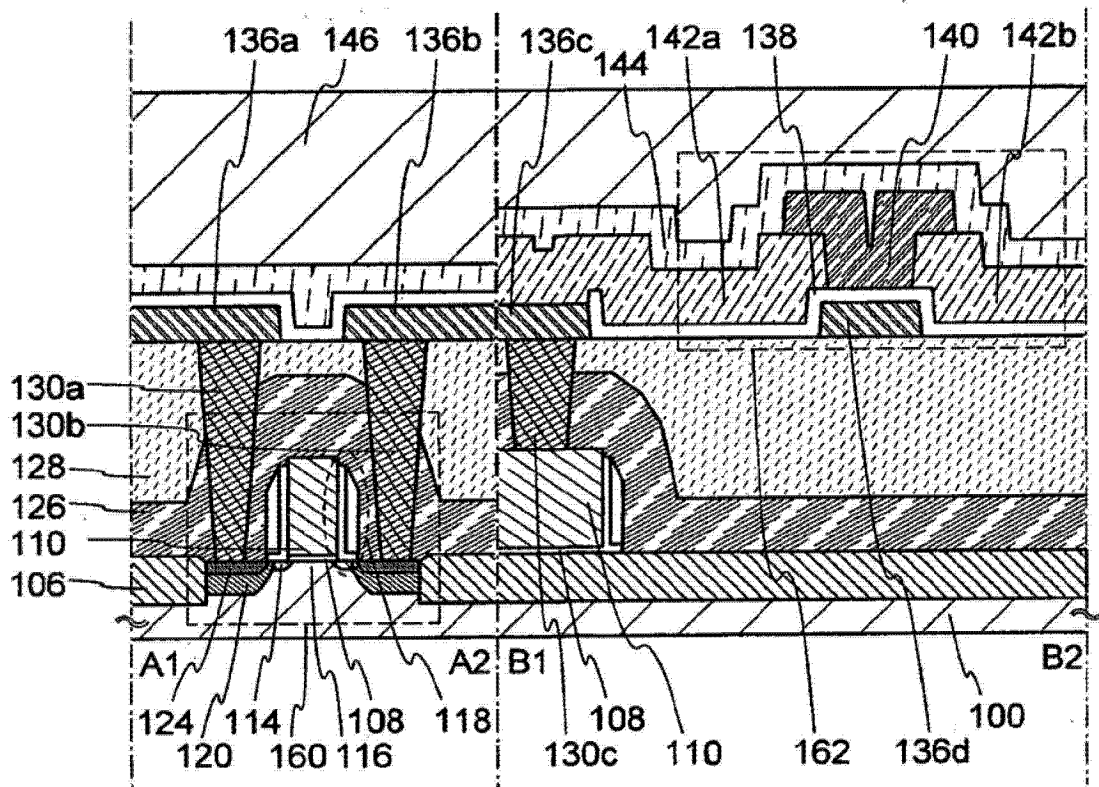


图 14A

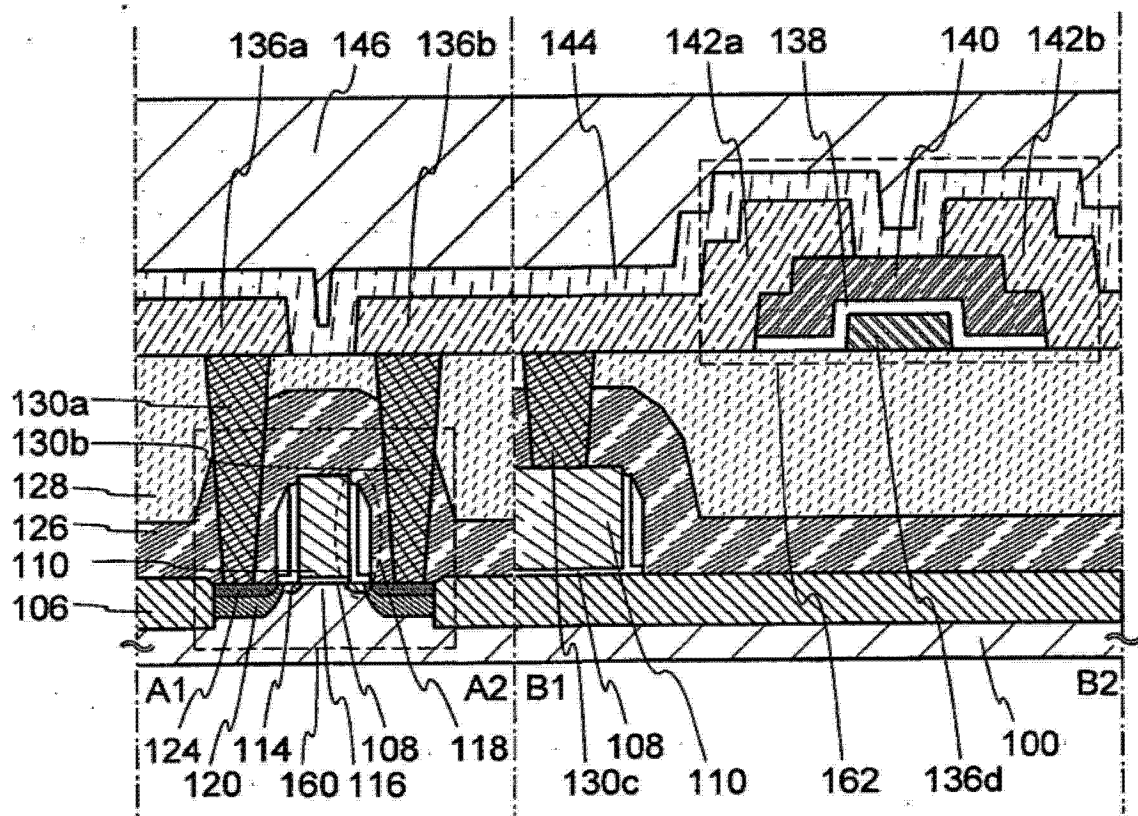


图 14B

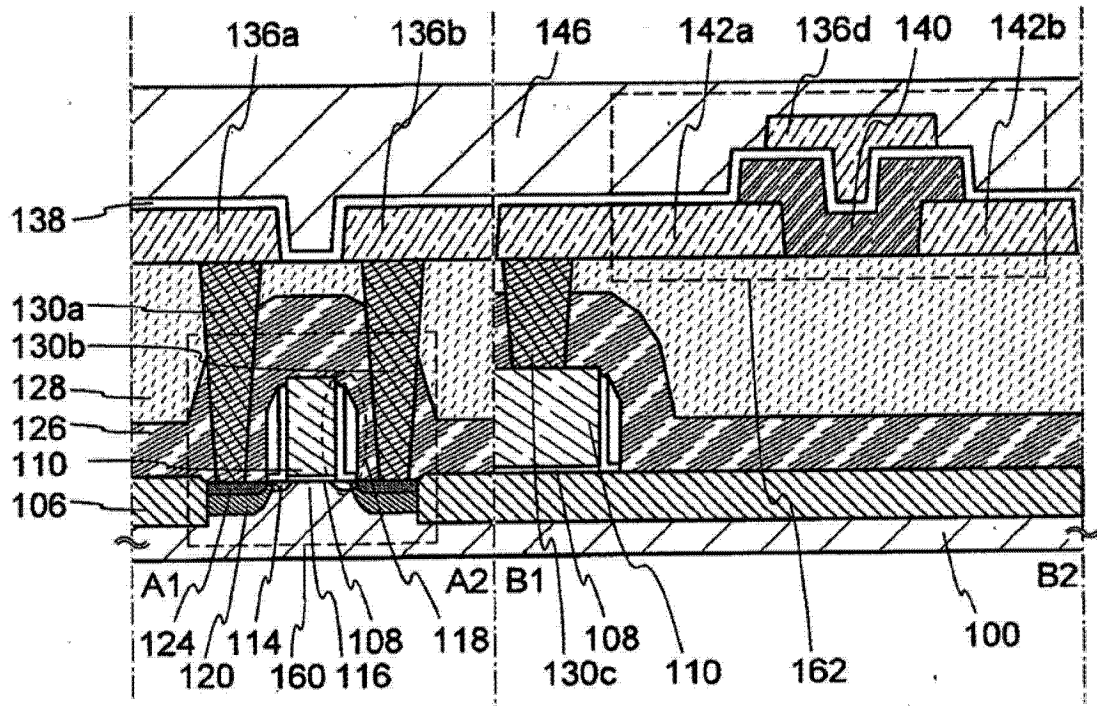


图 15A

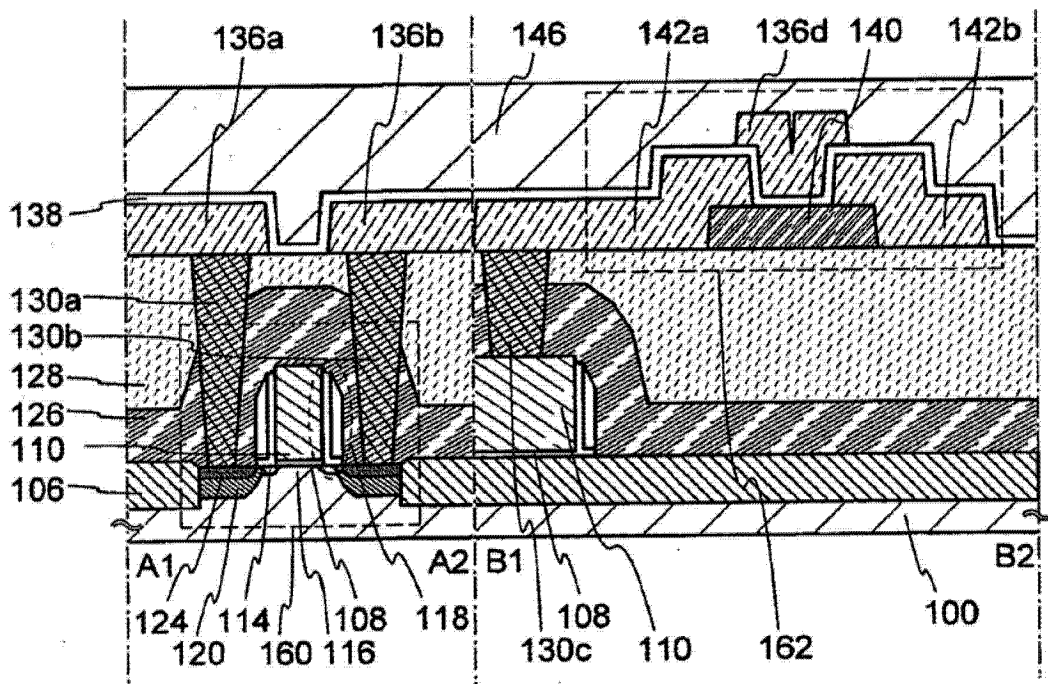


图 15B

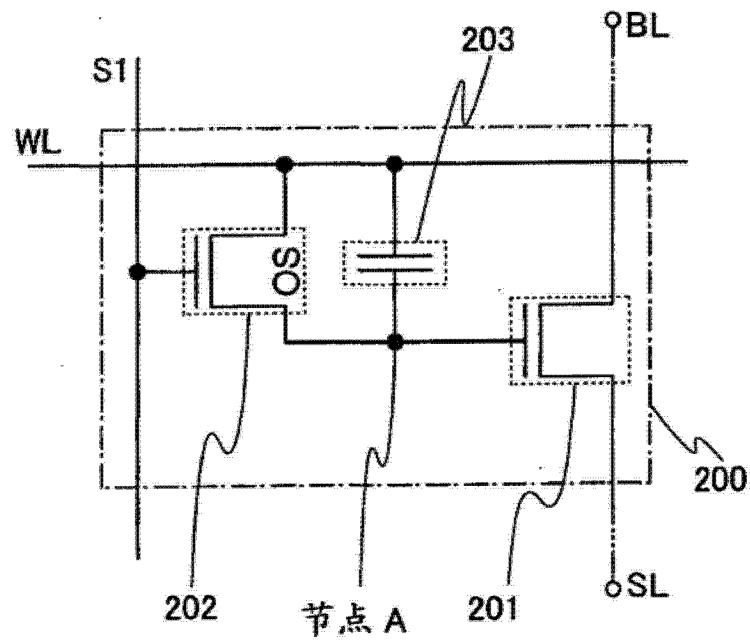


图 16

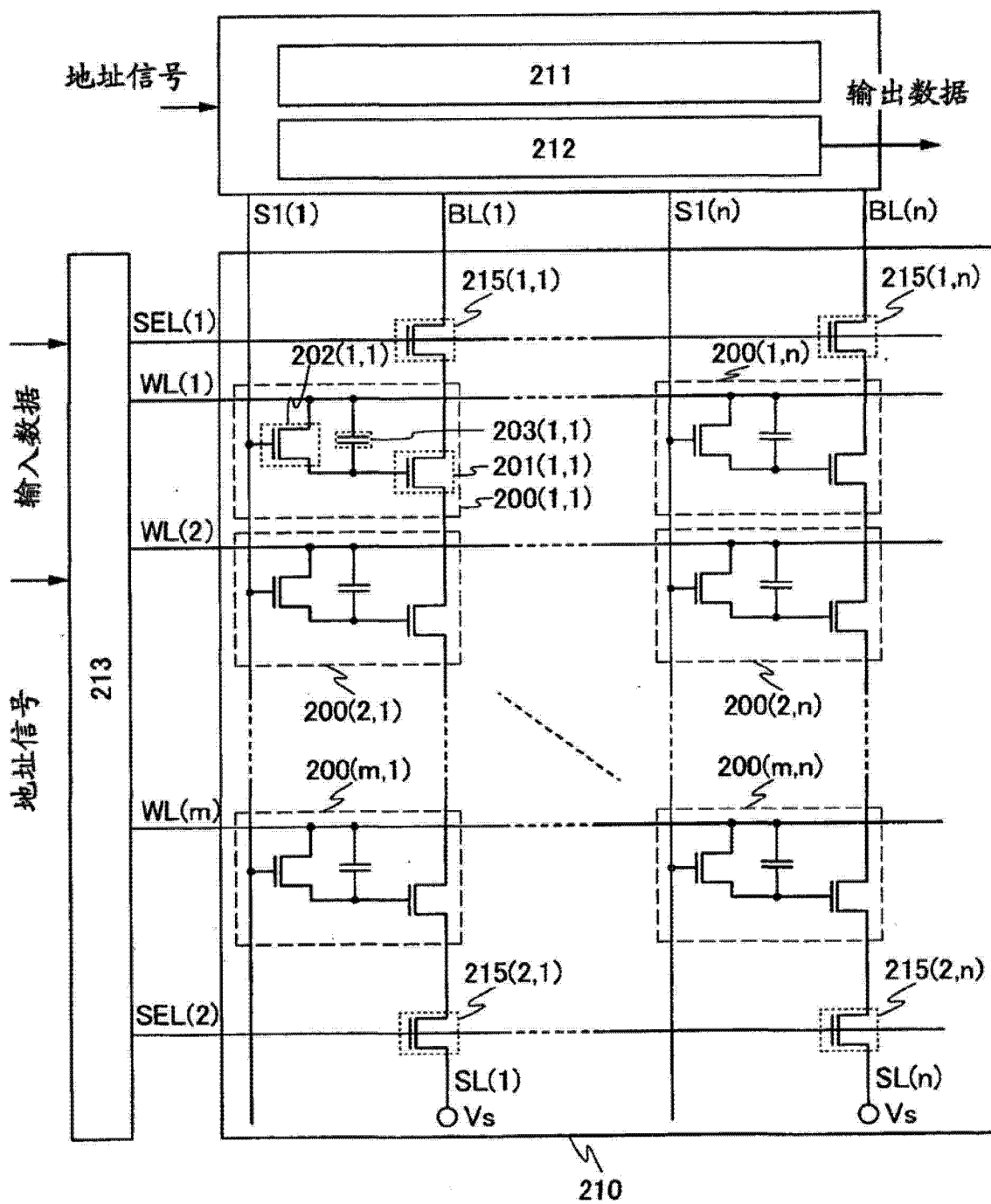


图 17

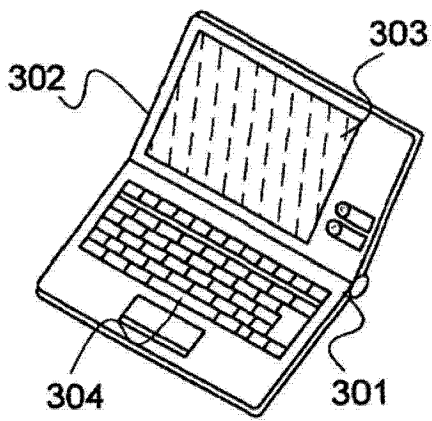


图 20A

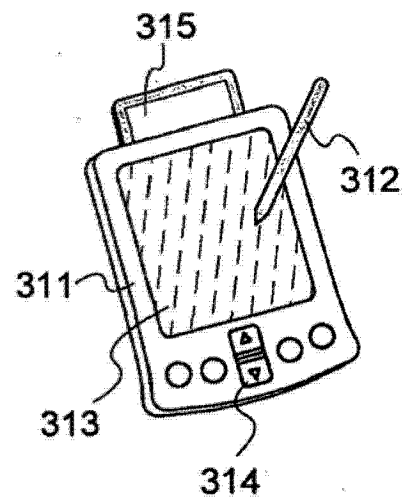


图 20B

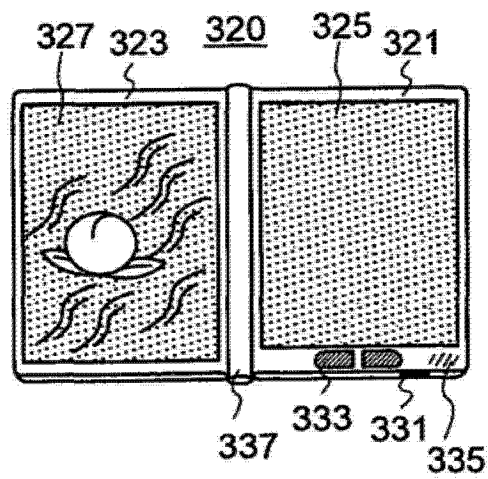


图 20C

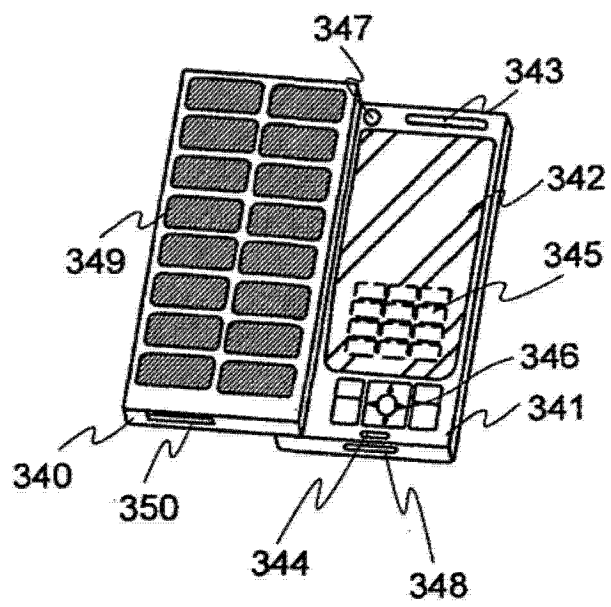


图 20D

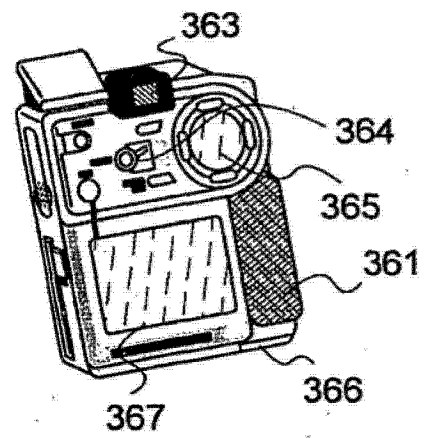


图 20E

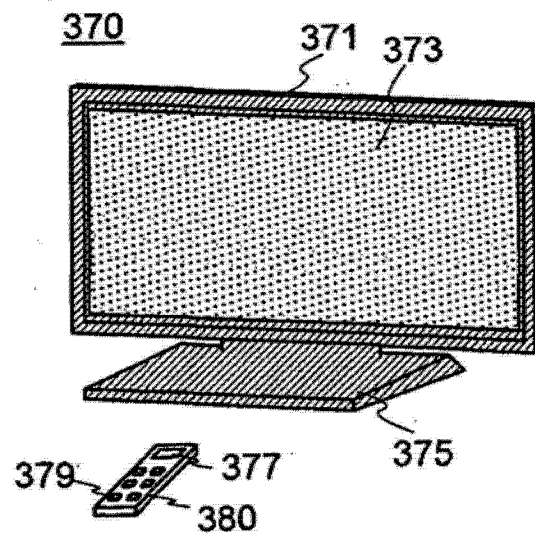


图 20F

附图标记说明

100: 衬底, 102: 保护层, 104: 半导体区域, 106: 元件隔离绝缘层, 108: 栅极绝缘层, 110: 栅电极, 112: 绝缘层, 114: 杂质区域, 116: 沟道形成区域, 118: 侧壁绝缘层, 120: 高浓度杂质区域, 122: 金属层, 124: 金属化合物区域, 126: 层间绝缘层, 128: 层间绝缘层, 130a: 源电极或漏电极, 130b: 源电极或漏电极, 130c: 电极, 132: 绝缘层, 134: 导电层, 136a: 电极, 136b: 电极, 136c: 电极, 136d: 栅电极, 138: 栅极绝缘层, 140: 氧化物半导体层, 142a: 源电极或漏电极, 142b: 源电极或漏电极, 144: 保护绝缘层, 146: 层间绝缘层, 148: 导电层, 150a: 电极, 150b: 电极, 150c: 电极, 150d: 电极, 150e: 电极, 152: 绝缘层, 154a: 电极, 154b: 电极, 154c: 电极, 154d: 电极, 160: 晶体管, 162: 晶体管, 200: 存储单元, 201: 晶体管, 202: 晶体管, 203: 电容器, 204: 晶体管, 205: 读出放大器, 210: 存储单元阵列, 211: 位线及信号线的驱动电路, 212: 读出电路, 213: 字线的驱动电路, 215: 晶体管, 220: 存储单元, 221: 晶体管, 222: 晶体管, 223: 电容器, 301: 主体, 302: 壳体, 303: 显示部, 304: 键盘, 311: 主体, 312: 触笔, 313: 显示部, 314: 操作按钮, 315: 外部接口, 320: 电子书阅读器, 321: 壳体, 323: 壳体, 325: 显示部, 327: 显示部, 331: 电源, 333: 操作键, 335: 扬声器, 337: 绞接单元, 340: 壳体, 341: 壳体, 342: 显示面板, 343: 扬声器, 344: 麦克风, 345: 操作键, 346: 指示装置, 347: 相机透镜, 348: 外部

连接端子, 349: 太阳能电池单元, 350: 外部存储器插槽, 361: 主体, 363: 取景器, 364: 操作开关, 365: 显示部 B, 366: 电池, 367: 显示部 A, 370: 电视装置, 371: 壳体, 373: 显示部, 375: 支架, 377: 显示部, 379: 操作键, 380: 遥控器