



(12) 发明专利申请

(10) 申请公布号 CN 120019727 A

(43) 申请公布日 2025. 05. 16

(21) 申请号 202280097058.5

(51) Int. Cl.

(22) 申请日 2022.10.19

H10D 30/87 (2025.01)

(85) PCT国际申请进入国家阶段日
2024.12.12

H10D 30/01 (2025.01)

H10D 30/60 (2025.01)

(86) PCT国际申请的申请数据
PCT/JP2022/038906 2022.10.19

(87) PCT国际申请的公布数据
W02024/084621 JA 2024.04.25

(71) 申请人 三菱电机株式会社
地址 日本

(72) 发明人 角野翼 铃木敏

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 张青

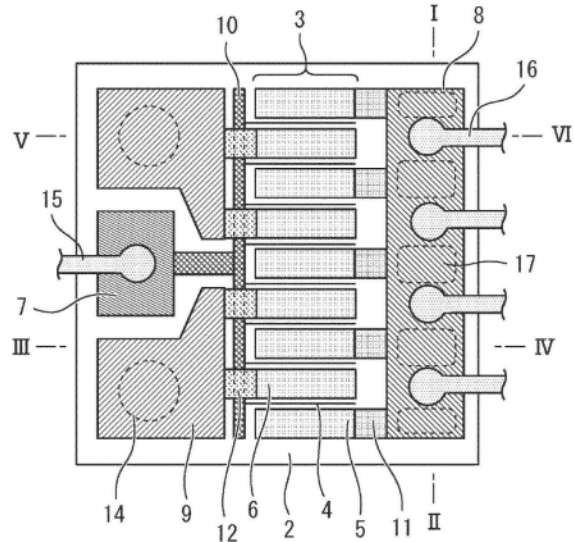
权利要求书1页 说明书3页 附图5页

(54) 发明名称

半导体装置

(57) 摘要

在基板(1)之上形成有外延层(2)。在外延层(2)形成有场效应晶体管(3)。在外延层(2)之上形成有漏极焊盘(8)。漏极焊盘(8)与场效应晶体管(3)的漏电极(5)连接。背面电极(13)形成于基板(1)的背面,并与场效应晶体管(3)的源电极(6)连接。引线(16)与漏极焊盘(8)接合。在漏极焊盘(8)的正下方,在基板(1)形成有空洞(17)。空洞(17)不形成在引线(16)的接合部分的正下方。



1. 一种半导体装置,其特征在于,具备:
基板;
外延层,其形成于所述基板之上;
场效应晶体管,其形成于所述外延层;
漏极焊盘,其形成于所述外延层之上,并与所述场效应晶体管的漏电极连接;
背面电极,其形成于所述基板的背面,并与所述场效应晶体管的源电极连接;以及
引线,其与所述漏极焊盘接合,
在所述漏极焊盘的正下方,在所述基板形成有空洞,
所述空洞不形成在所述引线的接合部分的正下方。
2. 根据权利要求1所述的半导体装置,其特征在于,
所述空洞形成于所述基板以及所述外延层。
3. 根据权利要求1或2所述的半导体装置,其特征在于,
所述漏极焊盘被狭缝分离为多个焊盘,
所述引线跨越所述狭缝而与所述漏极焊盘接合。
4. 根据权利要求3所述的半导体装置,其特征在于,
所述多个焊盘通过布线相互连接。
5. 根据权利要求3或4所述的半导体装置,其特征在于,
所述多个焊盘的各焊盘具有:基底部分、和形成于所述基底部分的外周部之上的突起部,
所述引线与配置在所述狭缝的两侧的所述突起部接合。
6. 根据权利要求5所述的半导体装置,其特征在于,
还具备将所述漏电极与所述漏极焊盘连接的空气桥布线,
未被引线接合压扁的部分的所述突起部与所述空气桥布线的材料的厚度相同。
7. 根据权利要求1~6中的任一项所述的半导体装置,其特征在于,
所述背面电极堵塞所述空洞。

半导体装置

技术领域

[0001] 本公开涉及半导体装置。

背景技术

[0002] 在场效应晶体管中,在基板的表面侧形成有源极焊盘和漏极焊盘,在基板的背面侧形成有背面电极。背面电极和源极焊盘通过通孔连接。高输出放大器所使用的场效应晶体管的漏极焊盘,为了使较大的电流流动而接有多条引线,因此形成得较大。在该表面侧的漏极焊盘与背面侧的n型半导体基板或背面电极之间形成有较大的寄生电容。为了减少该寄生电容,提出一种从背面对基板进行蚀刻并在漏极焊盘的下方形成空洞的技术(例如,参照专利文献1)。

[0003] 专利文献1:日本特开2002-270822号公报。

[0004] 但是,以往在引线的接合部分的正下方形成有空洞,因此很难确保可以承受引线接合的冲击的强度。

发明内容

[0005] 本公开是为了解决上述那样的课题所做出的,其目的在于得到能够减少寄生电容并且承受引线接合的冲击的半导体装置。

[0006] 本公开的半导体装置,其特征在于,具备:基板;外延层,其形成于所述基板之上;场效应晶体管,其形成于所述外延层;漏极焊盘,其形成于所述外延层之上,并与所述场效应晶体管的漏电极连接;背面电极,其形成于所述基板的背面,并与所述场效应晶体管的源电极连接;以及引线,其与所述漏极焊盘接合,在所述漏极焊盘的正下方,在所述基板形成有空洞,所述空洞不形成在所述引线的接合部分的正下方。

[0007] 在本公开中,在漏极焊盘的正下方,在基板形成有空洞。因此,不减小漏极焊盘的面积,而能够减少漏极焊盘与背面电极之间的寄生电容。另外,空洞不形成在引线的接合部分的正下方。因此,能够承受引线接合的冲击。

附图说明

[0008] 图1是表示实施方式1的半导体装置的俯视图。

[0009] 图2是沿着图1的I-II的剖视图。

[0010] 图3是沿着图1的III-IV的剖视图。

[0011] 图4是沿着图1的V-VI的剖视图。

[0012] 图5是表示比较例1的半导体装置的剖视图。

[0013] 图6是表示比较例2的半导体装置的剖视图。

[0014] 图7是表示实施方式2的半导体装置的俯视图。

[0015] 图8是沿着图7的I-II的剖视图。

[0016] 图9是表示实施方式3的半导体装置的俯视图。

[0017] 图10是表示实施方式4的半导体装置的剖视图。

[0018] 图11是表示实施方式5的半导体装置的剖视图。

具体实施方式

[0019] 参照附图对实施方式的半导体装置进行说明。对相同或对应的构成要素标注相同的附图标记,有时省略重复的说明。

[0020] 实施方式1

[0021] 图1是表示实施方式1的半导体装置的俯视图。图2是沿着图1的I-II的剖视图。图3是沿着图1的III-IV的剖视图。图4是沿着图1的V-VI的剖视图。

[0022] 在基板1之上形成有外延层2。基板1是由GaAs、SiC、InP、蓝宝石、GaN或者金刚石等构成的半绝缘性基板。外延层2的材料例如是GaAs、GaN或者InP。但是,基板1也可以是由n型硅等构成的n型半导体基板,在该情况下,外延层2也由硅构成。

[0023] 在外延层2形成有场效应晶体管3。场效应晶体管3具有多个栅极电极4、多个漏电极5、以及多个源电极6。各栅极电极4配置在相邻的漏电极5与源电极6之间。

[0024] 在外延层2之上形成有栅极焊盘7、漏极焊盘8、以及源极焊盘9。栅极焊盘7经由栅极布线10而与多个栅极电极4连接。漏极焊盘8经由空气桥布线11而与多个漏电极5连接。源极焊盘9经由跨越栅极布线10的空气桥布线12而与多个源电极6连接。

[0025] 背面电极13形成于基板1的背面。背面电极13经由贯通基板1和外延层2的通孔14而与源极焊盘9连接。引线15与栅极焊盘7接合。多个引线16与漏极焊盘8接合。引线15、16的接合的大小为50~60 μm 。

[0026] 基板1从背面侧被蚀刻,在漏极焊盘8的正下方,在基板1及外延层2形成有多个空洞17。各空洞17的宽度为80 μm 左右。多个空洞17不形成在多个引线16的接合部分的正下方。

[0027] 接着,与比较例1、2进行比较来说明本实施方式的效果。图5是表示比较例1的半导体装置的剖视图。在比较例1中在引线16的接合部分的正下方形成有空洞17。因此,很难确保承受引线接合的冲击的强度。图6是表示比较例2的半导体装置的剖视图。在比较例2中在基板1不设置空洞17,在漏极焊盘8的正下方将背面电极13的一部分去除。但是,半导体装置安装于封装体GND18,因而在漏极焊盘8与封装体GND18之间产生寄生电容。因此,即使将背面电极13的一部分去除,寄生电容也几乎没有变化。

[0028] 与此相对,在本实施方式中,在漏极焊盘8的正下方,在基板1形成有空洞17。空洞17的内部是空气或真空,空洞17的内部的介电常数比基板1小。因此,不减小漏极焊盘8的面积,而能够减少漏极焊盘8与背面电极13之间的寄生电容。

[0029] 另外,空洞17不形成在引线16的接合部分的正下方。因此,空洞17的上方的较薄的漏极焊盘8不会被机械地、物理地破坏,能够承受引线接合的冲击。另外,即使在空洞17的上方存在因引线接合压扁而变宽的引线材料的一部分,只要空洞17的上方的漏极焊盘8不被破坏即可。

[0030] 另外,蚀刻到达漏极焊盘8的背面,空洞17不仅形成于基板1,也形成于外延层2。由此,能够进一步减少寄生电容。但是即使残留有较薄的外延层2,也能够充分减少寄生电容。

[0031] 实施方式2

[0032] 图7是表示实施方式2的半导体装置的俯视图。图8是沿着图7的I-II的剖视图。漏

极焊盘8被狭缝19分离为多个焊盘。引线16跨越狭缝19而与漏极焊盘8接合。狭缝19的内部是空气或真空。由此,能够确保对引线接合的基板强度,并且减少漏极焊盘8与背面电极13之间的寄生电容。其他的结构及效果与实施方式1相同。

[0033] 实施方式3

[0034] 图9是表示实施方式3的半导体装置的俯视图。在实施方式2中,漏极焊盘8被分离为多个焊盘,因此在晶片工序中的电气特性评价或者晶片测试时,必须使用多个探测器对漏极焊盘8进行探测。与此相对,在本实施方式中,被狭缝19分离的漏极焊盘8的多个焊盘通过细的布线20相互连接。由此,只要用一个探测器对漏极焊盘8进行探测即可,因此测试变得容易。其他结构及效果与实施方式2相同。

[0035] 实施方式4

[0036] 图10是表示实施方式4的半导体装置的剖视图。该图对应于沿着图7的I-II的剖视图。被狭缝19分离的漏极焊盘8的各焊盘具有:基底部分8a、和形成在基底部分8a的外周部之上的突起部8b。基底部分8a和突起部8b通过Au镀敷一并形成。

[0037] 引线16接合于配置在狭缝19的两侧的突起部8b。狭缝19的高度在实施方式2中为10 μm 左右,在本实施方式中为15 μm 左右。因此,能够使狭缝19的高度变高。寄生电容主要将狭缝19的部分的电容器与基板1的部分的电容器串联连接而成。狭缝19的介电常数相对于基板1的介电常数为1/10左右,因此仅通过使狭缝19稍稍变高就能够期待较大的减少容量的效果。另外,由于仅使焊盘的外周部变厚,因此与使焊盘整体变厚的情况相比,能够减少Au材料的量。

[0038] 另外,若在形成将漏电极5与漏极焊盘8连接的空气桥布线11时同时形成突起部8b,则能够缩短镀敷时间。在该情况下,未被引线接合压扁的部分的突起部8b与空气桥布线11的材料厚度相同。其他结构及效果与实施方式2或3相同。

[0039] 实施方式5

[0040] 图11是表示实施方式5的半导体装置的剖视图。该图对应于沿着图7的I-II的剖视图。背面电极13形成于基板1的背面整面。例如,使用Au粒子将晶片状的金属板压接于晶片状的基板1的背面来作为背面电极13。背面电极13堵塞空洞17,由此能够防止安装时导电性树脂或焊料进入空洞17。其他结构及效果与实施方式1-4相同。

[0041] 附图标记说明

[0042] 1…基板;2…外延层;3…场效应晶体管;5…漏电极;6…源电极;8…漏极焊盘;8a…基底部分;8b…突起部;11…空气桥布线;13…背面电极;16…引线;17…空洞;19…狭缝;20…布线。

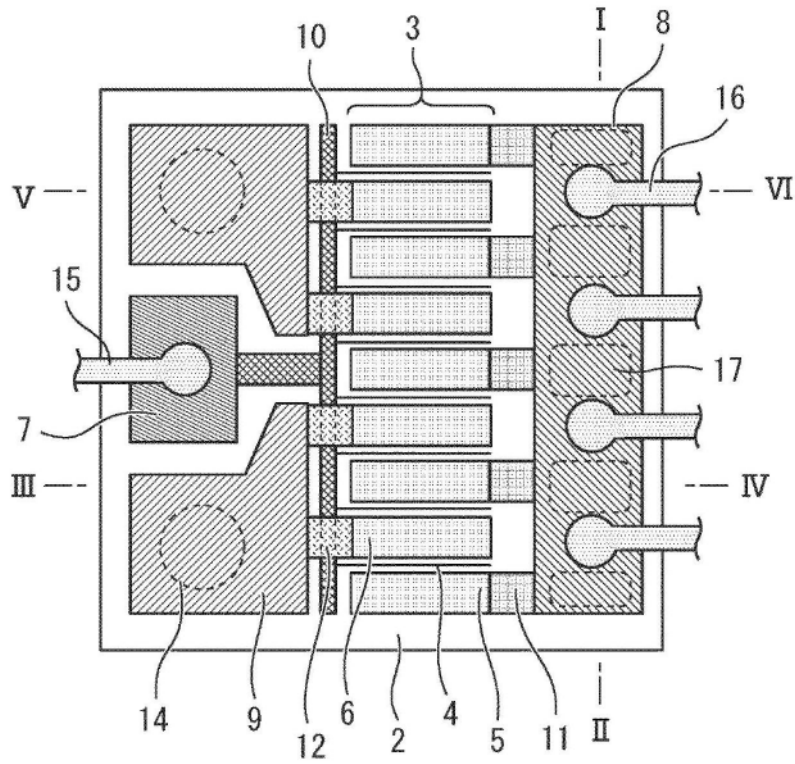


图1

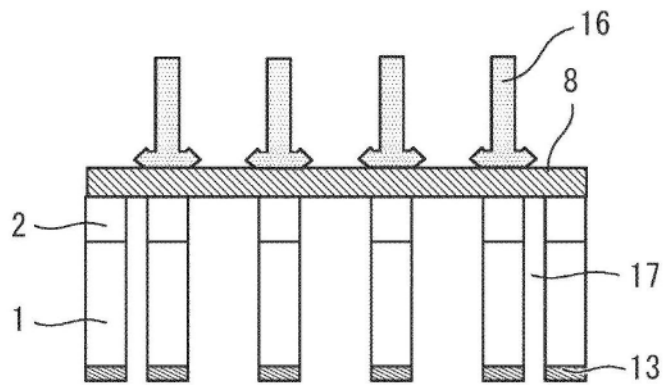


图2

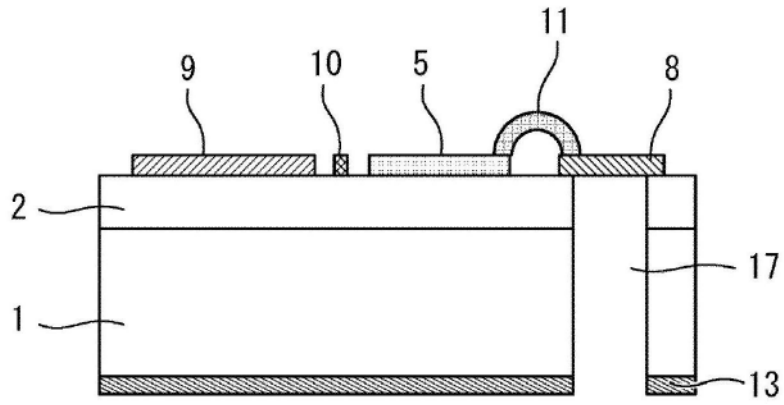


图3

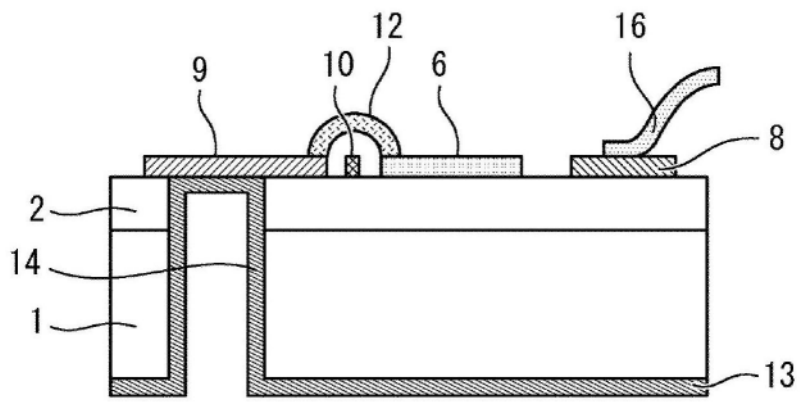


图4

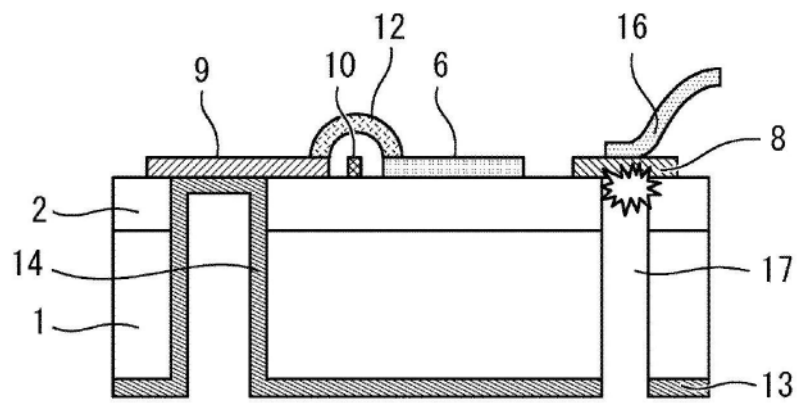


图5

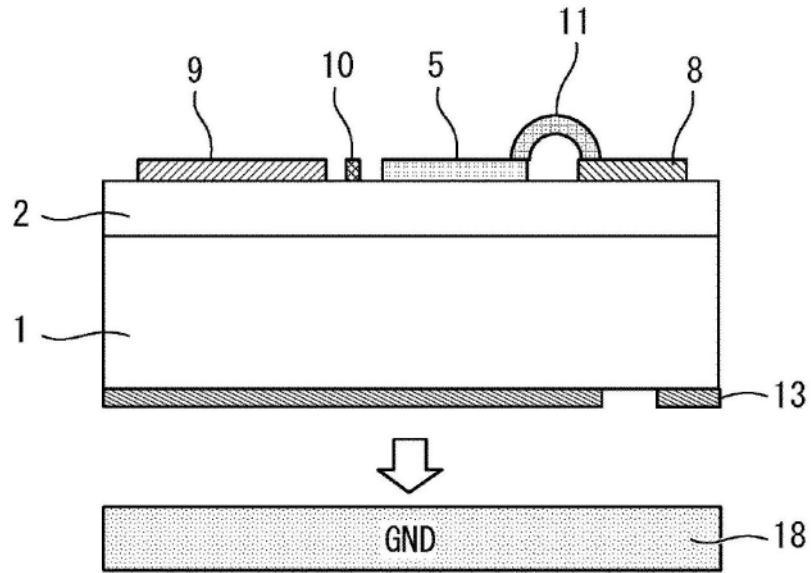


图6

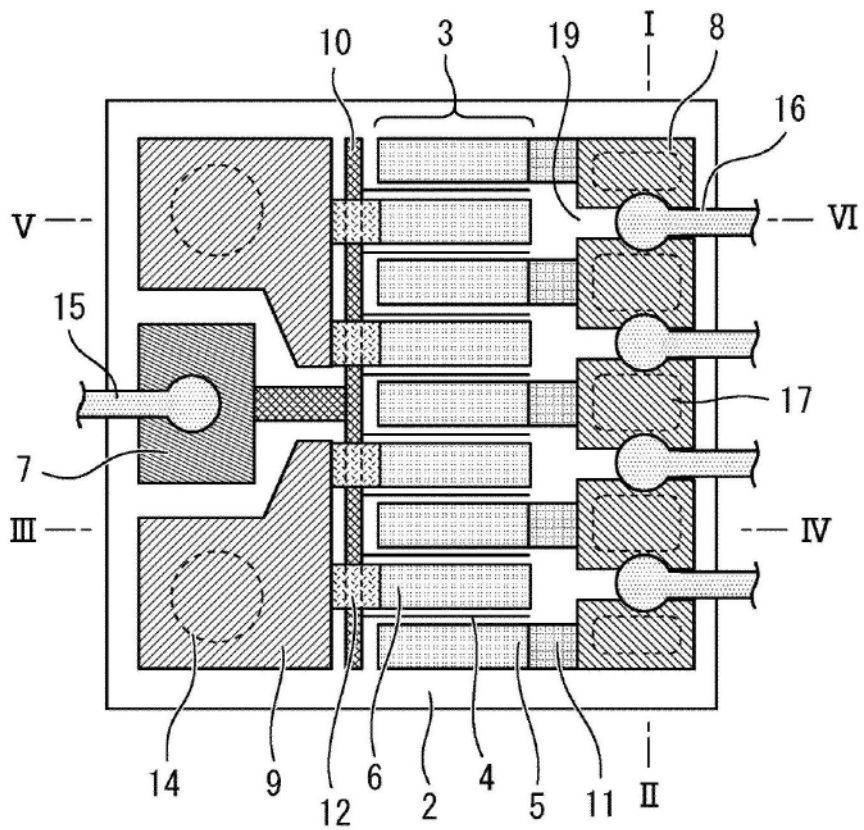


图7

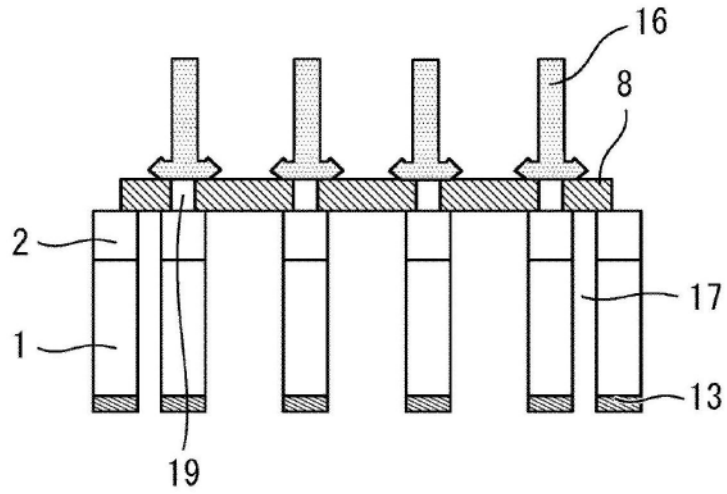


图8

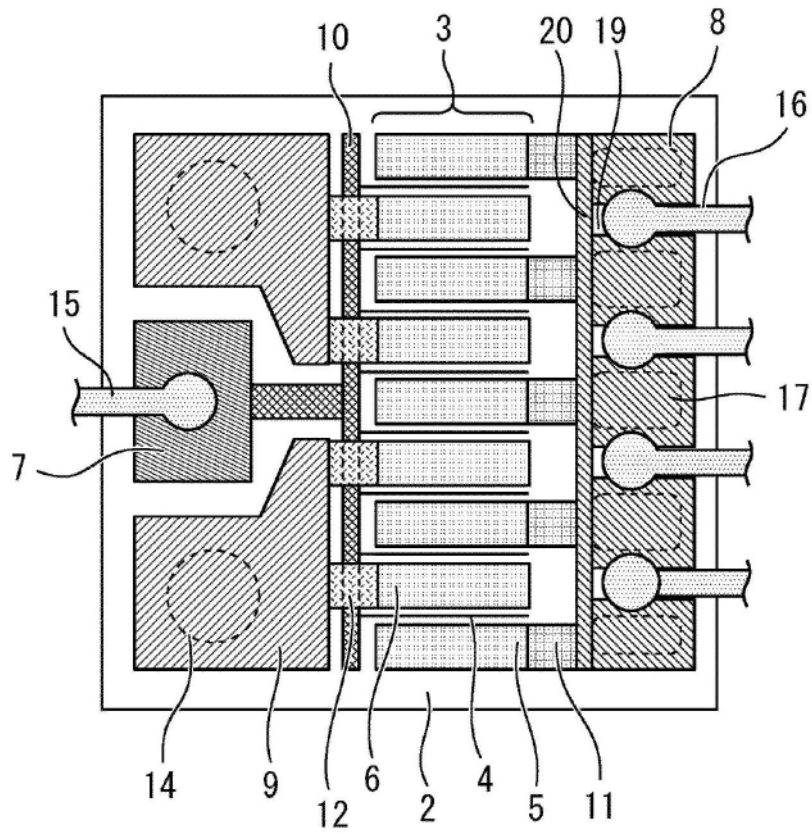


图9

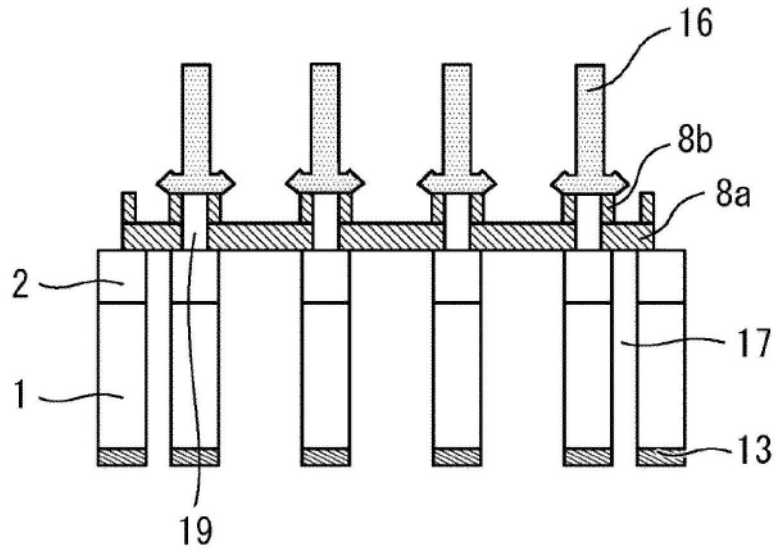


图10

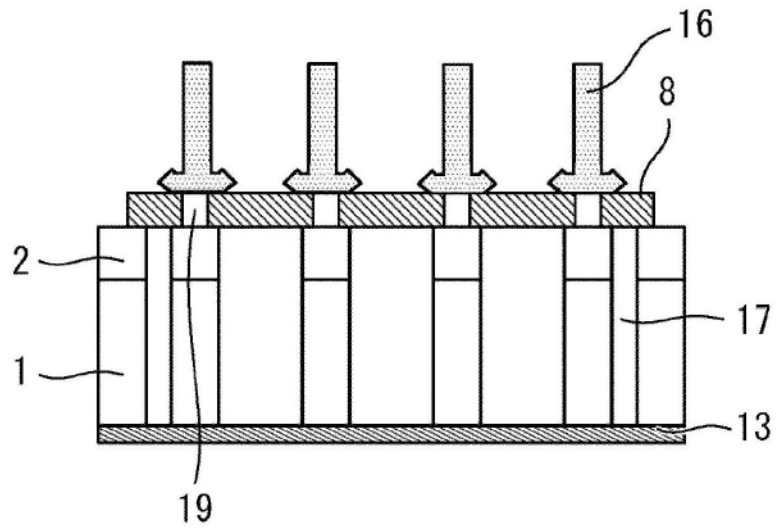


图11