

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 26 日(26.10.2012)



(10) 国際公開番号

WO 2012/144062 A1

- (51) 国際特許分類:
G11C 16/06 (2006.01) *G11C 16/02* (2006.01)
- (21) 国際出願番号: PCT/JP2011/059905
- (22) 国際出願日: 2011 年 4 月 22 日(22.04.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 瀬戸川 潤 (SETOGAWA, Jun) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

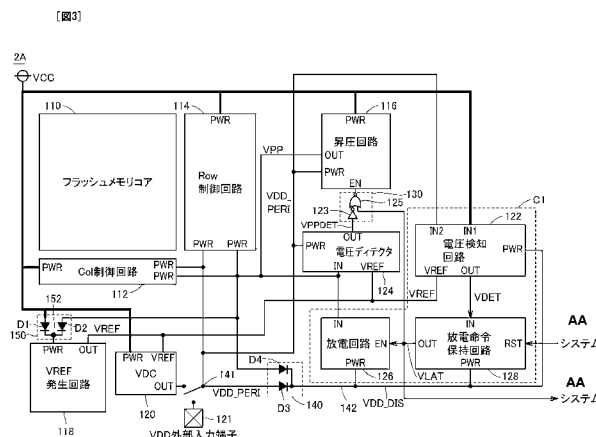


FIG. 3:
110 Flash memory core
112 Col control circuit
114 Row control circuit
116 Booster circuit
118 VREF generating circuit
121 VDD external input terminal
122 Voltage detecting circuit
124 Voltage detector
126 Discharge circuit
128 Discharge command holding circuit
AA System

(57) Abstract: This semiconductor device is provided with: a first power supply node, which is supplied with a first power supply voltage for supplying power to the semiconductor device; a booster circuit (116), which performs boosting to a second power supply voltage; a power supply selecting circuit (150), which selects a first high power supply voltage that is a higher power supply voltage of the first power supply voltage and the second power supply voltage; a reference voltage generating circuit (118), which generates a reference voltage; and a discharge operation-related circuit (122), which receives the reference voltage, and relates to discharge processing of a node to which the second power supply voltage is applied. Provided is the semiconductor device wherein, in an uncontrollable state, an internal discharge circuit and discharge sequence can be normally operated using a high voltage as an operation power supply voltage, a high-voltage charge in the device is discharged, and storage data and the device are protected.

(57) 要約: 半導体装置に電源を供給するための第 1 の電源電圧が供給される第 1 の電源ノードと、昇圧して第 2 の電源電圧に昇圧する昇圧回路 (116) と、第 1 の電源電圧と第 2 の電源電圧とのうちいずれか高い方の電源電圧である第 1 の高電源電圧を選択する電

源選択回路 (150) と、基準電圧を発生する基準電圧発生回路 (118) と、基準電圧を受け、前記第 2 の電源電圧が与えられるノードの放電処理に関係する放電動作関係回路 (122) とを備える。制御不能な事態において、高電圧を動作電源電圧として利用することにより内部の放電回路および放電シーケンスの正常に動作させ、デバイス内の高電圧の電荷が放電され、記憶データおよびデバイスを保護する装置を提供することができる。

WO 2012/144062 A1

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は、半導体装置に関するものであり、特に不揮発性メモリセルを破壊することなく、高電圧の電荷を正常に放電する放電回路を含む半導体装置に関する。

背景技術

[0002] 近年不揮発性メモリ、および不揮発性メモリ混載マイコンの需要が増えていく。フラッシュメモリ、EEPROM、EPROMに代表される不揮発メモリのプログラムおよび消去において、高電圧が必要とされる。

[0003] 通常動作時の電源オフ時においては、内部の放電回路を利用し、放電シーケンスに沿って高電圧の電荷が放電される。

[0004] しかし、瞬間停電等のような制御不能な事態が発生すれば、この高電圧状態を起因としてチップ内部に様々な不具合を生じる。たとえば、不具合の例として記憶データの破壊やデバイスの物理的破壊が考えられる。

[0005] このような不具合を回避するために、内部の放電回路を利用して放電シーケンスに沿って直ちに内部の高電圧の電荷を放電し、記憶データおよびデバイスを保護する必要がある。

[0006] ところで、正常に放電シーケンスを行うためには、 $2\mu\text{s}$ の処理時間が必要である。放電シーケンスの完了前に、放電動作に係る回路の動作電源電圧が動作電源電圧の下限値より電圧降下した場合には、放電シーケンスの制御が不能になり、正常な放電シーケンスが行えない。具体的には昇圧電源電圧は高電圧の状態のままになる。従って、この高電圧により記憶データ破壊やデバイスの物理的破壊が発生する可能性がある。

[0007] これを回避するために、正常に放電シーケンスが完了するまで周辺電源が動作電源電圧の下限値を下回らない電源容量を付加する構成がとられている。

- [0008] 特開 2009-44948 号公報（特許文献 1）が開示する技術は、半導体メモリ装置の高電圧発生器の動作中に電源供給が中断されるとき、チャージポンプからの高電圧が放電されず、レギュレータの比較部に入力され、比較部を構成するトランジスタが劣化することを防止するものである。
- [0009] 特開 2004-152341 号公報（特許文献 2）が開示する技術は、昇圧回路により生成される高電圧の電源電圧依存性を小さくする技術である。具体的には、昇圧回路は、電源電圧に応じて、電源電圧より高い高電圧が生成され、生成した高電圧は、高電圧線に出力される。高電圧線に充電された電荷は、電源電圧の値に応じて抜き取られる。高電圧線から放電する電荷量は、電源電圧が高いときに多くされ、電源電圧が低いときに少なくされることで、高電圧の電源電圧依存性が小さくなる。
- [0010] 特開平 6-309885 号公報（特許文献 3）が開示する技術は、消去中や書き込み中のプログラム中断により高電圧による電荷がメモリアレイ上に残留しないようディスチャージする技術である。具体的には、プログラム中断時、通常のプログラム時より短縮した中断用プログラムタイミングパルスを出力するタイマー回路が含まれる。中断用プログラムタイミングパルスによりメモリセル上の高電圧による電荷をディスチャージした後プログラムの動作が終了する。

先行技術文献

特許文献

- [0011] 特許文献 1：特開 2009-44948 号公報
特許文献 2：特開 2004-152341 号公報
特許文献 3：特開平 6-309885 号公報

発明の概要

発明が解決しようとする課題

- [0012] しかしながら、特開 2009-44948 号公報（特許文献 1）および特開平 6-309885 号公報（特許文献 3）に開示された技術は、制御不能

時に内部の放電回路および放電シーケンスが正常に動作しているかどうか確認できない問題点がある。

[0013] 特開 2004-152341 号公報（特許文献 2）に開示された技術は、昇圧電圧のレベルを一定に保つための放電回路を有する。この技術は、制御不能時に内部の放電回路および放電シーケンスが正常に動作しているかどうか確認できない問題点がある。

[0014] この発明は、上記の問題を解決するためになされたもので、瞬間停電等のような制御不能な事態において、高電圧を動作電源電圧として利用することにより内部の放電回路および放電シーケンスを正常に動作させ、デバイス内の高電圧の電荷が放電され、記憶データおよびデバイスを保護する装置を提供することを目的とする。

課題を解決するための手段

[0015] この発明は、要約すれば、半導体装置であって、半導体装置に電源を供給するための第 1 の電源電圧が供給される第 1 の電源ノードと、昇圧して第 2 の電源電圧を発生する昇圧回路を備え、第 1 の電源電圧と第 2 の電源電圧とのうちいずれか高い方の電源電圧である第 1 の高電源電圧を第 2 の電源電圧が与えられるノードの放電処理に関係する放電動作関係回路の電源として供給する。

発明の効果

[0016] 本発明は、高電圧の電荷の放電について、容易および安価に行うことができる。

図面の簡単な説明

[0017] [図1] 半導体装置の全体構成を示すブロック図である。

[図2] 検討例のフラッシュメモリ 2 の構成を説明するためのブロック図である。

[図3] 実施の形態 1 のフラッシュメモリ 2 A の構成を説明するためのブロック図である。

[図4] 図 3 における VREF 発生回路 118 と電源選択回路 150 の構成例を

示した回路図である。

[図5] 図3におけるVDC回路120の構成例を示した回路図である。

[図6] 図3における電圧検知回路122の構成例を示した回路図である。

[図7] 図3における電圧ディテクタ124を示したブロック図である。

[図8] 図3における放電命令保持回路128の構成例を示した回路図である。

[図9] 図3における放電回路126の構成例を示した回路図である。

[図10] 図3における放電回路126の変形例の構成例を示した回路図である。

。

[図11] 図9の放電回路126による放電動作を説明するための図である。

[図12] 図10の放電回路126Aによる放電動作を説明するための図である。

。

[図13] 実施の形態1において昇圧動作が行なわれず、VCCが一定の状態の各出力信号の波形を示す図である。

[図14] 実施の形態1において昇圧動作中にVCCが遮断された状態の各出力信号の波形を示す図である。

[図15] 実施の形態1において昇圧動作中にVCCが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[図16] 実施の形態1において昇圧動作中にVDDが遮断された状態の各出力信号の波形を示す図である。

[図17] 実施の形態1において昇圧動作中にVDDが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[図18] 実施の形態2のフラッシュメモリ2Bを説明するためのブロック図である。

[図19] 図18におけるVREF発生回路218の構成例を示した回路図である。

[図20] 図18における放電用VDC回路220Bの構成例を示した回路図である。

[図21] 実施の形態2において昇圧動作が行なわれず、VCCが一定の状態の

各出力信号の波形を示す図である。

[図22]実施の形態2において昇圧動作中にVCCが遮断された状態の各出力信号の波形を示す図である。

[図23]実施の形態2において昇圧動作中にVCCが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[図24]実施の形態2において昇圧動作中にVDDが遮断された状態の各出力信号の波形を示す図である。

[図25]実施の形態2において昇圧動作中にVDDが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[図26]実施の形態3のフラッシュメモリ2Cの構成を説明するためのブロック図である。

[図27]電源選択回路330と放電用VDC回路320Bの構成を説明するための回路図である。

[図28]実施の形態3において昇圧動作が行なわれず、VCCが一定の状態の各出力信号の波形を示す図である。

[図29]実施の形態3において昇圧動作中にVCCが遮断された状態の各出力信号の波形を示す図である。

[図30]実施の形態2において昇圧動作中にVCCが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[図31]実施の形態3において昇圧動作中にVDDが遮断された状態の各出力信号の波形を示す図である。

[図32]実施の形態3において昇圧動作中にVDDが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

発明を実施するための形態

[0018] 以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明は繰り返さない。

[0019] [実施の形態の半導体装置の全体構成]

図 1 は、半導体装置の全体構成を示すブロック図である。図 1 を参照して、半導体装置 1 は、フラッシュメモリ 2 A、機能ブロック群 3、CPU 4 を含む。機能ブロック群は、A/D 変換器や割り込み用コントローラやクロックパルス発生器などの様々な回路を含む。ここで、フラッシュメモリ 2 A について、さらに具体的に説明する。

[0020] なお、外部電源電圧 VCC や内部電源電圧 VDD や昇圧電源電圧 VPP は、それぞれ VCC や VDD や VPP と称することもある。

[0021] [検討例]

検討例では、実施の形態 1 のフラッシュメモリ 2 A との比較のためにフラッシュメモリ 2 について説明する。

[0022] 図 2 は、検討例のフラッシュメモリ 2 の構成を説明するためのブロック図である。以下、フラッシュメモリ 2 を構成する各回路について簡単に説明する。各回路の詳しい内容については、実施の形態 1 にて詳細する。

[0023] 図 2 を参照して、フラッシュメモリ 2 は、フラッシュメモリコア 110 と、このフラッシュメモリコア 110 に対し、読出し、書き込み、消去する対象のフラッシュメモリコア 110 を制御する Col 制御回路 112 および Row 制御回路 114 と含む。

[0024] フラッシュメモリ 2 は、基準電圧 VREF を発生する VREF 発生回路 118 と、VDD を発生する VDC 回路 120 (Voltage Down Converter 回路) と、VREF 発生回路 118 から発生した基準電圧 VREF と比較することによって VDD や VCC の電圧の高低を検知する電圧検知回路 122 とを含む。またフラッシュメモリ 2 は、VDC 回路 120 の代わりに外部から VDD を供給できる VDD 外部入力端子 121 を含む。なお、この VDD 外部入力端子 121 を利用することにより、容易に内部電源電圧を供給できる。

[0025] フラッシュメモリ 2 は、特に書き込み、消去の際に高電圧を発生させる昇圧回路 116 と、この昇圧回路 116 により昇圧された VPP が所望のレベルであるかどうかを検知する電圧ディテクタ 124 と、電圧ディテクタ 12

4と放電命令保持回路128のそれぞれの出力信号を受ける昇圧制御回路130を含む。

[0026] 昇圧制御回路130は、電圧ディテクタ124の出力信号を受けるインバータ123と、インバータ123の出力信号と放電命令保持回路の出力信号とを受けるNOR回路125とを含む。

[0027] さらに、フラッシュメモリ2は、電圧検知回路122により検知された出力信号を受ける放電命令保持回路128と、放電命令保持回路の出力信号を受ける放電回路126とを含む。

[0028] 放電動作関係回路C0は、放電回路126と、電圧検知回路122と、放電命令保持回路128とを含む。

[0029] ここで、検討例において昇圧動作中にVCCが電源遮断された場合を簡単に説明する。

VCCはVREF発生回路118やVDDを発生させるVDC回路120の動作電源電圧である。具体的には、スイッチ141がVDC回路120の出力信号のノードと接続されることにより、VDDは、電圧検知回路122や電圧ディテクタ124や放電回路126や放電命令保持回路128を駆動するための動作電源電圧となる。

[0030] 故に、VCCが電源遮断された場合に供給されるVDDや基準電圧VREFは放電動作を駆動する回路の動作電源電圧や基準電圧として不十分である。

[0031] 基準電圧VREFは、電圧検知回路122や電圧ディテクタ124において使用されるが正常時の基準電圧VREFより低い電圧値となり、基準電圧としては不十分である。

[0032] 仮に、放電動作に関係する回路が動作したとしても、ユーザあるいはシステム（たとえば、CPU4）からは制御不能となり、記憶データ破壊やデバイスの物理的破壊をする可能性がある。

[0033] 従って、放電動作に関係する回路が放電動作を完了するための動作電源電圧を所定期間供給し続けることが必要である。

[0034] なお、放電動作関係回路C0の一例として、電圧検知回路122や放電回路126や放電命令保持回路128を有した構成を示しているが、特にこれに限られるものではない。

[0035] [実施の形態1]

図3は、実施の形態1のフラッシュメモリ2Aの構成を説明するためのブロック図である。

[0036] 図3を参照して、フラッシュメモリ2Aは、図2で示したフラッシュメモリ2の構成に加えて、電源選択回路140と、電源選択回路150とを含む。以下、フラッシュメモリ2Aの各回路の構成について説明する。

[0037] 電源選択回路140は、電圧VDD_PERIがアノードに結合されたダイオードD3とVPPがアノードに結合されたダイオードD4とを含み、ダイオードD3とダイオードD4のカソードはともにノード142へ接続される。この電源選択回路140に含まれるダイオードは、整流機能を有する素子に置き換えられることもできる。たとえば、ダイオード接続されたトランジスタなどで実現できる。

[0038] 図4は、図3におけるVREF発生回路118と電源選択回路150の構成例を示した回路図である。

[0039] 図4を参照して、VREF発生回路118は、基準電圧VREFをゲートに受けソースが電源選択回路150により電源が供給されるノードに接続されるPMOSトランジスタ11と、基準電圧VREFをゲートおよびドレインに受けソースが電源選択回路150により電源が供給されるノードに接続されるPMOSトランジスタ12と、PMOSトランジスタ11のドレインがゲートおよびドレインに接続され、ソースが接地ノードと接続されるNMOSトランジスタ13と、PMOSトランジスタ11のドレインがゲートに接続されソースが抵抗17と接続されるNMOSトランジスタ14と、NMOSトランジスタ14のソースと接地ノードとの間に接続される抵抗17とを含む。

[0040] 電源選択回路150は、VCCがアノードに結合されたダイオードD1と

VPPがアノードに結合されたダイオードD2とを含み、ダイオードD1とダイオードD2のカソードはともにPMOSトランジスタ11とPMOSトランジスタ12とのソースへ接続される。この電源選択回路150に含まれるダイオードは、整流機能を有する素子に置き換えられる。たとえば、ダイオード接続されたトランジスタなどで実現できる。

[0041] VREF発生回路118は、供給電源電圧がある程度の電位を保てば、電圧依存性を受けずに、一定の電圧を出力する回路である。ここでは、電源選択回路150は、VCCまたはVPPのうち高い電源電圧をVREF発生回路118の動作電源電圧として供給する。

[0042] 図5は、図3におけるVDC回路120の構成例を示した回路図である。図5を参照して、VDC回路120は、基準電圧VREFとVDC回路120の出力電圧を受けて比較する差動アンプ22と、差動アンプ22の出力をゲートに受け、VCCを受ける電源ノードとVDDを出力する出力ノードとの間に接続されるPMOSトランジスタ24とを含む。VDC回路120は、VCCが供給される限り、基準電圧VREFの電圧値を持つVDDを出力する。

[0043] 図6は、図3における電圧検知回路122の構成例を示した回路図である。図6を参照して、電圧検知回路122は、入力電圧IN1を電圧分配する電圧分配部31と、分配電圧VDIV1と基準電圧VREFを受けて比較する差動アンプ32と、差動アンプ32の出力を受けるOR回路38とを含む。

[0044] 電圧検知回路122は、さらに基準電圧VREFと差動アンプ36の出力電圧を受ける差動アンプ36と、差動アンプ36の出力電圧を電圧分配する電圧分配部35と、分配電圧VDIV2と入力電圧IN2を受けて比較する差動アンプ34と、一方の入力ノードが差動アンプ32の出力信号を受け、他端の入力ノードが差動アンプ34の出力信号を受けるOR回路38とを含む。

[0045] 電圧分配部31は、入力電圧IN1と接地ノードとの間に直列に連結され

た抵抗 31 A と抵抗 31 B を含み、これら抵抗の比により差動アンプ 32 に入力される分配電圧 V_{DIV1} を出力する。

[0046] 電圧分配部 35 は、差動アンプ 36 の出力電圧と接地ノードとの間に直列に連結された抵抗 35 A と抵抗 35 B を含み、これら抵抗の比により差動アンプ 34 に入力される分配電圧 V_{DIV2} を出力する。なお、電圧分配部 31 および 35 の抵抗の比は、ユーザの選択に応じて変更して設計することができる。

[0047] これにより、電圧検知回路 122 は容易に 2 種類の電源電圧を基準電圧 V_{REF} との比較ができる。

[0048] 図 7 は、図 3 における電圧ディテクタ 124 を示したブロック図である。図 7 を参照して、基準電圧 V_{REF} および動作電源電圧を受ける昇圧目標電圧発生回路 41 と、 V_{PP} および昇圧目標電圧発生回路 41 の出力電圧を受ける差動アンプ 43 とを含む。

[0049] 電圧ディテクタ 124 は、 V_{PP} が基準電圧 V_{REF} より低い場合には、差動アンプ 43 の出力信号は H レベルとなる。すなわち、昇圧命令がなされ、昇圧回路により昇圧動作が開始される。

[0050] 図 8 は、図 3 における放電命令保持回路 128 の構成例を示した回路図である。

図 8 を参照して、放電命令保持回路 128 の回路構成は、いわゆる RS フリップフロップ回路となる。放電命令保持回路 128 には、電圧検知回路 122 の信号 V_{DET} と、システム（たとえば、CPU 4）からのリセット信号 RST とが入力される。放電命令保持回路 128 の信号 V_{LAT} は、放電命令を示す。これにより、放電命令を保持することができ、高電圧の電荷が完全に放電するまで放電動作を行うことができる。

[0051] 図 9 は、図 3 における放電回路 126 の構成例を示した回路図である。

図 9 を参照して、放電回路 126 は、放電シーケンス制御回路 61 S と、NMOS トランジスタ 611 とを含む。放電シーケンス制御回路 61 S は、放電命令保持回路 128 の信号 V_{LAT} を入力信号 EN として受ける。放電

シーケンス制御回路 6 1 S からの出力信号 6 1 A が、NMOS トランジスタ 6 1 1 のゲートに入力される。

[0052] NMOS トランジスタ 6 1 1 は、ゲートに出力信号 6 1 A を受けソースが V P P に接続され、ドレインが接地ノードに接続される。

[0053] これにより、出力信号 6 1 A が H レベルのときには、NMOS トランジスタ 6 1 1 がオンし、ドレインに接続されている V P P の電荷は、接地電位に放電される。

[0054] また、出力信号 6 1 A が L レベルのときには、NMOS トランジスタはオフ状態のままなので、昇圧電荷は放電されず保持されたままの状態となる。

[0055] 従って、放電シーケンスに従って、放電シーケンス制御回路は V P P の電荷を放電させることを自由に制御できる。

[0056] 図 1 0 は、図 3 における放電回路 1 2 6 の変形例の構成例を示した回路図である。

図 1 0 を参照して、放電回路 1 2 6 A は、放電シーケンス制御回路 6 2 S と、NMOS トランジスタ 6 2 1 ~ NMOS トランジスタ 6 2 3 とを含む。

[0057] 放電シーケンス制御回路 6 2 S は放電シーケンス制御回路 6 1 S と同様に、放電命令保持回路 1 2 8 の信号 V L A T を入力信号 E N として受ける。放電シーケンス制御回路 6 2 S からの出力信号 6 2 A ~ 出力信号 6 2 C がそれぞれ NMOS トランジスタ 6 2 1 ~ NMOS トランジスタ 6 2 3 のゲートに入力される。

[0058] NMOS トランジスタ 6 2 1 ~ NMOS トランジスタ 6 2 3 は、ゲートに出力信号 6 2 A ~ 出力信号 6 2 C を受けソースが V P P 1 ~ V P P 3 に接続され、ドレインが接地ノードに接続される。

[0059] V P P 1 ~ V P P 3 の電荷が安全かつ正確に放電されるために、放電シーケンス制御回路 6 2 S が、各放電動作の開始時間を設定したり、残留電荷を放電させる NMOS トランジスタ 6 2 1 ~ NMOS トランジスタ 6 2 3 の順序を設定したりして制御を行う。

[0060] 図 1 1 は、図 9 の放電回路 1 2 6 による放電動作を説明するための図であ

る。

通常、フラッシュメモリの内部ではトランジスタ素子のオン耐圧以上の電圧であるVPPが昇圧回路で発生する。よって、昇圧電源電圧の電荷を放電する場合、一度に全電荷を一気に放電せずに、段階を追って放電動作が行なわれる。そのため、トランジスタのオン耐圧以上の電圧が印加されることなく、最終的に昇圧電源電圧の電荷がチップに影響を与えない程度まで放電される。放電シーケンス制御回路61Sは、このような段階的放電動作を制御する。

[0061] 図9、図11を参照して、時刻TA1において、信号VLATがLレベルからHレベルへ切り替わり、放電命令が活性化される。従って、NMOSトランジスタ611のドレイン側にあるVPPの電荷が、出力信号61AがLレベルからHレベルに変更されることにより、NMOSトランジスタ611がオン状態になり、時刻TA2まで放電される。

[0062] 時刻TA2において、放電シーケンス制御回路61Sにより、NチャネルMOSトランジスタ611へのゲートへ入力される出力信号61AがHレベルからLレベルへ切り替わることにより、NMOSトランジスタ611はオフ状態になり、放電動作が停止する。これにより、トランジスタのオン耐圧以上の電圧が印加されず、トランジスタが物理的に破壊されることもない。

[0063] 時刻TA3から再度放電動作を開始するため、出力信号61AをLレベルからHレベルに切り替えることで残余の電荷を放電することにより、時刻TA4において放電動作が完了する。

[0064] 図12は、図10の放電回路126Aによる放電動作を説明するための図である。

フラッシュメモリ内部では、複数の昇圧電源電圧が使用される場合があり、昇圧電源電圧線の寄生容量も個々に異なる。従って、単に放電動作を開始すると、放電するスピードが異なるために昇圧電源電圧間の電位差が広がり、トランジスタ素子のオン耐圧以上の電圧が印加されたり、放電動作中に各昇圧電源電圧関係が逆転し順バイアスが発生されたりすることにより、記憶

データおよびデバイスが破壊されるおそれがある。

- [0065] そのため、放電動作シーケンスにより、各昇圧電源電圧の電荷の放電開始タイミングや放電動作同士の間隔やWait時間を制御することで安全かつ正確な放電動作が行なわれている。
- [0066] 図10、図12を参照して、昇圧電源電圧VPP1～VPP3の電荷を放電するために、放電シーケンスに従って、時刻TB1からVPP1の電荷の放電が開始され、時刻TB2からVPP2の電荷の放電が開始され、時刻TB3からVPP3の電荷の放電が開始される。
- [0067] それぞれの放電スピードが異なるため、放電シーケンス制御回路により、各昇圧電源電圧関係が逆転したり、昇圧電源電圧間の電位差が開き過ぎたりしないように、各放電動作を停止する。これにより、順バイアスやトランジスタのオン耐圧以上の電圧が印加されず、トランジスタが物理的に破壊されることもない。
- [0068] 回路の詳細を図示はしていない昇圧回路116は、昇圧制御回路130の出力信号を入力信号ENとして受け、電圧VDD_PERIを動作電源電圧として、VCCを昇圧して昇圧電源電圧VPPを生成する。
- [0069] この昇圧回路116は、供給電源電圧（たとえば、VCC）のn倍の電圧を発生させる回路である。昇圧回路116の出力電圧は電圧ディテクタ124により制御され、昇圧目標電圧以上になると、昇圧動作が停止する。また、昇圧目標電圧以下になると昇圧動作を開始することで、昇圧目標電圧まで現在の昇圧電源電圧を昇圧する。
- [0070] なお、供給電源電圧が降下し、 $(\text{供給電源電圧}) \times (n \text{ 倍}) \leq (\text{昇圧目標電圧})$ となる場合には昇圧回路116は、常時昇圧動作を行い、供給電源電圧のn倍の電圧を出力しようとする。
- [0071] しかし、電圧検知回路122がVCCの電圧降下を検知し、放電命令保持回路128の出力が変化すると、昇圧制御回路130により、昇圧回路116は非活性化されるため、昇圧電源電圧の電圧レベルはダイナミックに変動し、消費電流に応じて昇圧電源電圧が電圧降下する。

[0072] 再度図3を参照して、昇圧制御回路130は、インバータ123とNOR回路125を含む。インバータ123のゲートには電圧ディテクタ124からの出力信号が入力され、インバータの出力信号である反転信号が、NOR回路125の一方の入力ノードに入力される。またNOR回路125の他方の入力ノードに放電命令保持回路128の出力信号が入力される。同時に信号V_{LAT}はシステム（たとえば、CPU4）にも送信される。

[0073] 従って、電圧ディテクタ124の出力信号がHレベルのときであって、放電命令保持回路128の出力信号がLレベルのときに、昇圧回路116は昇圧動作を行う。

[0074] 放電動作関係回路C1は、上述した放電回路126と、電圧検知回路122と、放電命令保持回路128とを含む。

[0075] 以下、実施の形態1のフラッシュメモリ2Aにおける放電動作について、説明する。

再度図3を参照して、電源選択回路150により、V_{CC}またはV_{PP}のうち高い方の電源電圧が選択され、その電源電圧を利用してV_{REF}発生回路118により基準電圧V_{REF}が発生させる。これにより、V_{CC}の電圧降下が発生しても、V_{PP}の電荷が残っている限り基準電圧V_{REF}が正常に供給される。

[0076] 電圧検知回路122がV_{CC}または電圧V_{DD__PERI}の電圧降下を検知すると、放電命令である信号V_{DET}を出力する。放電命令保持回路128により、この放電命令である信号V_{DET}がラッチされ、昇圧回路116の昇圧動作が停止する。一方、放電回路126は、V_{PP}の電荷を放電シーケンスに従って放電する。

[0077] 電源選択回路140により、電圧V_{DD__PERI}またはV_{PP}のうち高い方の電源電圧が選択される。その選択された電源電圧を利用して電圧検知回路122や放電命令保持回路128回路や放電回路126には、正常な範囲内で動作電源電圧が供給される。これにより、V_{CC}または電圧V_{DD__PERI}の電圧降下が発生しても、V_{PP}の電荷が残っている限り放電回路

126において放電シーケンスに従ってVPPの電荷が放電される。

[0078] ここでは、電圧VDD__DISとして、電圧VDD__PERIとVPPのどちらか電圧の高い電源電圧が選択されるという構成が示されたが、VCCとVPPのどちらか電圧の高い電源電圧が選択される構成としても良い。

[0079] なお、信号VLATはシステム（たとえば、CPU4）へも送信され、システムはフラッシュメモリ2Aが放電シーケンスに従い放電動作が開始されたことを認知し、中断されたプログラムの処理を行う。放電命令保持回路128にリセット信号（Hレベル）が入力されることで、信号VLATはLレベルに切り替わり、放電動作は終了する。

[0080] 実施の形態1の構成をとることにより、電源遮断あるいは瞬間停電があった場合にもフラッシュメモリの記憶データの破壊やデバイスの物理的破壊を回避できることをさらに具体的に説明する。

[0081] 図13は、実施の形態1において昇圧動作が行なわれず、VCCが一定の状態の各出力信号の波形を示す図である。

[0082] 図13には、上から順に、図3のVCC、電圧VDD__PERI、電圧VDD__DIS、基準電圧VREF、信号VDET、信号RST、信号VLAT、VPPが示される。

[0083] 各波形のグラフの縦軸には、上から順にVPP、VCC、VDDの電圧値がそれぞれVPP1、VCC1、VDD1として示されている。横軸には、時間が示されている。

[0084] また、以下では、VDC回路120の出力端とスイッチ141とを接続する場合について説明するが、VDD外部入力端子121とスイッチ141とを接続する場合でも同様であるため、説明は繰り返さない。また、システム（たとえば、CPU4）によって放電動作が終了する場合ではないため、システム（たとえば、CPU4）からの信号RSTはLレベルに設定する。

[0085] この状態は、たとえばフラッシュメモリへの書き込みあるいは消去動作が行なわれていない状態が当てはまる。この状態では、VCCは遮断あるいは瞬間停電をしていないので、一定の電圧値VCC1となる。

- [0086] 電圧VDD__PERIは、VCCを動作電源電圧として、VDC回路120により出力される。電圧VDD__PERIの電圧値はVDD1となる。
- [0087] 電圧VDD__DISは、電源選択回路140によりVPPと電圧VDD__PERIとのいずれか高い方の電源電圧が選択される。ここでは、昇圧動作が行われていないので、電源選択回路140により、電圧VDD__DISの電圧値はVDD1と同じになる。
- [0088] VREF発生回路118の動作電源電圧は、電源選択回路150によりVCCとVPPとのいずれか高い方の電源電圧が選択される。従って、昇圧動作が行われていないので、VCCを動作電源電圧として、VREF発生回路118は一定の基準電圧VREFを供給する。このときの基準電圧VREFの電圧値はVDD1となる。
- [0089] 電圧検知回路122においては、電圧VDD__PERIとVCCとが入力され、その動作電源電圧は電圧VDD__DISを用いる。電圧VDD__PERIとVCCが基準電圧VREFよりも高電圧のため信号VDETはHレベルとなる。その電圧値はVDD1となる。
- [0090] 放電命令保持回路128においては、システム（たとえば、CPU4）からLレベルの信号RSTが入力され、電圧検知回路122からHレベルの信号VDETが入力され、さらに、電圧VDD__DISが動作電源電圧として入力される。昇圧動作がないので、この放電命令保持回路128からの信号VLATはLレベルとなる。
- [0091] 昇圧回路116の出力であるVPPは、昇圧動作が停止しているため、VPPの電圧値は電圧VDD__PERIになる。この電圧VDD__PERIの電圧値はVDD1となる。
- [0092] 図14は、実施の形態1において昇圧動作中にVCCが遮断された状態の各出力信号の波形を示す図である。
- [0093] 図3、図14を参照して、縦軸や横軸や目盛や信号RSTの設定やスイッチ141の接続関係は図13と同一なので説明は繰り返さない。この状態は、たとえばユーザがある瞬間に電源コードを抜いてしまった状態が当てはま

る。

[0094] VCCは、時刻 t_0 において遮断され、VCCの電圧値は徐々に減少する。時刻 t_1 において、電圧検知回路 122 のVCC電圧降下検知レベルよりVCCが下回る場合に、電圧検知回路 122 は、VCCの電圧降下を検知する。

[0095] 電圧VDD__PERIは、時刻 t_1 まで、VCCを動作電源電圧として、VDC回路 120 から出力される。その電圧値はVDD1となる。時刻 t_1 以後は、VCCの電圧降下と同様に、電圧VDD__PERIも電圧降下する。

[0096] 電圧VDD__DISは、電源選択回路 140 によりVPPと電圧VDD__PERIとのいずれか高い方の電源電圧が選択される。従って、時刻 t_1 までは、電圧VDD__DISはVPP1をとり、以後、放電動作によるVPPの電圧降下に追従して電圧降下する。

[0097] VREF発生回路 118 の動作電源電圧は、電源選択回路 150 によりVCCとVPPとのいずれか高い方の電源電圧が選択される。従って、時刻 t_2 (放電動作によるVPPの電圧降下が電圧値VDD1の基準電圧VREFになる) まで、一定の基準電圧VREFを供給し続ける。その後、VPPの電圧降下とともに、基準電圧VREFも電圧降下する。

[0098] 電圧検知回路 122 においては、電圧VDD__PERIとVCCとが入力され、その動作電源電圧は電圧VDD__DISを用いる。時刻 t_1 まで信号VDETはHレベルとなる。時刻 t_1 以降、VCCはVCC電圧降下検知レベルを下回るため、これを検知して信号VDETはHレベルからLレベルへ切り替わる。

[0099] 放電命令保持回路 128 においては、システム (たとえばCPU4) からLレベルの信号RSTが入力され、電圧検知回路 122 からHレベルの信号VDETが入力され、さらに、電圧VDD__DISが動作電源電圧として入力される。時刻 t_1 において、信号VDETがHレベルからLレベルに切り替わるのを受けて、放電命令保持回路 128 からの信号VLATもLレベル

からHレベルに切り替わる。そして、時刻 t_1 以後、電圧 V_{DD_DIS} の電圧降下とともに信号 V_{LAT} も電圧降下する。

[0100] 信号 V_{LAT} はシステム（たとえば、CPU 4）や放電回路 126 や昇圧制御回路 130 へ入力される。これにより、昇圧制御回路 130 からLレベルの出力信号が昇圧回路 116 へ入力されるため、昇圧回路 116 の昇圧動作は停止する。一方、放電回路 126 は、 V_{PP} の電荷を放電シーケンスに従って放電する。

[0101] 図 15 は、実施の形態 1 において昇圧動作中に V_{CC} が瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[0102] 図 3、図 15 を参照して、縦軸や横軸や目盛や信号 RST の設定やスイッチ 141 の接続関係は図 13 と同一なので説明は繰り返さない。この状態は、たとえばシステム（たとえば、CPU 4）あるいは雷等の自然災害等で瞬間的に電源電圧が供給されず、その後復旧した状態が当てはまる。

[0103] 時刻 $t_3 \sim t_8$ の間は、 V_{CC} の瞬間停電した時間として示されている。具体的には、時刻 t_3 において、 V_{CC} の電圧降下が開始される。時刻 t_4 において、 V_{CC} が V_{CC} 電圧降下検知レベルを下回り、時刻 t_5 まで V_{CC} は電圧降下し続ける。時刻 t_5 において、 V_{CC} の電圧降下は停止する。時刻 t_5 以後、 V_{CC} の電圧は再度上昇し、時刻 t_6 において、 V_{CC} が V_{CC} 電圧降下検知レベルを上回る。時刻 t_8 以後において、 V_{CC} は時刻 t_3 以前の電圧値に復帰する。

[0104] 電圧 V_{DD_PERI} は、時刻 t_4 までと時刻 t_6 以後とでは、 V_{CC} を動作電源電圧として、 V_{DC} 回路 120 から出力される。その電圧値は一定の電圧値 V_{DD1} となる。時刻 $t_4 \sim t_6$ の間までは、 V_{CC} の電圧変化に伴い、電圧 V_{DD_PERI} も類似した電圧変化を生じる。

[0105] 電圧 V_{DD_DIS} は、時刻 t_4 まで、電源選択回路 140 により V_{PP} と電圧 V_{DD_PERI} とのいずれか高い方の電源電圧が選択される。従って、電圧 V_{DD_DIS} は V_{PP1} をとり、時刻 $t_4 \sim t_7$ の間までは、電圧 V_{DD_DIS} は V_{PP} の電圧降下とともに電圧降下し続ける。電圧 V_D

D__DISは時刻 t_7 以後、VPPと電圧VDD__PERIとのいずれか高い方の電源電圧が選択されるため、電圧VDD__PERIの一定の電圧値VDD1となる。

[0106] VREF発生回路118の動作電源電圧が電源選択回路150によりVPPとVCCとのいずれか高い方の電源電圧が選択される。従って、VREF発生回路118は電圧値VDD1以上の動作電源電圧を受け、一定の基準電圧VREFを供給する。

[0107] 時刻 t_4 において、VCCがVCC電圧降下検知レベルを下回るため、電圧検知回路122はVCCの電圧降下を検知し、信号VDETはHレベルからLレベルへと切り替わる。信号VDETとシステム（たとえば、CPU4）からのLレベルの信号RSTとが放電命令保持回路128へ入力され、信号VLATはLレベルからHレベルに切り替わる。信号VLATはシステム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止し、昇圧回路116の昇圧動作は停止する。一方、放電回路126は、VPPの残留電荷を放電シーケンスに従って放電する。

[0108] 時刻 $t_4 \sim t_7$ の間において、電源選択回路140によって高い方の電源電圧を使用するため放電命令保持回路128の動作電源電圧はVPPとなる。そのためVPPの電圧降下とともに信号VLATの電圧も電圧降下する。時刻 t_7 以後は、電圧VDD__PERIがVPPより高電圧になるため、動作電源電圧が電圧VDD__PERIとなり一定の電圧値VDD1をとる。

[0109] 図16は、実施の形態1において昇圧動作中にVDDが遮断された状態の各出力信号の波形を示す図である。図3、図16を参照して、縦軸や横軸や目盛は図13と同一なので説明は繰り返さない。ここで、VDD外部入力端子121とスイッチ141とを接続するとして説明するが、VDC回路120の出力端とスイッチ141とを接続する場合でも同様であるため、説明は繰り返さない。

- [0110] この状態は、たとえばVDDがVDD外部入力端子121から供給される
ときに、このVDD外部入力端子121が電源遮断される場合が考えられる
。
- [0111] VCCは、VDDの電源遮断による影響を受けないので、一定の電圧とな
る（電圧値VCC1）。
- [0112] VDD外部入力端子121から供給されるVDDが、時刻t10において
遮断され、VDDの電圧値は徐々に減少する。したがって、スイッチ141
で接続されている電圧VDD__PERIも同様に時刻t10において電圧降
下を開始され、時刻t11においてVDD電圧降下検知レベル下回り、時刻
t12において接地電位となる。
- [0113] 電圧VDD__DISは、電源選択回路140によりVPPと電圧VDD__
PERIとのいずれか高い方の電源電圧が選択される。従って、時刻t11
までは、電源選択回路140によりVPPが選択され、放電動作によりVP
Pの電圧降下と同様に、電圧VDD__DISも電圧降下する。
- [0114] VREF発生回路118において、電源選択回路150によりVCCとV
PPとのいずれか高い方の電源電圧が動作電源電圧として選択される。従っ
て、VREF発生回路118は電圧値VDD1以上の動作電源電圧が供給さ
れ、一定の基準電圧VREFを供給する。
- [0115] 電圧検知回路122においては、電圧VDD__PERIとVCCとが入力
され、その動作電源電圧は電圧VDD__DISを用いる。時刻t11まで信
号VDETはHレベルとなる。時刻t11以後、VDDはVDD電圧降下検
知レベルを下回るため、これを検知して信号VDETはHレベルからLレベ
ルへ切り替わる。
- [0116] 放電命令保持回路128においては、システム（たとえばCPU4）から
Lレベルの信号RSTが入力され、電圧検知回路122からHレベルの信号
VDETが入力され、さらに、電圧VDD__DISが動作電源電圧として入
力される。時刻t11において、信号VDETがHレベルからLレベルへ切
り替わるのを受けて、放電命令保持回路128からの信号VLATもLレベ

ルからHレベルに切り替わる。そして、時刻 t_{11} 以後、電圧 V_{DD_DIS} の電圧降下とともに信号 V_{LAT} も電圧降下する。

[0117] 信号 V_{LAT} は、システム（たとえば、CPU 4）や放電回路 126 や昇圧制御回路 130 へ入力される。これにより、昇圧制御回路 130 から L レベルの出力信号が昇圧回路 116 へ入力されるため、昇圧回路 116 の昇圧動作は停止する。一方、放電回路 126 は、 V_{PP} の残留電荷を放電シーケンスに従って放電する。

[0118] 図 17 は、実施の形態 1 において昇圧動作中に V_{DD} が瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。図 3、図 17 を参照して、縦軸や横軸や目盛や信号 RST の設定やスイッチ 141 の接続関係は図 16 と同一なので説明は繰り返さない。

[0119] たとえば V_{DD} が V_{DD} 外部入力端子 121 から供給されるときに、この V_{DD} 外部入力端子 121 が瞬間停電される場合が考えられる。

[0120] V_{CC} は、 V_{DD} の瞬間停電による影響を受けないので、一定の電圧となる。

時刻 $t_{13} \sim t_{18}$ の間は、 V_{DD} の瞬間停電した時間として示されている。ここで、電圧 V_{DD_PERI} は外部入力端子 121 から V_{DD} が供給されるため、 V_{DD} の電圧変化と電圧 V_{DD_PERI} の電圧変化はほぼ等しくなる。従ってその波形もほぼ等しくなる。具体的には、時刻 t_{13} において、電圧 V_{DD_PERI} の電圧降下を開始される。時刻 t_{14} において、電圧 V_{DD_PERI} が V_{DD} 電圧降下検知レベルを下回り、時刻 t_{15} まで電圧降下し続ける。時刻 t_{15} において、電圧 V_{DD_PERI} の電圧降下は停止する。時刻 t_{15} 以後、電圧 V_{DD_PERI} の電圧は再度上昇し、時刻 t_{16} において、電圧 V_{DD_PERI} が V_{DD} 電圧降下検知レベルを上回る。時刻 t_{18} 以後において、電圧 V_{DD_PERI} は時刻 t_{13} 以前の電圧値に復帰する。

[0121] 電圧 V_{DD_DIS} は時刻 t_4 まで、電源選択回路 140 により、 V_{PP} と電圧 V_{DD_PERI} とのいずれか高い方の電源電圧が動作電源電圧とし

て選択されるため、VPPの一定の電圧値VPP1となる。

[0122] 電圧VDD__DISは時刻t14～t17の間まで、VPPの電圧降下とともに電圧降下し続ける。電圧VDD__DISは時刻t17以後、わずかな電圧の上昇し、時刻t18以降は一定の電圧値VDD1となる。その理由は、電源選択回路140によりVPPと電圧VDD__PERIとのいずれか高い方の電源電圧が選択されるためである。具体的には、時刻t17までは（VPPの電圧値）＞（電圧VDD__PERIの電圧値）となり、時刻t17以後は（電圧VDD__PERIの電圧値）＞（VPPの電圧値）となる。

[0123] VREF発生回路118の動作電源電圧が電源選択回路150によりVPPとVCCとのいずれか高い方の電源電圧が選択されるため、動作電源電圧が基準電圧VREFよりも高いので、基準電圧VREFは一定の電圧値VDD1となる。

[0124] 時刻t14において、電圧VDD__PERIがVDD電圧降下検知レベルを下回るため、電圧検知回路122は電圧VDD__PERIの電圧降下を検知し、信号VDETはHレベルからLレベルへと切り替わる。信号VDETとシステム（たとえば、CPU4）からのLレベルの信号とが放電命令保持回路128へ入力され、信号VLATはLレベルからHレベルに切り替わる。信号VLATはシステム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止し、昇圧回路116の昇圧動作は停止する。一方、放電回路126は、VPPの残留電荷を放電シーケンスに従って放電する。

[0125] 時刻t14～t17の間において、電源選択回路140によって高い方の電源電圧を使用するため放電命令保持回路128の動作電源電圧はVPPとなる。そのためVPPの電圧降下とともに信号VLATの電圧も電圧降下する。時刻t17以後は、電圧VDD__PERIがVPPより高電圧になるため、動作電源電圧が電圧VDD__PERIとなり一定の電圧値VDD1をとる。

[0126] 以上図 1 3 から図 1 7 を用いて説明をしたように、VCCあるいはVDDが電源遮断や瞬間停電により、フラッシュメモリ 2 A 内の回路制御が不能になった場合でも放電動作に関係する回路はVPPから動作電源電圧の供給を受けて、正常に昇圧電荷の放電を行う。これにより、記憶データの破壊およびデバイスの物理的破壊を回避することができる。また、放電動作を制御するためのコンデンサも不要となる。なお、フラッシュメモリ以外の不揮発性メモリにおいても、同様な構成をとることにより、記憶データの破壊およびデバイスの物理的破壊を回避することができる。

[0127] なお、VPPの電荷の放電が充分に進むとVPPが低電圧になり、放電動作に関係する回路の制御が不能となる。しかし、このときのVPPの電圧は充分に低いため、記憶データの破壊およびデバイスの物理的破壊するおそれはない。

[0128] [実施の形態 2]

実施の形態 2 では、実施の形態 1 のフラッシュメモリ 2 A との比較のためにフラッシュメモリ 2 B について説明する。

[0129] ここで、放電動作関係回路 C 2 は、放電動作関係回路 C 1 に加えて、放電用 VDC 回路 2 2 0 B を含む。この放電用 VDC 回路 2 2 0 B は、放電回路 1 2 6 と、電圧検知回路 1 2 2 と、放電命令保持回路 1 2 8 とに動作電源電圧を供給する。

[0130] 図 1 8 は、実施の形態 2 のフラッシュメモリ 2 B を説明するためのブロック図である。

図 1 8 を参照して、フラッシュメモリ 2 B は、図 2 で示したフラッシュメモリ 2 の構成に加えて、電源選択回路 1 5 0 と、VREF 発生回路 1 1 8 の代わりに VREF 発生回路 2 1 8 と、VDC 回路 1 2 0 の代わりに周辺用 VDC 回路 2 2 0 A と放電用 VDC 回路 2 2 0 B とを含む。以下、フラッシュメモリ 2 B の各回路の構成について説明する。

[0131] 図 1 9 は、図 1 8 における VREF 発生回路 2 1 8 の構成例を示した回路図である。図 1 9 を参照して、VREF 発生回路 2 1 8 は、基準電圧 VRE

Fをゲートに受けソースが電源選択回路150により電源が供給されるノードに接続されるPMOSトランジスタ11と、基準電圧 V_{REF} をゲートおよびドレインに受けソースが電源選択回路150により電源が供給されるノードに接続されるPMOSトランジスタ12と、PMOSトランジスタ11のドレインがゲートおよびドレインに接続され、ソースが接地ノードと接続されるNMOSトランジスタ13と、PMOSトランジスタ11のドレインがゲートに接続されソースが抵抗17と接続されるNMOSトランジスタ14と、NMOSトランジスタ14のソースと接地ノードとの間に接続される抵抗17とを含む。

[0132] 電源選択回路150は、 V_{CC} がアノードに結合されたダイオードD1と V_{PP} がアノードに結合されたダイオードD2とを含み、ダイオードD1とダイオードD2のカソードはともにPMOSトランジスタ11とPMOSトランジスタ12とのソースへ接続される。この電源選択回路150に含まれるダイオードは、整流機能を有する素子に置き換えられることもできる。たとえば、ダイオード接続されたトランジスタなどで実現できる。

[0133] さらに、 V_{REF} 発生回路218は、この基準電圧 V_{REF} と差動アンプ82の出力を受ける差動アンプ82と、差動アンプ82の出力電圧を電圧分配する電圧分配部83とを含む。

[0134] 電圧分配部83は、差動アンプ36の出力電圧と接地ノードとの間に直列に連結された抵抗83Aと抵抗83Bを含み、これら抵抗の比により分配された基準電圧 $V_{REF} - \alpha$ を出力する。なお、電圧分配部83の抵抗の比は、ユーザの選択に応じて変更して設計することができる。

[0135] ここで、基準電圧 $V_{REF} - \alpha$ は、基準電圧 V_{REF} より小さく、かつ、放電回路126や放電命令保持回路や128や電圧検知回路122の正常に動作できる電源電圧より高い電圧である。

[0136] V_{REF} 発生回路218は、供給電源電圧がある程度の電位を保てば電圧依存性を受けずに、2種類の一定の電圧を出力する回路である。具体的には、基準電圧 V_{REF} と基準電圧 $V_{REF} - \alpha$ である。この基準電圧 V_{REF}

は、放電動作に関係する電圧ディテクタ 124 や電圧検知回路 122 に入力される。それに加えて、周辺用 VDC 回路 220A や放電用 VDC 回路 220B にも入力される。一方、基準電圧 $V_{REF} - \alpha$ は、放電用 VDC 回路 220B に入力される。

[0137] 図 20 は、図 18 における放電用 VDC 回路 220B の構成例を示した回路図である。図 20 を参照して、放電用 VDC 回路 220B は、VDC 回路 220B1 と、VDC 回路 220B2 とを含む。VDC 回路 220B1 と VDC 回路 220B2 とは並列接続され電圧 V_{DD_DIS} が出力される。

[0138] VDC 回路 220B1 は、電圧 V_{DD_DIS} の基準となる基準電圧 V_{REF} と電圧 V_{DD_DIS} を受けて比較する差動アンプ 86 と、差動アンプ 86 の出力をゲートに受け、VCC を受ける電源ノードと電圧 V_{DD_DIS} を出力する出力ノードとの間に接続される PMOS トランジスタ 88 とを含む。

[0139] VDC 回路 220B2 は、電圧 V_{DD_DIS} の基準となる基準電圧 $V_{REF} - \alpha$ と電圧 V_{DD_DIS} を受けて比較する差動アンプ 87 と、差動アンプ 87 の出力をゲートに受け、VPP を受ける電源ノードと電圧 V_{DD_DIS} を出力する出力ノードとの間に接続される PMOS トランジスタ 89 とを含む。

[0140] なお、周辺用 VDC 回路 220A は、図 2 の VDC 回路 120 と同一の構成を持つため、説明は繰り返さない。

[0141] 再度図 18 を参照して、 V_{REF} 発生回路 218 の動作電源電圧は、電源選択回路 150 により、VCC または VPP のうち高い方の電源電圧が選択され、その電源電圧を利用して V_{REF} 発生回路 218 により基準電圧 V_{REF} と基準電圧 $V_{REF} - \alpha$ とを発生する。これにより、VCC の電圧降下が発生しても、VPP の電荷が残っている限り、基準電圧 V_{REF} と基準電圧 $V_{REF} - \alpha$ とが正常に供給される。

[0142] しかし、VCC または電圧 V_{DD_PERI} が電圧降下した場合でも、放電用 VDC 回路 220B により、放電動作により電圧降下している VPP が

基準電圧 $V_{REF-\alpha}$ より高電圧であるならば電圧 V_{DD_DIS} の電圧値は基準電圧 $V_{REF-\alpha}$ を出力でき、放電動作に関係する回路に動作電源電圧を供給することができる。

[0143] 電圧検知回路122が V_{CC} または電圧 V_{DD_PERI} の電圧降下が検知されると、放電命令保持回路128により放電命令（信号 V_{DET} ）がラッチされ、昇圧回路116が停止する。一方、放電回路126は、 V_{PP} の電荷を放電シーケンスに従って放電する。

[0144] 電圧検知回路122や放電命令保持回路128の動作電源電圧は、電圧 V_{DD_DIS} から供給される。このため、 $(V_{PP}\text{の電圧値}) > (\text{基準電圧 } V_{REF-\alpha}\text{の電圧値})$ のときには、放電シーケンス制御回路は正常に動作される。

[0145] なお、信号 V_{LAT} はシステム（たとえば、 $CPU4$ ）へも送信され、システムはフラッシュメモリ2Bが放電動作に入ったことを認知し、中断されたプログラムの処理を行う。放電命令保持回路128にリセット信号（ H レベル）を送ることで、信号 V_{LAT} は L レベルに切り替わり、放電動作は終了する。

[0146] 実施の形態2の構成をとることにより、電源遮断あるいは瞬間停電があった場合にもフラッシュメモリの記憶データやデバイスの物理的破壊を回避できることをさらに具体的に説明する。

[0147] 図21は、実施の形態2において昇圧動作が行なわれず、 V_{CC} が一定の状態の各出力信号の波形を示す図である。

[0148] この状態は、たとえばフラッシュメモリへの書き込みあるいは消去動作が行なわれていない状態が当てはまる。

[0149] 図21を参照して、上から順に、図18の V_{CC} 、電圧 V_{DD_PERI} 、電圧 V_{DD_DIS} 、基準電圧 V_{REF} 、信号 V_{DET} 、信号 RST 、信号 V_{LAT} 、 V_{PP} が示されている。

[0150] また、周辺用 V_{DC} 回路220Aの出力端とスイッチ141とを接続する場合について説明するが、 V_{DD} 外部入力端子121とスイッチ141とを

接続する場合でも同様であるため、説明は繰り返さない。また、横軸や目盛や信号 R S T の設定は図 1 3 と同一なので説明は繰り返さない。

[0151] V C C は遮断あるいは瞬間停電をしていないので、一定の電圧値 V C C 1 となる。

電圧 V D D _ P E R I は、V C C を動作電源電圧として、周辺用 V D C 回路 2 2 0 A により出力される。その電圧値は V D D 1 となる。なお、前述したように周辺用 V D C 回路 2 2 0 A と V D C 回路 1 2 0 の回路構成は同一である。

[0152] 電圧 V D D _ D I S は、放電用 V D C 回路 2 2 0 B により出力される。特に昇圧動作が行われていないので、V D C 回路 2 2 0 B 1 により電圧 V D D _ D I S の電圧値は基準電圧 V R E F の電圧値（= V D D 1）と同じになる。

[0153] V R E F 発生回路 2 1 8 の動作電源電圧は、電源選択回路 1 5 0 により V C C と V P P とのいずれか高い方の電源電圧が選択される。ここでは、昇圧動作が行われていないので、V C C を動作電源電圧として、V R E F 発生回路 1 1 8 は一定の基準電圧 V R E F を供給する。このときの基準電圧 V R E F の電圧値は V D D 1 となる。

[0154] 電圧検知回路 1 2 2 においては、電圧 V D D _ P E R I と V C C とが入力され、その動作電源電圧は電圧 V D D _ D I S を用いる。電圧 V D D _ P E R I と V C C が基準電圧 V R E F よりも高電圧のため信号 V D E T は H レベルとなる。その電圧値は V D D 1 となる。

[0155] 放電命令保持回路 1 2 8 においては、システム（たとえば、C P U 4）からの L レベルの信号 R S T が入力され、電圧検知回路 1 2 2 から H レベルの信号 V D E T が入力され、電圧 V D D _ D I S が動作電源電圧として入力される。昇圧動作がないので、この放電命令保持回路 1 2 8 からの信号 V L A T は L レベルとなる。

[0156] 昇圧回路 1 1 6 の出力である V P P は、昇圧動作が停止しているため、V P P の電圧値は電圧 V D D _ P E R I になる。この電圧 V D D _ P E R I の

電圧値は V_{DD1} となる。

[0157] 図22は、実施の形態2において昇圧動作中に V_{CC} が遮断された状態の各出力信号の波形を示す図である。

[0158] 図18、図22を参照して、縦軸や横軸や目盛や信号 RST の設定やスイッチ141の接続関係は図21と同一なので説明は繰り返さない。

[0159] この状態は、たとえばユーザがある瞬間に電源コードを抜いてしまった状態が当てはまる。

[0160] V_{CC} は、時刻 t_{20} において遮断され、 V_{CC} の電圧値である V_{CC1} は徐々に減少する。時刻 t_{21} において、電圧検知回路122の V_{CC} 電圧降下検知レベルより V_{CC} が下回るときに、電圧検知回路122は、 V_{CC} の電圧降下を検知する。

[0161] 電圧 V_{DD_PERI} は、時刻 t_{21} まで、 V_{CC} を動作電源電圧として、周辺用 V_{DC} 回路220Aから出力される。その電圧値は V_{DD1} となる。時刻 t_{21} 以後は、 V_{CC} の電圧降下と同様に、電圧 V_{DD_PERI} も電圧降下する。電圧 V_{DD_PERI} の電圧値は V_{DD1} から接地電位に降下する。

[0162] 電圧 V_{DD_DIS} は、時刻 t_{21} までは、図20の V_{DC} 回路220B1から基準電圧 V_{REF} と同一の電圧をとる。時刻 t_{21} 以後には、電圧 V_{DD_DIS} は、図20の V_{DC} 回路220B2から V_{PP} により基準電圧 $V_{REF}-\alpha$ と同一の電圧をとる。

[0163] しかし、 V_{PP} が放電動作により残留電荷が減少し、基準電圧 $V_{REF}-\alpha$ 以下になると、図20の V_{DC} 回路220B2からの出力信号も徐々に減少することになる。

[0164] また、 V_{REF} 発生回路218の動作電源電圧は、電源選択回路150により V_{CC} と V_{PP} とのいずれか高い方の電源電圧が選択される。従って、放電動作による V_{PP} の電圧降下が V_{CC} レベルになるまで、一定の電圧の基準電圧 V_{REF} が供給される。その後、 V_{PP} の電圧値が基準電圧 V_{REF} 以下になると、基準電圧 V_{REF} は一定の電圧を供給できなくなり、電圧

降下する。

- [0165] 電圧検知回路 122 においては、電圧 V_{DD_PERI} と V_{CC} とが入力され、その動作電源電圧は電圧 V_{DD_DIS} を用いる。時刻 t_{21} まで V_{CC} が V_{CC} 電圧降下検知レベルを越えているため、信号 V_{DET} は H レベルとなる。時刻 t_{21} 以後、 V_{CC} は V_{CC} 電圧降下検知レベルを下回るため、これを検知して信号 V_{DET} は H レベルから L レベルへ切り替わる。
- [0166] 放電命令保持回路 128 においては、システム（たとえば CPU 4）から L レベルの信号 RST が入力され、電圧検知回路 122 から H レベルの信号 V_{DET} が入力され、さらに、電圧 V_{DD_DIS} が動作電源電圧として入力される。時刻 t_{21} において、信号 V_{DET} が H レベルから L レベルへ切り替わるのを受けて、放電命令保持回路 128 からの信号 V_{LAT} も L レベルから H レベルに切り替わる。そして、時刻 t_{21} 以後、電圧 V_{DD_DIS} の電圧変化とともに信号 V_{LAT} も電圧降下する。
- [0167] 信号 V_{LAT} はシステム（たとえば、CPU 4）や放電回路 126 や昇圧制御回路 130 へ入力される。これにより、昇圧制御回路 130 から L レベルの出力信号が昇圧回路 116 へ入力されるため、昇圧回路 116 の昇圧動作は停止する。一方、放電回路 126 は、 V_{PP} の残留電荷を放電シーケンスに従って放電する。
- [0168] 図 23 は、実施の形態 2 において昇圧動作中に V_{CC} が瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。
- [0169] 図 18、図 23 を参照して、縦軸や横軸や目盛や信号 RST の設定やスイッチ 141 の接続関係は図 21 と同一なので説明は繰り返さない。
- [0170] この状態は、たとえばシステム（たとえば、CPU 4）あるいは雷等の自然災害等で瞬間的に電源電圧が供給されず、その後復旧した状態が当てはまる。
- [0171] 時刻 $t_{23} \sim t_{27}$ の間は、 V_{CC} の瞬間停電した時間として示されている。具体的には、時刻 t_{23} において、 V_{CC} の電圧降下が開始される。時刻 t_{24} において、 V_{CC} が V_{CC} 電圧降下検知レベルを下回り、時刻 t_{25}

5までVCCは電圧降下し続ける。時刻t25において、VCCの電圧降下は停止する。時刻t25以後、VCCの電圧は再度上昇し、時刻t26において、VCCがVCC電圧降下検知レベルを上回る。時刻t27以後において、VCCは時刻t23以前の電圧値に復帰する。

[0172] 電圧VDD__PERIは、時刻t24までと時刻t26以後とでは、VCCを動作電源電圧として、放電用VDC回路220Aから出力される。その電圧値は一定の電圧値VDD1となる。時刻t24～t26の間までは、VCCの電圧変化に伴い、電圧VDD__PERIも同様な電圧変化を生じる。

[0173] 電圧VDD__DISは、放電用VDC回路220Bによって出力される。具体的には、時刻t24まではVCCに瞬間停電がないため、電圧VDD__DISは図20のVDC回路220B1からの出力となる。その値は基準電圧VREFの電圧値と同一となる。時刻t24～t26の間までは、VCCはVCC電圧降下検知レベルを下回るため、電圧VDD__DISは、図20のVDC回路220B2からの出力となる。その値は基準電圧 $VREF - \alpha$ となる。時刻t26以後、再度電圧VDD__DISは図20のVDC回路220B1からの出力となる。その値は基準電圧VREFの電圧値と同一となる。

[0174] 基準電圧VREFは、時刻t24～t26の間においても一定の電圧値となる。VREF発生回路218の動作電源電圧は、電源選択回路150によりVPPとVCCとのいずれか高い方の電源電圧が選択される。基準電圧VREFの電圧値を下回ることがないので、基準電圧VREFは一定の電圧となる。その電圧値はVDD1となる。

[0175] 時刻t24において、VCCがVCC電圧降下検知レベルを下回るため、電圧検知回路122は、VCCの電圧降下を検知し、信号VDETはHレベルからLレベルへと切り替わる。

[0176] 信号VDETとシステム（たとえば、CPU4）からのLレベルの信号RSTとが放電命令保持回路128へ入力され、信号VLATはLレベルからHレベルに切り替わる。信号VLATはシステム（たとえば、CPU4）や

放電回路 126 や昇圧制御回路 130 へ入力される。これにより、昇圧制御回路 130 から L レベルの出力信号が昇圧回路 116 へ入力されるため、昇圧回路 116 の昇圧動作は停止する。一方、放電回路 126 は、VPP の残留電荷を放電シーケンスに従って放電する。

[0177] 図 24 は、実施の形態 2 において昇圧動作中に VDD が遮断された状態の各出力信号の波形を示す図である。図 18、図 24 を参照して、縦軸や横軸や目盛は図 21 と同一なので説明は繰り返さない。ここで、VDD 外部入力端子 121 とスイッチ 141 とを接続するとして説明をするが、周辺用 VDC 回路 220A の出力端とスイッチ 141 とを接続する場合でも同様であるため、説明は繰り返さない。

[0178] この状態は、たとえば VDD が VDD 外部入力端子 121 から供給されるときに、この VDD 外部入力端子 121 が電源遮断される場合が考えられる。

[0179] VCC は、VDD の電源遮断による影響を受けないので、一定の電圧となる（電圧値 VCC1）。

[0180] VDD 外部入力端子 121 から供給される VDD が、時刻 t30 において遮断され、VDD の電圧値は徐々に減少する。電圧 VDD__PERI は、周辺用 VDC 回路 220A から出力された電圧 VDD__PERI も同様に時刻 t30 において電圧降下を開始され、時刻 t31 において VDD 電圧降下検知レベル下回り、時刻 t32 において接地電位となる。

[0181] 電圧 VDD__DIS は、VCC を動作電源電圧として放電用 VDC 回路 220B から出力される。VCC は常に一定の電圧値 VCC1 となるので電圧 VDD__DIS も一定の電圧値 VDD1 となる。

[0182] VREF 発生回路 218 において、電源選択回路 150 により VCC と VPP とのいずれか高い方の電源電圧が動作電源電圧として選択される。しかし、選択された電源電圧は VCC 電圧降下検知レベルを下回ることはないので、基準電圧 VREF は一定電圧となる。その電圧値は VDD1 となる。

[0183] 電圧検知回路 122 においては、電圧 VDD__PERI と VCC とが入力

され、その動作電源電圧は電圧VDD__DISを用いる。時刻t31まで信号VDETはHレベルとなる。時刻t31以後、VDDはVDD電圧降下検知レベルを下回るため、これを検知して信号VDETはHレベルからLレベルへ切り替わる。

[0184] 放電命令保持回路128においては、システム（たとえばCPU4）からLレベルの信号RSTが入力され、電圧検知回路122からHレベルの信号VDETが入力され、さらに電圧VDD__DISが動作電源電圧として入力される。時刻t31において、信号VDETがHレベルからLレベルへ切り替わるのを受けて、放電命令保持回路128からの信号VLATもLレベルからHレベルに切り替わる。そして、時刻t31以後も、電圧VDD__DISは一定電圧のため、信号VLATレベルも一定値となる。

[0185] 信号VLATは、システム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止する。一方、放電回路126は、VPPの残留電荷を放電シーケンスに従って放電する。

[0186] 図25は、実施の形態2において昇圧動作中にVDDが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[0187] 図18、図25を参照して、縦軸や横軸や目盛や信号RSTの設定やスイッチ141の接続関係は図24と同一なので説明は繰り返さない。

[0188] たとえばVDDがVDD外部入力端子121から供給されるときに、このVDD外部入力端子121が瞬間停電される場合が考えられる。

[0189] VCCは、VDDの瞬間停電による影響を受けないので、一定の電圧となる。

時刻t33～t37の間は、VDDの瞬間停電した時間として示されている。ここで、電圧VDD__PERIは外部入力端子121からVDDが供給されるため、VDDの電圧変化と電圧VDD__PERIの電圧変化はほぼ等しくなるため、その波形もほぼ等しくなる。具体的には、時刻t33におい

て、電圧 V_{DD_PERI} の電圧降下が開始される。時刻 t_{34} において、電圧 V_{DD_PERI} が V_{DD} 電圧降下検知レベルを下回り、時刻 t_{35} まで電圧降下し続ける。時刻 t_{35} において、電圧 V_{DD_PERI} の電圧降下は停止する。時刻 t_{35} 以後、電圧 V_{DD_PERI} の電圧は再度上昇し、時刻 t_{36} において、電圧 V_{DD_PERI} が V_{DD} 電圧降下検知レベルを上回る。時刻 t_{37} 以後において、電圧 V_{DD_PERI} は時刻 t_{33} 以前の電圧値に復帰する。

[0190] 電圧 V_{DD_DIS} は、 V_{CC} を動作電源電圧として放電用 V_{DC} 回路220Bから出力される。 V_{CC} は一定の電圧値 V_{CC1} となるので電圧 V_{DD_DIS} も一定の電圧値 V_{DD1} となる。

[0191] 基準電圧 V_{REF} も同様に、 V_{CC} を動作電源電圧として、 V_{REF} 発生回路218から出力される。 V_{CC} は一定の電圧値 V_{CC1} となるので基準電圧 V_{REF} も一定の電圧値 V_{DD1} となる。

[0192] 電圧検知回路122においては、電圧 V_{DD_PERI} と V_{CC} とが入力され、その動作電源電圧は電圧 V_{DD_DIS} を用いる。時刻 t_{34} まで信号 V_{DET} はHレベルとなる。時刻 t_{34} 以後、 V_{DD} は V_{DD} 電圧降下検知レベルを下回るため、これを検知して信号 V_{DET} はHレベルからLレベルへ切り替わる。

[0193] 放電命令保持回路128においては、システム（たとえばCPU4）からLレベルの信号 RST が入力され、電圧検知回路122からHレベルの信号 V_{DET} が入力され、さらに電圧 V_{DD_DIS} が動作電源電圧として入力される。時刻 t_{34} において、信号 V_{DET} がHレベルからLレベルに切り替わるのを受けて、放電命令保持回路128からの信号 V_{LAT} はLレベルからHレベルに切り替わる。そして、時刻 t_{34} 以後も、電圧 V_{DD_DIS} は一定電圧のため、信号 V_{LAT} レベルも一定値となる。

[0194] 信号 V_{LAT} は、システム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧

動作は停止する。一方、放電回路 126 は、VPP の残留電荷を放電シーケンスに従って放電する。

[0195] 以上図 21 から図 25 を用いて説明をしたように、VCC あるいは VDD が電源遮断や瞬間停電により、フラッシュメモリ 2B 内の回路制御が不能になった場合でも VPP から動作電源電圧の供給を受けて基準電圧 VREF や基準電圧 $VREF - \alpha$ を発生させ、放電動作に関係する回路へ供給することで、正常に昇圧電荷の放電を行う。これにより、フラッシュメモリのデータおよびデバイスを昇圧電圧から守ることが可能となる。また、放電動作を制御するためのコンデンサも不要となる。

[0196] [実施の形態 3]

実施の形態 3 では、実施の形態 1 のフラッシュメモリ 2A との比較のためにフラッシュメモリ 2C について説明する。

[0197] 図 26 は、実施の形態 3 のフラッシュメモリ 2C の構成を説明するためのブロック図である。検討例の構成と比較して説明する。

[0198] 図 26 を参照して、フラッシュメモリ 2C は、図 2 で示したフラッシュメモリ 2 の構成に加えて、電源選択回路 150 と、電源選択回路 330 と、VREF 発生回路 118 の代わりに周辺用 VDC 回路 320A と、放電用 VDC 回路 320B とを含む。

[0199] ここで、放電動作関係回路 C3 は、放電動作関係回路 C0 に加えて、放電用 VDC 回路 320B を含む。この放電用 VDC 回路 320B は、放電回路 126 と、電圧検知回路 122 と、放電命令保持回路 128 とに動作電源電圧を供給する。

[0200] 以下、フラッシュメモリ 2B の各回路の構成について説明する。

電源選択回路 150 は、VCC がアノードに結合されたダイオード D1 と VPP がアノードに結合されたダイオード D2 とを含み、ダイオード D1 とダイオード D2 のカソードはともにノード 152 へ接続される。

[0201] 電源選択回路 330 は、VCC がアノードに結合されたダイオード D5 と VPP がアノードに結合されたダイオード D6 とを含み、ダイオード D5 と

ダイオードD 6のカソードはともにノード3 3 2へ接続される。この電源選択回路3 3 0に含まれるダイオードは、整流機能を有する素子に置き換えられることもできる。たとえば、ダイオード接続されたトランジスタなどで実現できる。

[0202] 図2 7は、電源選択回路3 3 0と放電用V D C回路3 2 0 Bの構成を説明するための回路図である。図2 7を参照して、放電用V D C回路3 2 0 Bは、基準電圧V R E Fおよび電圧V D D _ D I Sを受けて比較する差動アンプ9 6と、差動アンプ9 6の出力をゲートに受け電源選択回路3 3 0から供給された電源電圧を受ける電源ノードと電圧V D D _ D I Sを出力する出力ノードとの間に接続されるP M O Sトランジスタ8 8とを含む。

[0203] 電源選択回路1 5 0によりV C CかV P Pかどちらか電圧の高い方の電源電圧を動作電源電圧としてV R E F発生回路1 1 8に供給され、一定電圧の基準電圧V R E Fが供給される。従って、V C Cの基準電圧V R E F以下の電圧降下が発生しても、V P Pが基準電圧V R E Fより高い電圧であれば、基準電圧V R E Fは一定電圧供給される。

[0204] 再度図2 6を参照して、放電用V D C回路3 2 0 Bにおいて、電源選択回路により選択された電源電圧が基準電圧V R E Fより高い電圧であれば、電圧V D D _ D I Sは一定の電圧となり、放電動作に係る回路に供給する。その電圧値はV D D 1となる。

[0205] 電圧検知回路1 2 2においてV C Cまたは電圧V D D _ P E R Iの電圧降下が検知されると、信号V D E TがLレベルからHレベルへ切り替わる。昇圧回路1 1 6の昇圧動作が停止する。一方、放電回路1 2 6は、V P Pの電荷を放電シーケンスに従って放電する。なお、これらの動作電源電圧は、電圧V D D _ D I Sから供給される。このため、一定電圧の基準電圧V R E Fを供給している間は、放電シーケンス制御回路は正常に動作される。信号V L A Tはシステム（たとえば、C P U 4）へ通知され、システム（たとえば、C P U 4）はフラッシュメモリ2 Cが放電動作に入ったことを認知し、中断されたプログラムの処理を行う。放電命令保持回路1 2 8にリセット信号

(Hレベル)を送ることで、信号V L A TはLレベルに切り替わり、放電動作は終了する。

[0206] 実施の形態3の構成をとることにより、電源遮断あるいは瞬間停電があった場合にもフラッシュメモリの記憶データやデバイスの物理的破壊を回避できることをさらに具体的に説明する。

[0207] 図28は、実施の形態3において昇圧動作が行なわれず、V C Cが一定の状態の各出力信号の波形を示す図である。

[0208] この状態は、たとえばフラッシュメモリへの書き込みあるいは消去動作が行なわれていない状態が当てはまる。

[0209] 図28には、上から順に、図26のV C C、電圧V D D _ P E R I、電圧V D D _ D I S、基準電圧V R E F、信号V D E T、信号R S T、信号V L A T、V P Pが示される。

[0210] また周辺用V D C回路320Aの出力端とスイッチ141とを接続する場合について説明するが、V D D外部入力端子121とスイッチ141とを接続する場合でも同様であるため、説明は繰り返さない。また、横軸や目盛や信号R S Tの設定は図13と同一なので説明は繰り返さない。

[0211] V C Cは遮断あるいは瞬間停電をしていないので、一定の電圧値V C C 1となる。

電圧V D D _ P E R Iは、V C Cを動作電源電圧として、周辺用V D C回路320Aにより出力される。その電圧値はV D D 1となる。なお、周辺用V D C回路320Aと図2のV D C回路120の回路構成は同一である。

[0212] 電圧V D D _ D I Sは、放電用V D C回路320Bにより出力される。特に昇圧動作が行われていないので、放電用V D C回路320Bにより電圧V D D _ D I Sの電圧値は基準電圧V R E Fの電圧値(=V D D 1)と同一になる。

[0213] V R E F発生回路118の動作電源電圧は、電源選択回路150によりV C CとV P Pとのいずれか高い方の電源電圧が選択される。従って、昇圧動作が行われていないので、V C Cを動作電源電圧として、V R E F発生回路

118は一定の基準電圧VREFを供給する。このときの基準電圧VREFの電圧値はVDD1となる。

[0214] 電圧検知回路122においては、電圧VDD__PERIとVCCとが入力され、その動作電源電圧は電圧VDD__DISを用いる。電圧VDD__PERIとVCCが基準電圧VREFよりも高電圧のため信号VDETはHレベルとなる。その電圧値はVDD1となる。

[0215] 放電命令保持回路128においては、システム（たとえば、CPU4）からのLレベルの信号RSTが入力され、電圧検知回路122からHレベルの信号VDETが入力され、電圧VDD__DISが動作電源電圧として入力される。昇圧動作がないので、この放電命令保持回路128からの信号VLATはLレベルとなる。

[0216] 昇圧回路116の出力であるVPPは、昇圧動作が停止しているため、VPPの電圧値は電圧VDD__PERIになる。この電圧VDD__PERIの電圧値はVDD1となる。

[0217] 図29は、実施の形態3において昇圧動作中にVCCが遮断された状態の各出力信号の波形を示す図である。

[0218] 図26、図29を参照して、縦軸や横軸や目盛や信号RSTの設定やスイッチ141の接続関係は図28と同一なので説明は繰り返さない。

[0219] この状態は、たとえばユーザがある瞬間に電源コードを抜いてしまった状態が当てはまる。

[0220] VCCは、時刻t40において遮断され、VCCの電圧値であるVCC1は徐々に減少する。時刻t41において、電圧検知回路122のVCC電圧降下検知レベルよりVCCが下回るときに、電圧検知回路122は、VCCの電圧降下を検知する。

[0221] 電圧VDD__PERIは、時刻t41までVCCを動作電源電圧として周辺用VDC回路320Aから出力される。その電圧値はVDD1となる。時刻t41以後は、VCCの電圧降下と同様に、電圧VDD__PERIも電圧降下する。その電圧値はVDD1から接地電位に降下する。

- [0222] 電圧 V_{DD_DIS} は、電源選択回路330により V_{PP} と V_{CC} とのいずれか高い方の電源電圧が選択される。従って、時刻 t_{42} までは、電源選択回路330により V_{PP} が選択され、電圧 V_{DD_DIS} は一定の電圧を放電動作に関係する回路に供給する。しかし時刻 t_{42} 以後は、電源選択回路330の電源電圧である V_{PP} は放電動作により電圧降下し、 V_{CC} は既に接地電位になっている。従って、 V_{DD_DIS} は V_{PP} の電圧降下と同様に電圧降下する。別の面から考えると、 V_{CC} の電源遮断が発生しても、時刻 t_{42} までは、放電動作が実行され、記憶データの破壊およびデバイスの物理的破壊を回避することができる。
- [0223] V_{REF} 発生回路118は、電源選択回路150により V_{CC} と V_{PP} とのいずれか高い方の電源電圧が選択される。従って、放電動作による V_{PP} の電圧降下が V_{CC} レベルになるまで、一定の基準電圧 V_{REF} が供給される。時刻 t_{42} 以後、 V_{PP} の電圧値が V_{DD1} 以下になり、 V_{REF} 発生回路118は一定の電圧を供給できなくなり、基準電圧 V_{REF} は電圧降下する。
- [0224] 電圧検知回路122においては、電圧 V_{DD_PERI} と V_{CC} とが入力され、その動作電源電圧は電圧 V_{DD_DIS} を用いる。時刻 t_{41} まで V_{CC} が V_{CC} 電圧降下検知レベルを越えているため、信号 V_{DET} はHレベルとなる。時刻 t_{41} 以後、 V_{CC} は V_{CC} 電圧降下検知レベルを下回るため、これを検知して信号 V_{DET} はHレベルからLレベルへ切り替わる。
- [0225] 放電命令保持回路128においては、システム（たとえばCPU4）からLレベルの信号 RST が入力され、電圧検知回路122からHレベルの信号 V_{DET} が入力され、さらに電圧 V_{DD_DIS} が動作電源電圧として入力される。時刻 t_{41} において、信号 V_{DET} がHレベルからLレベルへ切り替わるのを受けて、放電命令保持回路128からの信号 V_{LAT} もLレベルからHレベルに切り替わる。そして、時刻 t_{41} 以後、電圧 V_{DD_DIS} の電圧変化とともに信号 V_{LAT} レベルも同様に変化する。
- [0226] 信号 V_{LAT} はシステム（たとえば、CPU4）や放電回路126や昇圧

制御回路 130 へ入力される。これにより、昇圧制御回路 130 から L レベルの出力信号が昇圧回路 116 へ入力されるため、昇圧回路 116 の昇圧動作は停止する。一方、放電回路 126 は、VPP の残留電荷を放電シーケンスに従って放電する。

[0227] 図 30 は、実施の形態 2 において昇圧動作中に VCC が瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。

[0228] 図 26、図 30 を参照して、縦軸や横軸や目盛や信号 RST の設定やスイッチ 141 の接続関係は図 28 と同一なので説明は繰り返さない。

[0229] 時刻 t_{43} ~ t_{47} の間は、VCC の瞬間停電した時間として示されている。具体的には、時刻 t_{43} において、VCC の電圧降下が始まる。時刻 t_{44} において、VCC が VCC 電圧降下検知レベルを下回り、時刻 t_{44} ~ t_{45} の間において、VCC は電圧降下し続ける。時刻 t_{45} において、VCC の電圧降下は停止する。時刻 t_{45} 以後、VCC の電圧は上昇し、時刻 t_{46} において、VCC が VCC 電圧降下検知レベルを上回る。時刻 t_{47} において、VCC は時刻 t_{43} 以前の一定の電圧値に復帰する。

[0230] 電圧 VDD__PERI は、時刻 t_{44} までと時刻 t_{46} 以後とでは、VCC を動作電源電圧として、放電用 VDC 回路 320A から出力される。その電圧値は一定の電圧値 VDD1 となる。時刻 t_{44} ~ t_{46} の間までは、VCC の電圧変化に伴い、電圧 VDD__PERI も同様な電圧変化を生じる。

[0231] 放電用 VDC 回路 320B は、電源選択回路 330 により VCC と VPP とのいずれか高い方の電源電圧が動作電源電圧として選択される。したがって時刻 t_{46} までは、VPP が動作電源電圧として選択される。時刻 t_{46} 以後は、放電動作によって VPP の電荷が放電されたため VPP を選択せず、VCC が動作電源電圧として選択される。従って電圧 VDD__DIS は一定の電圧値 VDD1 となる。

[0232] VREF 発生回路 118 の動作電源電圧は、電源選択回路 150 により VCC と VPP とのいずれか高い方の電源電圧が選択される。従って、電圧 VDD__DIS と同様に、VREF 発生回路 118 は電圧値 VDD1 以上の動

作電源電圧が供給され、一定の基準電圧 V_{REF} を供給する。

[0233] 時刻 t_{44} において、 V_{CC} が V_{CC} 電圧降下検知レベルを下回るため、電圧検知回路122は V_{CC} の電圧降下を検知し、信号 V_{DET} はHレベルからLレベルへと切り替わる。信号 V_{DET} とシステム（たとえば、CPU4）からのLレベルの信号 RST とが放電命令保持回路128へ入力され、信号 V_{LAT} はLレベルからHレベルに切り替わる。信号 V_{LAT} はシステム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止し、昇圧回路116の昇圧動作は停止する。一方、放電回路126は、 V_{PP} の残留電荷を放電シーケンスに従って放電する。

[0234] 図31は、実施の形態3において昇圧動作中に V_{DD} が遮断された状態の各出力信号の波形を示す図である。図26、図31を参照して、縦軸や横軸や目盛は図28と同一なので説明は繰り返さない。ここで、 V_{DD} 外部入力端子121とスイッチ141とを接続するとして説明をするが、周辺用 V_{DC} 回路320Aの出力端とスイッチ141とを接続する場合でも同様であるため、説明は繰り返さない。

[0235] この状態は、たとえば V_{DD} が V_{DD} 外部入力端子121から供給されるときに、この V_{DD} 外部入力端子121が電源遮断される場合が考えられる。

[0236] V_{CC} は、 V_{DD} の電源遮断による影響を受けないので、一定の電圧となる。

V_{DD} 外部入力端子121から供給される V_{DD} が、時刻 t_{50} において遮断され、 V_{DD} の電圧値は徐々に減少する。したがって、スイッチ141で接続されている電圧 V_{DD_PERI} も同様に時刻 t_{50} において電圧降下を開始され、時刻 t_{51} において V_{DD} 電圧降下検知レベル下回り、時刻 t_{12} において接地電位となる。

[0237] 電圧 V_{DD_DIS} は、 V_{CC} を動作電源電圧として放電用 V_{DC} 回路3

20Bから出力される。VCCは一定の電圧値VCC1となるので電圧VDD__DISも一定の電圧値VDD1となる。

[0238] VREF発生回路118において、電源選択回路150によりVCCとVPPとのいずれか高い方の電源電圧が動作電源電圧として選択される。従って、VREF発生回路118は電圧値VDD1以上の動作電源電圧が供給され、一定の基準電圧VREFを供給する。

[0239] 電圧検知回路122においては、電圧VDD__PERIとVCCとが入力され、その動作電源電圧は電圧VDD__DISを用いる。時刻t51まで信号VDETはHレベルとなる。時刻t51以後、VDDはVDD電圧降下検知レベルを下回るため、これを検知して信号VDETはHレベルからLレベルへ切り替わる。

[0240] 放電命令保持回路128においては、システム（たとえば、CPU4）からLレベルの信号RSTが入力され、信号VDETが入力され、信号VDETは、HレベルからLレベルへ切り替わる。

[0241] 信号VLATはLレベルからHレベルに切り替わる。時刻t51以後も、電圧VDD__DISは一定電圧のため、信号VLATレベルも一定値となる。

[0242] 信号VLATは、システム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止する。一方、放電回路126は、VPPの残留電荷を放電シーケンスに従って放電する。

[0243] 図32は、実施の形態3において昇圧動作中にVDDが瞬間停電（瞬停）された状態の各出力信号の波形を示す図である。図26、図32を参照して、縦軸や横軸や目盛や信号RSTの設定やスイッチ141の接続関係は図31と同一なので説明は繰り返さない。

[0244] この状態は、たとえばVDDがVDD外部入力端子121から供給されるときに、このVDD外部入力端子121が瞬間停電される場合が考えられる

。

[0245] VCC は、 VDD の瞬間停電による影響を受けないので、一定の電圧となる。

時刻 $t_{53} \sim t_{57}$ の間は、 VDD の瞬間停電した時間として示されている。ここで、電圧 VDD_PERI は外部入力端子121から VDD が供給されるため、 VDD の電圧変化と電圧 VDD_PERI の電圧変化はほぼ等しくなる。従ってその波形もほぼ等しくなる。

[0246] 具体的には、時刻 t_{53} において、電圧 VDD_PERI の電圧降下が始まる。時刻 t_{54} において、電圧 VDD_PERI が VDD 電圧降下検知レベルを下回り、時刻 t_{55} まで電圧降下し続ける。時刻 t_{55} において、電圧 VDD_PERI の電圧降下は停止する。時刻 t_{55} 以後、電圧 VDD_PERI の電圧は再度上昇し、時刻 t_{56} において、電圧 VDD_PERI が VDD 電圧降下検知レベルを上回る。時刻 t_{57} 以後において、電圧 VDD_PERI は時刻 t_{53} 以前の電圧値に復帰する。

[0247] 電圧 VDD_DIS は、 VCC を動作電源電圧として放電用 VDC 回路320Bから出力される。 VCC は一定の電圧値 $VCC1$ となるので電圧 VDD_DIS も一定の電圧値 $VDD1$ となる。

[0248] $VREF$ 発生回路118において、電源選択回路150により VCC と VPP とのいずれか高い方の電源電圧が動作電源電圧として選択される。従って、 $VREF$ 発生回路118は電圧値 $VDD1$ 以上の動作電源電圧が供給され、一定の基準電圧 $VREF$ を供給する。

[0249] 電圧検知回路122においては、電圧 VDD_PERI と VCC とが入力され、その動作電源電圧は電圧 VDD_DIS を用いる。時刻 t_{54} まで信号 $VDET$ はHレベルとなる。時刻 t_{54} 以後、 VDD は VDD 電圧降下検知レベルを下回るため、これを検知して信号 $VDET$ はHレベルからLレベルへ切り替わる。

[0250] 放電命令保持回路128においては、システム（たとえば、CPU4）からLレベルの信号 RST が入力され、信号 $VDET$ が入力され、信号 VDE

TはHレベルからLレベルへ切り替わる。

[0251] 信号V_{LAT}はLレベルからHレベルに切り替わる。時刻t₅₄以後も、電圧V_{DD}_DISは一定電圧のため、信号V_{LAT}レベルも一定値となる。

[0252] 信号V_{LAT}は、システム（たとえば、CPU4）や放電回路126や昇圧制御回路130へ入力される。これにより、昇圧制御回路130からLレベルの出力信号が昇圧回路116へ入力されるため、昇圧回路116の昇圧動作は停止しV_{PP}の残留電荷が放電シーケンスに従って放電される。

[0253] 以上図28から図32を用いて説明をしたように、V_{CC}あるいはV_{DD}が電源遮断や瞬間停電により、フラッシュメモリ2C内の回路制御が不能になった場合でもV_{PP}から動作電源電圧の供給を受けて基準電圧V_{REF}、電圧V_{DD}_DISを発生させ、放電動作に関係する回路へ供給することで、正常に昇圧電荷の放電を行う。これにより、フラッシュメモリのデータおよびデバイスを昇圧電圧から守ることが可能となる。また、放電動作を制御するためのコンデンサも不要となる。尚、図26に示される電源選択回路330をも別に設けず、電源選択回路150の出力から放電用V_{DC}320Bに供給することも可能である。

[0254] 以上説明したように、実施の形態1～実施の形態3の構成をとることにより、フラッシュメモリのデータおよびデバイスを昇圧電圧から守ることが可能となる。また、放電動作を制御するためのコンデンサも不要となる。また、コストのかかる電源容量も必要なくなる。

[0255] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0256] 1 半導体装置、2, 2A, 2B, 2C フラッシュメモリ、3 機能ブロック群、11, 12, 13, 14, 24, 88, 89, 611, 621,

623 NMOSトランジスタ、17, 31A, 31B, 35A, 35B, 83A, 83B, 98 抵抗、22, 32, 34, 36, 43, 82, 86, 87, 96 差動アンプ、31, 35, 83 電圧分配部、41 昇圧目標電圧発生回路、61S, 62S 放電シーケンス制御回路、110 フラッシュメモリコア、116 昇圧回路、118, 218 VREF発生回路、121 VDD外部入力端子、122 電圧検知回路、123 インバータ、124 電圧ディテクタ、126, 126A 放電回路、128 放電命令保持回路、130 昇圧制御回路、140, 150, 330 電源選択回路、141 スイッチ、C0, C1, C2, C3 放電動作関係回路、D1~D6 ダイオード、VCC 外部電源電圧、VDD 内部電源電圧、VPP, VPP1~VPP3 昇圧電源電圧、VREF 基準電圧。

請求の範囲

- [請求項1] 半導体装置に電源を供給するための第1の電源電圧が供給される第1の電源ノードと、
 昇圧して第2の電源電圧を発生する昇圧回路と、
 前記第1の電源電圧と前記第2の電源電圧とのうちいずれか高い方の電源電圧である第1の高電源電圧を選択する第1の電源選択回路と、
 、
 基準電圧を発生する基準電圧発生回路と、
 前記基準電圧を受け、前記第2の電源電圧が与えられるノードの放電処理に関係する放電動作関係回路とを備え、
 前記第1の電源選択回路は前記基準電圧発生回路もしくは前記放電動作関係回路の電源として前記第1の高電源電圧を供給する半導体装置。
- [請求項2] 前記第1の電源選択回路は、第1および第2の整流素子を含み、
 前記第1の整流素子の入力ノードに前記第1の電源ノードが接続され、
 前記第2の整流素子の入力ノードに前記第2の電源電圧が供給されるノードが接続され、
 前記第1および第2の整流素子の出力ノードはともに前記第1の高電源電圧の供給ノードに接続される、請求項1に記載の半導体装置。
- [請求項3] 前記第1および第2の整流素子はそれぞれ第1および第2のダイオードであり、
 前記第1のダイオードは、前記第1の電源電圧がアノードに結合され、
 前記第2のダイオードは、前記第2の電源電圧がアノードに結合され、
 前記第1および第2のダイオードのカソードはともに前記基準電圧発生回路に接続される、請求項2に記載の半導体装置。

- [請求項4] 前記放電動作関係回路は、前記放電動作関係回路の電源である第4の電源電圧を供給する第2の放電用電圧降下回路を含み、
- 前記半導体装置は第3の電源選択回路をさらに備え、
- 前記第1の電源選択回路は、前記基準電圧発生回路に前記第1の高電源電圧を供給し、
- 前記第3の電源選択回路は、前記放電動作関係回路に前記第1の電源電圧と前記第2の電源電圧とのうちいずれか高い方の電源電圧である第3の高電源電圧を供給し、
- 前記第3の電源選択回路は、前記第1の高電源電圧を前記放電動作関係回路に供給し、
- 前記第3の電源選択回路は、第5および第6の整流素子を含み、
- 前記第5および第6の整流素子はそれぞれ第5および第6のダイオードであり、
- 前記第5のダイオードは、前記第2の電源電圧がアノードに結合され、
- 前記第6のダイオードは、前記第1の電源電圧がアノードに結合され、
- 前記第5および第6のダイオードのカソードはともに前記放電動作関係回路に含まれる前記第2の放電用電圧降下回路の電源に接続される、請求項3に記載の半導体装置。
- [請求項5] 前記半導体装置は、前記基準電圧に応じた値に前記第1の電源電圧を降下させ、第3の電源電圧を発生する電圧降下回路を含む、請求項2に記載の半導体装置。
- [請求項6] 前記半導体装置は第2の電源選択回路をさらに備え、
- 前記第2の電源選択回路は、前記放電動作関係回路に前記第2の電源電圧と前記第3の電源電圧とのうちいずれか高い方の電源電圧である第2の高電源電圧を供給し、
- 前記第2の電源選択回路は、第3および第4の整流素子を含み、

前記第 3 および第 4 の整流素子はそれぞれ第 3 および第 4 のダイオードであり、

前記第 3 のダイオードは、前記第 2 の電源電圧がアノードに結合され、

前記第 4 のダイオードは、前記第 3 の電源電圧がアノードに結合され、

前記第 3 および第 4 のダイオードのカソードはともに前記放電動作関係回路に接続される、請求項 5 に記載の半導体装置。

[請求項 7] 前記放電動作関係回路は、前記放電動作関係回路の電源である第 4 の電源電圧を供給する第 1 の放電用電圧降下回路を含み、

前記第 1 の放電用電圧降下回路は、

前記基準電圧に応じた値に前記第 1 の電源電圧を降下させる第 1 の電圧降下回路と、

前記基準電圧よりも低い第 2 の基準電圧に応じた値に前記第 2 の電源電圧を降下させる第 2 の電圧降下回路とを含み、

前記第 1 の電圧降下回路と前記第 2 の電圧降下回路の出力は、前記第 4 の電源電圧を供給するノードに接続される、請求項 2 に記載の半導体装置。

[請求項 8] 前記第 1 の電圧降下回路は、

前記基準電圧と前記第 4 の電源電圧とを比較する第 1 の比較部と、

前記第 1 の比較部の出力信号をゲートに受けソースが前記第 1 の電源電圧に接続されドレインが前記第 4 の電源電圧と接続されている第 1 のトランジスタとを含み、

前記第 2 の電圧降下回路は、

前記第 2 の基準電圧と前記第 4 の電源電圧を比較する第 2 の比較部と、

前記第 2 の比較部の出力信号をゲートに受けソースが前記第 2 の電源電圧に接続されドレインが前記第 4 の電源電圧と接続されている第

2のトランジスタとを含む、請求項7に記載の半導体装置。

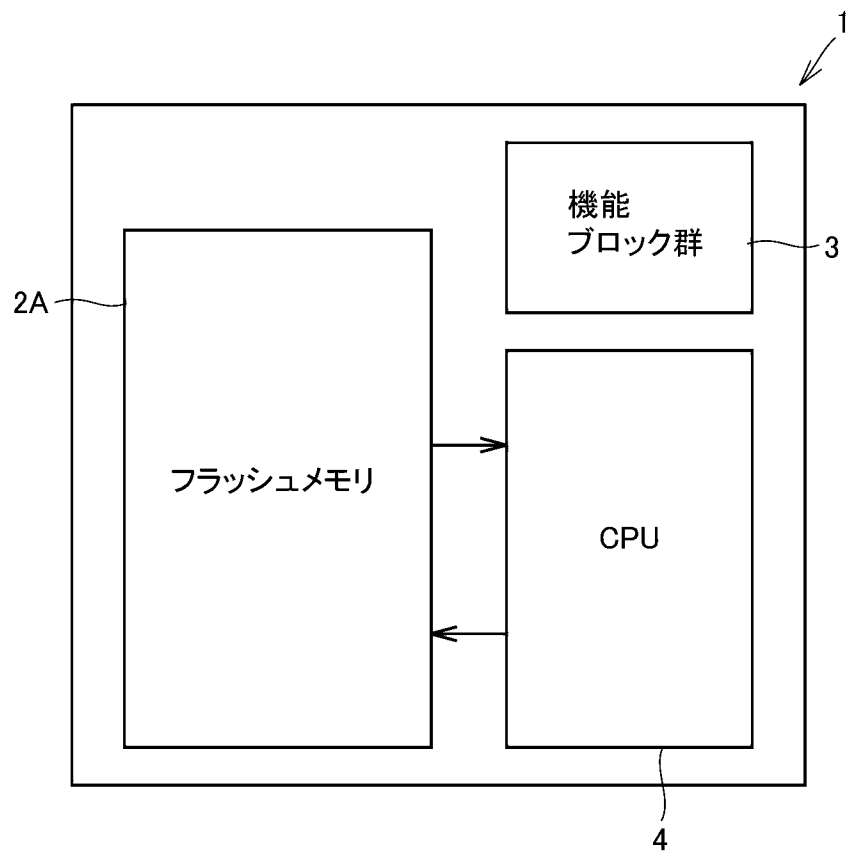
[請求項9] 前記基準電圧発生回路は、前記第1の電圧降下回路と前記第2の電圧降下回路とにそれぞれ供給される前記基準電圧および前記第2の基準電圧を発生する、請求項7に記載の半導体装置。

[請求項10] 前記昇圧回路により昇圧された昇圧電圧によって書き込み動作、消去動作のいずれかの動作がなされる不揮発性メモリセルを含む、請求項2に記載の半導体装置。

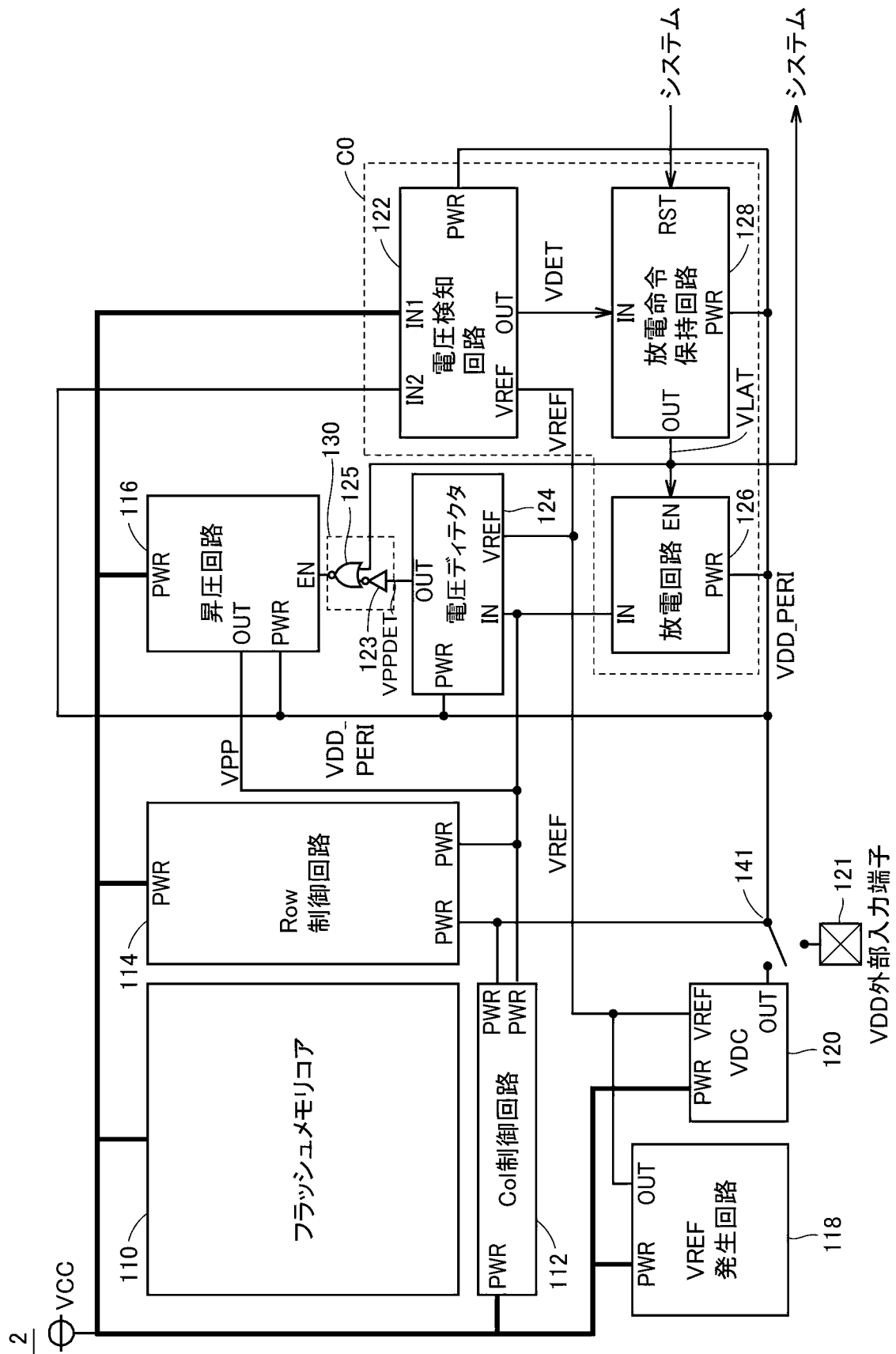
[請求項11] 前記放電動作関係回路は、
前記第2の電源電圧が与えられるノードの電荷を接地ノードに放電させる放電回路と、
前記基準電圧によって電源遮断を検知する電圧検知回路とを含み、
前記電圧検知回路の電源遮断検知に応じて、前記放電回路の放電動作を実施する、請求項2に記載の半導体装置。

[請求項12] 前記放電動作関係回路は、前記放電回路への放電命令を保持する保持回路を含む、請求項11に記載の半導体装置。

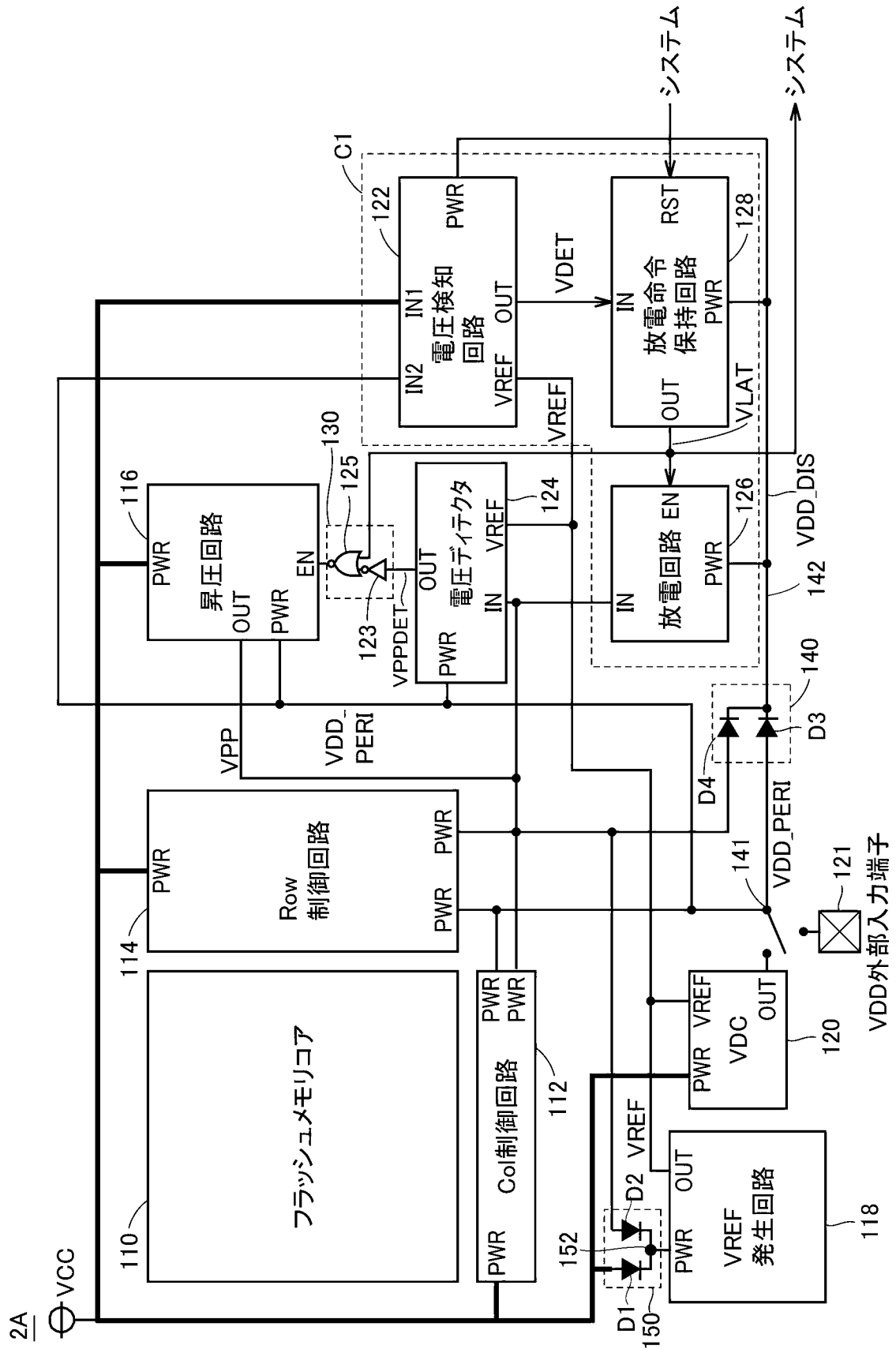
[図1]



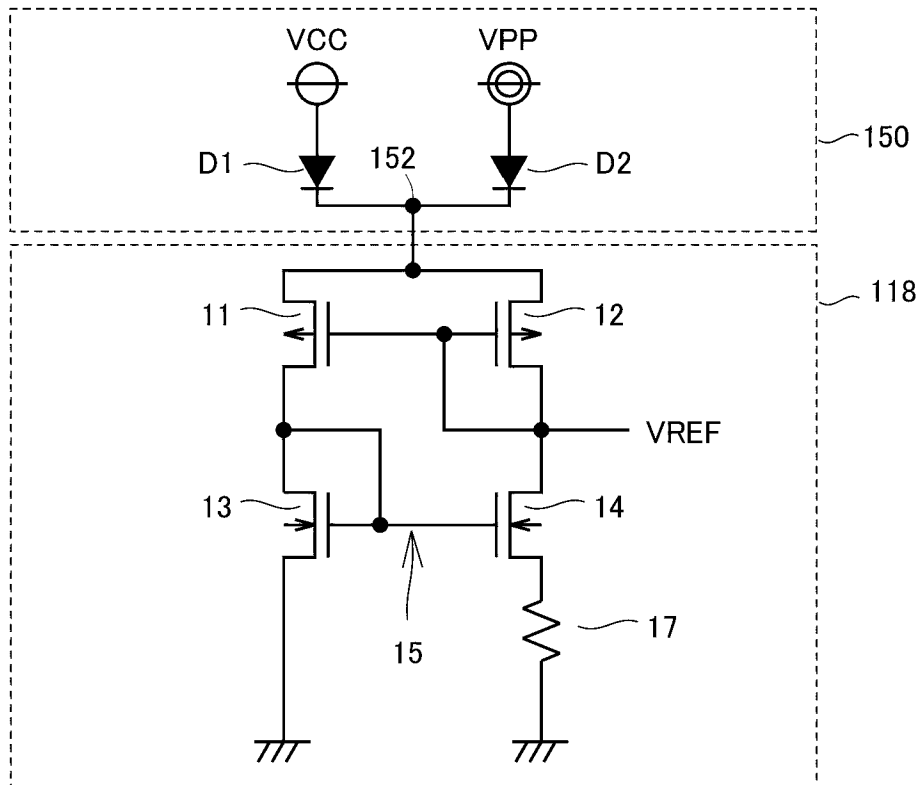
[図2]



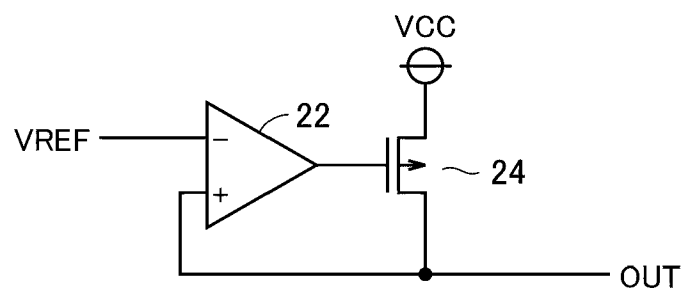
[図3]



[図4]

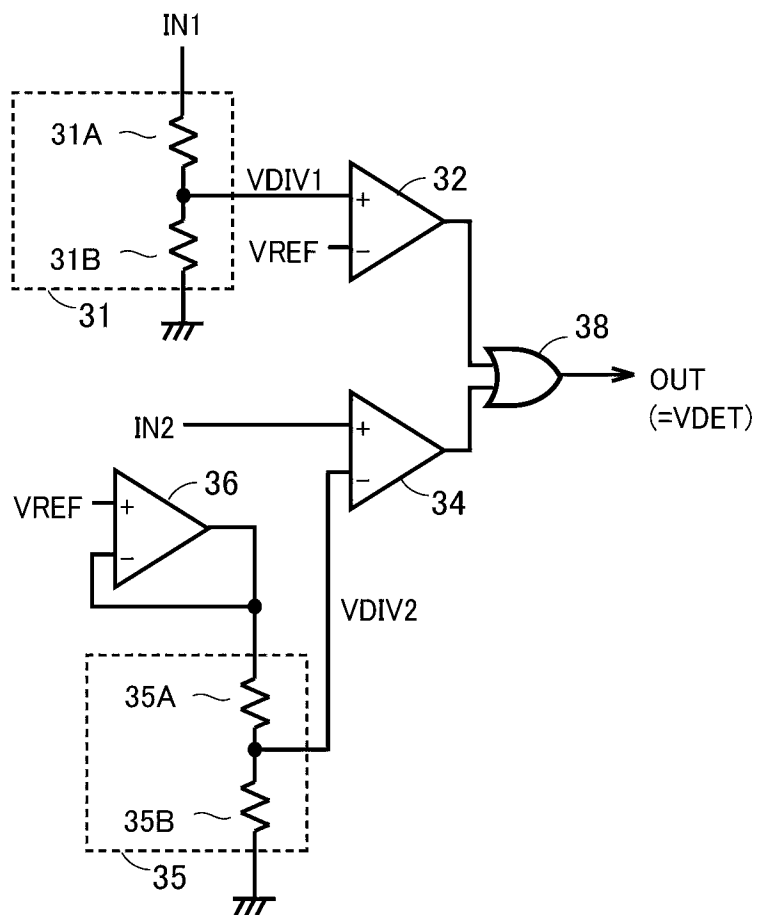


[図5]

120

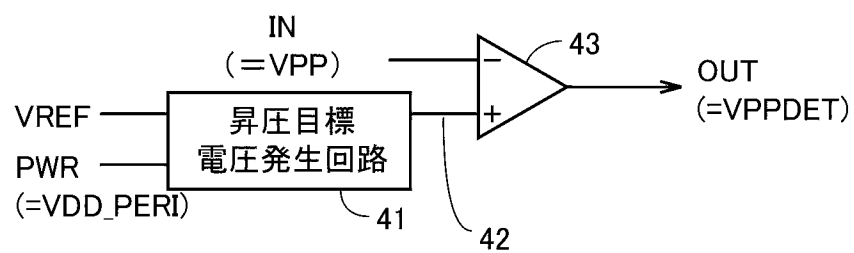
[図6]

122

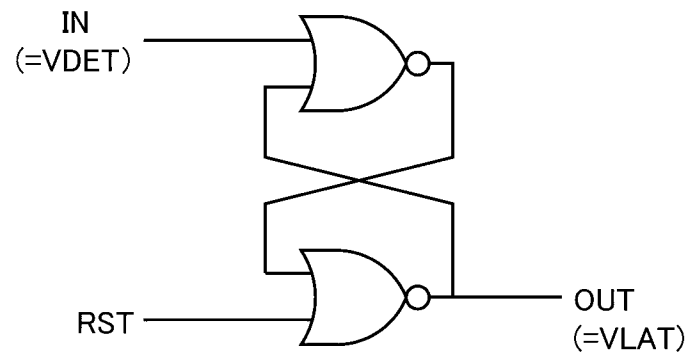


[図7]

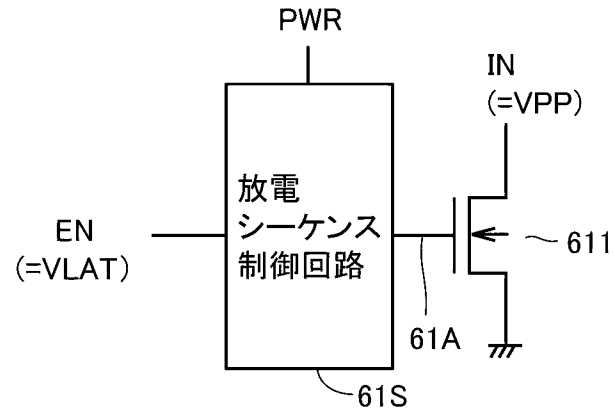
124



[図8]

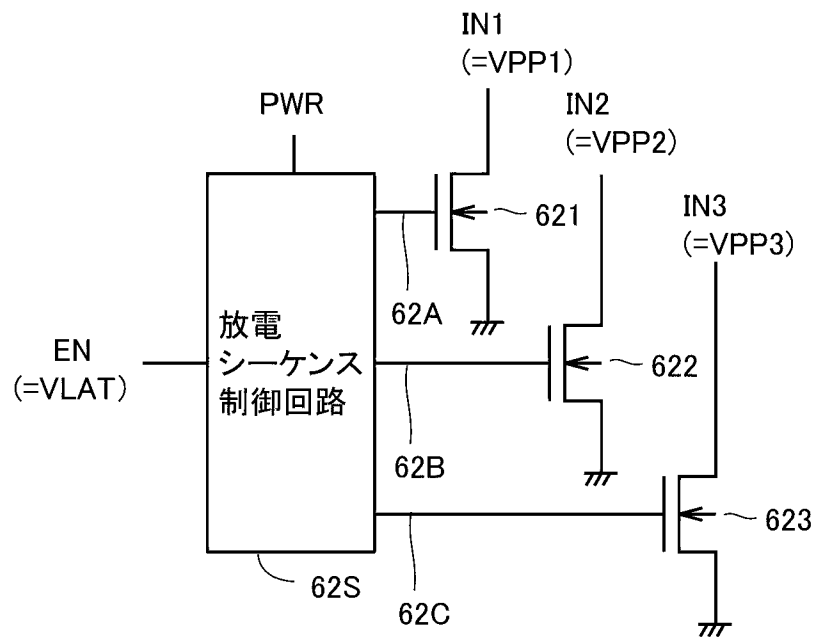
128

[図9]

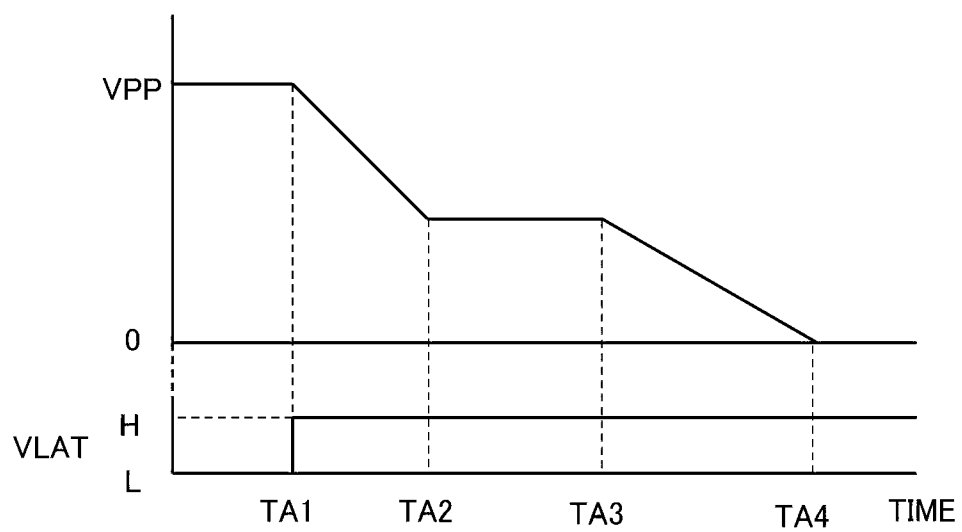
126

[図10]

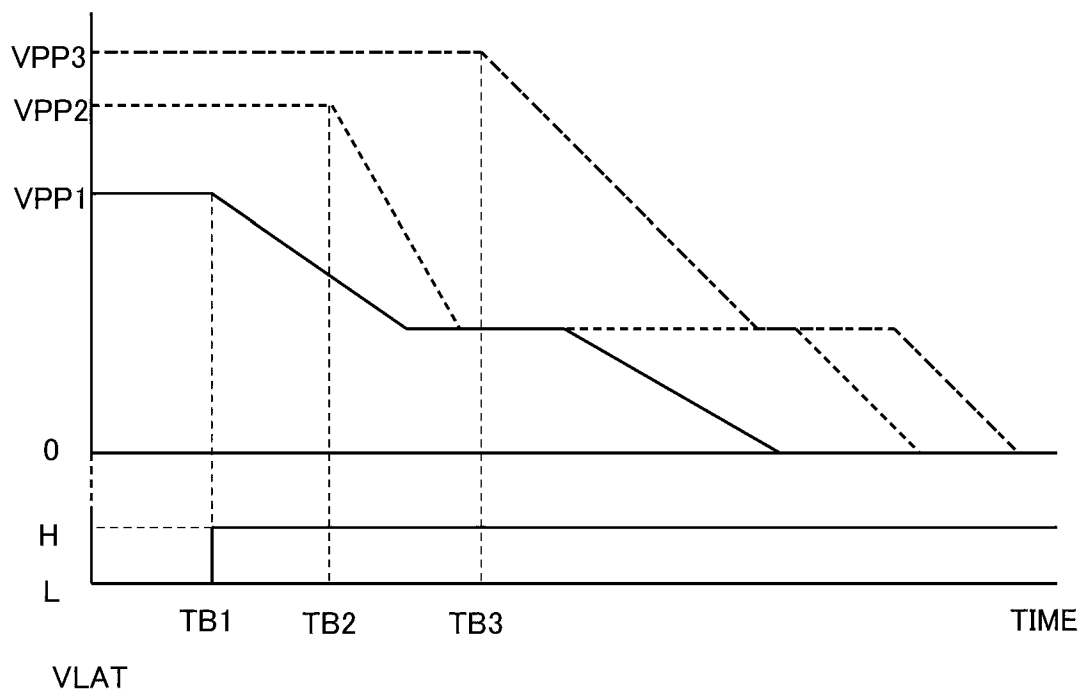
126A



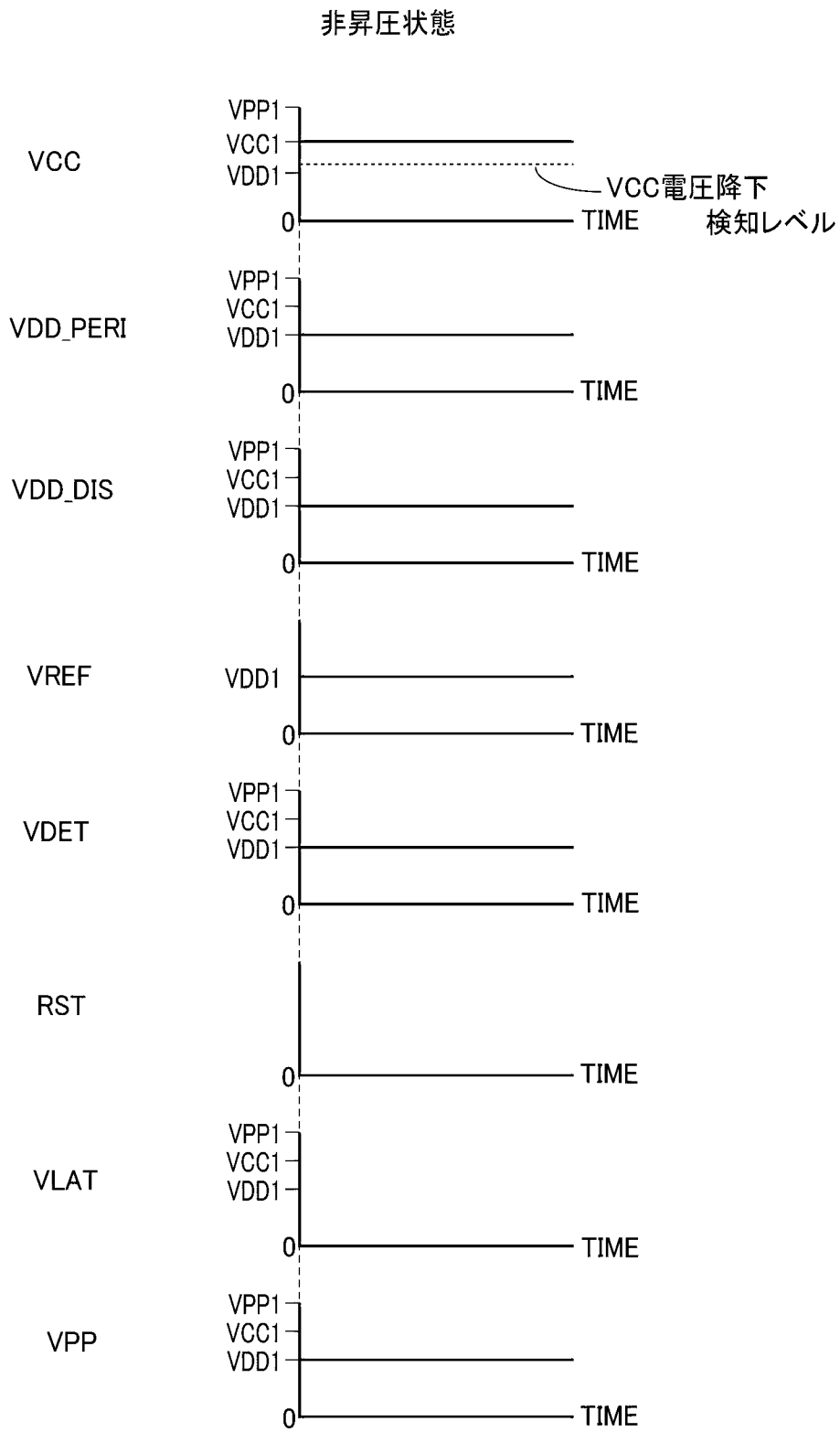
[図11]



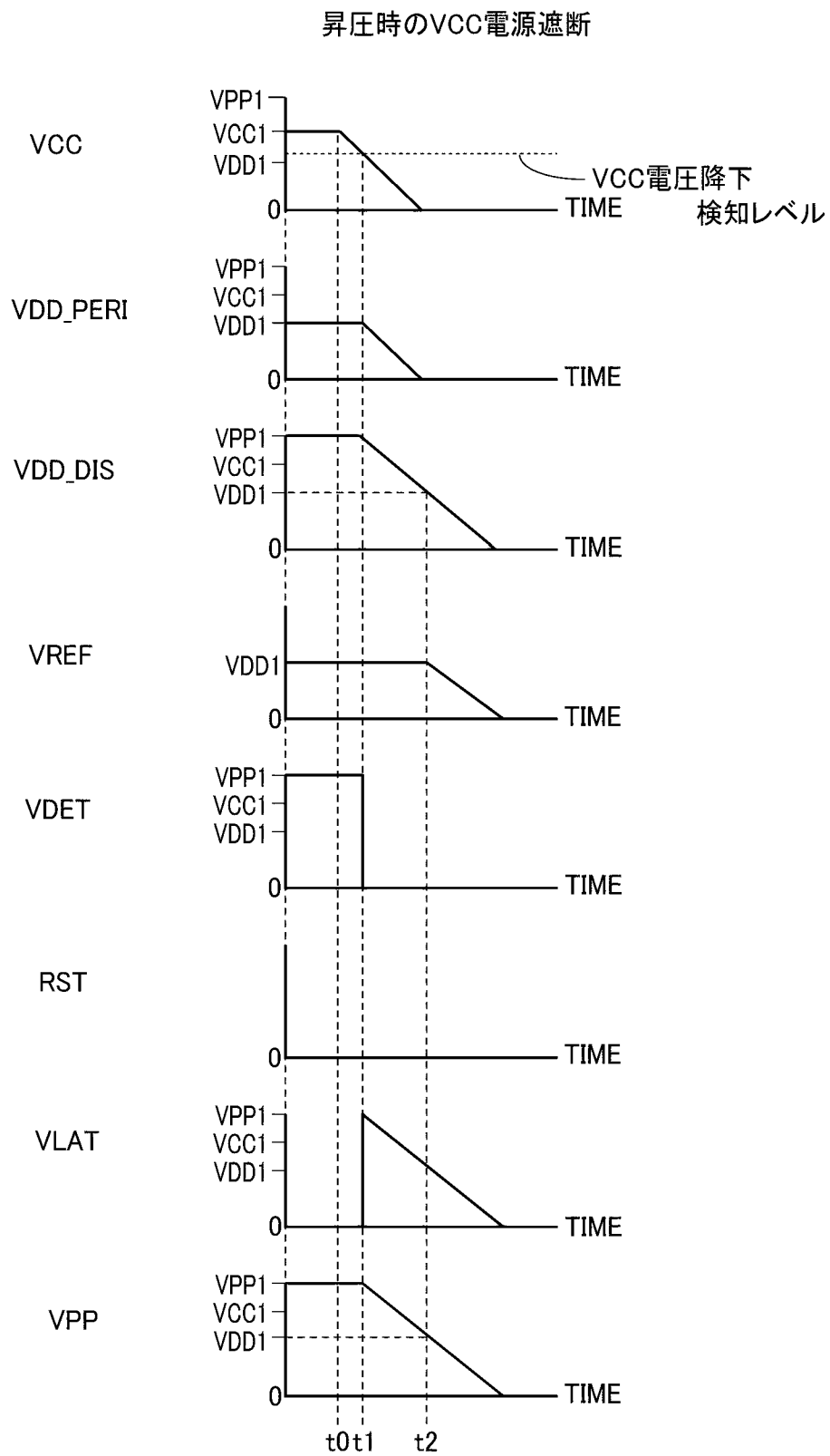
[図12]



[図13]

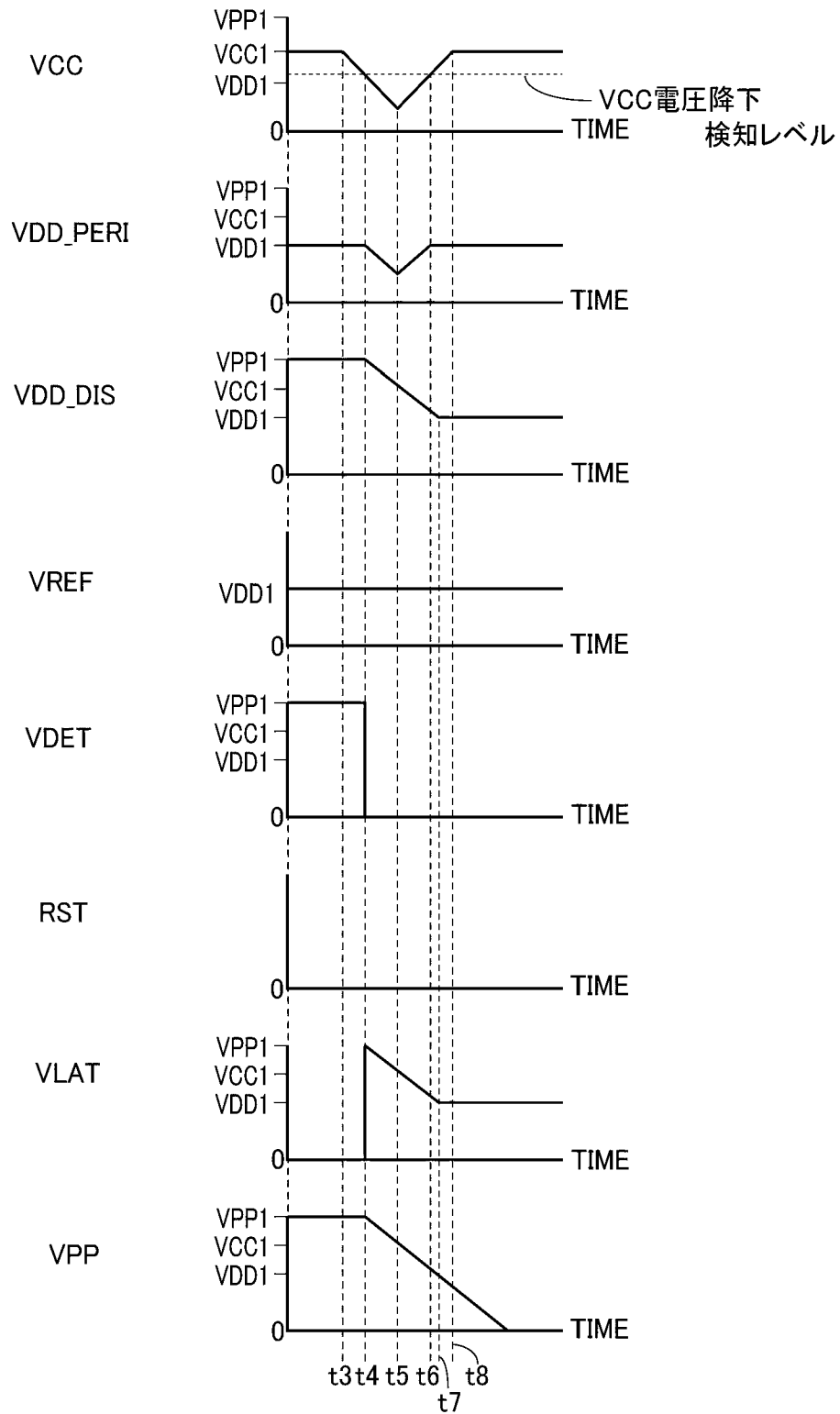


[図14]



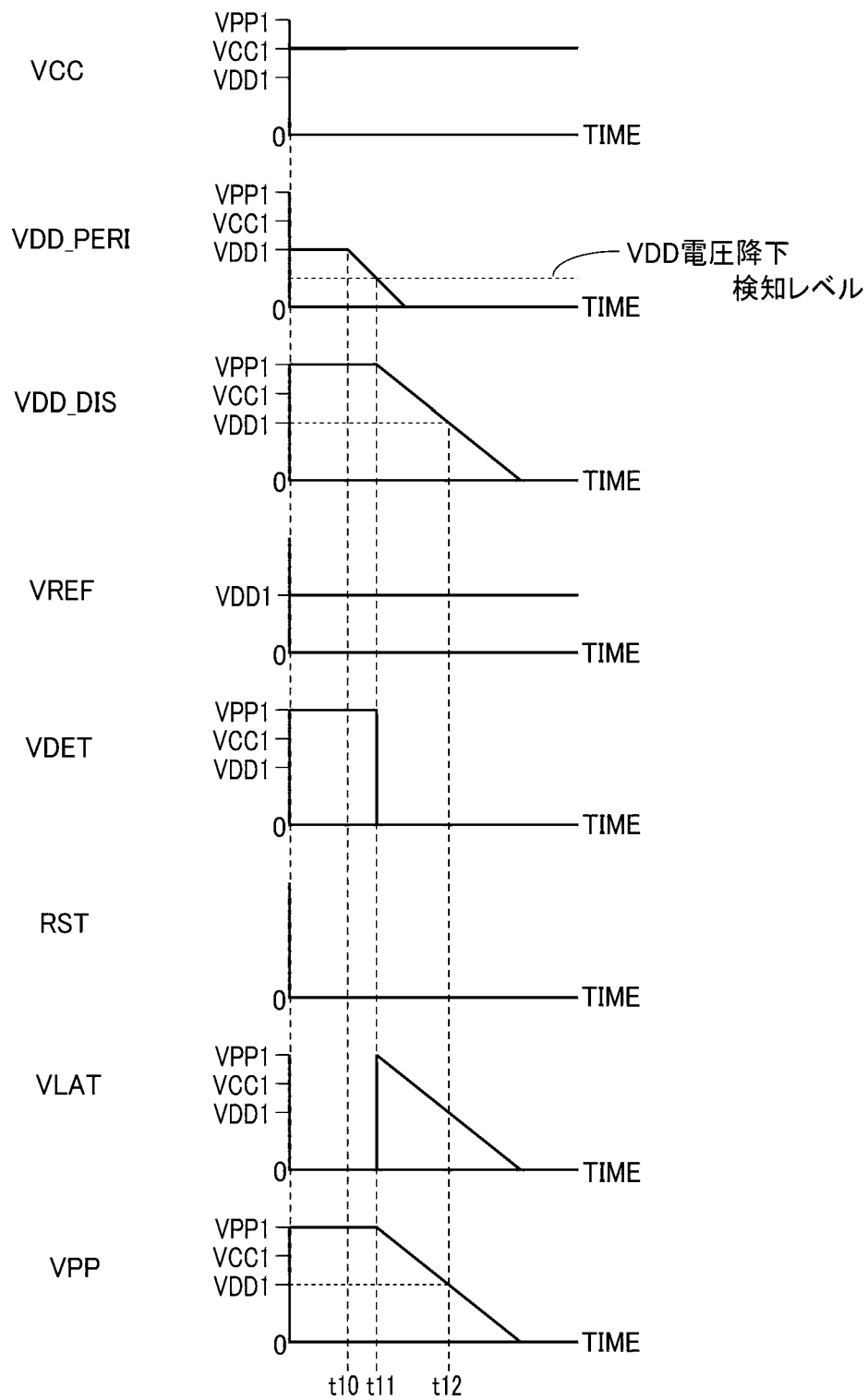
[図15]

昇圧時のVCC瞬間停電



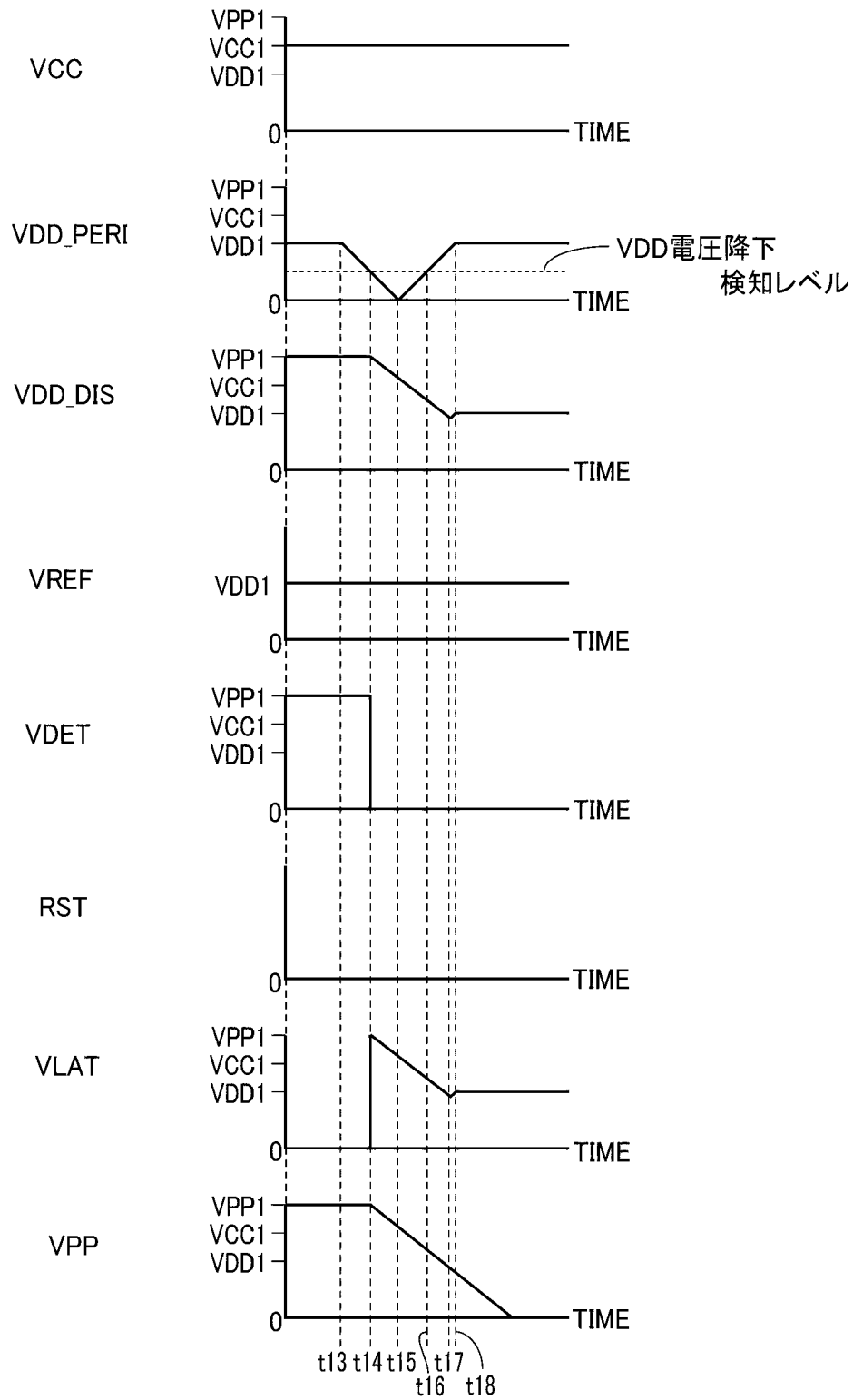
[図16]

昇圧時のVDD電源遮断

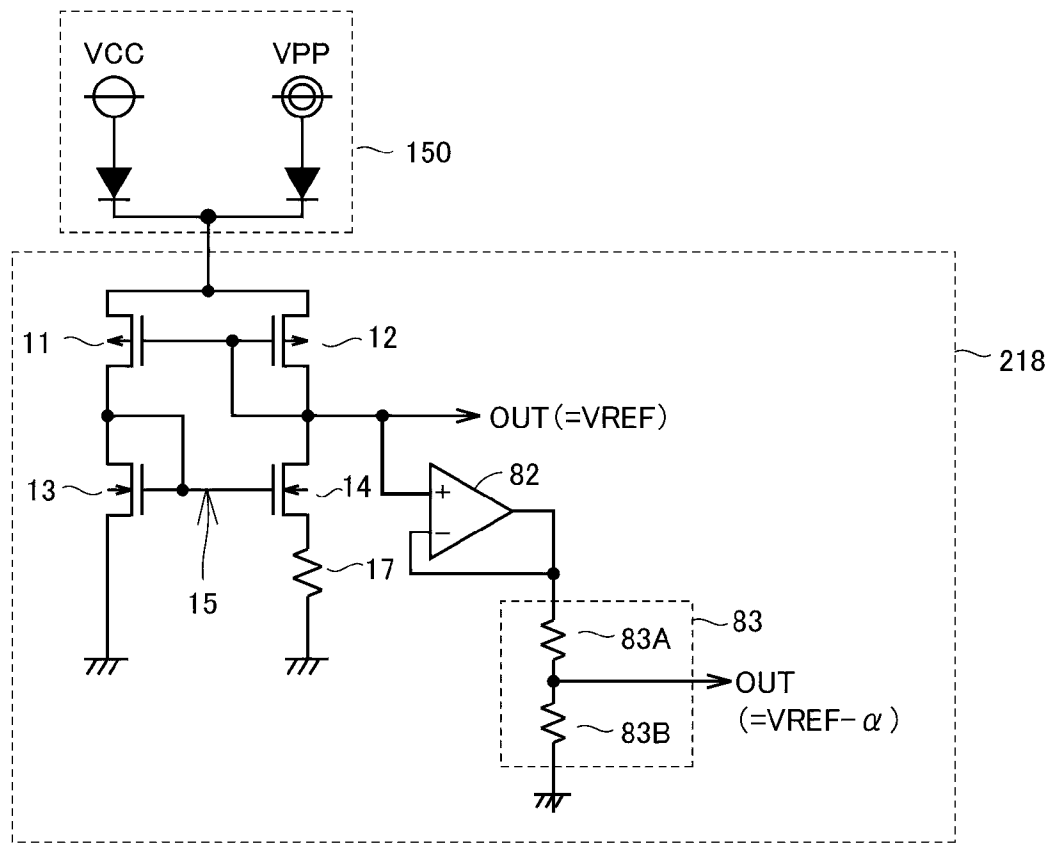


[図17]

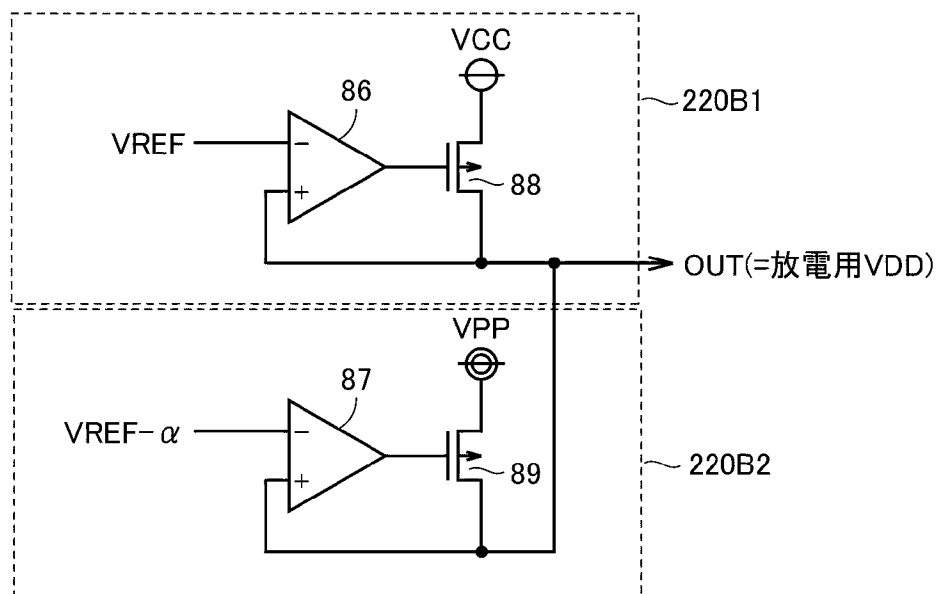
昇圧時のVDD瞬間停電



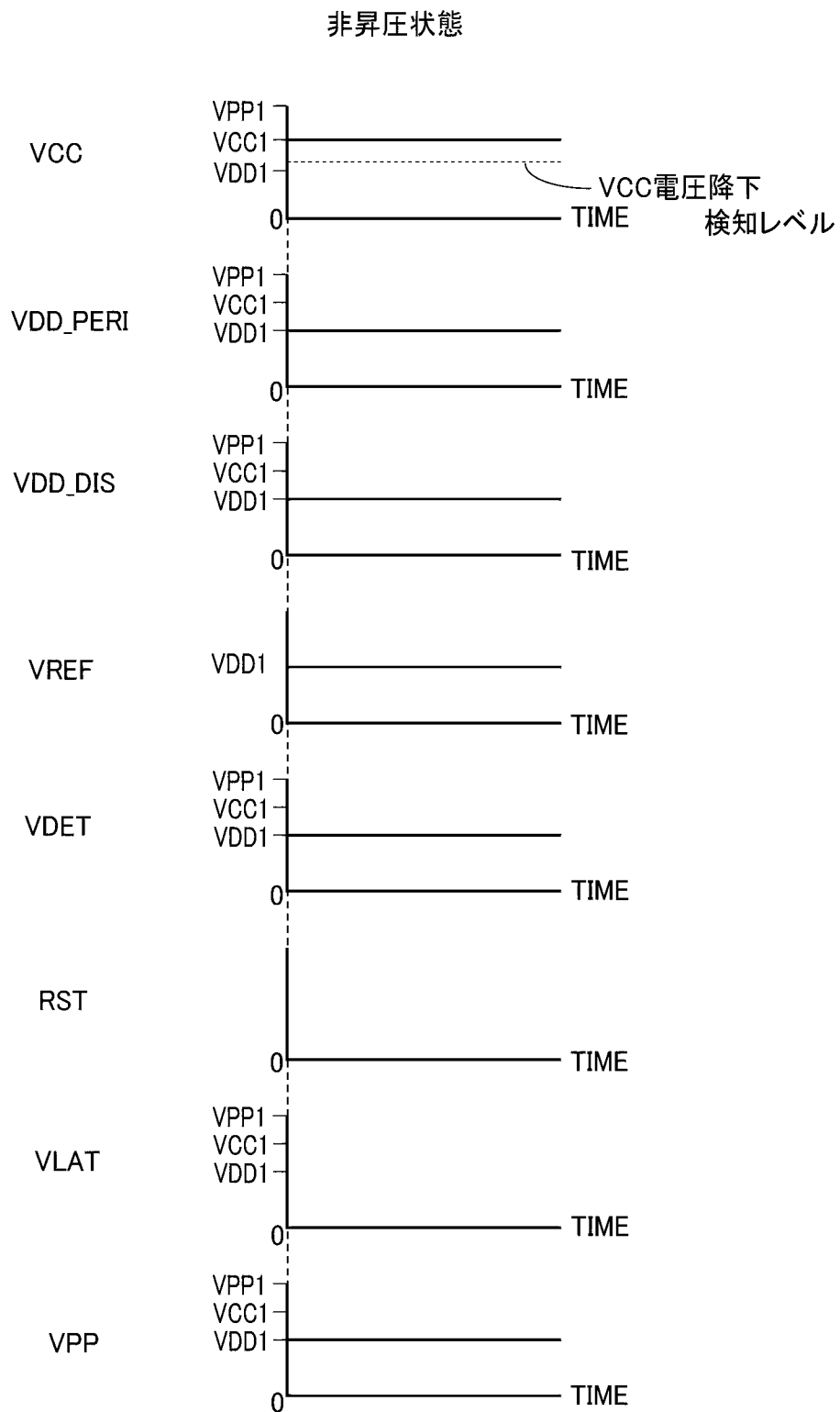
[図19]



[図20]

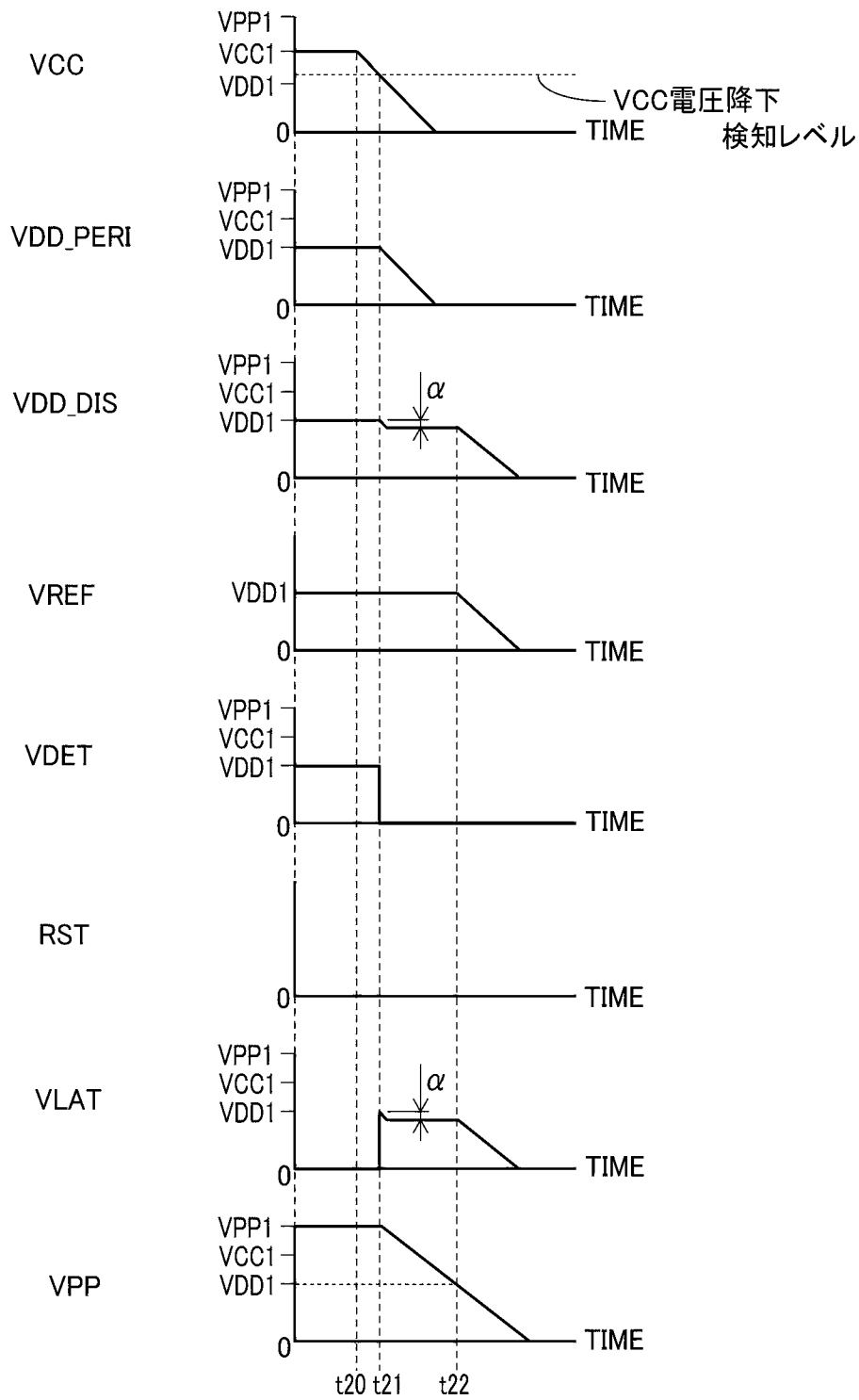
220B

[図21]



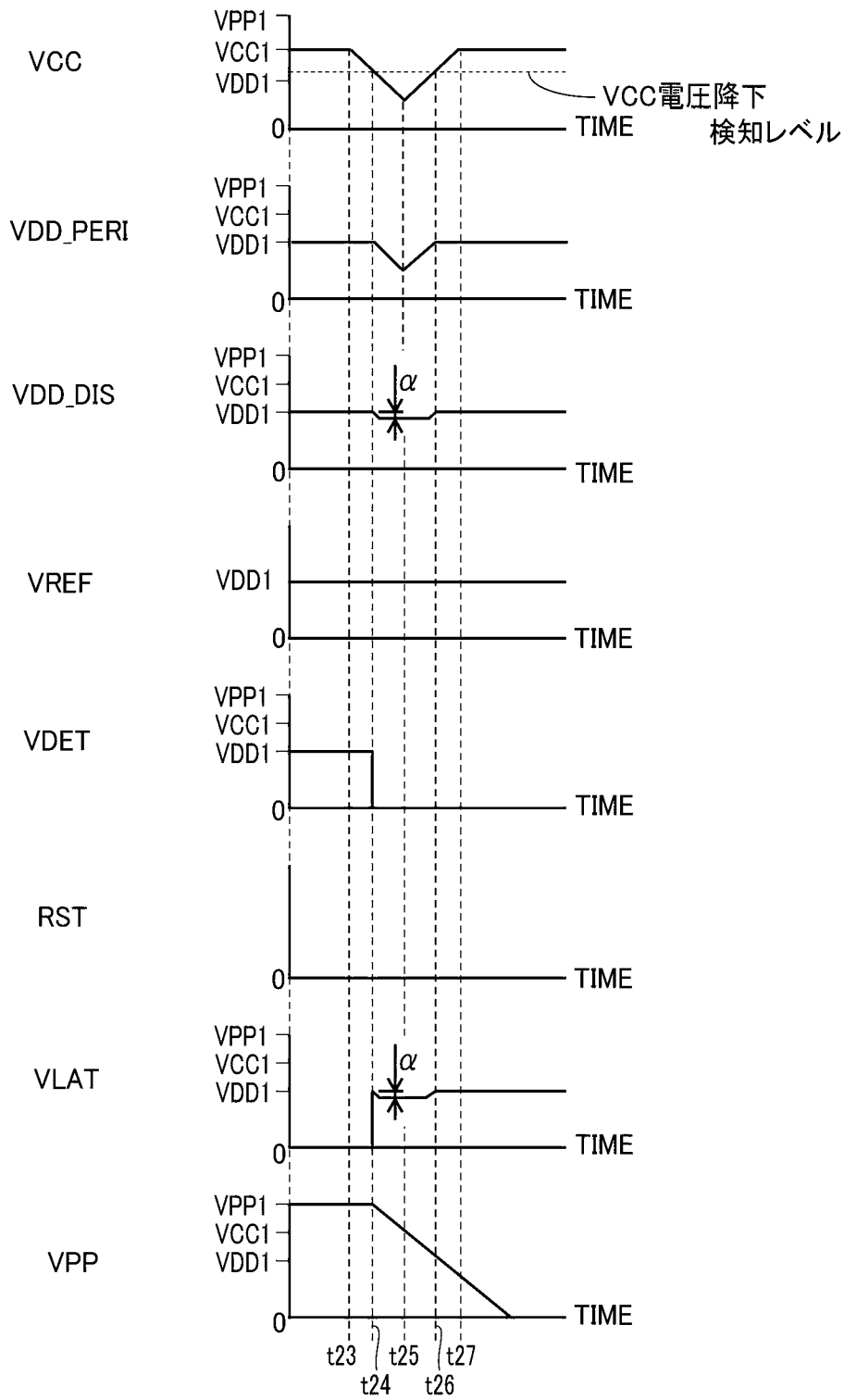
[図22]

昇圧時のVCC電源遮断



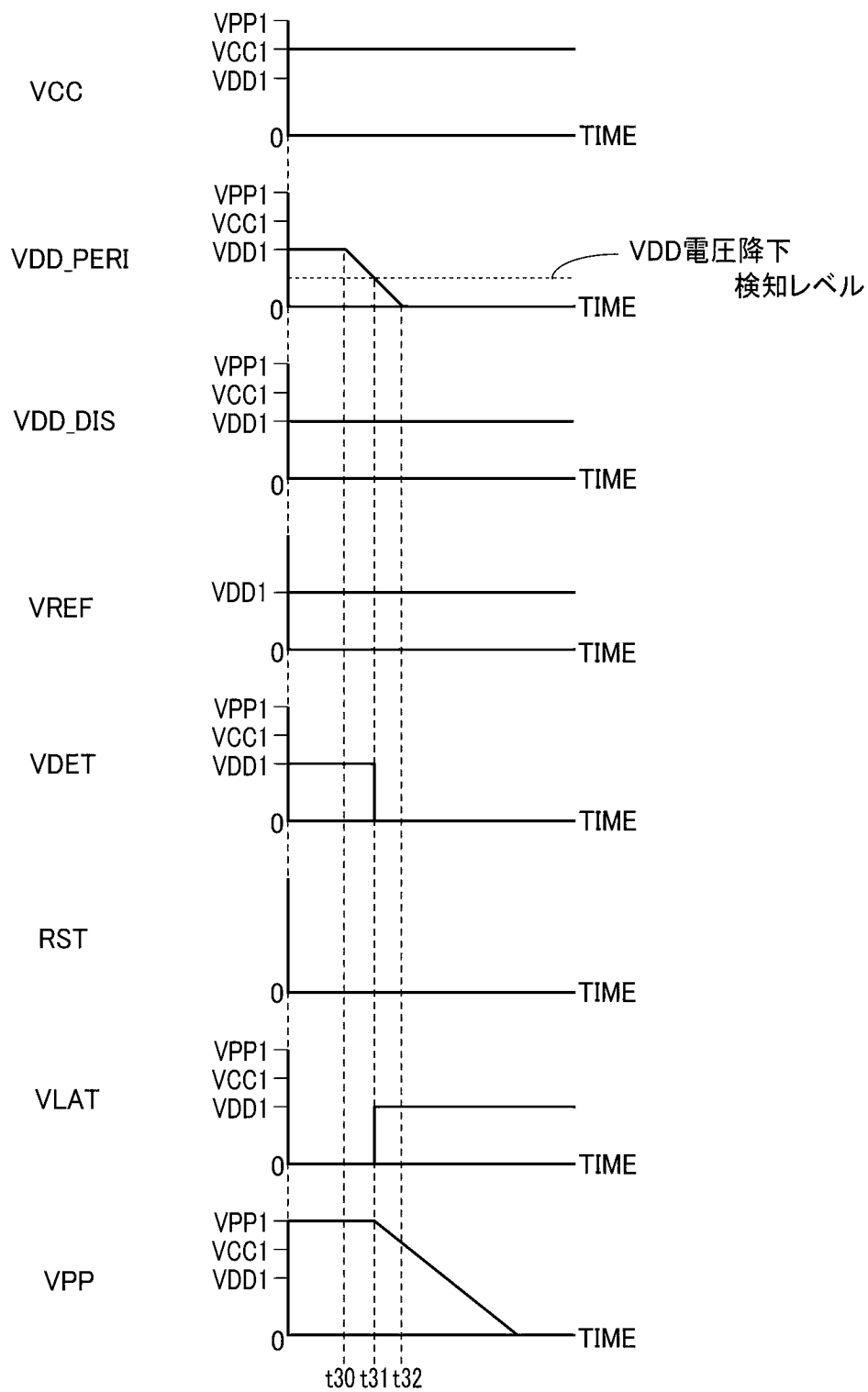
[図23]

昇圧時のVCC瞬間停電



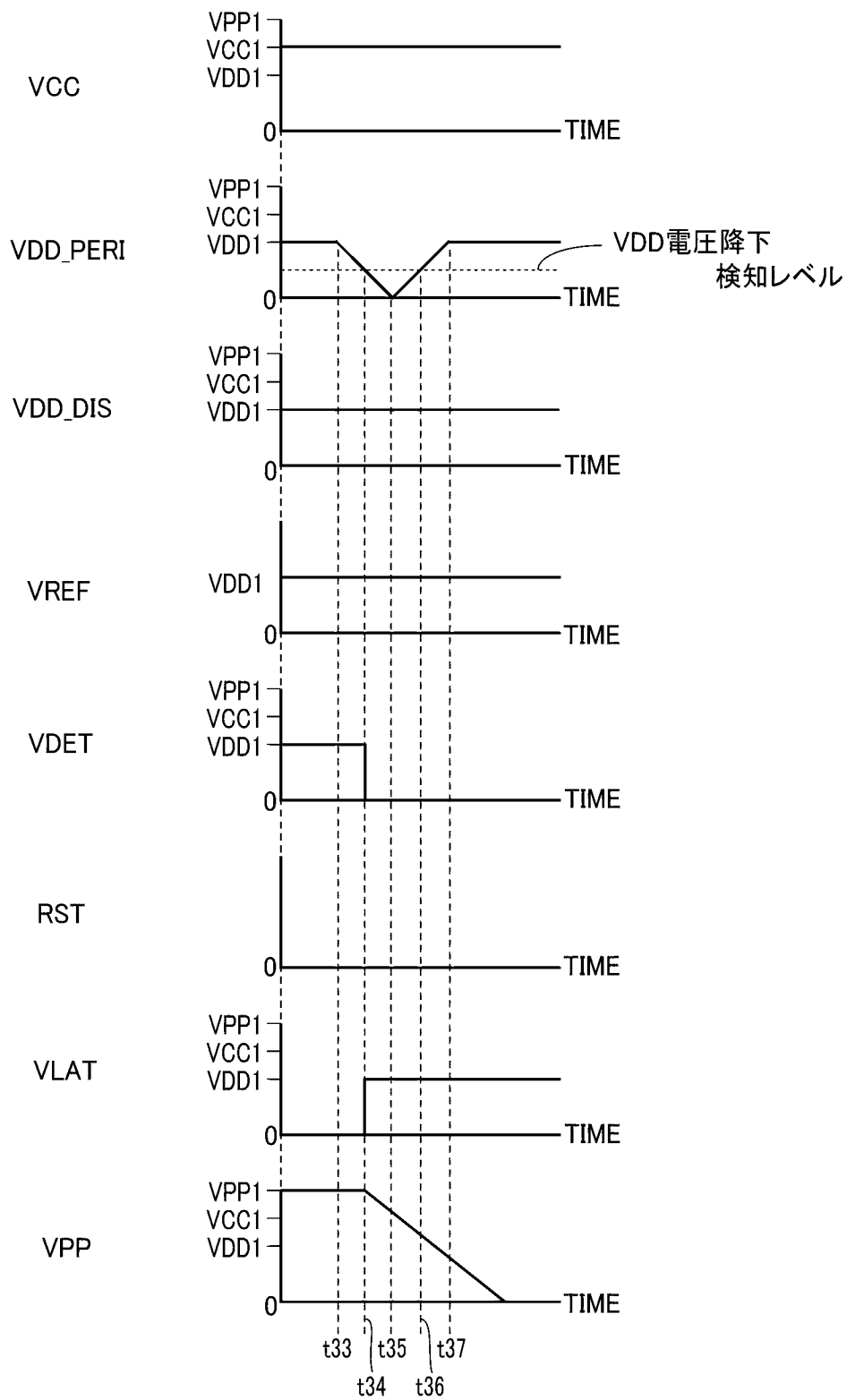
[図24]

昇圧時のVDD電源遮断

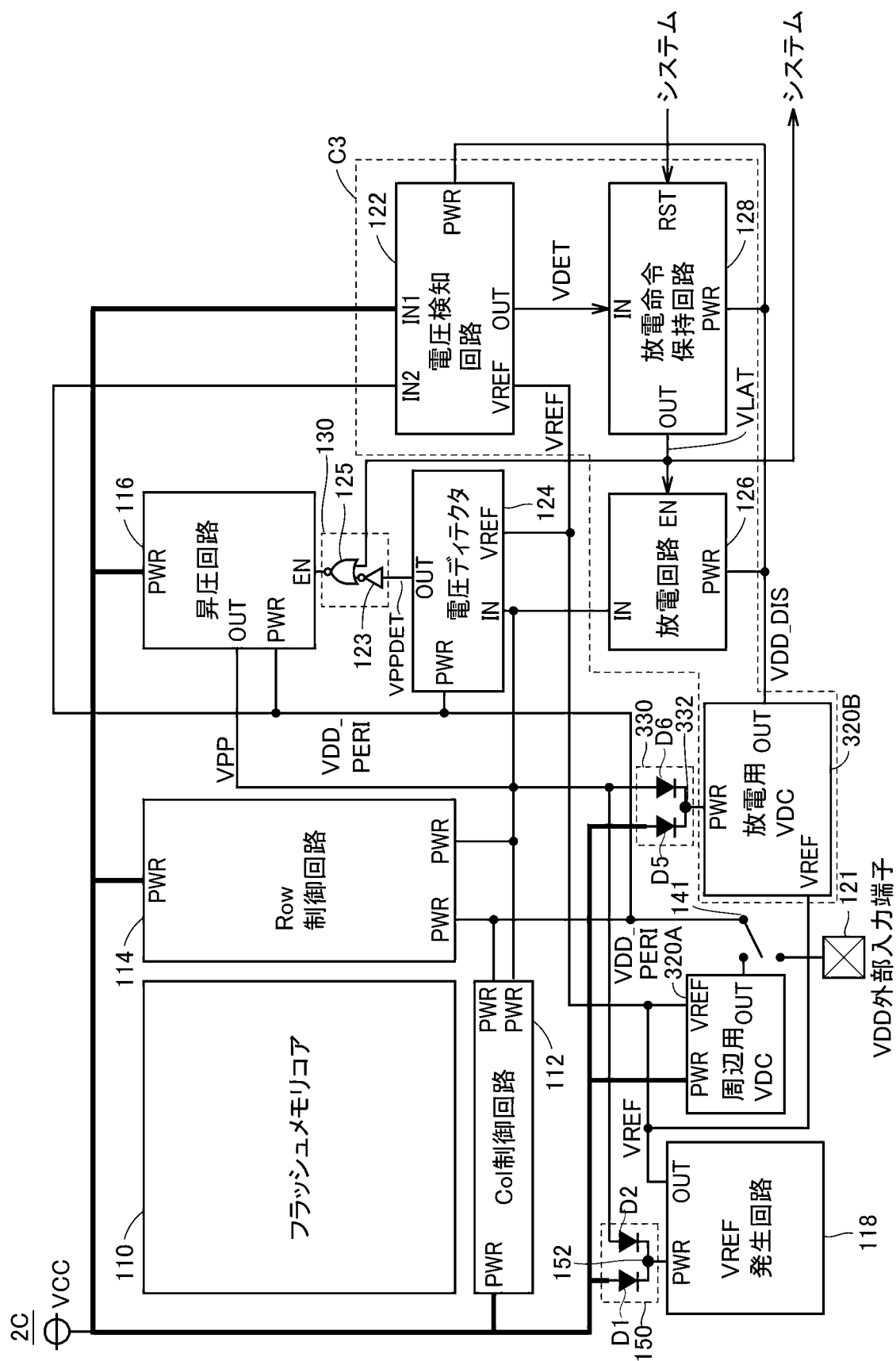


[図25]

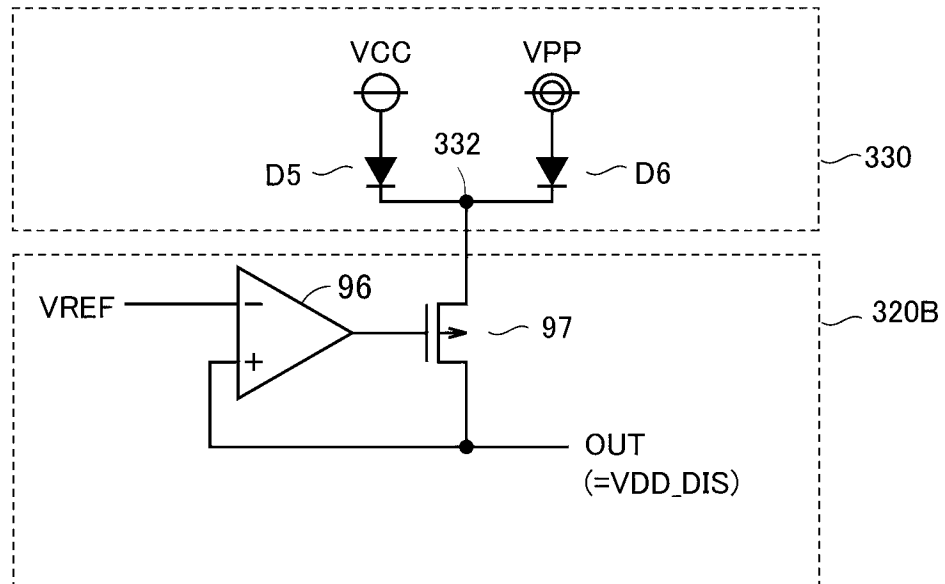
昇圧時のVDD瞬間停電



[図26]

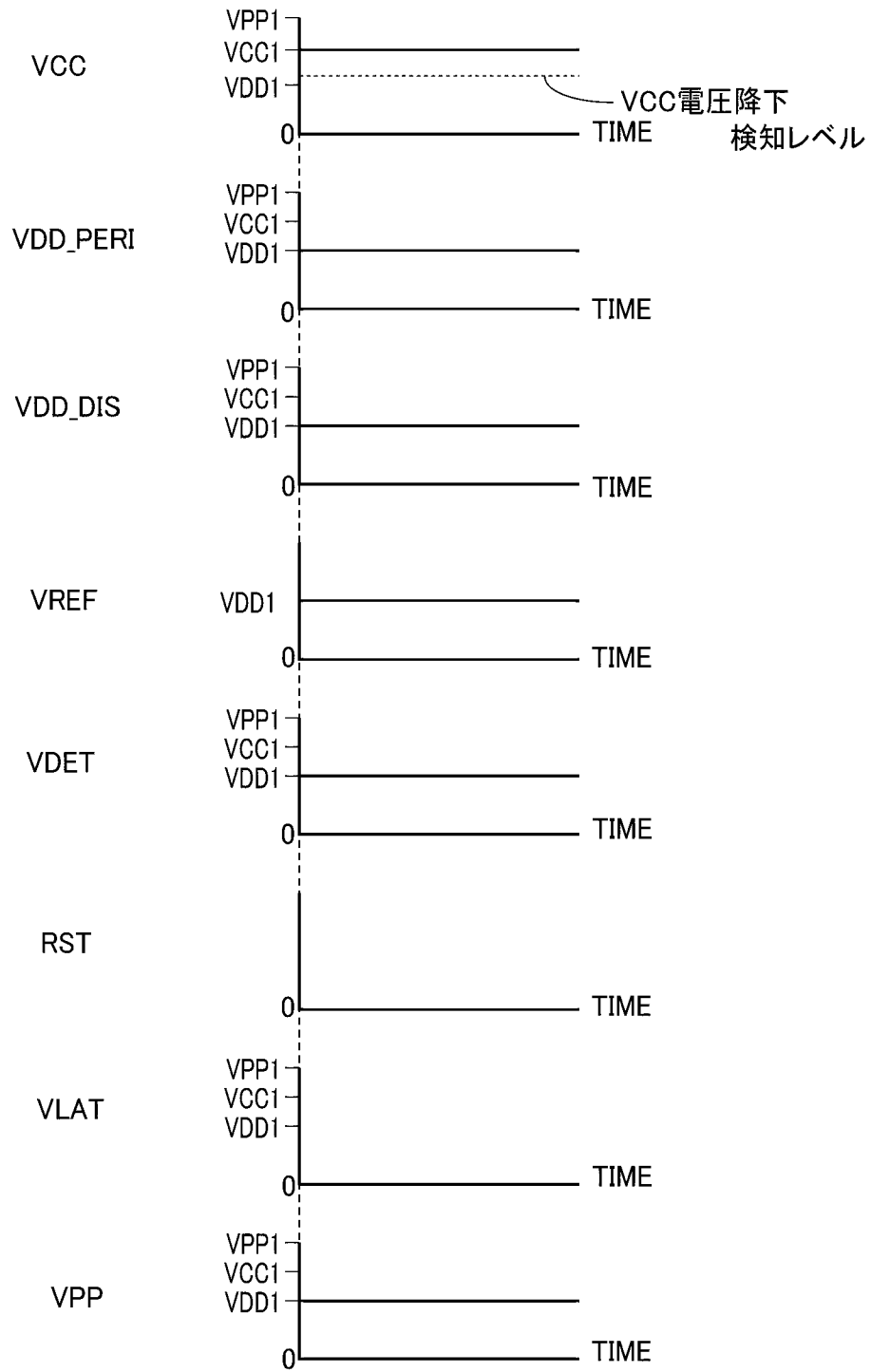


[図27]



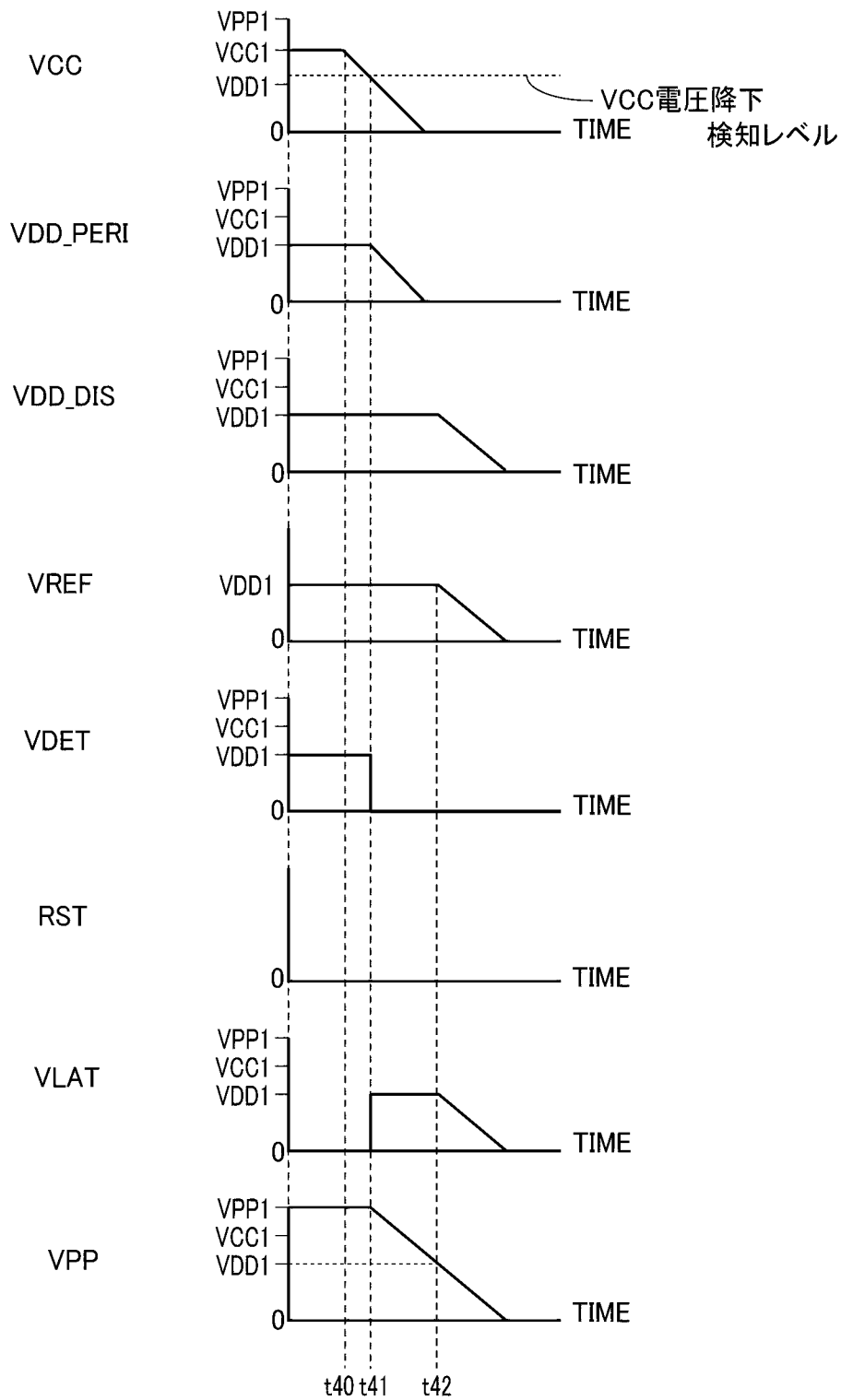
[図28]

非昇圧状態

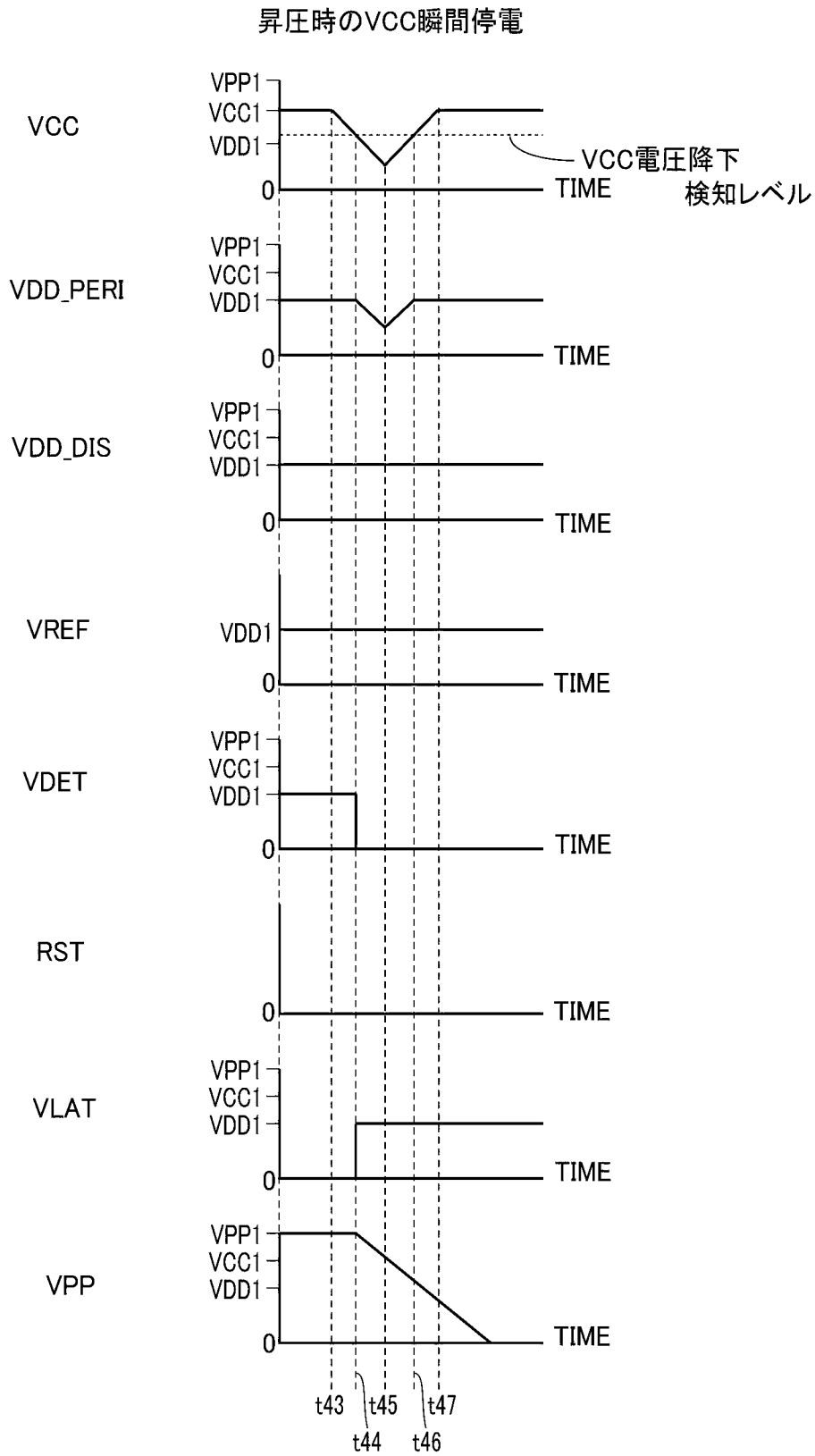


[図29]

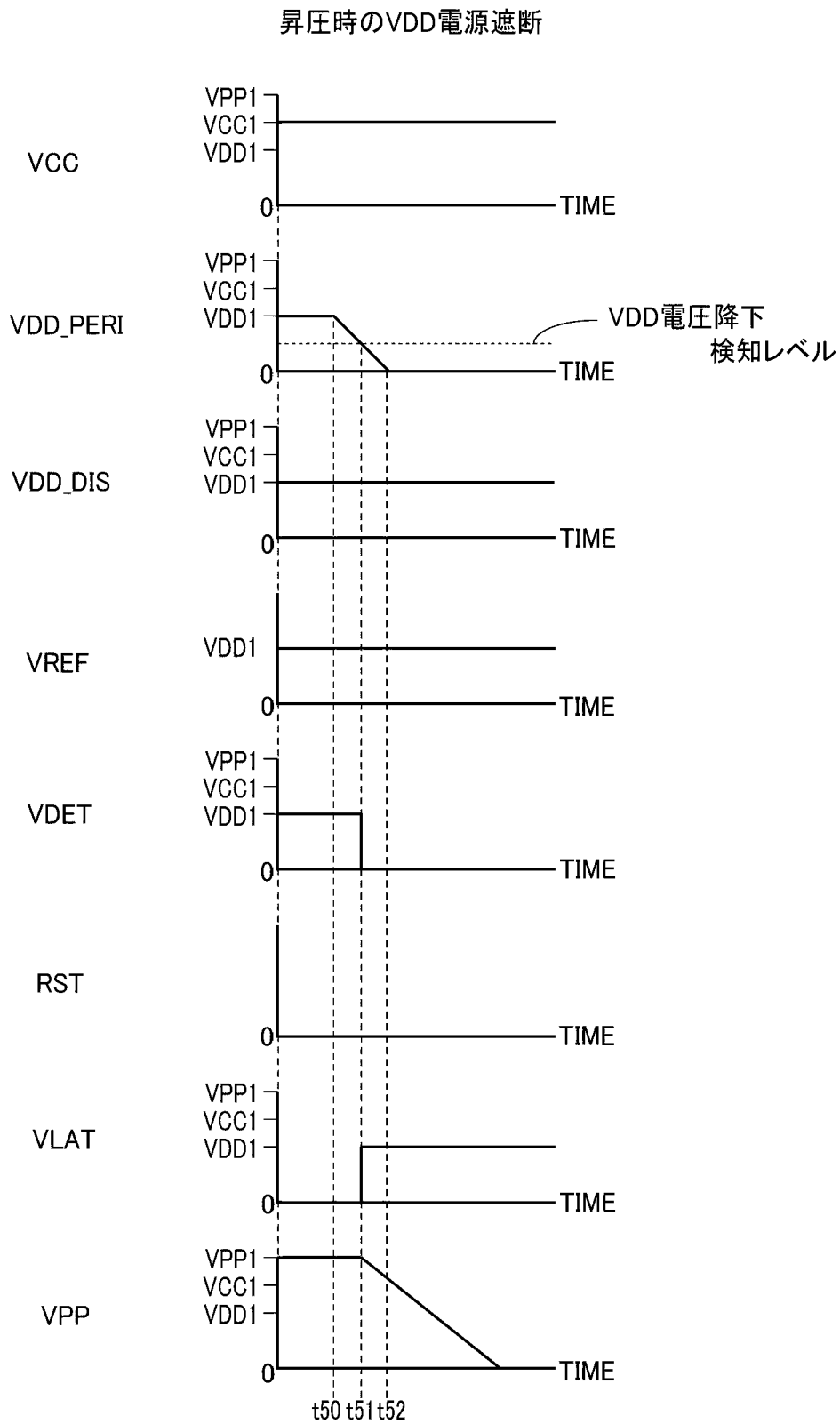
昇圧時のVCC電源遮断



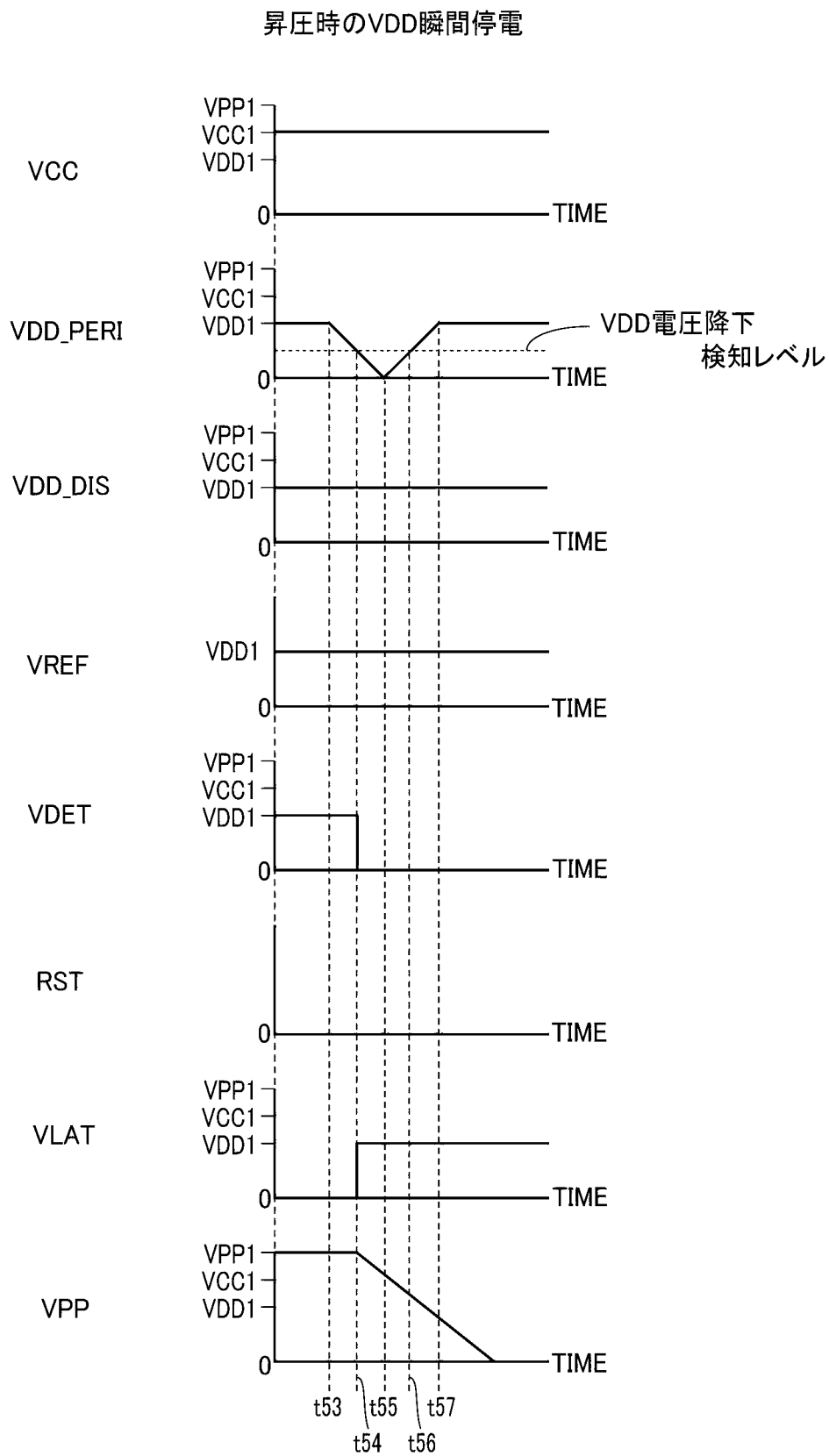
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059905

A. CLASSIFICATION OF SUBJECT MATTER

G11C16/06(2006.01)i, G11C16/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/06, G11C16/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 09-503880 A (Macronix International Co., Ltd.), 15 April 1997 (15.04.1997), page 14, line 3 to page 24, line 23; page 29, line 5 to page 30, line 19; fig. 1 to 7, 9, 10 & WO 1995/009483 A1 & EP 0748535 A1 & US 5420798 A	1-3, 5, 10-12 4, 6-9
Y	JP 2004-362703 A (Oki Electric Industry Co., Ltd.), 24 December 2004 (24.12.2004), paragraphs [0019] to [0081]; fig. 1 to 5 & US 2004/0246759 A1	1-3, 5, 10-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 June, 2011 (08.06.11)

Date of mailing of the international search report
21 June, 2011 (21.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/059905

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-181661 A (Renesas Technology Corp.), 07 August 2008 (07.08.2008), paragraphs [0017] to [0082]; fig. 1, 5, 21, 22 (Family: none)	1-3, 5, 10-12
Y	JP 2003-076431 A (Toshiba Corp.), 14 March 2003 (14.03.2003), paragraphs [0002] to [0016]; fig. 1, 16 & US 2003/0042971 A1	5

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G11C16/06(2006.01)i, G11C16/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C16/06, G11C16/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 09-503880 A（マクロニクス インターナショナル カンパニー リミテッド）1997.04.15, 第14頁第3行－第24頁 第23行、第29頁第5行－第30頁第19行, 図1－7, 9, 10 & WO 1995/009483 A1 & EP 0748535 A1 & US 5420798 A	1-3, 5, 10-12
A		4, 6-9
Y	JP 2004-362703 A（沖電気工業株式会社）2004.12.24, 段落【0019】－【0081】, 図1－5 & US 2004/0246759 A1	1-3, 5, 10-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 6 . 2 0 1 1

国際調査報告の発送日

2 1 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

外山 毅

電話番号 03-3581-1101 内線 3585

5 N

3 9 8 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-181661 A (株式会社ルネサステクノロジ) 2008.08.07, 段落【0017】－【0082】, 図1, 5, 21, 22 (ファミリーなし)	1-3, 5, 10-12
Y	JP 2003-076431 A (株式会社東芝) 2003.03.14, 段落【0002】－【0016】, 図1, 16 & US 2003/0042971 A1	5