

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 6 部門第 3 区分
 【発行日】 平成 17 年 10 月 20 日 (2005.10.20)

【公開番号】 特開 2002-55883 (P2002-55883A)
 【公開日】 平成 14 年 2 月 20 日 (2002.2.20)
 【出願番号】 特願 2001-190336 (P2001-190336)
 【国際特許分類第 7 版】

G 0 6 F 12/14

G 0 6 F 15/78

【F I】

G 0 6 F 12/14 3 2 0 A

G 0 6 F 15/78 5 1 0 G

【手続補正書】

【提出日】 平成 17 年 6 月 17 日 (2005.6.17)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

主プログラム (P 1) と二次プログラム (P 2) とを含む主メモリ (6) と、
 第一の作業メモリ (5 1) と、
 第二の作業メモリ (5 2) と、
 前記作業メモリ (5 1, 5 2) の少なくとも 1 つからの命令を実行するプロセッサ (1)
) と、

前記プロセッサ (1) を第 1 と第 2 の作業メモリ (5 1, 5 2) と主メモリ (6) に接
 続する第 1 の接続手段 (3) と、

前記プロセッサ (1) へ割り込みを供給する、ランダム又は擬似ランダム信号発生器 (2)
) に結合された割り込み発生器手段 (4) とを有し、

第 1 の接続手段 (3) は更に、前記プロセッサ (1) を予測不可能にする切替手段へプ
 ロセッサ (1) を接続し、前記切替手段は、プロセッサ (1) と切替手段間に設けられた
 第 2 の接続手段 (5 3 3) を通して、2 つの作業メモリの内容を保持しながら、2 の作業
 メモリ (5 1, 5 2) の 1 つから他の作業メモリへ、プログラムが実行されながら、予測
 不可能に飛び移るために割り込み発生器手段 (4) から発生された信号を受信し、前記切
 替手段は、

各メモリ (5 1, 5 2, 6) に結合されたアドレス及びアクセスレジスタ (A 1、A 2、
 A 3、D 1、D 2、D 3) と、

少なくとも主メモリ (6) のプログラムの動作コンテキストを記憶する手段 (5 4、5
 5) と、

少なくとも一方の作業メモリと各メモリ (5 1、5 2、6) に結合されかつ前記切替回
 路 (5 3) によって制御されるアクセスレジスタ (A 2、A 3、D 1、D 2、D 3) とを
 使用可能にする切替回路 (5 3) とを含む、予測不可能な集積回路。

【請求項 2】

前記第 1 の接続手段 (3) はバスであり、前記切替手段は主プログラム (P 1) の動作
 コンテキストを記憶する第一のレジスタブロック (5 4) と、二次プログラム (P 2) の
 動作コンテキストを記憶する第二のレジスタブロック (5 5) を含むことを特徴とする請
 求項 1 に記載の予測不可能な集積回路。

【請求項 3】

動作コンテキストが、それぞれ第一のブロック（５４）についてはＰＣ１、第二のブロック（５５）についてはＰＣ２であるプログラムカウンタと、それぞれ命令復号レジスタ（Ｄ１、Ｄ２）と、マシンサイクルなどの動作パラメータを格納する他のレジスタ（Ｔ１．１、Ｔ１．２）とそれぞれ（Ｔ２．１、Ｔ２．２）とによって構成されることを特徴とする請求項１または請求項２に記載の予測不可能な集積回路。

【請求項 4】

プログラムの実行を等時クロックに対してランダムとするバス（３）に接続された手段（Ｒ１、Ｒ２、Ｒ３）をさらに含むことを特徴とする請求項２または請求項３に記載の予測不可能な集積回路。

【請求項 5】

作業メモリ（５１、５２）と、各作業メモリ（５１、５２）にそれぞれ結合されかつ、主メモリ中のプログラムの動作コンテキストおよび二次プログラムの動作コンテキストをそれぞれ記憶する記憶レジスタブロック（５４、５５）を切り替えかつ使用可能にする回路（５３）をロードすることによって、主プログラム（Ｐ１）が切替手段を使用可能にするかまたは抑止することができることを特徴とする請求項２から請求項４のいずれか一項に記載の予測不可能な集積回路。

【請求項 6】

切替回路（５３）が第１の段階の間に二つの作業メモリ（５１、５２）の使用を可能にするデータをロードされ、第２の段階で二つの作業メモリのうちの二者択一的な一つの使用を可能にするデータをロードされることを特徴とする請求項１から請求項５のいずれか一項に記載の予測不可能な集積回路。

【請求項 7】

主プログラムによって利用される際に、第一の作業メモリ（５１）およびそのアクセスレジスタ（Ａ２、Ｄ２）の代わりに第二の作業メモリ（５２）およびそのアクセスレジスタ（Ａ３、Ｄ３）が使用されることを特徴とする請求項１から請求項６のいずれか一項に記載の予測不可能な集積回路。

【請求項 8】

ランダムとする手段が、二次プログラム（Ｐ２）にランダムに飛び移ることによって、プロセッサ中のプログラムの実行を脱同期させるためにランダム割込みを、割込み回路（４）を介してトリガする乱数発生器（２）を含むことを特徴とする請求項４に記載の予測不可能な集積回路。

【請求項 9】

ランダムとする手段が、時間カウント後に、二次プログラムから主プログラムに復帰するために割込みをトリガする、プロセッサ（１）から独立した時間カウントシステム（Ｒ３）を含むことを特徴とする請求項５または請求項８に記載の予測不可能な集積回路。

【請求項 10】

作業メモリを切り替える手段（５３、５４、５５、Ａ２、Ａ３、Ｄ２、Ｄ３）が、プロセッサ（１）およびそのプログラムか、ランダム割込みシステム（２、４）か、タイマ（Ｒ３）か、またはこれら三つの指定された要素のうちの少なくとも二つの要素の任意の組合せによって制御されることを特徴とする請求項５か請求項８か請求項９に記載の予測不可能な集積回路。

【請求項 11】

作業メモリを切り替える手段（５３、５４、５５、Ａ２、Ａ３、Ｄ２、Ｄ３）が、主プログラムのシーケンスを実行するプロセッサ（１）によってロードされることによって使用可能になることを特徴とする請求項１から請求項１０のいずれか一項に記載の予測不可能な集積回路。

【請求項 12】

第二のプログラム（Ｐ２）が主メモリ（６）中の主プログラム（Ｐ１）の作業領域と同じ作業領域を使用することを特徴とする請求項１から請求項１１のいずれか一項に記載の

予測不可能な集積回路。

【請求項 1 3】

第二のプログラム（P 2）が主プログラム（P 1）の作業領域より小さい作業領域を使用することを特徴とする請求項 1 から請求項 1 1 のいずれか一項に記載の予測不可能な集積回路。

【請求項 1 4】

切替手段が、プロセッサ（1）からの命令の実行サイクル中にメモリ（5 1、5 2、5 4、5 5、A 2、A 3、D 2、D 3）およびそれに関連するコンテキストの置換を実行することを特徴とする請求項 1 から請求項 1 3 のいずれか一項に記載の予測不可能な集積回路。

【請求項 1 5】

二次プログラム（P 2）が主プログラム（P 1）の一般動作コンテキストを修正せず、それにより前記コンテキストを回復する必要なしに主プログラム（P 1）の復帰を可能にすることを特徴とする請求項 1 から請求項 1 4 のいずれか一項に記載の予測不可能な集積回路。

【請求項 1 6】

主プログラム（P 1）のコンテキストの回復が二次プログラム（P 2）の実行の時間か、制御権を主プログラム（P 1）に戻す前に切替手段（5 3）によりなされる切り替えのいずれかに依存することを特徴とする請求項 1 5 に記載の予測不可能な集積回路。

【請求項 1 7】

二次プログラム（P 2）が、二次プログラムを構成する主プログラム（P C 1）の部分の開始アドレスをランダムに決定することによる、主プログラム（P 1）の前記部分であることを特徴とする請求項 1 5 または請求項 1 6 に記載の予測不可能な集積回路。

【請求項 1 8】

主プログラム（P 1）のメモリを二次プログラム（P 2）のメモリ領域で置換する手段をさらに含むことを特徴とする請求項 1 から請求項 1 6 のいずれか一項に記載の予測不可能な集積回路。

【請求項 1 9】

主プログラム（P 1）が第一の作業メモリ（5 1）および／または第二の作業メモリ（5 2）を交互にまたは同時に使用することができることを特徴とする請求項 1 から請求項 1 8 のいずれか一項に記載の予測不可能な集積回路。

【請求項 2 0】

切替回路（5 3）ヘデータをロードすることにより相関解除割込みのマスクまたはマスク解除が可能になることを特徴とする請求項 5 に記載の予測不可能な集積回路。