(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0015233
(43) 공개일자 2023년01월31일

(51) 국제특허분류(Int. Cl.)
C12M 1/34 (2006.01) *A61B 5/293* (2021.01)
A61B 5/294 (2021.01) *G01N 27/327* (2006.01)
G01N 27/416 (2006.01) *G01N 33/50* (2017.01)
(52) CPC특허분류
C12M 41/46 (2013.01)
A61B 5/293 (2022.01)
(21) 출원번호 10-2021-0096718
(22) 출원일자 2021년07월22일
심사청구일자 2021년07월22일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김성진
울산광역시 울주군 언양읍 유니스트길 50
차지형
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 15 항

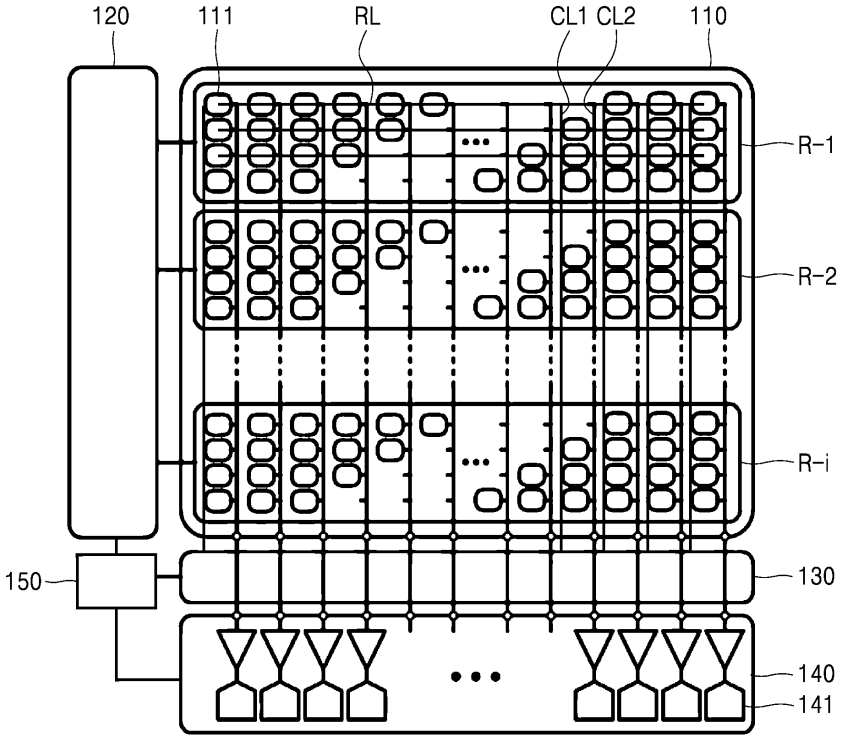
(54) 발명의 명칭 **신경세포 신호 측정을 위한 다중 전극 시스템 및 그의 동작 방법**

(57) 요 약

본 발명은 다중 전극 시스템 및 그의 동작 방법에 관한 것으로, 본 발명의 일 실시예에 따른 다중 전극 시스템은 복수의 제1 칼럼 라인, 복수의 제2 칼럼 라인 및 복수의 로우 라인과 전기적으로 연결된 복수의 전극 셀을 포함하는 전극 어레이, 상기 복수의 로우 라인과 연결되고, 적어도 하나의 로우 라인을 선택하여 로우 디코더 신호를

(뒷면에 계속)

대 표 도 - 도5



인가하는, 로우 디코더, 상기 복수의 제1 칼럼 라인과 연결되고, 적어도 하나의 제1 칼럼 라인을 선택하여 칼럼 디코더 신호를 인가하는, 칼럼 디코더, 상기 복수의 제2 칼럼 라인과 연결되고, 상기 로우 디코더에 의해 결정되는 부분 어레이 단위로 전기 신호를 수신하는, 리드아웃 회로 및 상기 전극 어레이, 로우 디코더, 칼럼 디코더 및 리드아웃 회로에 제어 신호를 인가하고, 수신한 신호를 처리하는 제어 장치를 포함하고, 상기 전극 셀은 신경세포의 신호를 측정하는 측정 전극, 및 상기 측정 전극과 상기 제2 칼럼 라인의 연결을 제어하는 메모리를 포함한다.

(52) CPC특허분류
A61B 5/294 (2022.01)
G01N 27/3272 (2013.01)
G01N 27/416 (2021.01)
G01N 33/5005 (2013.01)
A61B 2562/125 (2013.01)
A61B 2562/164 (2013.01)
A61B 2562/166 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711135048
과제번호	2021M3F3A2A01037367
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	대량정보 처리를 위한 확장형 저잡음 모듈화된 뇌신호 증폭 IC 개발
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2021.04.09 ~ 2021.12.31

명 세 서

청구범위

청구항 1

복수의 제1 칼럼 라인, 복수의 제2 칼럼 라인 및 복수의 로우 라인과 전기적으로 연결된 복수의 전극 셀을 포함하는 전극 어레이;

상기 복수의 로우 라인과 연결되고, 적어도 하나의 로우 라인을 선택하여 로우 디코더 신호를 인가하는, 로우 디코더;

상기 복수의 제1 칼럼 라인과 연결되고, 적어도 하나의 제1 칼럼 라인을 선택하여 칼럼 디코더 신호를 인가하는, 칼럼 디코더;

상기 복수의 제2 칼럼 라인과 연결되고, 상기 로우 디코더에 의해 결정되는 부분 어레이 단위로 전기 신호를 수신하는, 리드아웃 회로; 및

상기 전극 어레이, 로우 디코더, 칼럼 디코더 및 리드아웃 회로에 제어 신호를 인가하고, 수신한 신호를 처리하는 제어 장치를 포함하고,

상기 전극 셀은 신경세포의 신호를 측정하는 측정 전극, 및 상기 측정 전극과 상기 제2 칼럼 라인의 연결을 제어하는 메모리를 포함하는, 다중 전극 시스템.

청구항 2

제1항에 있어서,

상기 로우 디코더는 하나의 상기 부분 어레이를 구성하는 상기 로우 라인의 수를 변경 가능한, 다중 전극 시스템.

청구항 3

제1항에 있어서,

상기 로우 디코더는 상기 부분 어레이를 순차적으로 선택하고,

상기 리드아웃 회로는 선택된 상기 부분 어레이를 구성하는 복수의 전극 셀 중 메모리가 온 된 전극 셀의 전기 신호를 수신하는, 다중 전극 시스템.

청구항 4

제1항에 있어서,

상기 로우 디코더는 선택된 로우 라인에 로우 디코더 신호를 인가하고,

상기 칼럼 디코더는 선택된 제1 칼럼 라인에 칼럼 디코더 신호를 인가하고,

상기 전극 셀의 메모리는 상기 로우 디코더 신호 및 상기 칼럼 디코더 신호를 기초로 상태를 변경하는, 다중 전극 시스템.

청구항 5

제4항에 있어서,

상기 칼럼 디코더는 하나의 상기 부분 어레이 내에서, 상기 제2 칼럼 라인마다 하나의 전극 셀이 선택되도록 상기 메모리의 상태를 변경하는, 다중 전극 시스템.

청구항 6

제5항에 있어서,

상기 메모리는 사전 측정 단계(Pre-learning stage)에서 측정된 상기 전극 셀의 전기 신호를 기초로 상기 전극 셀의 연결을 제어하는, 다중 전극 시스템.

청구항 7

제5항에 있어서,

상기 메모리는 D-플립플롭 메모리인, 다중 전극 시스템.

청구항 8

제1항에 있어서,

상기 전극 어레이는 세포 배양 장치의 하부에 배치되는, 다중 전극 시스템.

청구항 9

제1항에 있어서,

상기 전극 어레이는 측정 대상에 부착 가능한 유연 기판 상에 형성되는, 다중 전극 시스템.

청구항 10

신경세포 신호 측정을 위한 다중 전극 시스템의 동작 방법에 있어서,

다중 전극 시스템이 전극 어레이를 적어도 하나의 로우 라인을 포함하는 복수의 부분 어레이들로 분할하는 단계;

다중 전극 시스템이 신호 측정을 수행하는 복수의 전극 셀들을 선택하는 단계; 및

다중 전극 시스템의 로우 디코더가 상기 부분 어레이들을 순차적으로 선택하고, 리드아웃 회로가 선택된 상기 전극 셀들로부터 신호를 측정하는 단계;를 포함하고,

상기 전극 어레이는 복수의 제1 칼럼 라인, 복수의 제2 칼럼 라인 및 로우 라인과 전기적으로 연결된 복수의 전극 셀을 포함하고,

상기 전극 셀은 신경세포의 신호를 측정하는 측정 전극, 및 상기 측정 전극과 상기 제2 칼럼 라인의 연결을 제어하는 메모리를 포함하는, 다중 전극 시스템의 동작 방법.

청구항 11

제10항에 있어서,

상기 복수의 부분 어레이들로 분할하는 단계는,

상기 로우 디코더가 하나의 상기 부분 어레이를 구성하는 상기 로우 라인의 수를 변경하는 단계를 포함하는, 다중 전극 시스템의 동작 방법.

청구항 12

제11항에 있어서,

상기 부분 어레이의 크기는 상기 신경세포의 밀도, 위치, 상기 다중 전극 시스템의 해상도, 및 주사율(Frame rate)을 고려하여 선택되는, 다중 전극 시스템의 동작 방법.

청구항 13

제10항에 있어서,

상기 복수의 전극 셀들을 선택하는 단계는,

상기 다중 전극 시스템이 상기 전극 어레이를 구성하는 모든 전극 셀들 각각에 대하여 전기 신호를 측정하는 단계; 및

상기 다중 전극 시스템이 측정된 상기 전기 신호를 기초로, 하나의 상기 부분 어레이 내에서, 상기 제2 칼럼 라

인마다 하나의 전극 셀이 선택되도록 상기 메모리의 상태를 변경하는 단계;를 포함하는, 다중 전극 시스템의 동작 방법.

청구항 14

제10항에 있어서,

상기 전극 셀들로부터 신호를 측정하는 단계는,

상기 로우 디코더가 상기 부분 어레이를 순차적으로 선택하는 단계;

선택된 상기 부분 어레이의 상기 제2 칼럼 라인과 연결된 전극 셀로부터 전기 신호를 측정하는 단계;

상기 리드아웃 회로가 수신한 상기 전기 신호를 디지털 신호로 변환하는 단계를 포함하는, 다중 전극 시스템의 동작 방법.

청구항 15

컴퓨팅 장치를 이용하여 제10항 내지 제14항 중 어느 한 항의 방법을 실행시키기 위하여 컴퓨터로 판독 가능한 저장 매체에 저장된 컴퓨터 프로그램.

발명의 설명

기 술 분 야

[0001] 본 발명은 신경세포 신호 측정을 위한 다중 전극 시스템 및 그의 동작 방법에 관한 것으로, 보다 상세하게는 고해상도의 전극 어레이를 이용한 다중 전극 시스템 및 그의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 최근 바이오 산업 및 기술의 발전으로 인하여, 인간의 신체와 질병에 대한 다양한 연구가 진행되고 있다. 제4차 산업혁명으로, 뇌 신경망을 모사하는 인공지능에 대한 관심이 더욱 증가하였으며, 전자 공학 기술의 발전 덕분에 뇌의 신경 신호 측정 기술 또한 크게 진보하였으나, 신체의 여러 기관들에 대한 연구 진척에 비하여 여전히 인간의 뇌는 명확하게 알려지지 않은 미지의 영역으로 남아 있다.

[0003] 뇌의 신경 신호 측정 기술은, 신경세포의 이온 전달에 의하여 발생하는 전기 신호를 읽는 방식이 대표적이다. 대뇌를 이루는 네트워크는 약 10^{11}개의 뉴런과, 10^{14}개에 이르는 시냅스 연결을 포함한다. 따라서, 이러한 네트워크를 이해하기 위하여, 다량의 신경 신호를 동시에 획득 가능한 기술이 요구된다.

[0004] 신경세포의 신호 측정은 생체 내(In vivo)에 직접 삽입되는 프로브 전극을 이식하여 측정하는 방법과, 생체 외(In vitro)에서 생체 내와 유사한 환경을 만들어, 신경세포를 배양하며 신호를 측정하는 방법이 있다.

[0005] 도 1은 타겟의 생체 조직에 삽입되어 신경세포의 신호를 측정하기 위한 전극 시스템을 설명하기 위한 도면이다.

[0006] 도 1을 참조하면, 다중 전극 시스템(10)은 타겟(T_o)의 생체 내에 삽입되는 프로브(11)를 포함한다. 프로브(11)는 타겟(T_o)의 뇌 내에 삽입되어, 뇌를 이루는 신경세포들의 전압 변화를 측정한다. 프로브(11)는 삽입된 위치의 신경세포들의 신호를 측정하기 위한 복수의 전극들을 포함한다. 프로브(11)는 대뇌 피질(Cerebral cortex)로부터 해마(Hippocampus) 및 시상(Thalamus) 뇌까지 삽입될 수 있다. 일 예로, 대뇌피질 $1mm^2$에는 약 10만개의 신경세포가 위치한다. 따라서, 생체 조직의 손상을 최소화하고, 다수의 신경세포들의 신호를 측정하기 위하여 전극들은 좁은 면적 내에 고밀도로 집적될 필요가 있다.

[0007] 도 2는 세포 배양 장치에 장착되어 신경세포의 신호를 측정하기 위한 다중 전극 시스템(20)을 설명하기 위한 도면이다.

[0008] 도 2를 참조하면, 다중 전극 시스템(20)은 생체 내와 유사한 환경을 만들어 신경세포를 배양하기 위한 배양 장치에 장착될 수 있다. 일 예로, 다중 전극 시스템(20)은 세포 배양조의 하부에 배치되고, 신경세포는 다중 전극 시스템 위에 부착 상태로 성장할 수 있다.

[0009] 다중 전극 시스템(20)은 기판(21) 상에 형성된 측정 전극(22), 패시베이션 층(23) 및 기준 전극(24)을 포함할

수 있다. 측정 전극은 신경세포(T_M)의 이온 교환으로 인한 세포 내 전압 변화를 세포 막 외부에서 측정할 수 있다.

[0010] 상술한 바와 같은 생체 내(In vivo) 다중 전극 시스템 및 생체 외(In vitro) 다중 전극 시스템은 작은 크기의 단일 신경세포뿐만 아니라 다양한 신경세포 네트워크의 정보를 얻기 위하여, 고해상도 및 대면적 전극 어레이를 필요로 한다. 반도체 공정 및 회로 기술의 발전으로 초소형 전극과 CMOS 기반의 회로 집적이 가능해지며, 고밀도로 집적된 다중 전극 어레이 및 소형 리드아웃(Readout) 회로를 개발하기 위한 연구가 증가하고 있다.

[0011] 도 3은 종래의 신경세포의 신호를 측정하기 위한 다중 전극 시스템을 설명하기 위한 도면이다.

[0012] 도 3을 참조하면, 다중 전극 시스템은 복수의 측정 전극과, 상기 측정 전극과 일대일로 연결되는 채널, 아날로그 프론트 엔드(Analog Front End, AFE), 아날로그 멀티플렉서(Analog Multiplexer, Analog MUX) 및 아날로그 디지털 변환기(Analog to Digital Coverter, ADC)를 포함한다. 이 때, 복수의 아날로그 프론트 엔드는 하나의 아날로그 멀티플렉서에 연결되어, 하나의 아날로그 디지털 변환기를 공유하여 채널 면적을 감소시킬 수 있다. 그러나, 여전히 아날로그 프론트 엔드가 전극의 수와 비례하여 증가하므로, 전극 어레이의 면적이 증가할 때 채널 면적이 크게 증가한다. 따라서 대면적의 전극 어레이에서 연결 복잡성이 증가할 뿐 아니라, 채널 영역으로 인한 면적 소모가 커진다.

[0013] 도 4a 및 도 4b는 각각 종래 다중 전극 시스템의 전극 수 변화 및 채널 수 변화를 설명하기 위한 그래프이다.

[0014] 상술한 바와 같이, 신경세포의 신호 측정을 위한 다중 전극 시스템은 대면적, 고해상도의 다중 전극 어레이 시스템을 제작하기 위하여 다양한 연구가 진행되고 있다. 도 4a를 참조하면, 1980년부터 2020년까지 연구되거나 실용화된 다중 전극 시스템의 전극 수가 증가하고 있는 것을 확인할 수 있다. 도 4b를 참조하면, 1980년부터 2020년까지 연구되거나 실용화된 다중 전극 시스템의 채널 수가 전극 수의 증가에 따라, 함께 증가하고 있는 것을 확인할 수 있다.

[0015] 이에 따라 채널 수 증가로 인한 연결 복잡성 증가 및 면적 증가 문제를 극복한 고해상도 대면적 전극 어레이를 구현할 수 있는 다중 전극 시스템 개발이 요구되고 있다.

선행기술문헌

비특허문헌

[0016] (비특허문헌 0001) 1. A 4.86 μW/Channel Fully Differential Multi-Channel Neural Recording System (T Lee, JH Cha, SH Han, SJ Kim, M Je - 2018 International SoC Design Conference (ISOCC), 2018)

발명의 내용

해결하려는 과제

[0017] 본 발명이 해결하고자 하는 제1 기술적 과제는 고해상도 대면적의 전극 어레이를 이용한 다중 전극 시스템을 제공하는 것이다.

[0018] 본 발명이 해결하고자 하는 제2 기술적 과제는 상술한 다중 전극 시스템의 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0019] 상술한 기술적 과제를 해결하기 위하여 본 발명의 일 실시예는, 복수의 제1 칼럼 라인, 복수의 제2 칼럼 라인 및 복수의 로우 라인과 전기적으로 연결된 복수의 전극 셀을 포함하는 전극 어레이, 상기 복수의 로우 라인과 연결되고, 적어도 하나의 로우 라인을 선택하여 로우 디코더 신호를 인가하는, 로우 디코더, 상기 복수의 제1 칼럼 라인과 연결되고, 적어도 하나의 제1 칼럼 라인을 선택하여 칼럼 디코더 신호를 인가하는, 칼럼 디코더, 상기 복수의 제2 칼럼 라인과 연결되고, 상기 로우 디코더에 의해 결정되는 부분 어레이 단위로 전기 신호를 수신하는, 리드아웃 회로, 및 상기 전극 어레이, 로우 디코더, 칼럼 디코더 및 리드아웃 회로에 제어 신호를 인가하고, 수신한 신호를 처리하는 제어 장치를 포함하고, 상기 전극 셀은 신경세포의 신호를 측정하는 측정 전극, 및 상기 측정 전극과 상기 제2 칼럼 라인의 연결을 제어하는 메모리를 포함하는, 다중 전극 시스템을 제공한다.

[0020] 일 실시예로, 상기 로우 디코더는 하나의 상기 부분 어레이를 구성하는 상기 로우 라인의 수를 변경 가능할 수

있다.

[0021] 일 실시예로, 상기 로우 디코더는 상기 부분 어레이를 순차적으로 선택하고, 상기 리드아웃 회로는 선택된 상기 부분 어레이를 구성하는 복수의 전극 셀 중 메모리가 온 된 전극 셀의 전기 신호를 수신할 수 있다.

[0022] 일 실시예로, 상기 로우 디코더는 선택된 로우 라인에 로우 디코더 신호를 인가하고, 상기 칼럼 디코더는 선택된 제1 칼럼 라인에 칼럼 디코더 신호를 인가하고, 상기 전극 셀의 메모리는 상기 로우 디코더 신호 및 상기 칼럼 디코더 신호를 기초로 상태를 변경할 수 있다.

[0023] 일 실시예로, 상기 칼럼 디코더는 하나의 상기 부분 어레이 내에서, 상기 제2 칼럼 라인마다 하나의 전극 셀이 선택되도록 상기 메모리의 상태를 변경할 수 있다.

[0024] 일 실시예로, 상기 메모리는 사전 측정 단계(Pre-learning stage)에서 측정된 상기 전극 셀의 전기 신호를 기초로 상기 전극 셀의 연결을 제어할 수 있다.

[0025] 일 실시예로, 상기 메모리는 D-플립플롭 메모리일 수 있다.

[0026] 일 실시예로, 상기 전극 어레이는 세포 배양 장치의 하부에 배치될 수 있다.

[0027] 일 실시예로, 상기 전극 어레이는 측정 대상에 부착 가능한 유연 기판 상에 형성될 수 있다.

[0028] 본 발명의 일 실시예는 다중 전극 시스템이 전극 어레이를 적어도 하나의 로우 라인을 포함하는 복수의 부분 어레이들로 분할하는 단계, 다중 전극 시스템이 신호 측정을 수행하는 복수의 전극 셀들을 선택하는 단계, 및 다중 전극 시스템의 로우 디코더가 상기 부분 어레이들을 순차적으로 선택하고, 리드아웃 회로가 선택된 상기 전극 셀들로부터 신호를 측정하는 단계를 포함하고, 상기 전극 어레이는 복수의 제1 칼럼 라인, 복수의 제2 칼럼 라인 및 로우 라인과 전기적으로 연결된 복수의 전극 셀을 포함하고, 상기 전극 셀은 신경세포의 신호를 측정하는 측정 전극, 및 상기 측정 전극과 상기 제2 칼럼 라인의 연결을 제어하는 메모리를 포함하는, 다중 전극 시스템의 동작 방법을 제공한다.

[0029] 일 실시예로, 상기 복수의 부분 어레이들로 분할하는 단계는, 상기 로우 디코더가 하나의 상기 부분 어레이를 구성하는 상기 로우 라인의 수를 변경하는 단계를 포함할 수 있다.

[0030] 일 실시예로, 상기 부분 어레이의 크기는 상기 신경세포의 밀도, 위치, 상기 다중 전극 시스템의 해상도, 및 주사율(Frame rate)을 고려하여 선택될 수 있다.

[0031] 일 실시예로, 상기 복수의 전극 셀들을 선택하는 단계는, 상기 다중 전극 시스템이 상기 전극 어레이를 구성하는 모든 전극 셀들 각각에 대하여 전기 신호를 측정하는 단계, 및 상기 다중 전극 시스템이 측정된 상기 전기 신호를 기초로, 하나의 상기 부분 어레이 내에서, 상기 제2 칼럼 라인마다 하나의 전극 셀이 선택되도록 상기 메모리의 상태를 변경하는 단계를 포함할 수 있다.

[0032] 일 실시예로, 상기 전극 셀들로부터 신호를 측정하는 단계는, 상기 로우 디코더가 상기 부분 어레이를 순차적으로 선택하는 단계, 선택된 상기 부분 어레이의 상기 제2 칼럼 라인과 연결된 전극 셀로부터 전기 신호를 측정하는 단계, 상기 리드아웃 회로가 수신한 상기 전기 신호를 디지털 신호로 변환하는 단계를 포함할 수 있다.

[0033] 본 발명의 일 실시예는 상술한 방법들 중 어느 하나의 동작 방법을 컴퓨팅 장치를 이용하여 실행시키기 위하여 컴퓨터로 판독 가능한 저장 매체에 저장된 컴퓨터 프로그램을 제공한다.

발명의 효과

[0034] 본 발명의 일 실시예에 따른 다중 전극 시스템은 메모리를 포함하는 능동 전극 셀 및 하나의 채널이 읽어들이는 전극 수를 결정하는 부분 어레이를 가변하는 로우 디코더를 이용하여, 전극 수 대비 채널 수를 감소시킬 수 있다.

[0035] 종래의 다중 전극 시스템이 한 프레임 동안 전체 전극의 최대 3.8 %에 불과한 전극 만을 읽을 수 있었던 것에 비하여, 본 발명의 일 실시예에 따른 다중 전극 시스템은 한 프레임 동안 전체 전극의 12.5 %로부터 50 %에 달하는 전극을 읽을 수 있으며, 신경 세포의 분포, 측정 환경 및 측정 목적에 따라, 부분 어레이의 크기를 변경하여 보다 효율적으로 신호를 획득할 수 있다.

[0036] 본 발명의 기술적 효과들은 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0037] 도 1은 타겟의 생체 조직에 삽입되어 신경세포의 신호를 측정하기 위한 전극 시스템을 설명하기 위한 도면이다.

도 2는 세포 배양 장치에 장착되어 신경세포의 신호를 측정하기 위한 전극 시스템을 설명하기 위한 도면이다.

도 3은 종래의 신경세포의 신호를 측정하기 위한 다중 전극 시스템을 설명하기 위한 도면이다.

도 4a 및 도 4b는 각각 종래 다중 전극 시스템의 전극 수 변화 및 채널 수 변화를 설명하기 위한 그래프이다.

도 5는 본 발명의 일 실시예에 따른 신경세포의 신호 측정을 위한 다중 전극 시스템을 도시하는 도면이다.

도 6a 및 도 6b는 도 5에 도시된 전극 셀을 보다 상세하게 설명하기 위한 도면이다.

도 7a, 도 7b 및 도 7c는 본 발명의 실시예들에 따라, 로우 디코더의 동작 설명하기 위한 도면이다.

도 8a 및 도 8b는 도 7a 및 도 7b에 도시된 로우 디코더의 동작에 따라, 선택되는 부분 어레이를 설명하기 위한 도면이다.

도 9a, 도 9b, 및 도 9c는 본 발명의 실시예들에 따라, 선택된 부분 어레이의 신호를 수신하는 칼럼 디코더의 동작을 설명하기 위한 도면이다.

도 10은 본 발명의 실시예에 따른 다중 전극 시스템의 주사율(Frame rate) 및 샘플링비(Sampling rate)를 설명하기 위한 도면이다.

도 11은 본 발명의 일 실시예에 따른 다중 전극 시스템의 동작 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0038] 본 발명이 여러 가지 수정 및 변형을 허용하면서도, 그 특정 실시예들이 도면들로 예시되어 나타내어지며, 이하에서 상세히 설명될 것이다. 그러나 본 발명을 개시된 특별한 형태로 한정하려는 의도는 아니며, 오히려 본 발명은 청구항들에 의해 정의된 본 발명의 사상과 합치되는 모든 수정, 균등 및 대용을 포함한다.

[0039] 층, 영역 또는 기판과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다.

[0040] 본 발명은 기능적인 블록 구성들 및 다양한 처리 단계들로 나타내어질 수 있다. 이러한 기능 블록들은 특정 기능들을 실행하는 다양한 개수의 하드웨어 또는/및 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 발명은 하나 이상의 마이크로프로세서의 제어 또는 다른 제어 장치에 의해서 다양한 기능들을 실행할 수 있는, 메모리, 프로세싱, 로직(logic), 룩 업 테이블(look-up table) 등과 같은 직접 회로 구성들을 채용할 수 있다. 본 발명에의 구성 요소들이 소프트웨어 프로그래밍 또는 소프트웨어 요소들로 실행될 수 있는 것과 유사하게, 본 발명은 데이터 구조, 프로세스들, 루틴들 또는 다른 프로그래밍 구성들의 조합으로 구현되는 다양한 알고리즘을 포함하여, C, C++, 자바(Java), 어셈블러(assembler) 등과 같은 프로그래밍 또는 스크립팅 언어로 구현될 수 있다.

[0041] 또한, 본 발명은 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다. "부", "요소", "수단", "구성"과 같은 용어는 넓게 사용될 수 있으며, 본 발명의 구성요소들이 기계적이고 물리적인 구성들로서 한정되는 것은 아니다. 상기 용어는 프로세서 등과 연계하여 소프트웨어의 일련의 처리들(routines)의 의미를 포함할 수 있다.

[0042] 비록 제1, 제2 등의 용어가 여러 가지 요소들, 성분들, 영역들, 층들, 단계들 및/또는 지역들을 설명하기 위해 사용될 수 있지만, 이러한 요소들, 성분들, 영역들, 층들, 단계들 및/또는 지역들은 이러한 용어에 의해 한정되어서는 안 된다는 것을 이해할 것이다.

[0043] 이하 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하 도면상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0044] 도 5는 본 발명의 일 실시예에 따른 신경세포의 신호 측정을 위한 다중 전극 시스템(100)을 도시하는 도면이다.

[0045] 도 5를 참조하면, 본 발명의 일 실시예에 따른 다중 전극 시스템(100)은 복수의 전극 셀(111)들을 포함하는 전

극 어레이(110), 복수의 로우 라인(RL)과 연결되는 로우 디코더(120), 복수의 제1 칼럼 라인(CL1)과 연결되는 칼럼 디코더(130), 복수의 제2 칼럼 라인(CL2)과 연결되는 리드아웃 회로(140) 및 제어 장치(150)를 포함한다.

[0046] 전극 어레이(110)는 복수의 제1 칼럼 라인(CL1), 복수의 제2 칼럼 라인(CL2) 및 복수의 로우 라인(RL)과 연결되는 복수의 전극 셀(111)을 포함한다. 각 제1 칼럼 라인(CL1) 및 제2 칼럼 라인(CL2)은 일정 간격으로 이격되어 제1 방향을 따라 배치되고, 각 로우 라인(RL)들은 일정 간격으로 이격되어 상기 제1 방향과 직교하는 제2 방향을 따라 배치된다. 복수의 전극 셀(111)들은 상기 제1 칼럼 라인(CL1), 제2 칼럼 라인(CL2) 및 로우 라인(RL)이 교차하는 지점에 배치된다. 따라서, 복수의 전극 셀(111)들은 상기 제1 방향과 제2 방향을 따라 각각 일정한 간격으로 이격되는 $n \times m$의 매트릭스 구조를 형성할 수 있다.

[0047] 일 실시예에서, 전극 어레이(110)는 전극 셀(111) 내의 메모리(도 6B 참조, M)를 제어하기 위한 리셋 라인(도 6B 참조, Reset)들을 더 포함할 수 있다. 전극 셀(111)들은 적어도 하나의 리셋 라인(Reset)과 연결되어, 메모리(M)를 온 오프 하여 해당 전극 셀(111)의 신호 측정 여부를 결정할 수 있다.

[0048] 전극 어레이(110)는 전극 셀(111)들을 지지하는 기판 상에 형성될 수 있다. 상기 기판은 다중 전극 시스템(100)의 목적에 따라 다양한 물질을 선택하여 적용할 수 있다. 일 실시예로, 다중 전극 시스템(100)이 생체 내(In vivo) 환경에서 신경 세포의 신호를 측정하기 위한 것일 경우, 기판은 체내로 삽입되기에 적절한 강도를 갖는 생체친화도가 높은 물질로 형성될 수 있다. 일 예로, 다중 전극 시스템(100)의 기판은 생체 조직 상에 부착되기 위한 유연 물질을 포함할 수 있다.

[0049] 다른 일 실시예로, 다중 전극 시스템(100)이 생체 외(In vitro) 환경에서 신경 세포의 신호를 측정하기 위한 것일 경우, 기판은 세포독성(cytotoxicity)이 없으며, 전극 셀(111)들을 형성하기에 적합한 다양한 물질을 제한 없이 포함할 수 있다. 일 예로, 다중 전극 시스템(100)은 실리콘 기판 또는 폴리머 기판 상에 형성된 전극 어레이(110)를 포함할 수 있다. 이 때, 기판은 신경 세포 배양 장치의 하부에 배치되어, 신경 세포가 기판에 부착되어 배양될 수 있다.

[0050] 로우 디코더(120)는 전극 어레이(110)의 일 측면에 배치되어, 복수의 로우 라인(RL)과 연결된다. 로우 디코더(120)는 적어도 하나의 로우 라인(RL)을 선택하여, 로우 디코더 신호를 인가한다.

[0051] 로우 디코더(120)는 신호 측정 환경 및 측정 목적에 따라, 부분 어레이(R)를 구성하는 로우 라인(RL)의 수를 변경할 수 있다. 리드아웃 회로(140)는 하나의 샘플링 주기(Sampling Cycle)동안 하나의 부분 어레이(R)를 구성하는 전극 셀(111)들로부터 신경 세포의 신호를 수신한다.

[0052] 일 실시예로, 하나의 부분 어레이(R)가 하나의 로우 라인(RL)을 포함하도록 로우 디코더(120)가 설정되는 경우, 하나의 샘플링 주기 동안 로우 디코더(120)는 제1 로우 라인(RL-1)에 연결된 전극 셀(111)들에 로우 디코더 신호를 인가하고, 리드아웃 회로(140)는 제1 로우 라인(RL-1) 및 제2 칼럼 라인(CL2)에 연결된 전극 셀(111)들로부터 전기 신호를 수신한다. 다음 샘플링 주기 동안 로우 디코더(120)는 제2 로우 라인(RL-2)에 연결된 전극 셀(111)들에 로우 디코더 신호를 인가하고, 리드아웃 회로(140)는 제2 로우 라인(RL-2) 및 제2 칼럼 라인(CL2)에 연결된 전극 셀(111)들로부터 전기 신호를 수신한다. 이와 같이, 로우 디코더(120)는 순차적으로 부분 어레이(R)를 구성하는 적어도 하나의 로우 라인(RL)에 연결된 전극 셀(111)들에 로우 디코더 신호를 인가한다.

[0053] 다른 일 실시예로, 하나의 부분 어레이(R)가 도시된 바와 같이, 4개의 로우 라인(RL)들을 포함하도록 로우 디코더(120)가 설정되는 경우, 하나의 샘플링 주기 동안 로우 디코더(120)는 제1 부분 어레이(R-1)가 포함하는 제1 내지 제4 로우 라인(RL-1 내지 RL-4)에 연결된 전극 셀(111)들에 로우 디코더 신호를 인가한다. 이 때, 제1 부분 어레이(R-1) 내에서, 제2 칼럼 라인(CL2)마다 하나의 전극 셀(111)이 선택될 수 있다. 예를 들어, 리드아웃 회로(140)는 제1 부분 어레이(R-1)의 제2-1 칼럼 라인(CL2-1)과 연결되는 전극 셀(111)들 중 제4 로우 라인(RL-4)에 연결되는 전극 셀(111)의 값을 수신하고, 제2-3 칼럼 라인(CL2-3)과 연결되는 전극 셀(111)들 중 제3 로우 라인(RL-3)에 연결되는 전극 셀(111)의 값을 수신할 수 있다. 전극 셀(111)은 신경 세포의 분포에 의하여 측정 여부가 선택된 것일 수 있다.

[0054] 칼럼 디코더(130)는 전극 어레이(110)의 다른 일 측면에 배치될 수 있다. 칼럼 디코더(130)는 제1 칼럼 라인(CL1)들과 연결될 수 있다. 칼럼 디코더(130)는 제1 칼럼 라인(CL1)을 선택하고, 선택된 제1 칼럼 라인(CL1)에 칼럼 디코더 신호를 인가할 수 있다. 로우 디코더(120) 및 칼럼 디코더(130)이 각각 선택한 로우 라인(RL) 및 제1 칼럼 라인(CL1)과 연결된 전극 셀(111)은 로우 디코더 신호 및 칼럼 디코더 신호를 기초로 메모리(M)의 상태를 변경할 수 있다.

[0055] 리드아웃 회로(140)는 하나의 샘플링 주기 동안 각각 하나의 제2 칼럼 라인(CL2)과 연결되어, 메모리(M)가 온(ON) 상태인 전극 셀(111)들의 신호를 측정할 수 있다. 리드아웃 회로(140)는 제2 칼럼 라인(CL)의 수와 같은 수의 아날로그 프론트 엔드를 포함할 수 있다. 아날로그 프론트 엔드는 신경 세포의 신호를 증폭하고 정류할 수 있다. 일 실시예로, 리드아웃 회로(140)는 각 아날로그 프론트 엔드에 연결되는 복수의 아날로그 디지털 변환기들을 포함할 수 있다. 일 실시예로, 리드아웃 회로(140)는 각 아날로그 프론트 엔드로부터 신호를 취합하여 하나의 아날로그 디지털 변환기로 전달하는 아날로그 멀티플렉서를 더 포함할 수 있다. 일 예로, 전극 어레이(110)가 n 개의 로우 라인(RL)과 m 개의 제2 칼럼 라인(CL2)으로 이루어진 $n \times m$ 매트릭스를 형성할 때, 칼럼 디코더(130)의 아날로그 프론트 엔드의 수는 m개일 수 있다.

[0056] 일 실시예로, 상기 전극 어레이(110), 로우 디코더(120), 칼럼 디코더(130) 및 리드아웃 회로(140)는 동일한 기판 상에 형성될 수 있다. 다른 일 실시예로, 상기 전극 어레이(110), 로우 디코더(120), 칼럼 디코더(130) 및 리드아웃 회로(140)는 서로 다른 기판 상에 형성되어 와이어 연결을 통하여 전기적으로 연결되는 것일 수 있다.

[0057] 제어 장치(150)는 전극 어레이(110), 로우 디코더(120) 및 칼럼 디코더(130)를 제어하기 위한 제어 신호를 인가하고, 리드아웃 회로(140)가 측정한 신경 세포의 신호를 저장하거나 사용자에게 디스플레이하기 위한 장치일 수 있다.

[0058] 제어 장치(150)는 다중 전극 시스템(100) 전반의 동작을 위한 다양한 데이터를 저장하는 메모리와, 다중 전극 시스템(100) 전반의 동작을 제어하는 프로세서를 포함할 수 있다. 메모리는 다중 전극 시스템(100)에서 구동되는 응용 프로그램, 어플리케이션, 동작을 위한 데이터들, 명령어들 및 측정된 신호 등을 저장할 수 있다. 메모리는 프로세서에 포함된 롬(ROM), 램(RAM) 등의 내부 메모리로 구현되거나, 프로세서와 별도의 메모리로 구현될 수 있다.

[0059] 프로세서는 다중 전극 시스템(100)의 메모리에 저장된 각종 프로그램, 어플리케이션, 동작을 위한 데이터들, 명령어들 등을 이용하여 다중 전극 시스템(100)의 전반적인 동작을 제어한다. 디지털 신호를 처리하는 디지털 시그널 프로세서(Digital Signal Processor(DSP), 마이크로프로세서(Microprocessor), TCON(Time Controller)으로 구현될 수 있다. 다만, 이에 한정되는 것은 아니며, 중앙처리장치(Central Processing Unit(CPU)), MCU(Micro Controller Unit), MPU(Micro Processing Unit), 컨트롤러(Controller), 어플리케이션 프로세서(Application Processor(AP)), 또는 커뮤니케이션 프로세서(Communication Processor(CP)), ARM 프로세서 중 하나 또는 그 이상을 포함하거나, 해당 용어로 정의될 수 있다. 또한, 프로세서는 프로세싱 알고리즘이 내장된 SoC(System on Chip), LSI(Large Scale Integration)로 구현될 수도 있고, FPGA(Field Programmable Gate Array) 형태로 구현될 수도 있다.

[0060] 다중 전극 시스템(100)은 도면에는 도시되지 않았으나, 통신 장치를 더 포함할 수 있다. 통신 장치는 사용자의 입력 신호를 제어 장치(150)로 전달하고, 제어 장치(150)가 획득한 신호 데이터를 사용자에게 디스플레이 하기 위한 장치로 전송할 수 있다.

[0061] 통신 장치는 다양한 유형의 통신 방식에 따라 다양한 유형의 외부 장치와 통신을 수행하기 위한 구성일 수 있다. 일 실시예로, 통신 장치는 무선 통신 장치일 수 있다. 여기서 무선 통신 장치는 와이파이 칩, 블루투스 칩, NFC 칩, 무선 통신 칩을 포함하는 장치일 수 있다. 여기서 무선 통신 칩은 IEEE, Zigbee, 3G(3rd Generation), 3GPP(3rd Generation Partnership Project), LTE(Long Term Evolution) 등과 같은 다양한 통신 규격에 따라 통신을 수행하는 칩을 의미한다. NFC 칩은 135kHz, 13.56MHz, 433MHz, 860~960MHz, 2.45GHz 등과 같은 다양한 RF-ID 주파수 대역들 중에서 13.56MHz 대역을 사용하는 NFC(Near Field Communication) 방식으로 동작하는 칩을 의미할 수 있다.

[0062] 다른 일 실시예로, 통신 장치는 유선 통신 장치일 수 있다. 또한, 통신 장치는 명령어 또는 사용자의 지시 등을 전달받기 위한 키보드, 마우스, 터치 스크린 등의 외부 입력 장치와, 제어 장치(150)의 데이터 처리 결과를 사용자에게 제공하기 위한 디스플레이 장치, 인쇄 장치 등의 외부 출력 장치를 포함할 수 있다.

[0063] 도 6a 및 도 6b는 도 5에 도시된 전극 셀을 보다 상세하게 설명하기 위한 도면이다.

[0064] 도 6a를 참조하면, 본 발명의 일 실시예에 따른 전극 어레이(110)를 구성하는 하나의 전극 셀(111)은 타겟 신경 세포의 전기적 신호를 측정하는 측정 전극(E), 로우 라인(RL), 제1 칼럼 라인(CL1) 및 제2 칼럼 라인(CL2)과 전기적으로 연결되며, 측정 전극(E)과 제2 칼럼 라인(CL2)의 전기적 연결을 제어하는 메모리(M)를 포함한다.

[0065] 메모리(M)는 온(On) 상태에서 측정 전극(E)과 제2 칼럼 라인(CL2)을 전기적으로 연결하고, 오프(Off) 상태에서

전기적으로 단락할 수 있다. 일 실시예로, 메모리(M)는 측정 전극(E)과 제2 칼럼 라인(CL2)의 연결을 제어하는 스위치에 부착되어, 스위치의 동작을 제어할 수 있다. 일 실시예로, 메모리(M)는 스위치와 일체로 제작되거나, 저장된 데이터에 따라 전기적 특성이 바뀌어 일종의 스위치와 같이 동작하는 소자일 수 있다. 일 실시예로, 메모리(M)는 D형 플립플롭(Flip Flop) 메모리일 수 있다.

[0066] 메모리(M)는 로우 라인(RL) 및 제1 칼럼 라인(CL1)과 연결되어, 로우 디코더 신호 및 칼럼 디코더 신호를 기초로 메모리(M)의 온 또는 오프 상태를 결정할 수 있다.

[0067] 측정 전극(E)은 타겟 신경 세포와 인접하여 타겟 신경 세포의 전기적 신호를 읽을 수 있다. 측정 전극(E)는 타겟 신경 세포의 전기적 신호를 읽기에 적합한 공지된 다양한 형상을 제한 없이 적용할 수 있다. 측정 전극(E)은 타겟 신경 세포(T)의 전기적 신호를 수신할 수 있을 뿐 아니라, 일 실시예에서, 타겟 신경 세포(T)에 전기적 자극을 인가할 수 있다.

[0068] 도 6b를 참조하면, 전극 셀(111)은 로우 라인(RL) 및 칼럼 라인(CL)과 연결되어, 메모리(M)의 일 단자로 신호를 출력하는 제1 게이트(G1)와, 로우 라인(RL) 및 메모리(M)와 연결되어 타겟 신경 세포(T)의 신호 측정 여부를 결정하는 제2 게이트(G2)로 나타낼 수 있다. 일 실시예에서, 메모리(M)는 로우 디코더(120) 및 칼럼 디코더(130)의 값이 1이고, 리셋 라인(Reset)의 값이 0일 때, 0을 출력하고, 이 때, 제2 게이트(G2)는 메모리(M)로부터 0을 입력받고, 로우 라인(RL)로부터 1을 입력받은 0을 출력할 수 있다. 따라서, 타겟 신경 세포(T)의 신호는 측정되지 않는다. 반면, 로우 라인(RL), 칼럼 라인(CL) 및 리셋 라인(Reset)의 값이 1일 때, 메모리(M)는 1을 출력하여 제2 게이트(G2)의 출력 값 역시 1이 될 수 있다. 따라서, 전극 셀(111)은 타겟 신경 세포(T)의 신호를 측정할 수 있다.

[0069] 도 7a, 도 7b 및 도 7c는 본 발명의 실시예들에 따라, 로우 디코더의 동작 설명하기 위한 도면이다.

[0070] 도 7a를 참조하면, 로우 디코더(120)는 복수의 비트 라인(D0, D1, D2)들을 포함할 수 있다. 로우 디코더(120)의 비트 수는 측정 목표 및 측정 환경을 고려하여, 다르게 설정될 수 있다. 즉, 로우 디코더(120)의 비트 라인에 인가되는 신호를 달리하여, 부분 어레이(R)의 크기를 다르게 설정할 수 있다.

[0071] 일 실시예에서 로우 디코더(120)가 3-bit 디코더로 구성되는 경우, 로우 디코더(120)는 D0, D0b, D1, D1b, D2, 및 D2b인 6개의 비트 라인들을 포함할 수 있다. 로우 디코더(120)가 8개의 로우 라인들과 연결되고, 로우 디코더(120)가 3-bit을 전부 사용하는 경우, 부분 어레이(R)은 각각 하나의 로우 라인과 연결되어 그 값을 읽어들이게 된다.

[0072] 도 7b를 참조하면, 로우 디코더(120)가 2-bit만을 사용하기 위하여, D0 및 D0b 라인에 값 1을 인가하는 경우, 하나의 부분 어레이(R)는 두 개의 로우 라인들을 포함할 수 있다. 즉, 제1 부분 어레이(R-1)는 제1 로우 라인 및 제2 로우 라인을 포함하고, 제 2 칼럼 라인(CL2)을 통해 선택된 전극 셀(111)들의 측정 값을 수신할 수 있다.

[0073] 도 7c를 참조하면, 로우 디코더(120)가 1-bit만을 사용하기 위하여, D0, D0b, D1, D1b 라인에 값 1을 인가하는 경우, 하나의 부분 어레이(R)는 4개의 로우 라인들을 포함할 수 있다. 이 때, 제1 부분 어레이(R-1)는 제1 로우 라인, 제2 로우 라인, 제3 로우 라인 및 제4 로우 라인을 포함하고, 제 2 칼럼 라인(CL2)을 통해 선택된 전극 셀(111)들의 측정 값을 수신할 수 있다.

[0074] 도 8a 및 도 8b는 도 7a 및 도 7b에 도시된 로우 디코더의 동작에 따라, 선택되는 부분 어레이를 설명하기 위한 도면이다.

[0075] 도 8a를 참조하면, 로우 디코더(120)는 D0, D0b, D1, D1b, D2, 및 D2b인 6개의 비트 라인들을 전부 이용하여, 3-bit 디코더로 동작할 수 있다. 로우 디코더(120)의 값이 $000_{(2)}$일 때, 로우 디코더(120)는 제1 부분 어레이(R-1)를 선택하고, 제1 부분 어레이(R-1)가 포함하는 제1 로우 라인(RL-1)과 연결되는 선택된 전극 셀(111)들의 측정 값을 획득할 수 있다. 로우 디코더(120)의 값이 $010_{(2)}$일 때, 로우 디코더(120)는 제3 부분 어레이(R-3)를 선택하고, 제3 부분 어레이(R-3)가 포함하는 제3 로우 라인(RL-3)과 연결되는 선택된 전극 셀(111)들의 측정 값을 획득한다. 따라서, 로우 디코더(120)는 각각의 로우 라인 단위로 신호 측정을 수행할 수 있다.

[0076] 도 8b를 참조하면, 로우 디코더(120)는 D0 및 D0b에 값 1을 인가하고, D1, D1b, D2, 및 D2b인 4 개의 비트 라인들을 이용하여, 2-bit 디코더로 동작할 수 있다. 로우 디코더(120)의 값이 $00_{(2)}$일 때, 로우 디코더(120)는 제1 부분 어레이(R-1)를 선택하고, 제1 부분 어레이(R-1)가 포함하는 제1 로우 라인(RL-1) 및 제2 로우 라인(RL-

2)와 연결되는 선택된 전극 셀(111)들의 측정 값을 획득할 수 있다. 로우 디코더(120)의 값이 $10_{(2)}$일 때, 로우 디코더(120)는 제3 부분 어레이(R-3)를 선택하고, 제3 부분 어레이(R-3)가 포함하는 제5 로우 라인(RL-5) 및 제6 로우 라인(RL-6)와 연결되는 선택된 전극 셀(111)들의 측정 값을 획득할 수 있다.

[0077] 다른 일 실시예로, 로우 디코더(120)는 더 많은 수의 비트로 구성될 수 있다. 일 예로, 로우 디코더(120)가 6-bit 디코더이고, 전극 어레이(110)를 구성하는 로우 라인(RL)의 수가 64개일 때, 가능한 부분 어레이 조합은 1개의 로우 라인(RL)을 포함하는 경우, 2개의 로우 라인(RL)을 포함하는 경우, 4개의 로우 라인(RL)을 포함하는 경우, 8개의 로우 라인(RL)을 포함하는 경우, 16개의 로우 라인(RL)을 포함하는 경우, 및 32개의 로우 라인(RL)을 포함하는 경우의 6가지 조합을 가질 수 있다.

[0078] 도 9a, 도 9b, 및 도 9c는 본 발명의 실시예들에 따라, 선택된 부분 어레이의 신호를 수신하는 리드아웃 회로의 동작을 설명하기 위한 도면이다.

[0079] 도 9a를 참조하면, 본 발명의 일 실시예에 따른 전극 어레이(110)는 64개의 로우 라인(RL)들과, 4개의 칼럼 라인(CL)들을 포함할 수 있다. 일 실시예로, 전극 셀(111)은 전극 어레이(110)를 구성하는 모든 전극 셀(111)들 각각에 대하여 전기 신호를 측정하는 사전 측정(Pre-learning)을 통하여 일정한 전기적 특성을 갖을 때, 선택될 수 있다. 일 실시예에서, 부분 어레이(R)가 하나의 로우 라인(RL)을 포함할 때, 선택되는 전극 셀(111)은 로우 라인(RL)단위로 선택되거나, 선택되지 않을 수 있다.

[0080] 로우 디코더(120)는 하나의 샘플링 주기 동안 하나의 부분 어레이(R)를 선택하고, 선택된 부분 어레이(R)를 구성하는 선택된 전극 셀(111)들의 측정 신호를 제2 칼럼 라인(CL2)을 통하여 리드아웃 회로(140)로 전달된다. 리드아웃 회로(140)는 아날로그 프론트 엔드를 이용하여 측정된 전기 신호를 디지털 신호로 변환하여 제어 장치(150)로 전달할 수 있다.

[0081] 로우 디코더(120)는 부분 어레이(R)들을 순차적으로 선택할 수 있다. 이 때, 제4 로우 라인(RL-4)에 선택된 전극 셀(111)이 하나도 없으므로, 제4 부분 어레이(R-4)는 제4 로우 라인(RL-4)을 건너 띄고, 제5 로우 라인(RL-5)을 포함할 수 있다. 따라서, 필요 없는 전극 셀(111)들의 값을 측정하지 않으므로, 전체 전극 어레이(110)를 보다 빠르게 측정 가능하다.

[0082] 도 9b를 참조하면, 로우 디코더(120)는 하나의 부분 어레이(R)가 2 개의 로우 라인(RL)들을 포함하도록 설정될 수 있다. 하나의 부분 어레이(R)가 2 개의 로우 라인(RL)들을 포함할 때, 하나의 부분 어레이(R)는 하나의 제2 칼럼 라인(CL) 마다 두 개의 전극 셀(111)이 연결된다. 이 때, 하나의 제2 칼럼 라인(CL2)에 연결되는 두 개의 전극 셀(111)들 중 선택된 하나의 전극 셀만이 메모리(M)가 온 되고, 선택되지 않은 다른 전극 셀은 메모리(M)가 오프 될 수 있다.

[0083] 제1 로우 라인(RL-1) 및 제2 로우 라인(RL-2)에서는 선택된 전극 셀(111)이 없으므로, 제1 부분 어레이(R-1)은 제3 로우 라인(RL-3) 및 제4 로우 라인(RL-4)을 포함할 수 있다. 일 예로, 제1 부분 어레이(R-1)의 첫번째 제2 칼럼 라인(CL2-1)에서는 제4 로우 라인(RL-4)과 연결되는 전극 셀이 선택되고, 두번째 제2 칼럼 라인(CL2-2)에서는 제3 로우 라인(RL-3)과 연결되는 전극 셀이 선택되고, 세번째 제2 칼럼 라인(CL2-3)에서는 제3 로우 라인(RL-3)과 연결되는 전극 셀이 선택되고, 네번째 제2 칼럼 라인(CL2-4)에서는 제4 로우 라인(RL-4)과 연결되는 전극 셀이 선택되어, 각 제2 칼럼 라인(CL2)마다 하나의 전극 셀이 선택되고, 측정될 수 있다.

[0084] 도 9c를 참조하면, 로우 디코더(120)는 하나의 부분 어레이(R)가 4개의 로우 라인(RL)들을 포함하도록 설정될 수 있다. 하나의 부분 어레이(R)가 4 개의 로우 라인(RL)들을 포함할 때, 하나의 부분 어레이(R)는 하나의 제2 칼럼 라인(CL2) 마다 4개의 전극 셀(111)들이 연결된다. 이 때, 하나의 제2 칼럼 라인(CL2)에 연결되는 4 개의 전극 셀(111)들 중 하나의 전극 셀만이 선택되어, 선택된 전극 셀의 메모리(M)는 온 상태 이고, 나머지 전극 셀의 메모리(M)는 오프 상태일 수 있다.

[0085] 일 예로, 제1 부분 어레이(R-1)의 첫번째 제2 칼럼 라인(CL2-1)에서는 제1 로우 라인(RL-1)과 연결되는 전극 셀이 선택되고, 두번째 제2 칼럼 라인(CL2-2)에서는 제2 로우 라인(RL-2)과 연결되는 전극 셀이 선택되고, 세번째 제2 칼럼 라인(CL2-3)에서는 제3 로우 라인(RL-3)과 연결되는 전극 셀이 선택되고, 네번째 제2 칼럼 라인(CL2-4)에서는 제3 로우 라인(RL-3)과 연결되는 전극 셀이 선택되어, 각 제2 칼럼 라인(CL2) 당 하나의 전극 셀이 선택되고, 측정될 수 있다.

[0086] 도 10은 본 발명의 실시예에 따른 다중 전극 시스템의 주사율 및 샘플링비(sampling rate)를 설명하기 위한 도면이다.

[0087] 도 10을 참조하면, 일 프레임(Frame)은, 하나의 전극 셀(111)이 선택되어 측정된 후 다시 측정될 때까지의 시간을 의미한다. 일반적으로 신경 세포의 전기 신호의 진동수(Frequency)는 500 Hz 내지 5 kHz로 알려져 있으며, 샘플링 정리(Sampling Theorem)에 따라, 이를 측정하기 위한 아날로그 프론트 엔드는 2 배 이상의 대역폭(Bandwidth)을 요구한다. 따라서, 본 발명의 일 실시예에서, 각 전극의 주사율(Frame rate)는 20 kHz일 수 있다. 하나의 아날로그 프론트 엔드가 8개의 전극과 연결되는 경우, 각 전극의 주사율을 20 kHz로 유지하기 위하여, 샘플링 레이트는 160 kHz가 될 수 있다.

[0088] 이러한 경우, 종래의 다중 전극 시스템의 경우, 1 프레임 당 전체 전극 어레이를 구성하는 전극 셀들 중 불과 4 % 내외의 전극 셀들만을 읽을 수 있었던 것에 비하여, 본 발명의 일 실시예에 따른 다중 전극 시스템은 1 프레임 당 12.5 % 내지 50 %에 이르는 전극 셀들을 선택적으로 측정할 수 있다.

[0089] 또한, 종래의 다중 전극 시스템의 전극 어레이가 대면적화될수록 채널 수가 비례하여 증가한 반면, 본 발명의 일 실시예에 따른 다중 전극 시스템은 전극 어레이의 대면적화에도 불구하고, 채널 수를 감소시켜 시스템을 소형화하고, 면적을 효율적으로 활용할 수 있다.

[0090] 도 11은 본 발명의 일 실시예에 따른 다중 전극 시스템의 동작 방법을 설명하기 위한 도면이다.

[0091] 도 11을 참조하면, 본 발명의 일 실시예에 따른 다중 전극 시스템의 동작 방법은, 전극 어레이를 복수의 부분 어레이들로 분할하는 단계(S11), 신호 측정을 수행하는 복수의 전극 셀을 선택하는 단계(S12), 및 부분 어레이들을 순차적으로 선택하여 신호를 측정하는 단계(S13)를 포함한다.

[0092] 먼저, 전극 어레이를 복수의 부분 어레이들로 분할하는 단계(S11)에서, 다중 전극 시스템의 로우 디코더는 제어 장치로부터 제어 신호를 인가받아, 측정 목적 및 측정 환경에 따라 부분 어레이를 구성하는 로우 라인의 수를 결정한다. 일 실시예로, 부분 어레이의 크기는 신경 세포의 밀도, 위치, 다중 전극 시스템의 해상도 및 주사율을 고려하여 그 크기가 선택될 수 있다.

[0093] 복수의 전극 셀들을 선택하는 단계(S12)에서, 다중 전극 시스템은 하나의 부분 어레이를 구성하는 제2 칼럼 라인마다 하나의 전극 셀이 선택되도록, 복수의 전극 셀들을 선택할 수 있다. 일 실시예에서, 광학적 측정을 통하여, 측정 타겟 신경 세포와 인접한 전극 셀들을 선택할 수 있다. 다른 일 실시예에서, 다중 전극 시스템은 전극 어레이를 구성하는 모든 전극 셀들 각각에 대하여 전기 신호를 측정하고, 측정된 전기 신호를 기초로 전극 셀들을 선택할 수 있다.

[0094] 다중 전극 시스템은 선택된 전극 셀들의 메모리에 값을 기록하여, 선택된 전극 셀들의 값 만을 측정하도록 할 수 있다. 즉, 선택된 전극 셀들에 칼럼 디코더 신호, 로우 디코더 신호 및 리셋 신호를 인가하여, 선택된 전극 셀들의 메모리 값을 1로 변경할 수 있다.

[0095] 부분 어레이들을 순차적으로 선택하여 신호를 측정하는 단계(S13)에서, 로우 디코더는 부분 어레이를 순차적으로 선택하고, 리드아웃 회로가 부분 어레이의 각 제2 칼럼 라인과 연결된 선택된 전극 셀로부터 전기 신호를 측정할 수 있다. 칼럼 디코더는 각 칼럼 라인과 연결된 칼럼 채널이 수신한 전기 신호를 디지털 신호로 변환하여, 제어 장치로 전송할 수 있다.

[0096] 한편, 본 실시예와 관련된 기술 분야에서 통상의 지식을 가진 자는 상기된 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 방법들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

[0097] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(Arithmetic Logic Unit), 디지털 신호 프로세서(Digital Signal Processor), 마이크로컴퓨터, FPGA(Field Programmable Gate Array), PLU(Programmable Logic Unit), 마이크로프로세서, 또는 명령(Instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 어플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(Processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의

프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(Parallel processor)와 같은, 다른 처리 구성(Processing configuration)도 가능하다.

[0098] 소프트웨어는 컴퓨터 프로그램(Computer program), 코드(Code), 명령(Instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(Collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(Component), 물리적 장치, 가상 장치(Virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(Signal wave)에 영구적으로, 또는 일시적으로 구체화(Embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0099] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic media), CD-ROM, DVD와 같은 광기록 매체(Optical media), 플롭티컬 디스크(Floptical disk)와 같은 자기-광 매체(Magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0100] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0101] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0102] 100: 다중 전극 시스템

110: 전극 어레이

111: 전극 셀

120: 로우 디코더

130: 칼럼 디코더

140: 리드아웃 회로

150 : 제어 장치

RL : 로우 라인

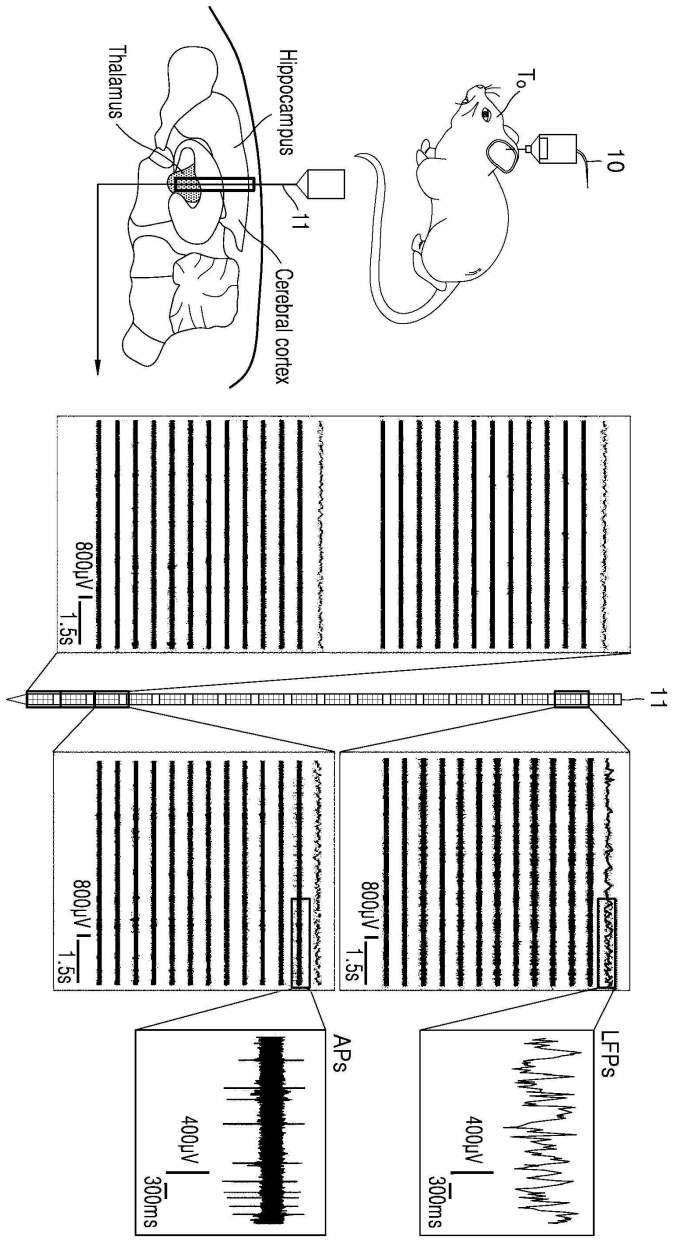
CL1 : 제1 칼럼 라인

CL2 : 제2 칼럼 라인

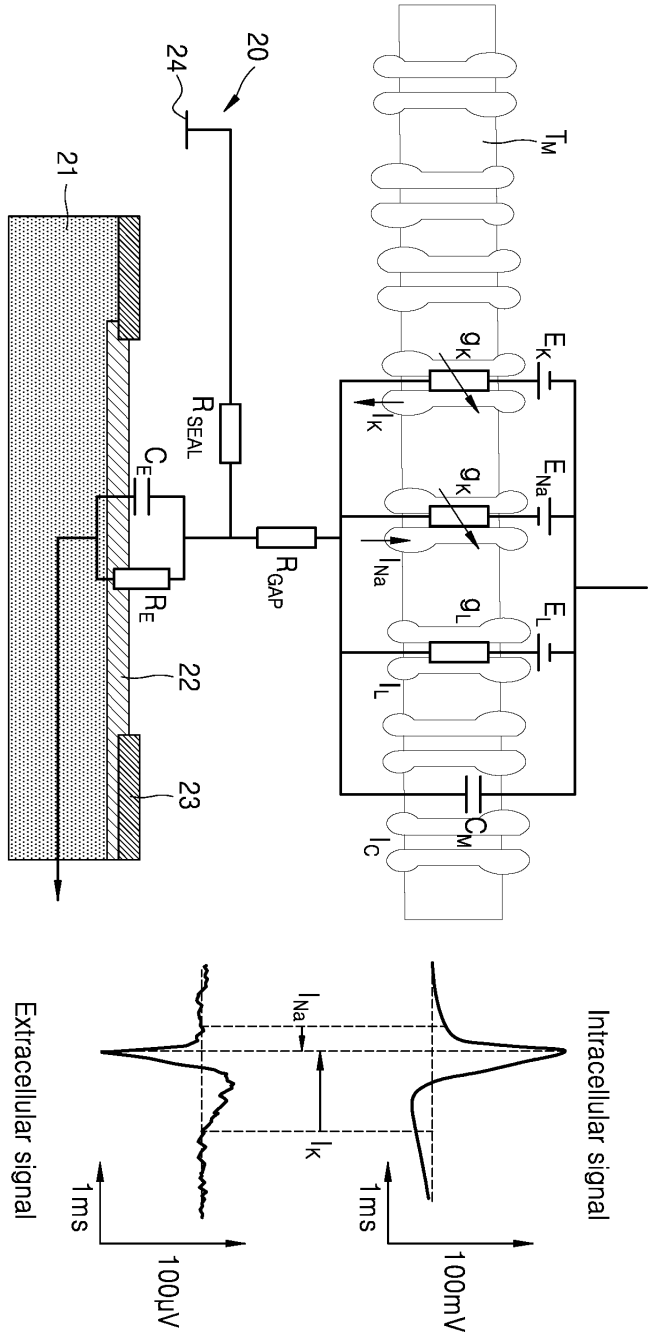
R : 부분 어레이

도면

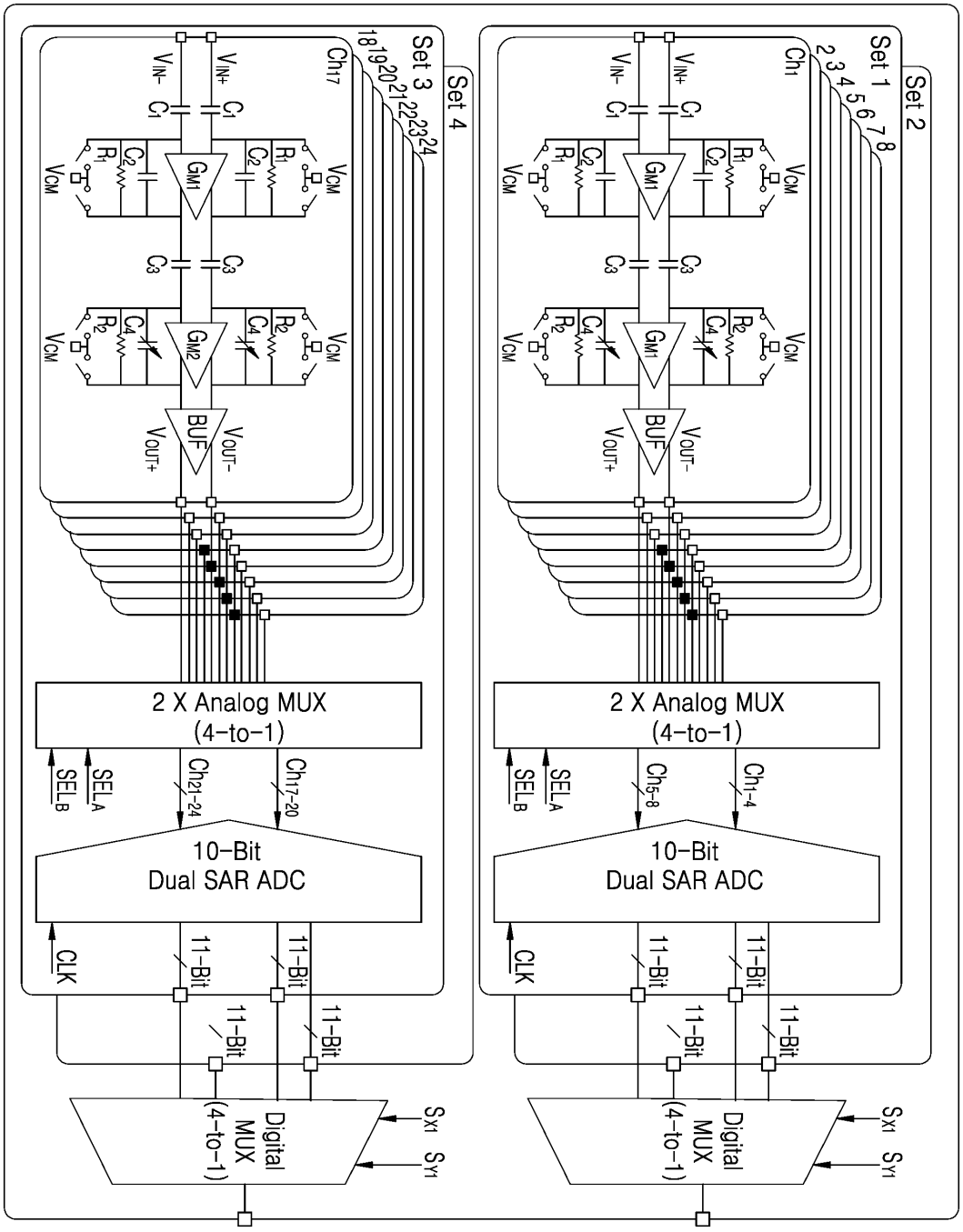
도면1


Thalamus
Hippocampus
11
Cerebral cortex
To
10
800μV
1.5s
11
800μV
1.5s
800μV
1.5s
APs
400μV
300ms
LFPs
400μV
300ms

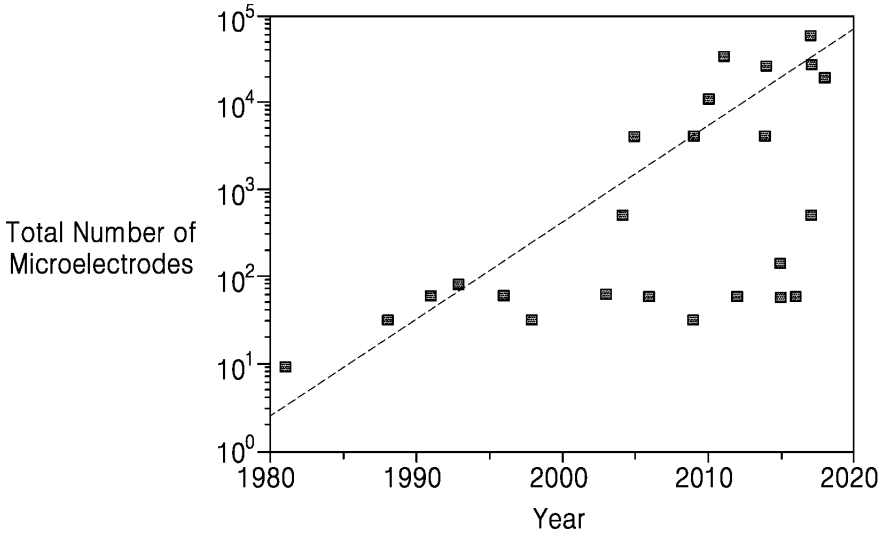
도면2


20
24
21
T_M
g_K
E_K
I_K
R_{SEAL}
C_E
g_K
E_{Na}
I_{Na}
R_{GAP}
g_L
E_L
R_E
I_L
22
23
C_M
I_C
Extracellular signal
I_{Na}
I_K
1ms
100μV
Intracellular signal
1ms
100mV

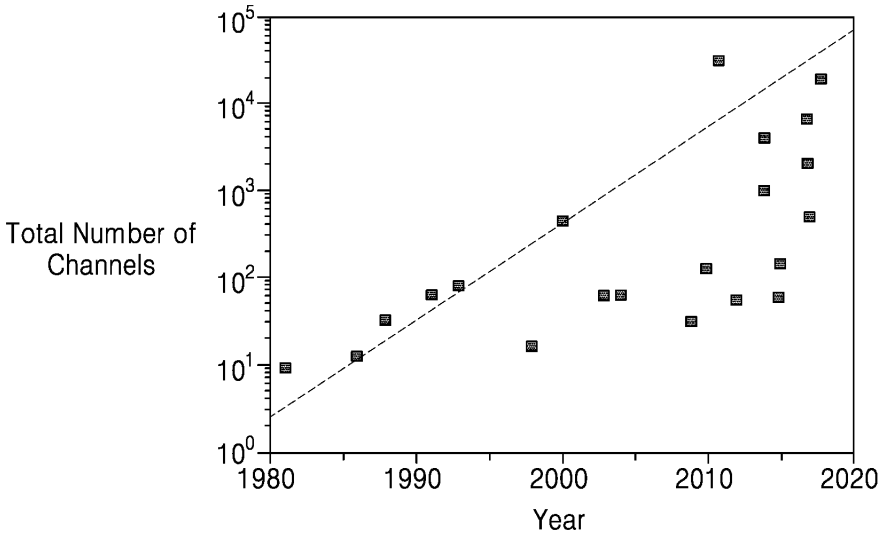
도면3


Set 1
Set 2
Set 3
Set 4
Ch1
Ch17
VIN+
VIN-
C1
R1
C2
GM1
C3
R2
C4
GM2
VCM
BUF
VOUT+
VOUT-
2 X Analog MUX
(4-to-1)
SELA
SELB
Ch1~4
Ch5~8
Ch17~20
Ch21~24
10-Bit
Dual SAR ADC
CLK
11-Bit
Digital
MUX
(4-to-1)
SX1
SY1

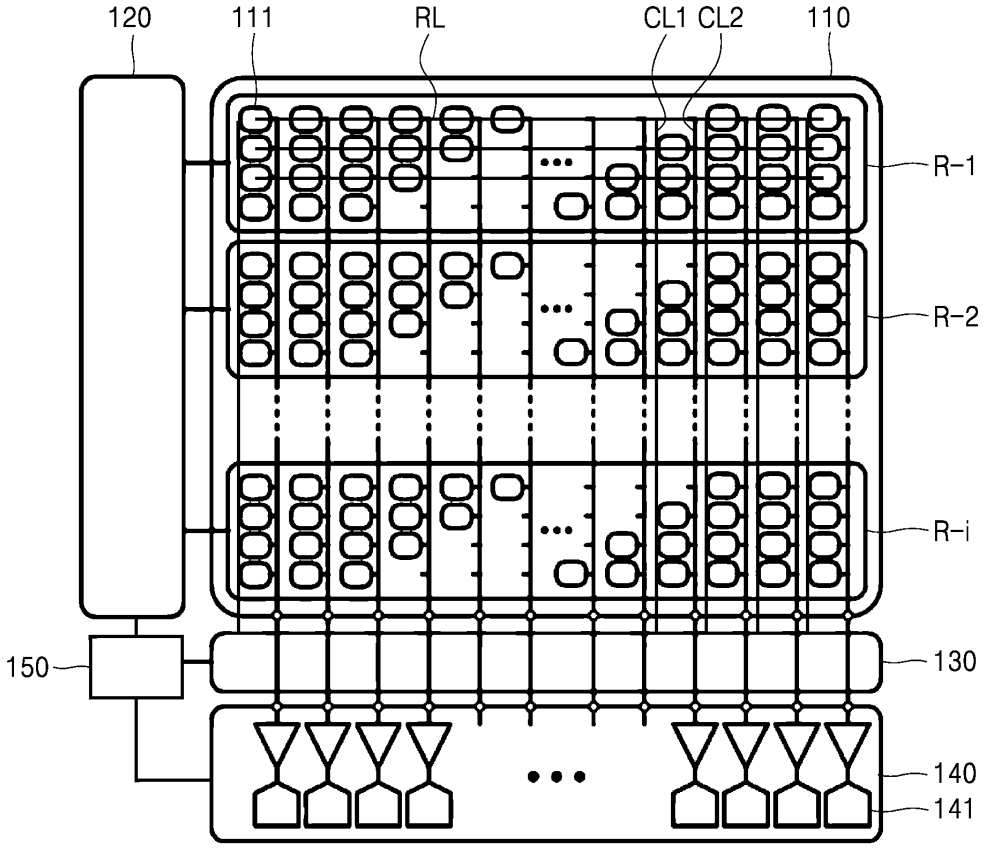
도면4a


Total Number of Microelectrodes
10^5
10^4
10^3
10^2
10^1
10^0
1980
1990
2000
2010
2020
Year

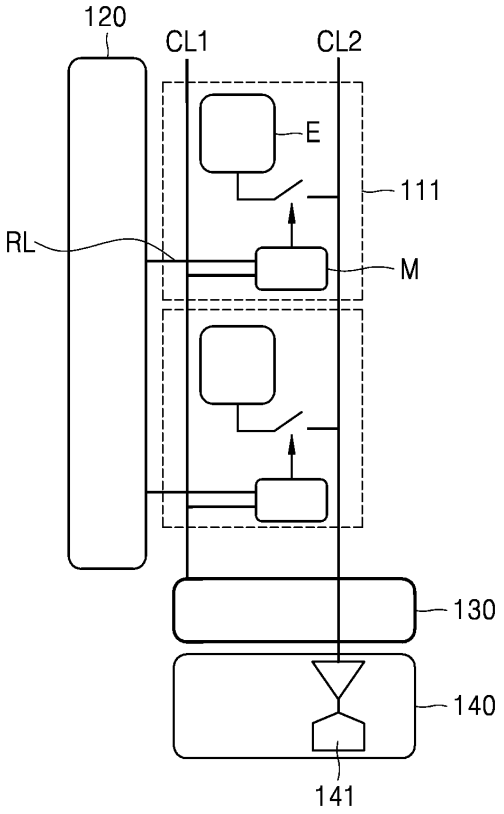
도면4b


Total Number of Channels
10^5
10^4
10^3
10^2
10^1
10^0
1980
1990
2000
2010
2020
Year

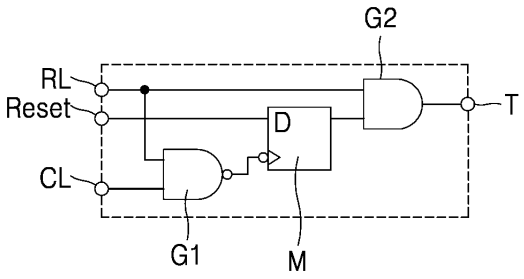
도면5



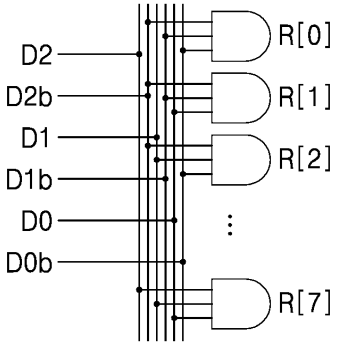
도면6a



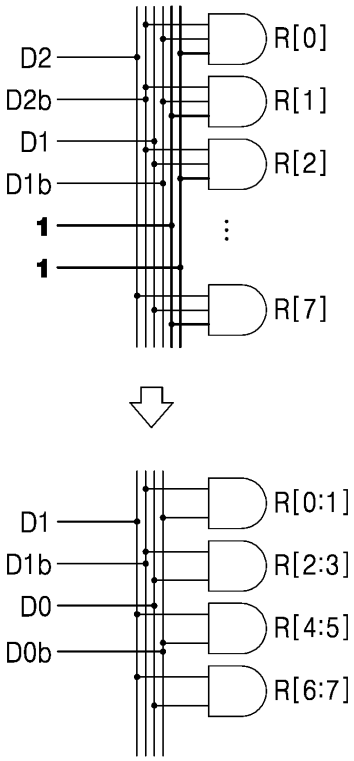
도면6b



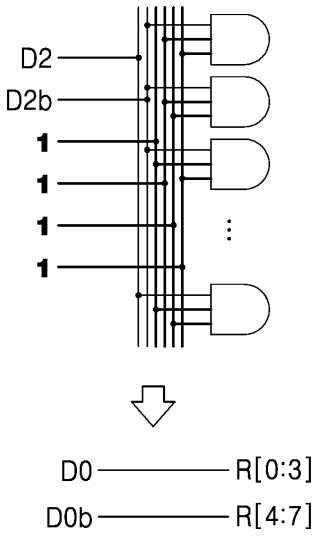
도면7a



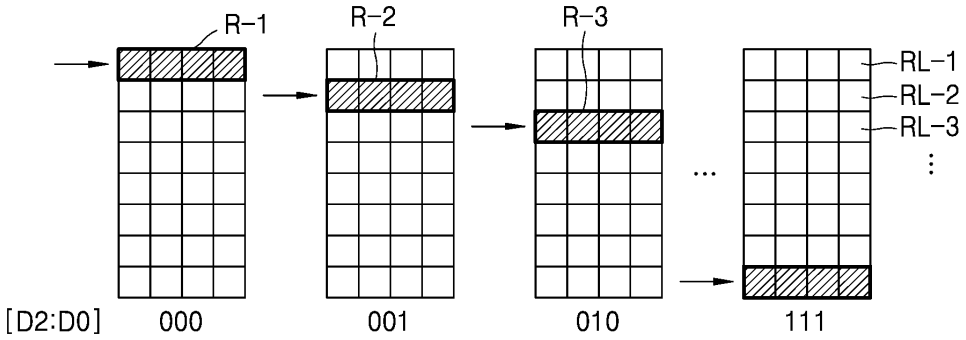
도면7b


D2
D2b
D1
D1b
1
1
R[0]
R[1]
R[2]
R[7]
D1
D1b
D0
D0b
R[0:1]
R[2:3]
R[4:5]
R[6:7]

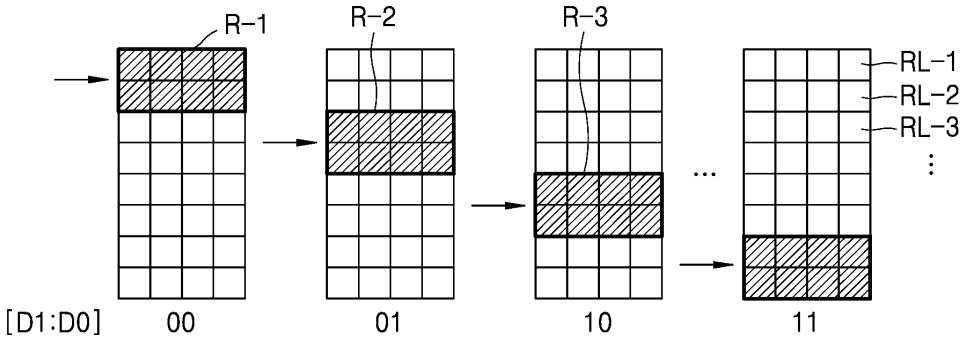
도면7c


D2
D2b
1
1
1
1
D0
D0b
R[0:3]
R[4:7]

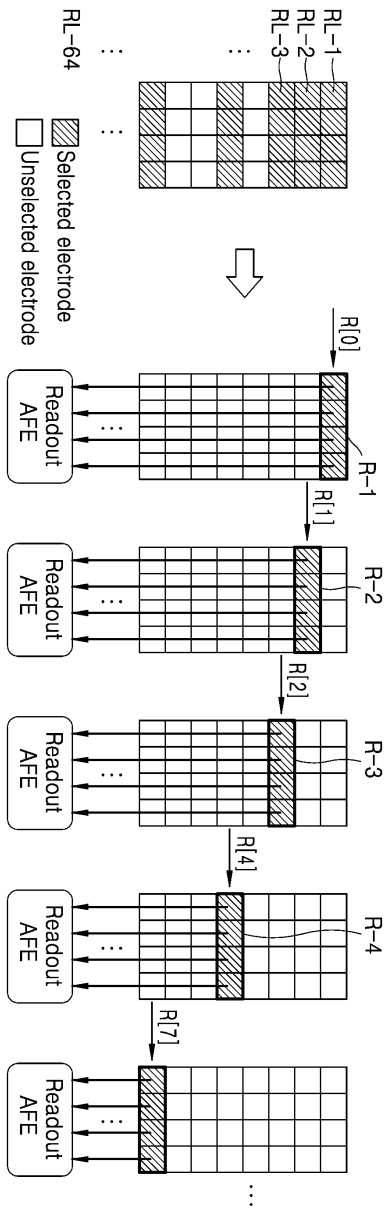
도면8a


R-1
R-2
R-3
RL-1
RL-2
RL-3
[D2:D0]
000
001
010
111

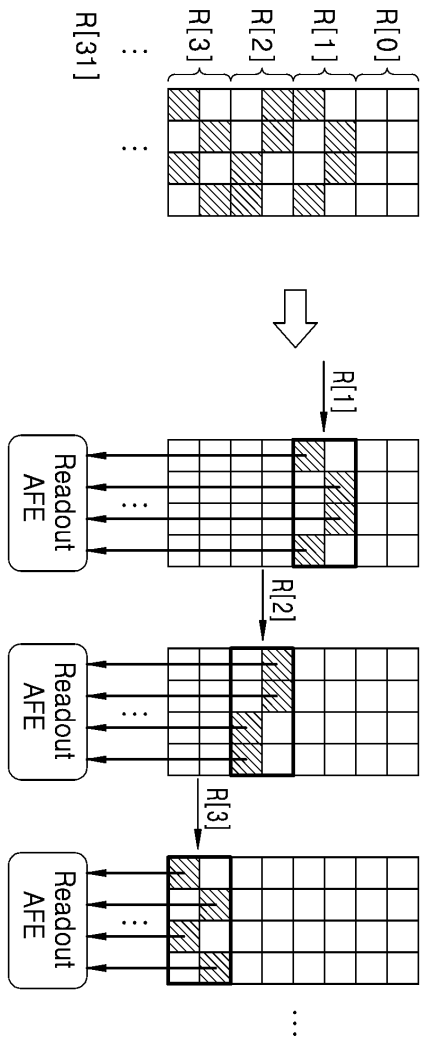
도면8b


R-1
R-2
R-3
RL-1
RL-2
RL-3
[D1:D0]
00
01
10
11

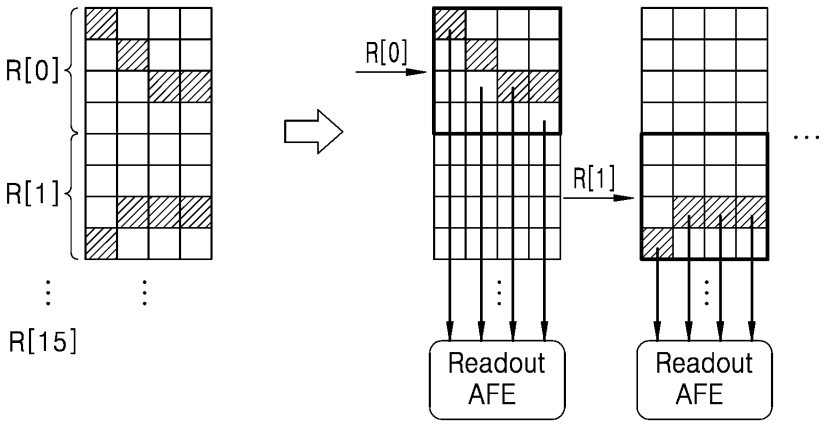
도면9a


RL-1
RL-2
RL-3
RL-64
Selected electrode
Unselected electrode
R[0]
R[1]
R[2]
R[4]
R[7]
R-1
R-2
R-3
R-4
Readout AFE

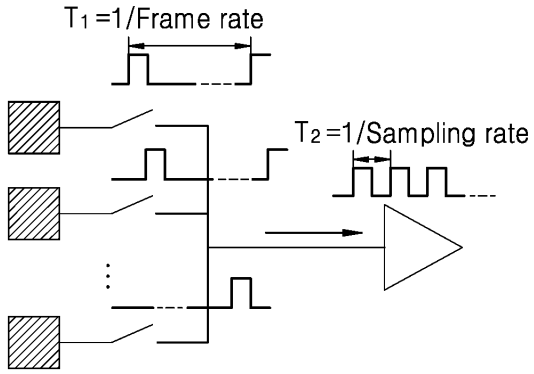
도면9b


R[31]
R[3]
R[2]
R[1]
R[0]
R[1]
Readout AFE
R[2]
Readout AFE
R[3]
Readout AFE

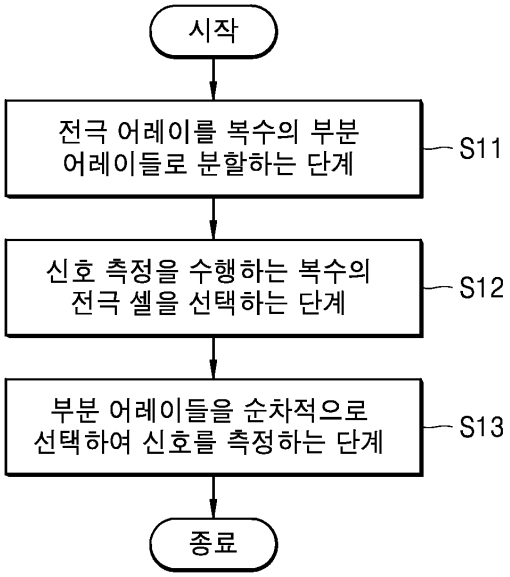
도면9c


R[0]
R[1]
R[15]
R[0]
R[1]
Readout AFE
Readout AFE

도면10


T1 =1/Frame rate
T2 =1/Sampling rate

도면11


시작
전극 어레이를 복수의 부분 어레이들로 분할하는 단계
S11
신호 측정을 수행하는 복수의 전극 셀을 선택하는 단계
S12
부분 어레이들을 순차적으로 선택하여 신호를 측정하는 단계
S13
종료