

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 9 月 7 日 (2006.9.7)

【公開番号】特開 2004-62913 (P2004-62913A)

【公開日】平成 16 年 2 月 26 日 (2004.2.26)

【年通号数】公開・登録公報 2004-008

【出願番号】特願 2003-281302 (P2003-281302)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

G 0 6 F 3/06 (2006.01)

G 0 6 F 11/10 (2006.01)

G 0 6 F 12/06 (2006.01)

G 0 6 F 13/16 (2006.01)

【F I】

G 0 6 F 12/00 5 6 0 A

G 0 6 F 12/00 5 9 7 U

G 0 6 F 3/06 3 0 1 J

G 0 6 F 3/06 3 0 1 Z

G 0 6 F 11/10 3 2 0 F

G 0 6 F 12/06 5 2 0 F

G 0 6 F 13/16 5 2 0 C

【手続補正書】

【提出日】平成 18 年 7 月 14 日 (2006.7.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータシステムにおいて、

中央処理装置とメモリバスコントローラとを含み、第 1 インタフェース方式で動作するシステムコントローラと、

システムバスを通じて前記システムコントローラと連結されたシステムメモリと、

前記コンピュータシステムのためのシステム駆動コード及びオペレーティングシステムプログラムと使用者データを貯蔵する N A N D フラッシュメモリと、

前記システムコントローラとは前記システムバスを通じて前記第 1 インタフェース方式で通信し、前記 N A N D フラッシュメモリとは第 2 インタフェース方式で通信し、所定の命令情報に応答して内部で発生したクロック信号に同期して動作するインタフェース装置とを具備することを特徴とするコンピュータシステム。

【請求項 2】

前記インタフェース装置は、

前記システムバスを通じて前記システムコントローラと前記第 1 インタフェース方式で通信するホストインタフェースユニットと、

前記コンピュータシステム及び前記 N A N D フラッシュメモリに関する編成情報と前記 N A N D フラッシュメモリに関する前記命令情報を貯蔵するレジスタユニットと、

前記 N A N D フラッシュメモリのデータを貯蔵するバッファユニットと、

前記命令情報に応答して前記クロック信号を発生するオシレータと、

前記クロック信号に同期して、前記命令情報に応答して前記インタフェース装置の内部動作を制御する状態制御ユニットと、

前記クロック信号に同期して、前記状態制御ユニットにより前記NANDフラッシュメモリと前記第2インタフェース方式で通信するNANDフラッシュインタフェースユニットとを具備することを特徴とする請求項1に記載のコンピュータシステム。

【請求項3】

前記インタフェース装置は、電源が印加された時に、電源感知信号を前記状態制御ユニットに印加するパワーアップ感知回路をさらに具備することを特徴とする請求項2に記載のコンピュータシステム。

【請求項4】

前記インタフェース装置は、前記クロック信号に同期して前記NANDフラッシュメモリのデータに対するエラー検査及び訂正を行うエラー訂正回路をさらに具備することを特徴とする請求項2または3に記載のコンピュータシステム。

【請求項5】

前記状態制御ユニットは、

前記バッファユニットに貯蔵されたデータと予め決められたエラー訂正パリティビットを前記NANDフラッシュメモリにプログラムする動作を制御する第1ブロックと、

前記NANDフラッシュメモリから読み出されたデータを前記バッファユニットに貯蔵する動作を制御する第2ブロックと、

前記NANDフラッシュメモリに貯蔵された前記システム駆動コードを利用して前記コンピュータシステムを駆動する動作を制御する第3ブロックと、

前記NANDフラッシュメモリの前記プログラム動作中に前記エラー訂正パリティビットを発生する動作を制御し、前記NANDフラッシュメモリの読み出し動作中に前記NANDフラッシュメモリに貯蔵された前記パリティビットと新しいパリティビットを比べてエラー訂正する動作を制御する第4ブロックとを具備することを特徴とする請求項4に記載のコンピュータシステム。

【請求項6】

前記状態制御ユニットは、

前記NANDフラッシュメモリに貯蔵されたデータを消去する動作を制御する第5ブロックと、

前記NANDフラッシュメモリに印加されるリセット命令と前記インタフェース装置内のレジスタのリセットを制御する第6ブロックとをさらに具備することを特徴とする請求項5に記載のコンピュータシステム。

【請求項7】

前記インタフェース装置は、

前記システムバスを通じて前記システムコントローラと前記第1インタフェース方式で通信する第1インタフェースユニットと、

前記クロック信号に同期して前記NANDフラッシュメモリと前記第2インタフェース方式で通信する第2インタフェースユニットと、

前記第1及び第2インタフェースユニット間に交換される情報及びデータを貯蔵する貯蔵ユニットと、

前記クロック信号に同期して前記第1及び第2インタフェースユニット間の前記情報及びデータの伝送を統制する制御ユニットとを具備することを特徴とする請求項1に記載のコンピュータシステム。

【請求項8】

前記貯蔵ユニットは、

前記コンピュータシステム及び前記NANDフラッシュメモリに関する編成情報と前記NANDフラッシュメモリに関する前記命令情報を貯蔵するレジスタユニットと、

前記NANDフラッシュメモリのデータを貯蔵するバッファユニットとを具備することを特徴とする請求項7に記載のコンピュータシステム。

【請求項 9】

前記インタフェース装置は電源が印加された時に、電源感知信号を前記状態制御ユニットに印加するパワーアップ感知回路をさらに具備することを特徴とする請求項 7 に記載のコンピュータシステム。

【請求項 10】

前記インタフェース装置は前記クロック信号に同期して前記 NAND フラッシュメモリのデータに対するエラー検査及び訂正を行うエラー訂正回路をさらに具備することを特徴とする請求項 7 または 9 に記載のコンピュータシステム。

【請求項 11】

前記制御ユニットは、

前記バッファユニットに貯蔵されたデータと予め決められたエラー訂正パリティビットを前記 NAND フラッシュメモリにプログラムする動作を制御する第 1 ブロックと、

前記 NAND フラッシュメモリから読み出されたデータを前記バッファユニットに貯蔵する動作を制御する第 2 ブロックと、

前記 NAND フラッシュメモリに貯蔵された前記システム駆動コードを利用して前記コンピュータシステムを駆動する動作を制御する第 3 ブロックと、

前記 NAND フラッシュメモリの前記プログラム動作中に前記エラー訂正パリティビットを発生する動作を制御し、前記 NAND フラッシュメモリの読み出し動作中に前記 NAND フラッシュメモリに貯蔵された前記パリティビットと新しいパリティビットを比べてエラー訂正する動作を制御する第 4 ブロックとを具備することを特徴とする請求項 7 に記載のコンピュータシステム。

【請求項 12】

前記制御ユニットは、

前記 NAND フラッシュメモリに貯蔵されたデータを消去する動作を制御する第 5 ブロックと、

前記 NAND フラッシュメモリに印加されるリセット命令と前記インタフェース装置内のレジスタのリセットを制御する第 6 ブロックとをさらに具備することを特徴とする請求項 11 に記載のコンピュータシステム。

【請求項 13】

NAND フラッシュメモリを有するコンピュータシステムを駆動する方法において、

電源印加感知状態に応答して前記 NAND フラッシュメモリからシステム駆動コードを所定のバッファにコピーする第 1 段階と、

前記バッファに貯蔵された前記システム駆動コードに従って、前記コンピュータシステムを初期化し、前記 NAND フラッシュメモリからオペレーティングシステムコードを所定のプログラブルメモリにコピーする第 2 段階と、

前記オペレーティングシステムコードを実行する第 3 段階とを具備することを特徴とする方法。

【請求項 14】

システムコントローラ及びバッファと NAND フラッシュメモリを有するコンピュータシステムで前記 NAND フラッシュメモリからデータを読み出す方法において、

前記 NAND フラッシュメモリに対する命令及びアドレスと読み出されるページを設定する第 1 段階と、

前記ページのうち一番目のページのデータを前記バッファにコピーする第 2 段階と、

前記一番目のページのデータを前記バッファから前記システムコントローラに伝送する間に、前記ページのうち二番目のページのデータを前記 NAND フラッシュメモリから前記バッファにコピーする第 3 段階とを具備することを特徴とする方法。

【請求項 15】

前記設定されたページに対するデータコピーが全部完了するまで $n - 1$ 番目のページのデータを伝送する間、 n 番目のページのデータを前記バッファから前記 NAND フラッシュメモリにコピーする段階をさらに含むことを特徴とする請求項 14 に記載の方法。

【請求項 16】

前記システムコントローラに前記設定されたページのデータが連続して送信されることを特徴とする請求項 14 に記載の方法。

【請求項 17】

システムコントローラ及びバッファと NAND フラッシュメモリを有するコンピュータシステムで、前記 NAND フラッシュメモリにデータをプログラムする方法において、

前記 NAND フラッシュメモリに対する命令及びアドレスとプログラムされるページを設定する第 1 段階と、

前記システムコントローラから前記バッファに前記プログラムされるページに必要なデータを連続してローディングする第 2 段階と、

前記バッファにローディングされたデータを利用して前記ページに対するプログラムを順次に行う第 3 段階とを具備することを特徴とする方法。

【請求項 18】

前記ページのうちのページに対するデータが前記バッファにローディングされる間に、他の一つのページに対するプログラムが実行されることを特徴とする請求項 17 に記載の方法。