

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 132 633

Patent dodatkowy
do patentu —

Zgłoszono: 81 06 10 /P.231596/

Pierwszeństwo: —

Zgłoszenie ogłoszono: 82 12 20

Opis patentowy opublikowano: 1986 04 30



Int. Cl.³ H03L 7/18
H04L 7/00

Twórca wynalazku: Janusz Górecki

Uprawniony z patentu: Politechnika Warszawska, Warszawa /Polska/

SPOSÓB KROKOWEJ KOREKCJI FAZY

Przedmiotem wynalazku jest sposób krokowej korekcji fazy mający zastosowanie zwłaszcza w odbiornikach modemów transmisji danych do odtwarzania elementowej podstawy czasu dla sygnału odbieranego lub w nadajnikach modemu do synchronizowania podstawy czasu dla elementów nadawanych wytwarzanej przez modem z podstawą czasu dostarczaną z urządzenia końcowego transmisji danych.

Znany z publikacji "Transmisja danych" zamieszczony w Problemach Telekomunikacji zeszyt 10, WKŁ 1966 r., str. 106-111, sposób polega na skokowej korekcji fazy odtworzonej elementowej podstawy czasu wytworzonej przez podział częstotliwości sygnału wysokostabilnego, lokalnego generatora przez sygnał synchronizujący wytworzony na podstawie odebranego sygnału danych. Korekcja fazy następuje po otrzymaniu kryterium synchronizacyjnego wytworzonego w wyniku porównania sygnału odtworzonej elementowej podstawy czasu z sygnałem synchronizującym. Kryterium synchronizacyjne powoduje korekcję fazy odtworzonej elementowej podstawy czasu przez wprowadzenie do ciągu impulsów wytworzonym w lokalnym generatorze dodatkowego impulsu lub wyrzucenie z tego ciągu jednego impulsu.

Układ realizujący ten sposób składa się z wysokostabilnego generatora sterującego dzielnik częstotliwości o zmiennym stopniu podziału, na wyjściu którego uzyskany sygnał podstawy czasu porównywany jest w detektorze fazy z sygnałem synchronizującym. W detektorze fazy porównywana jest faza sygnału, na przykład sygnału dane odebrane, z fazą podstawy czasu uzyskanej przez podział częstotliwości sygnału wytwarzanego przez wysokostabilny generator i w zależności od tego czy faza podstawy jest opóźniana czy przyspieszona względem sygnału synchronizującego następuje odpowiednio dodanie lub wyrzucenie impulsu z ciągu impulsów wytwarzanych przez generator. Sposób ten wymaga stosowania układów o bardzo złożonej i skomplikowanej budowie zwiększającej ich zawodność.

Istota wynalazku polega na tym, że stopień podziału sygnału o częstotliwości będącej wielokrotnością elementowej podstawy czasu zmienia się o ± 1 po wystąpieniu kryterium synchronizacyjnego, na okres jednego cyklu sliczania licznika.

Sposób według wynalazku umożliwia zastosowanie programowanego licznika częstotliwości jako dzielnika częstotliwości, który nie wymaga żadnych dodatkowych układów realizujących różny stopień podziału. Również układ sterujący tak zrealizowany dzielnik - po to aby stan wejść programujących był zwiększony lub zmniejszony na jeden cykl zliczania licznika a po jego zakończeniu /standardowo sygnalizowanego na wyjściu dzielnika/, żeby powracał do stanu ustalonego - jest bardzo prosty i składa się jedynie z dwóch elementów pamięciowych.

Następuje więc w stosunku do znanych rozwiązań znaczne uproszczenie układu. Mając na uwadze, że obecnie produkowane standardowe, programowane liczniki częstotliwości mają mniejszą szybkość działania niż układy zrealizowane na przerzutnikach, szczególnie serii S, sposób będący przedmiotem wynalazku pozwala na układową realizację z zastosowaniem programowanego dzielnika częstotliwości w nieco węższym zakresie częstotliwości np. dla licznika typu 74192 do 25 MHz.

Przedmiot wynalazku jest bliżej objaśniony w przykładzie wykonania zilustrowanym rysunkiem, na którym fig. 1 przedstawia schemat logiczny układu pętli fazowej realizującej sposób według wynalazku a fig. 2 przedstawia przebiegi czasowe w charakterystycznych punktach tego układu.

Sygnal o częstotliwości będącej wielokrotnością elementowej podstawy czasu z wysoko-stabilnego generatora jest podawany na wejście dzielnika częstotliwości o zmiennym stopniu podziału D_{cz} . Dzielnik częstotliwości o zmiennym stopniu podziału wyposażony jest w programowany licznik częstotliwości L1, którego stopień podziału K zmieniany jest o ± 1 po wystąpieniu kryterium synchronizacyjnego, na okres jednego cyklu zliczania tego licznika, w wyniku czego realizowana jest korekcja fazy sygnału $S_{zsynchron}$. Sygnal S_{wcz} podawany jest na wejście zliczające wstecz programowanego licznika synchronicznego L1 i na wejście inwertora I1. Licznik L1 jest zrealizowany na układzie scalonym typu 74 192. Wyjście inwertora I1 jest połączone z wejściem R przerzutnika P1, którego wejście S połączone jest z wyjściem licznika L1 - sygnał S_0 .

Wyjście Q przerzutnika P4 - sygnał S_1 - jest połączone z wejściem licznika L1 i z wejściem licznika L2 dzielącym częstotliwość przez N. Wejścia T i D przerzutnika P1 są uziemione. Sygnal podstawy czasu $S_{zsynchron}$ z wyjścia licznika L2 jest podawany na wejście D przerzutnika P2 pełniącego rolę detektora fazy DF, a na wejście T tego przerzutnika P2 podawany jest sygnał synchronizujący $S_{synchron}$.

Sygnal ten jest również podany na wejścia T przerzutników P3 i P4 układu sterującego US przy czym wejście T przerzutnika P3 jest połączone z wyjściem Q przerzutnika P1, zaś wejścia J i K przerzutnika P3 są połączone z wyjściem Q - sygnał S_2 - przerzutnika P4 a wyjście Q przerzutnika P3 jest połączone z wejściami J, T, K przerzutnika P4 i wejściem bramki B1. Drugie wejście tej bramki jest połączone z wyjściem Q - sygnał S_3 - przerzutnika P2. Wyjście bramki B1 jest połączone z wejściem programującym P_C licznika L1 i z wejściem inwertora I2, którego wyjście jest połączone z wejściem programującym P_C licznika L1, zaś wejście programujące P_A licznika L1 jest połączone z wyjściem Q przerzutnika P3 - sygnał S_1 .

W przedstawionym przykładzie stopień podziału K licznika L1 wynosi 4. Dla realizacji stopnia podziału $K = 8$ należy zmienić sygnały podawane na wejścia programujące P_C i P_D licznika L1 tak aby $P_C = S_1 S_3$, a $P_D = S_1 S_3$.

Sygnal podstawowy czasu $S_{zsynchron}$ zgodnie z wymaganiami V.2400TTT musi mieć wypełnienie 1:1. Programowany licznik częstotliwości z zasady nie dostarcza sygnału o wypełnieniu 1:1. Dzielnik częstotliwości o zmiennym stopniu podziału powinien składać się więc z szeregowego połączenia programowanego licznika częstotliwości o stopniu podziału równym K i dzielnika częstotliwości przez N gdzie $N = 2^n$ a $n = 1, 2, 3, \dots$. Krok korekcji będący odwrotnością częstotliwości sygnału S_{wcz} pomnożony przez N powinien być jak najmniejszy gdyż niepożądana fluktuacja fazy podstawy czasu $S_{zsynchron}$ jest wprost proporcjonalna do tego kroku. Tak więc N powinno mieć wartość nie mniejszą od dwóch a z punktu widzenia fluktuacji

fazy powinno być równe dwa, zaś ze względu na możliwość uproszczenia układu powinno być jak największe, gdyż sterowanie programowanego licznika częstotliwości o dużym stopniu podziału jest złożone.

W stanie ustalonym gdy licznik L1 dzieli przez 4 na wejścia programujące P_A , P_B , P_C podawane są stany 110. Dodatkowo zbocze sygnału S_{synchr} rozeznaje w detektorze fazy DF stan sygnału S_{zsynchr} i powoduje wygenerowanie sygnału $S_3 = 0$ lub 1 oraz odblokowuje przerzutniki P3 i P4. Pierwsze ujemne zbocze sygnału S_1 z przerzutnika typu PS utworzonego z przerzutnika P1 typu D powoduje zmianę stanu przerzutnika P3.

Wskutek tego sygnał S_1 przyjmuje wartość 0 zaś sygnał S_3 zaczyna oddziaływać na wejścia programujące P_B i P_C licznika L1 w ten sposób, że gdy sygnał S_3 przyjmuje wartość 0 to na wejścia programujące P_A , P_B , P_C podany zostaje stan 010 powodując podział przez 3, zaś gdy sygnał S_3 przyjmuje stan 1, to na wejścia programujące P_A , P_B , P_C podany zostaje stan 001 powodując podział przez 5. Kolejne ujemne zbocze sygnału S_1 dokonuje zmiany stanu przerzutnika P3, wskutek czego zmieniony zostaje stan przerzutnika P4 blokując przerzutnik P3 poprzez wystawienie jego wejść J i K stanem 0. Na wejścia programujące P_A , P_B , P_C znowu podany zostaje stan 110 i licznik L1 dzieli przez 4. Przejęcie sygnału S_{synchr} w stan 0 zeruje przerzutniki P3 i P4 i aż do pojawienia się dodatniego zbocza sygnału S_{synchr} nic się nie zmienia. Dopiero dodatnie zbocze tego sygnału powoduje powtórzenie procedury.

Z a s t r z e ż e n i e p a t e n t o w e

Sposób krokowej korekcji fazy, w którym generuje się przebieg o częstotliwości będącej wielokrotnością elementowej podstawy czasu, a następnie poddaje się ten przebieg podziałowi przez K-N dla otrzymania przebiegu odtworzonej elementowej podstawy czasu, który porównuje się z sygnałem synchronizującym i w wyniku tego porównania generuje się kryterium synchronizacyjne powodujące zmniejszenie stopnia podziału w przypadku gdy faza odtworzonej elementowej podstawy czasu jest opóźniona w stosunku do fazy sygnału synchronizującego z przedziałem między 0 a $\frac{\pi}{2}$ lub zwiększające stopień podziału w przypadku gdy faza odtworzonej elementowej podstawy czasu jest przyspieszona w stosunku do fazy sygnału synchronizującego o kąt z przedziału między 0 a $\frac{\pi}{2}$, z n a m i e n n y t y m, że stopień podziału przez K zmienia się o ± 1 po wystąpieniu kryterium synchronizacyjnego raz na okres jednego cyklu zliczania.

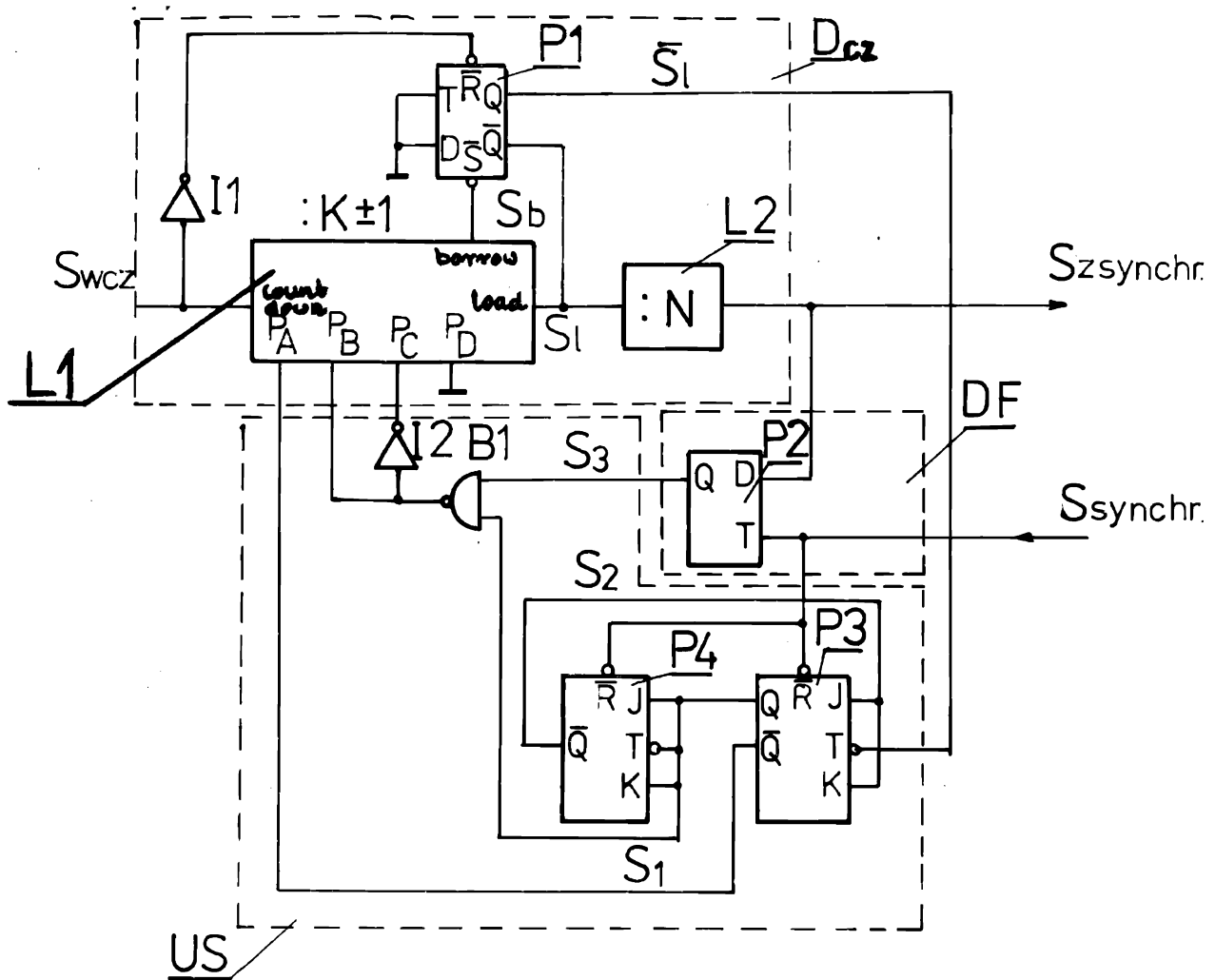


FIG. 1

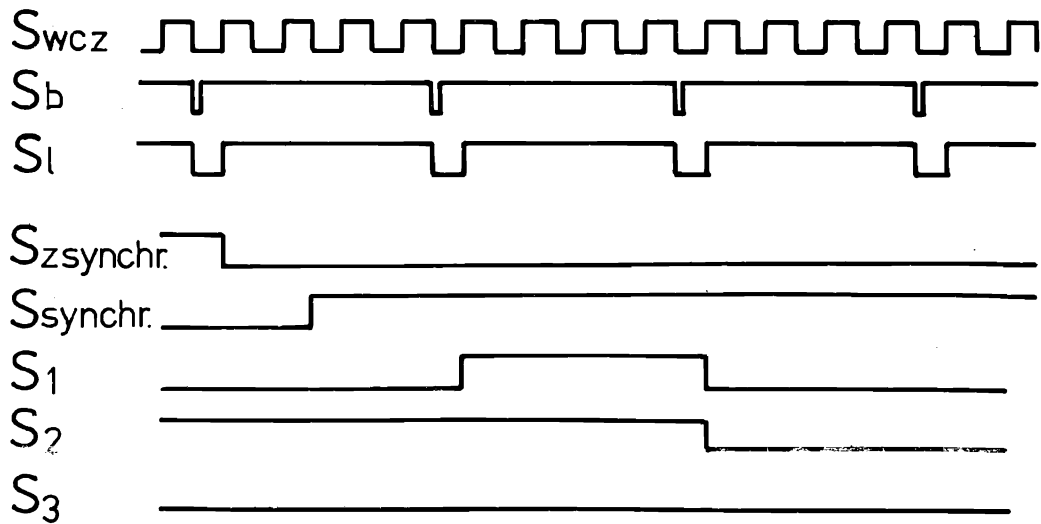


FIG. 2