



(12) 发明专利



(10) 授权公告号 CN 109219887 B

(45) 授权公告日 2022. 11. 01

(21) 申请号 201780031286.1

(22) 申请日 2017.06.23

(65) 同一申请的已公布的文献号
申请公布号 CN 109219887 A

(43) 申请公布日 2019.01.15

(30) 优先权数据
15/191,500 2016.06.23 US

(85) PCT国际申请进入国家阶段日
2018.11.20

(86) PCT国际申请的申请数据
PCT/US2017/039150 2017.06.23

(87) PCT国际申请的公布数据
W02017/223541 EN 2017.12.28

(73) 专利权人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 N·S·德拉斯 N·蒂皮尔内尼
李东习

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

专利代理师 林斯凯

(51) Int.Cl.
H01L 29/78 (2006.01)
H01L 21/336 (2006.01)
H01L 21/318 (2006.01)

(56) 对比文件
US 6709928 B1, 2004.03.23

审查员 刘梦婷

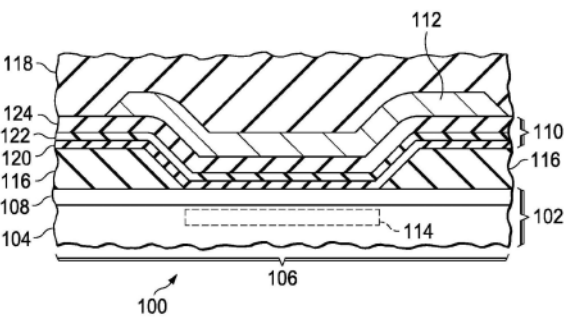
权利要求书2页 说明书4页 附图5页

(54) 发明名称

用于减少阈值移位的氮化硅工艺

(57) 摘要

半导体装置(100)具有衬底(102),所述衬底(102)具有半导体材料(104)。所述半导体装置(100)在所述半导体材料(104)中及在所述半导体材料上包含场效应晶体管(106)。所述场效应晶体管(106)具有位于所述半导体装置(100)的所述半导体材料(104)之上的栅极电介质层(110),以及位于所述栅极电介质层(110)之上的栅极(112)。所述栅极电介质层(110)包含紧挨在用于沟道(114)的区之上且在所述栅极(112)下方的一层富氮氮化硅(120)。



1. 一种半导体装置,其包括:
衬底,其包括半导体材料;以及
场效应晶体管FET,其包括:安置在所述衬底之上的栅极电介质层,所述栅极电介质层包括富氮氮化硅层以及安置在所述富氮氮化硅层之上的氮化硅层;以及安置在所述栅极电介质层之上的栅极;
其中所述氮化硅层包括位于所述富氮氮化硅层上的富硅氮化硅层以及位于所述富硅氮化硅层上的化学计量氮化硅层。
2. 根据权利要求1所述的半导体装置,其中所述富氮氮化硅层的厚度为5纳米到20纳米。
3. 根据权利要求1所述的半导体装置,其中所述富氮氮化硅层具有比化学计量氮化硅材料的折射率小0.015到0.030的折射率,其中在630纳米到635纳米的波长下确定所述折射率。
4. 根据权利要求1所述的半导体装置,其中所述富硅氮化硅层的厚度为5纳米到20纳米。
5. 根据权利要求1所述的半导体装置,其中所述富硅氮化硅层具有比化学计量氮化硅材料的折射率大0.025到0.040的折射率,其中在630纳米到635纳米的波长下确定所述折射率。
6. 根据权利要求1所述的半导体装置,其中所述化学计量氮化硅层具有0.75的硅与氮原子比。
7. 根据权利要求1所述的半导体装置,其中所述富氮氮化硅层具有原子分数小于10%的氢含量。
8. 根据权利要求1所述的半导体装置,其中所述半导体材料包括第III-V族半导体材料。
9. 根据权利要求8所述的半导体装置,其中所述第III-V族半导体材料包括镓和氮。
10. 一种用于形成半导体装置的方法,其包括:
提供半导体装置的衬底,所述衬底包括半导体材料;
在所述衬底之上,在用于FET的区域中形成富氮氮化硅层;
在所述富氮氮化硅层之上形成氮化硅层;以及
在所述氮化硅层之上形成所述FET的栅极,
其中执行在所述富氮氮化硅层上方形成所述氮化硅层,使得在形成所述富氮氮化硅层之后,所述富氮氮化硅层维持在大体上不含任何氧化剂的环境中,直到形成所述氮化硅层为止;
其中形成所述氮化硅层包括:
在所述富氮氮化硅层上形成富硅氮化硅层;以及
在所述富硅氮化硅层上形成化学计量氮化硅层。
11. 根据权利要求10所述的方法,其中使用二氯硅烷和氨,在第一LPCVD腔室中,通过低压化学气相沉积LPCVD工艺形成所述富氮氮化硅层。
12. 根据权利要求11所述的方法,其中在所述富氮氮化硅层的形成期间,使所述氨以所述二氯硅烷的流动速率的6到12倍的流动速率流动到所述第一LPCVD腔室中。

13. 根据权利要求11所述的方法, 其中所述第一LPCVD腔室中的所述衬底的温度在所述富氮氮化硅层的形成期间为600℃到740℃。

14. 根据权利要求10所述的方法, 其中所述富氮氮化硅层的厚度为5纳米到20纳米。

15. 根据权利要求10所述的方法, 其中所述富氮氮化硅层具有比化学计量氮化硅材料的折射率小0.015到0.030的折射率, 其中在630纳米到635纳米的波长下确定所述折射率。

16. 根据权利要求11所述的方法, 其中在第二LPCVD腔室中, 使用二氯硅烷和氨, 通过LPCVD工艺形成所述富硅氮化硅层。

17. 根据权利要求16所述的方法, 其中所述第二LPCVD腔室是所述第一LPCVD腔室。

18. 根据权利要求16所述的方法, 其中在所述富硅氮化硅层的形成期间, 使所述氨以所述二氯硅烷的流动速率的3到6倍的流动速率流动到所述第二LPCVD腔室中。

19. 根据权利要求10所述的方法, 其中第二LPCVD腔室中的所述衬底的温度在所述富硅氮化硅层的形成期间为780℃到900℃。

20. 根据权利要求10所述的方法, 其中所述富硅氮化硅层的厚度为5纳米到20纳米。

21. 根据权利要求10所述的方法, 其中所述富硅氮化硅层具有比化学计量氮化硅材料的折射率大0.025到0.040的折射率, 其中在630纳米到635纳米的波长下确定所述折射率。

22. 根据权利要求10所述的方法, 其中所述化学计量氮化硅层具有0.75的硅与氮原子比。

23. 根据权利要求10所述的方法, 其中在ALD腔室中, 使用四氯硅烷和氨, 通过原子层沉积ALD工艺形成所述富氮氮化硅层。

24. 根据权利要求23所述的方法, 其中所述ALD工艺包括:

在所述ALD腔室中将所述衬底加热到375℃的温度;

在所述衬底处于375℃的温度下时, 使所述四氯硅烷流动到所述ALD腔室, 以提供170毫托的压力;

随后停止所述四氯硅烷到所述ALD腔室中的所述流动;

随后在所述ALD腔室中将所述衬底加热到550℃的温度;

在所述衬底处于550℃的温度下时, 使所述氨流动到所述ALD腔室, 以提供300毫托的压力; 以及

随后停止所述氨到所述ALD腔室中的所述流动。

用于减少阈值移位的氮化硅工艺

技术领域

[0001] 本发明大体上涉及半导体装置,且更具体地说,涉及半导体装置中的场效晶体管。

背景技术

[0002] 场效晶体管(FET)通过将电位施加到晶体管的栅极来操作,将电位施加到晶体管的栅极改变了晶体管的沟道中的电荷载流子的密度。晶体管的阈值电位可理解为晶体管从断开状态(其中最小电流流经沟道)改变为接通状态(其中预定义的电流流经沟道)的栅极电位。晶体管的可靠操作取决于阈值电位,其在晶体管的使用寿命期间保持恒定。电荷趋向于累积在栅极电介质层中的栅极与沟道之间,且因此通过使阈值电位偏移而不利地影响可靠性。电荷累积在包含氮化硅的栅极电介质层中特别成问题。

发明内容

[0003] 一种半导体装置包含FET,其具有位于所述半导体装置的半导体区上方的栅极电介质层,以及位于所述栅极电介质层上方的栅极。所述栅极电介质层包含紧挨在所述半导体区上方以及在栅极下方的一层富氮氮化硅。

附图说明

[0004] 图1是实例半导体装置的横截面。

[0005] 图2A到图2E是图1的半导体装置的横截面,描绘实例形成方法的阶段。

[0006] 图3是用于形成包含FET的半导体装置的实例方法的流程图。

[0007] 图4A和图4B是图1的半导体装置的横截面,描绘富N层的另一实例形成方法的阶段。

具体实施方式

[0008] 图式未按比例绘制。可在无具体细节中的一或多个的情况下或通过其它方法实践实例实施例。在本说明书中,一些动作可与其它动作或事件以不同次序和/或同时发生。此外,实施根据本说明书的方法不需要所有所说明的动作或事件。

[0009] 一种半导体装置包含FET,其具有位于半导体装置的半导体区中的沟道的区上方的栅极电介质层,以及位于所述栅极电介质层上方的栅极。沟道是栅极下方的半导体区中的反型层。如果FET是增强模式装置,那么当半导体装置不供电且不在操作时,沟道通常不存在。如果FET是耗尽模式装置,那么当半导体装置不供电且不在操作时,沟道通常存在。出于改进本说明书的可读性的目的,沟道的区在下文将被称作沟道,即使在其中半导体装置不供电且不在操作的情况下也是如此。对于正描述的特定半导体装置,仅在半导体装置正在操作时,沟道才可存在。

[0010] 沟道可以第III-V族半导体材料(例如氮化镓)或氮化镓与氮化铝的合金半导体材料形成。栅极电介质层包含位于紧挨在沟道上方以及在栅极下方的一层富氮氮化硅。栅极

电介质层还可包含所述层富氮氮化硅上方的一层富硅氮化硅,且栅极电介质层位于栅极下方。

[0011] 图1是实例半导体装置100的横截面。半导体装置100在具有半导体区104的衬底102上形成。半导体装置100包含FET 106。半导体区104可包含第III-V族半导体材料(例如氮化镓)或氮化镓与氮化铝的合金半导体材料。例如其它第III-V族半导体、第II-VI族半导体或可能第IV族半导体等其它半导体材料在此实例的范围内。在此实例的其中半导体区104包含第III-V族半导体材料的版本中,任选的应激子层108包括可形成于半导体区104之上的第III-V族材料的一或多个子层。应激子层108可用于感应半导体区104中的压电应力,且潜在地为了其它目的,例如提供半导体区104中的二维电子气与栅极112之间的隔离。如果存在,那么任选的应激子层108可为衬底102的一部分。类似地,如果存在,衬底102上的任何原生氧化物层可形成到衬底102上。

[0012] FET 106可为耗尽模式装置或增强模式装置。FET 106包含安置在衬底102之上的栅极电介质层110。栅极112安置在栅极电介质层110之上。沟道114位于半导体区104中,在栅极电介质层110下方。隔离电介质层116可安置在衬底102之上,在沟道114之外;隔离电介质层116的横向边界可限定沟道114的横向区域。栅极电介质层110和栅极112可部分地在隔离电介质层116上方延伸,在漏极侧上比在源极侧上延伸得远,如图1中所描绘,以充当邻近于沟道114的场板。互连电介质层118可安置在栅极112之上,以将栅极112与半导体装置100的其它互连件(例如源极和漏极触点)隔离。

[0013] 在此实例中,栅极电介质层110包含氮化硅富氮层120,本文之后称作富N层120,其在沟道114上方的区域中紧挨在衬底102上方安置。氮化硅层的硅与氮原子比可由折射率表征。可在630纳米到635纳米的波长下测量折射率。在小于1%的裕度内,化学计量氮化硅可具有约0.75的实例硅与氮原子比。富N层120可具有比化学计量氮化硅材料的折射率小0.015到0.030的折射率。此富N层120已显示为对减少电荷累积有效。富N层120可为5纳米到20纳米厚,其已显示为对减少电荷累积有效的厚度。富N层120的以原子分数表达的氢含量可小于10%,其可有利地进一步减少电荷累积。

[0014] 栅极电介质层110可进一步包含安置在富N层120之上的任选的氮化硅富硅层122,下文称为富Si层122。富Si层122可具有比化学计量氮化硅材料的折射率大0.025到0.040的折射率。富Si层122的厚度可为5纳米到20纳米,其已显示为当安置在富N层120之上时对进一步减少电荷累积有效的厚度。富Si层122的氢含量也可小于10%。

[0015] 栅极电介质层110可进一步包含安置在富N层120之上以及富Si层122(如果存在)之上的任选的阈值调整电介质层124,以为FET 106提供所要阈值电位。阈值调整电介质层124可包含化学计量氮化硅,或二氧化硅,或其它电介质材料。

[0016] FET 106包含位于沟道114的相对端上的源极和漏极区(图1中未图示)。半导体装置100包含通过互连电介质层118的互连件,例如金属触点和金属线,以提供到栅极112以及源极和漏极区的电连接。

[0017] 图2A到图2E是图1的半导体装置的横截面,描绘实例形成方法的阶段。参看图2A,在形成栅极电介质层110之前,隔离电介质层116形成于衬底102之上。举例来说,举例来说,可通过在衬底102上方形成一层二氧化硅,且接着在二氧化硅层上方形成隔离掩模以使图1的沟道114得区域中的二氧化硅层暴露,来形成隔离电介质层116。在通过隔离掩模暴露的

区域中蚀刻二氧化硅层,且随后去除隔离掩模。

[0018] 将半导体装置100放入第一低压化学气相沉积(LPCVD)腔室126中,其可能具有多个类似衬底。将半导体装置100加热到600℃到740℃的温度。使用第一二氯硅烷(DCS)流量控制器128使二氯硅烷以10标准立方厘米/分钟(sccm)到80sccm的流动速率流动到第一LPCVD腔室126。使用第一氨(NH₃)流量控制器130使氨以二氯硅烷的流动速率的6到12倍的流动速率流动到第一LPCVD腔室126。第一LPCVD腔室126中的压力维持在100毫托到500毫托。此实例中描述的二氯硅烷和氨的流动速率适用于在—批60个晶片到150个晶片运行的200毫米衬底。对于其它大小的衬底和分批负载,流动速率可变化,而二氯硅烷与氨流动速率的比维持。二氯硅烷和氨在半导体装置100上发生反应,以形成富N层120。二氯硅烷和氨的流动可持续预定时间以达到所要厚度的富N层120,滞后流动停止。或者,可监视富N层120的厚度,以确定停止流动的适当时间。富N层120的形成的工艺控制的其它方法在此实例的范围内。在此实例的一个版本中,富N层120可维持在大体上不含氧化反应剂(例如氧或氧化亚氮)的低压环境中,以防止富N层120的顶部表面的氧化。

[0019] 参看图2B,将半导体装置100放入第二LPCVD腔室132中,其可为图2A的第一LPCVD腔室126。将半导体装置100加热到780℃到900℃的温度。使用第二DCS流量控制器134,其可为图2A的第一DCS流量控制器128,使二氯硅烷以40sccm到100sccm的流动速率流动到第二LPCVD腔室132中。使用第二NH₃流量控制器136,其可为图2A的第一NH₃控制器130,使氨以二氯硅烷的流动速率德3到6倍的流动速率流动到第二LPCVD腔室132。第二LPCVD腔室132中的压力维持在100毫托到500毫托。二氯硅烷和氨在富N层120上发生反应,以形成富Si层122。二氯硅烷和氨的流动可持续预定时间或可结束,如参看图2A所描述。在此实例的一个版本中,富Si层122可维持在大体上不含任何氧化反应剂的低压环境中。使用相同的LPCVD腔室132来形成富N层120和富Si层122可有利地降低形成半导体装置100的工艺复杂性。

[0020] 参看图2C,将半导体装置100放入第三LPCVD腔室138中,其可为图2A的第一LPCVD腔室126和/或图2B的第二LPCVD腔室132。将半导体装置100加热到740℃到780℃的温度。使用第三DCS流量控制器140,其可为图2A的第一DCS流量控制器128和/或图2B的第二DCS流量控制器134,使二氯硅烷以30sccm到120sccm的流动速率流动到第三LPCVD腔室138。使用第三NH₃流量控制器142,其可为图2A的第一NH₃控制器130和/或图2B的第二NH₃流量控制器136,使氨以二氯硅烷的流动速率的8到12倍的流动速率流动到第三LPCVD腔室138。第三LPCVD腔室138中的压力维持在100毫托到500毫托。二氯硅烷和氨在富Si层122上反应,以形成化学计量氮化硅层124。二氯硅烷和氨的流动可持续预定时间或可结束,如参看图2A所描述。使用同一LPCVD腔室138来形成化学计量氮化硅层124和富N层120以及富Si层122可有利地进一步降低形成半导体装置100的工艺复杂性。

[0021] 参看图2D,一层栅极材料144形成于栅极电介质层110之上。所述层栅极材料144可包含不同金属的子层,以便提供粘合力、所要的功函数和所要的薄层电阻。举例来说,所述层栅极材料144可包含钛、氮化钛和铝。并且,举例来说,所述层栅极材料144可通过溅镀工艺、蒸镀工艺和/或原子层沉积(ALD)工艺来形成。

[0022] 栅极掩模146形成于覆盖图1的栅极112的区域的所述层栅极材料144之上。栅极掩模146可部分地在隔离电介质层116上方延伸,如图2D中所描绘,以提供参考图1描述的场板功能性。栅极掩模146可包含通过光刻工艺形成的光致抗蚀剂,且可包含例如有机底部抗反

射涂层 (BARC) 的抗反射材料。

[0023] 参看图2E, 去除图2D的所述层栅极材料144的由栅极掩模146暴露的栅极材料, 留下栅极掩模146下方的栅极材料以形成栅极112。可通过湿式蚀刻工艺将栅极材料从栅极材料层144去除, 从而在栅极112上产生倾斜侧, 如图2E中所描绘。湿式蚀刻工艺可具有对栅极电介质层110的所要蚀刻选择性。或者, 可通过例如反应性离子蚀刻 (RIE) 工艺的等离子体蚀刻工艺来去除栅极材料。随后去除栅极掩模146, 例如通过灰化工艺, 接着是湿式清洗工艺。

[0024] 图3是用于形成包含FET的半导体装置的实例方法的流程图。操作300是提供半导体衬底。半导体衬底可为具有用于类似半导体装置的多个区域的晶片。半导体衬底可包含若干外延层以提供FET的所要沟道区。

[0025] 操作302是在半导体衬底上形成栅极电介质层的富氮氮化硅层, 下文称为富N层。所述富N层可在比化学计量氮化硅层低的温度下形成。含氮反应剂的流动速率与含硅反应剂的流动速率的比可高于针对化学计量氮化硅层的比。

[0026] 任选的操作304是在富N层上形成栅极电介质层的富硅氮化硅层, 下文称为富Si层。富Si层可在类似于用于形成化学计量氮化硅层的温度的温度下形成。含氮反应剂的流动速率与含硅反应剂的流动速率的比可低于针对化学计量氮化硅层的比率。

[0027] 任选的操作306是在富N层上方, 在富Si层 (如果存在) 上形成栅极电介质层的化学计量氮化硅层。可使用与用来形成富N层相同的含氮反应剂和含硅反应剂来形成化学计量氮化硅层。

[0028] 操作308是在栅极电介质层上方形成栅极。所述栅极可延伸过沟道区, 以提供场板功能性。

[0029] 图4A和图4B是图1的半导体装置的横截面, 描绘富N层的另一实例形成方法的阶段。参看图4A, 将半导体装置100放入ALD腔室148中, 其可能具有多个类似衬底。将半导体装置100加热到约375°C的温度。使用ALD四氯硅烷流量控制器150使四氯硅烷流动到第一LPCVD腔室, 以提供约170毫托的压力。将四氯硅烷分子吸附在半导体装置100上, 以形成含硅反应剂的吸附层。在形成含硅反应剂的吸附层之后, 四氯硅烷的流动停止。

[0030] 参看图4B, 在ALD腔室148中将半导体装置100加热到约550°C的温度。ALD腔室148可包含两个单独的沉积区, 保持在不同的温度。使用ALD氨流量控制器152使氨流动到ALD腔室148, 以在ALD腔室148中提供约300毫托的压力。氨分子吸附在半导体装置100上, 并与含硅反应剂的吸附层发生反应, 以形成富N层120的一部分。

[0031] 重复参考图4A和图4B描述的操作, 以形成完整的富N层120。取决于富N层120的所要厚度, 参考图4A和图4B描述的操作可重复例如30次到120次。在形成完整的富N层120之后, 半导体装置100的形成可继续进行, 例如参考图2B到图2E所描述。

[0032] 在所描述的实施例中可能进行修改, 且其它实施例在权利要求的范围内为可能的。

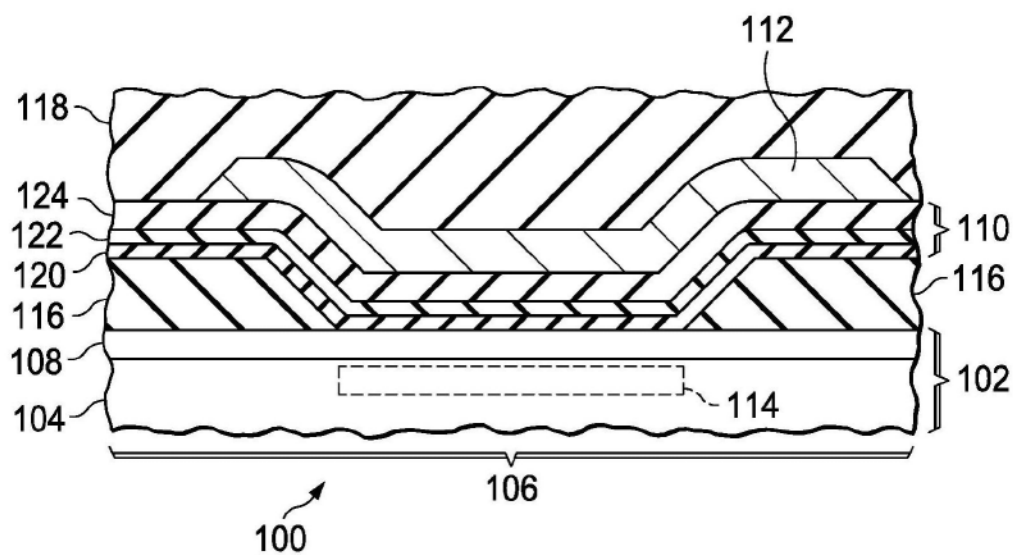


图1

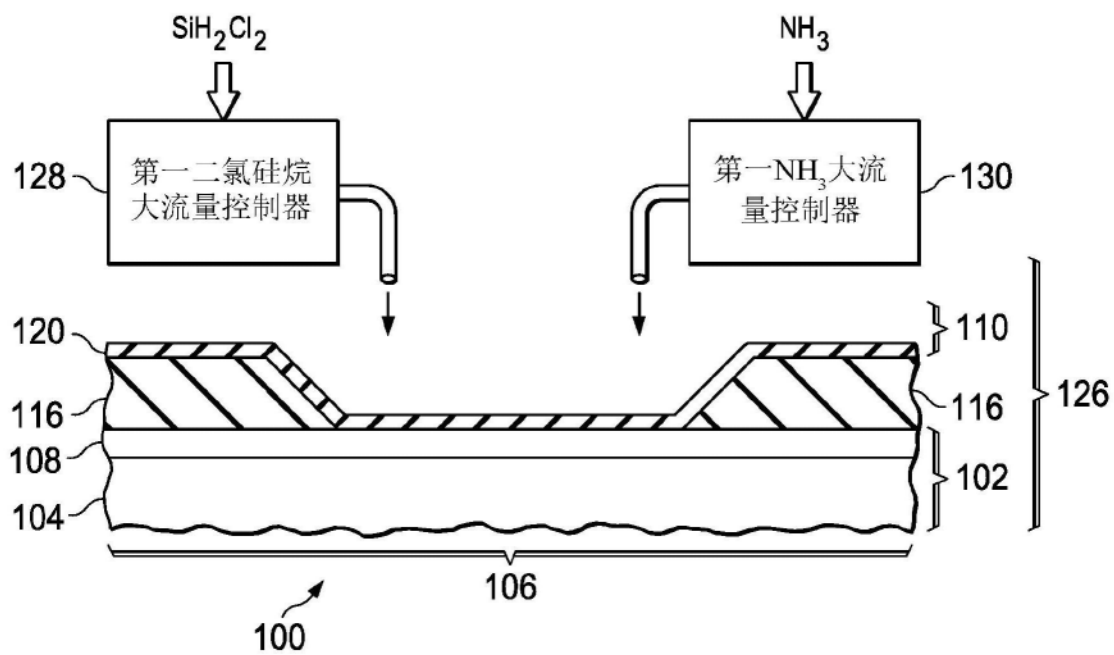


图2A

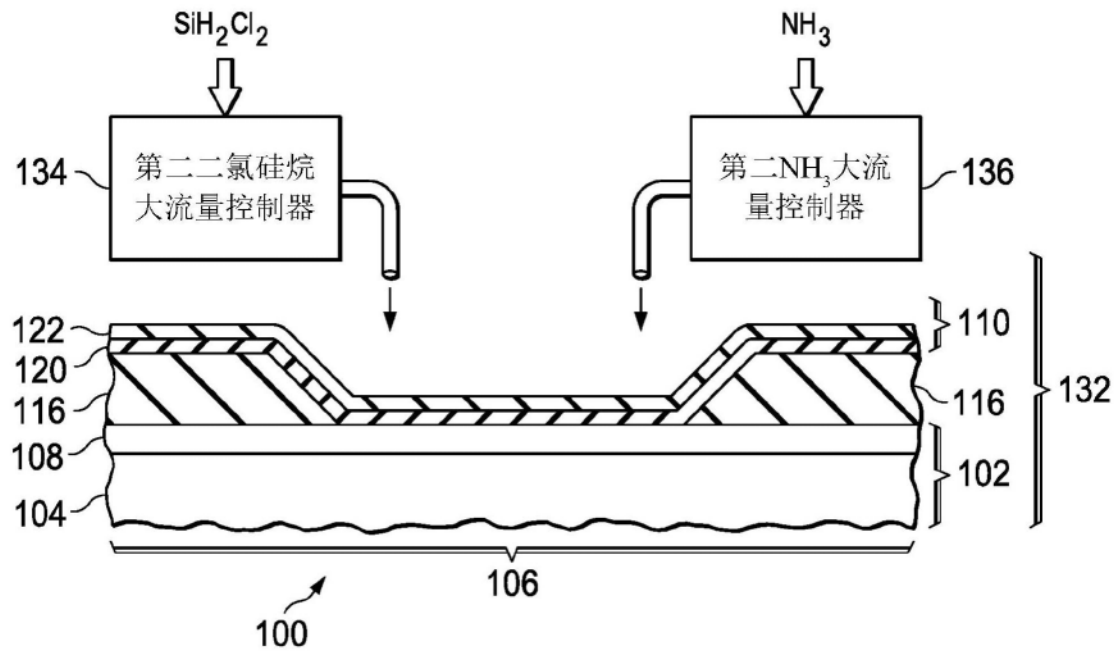


图2B

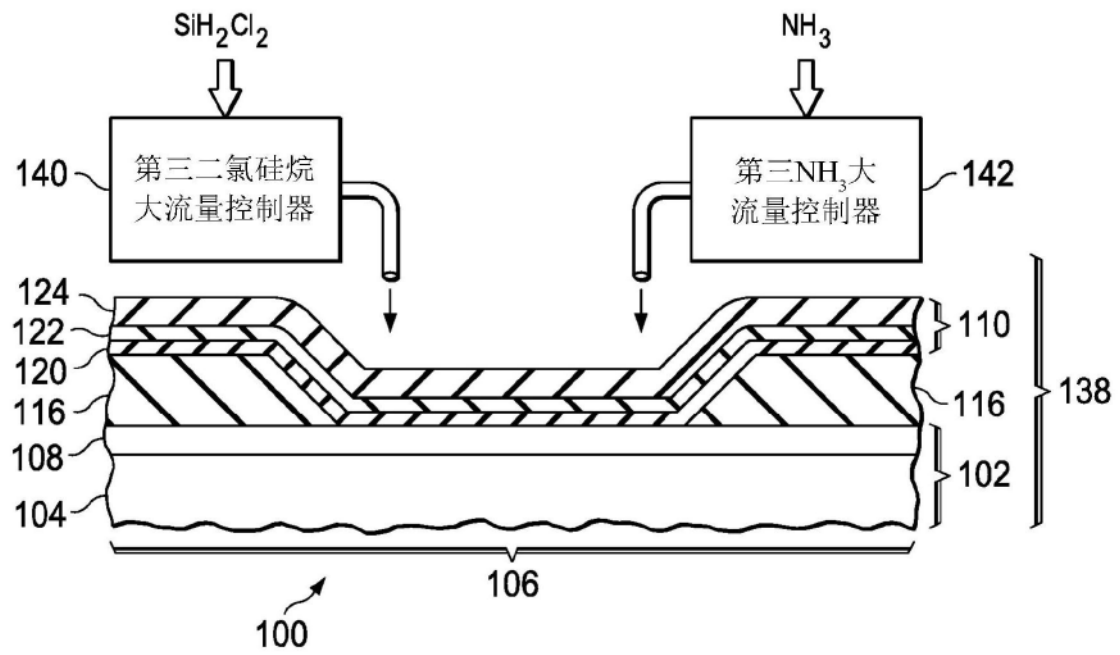


图2C

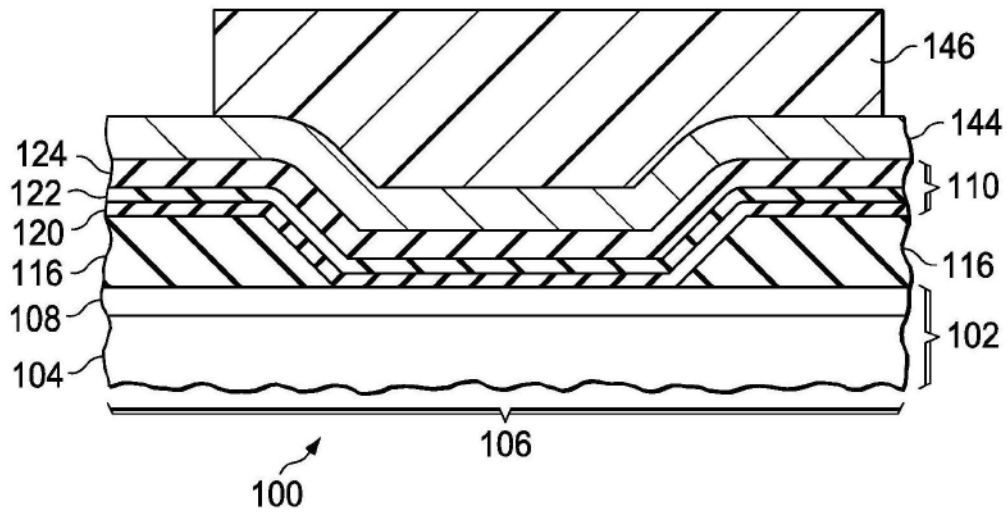


图2D

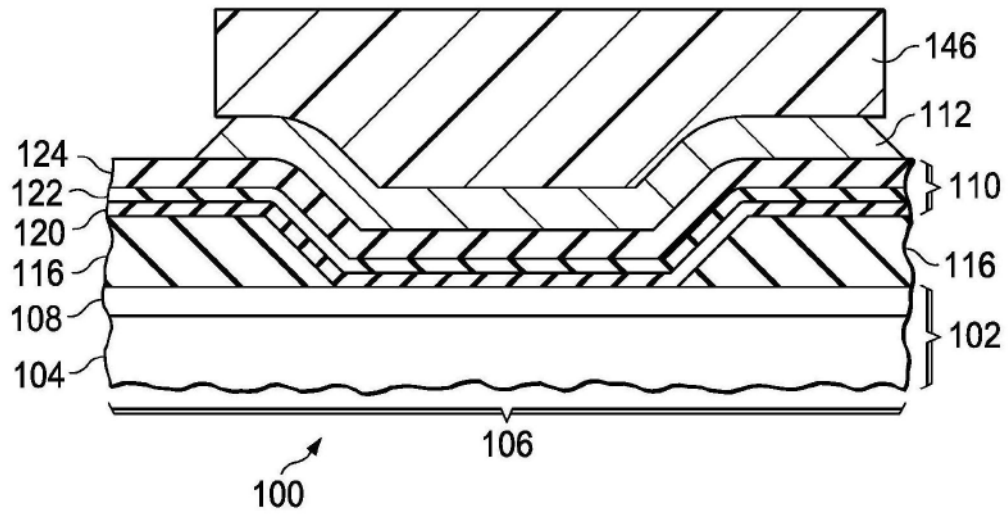


图2E

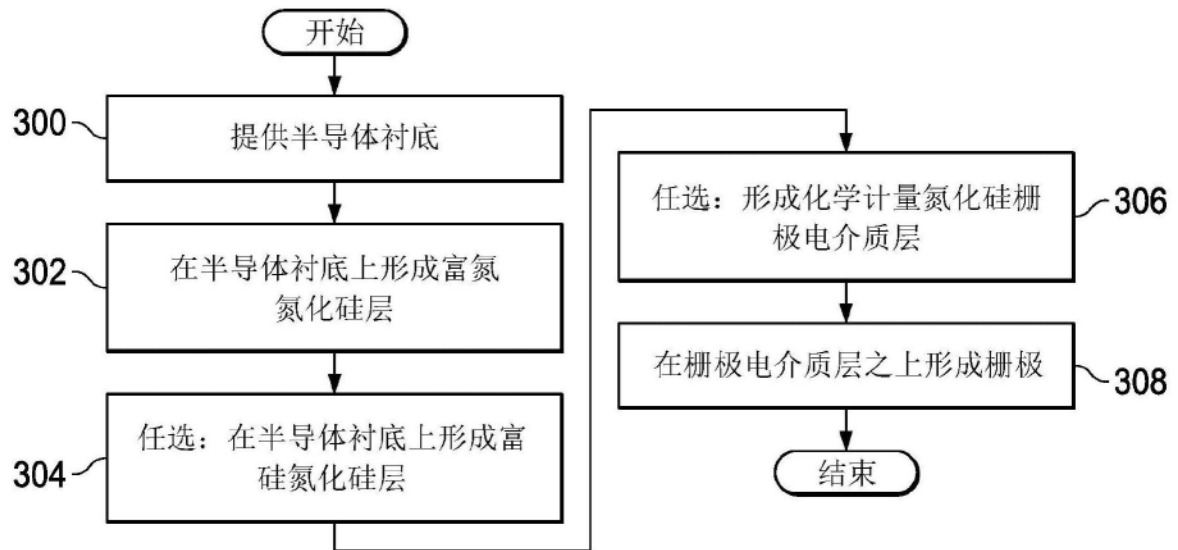


图3

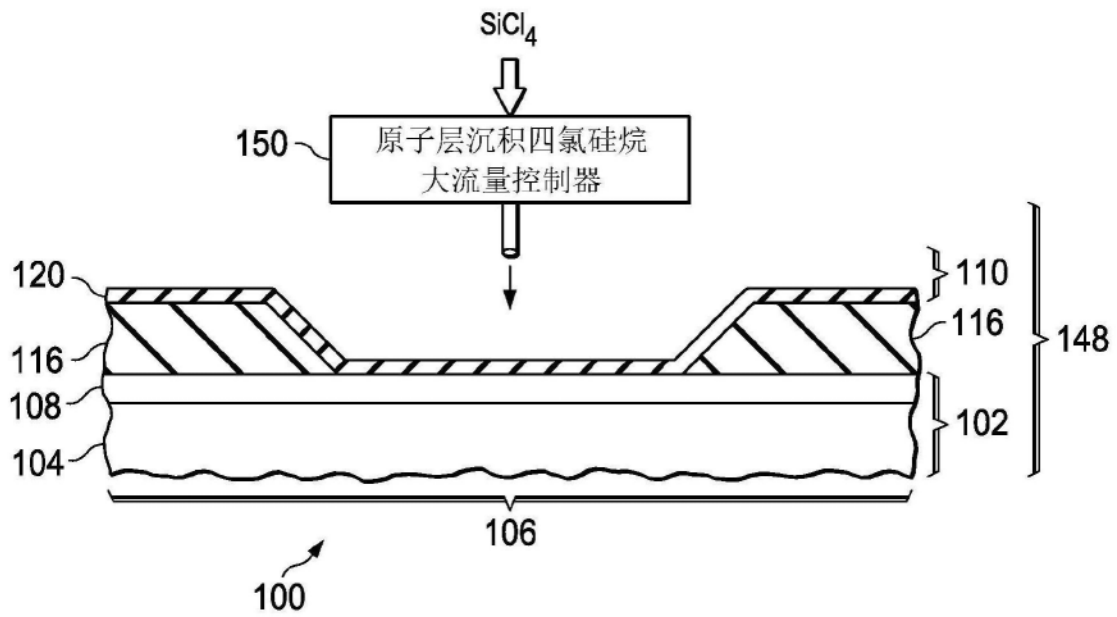


图4A

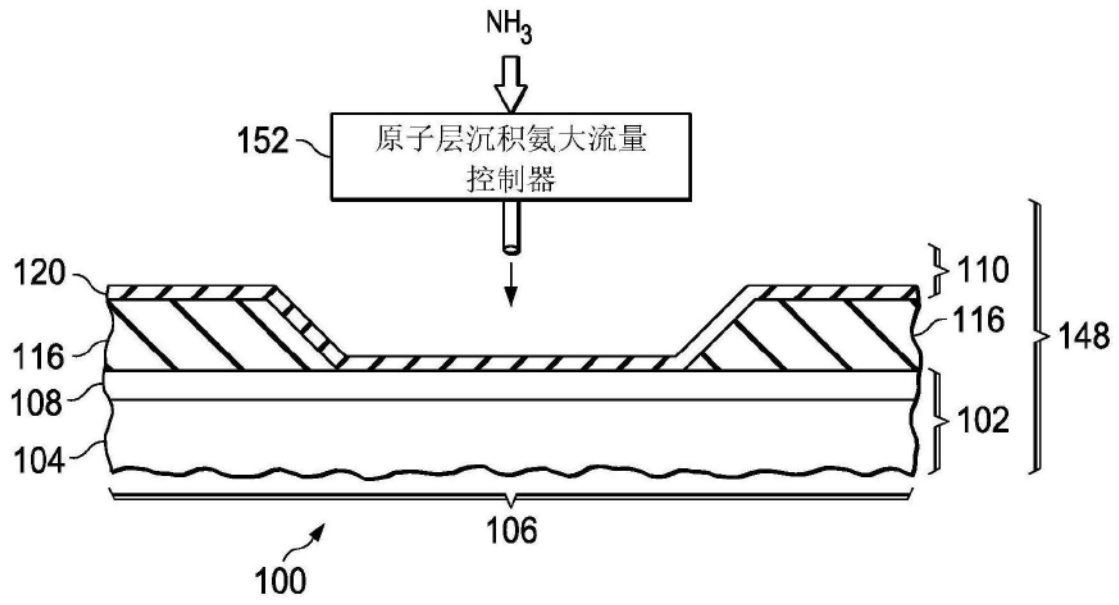


图4B