

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



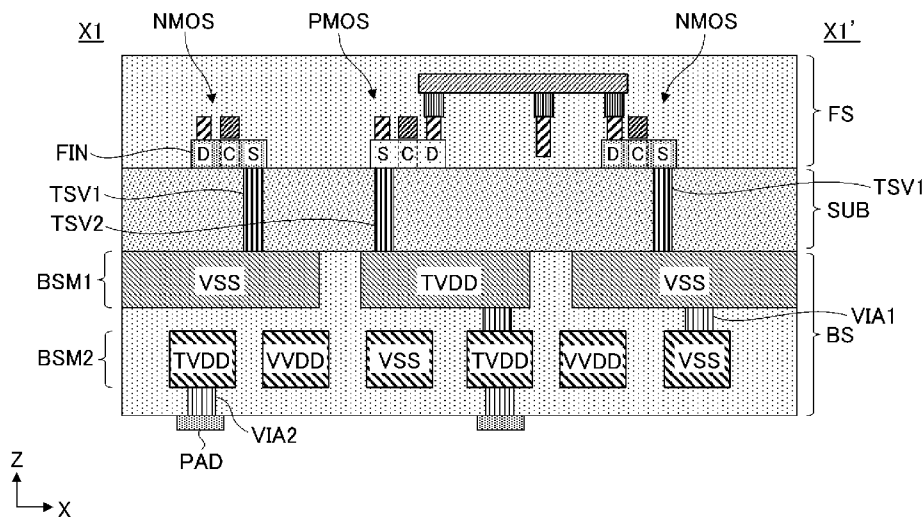
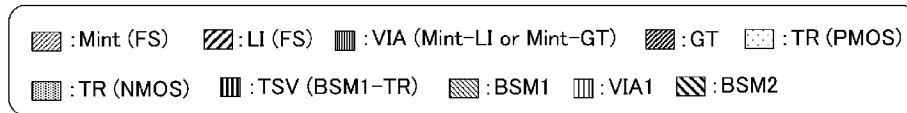
(10) 国際公開番号
WO 2024/252660 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 21/822* (2006.01)
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2023/021508
- (22) 国際出願日: 2023年6月9日(09.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:岡本 淳 (OKAMOTO, Atsushi); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). 武野 紘宜(TAKENO, Hirotaka); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP). ワン ウェンゼン(WANG, Wenzhen); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図6]



(57) Abstract: This semiconductor device comprises: a first electric power supply line, a second electric power supply line, and a third electric power supply line that are formed below the upper surface of a substrate; a first transistor that is formed above the substrate and is disposed so as to overlap the first electric power supply line in a plan view; a second transistor that is formed above the substrate; and a first via that is formed in the substrate and connects a source of the first transistor and the first electric power supply line. As a result, it is possible to efficiently provide a buffer that includes a



WO 2024/252660 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

transistor in which the source and the drain are directly connected to the wiring below the upper surface of the substrate by means of the via.

(57) 要約: 半導体装置は、基板の上面より下方に形成された第1の電源線と第2の電源線と第3の電源線と、基板の上方に形成され、第1の電源線と平面視で重なって配置された第1のトランジスタと、基板の上方に形成された第2のトランジスタと、基板に形成され、第1のトランジスタのソースと第1の電源線とを接続する第1のビアとを有する。これにより、ソース、ドレインがビアを介して基板の上面より下方の配線に直接接続されるトランジスタを含むバッファを効率よく配置することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 半導体装置において、電源スイッチ回路等の制御により電源電位の供給又は供給の停止が可能な電源ドメインにおいて、常に動作する回路を設ける技術が知られている。常に動作する回路がバッファである場合、Always on Buffer（以下AOB）と呼ばれる。

[0003] 半導体基板の裏面に形成された配線から、半導体の表面に形成されたトランジスタ等の素子に電源電位を供給するBS-PDN（Backside Power Delivery Network）技術が知られている。半導体基板の表面のトランジスタのソース、ドレインに、半導体基板の下方からビアを直接接続する技術が知られている。

先行技術文献

特許文献

- [0004] 特許文献1：米国特許出願公開第2022/0344263号明細書
特許文献2：米国特許出願公開第2022/0208757号明細書
特許文献3：米国特許出願公開第2021/0272903号明細書
特許文献4：米国特許出願公開第2019/0305773号明細書
特許文献5：国際公開第2020/065916号
特許文献6：国際公開第2020/066797号
特許文献7：国際公開第2021/079511号

発明の概要

発明が解決しようとする課題

[0005] 半導体基板の表面のトランジスタのソース、ドレインに直接ビアを接続する技術をAOBに適用した場合に、配線及びビア等をどのように配置し、接

続するのかが具体的に検討がされていない。

[0006] 本発明は、上記の点に鑑みてなされたもので、ソース、ドレインがビアを介して基板の下方の配線に直接接続されるトランジスタを含むバッファを効率よく配置することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様では、半導体装置は、基板と、前記基板の下方に形成され、第1の電位が供給される第1の電源線と、第2の電位が供給される第2の電源線と、第3の電位が供給される第3の電源線と、前記基板の上方に形成され、前記第1の電源線と平面視で重なって配置された第1のトランジスタと、前記基板の上方に形成された第2のトランジスタと、前記基板に形成され、前記第1のトランジスタのソースと前記第1の電源線とを接続する第1のビアと、を有する。

発明の効果

[0008] 開示の技術によれば、ソース、ドレインがビアを介して基板の下方の配線に直接接続されるトランジスタを含むバッファを効率よく配置することができる。

図面の簡単な説明

[0009] [図1]第1実施形態における半導体装置のレイアウトの一例を示す平面図である。

[図2]図1の半導体装置の断面構造の一例を示す断面図である。

[図3]図1のスタンダードセルブロックに配置される回路の一例を示す回路図である。

[図4]半導体基板の裏面側において、平面視で図3の電源ドメインPD2に配置される電源線及びビアと、AOBとの位置関係の一例を示す平面図である。

[図5]図4のAOBのレイアウトの一例を示す平面図である。

[図6]図5のX1-X1'線に沿う断面の一例を示す断面図である。

[図7]図5のX1-X1'線に沿う断面の別の例を示す断面図である。

[図8]図5のX1-X1'線に沿う断面の別の例を示す断面図である。

[図9]図5のX1-X1'線に沿う断面のさらなる別の例を示す断面図である。

[図10]図4のAOBのレイアウトの変形例を示す平面図である。

[図11]第2実施形態の半導体装置におけるAOBのレイアウトの一例を示す平面図である。

[図12]図11のAOBのレイアウトの変形例を示す平面図である。

[図13]第3実施形態の半導体装置において、平面視で図3のスタンダードセルブロックと重なる位置に配置される電源線及びビアと、AOBとの位置関係の一例を示す平面図である。

[図14]図13のAOBのレイアウトの一例を示す平面図である。

[図15]第4実施形態の半導体装置におけるAOBのレイアウトの一例を示す平面図である。

[図16]第5実施形態の半導体装置におけるスタンダードセルブロックに配置される回路の一例を示す回路図である。

発明を実施するための形態

[0010] 以下、図面を用いて実施形態を説明する。以下では、信号を示す符号は、信号線又は信号端子を示す符号としても使用される。電源電位を示す符号は、電源電位が供給される電源線又は電源端子を示す符号としても使用される。

[0011] (第1実施形態)

図1は、第1実施形態における半導体装置のレイアウトの一例を示す。例えば、図1に示す半導体装置100は、SoC (System on Chip) でもよく、単体のFPGA (Field-Programmable Gate Array) 等でもよい。

[0012] 半導体装置100は、複数のI/OセルIIOC、IIOC Pと内部回路領域INTRとを有する。I/OセルIIOCは、入力信号、出力信号又は入出力信号等の信号SGNL用のインタフェース回路である。I/OセルIIOC Pは、電源電位又は接地電位用のインタフェース回路である。

- [0013] 各I/OセルI OC、I OCPは、内部回路領域I NTRに接続される。例えば、内部回路領域I NTRは、スタンダードセルが設けられる1つ又は複数のスタンダードセルブロックSCBを有する。なお、内部回路領域I NTRには、スタンダードセル以外の論理回路が搭載されてもよく、メモリが搭載されてもよい。メモリは、スタンダードセルブロックSCB内に搭載されてもよい。
- [0014] 図2は、図1の半導体装置100の断面構造の一例を示す。半導体装置100は、基板SUBと、基板SUBの表面FS側に形成された配線層WL1と、基板SUBの裏面BS側に形成された配線層WL2とを有する。基板SUBの表面FSは、基板SUBの上面又は基板SUBの上方の一例であり、基板SUBの裏面BSは、基板SUBの下方の一例である。基板SUBの表面には、トランジスタの一部であるフィンFINが形成される。フィンFINは、ソース、ドレイン及びチャネルを有する。配線層WL2における基板SUBと反対側の面（裏面）には、外部接続端子であるパッドPADが形成される。
- [0015] 配線層WL2は、複数の配線層BSM1、BSM2（図2では2層、BSMはBackside Metalの略）を有する。例えば、配線層BSM1、BSM2には、電源電位及び接地電位等をそれぞれ供給する配線W1、W2がそれぞれ形成される。配線W1、W2は、ビアVIA1を介して相互に接続される。配線W2とパッドPADとは、ビアVIA2を介して相互に接続される。
- [0016] 配線W1は、基板SUBに形成されたTSV（Through Silicon Via）を介してフィンFINのソース及びドレインに接続される。配線W1は、TSVを介して、基板SUBの表面に埋め込まれた埋め込み配線BPR（Buried Power Rail）に接続されてもよい。TSVは、ビアの一例である。
- [0017] なお、基板SUB上に形成されるトランジスタは、フィンを用いたフィンFET（Field Effect Transistor）に限られない。例えば、基板SUB上に形成されるトランジスタは、プレーナ型MOSFET（Metal Oxide Semiconductor FET）、ナノシートFET又はCFET（Complementary FET）でもよ

い。

[0018] プレーナ型MOSFET及びナノシートFETにおいても、電源電位又は接地電位を供給するTSVは、トランジスタのソース及びドレインに接続される。また、CFETの場合、電源電位又は接地電位を供給するTSVは、基板SUBの最も近くに位置するソース及びドレインに接続されてもよい。

[0019] 図3は、図1のスタンダードセルブロックSCBに配置される回路の一例を示す。図3に示す例では、スタンダードセルブロックSCBは、電源電位TVDD及び接地電位VSSが供給される電源ドメインPD1、PD2、PD3を有する。電源電位TVDDは、第2の電位の一例であり、電源線TVDDは、第2の電源線の一例である。接地電位VSSは、第1の電位の一例であり、接地線VSSは、第1の電源線の一例である。

[0020] 電源ドメインPD1は、電源電位TVDD及び接地電位VSSを受けて動作する制御回路CNTL1、論理回路LGC1及びバッファBUF1を有する。電源ドメインPD2は、常時供給される電源電位TVDDと接地電位VSSとを受けて動作するバッファBUF21、BUF22、BUF23及びスイッチトランジスタSWTを有する。また、電源ドメインPD2は、仮想電源電位VVDDと接地電位VSSとを受けて動作するスタンダードセルSCとを有する。

[0021] 電源ドメインPD3は、電源電位TVDD及び接地電位VSSを受けて動作する論理回路LGC3を有する。仮想電源電位VVDDは、第3の電位の一例であり、仮想電源線VVDDは、第3の電源線の一例である。

[0022] バッファBUF21は、電源ドメインPD1の制御回路CNTL1から出力される制御信号をバッファBUF1を介して受け、入力信号INとしてバッファBUF22に出力する。バッファBUF22は、直列に接続されたインバータIV1、IV2を有する。インバータIV1は、入力信号INを受けて出力信号OUT0をインバータIV2及びスイッチトランジスタSWTのゲートに出力する。インバータIV2は、出力信号OUT0を受けて出力信号OUTを出力する。

- [0023] スイッチトランジスタSWTは、ソースが電源線TVDDに接続され、ドレインが仮想電源線VVDDに接続されたPMOSTランジスタであり、インバータIV1から出力される出力信号OUT0の電圧をゲート電位として受けて動作する。すなわち、スイッチトランジスタSWTのオン／オフは、制御回路CNTL1により制御され、仮想電源電位VVDDの供給又は停止は、スイッチトランジスタSWTのオン／オフにより切り替えられる。
- [0024] 電源ドメインPD2に配置されるバッファBUF21、BUF22は、仮想電源電位VVDDが供給されないスイッチトランジスタSWTのオフ中にも動作する。このため、仮想電源電位VVDDで動作するスタンダードセルSCを有する電源ドメインPD2において、電源ドメインPD1の制御回路CNTL1から出力される制御信号によりスイッチトランジスタSWTのオン／オフを制御することができる。
- [0025] スイッチトランジスタSWTがオンしている間、電源線TVDDと仮想電源線VVDDとが電氣的に接続され、電源電位TVDDは、仮想電源線VVDDを介してスタンダードセルSCに供給される。スイッチトランジスタSWTがオフしている間、電源線TVDDと仮想電源線VVDDとの電氣的な接続が遮断され、仮想電源線VVDDは、フローティング状態に設定される。スタンダードセルSCは、例えば、NAND回路及びインバータ等の各種論理回路を有する。スタンダードセルSCは、SRAM (Static Random Access Memory) 又は各種マクロを有してもよい。
- [0026] バッファBUF23は、電源ドメインPD1の論理回路LGC1から出力される信号を受け、受けた信号を電源ドメインPD3の論理回路LGC3に出力する。電源ドメインPD2に配置されるバッファBUF23は、仮想電源電位VVDDが供給されないスイッチトランジスタSWTのオフ中にも動作する。このため、仮想電源電位VVDDで動作するスタンダードセルSCを有する電源ドメインPD2において、電源ドメインPD1の論理回路LGC1から出力される信号を電源ドメインPD2のBUF23を介して電源ドメインPD3へ伝達することができる。

[0027] 仮想電源電位 V_{DD} の供給と停止とが可能な電源ドメイン PD_2 内に配置される常時動作が可能なバッファ BUF_{21} 、 BUF_{22} 、 BUF_{23} は、 AOB (Always on Buffer) と呼ばれることがある。例えば、 AOB は、セルとして設計されてもよい。 AOB は、電源ドメイン PD_2 内のスイッチトランジスタ SWT 等の回路を制御する制御信号の伝達、又は、電源ドメイン PD_1 、 PD_3 等の他の電源ドメイン間での信号（電源ドメイン PD_2 では使用されない信号）の伝達に使用される。 AOB は、第 1 の回路の一例である。

[0028] 図 4 は、半導体基板 SUB の裏面側において、平面視で図 3 の電源ドメイン PD_2 に配置される電源線及びビアと、 AOB との位置関係の一例を示す。例えば、配線層 B_{SM1} の各配線は、 X 方向に延在し、配線層 B_{SM2} の各配線は、 X 方向と異なる Y 方向に延在している。 X 方向は、第 1 の方向の一例であり、 Y 方向は、第 2 の方向の一例である。図 4 に示す符号 ROW は、配線層 B_{SM1} における Y 方向のスタンダードセル SC の幅を示す。

[0029] 配線層 B_{SM1} の仮想電源線 V_{DD} は、 Y 方向に ROW の 2 倍のピッチで配置される。 Y 方向に隣接する一対の仮想電源線 V_{DD} の間には、 X 方向に延在し、途中の複数個所で途切れている接地線 V_{SS} と、接地線 V_{SS} が途切れた位置に配置された電源線 T_{DD} とが、 X 方向に沿って交互に配置される。換言すると、 X 方向において複数の接地線 V_{SS} の間に電源線 T_{DD} が配置される。

[0030] 太い破線枠で示す AOB は、平面視で電源線 T_{DD} の一部と接地線 V_{SS} の一部とに重なる位置に、例えば、互い違い（千鳥状）に配置される。 AOB が配置されない領域には、例えば、図示しないスタンダードセル SC が配置される。

[0031] 電源線 T_{DD} を接地線 V_{SS} の途切れた位置に分散して配置することで、配線層 B_{SM1} において仮想電源線 V_{DD} 及び接地線 V_{SS} とともに X 方向に延在する電源線 T_{DD} 用の配置を不要にすることができる。また、電源線 T_{DD} を AOB が配置される位置のみに配置することができる。こ

れにより、間隔ROWを空けて配線される電源線TVDD用の専用の領域を設ける場合に比べて、配線層BSM1における仮想電源線VVDD及び接地線VSSの配置密度を高くすることができ、スタンダードセルSCへの電源供給能力を高くすることができる。

[0032] 配線層BSM2では、電源線TVDD、仮想電源線VVDD及び接地線VSSが、X方向に繰り返し配置される。配線層BSM1、BSM2の仮想電源線VVDDは、交差部分に配置されるビアVIA1を介して相互に接続される。配線層BSM1、BSM2の電源線TVDDは、交差部分に配置されるビアVIA1を介して相互に接続される。配線層BSM1、BSM2の接地線VSSは、交差部分に配置されるビアVIA1を介して相互に接続される。

[0033] なお、仮想電源線VVDDは、配線層BSM2での配置が省略されてもよい。この場合、配線層BSM2において、電源線TVDDと接地線VSSとがX方向に沿って交互に配置されてもよい。

[0034] なお、AOBの配置密度は、電源ドメインPD2内に配置するAOBの必要数に応じて設定される。この場合、配線層BSM1でX方向に延在する接地線VSSの切断間隔が変更されてもよく、配線層BSM1のY方向における電源線TVDDの配置間隔が変更されてもよい。

[0035] 図5は、図4のAOBのレイアウトの一例を示す。図5に示すAOBは、図3のバッファBUF22を示すが、図3のバッファBUF21又はバッファBUF23でもよい。図5及び以降の平面図に示す凡例において、符号LIは、基板SUB上に形成されたローカル配線を示す。配線LIは、トランジスタのソース及びドレインと直接接続が可能である。符号Mintは、配線LI上の配線層である金属配線層Mintに形成された配線を示す。符号GTは、トランジスタのゲートを示す。符号VIAは、Mint配線とローカル配線LIとを接続するビア、又はMint配線とゲートGTとを接続するビアを示す。

[0036] 符号TR (PMOS) は、PMOSトランジスタのトランジスタ領域 (ソ

ース、ドレイン及びチャネル)を示す。符号TR (NMOS)は、NMOSトランジスタのトランジスタ領域(ソース、ドレイン及びチャネル)を示す。PMOSトランジスタは、第2のトランジスタの一例であり、NMOSトランジスタは、第1のトランジスタの一例である。

[0037] 例えば、フィンFETでは、領域TRにフィンが形成される。ナノシートFETでは、領域TRにソース及びドレインとして半導体層が形成され、ソース及びドレインの間にチャネルであるナノシートが形成される。

[0038] AOBは、図4に示したように、配線層BSM1において平面視で電源線TVDDの一部と接地線VSSの一部とに重なる位置に配置される。AOBに含まれるインバータIV1、IV2のNMOSトランジスタは、平面視で配線層BSM1の接地線VSSに重なる位置に配置される。AOBに含まれるインバータIV1、IV2のPMOSトランジスタは、平面視で配線層BSM1の電源線TVDDに重なる位置に配置される。

[0039] インバータIV1、IV2のNMOSトランジスタのソースは、TSVを介して配線層BSM1の接地線VSSに直接接続される。インバータIV1、IV2のPMOSトランジスタのソースは、TSVを介して配線層BSM1の電源線TVDDに直接接続される。これにより、基板SUB(図2)の裏面側からAOBのトランジスタのソースに電源電位TVDD及び接地電位VSSを直接供給することができ、AOBのレイアウトサイズを小さくして、AOBを効率よく配置することができる。

[0040] なお、直接接続とは、TSVに含まれる導電体が各トランジスタのソースやドレイン等に接していることを意味し、例えばTSVが複数層の導電体を有する場合にその複数層の導電体の一部がトランジスタのソースやドレインに接していることも含まれる。

[0041] なお、配線層BSM1の電源線TVDD及び接地線VSSの各々は、図示を省略した配線層BSM2において対応する電源線TVDD及び接地線VSSの各々に接続される。また、配線層BSM2に仮想電源線VVDDが配置される場合、配線層BSM1の仮想電源線VVDDは、配線層BSM2の仮

想電源線VVDと接続されてもよい。

[0042] 図6は、図5のX1-X1'線に沿う断面の一例を示す。基板SUBの裏面BS側の配線層BSM1に形成された接地線VSSは、基板SUBに形成されたTSV1を介して基板SUBの表面FS上に形成されたNMOSトランジスタのソースS（N型不純物領域）に接続される。同様に、裏面BS側の配線層BSM1に形成された電源線TVDDは、基板SUBに形成されたTSV2を介して、表面FS上に形成されたPMOSトランジスタのソースS（P型不純物領域）に接続される。

[0043] 各フィンFINにおいて、ソースSとドレインDの間には、チャンネルCが配置される。チャンネルCの上には、ゲート絶縁膜（図示せず）を介してゲートGTが配置される。なお、図6では、裏面BS側に2つの配線層BSM1、BSM2が配置されるが、3層以上の配線層BSMが配置されてもよい。

[0044] 図7は、図5のX1-X1'線に沿う断面の別の例を示す。図6と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図7は、配線層BSM1の配線が形成される位置が異なることを除き、図6の断面構造と同様である。配線層BSM1の配線は、基板SUBの下方であって基板SUB中の裏面BS側に形成される。

[0045] 図8は、図5のX1-X1'線に沿う断面の別の例を示す。図6と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図8は、配線層BSM1の配線が形成される位置が異なることを除き、図6の断面構造と同様である。配線層BSM1の配線は、基板SUBの裏面BS側に露出せず、基板SUBの内部に形成される。基板SUB中に形成される配線層BSM1の配線は、基板SUBに形成されたビアVIA1を介して、配線層BSM2の配線に接続され、基板SUBに形成されたビアVIA3を介して、フィンFINのソースSに接続される。

[0046] 図9は、図5のX1-X1'線に沿う断面のさらなる別の例を示す。図6と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターン

で示し、詳細な説明は省略する。図9は、基板SUB上に形成されるトランジスタがナノシートFETであることを除き、図6の断面構造と同様である。ナノシートFETは、ソースS及びドレインDを有する半導体層と、ソースS及びドレインDの間に形成された半導体材料を有するナノシートNSと、ナノシートNSの表面に設けられるゲート絶縁膜（図示せず）を介して形成されたゲートGTとを有する。なお、図6、図7又は図8に示すフィンFETの代わりにナノシートFETが配置されてもよい。

[0047] 図10は、図4のAOBのレイアウトの変形例を示す。図5と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図10のレイアウトは、AOBのX方向の両側に隣接する領域にN型のウェルタップNWTPとP型のウェルタップPWTPとが配置されることを除き、図5のレイアウトと同様である。ウェルタップPWTPは、第1のウェルタップの一例であり、ウェルタップNWTPは、第2のウェルタップの一例である。

[0048] ウェルタップPWTPは、平面視で配線層BSM1の接地線VSSと重なる位置に配置される。ウェルタップPWTPは、ソース及びドレインがTSVを介して配線層BSM1の接地線VSSに直接接続されたPMOSTランジスタにより形成される。これにより、NMOSTランジスタの基板領域（網掛け以外の領域）であるP型のウェル領域PWに接地電位VSSを供給することができる。

[0049] ウェルタップNWTPは、平面視で配線層BSM1の電源線TVDDと重なる位置に配置される。ウェルタップNWTPは、ソース及びドレインがTSVを介して配線層BSM1の電源線TVDDに直接接続されたNMOSTランジスタにより形成される。これにより、PMOSTランジスタの基板領域（網掛けの領域）であるN型のウェル領域NWに電源電位TVDDを供給することができる。図10に示すように、AOBを配置する領域に隣接してウェルタップNWTP、PWTPを配置することで、回路領域の設計効率を向上することができる。

[0050] 以上、第1実施形態では、AOBのNMOSトランジスタ及びPMOSトランジスタのソースを、TSVを介して配線層BSM1の接地線VSS及び電源線TVDDに直接接続する。これにより、基板SUBの裏面側からAOBに電源電位TVDD及び接地電位VSSを直接供給することができ、AOBのレイアウトサイズを小さくして、AOBを効率よく配置することができる。

[0051] 電源線TVDDを接地線VSSの途切れた位置に分散して配置することで、配線層BSM1において仮想電源線VVDD及び接地線VSSとともにX方向に延在する電源線TVDD用の配置を不要にすることができる。また、電源線TVDDをAOBが配置される位置のみに配置することができる。これにより、仮想電源線VVDD及び接地線VSSとともにX方向に延在する電源線TVDDを半戦線BSM1に配置する場合に比べて、配線層BSM1における仮想電源線VVDD及び接地線VSSの配置密度を高くすることができる。また、スタンダードセルSCへの電源供給能力を高くすることができる。

[0052] ウェルタップPWTPを平面視で配線層BSM1の接地線VSSと重なる位置に配置することで、NMOSトランジスタの基板領域があるP型のウェル領域PWに接地電位VSSを供給することができる。ウェルタップNWTTPを平面視で配線層BSM1の電源線TVDDと重なる位置に配置することで、PMOSトランジスタの基板領域あるN型のウェル領域NWに電源電位TVDDを供給することができる。

[0053] (第2実施形態)

図11は、第2実施形態の半導体装置におけるAOBのレイアウトの一例を示す。図5と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。例えば、図11に示す電源ドメインPD2は、図3に示したように、電源ドメインPD1、PD3とともに図1のスタンダードセルブロックSCBに設けられる。

[0054] 図11では、配線層BSM1の接地線VSSは、X方向に延在して形成される。Y方向に互いに隣接する一対の接地線VSSの間には、X方向に延在

し、途中の複数個所で途切れている仮想電源線VVD Dと、仮想電源線VVD Dが途切れた位置に配置された電源線TVDDとが、X方向に沿って交互に配置される。なお、AOBは、図4と同様に、電源ドメインPD2内において互い違い（千鳥状）に配置される。

[0055] 配線層BSM1において電源線TVDDと接地線VSSとがY方向に並んで配置される場合、AOBのインバータIV1、IV2は、Y方向に並んで配置される。そして、インバータIV1、IV2のNMOSトランジスタは、平面視で配線層BSM1の接地線VSSに重なる位置に配置される。インバータIV1、IV2のPMOSトランジスタは、平面視で配線層BSM1の電源線TVDDに重なる位置に配置される。これにより、図5と同様に、NMOSトランジスタのソースをTSVを介して配線層BSM1の接地線VSSに直接接続することができ、PMOSトランジスタのソースをTSVを介して配線層BSM1の電源線TVDDに直接接続することができる。

[0056] 図12は、図11のAOBのレイアウトの変形例を示す。図11と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図12では、AOBは、配線層BSM1における電源線TVDDと接地線VSSとの境界部分を跨いで配置され、インバータIV1、IV2は、X方向に並んで配置される。インバータIV1、IV2のNMOSトランジスタは、平面視で配線層BSM1の接地線VSSに重なる位置に配置される。インバータIV1、IV2のPMOSトランジスタは、平面視で配線層BSM1の電源線TVDDに重なる位置に配置される。

[0057] インバータIV1、IV2のPMOSトランジスタのソースは、共通化され、共通のTSVを介して配線層BSM1の電源線TVDDに接続される。インバータIV1、IV2のNMOSトランジスタのソースは、共通化され、共通のTSVを介して配線層BSM1の接地線VSSに接続される。

[0058] これにより、図5と同様に、PMOSトランジスタのソースをTSVを介して配線層BSM1の電源線TVDDに直接接続することができ、NMOSトランジスタのソースをTSVを介して配線層BSM1の接地線VSSに直

接続することができる。また、TSVを共通化することで、AOBのレイアウトサイズを図5及び図11に比べて小さくすることが可能になる。

[0059] なお、インバータIV1、IV2のPMOSトランジスタのソースは、互いに独立に設けられてもよく、インバータIV1、IV2のNMOSトランジスタのソースは、互いに独立に設けられてもよい。また、他の実施形態および変形例において、インバータIV1、IV2のPMOSトランジスタのソースが共通化され、インバータIV1、IV2のNMOSトランジスタのソースが共通化されてもよい。

[0060] 以上、第2実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、基板SUBの裏面側からAOBに電源電位TVDD及び接地電位VSSを直接供給することができる。AOBのレイアウトサイズを小さくして、AOBを効率よく配置することができる。また、X方向に延在する仮想電源線VDDが途切れた位置に電源線TVDDが配置される場合にも、基板SUBの裏面側からAOBに電源電位TVDD及び接地電位VSSを直接供給することができる。

[0061] さらに、インバータIV1、IV2のPMOSトランジスタのソースは、共通化され、共通のTSVを介して配線層BSM1の電源線TVDDに接続される。インバータIV1、IV2のNMOSトランジスタのソースは、共通化され、共通のTSVを介して配線層BSM1の接地線VSSに接続される。これにより、AOBのレイアウトサイズをさらに小さくして、AOBをさらに効率よく配置することができる。

[0062] (第3実施形態)

図13は、第3実施形態の半導体装置において、平面視で図3のスタンダードセルブロックと重なる位置に配置される電源線及びビアと、AOBとの位置関係の一例を示す。図4と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。

[0063] 例えば、図13に示す電源ドメインPD2は、図3に示したように、電源ドメインPD1、PD3とともに図1のスタンダードセルブロックSCBに

設けられる。この実施形態では、配線層B S M 1の電源配線が途切れておらず、X方向に延在する接地線V S S、電源線T V D D及び仮想電源線V V D DがY方向に並んで配置される。A O Bは、配線層B S M 1において互いに隣接する接地線V S Sと電源線T V D Dとに重なる位置に配置される。

[0064] 図14は、図13のA O Bのレイアウトの一例を示す。図5と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。図4に示すA O Bのレイアウトは、図12のA O Bのレイアウトと同一又は同様である。すなわち、A O Bは、配線層B S M 1における電源線T V D Dと接地線V S Sとの境界部分を跨いで配置され、インバータI V 1、I V 2は、X方向に並んで配置される。

[0065] インバータI V 1、I V 2のP M O Sトランジスタのソースは、共通化され、共通のT S Vを介して配線層B S M 1の電源線T V D Dに接続される。インバータI V 1、I V 2のN M O Sトランジスタのソースは、共通化され、共通のT S Vを介して配線層B S M 1の接地線V S Sに接続される。

[0066] なお、インバータI V 1、I V 2のP M O Sトランジスタのソースは、互いに独立に設けられてもよい。また、インバータI V 1、I V 2のN M O Sトランジスタのソースは、互いに独立に設けられてもよい。

[0067] 以上、第3実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、基板S U Bの裏面側からA O Bに電源電位T V D D及び接地電位V S Sを直接供給することができ、A O Bのレイアウトサイズを小さくして、A O Bを効率よく配置することができる。また、配線層B S M 1の電源線T V D DがX方向に延在して配置される場合にも、A O Bのレイアウトサイズを小さくして、A O Bを効率よく配置することができる。

[0068] (第4実施形態)

図15は、第4実施形態の半導体装置におけるA O Bのレイアウトの一例を示す。図5と同一又は同様の要素及びレイアウトについては、同じ符号又は同じパターンで示し、詳細な説明は省略する。例えば、図15に示す電源ドメインP D 2は、図3に示したように、電源ドメインP D 1、P D 3とと

もに図1のスタンダードセルブロックSCBに設けられる。

[0069] 図15における配線層BSM1の接地線VSS、仮想電源線VVDD及び電源線TVDDのレイアウトは、図11と同様である。すなわち、接地線VSSは、X方向に延在して形成される。Y方向に互いに隣接する一対の接地線VSSの間には、X方向に延在し、途中の複数個所で途切れている仮想電源線VVDDと、仮想電源線VVDDが途切れた位置に配置された電源線TVDDとが、X方向に沿って交互に配置される。

[0070] この実施形態では、平面視で配線層BSM1の仮想電源線VVDDに重なる位置に電源タップセルTPCが配置される。また、平面視で配線層BSM1の電源線TVDDと接地線VSSとに重なる位置に2つのAOB1、AOB2がX方向に並べて配置される。

[0071] 電源タップセルTPCは、ソース及びドレインがTSVを介して配線層BSM1の電源線TVDDに直接接続されたPMOSトランジスタを有する。また、電源タップセルTPCは、ソース及びドレインがTSVを介して配線層BSM1の接地線VSSに直接接続されたPMOSトランジスタを有する。トランジスタのソース、ドレインは、半導体層の一例である。

[0072] 各AOB1、AOB2のインバータIV1、IV2は、図11と同様にY方向に並んで配置される。インバータIV1、IV2のPMOSトランジスタは、平面視で配線層BSM1の電源線TVDDに重なる位置に配置される。各AOB1、AOB2のPMOSトランジスタのソースは、Y方向に延在するMint配線、ビアVIA及びX方向に延在するローカル配線LIを介して電源タップセルTPCのPMOSトランジスタのソース及びドレインに接続される。すなわち、各AOB1、AOB2は、電源タップセルTPCから供給される電源電位TVDDを受ける。

[0073] インバータIV1、IV2のNMOSトランジスタは、平面視で配線層BSM1の接地線VSSに重なる位置に配置され、NMOSトランジスタのソースは、TSVを介して配線層BSM1の接地線VSSに直接接続される。

[0074] 図15に示すように、配線層BSM1の仮想電源線VVDDを途切れさせ

て配置する場合、仮想電源線V V D Dの間に配置される電源線T V D Dとの間に所定の間隔を空ける（空き領域を設ける）必要がある。この実施形態では、配線層B S M 1の電源線T V D Dに対応する位置に電源タップセルT P Cを配置し、電源タップセルT P Cから複数のA O B 1、A O B 2に電源電位T V D Dを供給する。

[0075] これにより、A O Cを配線層B S M 1の電源線T V D Dに対向する位置だけでなく、配線層B S M 1の仮想電源線V V D Dに対向する位置にも配置することができる。この結果、配線層B S M 1の電源線T V D Dの配置数を減らすことができ、回路領域において空き領域が占める面積を減らすことができる。これにより、素子面積の増加を抑制することが可能となる。これに対して、各A O B 1、A O B 2に対応する位置に配線層B S M 1の電源線T V D Dを配置すると、各A O B 1、A O B 2に対応する電源線T V D D用の空き領域が必要となるため、素子面積が増加するおそれがある。

[0076] 以上、第4実施形態においても、第1実施形態と同様の効果を得ることができる。例えば、基板S U Bの裏面側からA O Bに電源電位T V D D及び接地電位V S Sを直接供給することができ、A O Bのレイアウトサイズを小さくして、A O Bを効率よく配置することができる。

[0077] さらに、第4実施形態では、平面視で配線層B S M 1の電源線T V D Dと重なる位置に配置される電源タップセルT P Cと複数のA O BのP M O S Tランジスタのソースとを配線を介して接続する。これにより、配線層B S M 1の電源線T V D DをA O B毎に配置する場合に比べて、配線層B S M 1の電源線T V D Dの配置数を減らすことができ、回路領域において空き領域が占める面積を減らすことができる。この結果、素子面積の増加を抑制することが可能となり、A O Bの総レイアウトサイズを小さくして、A O Bを効率よく配置することができる。なお、図15では配線層B S M 1の電源線T V D Dが仮想電源線V V D Dの途切れた位置に配置されているが、配線層B S M 1の接地線V S Sが途切れた位置に電源線T V D Dが配置された場合も電源タップセルT P Cから複数のA O B 1、A O B 2に電源電位T V D Dを供

給するようにしてもよい。また、他の実施形態においても同様の構成としてもよい。

[0078] (第5実施形態)

図16は、第5実施形態の半導体装置におけるスタンダードセルブロックSCBに配置される回路の一例を示す。図3と同一又は同様の要素については、同じ符号を付し、詳細な説明は省略する。図16に示すスタンダードセルブロックSCBは、図1と同様に、半導体装置100の内部回路領域INTRに搭載される。

[0079] 図16に示すスタンダードセルブロックSCBは、図3と同様に、電源電位TVDD及び接地電位が供給される電源ドメインPD1、PD3と、電源電位VVDD及び接地電位VSSが供給される電源ドメインPD2とを有する。電源ドメインPD1、PD3は、図3の電源ドメインPD1、PD3とそれぞれ同じである。

[0080] 電源ドメインPD2は、図3の電源ドメインPD2に含まれるスイッチトランジスタSWTを持たない。そして、例えば、半導体装置100の外部に設けられる電源管理IC(Integrated Circuit)から供給される仮想電源電位VVDDが、スイッチSWを介して電源ドメインPD2内の仮想電源線VVDDに供給される。電源管理ICは、半導体装置100が搭載されるボード上に配置されてもよく、半導体装置100が搭載されるボードの外部に配置されてもよい。

[0081] 図16の電源ドメインPD2は、スイッチトランジスタSWTを持たないため、バッファBUF22は、電源ドメインPD2の回路又は電源ドメインPD3の回路の制御に使用される。バッファBUF21、BUF22、BUF23等のAOBのレイアウト及び断面構造は、第1の実施形態から第4の実施形態のAOBのレイアウト及び断面構造と同一または同様である。

[0082] 以上、第5実施形態においても、第1実施形態から第4の実施形態と同様の効果を得ることができる。

[0083] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に

示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

符号の説明

- [0084] 100 半導体装置
- BPR 埋め込み配線
- BS 裏面
- BSM1、BSM2 配線層
- BUF1、BUF21、BUF22、BUF23 バッファ
- C チャンネル
- CNTL1 制御回路
- D ドレイン
- FIN フィン
- FS 表面
- GT ゲート
- IN 入力信号
- INTR 内部回路領域
- IOC、IOCP I/Oセル
- IV1、IV2 インバータ
- LI ローカル配線
- Mint 配線
- NW ウェル領域
- NWTP ウェルタップ
- OUT、OUT0 出力信号
- PAD パッド
- PD1、PD2、PD3 電源ドメイン
- PSW 電源スイッチ回路
- PW ウェル領域

PWTP ウェルタップ
ROW 間隔
S ソース
SC スタンダードセル
SCB スタンダードセルブロック
SGNL 信号
SUB 基板
SW スイッチ
SWT スイッチトランジスタ
TPC 電源タップセル
TR トランジスタ領域
TVDD 電源線
VIA1、VIA2、VIA3 ビア
VSS 接地線
VVDD 仮想電源線
W1、W2 配線
WL1、WL2 配線層

請求の範囲

- [請求項1] 基板と、
- 前記基板の上面より下方に形成され、第1の電位が供給される第1の電源線と、第2の電位が供給される第2の電源線と、第3の電位が供給される第3の電源線と、
- 前記基板の上方に形成され、前記第1の電源線と平面視で重なって配置された第1のトランジスタと、前記基板の上方に形成された第2のトランジスタと、
- 前記基板に形成され、前記第1のトランジスタのソースと前記第1の電源線とを接続する第1のビアと、
- を有する半導体装置。
- [請求項2] 前記基板に形成され、前記第2の電源線に接続する第2のビアと、
- 前記基板上に形成され、平面視で前記第2の電源線と重なって配置される半導体層と、
- 前記基板上に形成され、前記半導体層と前記第2のトランジスタのソースとを電氣的に接続する配線と、
- を有する請求項1に記載の半導体装置。
- [請求項3] 前記第1のトランジスタ及び前記第2のトランジスタをそれぞれ有する複数の第1の回路を有し、
- 前記配線は、前記複数の第1の回路のそれぞれの前記第2のトランジスタの前記ソースに電氣的に接続される
- 請求項2に記載の半導体装置。
- [請求項4] 前記第1の電源線、前記第2の電源線及び前記第3の電源線が配線され、前記第1の電位が前記第1の電源線に常時供給され、前記第2の電位が前記第2の電源線に常時供給され、前記第3の電位の前記第3の電源線への供給又は停止が切り替えられる電源ドメインと、
- 前記電源ドメインに配置される前記第1のトランジスタ及び前記第2のトランジスタを有し、前記第1の電位及び前記第2の電位を受け

て動作するインバータと、

を有する請求項 1 に記載の半導体装置。

[請求項5]

前記基板に形成され、前記第 2 の電源線と平面視で重なって配置された前記第 2 のトランジスタのソースと前記第 2 の電源線とを接続する第 2 のビアを有し、

前記第 1 の電源線、前記第 2 の電源線及び前記第 3 の電源線は、それぞれ平面視で第 1 の方向に延在し、

前記第 1 の電源線は、前記第 1 の方向に延在する途中の複数個所で途切れており、

前記第 2 の電源線は、前記第 1 の電源線が途切れた領域に配置され、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、平面視で前記第 1 の方向に並んで配置される

請求項 4 に記載の半導体装置。

[請求項6]

前記基板に形成され、前記第 2 の電源線と平面視で重なって配置された前記第 2 のトランジスタのソースと前記第 2 の電源線とを接続する第 2 のビアを有し、

前記第 1 の電源線、前記第 2 の電源線及び前記第 3 の電源線は、それぞれ平面視で第 1 の方向に延在し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタは、平面視で前記第 1 の方向と異なる第 2 の方向に並んで配置される

請求項 4 に記載の半導体装置。

[請求項7]

前記第 3 の電源線は、前記第 1 の方向に延在する途中の複数個所で途切れており、

前記第 2 の電源線は、前記第 3 の電源線が途切れた領域に配置される

請求項 6 に記載の半導体装置。

[請求項8]

前記基板上において、平面視で前記第 1 の電源線と重なる位置に配

置され、前記基板に形成された第3のビアに接続され、前記第1のトランジスタのウェルに前記第1の電位を供給する第1のウェルタップと、

前記基板上において、平面視で前記第2の電源線と重なる位置に配置され、前記基板に形成された第4のビアに接続され、前記第2のトランジスタのウェルに前記第2の電位を供給する第2のウェルタップと、

を有する請求項1に記載の半導体装置。

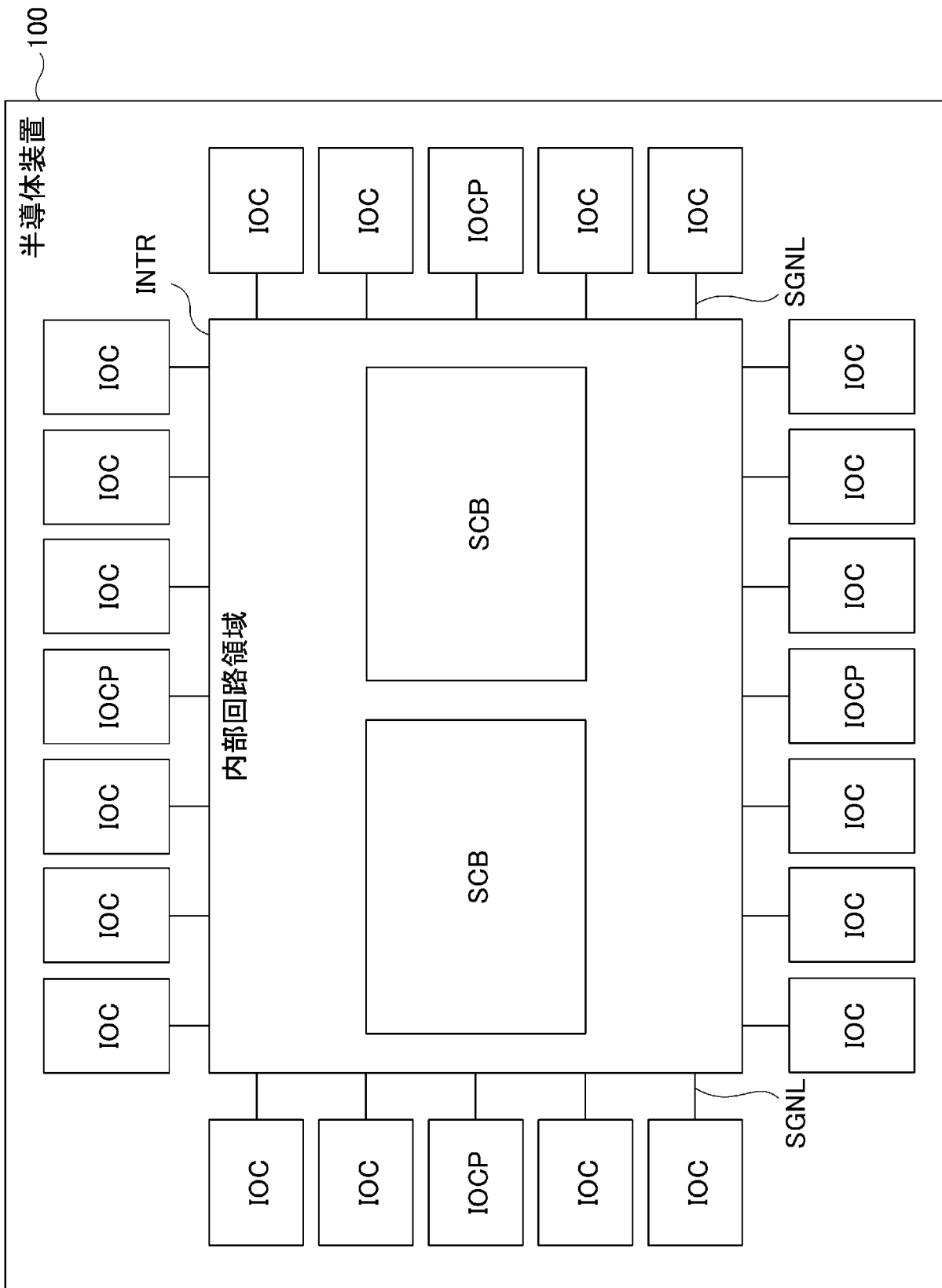
[請求項9]

前記第2の電源線を前記第3の電源線に接続するスイッチトランジスタを有し、

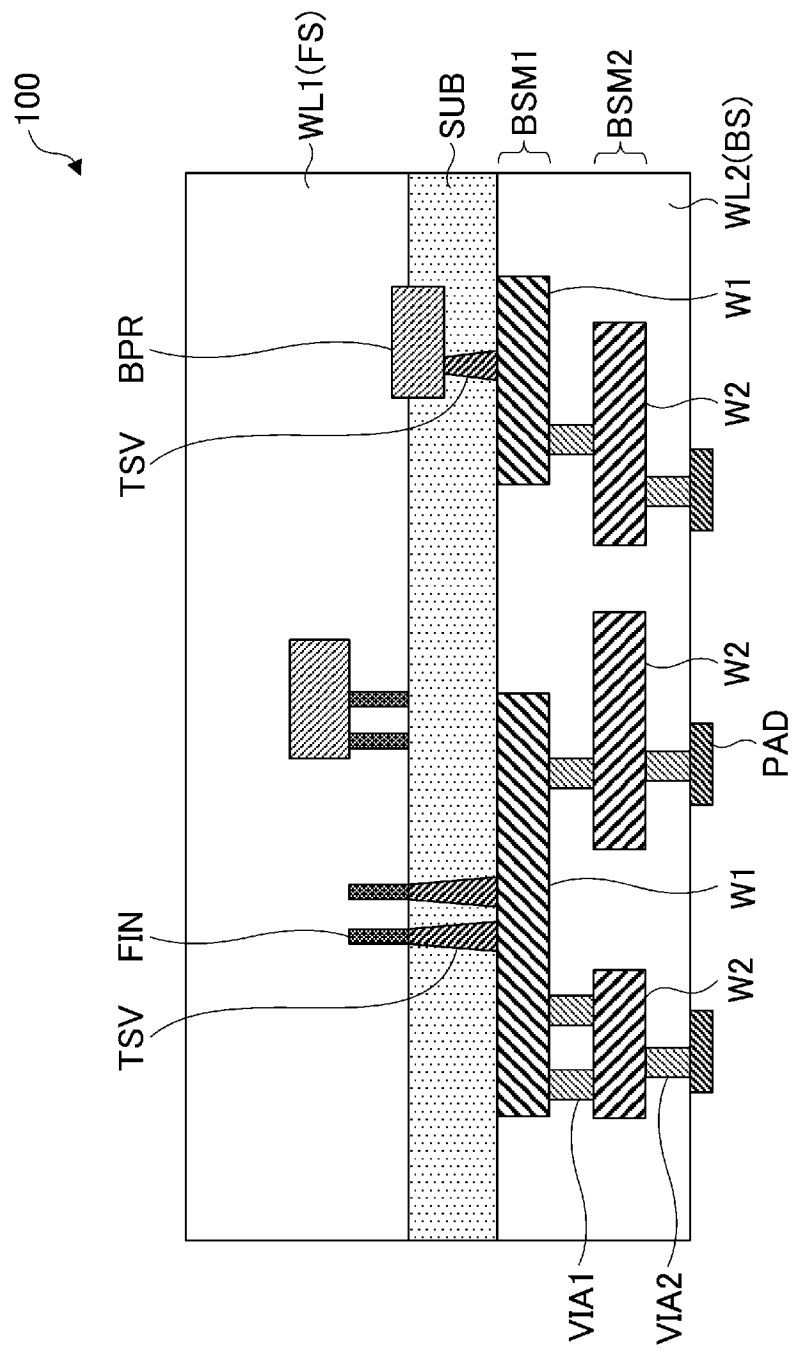
前記インバータの出力は、前記スイッチトランジスタのゲートに接続される

請求項4ないし請求項7のいずれか1項に記載の半導体装置。

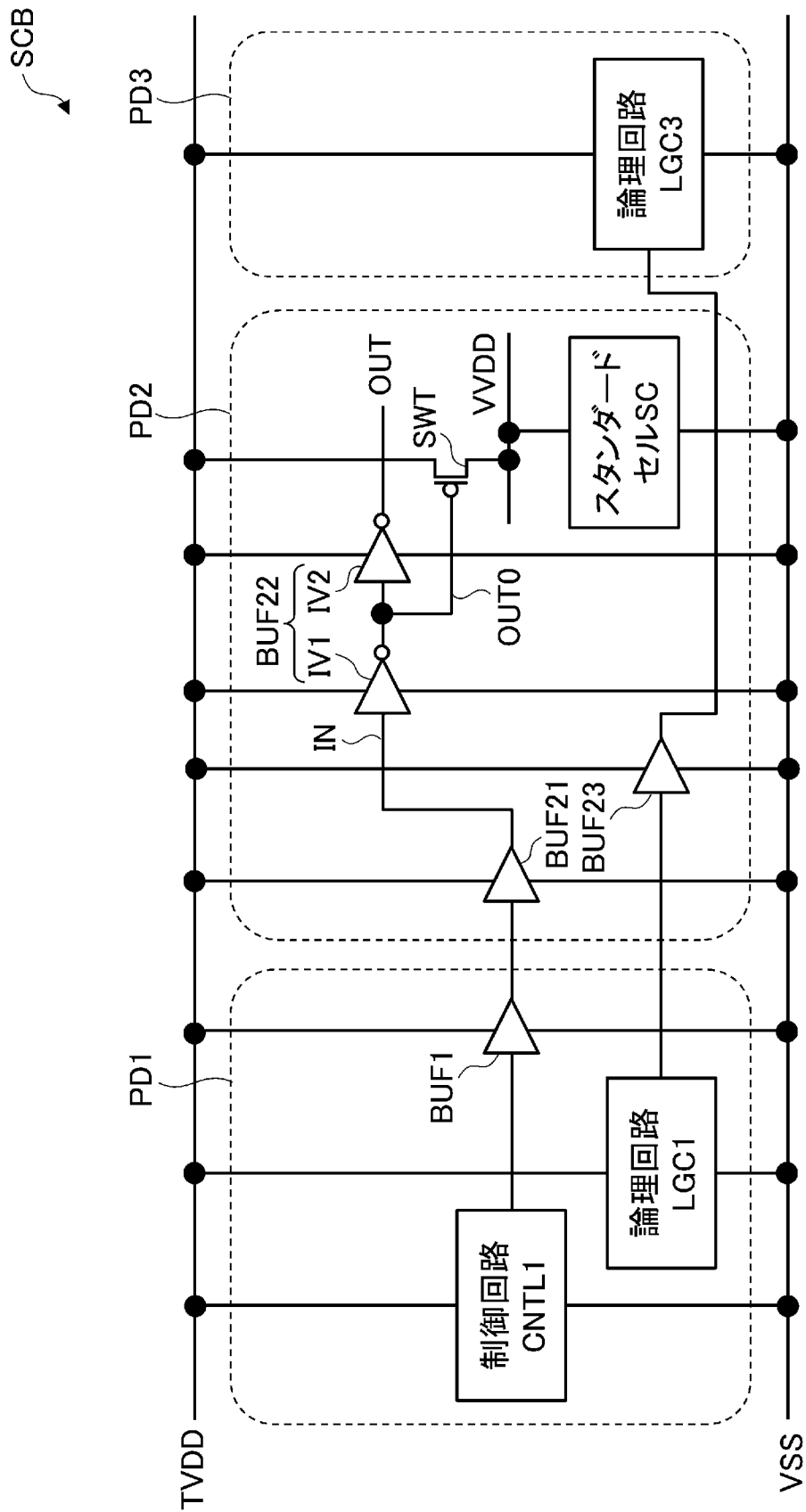
[図1]



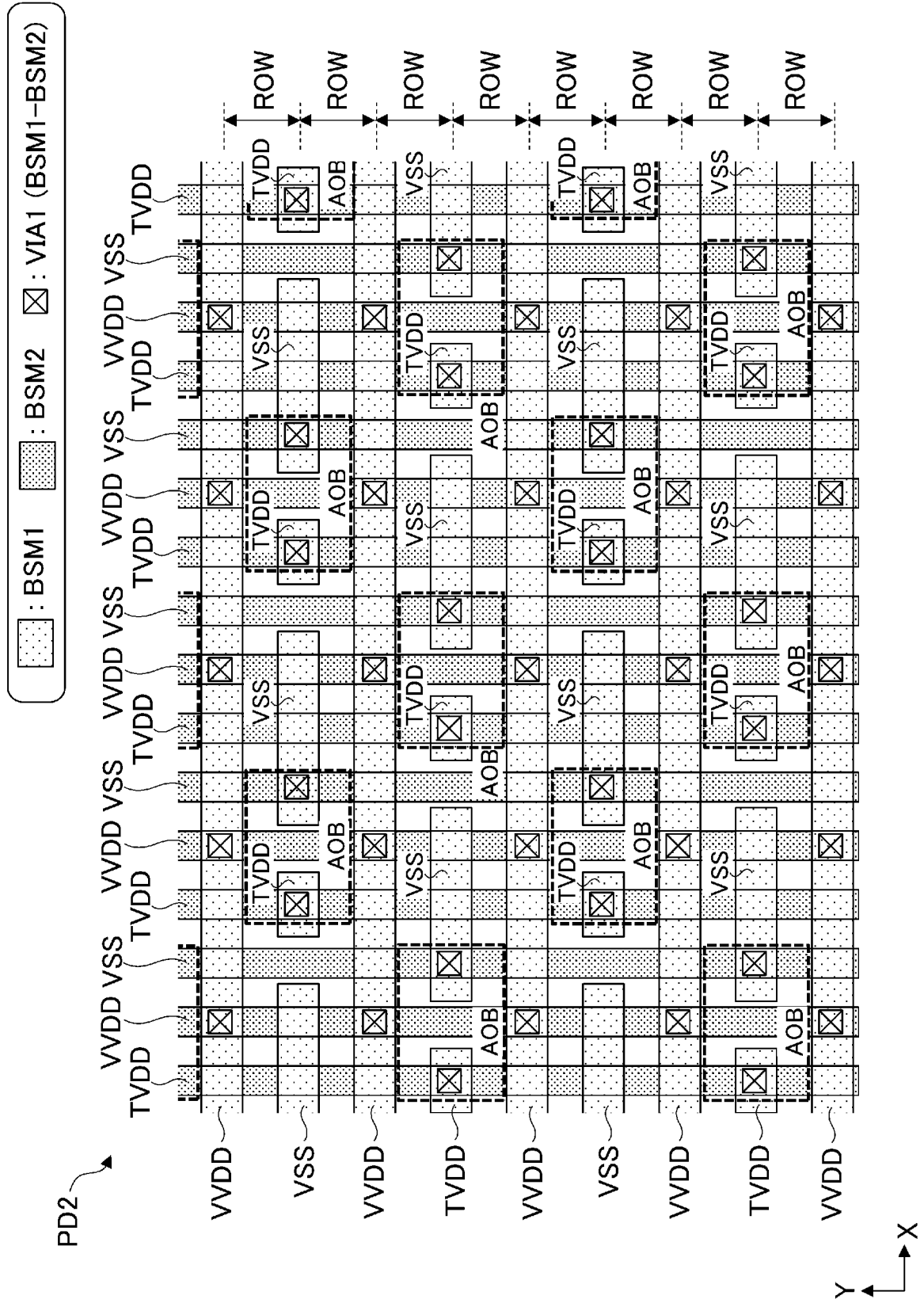
[2]



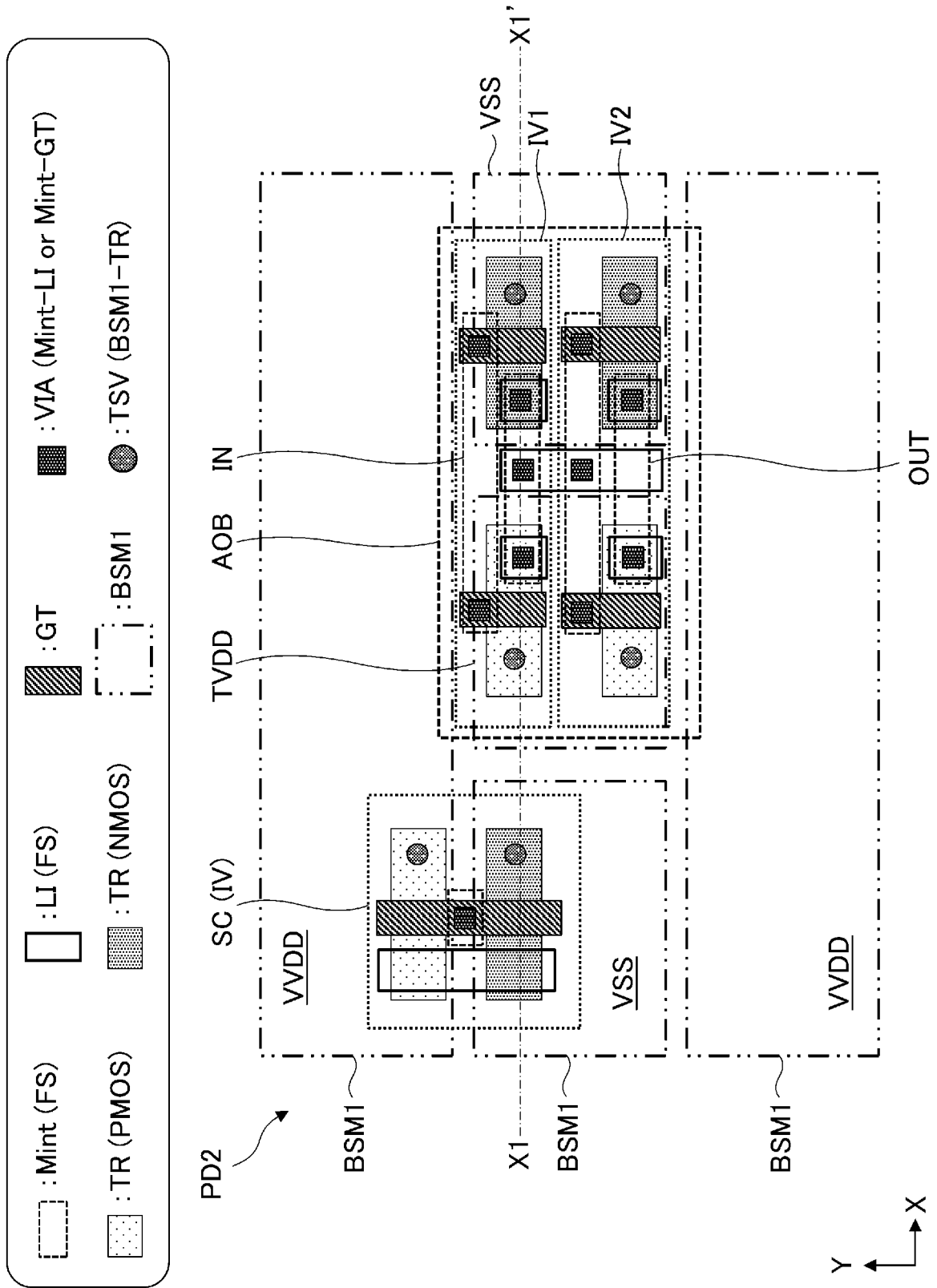
[図3]



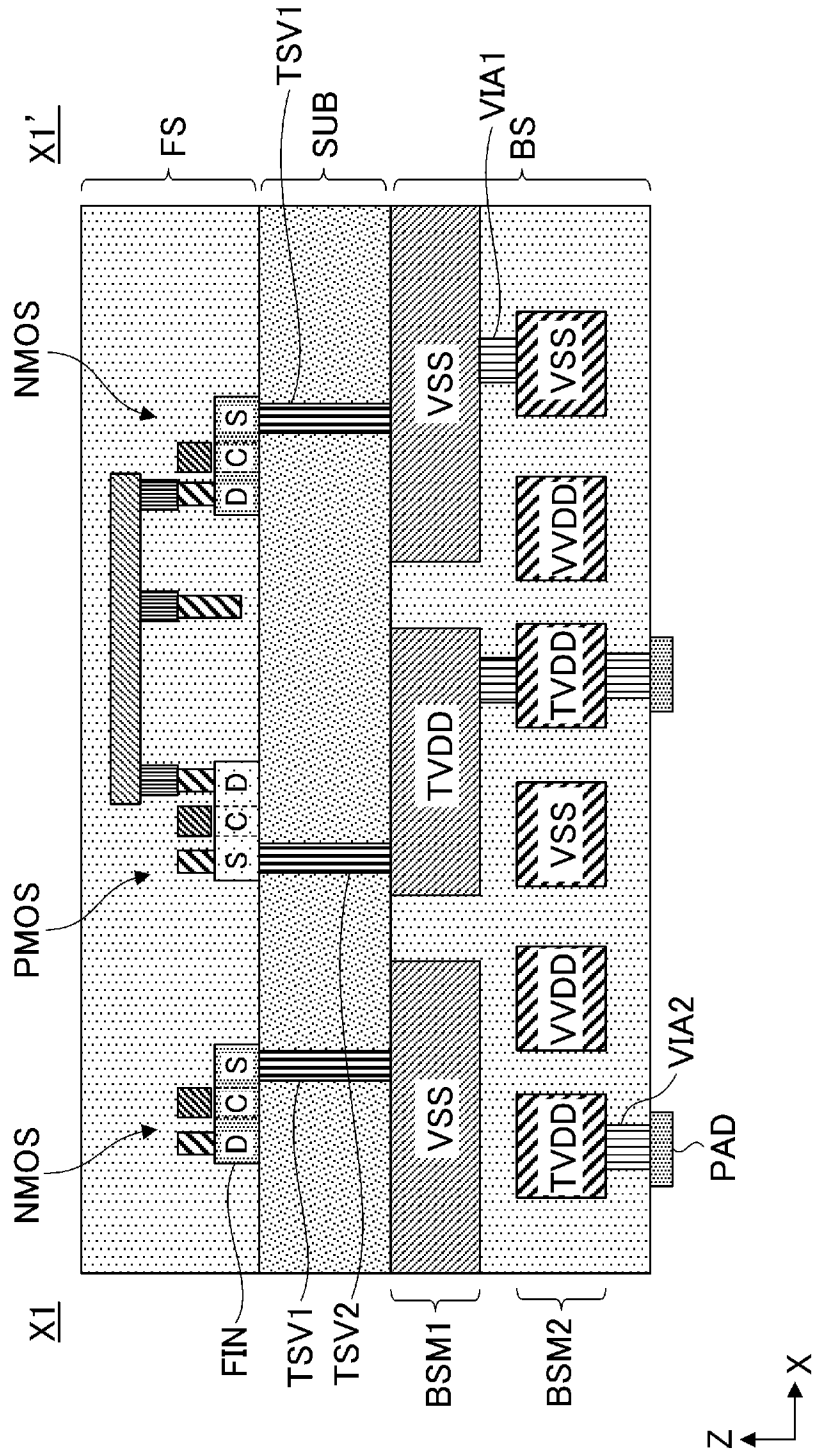
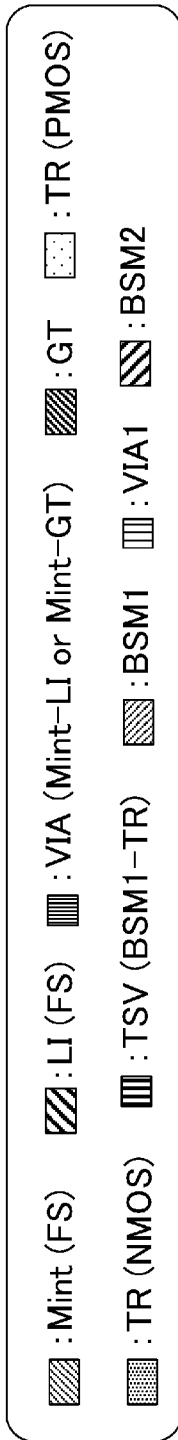
[図4]



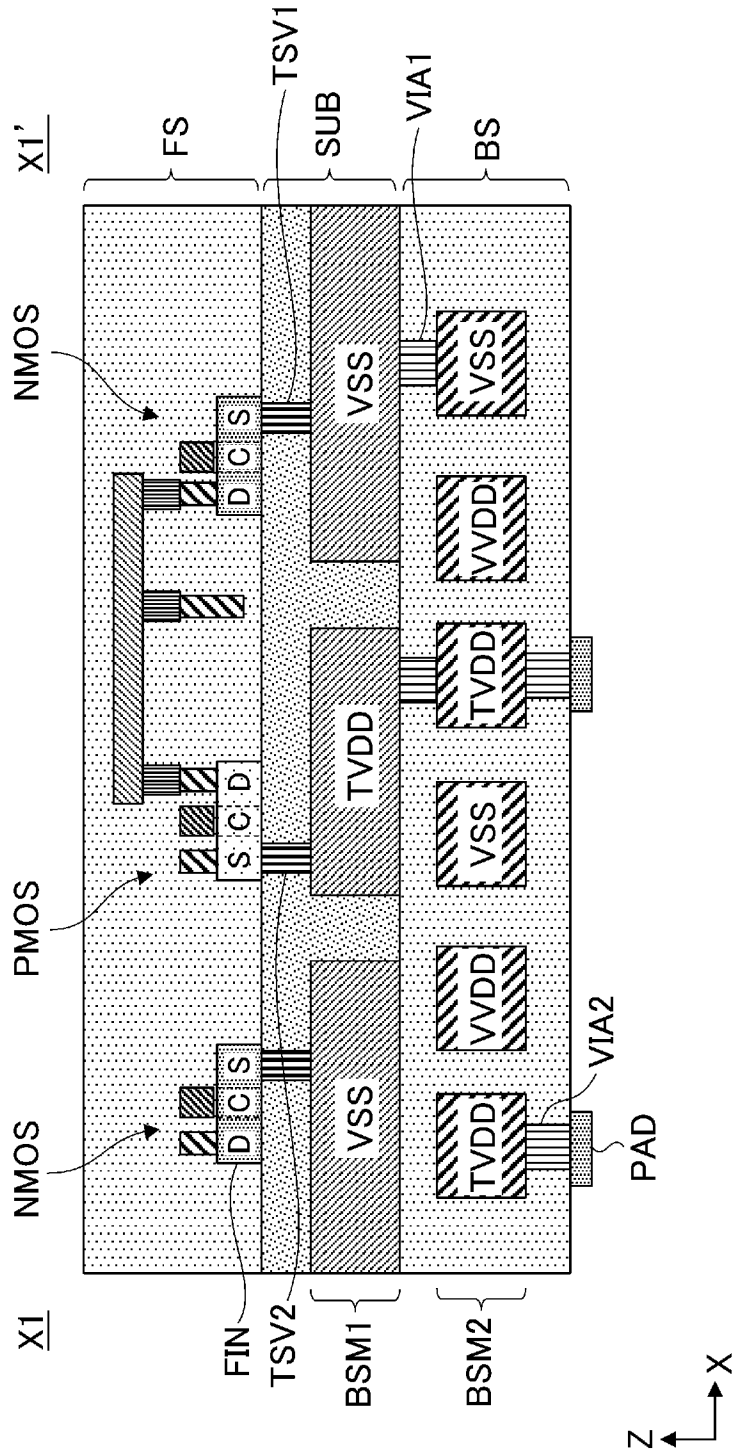
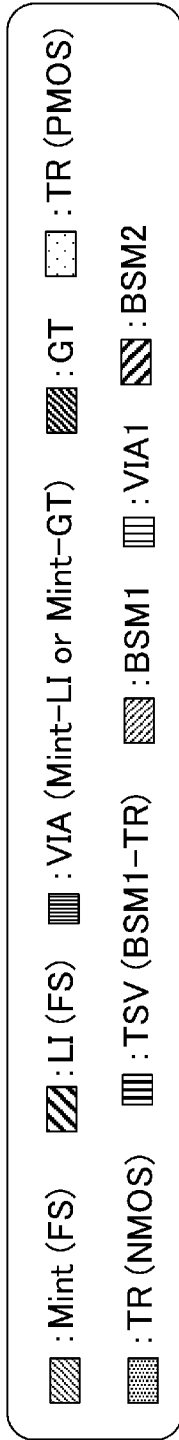
[5]



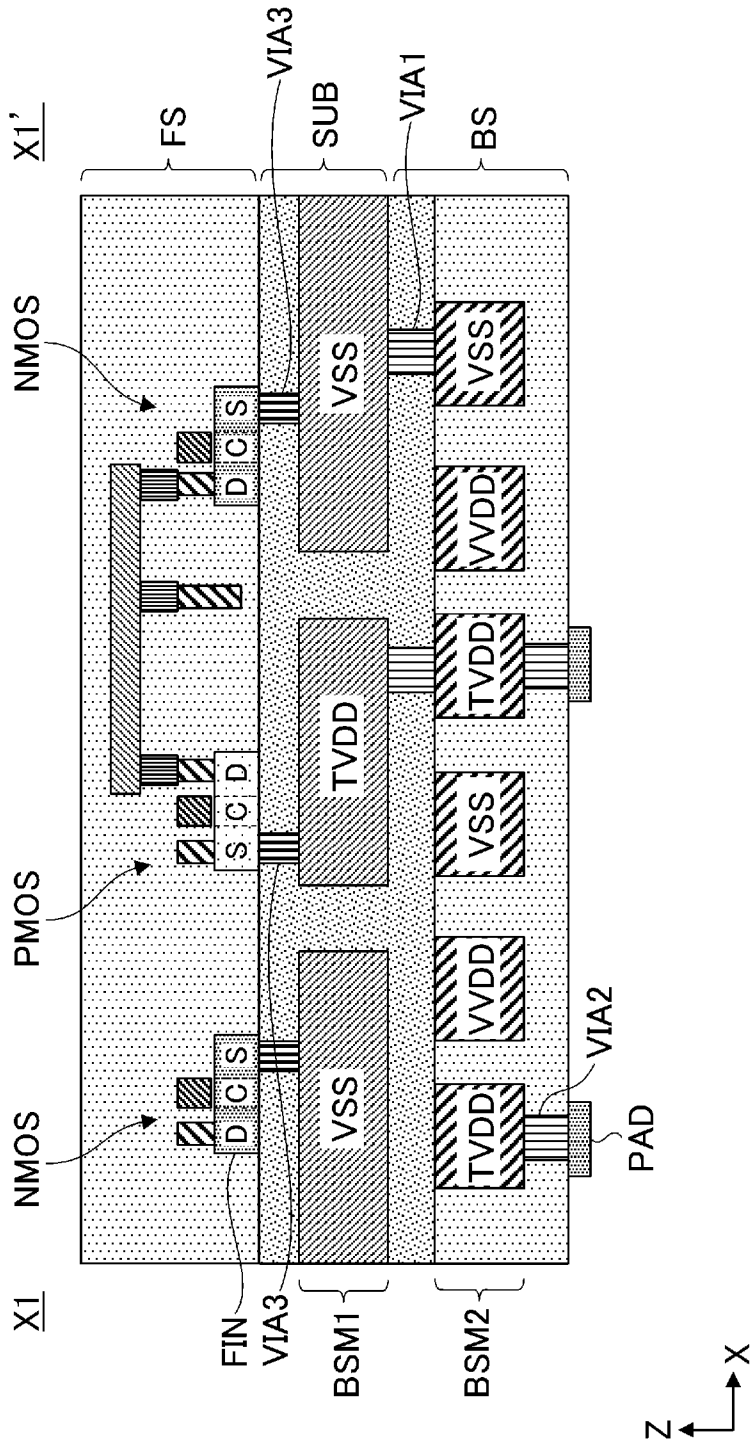
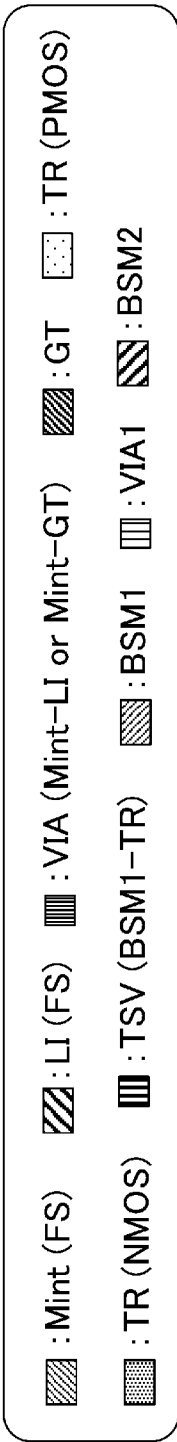
[圖6]



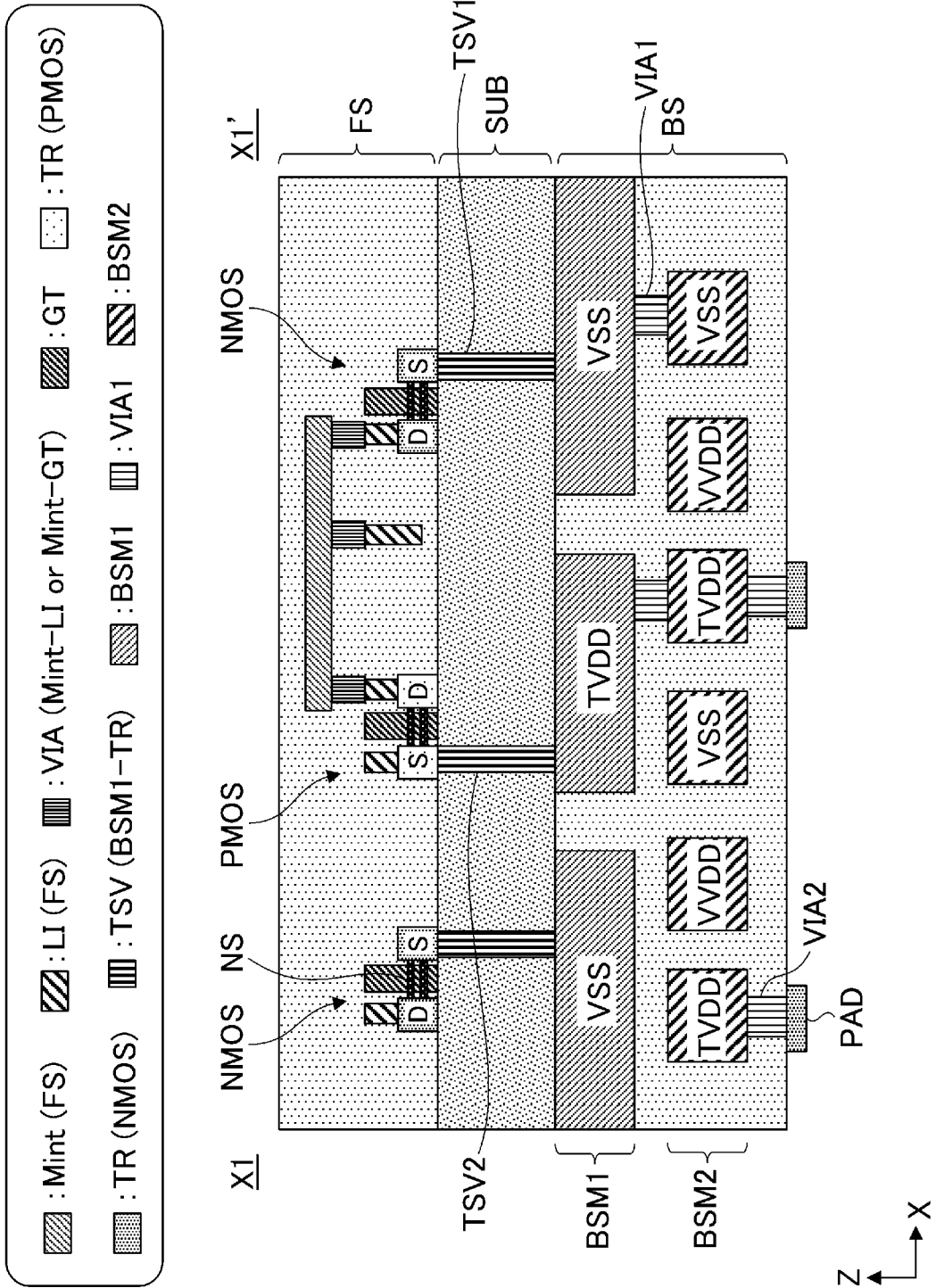
[7]



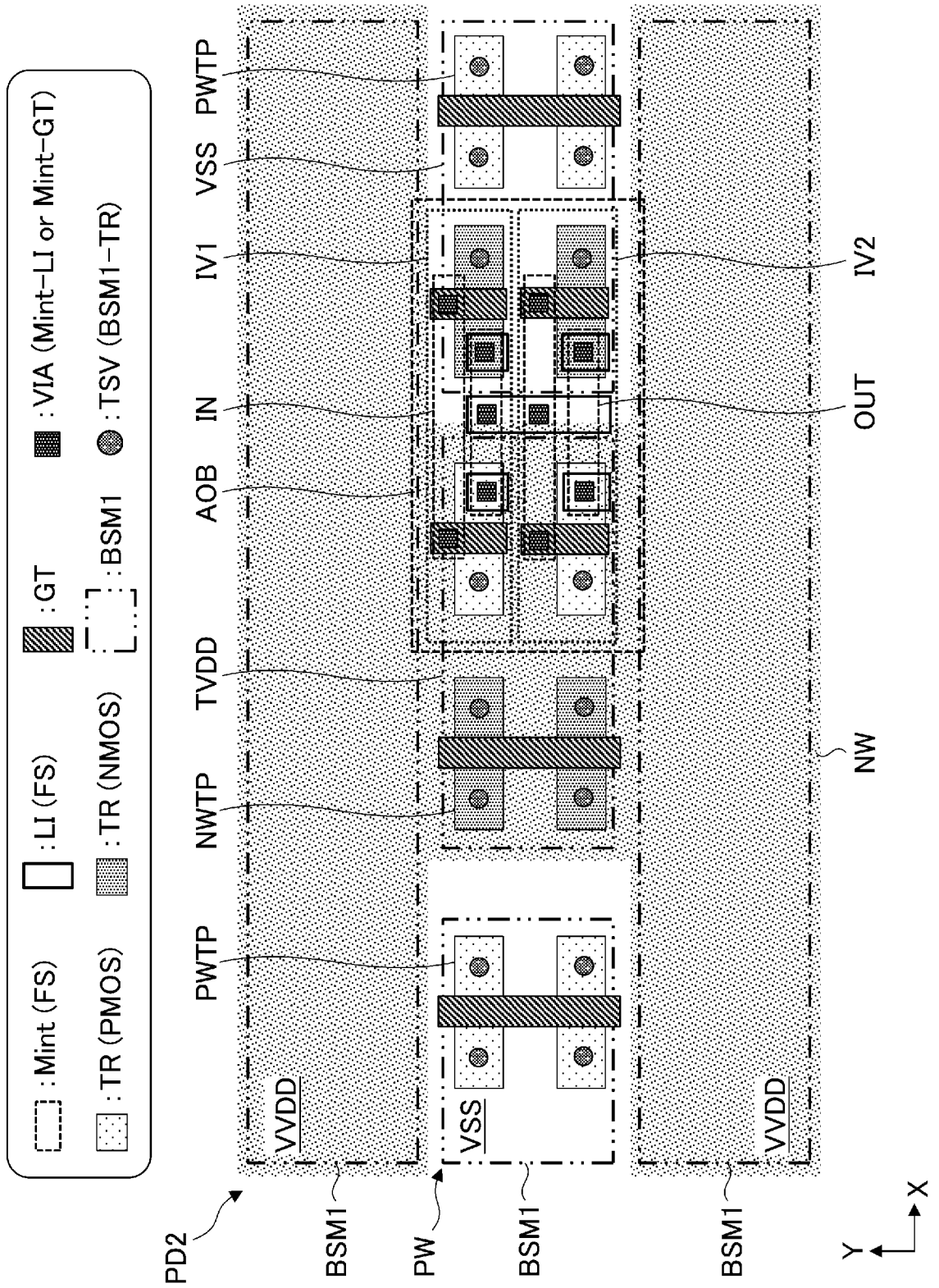
[8]



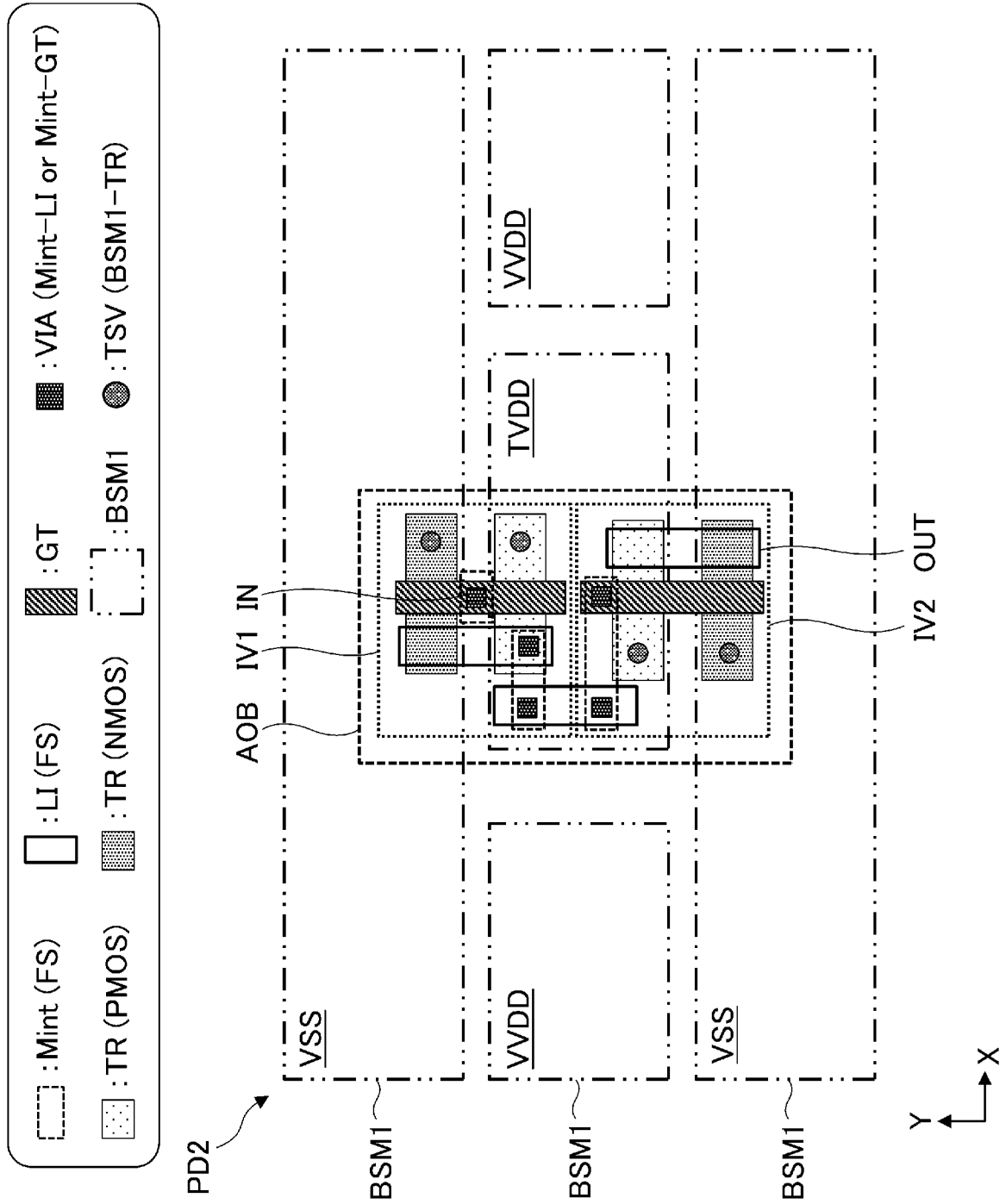
[9]



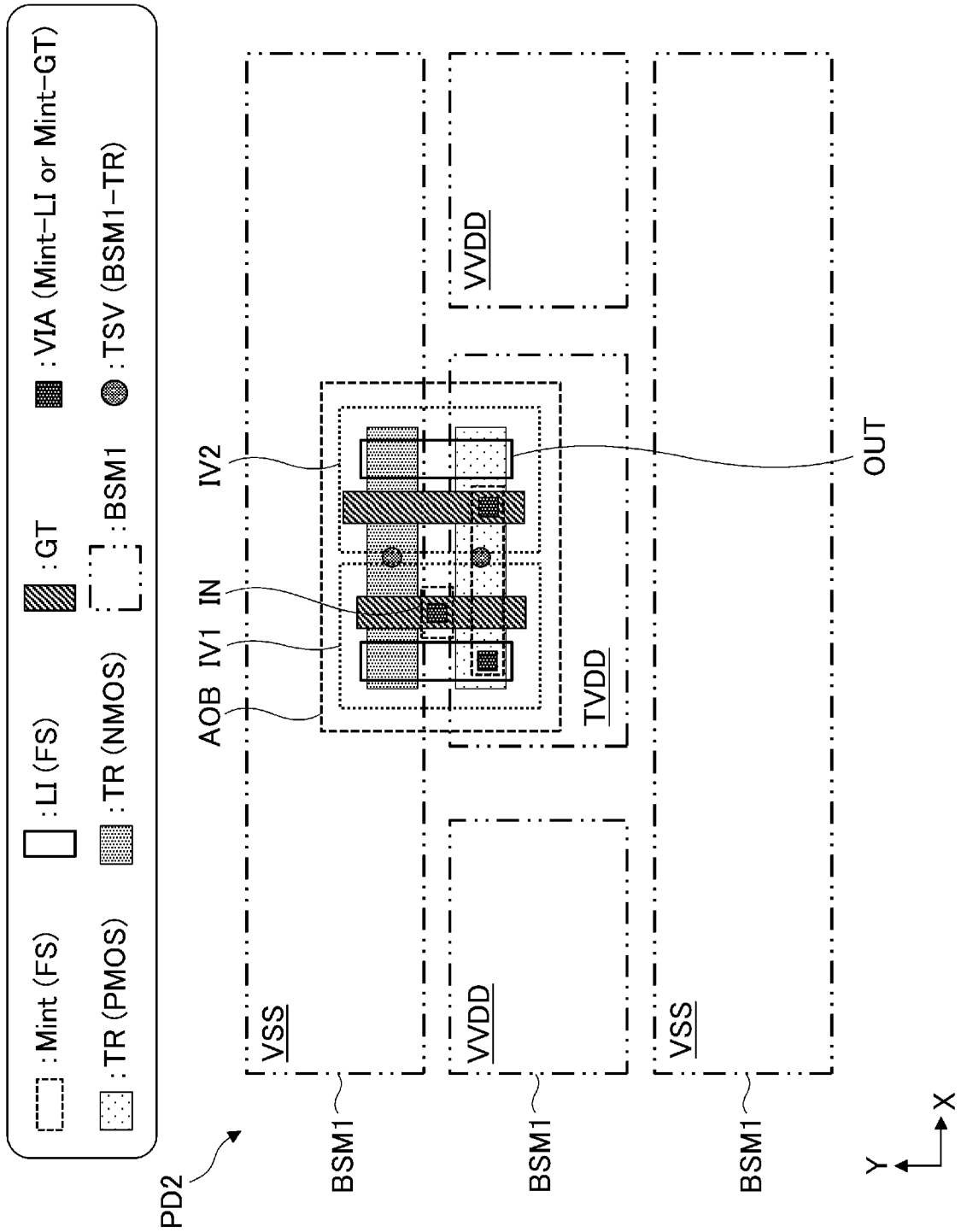
[図10]



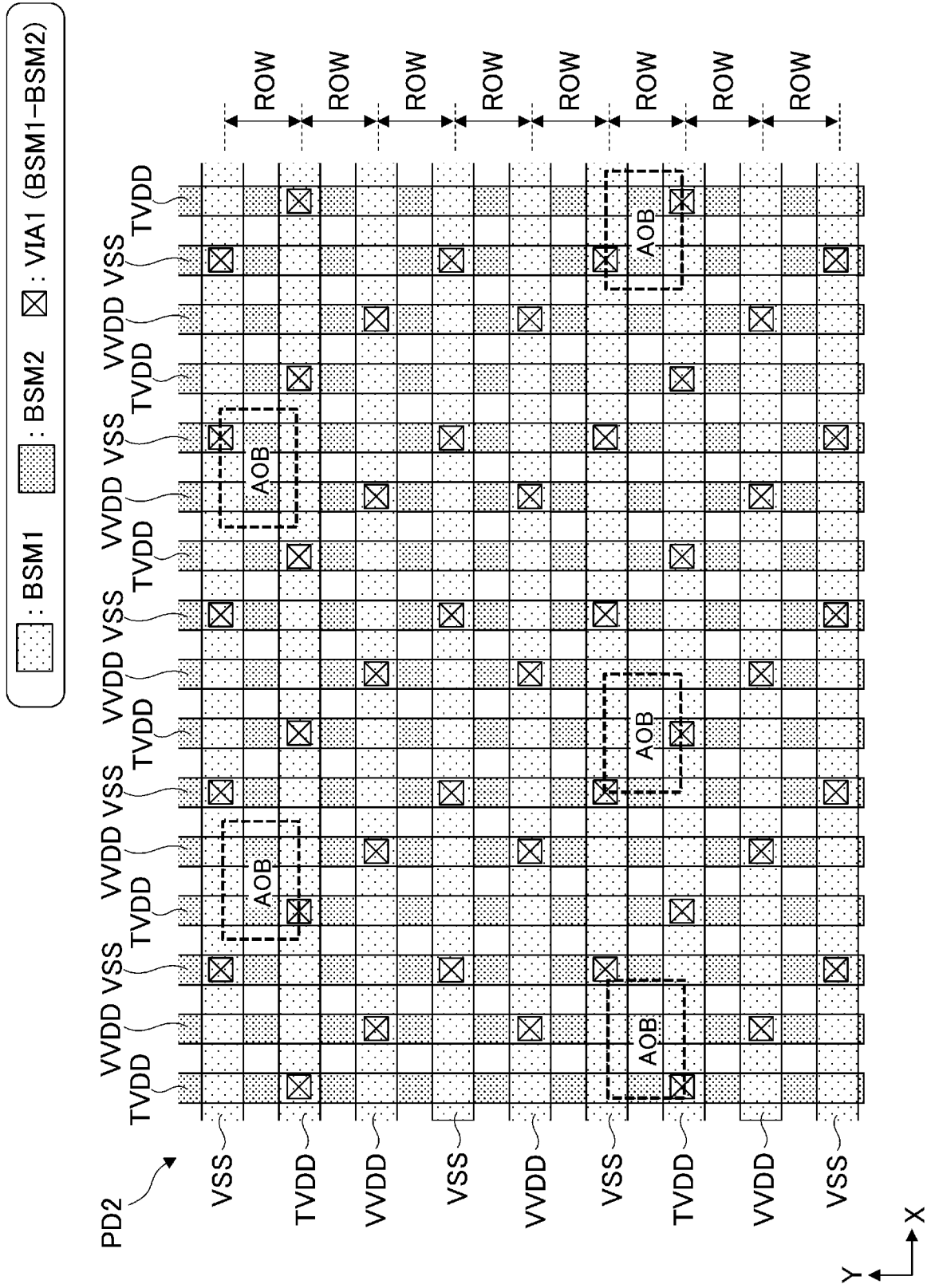
[11]



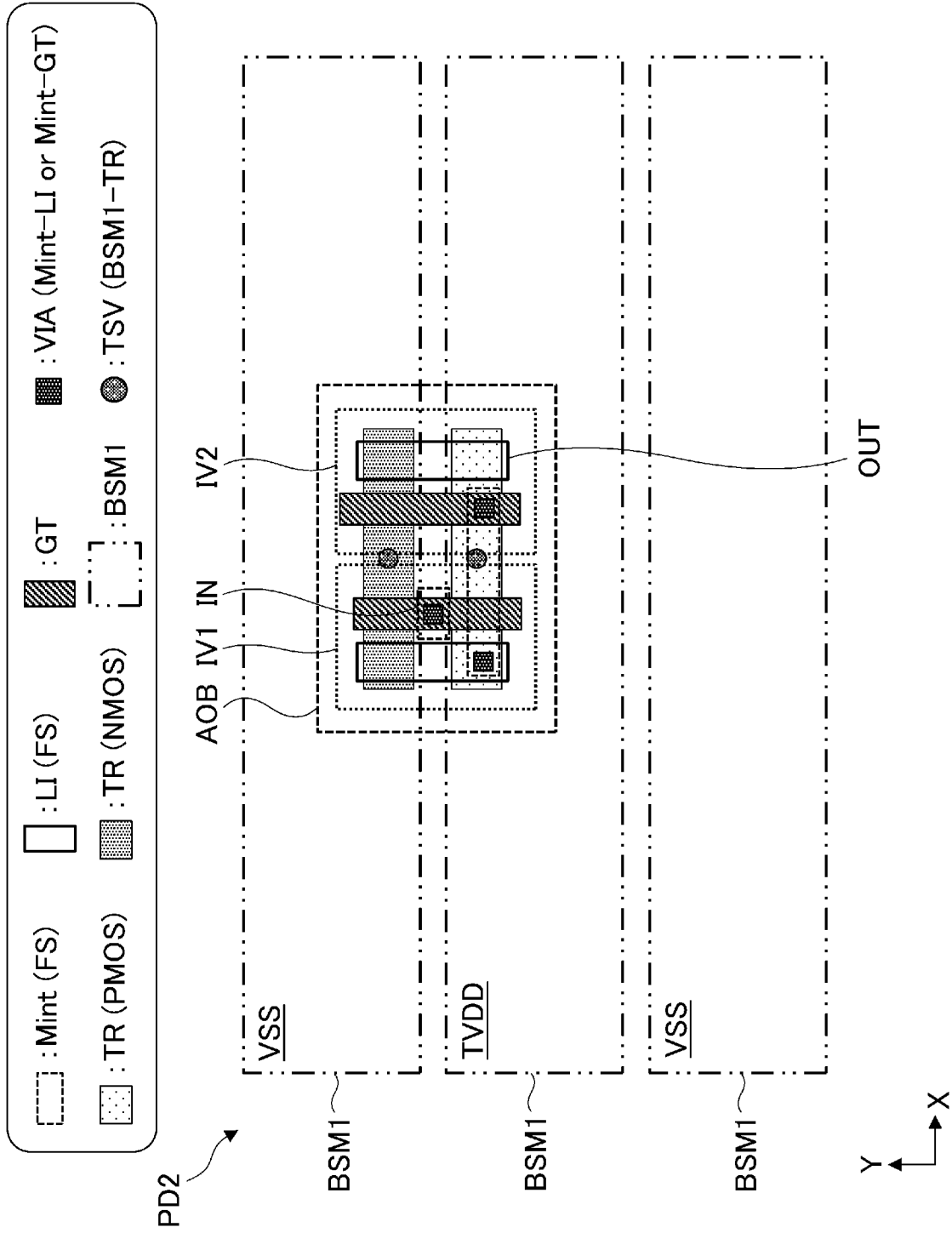
[12]



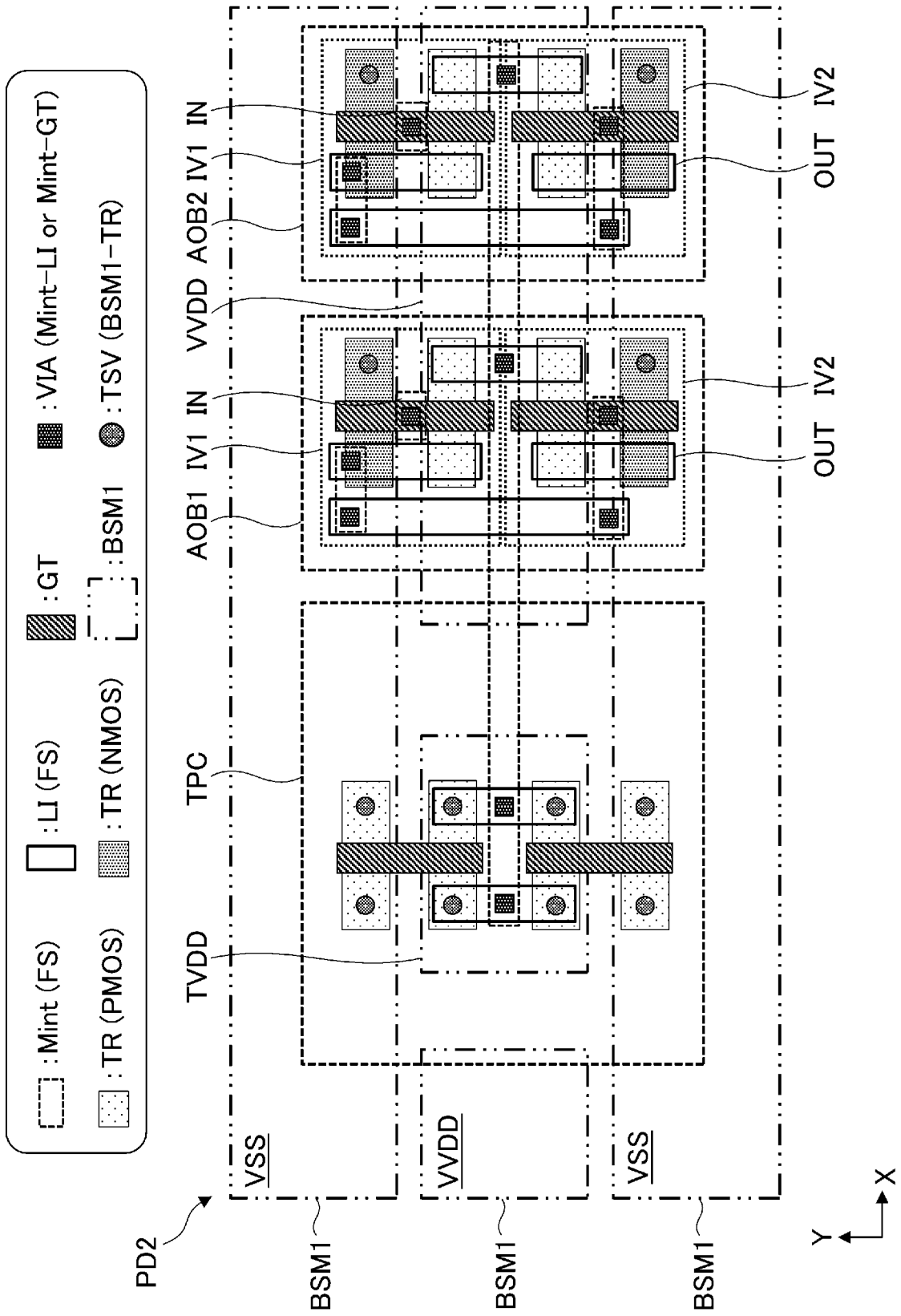
[13]



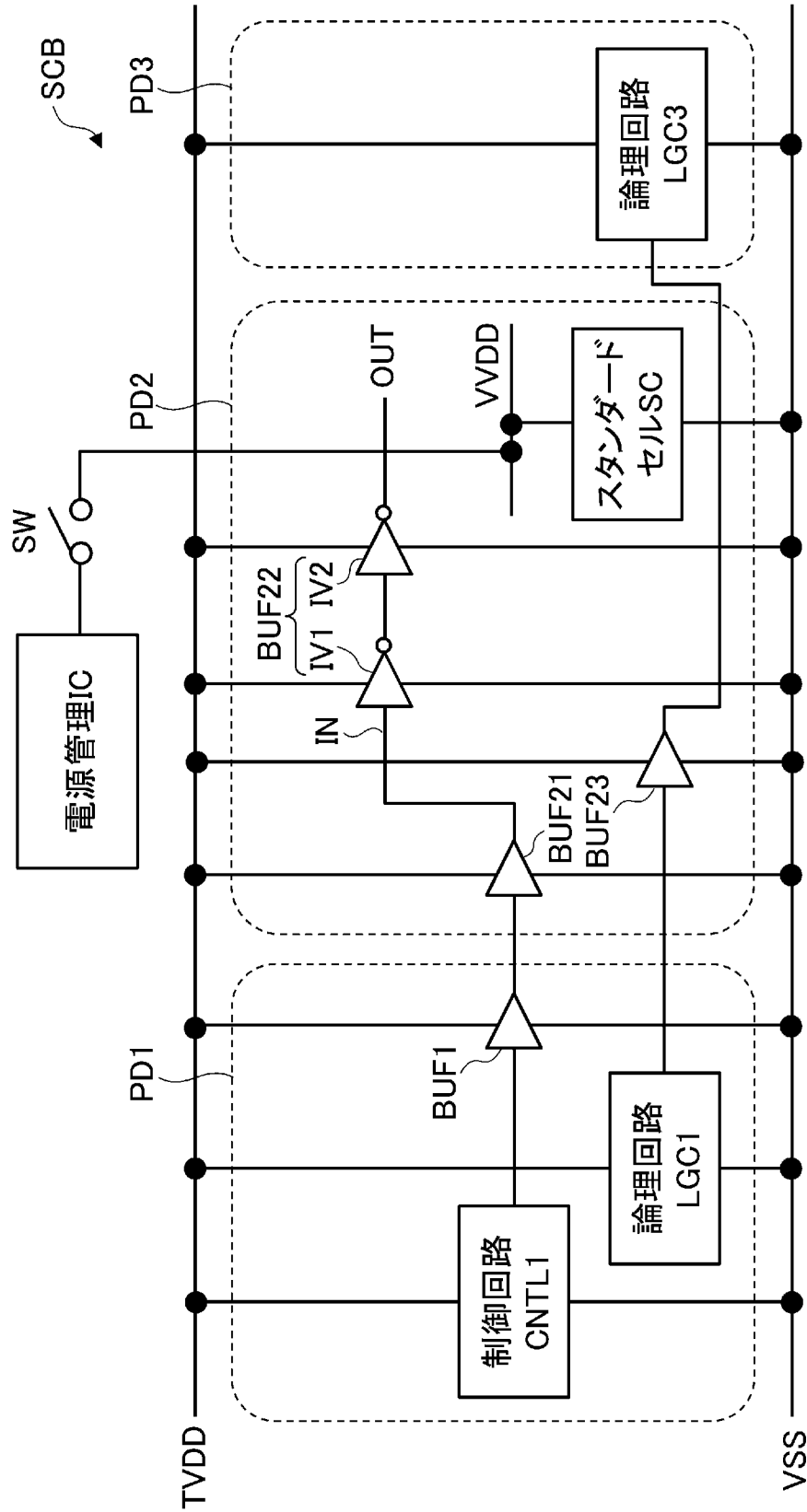
[14]



[15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021508

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 27/04</i> (2006.01)i; <i>H01L 21/82</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i FI: H01L27/04 D; H01L21/82 L		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01L21/82; H01L21/822		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/054602 A1 (SOCIONEXT INC.) 06 April 2023 (2023-04-06)	1-9
A	WO 2021/111604 A1 (SOCIONEXT INC.) 10 June 2021 (2021-06-10)	1-9
A	WO 2021/079511 A1 (SOCIONEXT INC.) 29 April 2021 (2021-04-29)	1-9
A	WO 2021/070367 A1 (SOCIONEXT INC.) 15 April 2021 (2021-04-15)	1-9
A	WO 2021/070366 A1 (SOCIONEXT INC.) 15 April 2021 (2021-04-15)	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 August 2023		Date of mailing of the international search report 29 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/021508

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2023/054602 A1	06 April 2023	(Family: none)	
WO 2021/111604 A1	10 June 2021	US 2022/0293634 A1 CN 114762113 A	
WO 2021/079511 A1	29 April 2021	US 2022/0239297 A1 CN 114586144 A	
WO 2021/070367 A1	15 April 2021	US 2022/0231054 A1 CN 114514603 A	
WO 2021/070366 A1	15 April 2021	US 2022/0230954 A1 CN 114514604 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/04(2006.01)i; H01L 21/82(2006.01)i; H01L 21/822(2006.01)i FI: H01L27/04 D; H01L21/82 L</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/04; H01L21/82; H01L21/822</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2023/054602 A1（株式会社ソシオネクスト）06.04.2023（2023 - 04 - 06）</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>WO 2021/111604 A1（株式会社ソシオネクスト）10.06.2021（2021 - 06 - 10）</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>WO 2021/079511 A1（株式会社ソシオネクスト）29.04.2021（2021 - 04 - 29）</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>WO 2021/070367 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>WO 2021/070366 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）</td> <td>1-9</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2023/054602 A1（株式会社ソシオネクスト）06.04.2023（2023 - 04 - 06）	1-9	A	WO 2021/111604 A1（株式会社ソシオネクスト）10.06.2021（2021 - 06 - 10）	1-9	A	WO 2021/079511 A1（株式会社ソシオネクスト）29.04.2021（2021 - 04 - 29）	1-9	A	WO 2021/070367 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）	1-9	A	WO 2021/070366 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	WO 2023/054602 A1（株式会社ソシオネクスト）06.04.2023（2023 - 04 - 06）	1-9																		
A	WO 2021/111604 A1（株式会社ソシオネクスト）10.06.2021（2021 - 06 - 10）	1-9																		
A	WO 2021/079511 A1（株式会社ソシオネクスト）29.04.2021（2021 - 04 - 29）	1-9																		
A	WO 2021/070367 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）	1-9																		
A	WO 2021/070366 A1（株式会社ソシオネクスト）15.04.2021（2021 - 04 - 15）	1-9																		
<p>国際調査を完了した日</p> <p>17.08.2023</p>	<p>国際調査報告の発送日</p> <p>29.08.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>岩本 勉 5F 9355</p> <p>電話番号 03-3581-1101 内線 3516</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2023/021508

引用文献	公表日	パテントファミリー文献	公表日
WO 2023/054602 A1	06.04.2023	(ファミリーなし)	
WO 2021/111604 A1	10.06.2021	US 2022/0293634 A1 CN 114762113 A	
WO 2021/079511 A1	29.04.2021	US 2022/0239297 A1 CN 114586144 A	
WO 2021/070367 A1	15.04.2021	US 2022/0231054 A1 CN 114514603 A	
WO 2021/070366 A1	15.04.2021	US 2022/0230954 A1 CN 114514604 A	