



## (12)发明专利

(10)授权公告号 CN 106663462 B

(45)授权公告日 2019.05.03

(21)申请号 201580029466.7

(74)专利代理机构 上海专利商标事务所有限公司 31100

(22)申请日 2015.05.11

代理人 唐杰敏

(65)同一申请的已公布的文献号

申请公布号 CN 106663462 A

(51)Int.Cl.

G11C 7/10(2006.01)

(43)申请公布日 2017.05.10

G11C 11/4076(2006.01)

(30)优先权数据

14/298,730 2014.06.06 US

H03L 7/08(2006.01)

(85)PCT国际申请进入国家阶段日

2016.12.02

H03L 7/081(2006.01)

(86)PCT国际申请的申请数据

PCT/US2015/030214 2015.05.11

(56)对比文件

US 2007/0080728 A1, 2007.04.12,

(87)PCT国际申请的公布数据

W02015/187308 EN 2015.12.10

US 2009/0085618 A1, 2009.04.02,

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

US 2010/0033217 A1, 2010.02.11,

(72)发明人 J·C·迪范德佛 Y·C·程

US 2001/0007136 A1, 2001.07.05,

US 2013/0121094 A1, 2013.05.16,

US 2014/0019792 A1, 2014.01.16,

US 2010/0219867 A1, 2010.09.02,

CN 102946248 A, 2013.02.27,

US 2009/0085623 A1, 2009.04.02,

审查员 张力

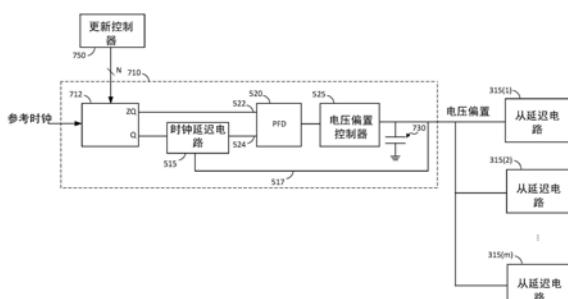
权利要求书4页 说明书19页 附图23页

## (54)发明名称

用于存储器接口中的延迟控制的方法和设备

## (57)摘要

本文描述了用于延迟控制的系统和方法。在一个实施例中，延迟系统包括第一延迟电路，该第一延迟电路被配置成向第二延迟电路提供电压偏置并且以一更新速率来更新电压偏置，其中该电压偏置控制第二延迟电路的延迟。该延迟系统还包括被配置成调整第一延迟电路的更新速率的更新控制器。例如，更新控制器可以基于纳入该延迟系统的存储器接口的定时要求来调整更新速率。在定时要求较宽松时可以减小更新速率以降低功率，而在定时要求较严格时可以增大更新速率。



1. 一种存储器接口中的延迟系统,包括:

第一延迟电路,所述第一延迟电路被配置成向第二延迟电路提供电压偏置并且以一更新速率来更新所述电压偏置,其中所述电压偏置控制所述第二延迟电路的延迟;以及

更新控制器,所述更新控制器被配置成基于被所述第二延迟电路延迟的信号的数据率来调整所述第一延迟电路的所述更新速率,其中所述数据率指示所述存储器接口的数据率操作。

2. 如权利要求1所述的延迟系统,其特征在于,所述更新控制器被配置成在所述信号的所述数据率等于第一数据率的情况下将所述更新速率设置为第一更新速率,并且在所述信号的所述数据率等于第二数据率的情况下将所述更新速率设置为第二更新速率,其中所述第一数据率低于所述第二数据率,并且所述第一更新速率低于所述第二更新速率。

3. 如权利要求1所述的延迟系统,其特征在于,所述第一延迟电路被配置成基于参考时钟来更新所述电压偏置,所述更新速率等于每N个参考时钟周期更新一次所述电压偏置,N是整数,并且所述更新控制器被配置成调整N。

4. 如权利要求3所述的延迟系统,其特征在于,所述更新控制器被配置成在被所述第二延迟电路延迟的信号的数据率等于第一数据率的情况下将N设置为第一值,并且在所述信号的所述数据率等于第二数据率的情况下将N设置为第二值,其中所述第一数据率低于所述第二数据率,并且N的所述第一值大于N的所述第二值。

5. 如权利要求1所述的延迟系统,其特征在于,所述第一延迟电路包括:

更新电路,所述更新电路被配置成针对所述电压偏置的每次更新从参考时钟生成脉冲对,其中每个脉冲对包括第一脉冲和第二脉冲,并且所述第一脉冲相对于所述第二脉冲被延迟约一个参考时钟周期;

压控延迟电路,所述压控延迟电路被配置成将每个脉冲对中的所述第二脉冲延迟由所述电压偏置控制的量;

相位频率检测器,所述相位频率检测器被配置成针对每个脉冲对检测相应的第一脉冲与相应的经延迟第二脉冲之间的相位误差;以及

电压偏置控制器,所述电压偏置控制器被配置成基于相应的检测到的相位误差来更新用于每个脉冲对的所述电压偏置。

6. 如权利要求5所述的延迟系统,其特征在于,所述更新电路被配置成以每N个参考时钟周期一个脉冲对的速率来生成所述脉冲对,N是整数,并且所述更新控制器被配置成调整N。

7. 如权利要求6所述的延迟系统,其特征在于,所述更新控制器被配置成在被所述第二延迟电路延迟的信号的数据率等于第一数据率的情况下将N设置为第一值,并且在所述信号的所述数据率等于第二数据率的情况下将N设置为第二值,其中所述第一数据率低于所述第二数据率,并且N的所述第一值大于N的所述第二值。

8. 如权利要求1所述的延迟系统,其特征在于,由所述电压偏置控制的所述第二延迟电路的延迟是所述第二延迟电路的步进延迟,并且所述第二延迟电路被配置成将信号延迟所述步进延迟的倍数。

9. 一种用于存储器接口中的延迟控制的方法,包括:

向延迟电路提供电压偏置,其中所述电压偏置控制所述延迟电路的延迟;

以一更新速率来更新所述电压偏置;以及

基于被所述延迟电路延迟的信号的数据率来调整所述更新速率,其中所述数据率指示所述存储器接口的数据率操作。

10. 如权利要求9所述的方法,其特征在于,调整所述更新速率包括:

在所述信号的所述数据率等于第一数据率的情况下将所述更新速率设置为第一更新速率;以及

在所述信号的所述数据率等于第二数据率的情况下将所述更新速率设置为第二更新速率;

其中所述第一数据率低于所述第二数据率,并且所述第一更新速率低于所述第二更新速率。

11. 如权利要求9所述的方法,其特征在于,更新所述电压偏置包括基于参考时钟来更新所述电压偏置,所述更新速率等于每N个参考时钟周期更新一次所述电压偏置,N是整数,并且调整所述更新速率包括调整N。

12. 如权利要求11所述的方法,其特征在于,调整所述更新速率包括:

在由所述延迟电路延迟的信号的数据率等于第一数据率的情况下将N设置为第一值;以及

在所述信号的所述数据率等于第二数据率的情况下将N设置为第二值;

其中所述第一数据率低于所述第二数据率,并且N的所述第一值大于N的所述第二值。

13. 如权利要求9所述的方法,其特征在于,更新所述电压偏置包括:

针对所述电压偏置的每次更新从参考时钟生成脉冲对,其中每个脉冲对包括第一脉冲和第二脉冲,并且所述第一脉冲相对于所述第二脉冲被延迟约一个参考时钟周期;

将每个脉冲对中的所述第二脉冲延迟由所述电压偏置控制的量;

针对每个脉冲对检测相应的第一脉冲与相应的经延迟第二脉冲之间的相位误差;以及基于相应的检测到的相位误差来更新用于每个脉冲对的所述电压偏置。

14. 如权利要求9所述的方法,其特征在于,进一步包括:

向所述延迟电路提供第二电压偏置,其中所述第二电压偏置也控制所述延迟电路的延迟;以及

以所述更新速率来更新所述第二电压偏置。

15. 一种用于存储器接口中的延迟控制的设备,包括:

用于向延迟电路提供电压偏置的装置,其中所述电压偏置控制所述延迟电路的延迟;

用于以一更新速率来更新所述电压偏置的装置;以及

用于基于被所述延迟电路延迟的信号的数据率来调整所述更新速率的装置,其中所述数据率指示所述存储器接口的数据率操作。

16. 如权利要求15所述的设备,其特征在于,所述用于调整所述更新速率的装置包括:

用于在所述信号的所述数据率等于第一数据率的情况下将所述更新速率设置为第一更新速率的装置;以及

用于在所述信号的所述数据率等于第二数据率的情况下将所述更新速率设置为第二更新速率的装置;

其中所述第一数据率低于所述第二数据率,并且所述第一更新速率低于所述第二更新

速率。

17. 如权利要求15所述的设备,其特征在于,所述用于更新所述电压偏置的装置包括用于基于参考时钟来更新所述电压偏置的装置,所述更新速率等于每N个参考时钟周期更新一次所述电压偏置,N是整数,并且所述用于调整所述更新速率的装置包括用于调整N的装置。

18. 如权利要求17所述的设备,其特征在于,所述用于调整所述更新速率的装置包括:

用于在由所述延迟电路延迟的信号的数据率等于第一数据率的情况下将N设置为第一值的装置;以及

用于在所述信号的所述数据率等于第二数据率的情况下将N设置为第二值的装置;

其中所述第一数据率低于所述第二数据率,并且N的所述第一值大于N的所述第二值。

19. 如权利要求15所述的设备,其特征在于,所述用于更新所述电压偏置的装置包括:

用于针对所述电压偏置的每次更新从参考时钟生成脉冲对的装置,其中每个脉冲对包括第一脉冲和第二脉冲,并且所述第一脉冲相对于所述第二脉冲被延迟约一个参考时钟周期;

用于将每个脉冲对中的所述第二脉冲延迟由所述电压偏置控制的量的装置;

用于针对每个脉冲对检测相应的第一脉冲与相应的经延迟第二脉冲之间的相位误差的装置;以及

用于基于相应的检测到的相位误差来更新用于每个脉冲对的所述电压偏置的装置。

20. 如权利要求15所述的设备,其特征在于,进一步包括:

用于向所述延迟电路提供第二电压偏置的装置,其中所述第二电压偏置也控制所述延迟电路的延迟;以及

用于以所述更新速率来更新所述第二电压偏置的装置。

21. 一种存储器接口,包括:

第一延迟电路,所述第一延迟电路被配置成延迟信号,其中所述信号包括数据信号和数据选通信号中的一者;

第二延迟电路,所述第二延迟电路被配置成向第一延迟电路提供电压偏置并且以一更新速率来更新所述电压偏置,其中所述电压偏置控制所述第一延迟电路的延迟;以及

更新控制器,所述更新控制器被配置成基于所述信号的数据率来调整所述第二延迟电路的所述更新速率,其中所述数据率指示所述存储器接口的数据率操作。

22. 如权利要求21所述的存储器接口,其特征在于,所述更新控制器被配置成在所述信号的所述数据率等于第一数据率的情况下将所述更新速率设置为第一更新速率,并且在所述信号的所述数据率等于第二数据率的情况下将所述更新速率设置为第二更新速率,其中所述第一数据率低于所述第二数据率,并且所述第一更新速率低于所述第二更新速率。

23. 如权利要求21所述的存储器接口,其特征在于,所述第二延迟电路被配置成基于参考时钟来更新所述电压偏置,所述更新速率等于每N个参考时钟周期更新一次所述电压偏置,N是整数,并且所述更新控制器被配置成调整N。

24. 如权利要求23所述的存储器接口,其特征在于,所述更新控制器被配置成在所述信号的数据率等于第一数据率的情况下将N设置为第一值,并且在所述信号的所述数据率等于第二数据率的情况下将N设置为第二值,其中所述第一数据率低于所述第二数据率,并且

N的所述第一值大于N的所述第二值。

25. 如权利要求21所述的存储器接口,其特征在于,所述第二延迟电路包括:

更新电路,所述更新电路被配置成针对所述电压偏置的每次更新从参考时钟生成脉冲对,其中每个脉冲对包括第一脉冲和第二脉冲,并且所述第一脉冲相对于所述第二脉冲被延迟约一个参考时钟周期;

压控延迟电路,所述压控延迟电路被配置成将每个脉冲对中的所述第二脉冲延迟由所述电压偏置控制的量;

相位频率检测器,所述相位频率检测器被配置成针对每个脉冲对检测相应的第一脉冲与相应的经延迟第二脉冲之间的相位误差;以及

电压偏置控制器,所述电压偏置控制器被配置成基于相应的检测到的相位误差来更新用于每个脉冲对的所述电压偏置。

26. 如权利要求21所述的存储器接口,其特征在于,由所述电压偏置控制的所述第一延迟电路的延迟是所述第一延迟电路的步进延迟,并且所述第一延迟电路被配置成将所述信号延迟所述步进延迟的倍数。

## 用于存储器接口中的延迟控制的方法和设备

### 技术领域

[0001] 本公开的各方面一般涉及存储器,更具体地涉及用于存储器接口的可编程功率。

### 背景技术

[0002] 芯片可以包括用于将该芯片上的电路(例如,存储器控制器)与外部存储器设备(诸如双倍数据率动态随机存取存储器(DDR DRAM))对接的存储器接口。该存储器接口可以包括用于调整存储器接口中的信号(例如,数据信号)的定时的延迟电路。例如,存储器接口可以包括延迟电路以补偿数据信号之间的偏斜(例如,由于存储器接口与外部存储器设备之间的数据线的长度失配所引起的偏斜)。在另一示例中,存储器接口可以包括延迟电路以使得用于数据采样的数据选通信号集中在数据信号的转变之间。

### 发明内容

[0003] 以下给出对一个或多个实施例的简化概述以提供对此类实施例的基本理解。此概述不是所有构想到的实施例的详尽综览,并且既非旨在标识所有实施例的关键性或决定性要素亦非试图界定任何或所有实施例的范围。其唯一的目的是要以简化形式给出一个或更多个实施例的一些概念以作为稍后给出的更加具体的说明之序。

[0004] 根据一方面,本文描述了一种延迟系统。该延迟系统包括第一延迟电路,该第一延迟电路被配置成向第二延迟电路提供电压偏置并且以一更新速率来更新该电压偏置,其中该电压偏置控制第二延迟电路的延迟。该延迟系统还包括被配置成调整第一延迟电路的更新速率的更新控制器。

[0005] 第二方面涉及一种用于延迟控制的方法。该方法包括向延迟电路提供电压偏置,其中该电压偏置控制该延迟电路的延迟。该方法还包括以一更新速率来更新电压偏置,以及调整该更新速率。

[0006] 第三方面涉及一种用于延迟控制的设备。该设备包括用于向延迟电路提供电压偏置的装置,其中该电压偏置控制该延迟电路的延迟。该设备还包括用于以一更新速率来更新电压偏置的装置,以及用于调整该更新速率的装置。

[0007] 第四方面涉及一种存储器接口。该存储器接口包括被配置成延迟信号的第一延迟电路,其中该信号包括数据信号和数据选通信号中的一者。该存储器接口还包括第二延迟电路,该第二延迟电路被配置成向第一延迟电路提供电压偏置并且以一更新速率来更新该电压偏置,其中该电压偏置控制第一延迟电路的延迟。该存储器接口进一步包括被配置成调整第二延迟电路的更新速率的更新控制器。

[0008] 为能达成前述及相关目的,这一个或多个实施例包括在下文中充分描述并在权利要求中特别指出的特征。以下说明和所附插图详细阐述了这一个或更多个实施例的某些解说性方面。但是,这些方面仅仅是指示了可采用各个实施例的原理的各种方式中的若干种,并且所描述的实施例旨在涵盖所有此类方面及其等效方案。

## 附图说明

- [0009] 图1示出了用于与外部存储器设备对接的存储器接口的示例。
- [0010] 图2是解说数据信号与数据选通之间的定时的示例的时序图。
- [0011] 图3示出了根据本公开的一实施例的主从架构的示例。
- [0012] 图4示出了根据本公开的一实施例的从延迟电路的示例。
- [0013] 图5示出了根据本公开的一实施例的主延迟电路的示例。
- [0014] 图6示出了根据本公开的一实施例的时钟延迟电路的示例。
- [0015] 图7示出了根据本公开的一实施例的具有可编程功率的主延迟电路。
- [0016] 图8是解说根据本公开的一实施例的其中每两个时钟周期更新电压偏置的示例的时序图。
- [0017] 图9是解说根据本公开的一实施例的其中每四个时钟周期更新电压偏置的示例的时序图。
- [0018] 图10是解说根据本公开的一实施例的其中每四个时钟周期更新电压偏置的另一示例的时序图。
- [0019] 图11示出根据本公开的一实施例的更新电路的示例性实现。
- [0020] 图12是解说根据本公开的一实施例的环路锁定的示例的时序图。
- [0021] 图13示出了根据本公开的另一实施例的从延迟电路的示例性实现。
- [0022] 图14A和14B示出了通过图13的从延迟电路的不同延迟路径的示例。
- [0023] 图15示出了根据本公开的一实施例的具有压控延迟的与非门的示例性实现。
- [0024] 图16示出了根据本公开的另一实施例的主延迟电路的示例性实现。
- [0025] 图17示出了根据本公开的另一实施例的时钟延迟电路的示例性实现。
- [0026] 图18是解说根据本公开的一实施例的时钟延迟电路的第一延迟级和第二延迟级的输出的时序图。
- [0027] 图19示出了根据本公开的一实施例的计数电路的示例性实现。
- [0028] 图20示出了根据本公开的一实施例的重置逻辑的示例性实现。
- [0029] 图21示出了根据本公开的另一实施例的更新电路的示例性实现。
- [0030] 图22是解说根据本公开的一实施例的用于延迟控制的方法的流程图。

## 具体实施方式

[0031] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。

[0032] 芯片可以包括用于将该芯片上的电路(例如,存储器控制器)与外部存储器设备(诸如DDR DRAM)对接的存储器接口。图1示出了用于使芯片与外部存储器设备(未示出)对接的示例性存储器接口100。存储器接口100包括第一多个触发器115(1)-115(n)、第一多个去偏斜电路120(1)-120(n)、第二多个触发器135(1)-135(n)、第二多个去偏斜电路145(1)-145(n)、第一延迟电路125、以及第二延迟电路140。

[0033] 在写操作期间,第一多个触发器115(1)-115(n)并行地接收多个数据信号117(1)-

117 (n)。每个触发器115 (1)–115 (n) 还接收数据选通信号119, 该数据选通信号119可以是具有传入数据信号117 (1)–117 (n) 的频率的一半频率的周期性信号。每个触发器115 (1)–115 (n) 在数据选通信号119的上升沿和下降沿上捕捉来自相应数据信号117 (1)–117 (n) 的数据比特, 并且将捕捉到的数据比特输出至相应的去偏斜电路120 (1)–120 (n), 以下更详细地描述去偏斜电路。

[0034] 数据选通信号119还被输入至第一延迟电路125。在第一延迟电路125之前, 数据选通信号119的边沿与触发器115 (1)–115 (n) 的输出数据信号118 (1)–118 (n) 的转变大致对齐。这是因为每个触发器115 (1)–115 (n) 在数据选通信号119的上升沿和下降沿上捕捉相应输出数据信号118 (1)–118 (n) 的数据比特。第一延迟电路125使数据选通信号119延迟四分之一周期, 以使得经延迟数据选通信号121的边沿大致集中在输出数据信号118 (1)–118 (n) 的转变之间。

[0035] 图2示出了输出数据信号118之一与数据选通信号119之间的定时关系的简化示例。在这一示例中, 数据选通信号119的上升沿220和下降沿222与输出数据信号118的转变210大致对齐。在被延迟四分之一周期 ( $T/4$ ) 之后, 数据选通信号121的上升沿220和下降沿222大致集中在输出数据信号118的转变210之间, 如图2中所示。存储器设备在数据选通信号121的边沿处对数据信号进行采样。使数据选通信号121的边沿集中在数据信号的转变之间有助于确保存储器设备在数据信号的有效数据窗内对该数据信号进行采样。

[0036] 每个去偏斜电路120 (1)–120 (n) 将少量延迟添加至相应的数据信号118 (1)–118 (n) 以补偿从存储器接口100行至存储器设备(例如, DDR DRAM)的数据信号之间的偏斜。该偏斜可能是由于用于将数据信号传输至存储器设备的线的长度失配和/或另一原因所引起的。在被相应的去偏斜电路120 (1)–120 (n) 延迟之后, 每个输出数据信号在相应的双向数据线DQ<sub>0</sub>–DQ<sub>n-1</sub>上被输出至存储器设备。数据选通信号121在双向选通线DQS上被输出至存储器设备。存储器设备使用数据选通信号121来对接收自存储器接口100的数据信号进行采样。

[0037] 在读操作期间, 存储器接口100经由双向数据线DQ<sub>0</sub>–DQ<sub>n-1</sub>接收来自存储器设备的多个数据信号132 (1)–132 (n) 并且经由双向选通线DQS接收来自存储器设备的数据选通信号134。第二多个去偏斜电路145 (1)–145 (n) 中的每个去偏斜电路接收数据信号132 (1)–132 (n) 之一并且将少量延迟添加至相应的数据信号以补偿数据信号之间的偏斜。

[0038] 来自存储器设备的数据选通信号134被输入至第二延迟电路140, 第二延迟电路140将数据选通信号134延迟四分之一周期。这么做的原因是存储器设备在数据选通信号的边沿与数据信号132 (1)–132 (n) 的转变对齐的情况下输出数据选通信号134。通过使数据选通信号134延迟四分之一周期, 第二延迟电路140将经延迟数据选通信号136的边沿大致集中在数据信号132 (1)–132 (n) 的转变之间。

[0039] 经延迟数据选通136随后被输入至第二多个触发器135 (1)–135 (n) 中的每个触发器的时钟输入端。例如, 可以使用时钟树来将经延迟数据选通信号136分发至触发器135 (1)–135 (n) 的时钟输入端。每个触发器135 (1)–135 (n) 在经延迟数据选通信号136的上升沿和下降沿上捕捉来自相应去偏斜电路145 (1)–145 (n) 的输出端138 (1)–138 (n) 的数据比特。结果得到的输出数据信号142 (1)–142 (n) 可被发送给存储器接口100中的附加电路系统(未示出)以供进一步处理。

[0040] 存储器接口100可以支持多个数据率, 其中可以动态地调整向存储器设备发送数

据和从存储器设备接收数据的速率。例如,可以针对需要高数据率的应用增加数据率,并且可以针对不需要高数据率的应用减小数据率。当数据率改变时,需要相应地调整延迟电路125和140的延迟。例如,当数据率加倍时,使数据选通信号119的周期减半。在这一示例中,第一延迟电路125的延迟被减半以维持数据选通信号119的四分之一周期的延迟。在另一示例中,当数据率减半时,使数据选通信号119的周期加倍。在这一示例中,第一延迟电路125的延迟被加倍以维持数据选通信号119的四分之一周期的延迟。

[0041] 图3示出了用于在存储器接口(例如,存储器接口100)中提供受控延迟的主从架构300的示例。主从架构300包括主延迟电路310和多个从延迟电路315(1)-315(m)。每个从延迟电路315(1)-315(m)提供作为步进延迟(step delay)的倍数的延迟,其中该步进延迟通过来自主延迟电路310的电压偏置来控制。主延迟电路310基于(例如,来自晶体振荡器的)参考时钟来调整该电压偏置以维持从延迟电路315(1)-315(m)的期望步进延迟,如以下进一步讨论的。从延迟电路315(1)-315(m)可被用于实现图1中所示的延迟电路125和140以及去偏斜电路120(1)-120(n)和145(1)-145(n)。

[0042] 图4示出了从延迟电路315之一的示例性实现。从延迟电路315包括多个延迟元件440(1)-440(p)(例如,缓冲器)和多路复用器(MUX)450。用来自主延迟电路310的电压偏置来偏置延迟元件440(1)-440(p)中的每个延迟元件。该电压偏置控制每个延迟元件440(1)-440(p)的延迟。

[0043] 延迟元件440(1)-440(p)串联耦合以形成延迟链430,其中每个延迟元件440(1)-440(p)的输出端445(1)-445(p)将不同量的延迟提供给在从延迟电路315的输入端(标示为“IN”)处接收的信号。更具体地,每个延迟元件440(1)-440(p)的输出端445(1)-445(p)提供作为步进延迟的不同倍数的延迟,其中该步进延迟是一个延迟元件的延迟。例如,输出端445(1)提供等于一个步进延迟的延迟,输出端445(2)提供等于两个步进延迟的延迟,输出端445(3)提供等于三个步进延迟的延迟,以此类推。

[0044] 延迟元件440(1)-440(p)的输出端445(1)-445(p)耦合至多路复用器450,多路复用器450在延迟控制器460的控制下选择输出端445(1)-445(p)之一。多路复用器450将所选输出端耦合至从延迟电路315的输出端(标示为“OUT”)。延迟控制器460通过指令多路复用器450选择与期望延迟相对应的延迟元件440(1)-440(p)的输出端445(1)-445(p)来控制延迟电路315的延迟。

[0045] 因此,延迟控制器460通过控制输入信号所通过的延迟元件440(1)-440(p)的数目来调整从延迟电路315的延迟。这允许延迟控制器460通过步进延迟的倍数来控制延迟,其中该步进延迟是一个延迟元件的延迟。该步进延迟通过来自主延迟电路310的电压偏置来控制,如以上所讨论的。图4中的从延迟电路315可被用于实现图1中所示的延迟电路125和140以及去偏斜电路120(1)-120(n)和145(1)-145(n)中的任一者。以下讨论从延迟电路的其他实现的示例。

[0046] 图5示出了主延迟电路310的示例性实现。在这一示例中,主延迟电路310是延迟锁定环(DLL),该DLL包括重定时电路510、时钟延迟电路515、相位频率检测器(PFD)520和电压偏置控制器525。如以下进一步讨论的,主延迟电路310的电压偏置输出通过反馈环路517反馈至时钟延迟电路515以达成期望的步进延迟。

[0047] 在操作中,重定时电路510接收参考时钟、将参考时钟延迟一个时钟周期,并且将

经延迟参考时钟输出至PFD 520的第一输入端522。重定时电路510还将参考时钟输出至时钟延迟电路515。时钟延迟电路515将参考时钟延迟由电压偏置控制的量,该电压偏置通过反馈环路517从主延迟电路310的输出端反馈至时钟延迟电路515。时钟延迟电路515将结果得到的经延迟参考时钟输出至PFD 520的第二输入端524。

[0048] PFD 520检测第一输入522与第二输入524之间的相位误差,并且基于检测到的相位误差来将相位误差信号输出至电压偏置控制器525。电压偏置电路525朝减少相位误差的方向调整电压偏置。电压偏置电路525可以用电荷泵和环路滤波器来实现。

[0049] 当时钟延迟电路515的延迟大致等于一个参考时钟周期时,相位误差接近0。因此,电压偏置控制器525调整电压偏置,以使得时钟延迟电路515的延迟大致等于一个时钟周期。在一个方面,时钟延迟电路515具有大致等于从延迟电路315 (1)–315 (m) 的步进延迟的M倍的延迟。因此,在这一方面,主延迟电路310调整电压偏置以维持约为T/M的步进延迟,其中T是一个时钟周期(循环)。

[0050] 在一个方面,由晶体振荡器(XO)提供参考时钟。晶体振荡器能够生成大致随温度、电压和/或工艺不变的参考时钟。由于主延迟电路310将参考时钟用作用于调整电压偏置的参考,因而主延迟电路310能够调整该电压偏置以维持大致随温度、电压和/或工艺不变的步进延迟。

[0051] 图6示出了时钟延迟电路515的示例性实现。在这一示例中,时钟延迟电路515包括串联耦合的M个延迟元件610 (1)–610 (M),其中每个延迟元件610 (1)–610 (M)由来自电压偏置控制器525的电压偏置来偏置。时钟延迟电路515中的延迟元件610 (1)–610 (M)可以是从延迟电路315 (1)–315 (m) 中的延迟元件440 (1)–440 (p) 的复制品。

[0052] 主延迟电路310可以在每个参考时钟周期期间更新电压偏置。具体地,PFD 520可以在每个时钟周期(循环)期间检测第一输入522与第二输入524之间的相位误差,并且将检测到的相位误差输出至电压偏置控制器525以更新电压偏置。然而,在每个时钟周期(循环)期间更新电压偏置可能消耗相对大量的功率,这在存储器接口被实现在移动设备中时会减少电池寿命。

[0053] 本公开的各实施例提供了用于主延迟电路的可编程功率,其中通过调整主延迟电路更新至从延迟电路的电压偏置的速率来调整主延迟电路的功耗。例如,主延迟电路可以在性能要求较低(例如,较低数据率)时较不频繁地更新电压偏置以降低功耗,如以下进一步讨论的。

[0054] 图7示出了根据本公开的一实施例的具有可编程功率的主延迟电路710。主延迟电路710是延迟锁定环(DLL),该DLL包括时钟延迟电路515、相位频率检测器(PFD)520和电压偏置控制器525。主延迟电路710进一步包括更新电路712和输出电容器730。

[0055] 更新电路712被配置成基于来自更新控制器750的控制信号N来控制主延迟电路710更新电压偏置的速率,其中N是可编程的并且可以是整数。更具体地,更新电路712使主延迟电路710每N个参考时钟周期(循环)更新电压偏置(即,每N个周期一次电压偏置更新的速率)。例如,如果N等于2,则主延迟电路710每两个时钟周期(循环)更新电压偏置。

[0056] 更新电路712可用于通过调整更新电压偏置的速率来调整主延迟电路710的功耗。例如,更新控制器750可通过增大N(即,减小更新电压偏置的速率)来降低主延迟电路710的功耗。

[0057] 在操作中,更新电路712每N个参考时钟周期(循环)输出一对脉冲。每一对脉冲包括Q脉冲和ZQ脉冲,其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。对于每一对脉冲,更新电路712将ZQ脉冲输出至PFD 520的第一输入端522并且将Q脉冲输出至时钟延迟电路515。时钟延迟电路515将Q脉冲延迟由电压偏置控制的量,该电压偏置通过反馈环路517从电压偏置控制器525的输出端反馈至时钟延迟电路515。时钟延迟电路515将结果得到的经延迟Q脉冲输出至PFD 520的第二输入端524。PFD 520检测ZQ脉冲与经延迟Q脉冲之间的相位误差。例如,PFD 520可以通过检测ZQ脉冲与经延迟Q脉冲的上升沿之间的相位差或者ZQ脉冲与经延迟Q脉冲的下降沿之间的相位差来检测相位误差。PFD 520基于检测到的相位误差来将相位误差信号输出至电压偏置控制器525。电压偏置电路525朝减少相位误差的方向调整电压偏置。

[0058] 当时钟延迟电路515的延迟大致等于一个参考时钟周期时,相位误差接近0。因此,电压偏置控制器525调整电压偏置,以使得时钟延迟电路515的延迟大致等于一个时钟周期。在一个实施例中,时钟延迟电路515具有大致等于从延迟电路315 (1) -315 (m) 的步进延迟的M倍的延迟。因此,在这一实施例中,主延迟电路710每N个时钟周期(循环)更新电压偏置以维持约为T/M的步进延迟,其中T是一个时钟周期(循环)。

[0059] 输出电容器730被用于在各更新之间保持在电压偏置控制器525的输出端处的电压偏置。输出电容器730处的电压偏置可能在电压偏置的各更新之间漂移,从而导致从延迟电路315 (1) -315 (m) 处的抖动。当各更新之间的时间量增加时,电压偏置可能漂移较大量。作为结果,减小主延迟电路710更新电压偏置的速率(即,增大N)可能会以较低性能(例如,较高抖动)为代价来降低功耗。因此,可能在减少主延迟电路710的功率与主延迟电路710的性能之间存在折衷。

[0060] 在此方面,更新控制器750可被配置成将电压偏置更新的速率减小至(并且因此将功率减小至)针对特定应用仍提供足够性能的水平。例如,当存储器接口以相对较慢的数据率操作时,有效数据窗相对较大。这放松了存储器接口的定时要求,从而允许存储器接口容忍来自主延迟电路710的较低性能(即,各更新之间较大的电压偏置漂移)。在这一情形中,更新控制器750可以减小电压偏置更新的速率(即,增大N)以降低功耗。当存储器接口以较高数据率操作时,有效数据窗较小并且存储器接口的定时要求较严格(例如,存储器接口中的触发器容忍较少抖动)。在这一情形中,更新控制器750可以增大电压偏置更新的速率(即,减小N)以提高主延迟电路710的性能。因此,可以在不需要高性能时减小更新电压偏置的速率以降低功耗,并且可以在需要高性能时(例如,在较高数据率时)增大更新电压偏置的速率。

[0061] 现在将参照图8和9来描述主延迟电路710针对两个不同的N值的示例性操作。图8是解说其中N等于2的示例的时序图。在这一示例中,更新电路712每两个参考时钟周期(循环)输出一对脉冲810 (1) -810 (3)。每一对脉冲810 (1) -810 (3)包括输出至时钟延迟电路515的Q脉冲和输出至PFD 520的第一输入端522的ZQ脉冲,其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。

[0062] 图8还示出了在每个Q脉冲已被时钟延迟电路515延迟之后的该Q脉冲。对于每一对脉冲,PFD 520检测相应的ZQ脉冲与相应的经延迟Q脉冲之间的相位误差(如图8中所示),并且电压偏置控制器525基于检测到的相位误差来更新电压偏置。在此这一例中,主延迟电路

710检测相位误差并且每两个参考时钟周期(循环)基于检测到的相位误差来更新电压偏置。

[0063] 尽管图8示出了其中每个经延迟Q脉冲相对于相应的ZQ脉冲较早(先于相应的ZQ脉冲)的示例,但是应当领会,经延迟Q脉冲可以相对于ZQ脉冲较晚。对于其中经延迟Q脉冲较早的情形,电压偏置控制器525增加时钟延迟电路515的延迟以减小相位误差。对于其中经延迟Q脉冲较晚的情形,电压偏置控制器525减少时钟延迟电路515的延迟以减小相位误差。

[0064] 图9是解说其中N等于4的示例的时序图。在这一示例中,更新电路712每四个参考时钟周期(循环)输出一对脉冲910(1)-910(3)。每一对脉冲910(1)-910(3)包括输出至时钟延迟电路515的Q脉冲和输出至PFD 520的第一输入端522的ZQ脉冲,其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。

[0065] 图9还示出了在每个Q脉冲已被时钟延迟电路515延迟之后的该Q脉冲。对于每一对脉冲,PFD 520检测相应的ZQ脉冲与相应的经延迟Q脉冲之间的相位误差(如图9中所示),并且电压偏置控制器525基于检测到的相位误差来更新电压偏置。在这一示例中,主延迟电路710检测相位误差并且每四个参考时钟周期(循环)基于检测到的相位误差来更新电压偏置。

[0066] 因此,图8示出了其中每两个时钟周期更新电压偏置的示例,而图9示出了每四个时钟周期更新电压偏置的示例。与图8中的示例相比,图9中的示例可通过较不频繁地更新电压偏置来降低功耗,这以各更新之间的较多电压偏置漂移为代价。

[0067] 图10是解说其中N等于4的另一示例的时序图。在这一示例中,更新电路712每四个参考时钟周期(循环)输出一对脉冲1010(1)-1010(3)。每一对脉冲1010(1)-1010(3)包括输出至时钟延迟电路515的Q脉冲和输出至PFD 520的第一输入端522的ZQ脉冲,其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。这一示例与图9中的示例的不同之处在于:ZQ和Q脉冲为低而非为高,并且更新电路712的两个输出端在各脉冲之间为高而非为低。

[0068] 图10还示出了在每个Q脉冲已被时钟延迟电路515延迟之后的该Q脉冲。对于每一对脉冲,PFD 520检测相应的ZQ脉冲与相应的经延迟Q脉冲之间的相位误差(如图10中所示),并且电压偏置控制器525基于检测到的相位误差来更新电压偏置。应当领会,PFD 520可以通过检测这些脉冲的上升沿之间的相位差或者这些脉冲的下降沿之间的相位差来检测相位误差(图10中所示)。在这一示例中,主延迟电路710每四个参考时钟周期(循环)更新电压偏置。

[0069] 图11示出了根据本公开的一实施例的更新电路712的示例性实现。在这一实施例中,更新电路712包括可编程计数器1110、第一时钟门1115、第二时钟门1120、以及时钟周期延迟电路1122。时钟门1115和1120中的每一者接收参考时钟,并且被配置成在时钟门接收到门启用信号时使参考时钟通过,而在时钟门接收到门禁用信号时阻挡参考时钟,如以下进一步讨论的。

[0070] 可编程计数器1110接收来自更新控制器750的控制信号N以及参考时钟。计数器1110被配置成在每第N个参考时钟周期(循环)期间输出门启用信号1125,并且在每第N个周期(循环)之间的(诸)周期期间输出门禁用信号,其中N大于1。门启用信号1125使第一时钟门1115通过参考时钟达一个时钟周期以产生Q脉冲。时钟周期延迟电路1122将门启用信号延迟一个时钟周期,并且将经延迟门启用信号1130输出至第二时钟门1120。经延迟门启用

信号1130使第二时钟门1120通过参考时钟达一个时钟周期以产生ZQ脉冲。由于输入至第二时钟门1120的门启用信号1130相对于输入至第一时钟门1115的门启用信号1125延迟了一个时钟周期,因而ZQ脉冲相对于Q脉冲延迟了一个时钟周期。

[0071] 如以上所讨论的,计数器1110在每第N个参考时钟周期(循环)期间输出门启用信号1125。为此,计数器1110可以对参考时钟的周期数进行计数,并且每当计数器1110数到N个参考时钟周期时就输出门启用信号。由于N的值是可编程的,因而计数器1010启用时钟门1115和1120以产生脉冲对的速率(以及因此主延迟电路710更新电压偏置的速率)是可编程的。

[0072] 时钟门1115和1120中的每一者可以使用一个或多个逻辑门来实现。例如,每个时钟门1115和1120可以包括具有第一输入端和第二输入端的与门。该与门的第一输入端接收参考时钟并且该与门的第二输入端接收门启用信号(逻辑1)或门禁用信号(逻辑0)。在这一示例中,当该与门接收到门启用信号(逻辑1)时,该与门使参考时钟通过,并且当该与门接收到门禁用信号(逻辑0)时,该与门阻挡参考时钟。当参考时钟被阻挡时,该与门输出逻辑0。根据这一实施例的时钟门1115和1120可被用于生成高脉冲对(其示例在图8和9中示出)。

[0073] 在另一示例中,每个时钟门1115和1120可以包括具有第一输入端和第二输入端的或门。该或门的第一输入端接收参考时钟并且该或门的第二输入端接收门启用信号(逻辑0)或门禁用信号(逻辑1)。在这一示例中,当该或门接收到门启用信号(逻辑0)时,该或门使参考时钟通过,并且当该或门接收到门禁用信号(逻辑1)时,该或门阻挡参考时钟。当参考时钟被阻挡时,该或门输出逻辑1。根据这一实施例的时钟门1115和1120可被用于生成低脉冲对(其示例在图10中示出)。

[0074] 应当领会,时钟门1115和1120不限于以上讨论的示例,并且每个时钟门1115和1120可以使用其他类型的逻辑门和/或逻辑门的组合来实现。

[0075] 时钟周期延迟电路1122可以用触发器(例如,D触发器)来实现,该触发器接收参考时钟和门启用信号并且使门启用信号延迟所接收到的参考时钟的一个周期。

[0076] 如以上讨论的,更新控制器750可以基于存储器接口的定时要求来调整N的值。例如,定时要求可以取决于存储器接口在给定时间的数据率。当数据率减小时,存储器接口的定时要求变得更放松,并且因此对主延迟电路的性能要求降低。在这一情形中,可以减小更新电压偏置的速率(即,可以增大N)以降低功耗。当数据率增大时,存储器接口的定时要求变得更严格(例如,触发器针对正确的数据采样可以容忍的抖动量减小)。在这一情形中,可以增大更新电压偏置的速率(即,可以减小N)以提高性能。

[0077] 在一个实施例中,更新控制器750可以包括查找表,其中该查找表包括由存储器接口支持的多个不同的数据率。该查找表可以将每个数据率映射到相应的N值。对于较低的数据率,N的值可以较大。在这一实施例中,更新控制器750可以接收对存储器接口的当前数据率的指示(例如,来自存储器控制器),并且使用查找表来确定与当前数据率相对应的N值。更新控制器750可以随后用所确定的N值来对主延迟电路710中的更新电路712进行编程。

[0078] 如果数据率改变,则更新控制器750可以使用查找表来确定与新数据率相对应的N值。如果新数据率的N值不同于先前数据率的N值,则更新控制器750可以用针对新数据率的N值来对主延迟电路710中的更新电路712进行编程。由此,N的值(以及因此电压偏置更新的速率)可以根据存储器接口的数据率的变化来调整。

[0079] 例如,对于DDR存储器接口,在数据率低于第一数据率(例如,低于400MHz)时可以将N设置成最大值(例如,32),并且在数据率高于第二数据率(例如,高于1.6GHz)时可以将N设置为1。在这一示例中,可以针对第一和第二数据率之间(例如,400MHz和1.6GHz之间)的数据率将N调整成1与最大值之间的值。

[0080] 当主延迟电路710首次上电时,相位误差可能相对较大。在此方面,更新控制器750可以最初将N的值设为1以快速减小相位误差并且锁定主延迟电路710的环路。当相位误差降到可接受水平时,更新控制器750可以增大N的值以降低功耗。例如,如以上讨论的,更新控制器750可以基于存储器接口的当前数据率来增大N的值。

[0081] 图12是示出其中N的值在锁定时段期间最初被设为1的示例的时序图。在锁定时段期间,每参考时钟周期更新电压偏置以快速地锁定主延迟电路710的环路。该锁定时段可以在相位误差降到可接受水平(例如,满足存储器接口的定时要求的水平)时结束。在主延迟电路710的环路被锁定之后,N的值可以增大以减小功率。在图12中所示的示例中,N的值增大到4。然而,应当领会,本公开的诸实施例不限于这一示例,并且N的值可以增大到满足存储器接口的定时要求的任何值。还应当领会,锁定时段不限于图12中所示的示例中的历时。一般而言,锁定时段的历时可以取决于将相位误差减小到可接受水平所需要的电压偏置更新的次数。

[0082] 在一个实施例中,更新控制器750可以在自锁定时段开始起预定数目的时钟周期之后结束锁定时段。在这一实施例中,预定数目的时钟周期可以基于对锁定主延迟电路710所需要的时钟周期数目的估计。在另一实施例中,更新控制器750可以监视来自PFD 520的所检测到的相位误差。在这一实施例中,更新控制器750可以在检测到的相位误差降到阈值以下时结束锁定时段。

[0083] 图13示出了根据本公开的一实施例的从延迟电路1315的示例性实现。从延迟电路1315可被用于实现图3中所示的从延迟电路315(1)-315(m)中的任何一者。从延迟电路1315包括沿(由箭头1312指示的)前向路径的第一多个与非门1310(1)-1310(5),以及沿(由箭头1332指示的)返回路径的第二多个与非门1330(1)-1330(5)。从延迟电路1315还包括前向路径与返回路径之间的第三多个与非门1320(1)-1320(5),其中每个与非门1320(1)-1320(5)耦合在前向路径与返回路径上的两个不同位置之间。与非门1310(1)-1310(5)、1320(1)-1320(5)和1330(1)-1330(5)由来自主延迟电路的电压偏置(图13中未示出)进行偏置,其中该电压偏置控制每个与非门的延迟。

[0084] 在这一实施例中,延迟控制器1340控制从延迟电路1315的输入端与输出端(标示为“IN”和“OUT”)之间的延迟。延迟控制器1340通过选择性地启用和禁用从延迟电路1315中的与非门以控制信号通过从延迟电路1315的路径来控制从延迟电路1315的输入端与输出端之间的延迟,如以下进一步讨论的。

[0085] 在此方面,与非门1310(1)-1310(5)在控制输入端1317(1)-1317(5)处接收来自延迟控制器1340的控制信号,与非门1320(1)-1320(5)在控制输入端1325(1)-1325(5)处接收来自延迟控制器1340的控制信号,并且与非门1330(5)在控制输入端1335处接收来自延迟控制器1340的控制信号。为了便于解说,图13中未示出与非门的控制输入端与延迟控制器1340之间的连接。这些控制信号选择性地启用和禁用这些与非门以控制信号通过从延迟电路1315的路径,并且因此控制信号通过从延迟电路1315的延迟。当与非门被启用时(例如,

通过将逻辑1输入到相应的控制输入端),则该与非门充当反相器。当与非门被禁用时(例如,通过将逻辑0输入到相应的控制输入端),则该与非门的输出状态恒定不变。

[0086] 图14A示出了其中延迟控制器1340形成通过从延迟电路1315的与非门1310 (1) - 1310 (3)、1320 (4) 和1330 (1) - 1330 (4) 的延迟路径1410的示例。在这一示例中,通过从延迟电路1315的延迟等于一个与非门的延迟的8倍,因为信号传播通过8个与非门。图14A还示出了从延迟控制器1340输入到与非门1310 (1) - 1310 (5)、1320 (1) - 1320 (5) 和1330 (5) 的控制输入端以形成延迟路径1410的控制信号的逻辑状态。为了便于解说,图14A中未示出控制输入端的附图标记。

[0087] 图14B示出了其中延迟控制器1340形成通过从延迟电路1315的与非门1310 (1) - 1310 (4)、1320 (5) 和1330 (1) - 1330 (5) 的延迟路径1420的示例。在这一示例中,通过从延迟电路1315的延迟等于一个与非门的延迟的10倍,因为信号传播通过10个与非门。图14B还示出了从延迟控制器1340输入到与非门1310 (1) - 1310 (5)、1320 (1) - 1320 (5) 和1330 (5) 的控制输入端以形成延迟路径1420的控制信号的逻辑状态。为了便于解说,图14B中未示出控制输入端的附图标记。

[0088] 在这一实施例中,延迟控制器1340能够将从延迟电路1315的延迟调整步进延迟的倍数,其中该步进延迟是两个与非门的延迟。两个与非门的步进延迟确保信号在从延迟电路1315的输入端和输出端处具有相同的极性。该步进延迟由从主延迟电路提供给与非门的电压偏置来控制。应当领会,从延迟电路1315不限于图13中所示的示例中的与非门的数目,并且从延迟电路1315可以包括任何数目的与非门。例如,与非门的数目可以增加以增加可选延迟的数目。

[0089] 图15示出了根据本公开的一实施例的具有压控延迟的与非门1510的示例性实现。与非门1510可被用于实现图13中的与非门。与非门1510包括与非逻辑1512、欠流PMOS晶体管1520、以及欠流NMOS晶体管1550。如以下进一步讨论的,与非逻辑1512执行与非门1510的逻辑功能,并且PMOS和NMOS晶体管1520和1550控制与非门1510的延迟。

[0090] 与非逻辑1512包括第一PMOS晶体管1530、第二PMOS晶体管1535、第一NMOS晶体管1540、以及第二NMOS晶体管1545。第一和第二PMOS晶体管1530和1535的源极耦合在一起,第一和第二PMOS晶体管1530和1535的漏极耦合在一起,第一NMOS晶体管1540的漏极耦合至第一和第二PMOS晶体管1530和1535的漏极,并且第一NMOS晶体管1540的源极耦合至第二NMOS晶体管1545的漏极。第一和第二PMOS晶体管1530和1535的源极通过欠流PMOS晶体管1520耦合至电源Vdd,并且第二NMOS晶体管1545的源极通过欠流NMOS晶体管1550耦合至接地。

[0091] 与非门1510的第一输入端(标示为“IN1”)耦合至第一PMOS晶体管1530和第一NMOS晶体管1540的栅极,并且与非门1510的第二输入端(标示为“IN2”)耦合至第二PMOS晶体管1535和第二NMOS晶体管1545的栅极。与非门1510的输出端(标示为“OUT”)耦合至第一PMOS晶体管1530、第二PMOS晶体管1535和第一NMOS晶体管1540的漏极。

[0092] 如以上所讨论的,与非逻辑1512执行与非门1510的逻辑功能。在此方面,与非逻辑1512在第一和第二输入端(IN1和IN2)均处于逻辑1的情况下输出逻辑0,否则输出逻辑1。因此,如果第二输入端(IN2)处于逻辑0,则与非逻辑1512输出逻辑1,而不管第一输入端(IN1)处的逻辑状态。如果第二输入端(IN2)处于逻辑1,则与非逻辑1512输出第一输入端(IN1)处的逻辑状态的逆。

[0093] 在一个示例中,第一输入端(IN1)可被用于接收传播通过从延迟电路(例如,从延迟电路1315)的信号,并且第二输入端(IN2)可被用于接收来自延迟控制器(例如,延迟控制器1340)的控制信号。在这一示例中,如果控制信号为逻辑0,则与非逻辑1512输出逻辑1,而不管第一输入端(IN1)处的逻辑状态。在这一情形中,与非逻辑1512不传播第一输入端(IN1)处的信号。如果控制信号为逻辑1,则与非逻辑1512使第一输入端(IN1)处的信号反相,并且因此作为反相器来传播该信号。

[0094] 如以上讨论的,欠流PMOS晶体管1520和欠流NMOS晶体管1550控制与非门1510的延迟。更具体地,欠流NMOS晶体管1550在其栅极处接收第一电压偏置Vbn,并且基于第一电压偏置Vbn来控制导致与非门1510的输出端处的下降沿的信号延迟。这是因为第一电压偏置Vbn控制欠流NMOS晶体管1550的导电率,并且因此控制可以从与非门1510的输出端(OUT)通过欠流NMOS晶体管1550流到地的电流量。这进而控制与非门1510的下降时间并且因此控制与非门1510的输出端(OUT)从高转变到低(即,下降沿)的时间量。第一电压偏置Vbn越高,则从输出端(OUT)至地的电流越大,并且因此延迟越短。第一电压偏置Vbn越低,则从输出端(OUT)至地的电流越小,并且因此延迟越长。

[0095] 欠流PMOS晶体管1520在其栅极处接收第二电压偏置Vbp,并且基于第二电压偏置Vbp来控制导致与非门1510的输出端(OUT)处的上升沿的信号延迟。这是因为第二电压偏置Vbp控制欠流PMOS晶体管1520的导电率,并且因此控制可以从Vdd通过欠流PMOS晶体管1520流到与非门1510的输出端(OUT)的电流量。这进而控制与非门1510的上升时间,并且因此控制与非门1510的输出端从低转变到高(即,上升沿)的时间量。第二电压偏置Vbp越低,则从Vdd至输出端(OUT)的电流越高,并且因此延迟越短。第二电压偏置Vbp越高,则从Vdd至输出端(OUT)的电流越小,并且因此延迟越长。

[0096] 因此,第一和第二电压偏置Vbn和Vbp控制与非门1510的延迟,并且因此控制包括用与非门1510实现的与非门的从延迟电路的步进延迟。第一电压偏置Vbn控制与非门1510的输出端(OUT)处的下降沿的延迟,而第二电压偏置Vbp控制与非门1510的输出端(OUT)处的上升沿的延迟。

[0097] 图16示出了根据本公开的一实施例的主延迟电路1610,其被配置成调整第一和第二电压偏置Vbn和Vbp以达成从延迟电路的期望步进延迟。主延迟电路1610包括更新电路712、时钟延迟电路1615、相位频率检测器(PFD)1620、电荷泵1625、Vbp发生器1640、以及初始拉动电路1650。主延迟电路1610进一步包括耦合在电荷泵1625的输出端与接地之间的第一电容器1630、以及耦合在Vdd与Vbp发生器1640的输出端之间的第二电容器1645。如以下进一步讨论的,第一电容器1630被用于生成第一电压偏置Vbn,而第二电容器1645被用于生成第二电压偏置Vbp。

[0098] 在操作中,更新电路712每N个参考时钟周期(循环)输出一对脉冲。每一对脉冲包括Q脉冲和ZQ脉冲,其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。对于每一对脉冲,更新电路712将ZQ脉冲输出至PFD 1620的第一输入端1622并且将Q脉冲输出至时钟延迟电路1615。时钟延迟电路1615将Q脉冲延迟由第一和第二电压偏置Vbn和Vbp控制的量,这些电压偏置分别从电荷泵1625和Vbp发生器1640的输出端反馈至时钟延迟电路1615。第一电压偏置Vbn通过第一反馈环路1655反馈至时钟延迟电路1615,而第二电压偏置Vbp通过第二反馈环路1660反馈至时钟延迟电路1615。时钟延迟电路1615将结果得到的经延迟Q脉冲输出至

PFD 1620的第二输入端1624。

[0099] PFD 1620检测ZQ脉冲与经延迟Q脉冲之间的相位误差。例如,PFD 1620可以通过检测ZQ脉冲与经延迟Q脉冲的上升沿之间的相位差或者ZQ脉冲与经延迟Q脉冲的下降沿之间的相位差来检测相位误差。PFD 1620基于检测到的相位误差来将UP(上升)信号和/或DWON(下降)信号输出至电荷泵1625。UP信号使电荷泵1625对第一电容器1630进行充电(并且因此增大第一电压偏置Vbn),DOWN信号使电荷泵1625对第一电容器1630进行放电(并且因此减小第一电压偏置Vbn)。PFD 1620朝减小检测到的相位误差的方向调整UP信号和/或DOWN信号(并且因此调整第一电压偏置Vbn)。

[0100] 第一电压偏置Vbn被输入到Vbp发生器1640,Vbp发生器1640基于第一电压偏置Vbn来生成第二电压偏置Vbp。在一个实施例中,Vbp发生器1640可以简单地调整第二电压偏置Vbp,以使得Vdd-Vbp大致等于Vbn。在另一实施例中,Vbp发生器1640可以调整第二电压偏置Vbp,以使得从延迟电路中的与非门的上升时间和下降时间大致相等。例如,Vbp发生器1640可以包括由互补信号驱动的两个与非门,从而导致这些与非门中的一个与非门上升而同时另一个与非门下降。这两个与非门可以由第一和第二电压偏置Vbn和Vbp来偏置,并且可以是从延迟电路中的与非门的复制品。在这一示例中,Vbp发生器1640可以检测与非门的上升沿和下降沿交叉的点(例如,电压),并且调整第二电压偏置Vbp,以使得该交叉点大致在与非门的电压摆幅的中间(例如,Vdd的大致一半)。

[0101] 当时钟延迟电路1615的延迟大致等于一个参考时钟周期时,相位误差接近0。因此,主延迟电路1610调整第一和第二电压偏置Vbn和Vbp,以使得时钟延迟电路1615的延迟大致等于一个时钟周期。在一个实施例中,时钟延迟电路1615具有大致等于从延迟电路的步进延迟的M倍的延迟。例如,在一简单实现中,时钟延迟电路1615可以包括串联耦合的 $2 \times M$ 个与非门,其中步进延迟是两个与非门的延迟。因此,在这一实施例中,主延迟电路1610每N个时钟周期(循环)更新第一和第二电压偏置Vbn和Vbp以维持约为T/M的步进延迟,其中T是一个时钟周期(循环)。

[0102] 第一电容器1630在各更新之间保持第一电压偏置Vbn,而第二电容器1645在各更新之间保持第二电压偏置Vbp。第一和第二电压偏置Vbn和Vbp在各更新之间漂移。如以上讨论的,增加各更新之间的时间(即,增大N)将以各更新之间更多的漂移(并且因此较低性能)为代价来降低功耗。在此方面,更新控制器750可以调整更新速率(即,调整N)以降低功耗,而同时仍满足特定数据率的定时要求。

[0103] 初始拉动电路1650被配置成设置第一和第二电压偏置Vbn和Vbp的初始值以防止虚锁定。为此,在重置信号(标示为“i\_rst”)被断言(例如,i\_rst为逻辑1)时,初始拉动电路1650最初将第一电压偏置Vbn上拉到电源Vdd并且将第二电压偏置Vbp下拉到接地。这最初将时钟延迟电路1615设置成短于一个时钟周期的延迟,此举有助于确保主延迟电路1610将时钟延迟电路1615的延迟锁定到一个时钟周期。

[0104] 在第一和第二电压偏置Vbn和Vbp被初始设置并且重置被关闭(例如,i\_rst为逻辑0)之后,主延迟电路1610可以在锁定时段期间每时钟周期(循环)更新第一和第二电压偏置Vbn和Vbp。一旦主延迟电路1610被锁定,就可以增加各更新之间的间隔(即,可以增大N)以节省功率,如以上所讨论的。

[0105] 图17示出了根据本公开的一实施例的时钟延迟电路1615的示例性实现。时钟延迟

电路1615包括第一延迟级1710和第二延迟级1750。通过时钟延迟电路1615的总延迟大致为通过第一和第二延迟级1710和1750的延迟的总和。

[0106] 第一延迟级1710包括振荡器1720和计数电路1730。振荡器1720包括延迟电路1725和振荡启用/禁用电路1740。

[0107] 延迟电路1725可以包括在与图13中的从延迟电路1315的结构相似的结构中耦合的与非门。在图17中所示的示例中,延迟电路1725中的一部分与非门被启用以形成通过延迟电路1725的延迟路径1712。在一个示例中,路径1712的延迟等于 $16*td$ ,其中td为一个步进延迟(例如,两个与非门的延迟)。步进延迟td由第一和第二电压偏置Vbn和Vbp(图17中未示出)来控制。

[0108] 振荡启用/禁用电路1740基于来自计数电路1730的控制信号来控制是启用还是禁用振荡器1720,如以下进一步讨论的。在图17中的示例中,振荡启用/禁用电路1740包括与非门1740,与非门1740具有耦合至延迟电路1725的输出端1735的第一输入端、耦合至计数电路1730以用于接收控制信号的第二输入端1745(也称为控制输入端)、以及耦合至延迟电路1725的输入端的输出端。与非门1740可以由第一和第二电压偏置Vbn和Vbp(图17中未示出)来偏置。

[0109] 在这一示例中,当控制信号为逻辑1时,与非门1740充当延迟电路1725的输出端与输入端之间的反相器,从而导致延迟电路1725振荡。因此,当控制信号为逻辑1时,振荡器1720被启用。当控制信号为逻辑0时,与非门1740的输出状态在逻辑1处保持恒定,而不管延迟电路1725的输出端处的逻辑状态。这有效地将延迟电路1725的输出端与延迟电路1725的输入端阻隔开。结果,防止延迟电路1725振荡。因此,当控制信号为逻辑0时,振荡器1720被禁用。

[0110] 当振荡器1720被启用时,延迟电路1725和与非门1740形成闭环,其中通过该环路一次等于通过延迟电路1725的路径1712的延迟和与非门1740的延迟的总和。对于其中路径1712的延迟等于 $16*td$ 的示例,通过该环路一次大致等于 $16.5*td$ (即,通过路径1712的 $16*td$ 延迟和通过与非门1740的 $0.5*td$ 延迟)。

[0111] 现在将根据本公开的实施例来描述第一延迟级1710的示例性操作。在这一示例中,可以假定第一延迟级1710接收来自更新电路712的低Q脉冲(其示例在图10中示出)。在接收到来自更新电路712的Q脉冲的上升沿之前,振荡器1720被禁用(即,计数电路1730将逻辑0输出至与非门1740的控制输入端1745)。另外,计数电路1730将逻辑1输出至第二延迟级1750。

[0112] 在Q脉冲的上升沿上,计数电路1730被触发。这使计数电路1730将逻辑1输出至与非门1740的控制输入端1745以启用振荡器1720。这还使计数电路1730开始对振荡器1720的振荡次数进行计数,并且将至第二延迟级1750的输出从高转变到低。

[0113] 当振荡器1720振荡时,延迟电路1725的输出端1735处的逻辑状态改变。输出逻辑状态的各改变之间的时间大致等于通过与非门1740和延迟电路1725中的路径1712一次的延迟。计数电路1730可以在延迟电路1725的输出端1735处的每个下降沿上递增计数值。替换地,计数电路1730可以在延迟电路1725的输出端1735处的每个上升沿上递增计数值。在任一情形中,每当信号通过与非门1740和延迟电路1725中的路径1712两次,计数电路1730就递增计数值。对于其中通过与非门1740和延迟电路1725中的路径1712的延迟等于 $16.5*$

td的示例,计数器1730在 $2*16.5*td$ 的延迟之后递增计数值。

[0114] 当计数值达到预定的终止计数值(例如,计数13)时,计数电路1730将逻辑0输出至与非门1740的控制输入端1745以禁用振荡器1720。计数电路1730还将上升沿输出至第二延迟级1750。因此,第一延迟级1710响应于计数值达到终止计数值而将上升沿输出至第二延迟级1750。对于其中终止计数值为13并且通过与非门1740和延迟电路1725的延迟为 $16.5*td$ 的示例,输入至第一延迟级1710的Q脉冲的上升沿与输出至第二延迟级1750的上升沿之间的延迟大致等于 $13*2*16.5*td$ 。在达到终止计数之后,振荡器1720可以保持被禁用,直至计数电路1730被下一Q脉冲的上升沿重新触发。另外,计数电路1730可以将逻辑1输出至第二级1750,直至被重新触发。

[0115] 在一个实施例中,第二延迟级1750具有与第一延迟级1710基本相同的结构。在此实施例中,第二延迟级1750包括振荡器1770和计数电路1780。振荡器1770包括振荡启用/禁用电路1790和延迟电路1775。在图17中的示例中,振荡启用/禁用电路1790包括与非门1790。第二延迟级1750中的延迟电路1775、计数电路1780和与非门1790可以按与第一延迟级1710中的延迟电路1725、计数电路1730和与非门1740基本相似的方式起作用。

[0116] 在接收到来自第一延迟级1710的上升沿之前,第二延迟级1750中的振荡器1770被禁用(即,计数电路1780将逻辑0输出至与非门1790的控制输入端1795)。另外,计数电路1780将逻辑1输出至PFD 1620。

[0117] 在来自第一延迟级1710的上升沿上,计数电路1780被触发。这使计数电路1780将逻辑1输出至与非门1790的控制输入端1795以启用振荡器1770。这还使计数电路1780开始对振荡器1770的振荡次数进行计数,并且将至PFD 1620的输出从高转变到低。

[0118] 当计数电路1780处的计数值达到预定的终止计数值(例如,计数13)时,计数电路1780将逻辑0输出至与非门1790以禁用振荡器1770。计数电路1780还将上升沿输出至PFD 1620。对于其中终止计数值为13并且通过与非门1790和延迟电路1775的延迟为 $16.5*td$ 的示例,输入至第二延迟级1750的上升沿与输出至PFD 1620的上升沿之间的延迟大致等于 $13*2*16.5*td$ 。在达到终止计数之后,振荡器1770可以保持被禁用,直至计数电路1780被来自第一延迟级1710的下一上升沿重新触发。另外,计数1780可以将逻辑1输出至PFD 1620,直至被重新触发。

[0119] 图18是解说Q脉冲、第一延迟级1710的输出、以及第二延迟级1750的输出的示例的时序图。在此示例中,假定N大于1。Q脉冲的上升沿1810触发第一延迟级1710中的计数电路1730,从而使第一延迟级1710的输出从高转变到低。当计数电路1730的计数值达到终止计数时,第一延迟级1710将上升沿1820输出至第二延迟级1750。来自第一延迟级1710的上升沿1820触发第二延迟级中的计数电路1780,从而使第二延迟级1750的输出从高转变到低。当计数电路1780的计数值达到终止计数时,第二延迟级1750将上升沿1830输出至PFD 1620。输出至PFD 1620的上升沿1830从Q脉冲的上升沿延迟了通过第一和第二延迟级1710和1750的延迟的总和,如图18中所示。

[0120] 如以上讨论的,主延迟电路1610调整第一和第二电压偏置Vbn和Vbp,直至通过时钟延迟电路1615的延迟大致等于一个时钟周期。因此,主延迟电路1610调整第一和第二电压偏置Vbn和Vbp以达成为T/M的步进延迟,其中T是一个时钟周期并且M是第一和第二延迟级1710和1750中的步进延迟的总数。对于其中通过时钟延迟电路1615的每一级1710和1750

的延迟等于 $13*2*16.5*td$ 的示例,通过时钟延迟电路1615的总延迟等于 $2*13*2*16.5*td$ 。在此示例中,主延迟电路1610调整第一和第二偏置Vbn和Vbp以达成大致等于 $T/(2*13*2*16.5)$ 的步进延迟td,其中T是一个时钟周期。

[0121] 图17中的示例性时钟延迟电路1615提供了以下优点中的一个或多个优点。首先,与简单地使用长延迟链相比,时钟延迟电路1615能够使用少得多的与非门来达成较小的步进延迟,由此减小时钟延迟电路1615的大小。这是因为时钟延迟电路1615使用相对较小的延迟链(例如,路径1712中的与非门)来形成振荡器,并且对振荡器的振荡次数进行计数以创建时钟延迟电路1615的延迟。

[0122] 另一优点在于,当减小电压偏置更新速率(即,增大N)时,显著降低了时钟延迟电路1615的功耗。这是因为振荡器1720和1770在各更新之间被禁用。结果,当各更新之间的间隔增大(即,N增大)时,降低了来自振荡器1720和1770的动态功耗。例如,当N大于1时,由振荡器1720和1770消耗的功率被降低至振荡器1720和1770针对每时钟周期更新电压偏置Vbn和Vbp的情形所消耗的功率的约 $1/N$ 。

[0123] 另一优点在于,使用两个延迟级1710和1750向每一级提供了在各Q脉冲之间有更多时间进行重置。例如,当第一延迟级1710针对当前Q脉冲达到终止计数并且N等于1时,第一延迟级1710具有大致等于第二延迟级1750的延迟的时间量来针对下一Q脉冲进行重置。

[0124] 应当领会,延迟电路1725和1775不限于与非门。例如,每个延迟电路1725和1775可以包括不同于与非门的延迟元件链,其中这些延迟元件可以是从延迟电路中的延迟元件的复制品。在此示例中,延迟链的输入端和输出端可以选择性地耦合以形成振荡器,并且相应的计数电路1730和1780可以对振荡器的振荡次数进行计数以创建延迟。

[0125] 还应领会,时钟延迟电路1615不限于两个延迟级。例如,时钟延迟电路1615可以包括一个延迟级1710,其中第一延迟级1710的输出端将经延迟Q脉冲提供给PFD 1620。例如,当延迟级1710具有充足的时间来针对下一Q脉冲进行重置时,可以使用一个延迟级1710,而无需第二延迟级(例如,当N等于2或更大时)。

[0126] 图19示出根据本公开的一实施例的第一延迟级1710中的计数电路1730的示例性实现。第二延迟级1750中的计数电路1780也可以使用图19中所示的电路来实现。

[0127] 在此实施例中,计数电路1730包括重置逻辑1915、计数器1910、与非门1920、或门1930、反相器1925、以及或门1935。在以下描述中,计数电路1730中的与非门1920将被称为第二与非门1920,而用于启用/禁用振荡器1720的与非门1740将被称为第一与非门1740。

[0128] 第二与非门1920具有耦合至延迟电路1725的输出端(标示为“o\_osc”的)的第一输入端、以及耦合至重置逻辑1915的输出端(标示为“rst\_cnt”的)的第二输入端。计数器1910具有耦合至第二与非门1920的输出端的输入端(标示为“i\_cnt”)、以及耦合至第一与非门1740的控制输入端1745的输出端(标示为“o\_cnt”)。因此,在此实施例中,计数器1910的输出端(o\_cnt)的逻辑状态控制是启用还是禁用振荡器1720。或门1935具有用于接收初始重置信号(标示为“i\_rst”的)的第一输入端以及通过反相器1925耦合至延迟电路1725的输出端(o\_osc)的第二输入端。或门1935的输出端耦合至重置逻辑1915的重置输入端(标示为“rst”)。或非门1930具有耦合至计数器1910的输入端(i\_cnt)的第一输入端以及耦合至计数器1910的输出端(o\_cnt)的第二输入端。

[0129] 现在将根据本公开的实施例来描述计数电路1730的示例性操作。在此示例中,可

以假定第一延迟级1710接收来自更新电路712的低Q脉冲(其示例在图10中示出)。在接收到来自更新电路712的Q脉冲的上升沿之前,振荡器1720被禁用(即,计数器1910将逻辑0输出( $o_{cnt}$ )至第一与非门1740的控制输入端1745),并且延迟电路1725将逻辑1输出( $o_{osc}$ )至第二与非门1920。重置逻辑1915将逻辑1输出( $rst_{cnt}$ )至第二与非门1920。因此,第二与非门1920接收来自延迟电路1725和重置逻辑1915两者的逻辑1,从而使第二与非门1920将逻辑0输出至计数器1910的输入端( $i_{cnt}$ )。由于计数器1910的输入端( $i_{cnt}$ )和输出端( $o_{cnt}$ )两者均为逻辑0,因而或非门1930输出逻辑1。

[0130] 在Q脉冲的上升沿上,重置逻辑1915的输出( $rst_{cnt}$ )从高转变到低。这使第二与非门1920将逻辑1输出至计数器1910的输入端( $i_{cnt}$ ),这触发计数器1910开始计数。作为响应,计数器1910将逻辑1输出( $o_{cnt}$ )至第一与非门1740的控制输入端1745以启用振荡器1720。因此,计数器1910响应于重置逻辑1915的输出( $rst_{cnt}$ )变低而启用振荡器1720。此外,计数器1910的输出端( $o_{cnt}$ )处的逻辑1(其也被馈送至或非门1930)使或非门1930的输出从高转变到低。

[0131] 当延迟电路1725的输出( $o_{osc}$ )在振荡模式中首次改变成逻辑0时,逻辑1通过反相器1925以及或门1935输入至重置逻辑1915的重置输入端( $rst$ )。这使重置逻辑1915进行重置并且将逻辑1输出至第二与非门1920。来自重置逻辑1915的逻辑1使第二与非门1920将延迟电路1725的输出( $o_{osc}$ )的逆传递至计数器1910的输入端( $i_{cnt}$ )。

[0132] 当振荡器1720振荡时,延迟电路1725的输出端( $o_{osc}$ )处的逻辑状态改变。输出逻辑状态的各改变之间的时间大致等于通过第一与非门1740和延迟电路1725中的路径1712一次的延迟。

[0133] 在振荡期间,每当计数器输入( $i_{cnt}$ )从低升到高时(即,与非门1920的输出端处的每个上升沿)时,计数器1910递增计数值。这在每当信号通过第一与非门1740和延迟电路1725中的路径1712两次时发生。因此,在这个方面,在通过第一与非门1740和延迟电路1725中的路径1712两次的延迟之后,计数器1910递增计数值。对于其中通过第一与非门1740和延迟电路1725中的路径1712的延迟等于 $16.5*td$ 的示例,计数器1910在 $2*16.5*td$ 的延迟之后递增计数值。

[0134] 当计数值达到终止计数值(例如,计数13)时,计数器1910将逻辑0输出( $o_{cnt}$ )至或非门1930和第一与非门1740的控制输入端1745两者。第一与非门1740的控制输入端1745处的逻辑0使第一与非门1740的输出端在逻辑1处保持恒定不变,从而禁用振荡器1720。第一与非门1740的输出端处的逻辑1传播通过延迟电路1725,从而使延迟电路1725将逻辑1输出( $o_{osc}$ )至第二与非门1920。这进而使第二与非门1920将逻辑0输出至或非门1930和计数器1910的输入端( $i_{cnt}$ )两者。结果,或非门1930的两个输入端均为逻辑0,从而使或非门1930的输出从低转变到高,并且因此使或非门1930将上升沿输出至第二延迟级1750。因此,第一延迟级1710在计数器1910达到终止计数值之后将上升沿输出至第二延迟级1750。对于其中终止计数值为13并且通过第一与非门1740和延迟电路1725的延迟为 $16.5*td$ 的示例,Q脉冲的上升沿与输出至第二延迟级1750的上升沿之间的延迟大致等于 $13*2*16.5*td$ 。

[0135] 应当领会,取代如以上讨论地在计数器输入端( $i_{cnt}$ )处的每个上升沿上递增计数值,计数器1910可以在每个上升沿上递减计数器值。在这一情形中,计数器1910可以从预定的计数值开始计数,在每个上升沿上递减计数值,并且在计数值达到终止计数值0时触发

第二时钟延迟电路1710。

[0136] 图20示出了根据本公开的一实施例的重置逻辑1915的示例性实现。重置逻辑1915包括第一与门2010、第一或非门2020、反相器2030、第二与门2045、第二或非门2050、以及第三或非门2060。重置逻辑1915的时钟输入端(标示为“clk”)耦合至第一与门2010的第一输入端和第二与门2045的第一输入端。第一与门2010的输出端耦合至第一或非门2020的第一输入端，并且重置输入端耦合至第一或非门2020的第二输入端。第一或非门2020的输出通过反相器2030反馈至第一与门2010的第二输入端。第一或非门2020的输出端还耦合至第二与门2045的第二输入端。第二与门2045的输出端耦合至第二或非门2050的第一输入端。第二或非门2050的输出端耦合至第三或非门2060的第一输入端，并且重置输入端耦合至第三或非门2060的第二输入端。第三或非门2060的输出端耦合至第二或非门2050的第二输入端。第二或非门2050的输出端耦合至重置逻辑1915的输出端(标示为“yn”)。

[0137] 重置逻辑1915可以通过将逻辑1输入至重置输入端(rst)来重置。一旦重置，重置逻辑1915可以输出(yn)逻辑1，直至在时钟输入端(clk)处接收到上升沿。当在第一延迟级1710中使用重置逻辑1915时，时钟输入端(clk)可以耦合至更新电路712的Q输出端，而当在第二延迟级1750中使用重置逻辑1915时，时钟输入端(clk)可以耦合至第一延迟级1710的输出端。

[0138] 当在时钟输入端(clk)处接收到上升沿时，重置逻辑1915的输出变低(即，重置逻辑1915输出逻辑0)。如以上讨论的，这可以触发计数电路1730中的计数器1910开始计数。当延迟电路1725的输出(o\_osc)变低时，重置逻辑1915可被重置。这是因为延迟电路1725的输出(o\_osc)通过反相器1925馈送至重置逻辑1915的重置输入端(rst)。当在第一延迟级1710中使用重置逻辑1915时，这针对下一Q脉冲的上升沿来重置该重置逻辑1915。

[0139] 图21示出了根据本公开的一实施例的更新电路2110的示例性实现。更新电路2110可被用于实现图7和16中所示的更新电路712。更新电路2110被配置成每N个输入参考时钟周期(循环)输出一对脉冲。每一对脉冲包括低Q脉冲和低ZQ脉冲(其示例在图10中示出)，其中ZQ脉冲相对于Q脉冲被延迟大致一个时钟周期。

[0140] 更新控制器2110包括可编程计数器2115、第一反相器2120、第一D触发器2130、第二D触发器2150、第二反相器2135、第一或门2140、第三反相器2155、以及第二或门2160。计数器2115、第一触发器2130和第二触发器2150可以通过初始重置信号(i\_rst)来重置，如图21中所示。

[0141] 计数器2115接收来自更新控制器750的控制信号N以及参考时钟。计数器2115被配置成在每第N个参考时钟周期(循环)期间在其输出端(标示为“tcn”)处输出逻辑0，并且在每第N个周期(循环)之间在其输出端(tcn)处输出逻辑1，其中N大于1。

[0142] 第一触发器2130具有耦合至参考时钟的时钟输入端(标示为“clk”)、通过第一反相器2120耦合至计数器2115的输出端(tcn)的d输入端、以及q输出端。第二触发器2150具有耦合至参考时钟的时钟输入端(标示为“clk”)、耦合至第一触发器2130的q输出端的d输入端、以及q输出端。触发器2130和2150两者可以是正边沿触发式触发器，其中每个触发器在参考时钟的上升沿上锁存相应的d输入端处的逻辑值，并且在相应的q输出端处输出经锁存的逻辑值达大致一个时钟周期。

[0143] 第一或门2140具有通过第二反相器2135耦合至第一触发器2130的q输出端的第一

输入端、以及耦合至参考时钟的第二输入端。第一或门2140的输出端形成更新电路2110的Q输出端。第二或门2160具有通过第三反相器2155耦合至第二触发器2150的q输出端的第一输入端、以及耦合至参考时钟的第二输入端。第二或门2160的输出端形成更新电路2110的ZQ输出端。

[0144] 现在将根据本公开的实施例来描述更新电路2110的操作。

[0145] 如以上所讨论的，计数器2115在每第N个参考时钟周期(循环)期间输出逻辑0。每当计数器2115输出逻辑0达一个时钟周期(循环)时，第一或门2140和第二或门2160分别输出低Q脉冲和低ZQ脉冲，其中ZQ脉冲相对于Q脉冲延迟了大致一个时钟周期。更具体地，第一反相器2120使计数器2115的输出端(tcn)处的逻辑0反相，并且将逻辑1输出至第一触发器2130的d输入端。第一触发器2130在参考时钟的上升沿上锁存逻辑1，并且在其q输出端处输出经锁存的逻辑1达一个时钟周期。第二反相器2135将第一触发器2130的q输出端处的逻辑1反相，并且将逻辑0输出至第一或门2140的第一输入端。这使第一或门2140将参考时钟传递至Q输出端达一个时钟周期以生成低Q脉冲。

[0146] 第二触发器2150在一个时钟周期的延迟之后锁存第一触发器2130的q输出端处的逻辑1，并且输出经锁存的逻辑1达一个时钟周期。第三反相器2155将第二触发器2150的q输出端处的逻辑1反相，并且将逻辑0输出至第二或门2160的第一输入端。这使第二或门2160将参考时钟传递至ZQ输出端达一个时钟周期以生成低ZQ脉冲。由于第二触发器2150的q输出相对于第一触发器2130的q输出延迟了一个时钟周期，因而ZQ脉冲相对于Q脉冲延迟了一个时钟周期。

[0147] 图22是解说根据本公开的一实施例的用于延迟控制的方法2200的流程图。方法2200可以由主延迟电路1610和更新控制器750来执行。

[0148] 在步骤2210，向延迟电路提供电压偏置，其中该电压偏置控制该延迟电路的延迟。例如，主延迟电路(例如，主延迟电路1610)可以将电压偏置提供给从延迟电路(例如，从延迟电路1315)以控制从延迟电路的步进延迟。

[0149] 在步骤2220，以一更新速率来更新电压偏置。例如，可以每N个参考时钟周期(循环)一次更新的速率来调整电压偏置。

[0150] 在步骤2230，调整更新速率。例如，可以基于纳入该延迟电路的存储器接口的定时要求来调整更新速率。在这一示例中，在定时要求较宽松(例如，较低数据率)时可以减小更新速率以降低功率，而在定时要求较严格(例如，较高数据率)时可以增大更新速率。

[0151] 该方法可任选地包括基于被延迟电路延迟的信号的数据率来调整更新速率。例如，如果信号的数据率大致等于第一数据率，则更新速率可被设置为第一更新速率，并且如果信号的数据率大致等于第二数据率，则更新速率可被设置为第二更新速率，其中第一数据率低于第二数据率，并且第一更新速率低于第二更新速率。

[0152] 该方法可任选地包括将第二电压偏置(例如，电压偏置Vbp)提供给延迟电路，以及以该更新速率来更新第二电压偏置。第二电压偏置也可以控制延迟电路的延迟。

[0153] 应当领会，更新控制器750可用设计成执行本文描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其他可编程逻辑器件(PLD)、分立的门或晶体管逻辑、分立的硬件组件、或其任何组合来实现。通用处理器可以是微处理器，但在替换方案中，处理器可以是任何常规的处理器、控制器、微控制器、或状态

机。处理器可以通过执行包括用于执行本文描述的更新控制器750的功能的代码的软件来执行更新控制器750的功能。软件可以存储在计算机可读存储介质中，诸如RAM、ROM、EEPROM、光盘、和/或磁盘。

[0154] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的，且本文中所定义的普适原理可被应用到其他变型而不会脱离本公开的精神或范围。例如，尽管以上使用DRAM的示例来讨论本公开的诸实施例，但是应当领会，本公开的诸实施例不限于此示例，并且可以与其他类型的存储器设备联用。由此，本公开并非旨在被限定于本文中所描述的示例，而是应被授予与本文中所公开的原理和新颖特征相一致的最广范围。

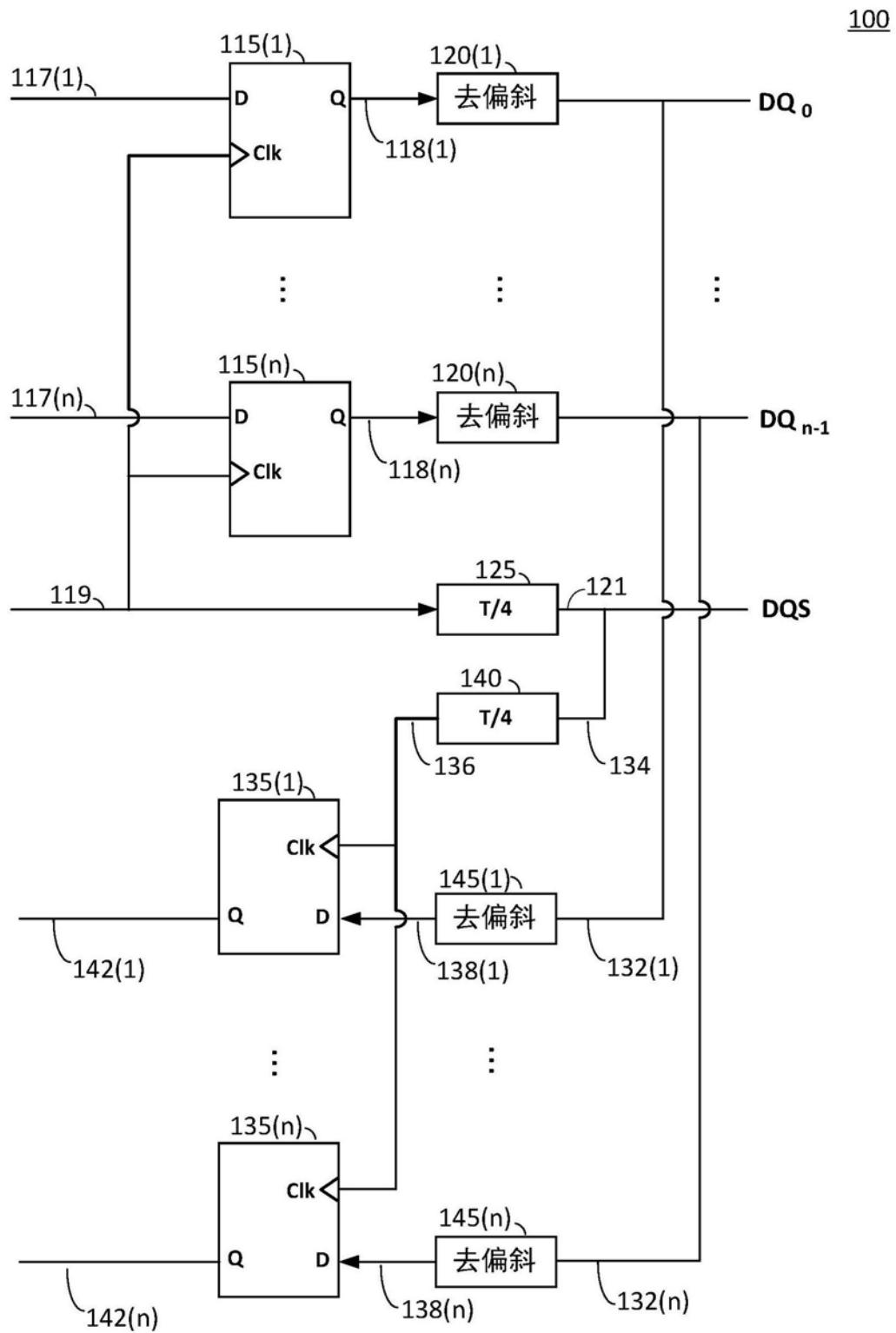


图1

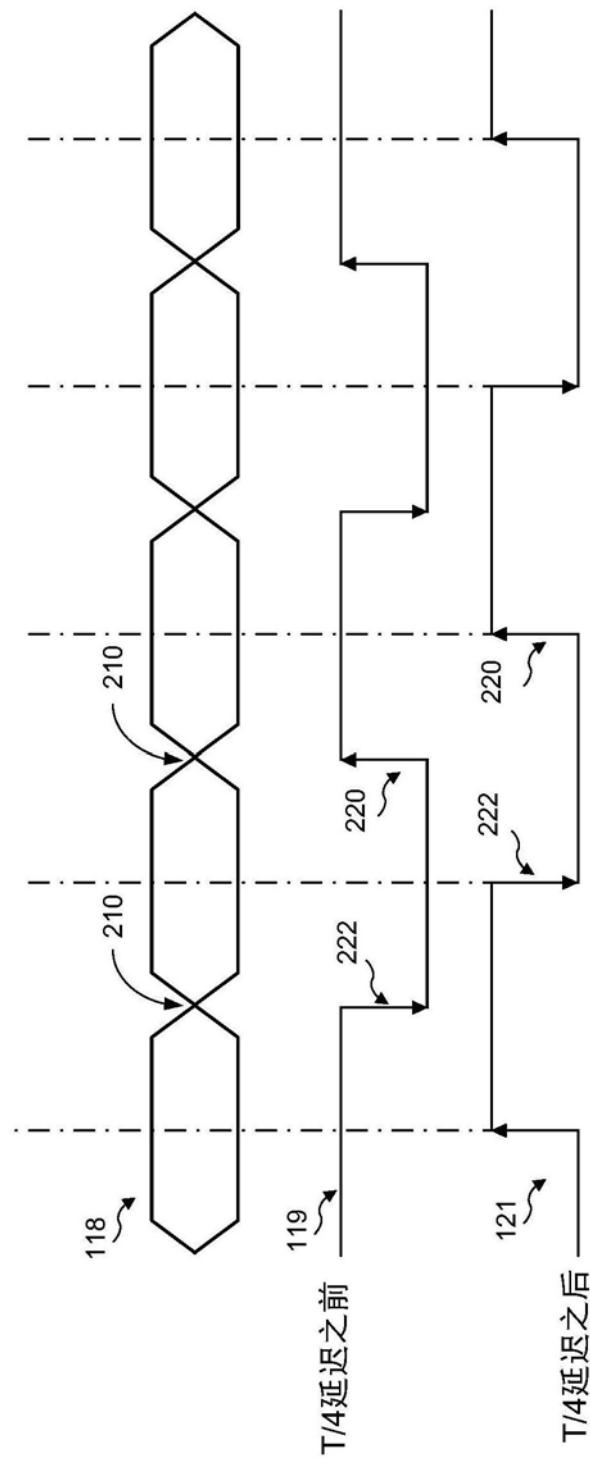


图2

300

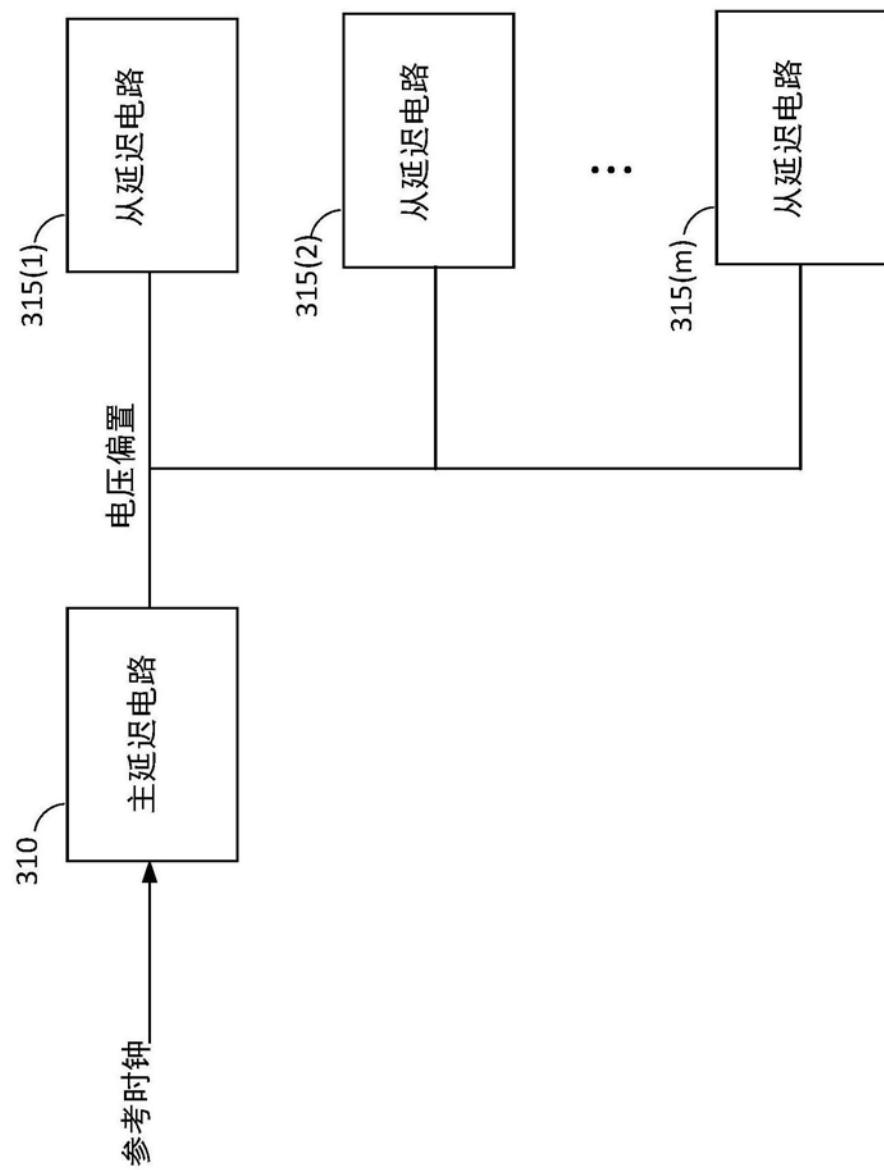


图3

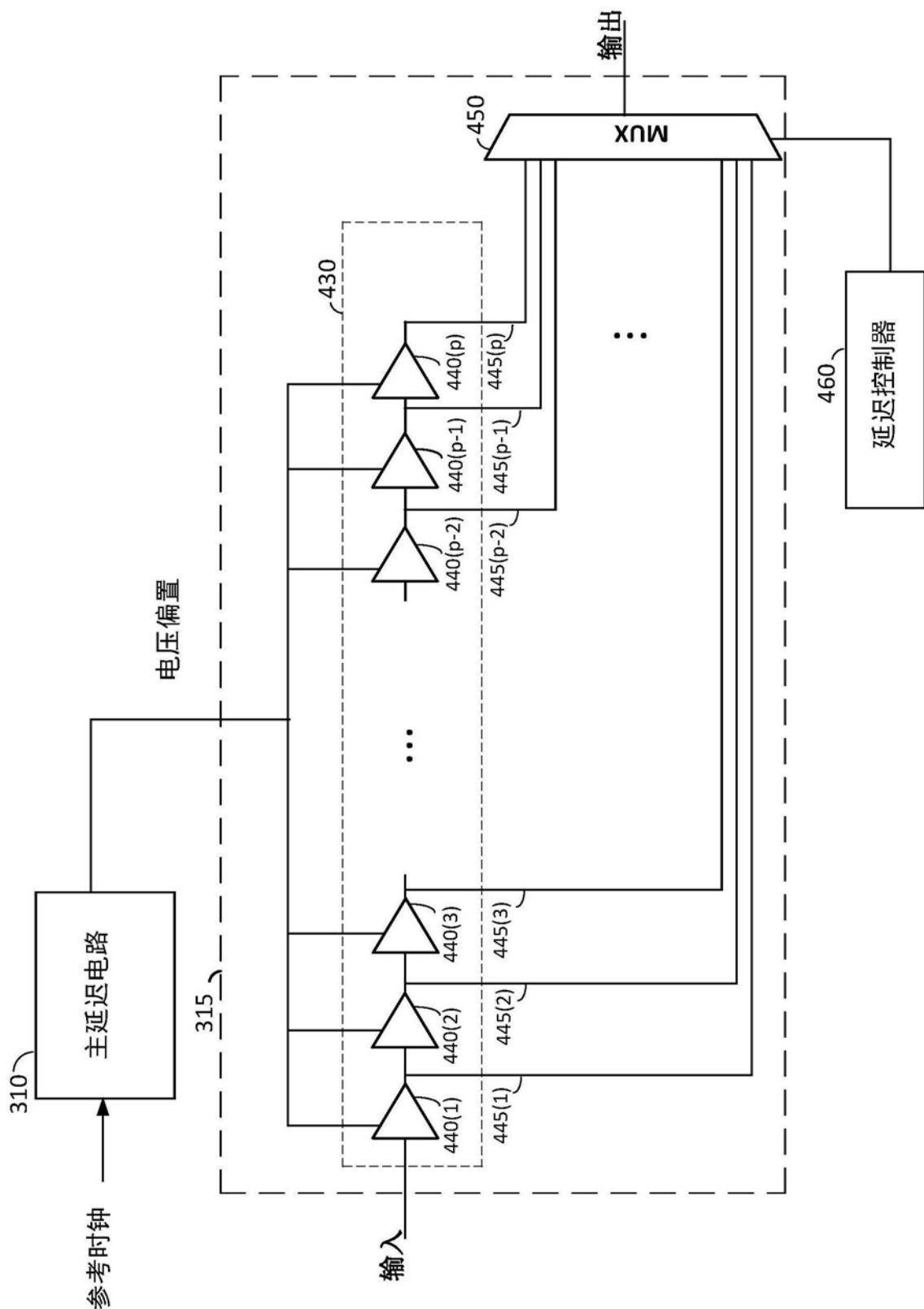


图4

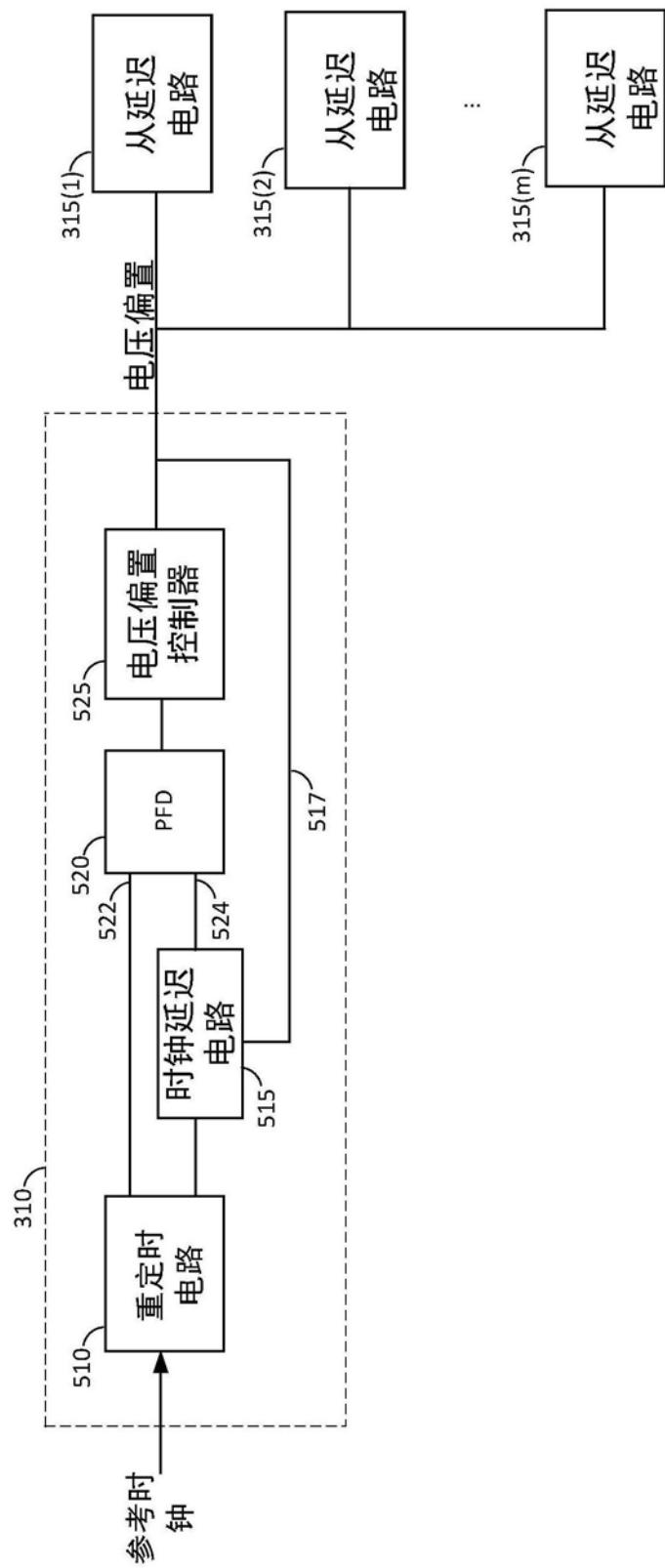


图5

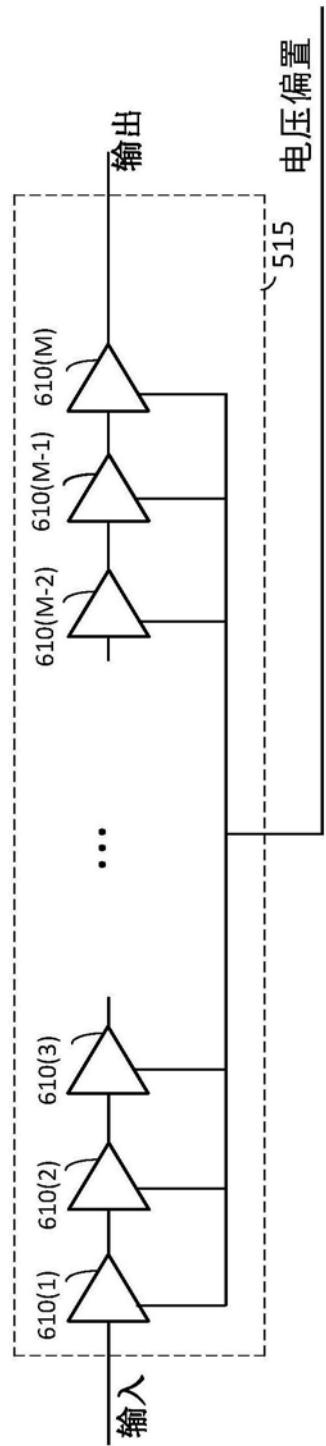


图6

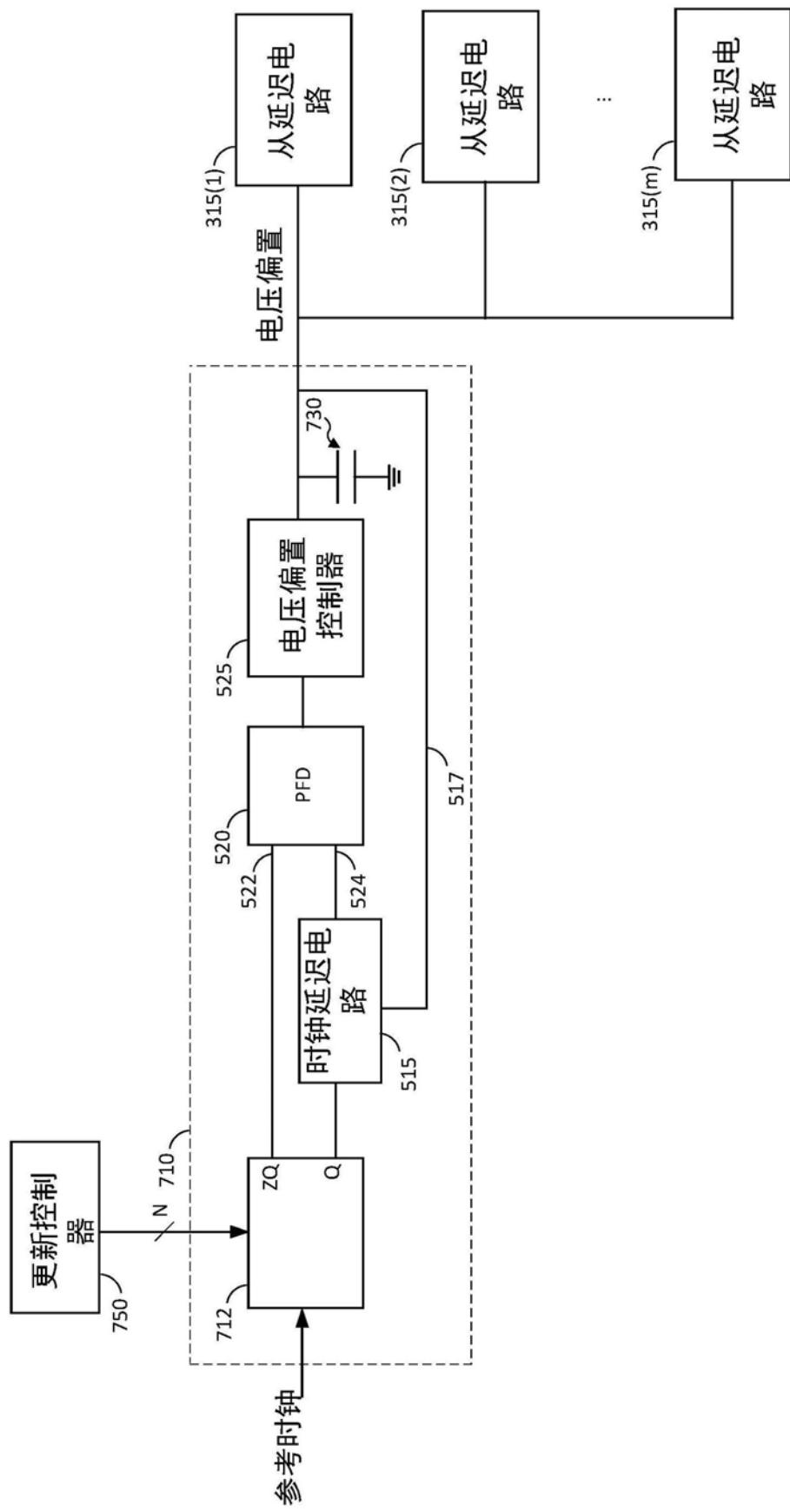


图7

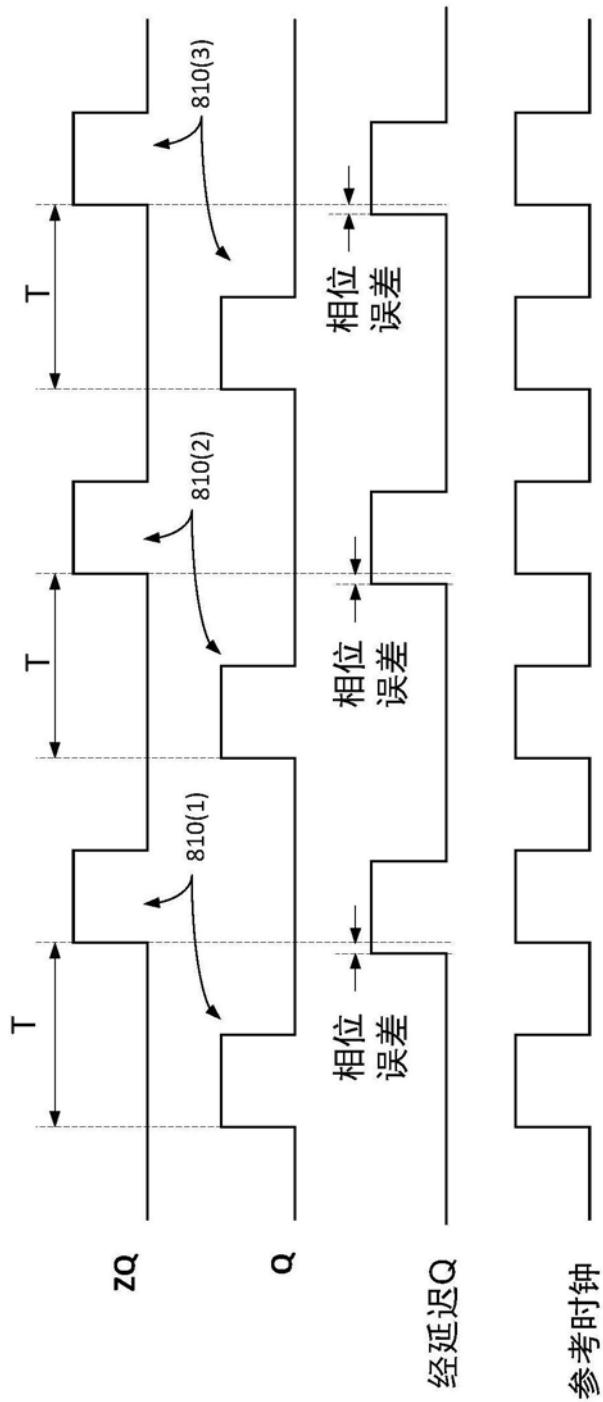


图8

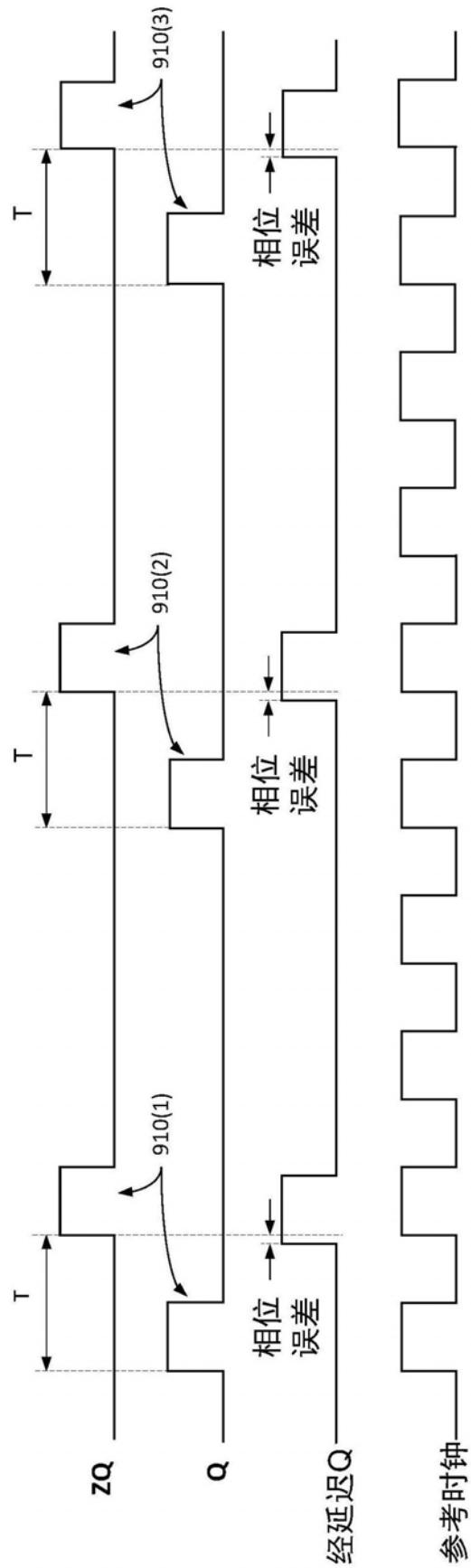


图9

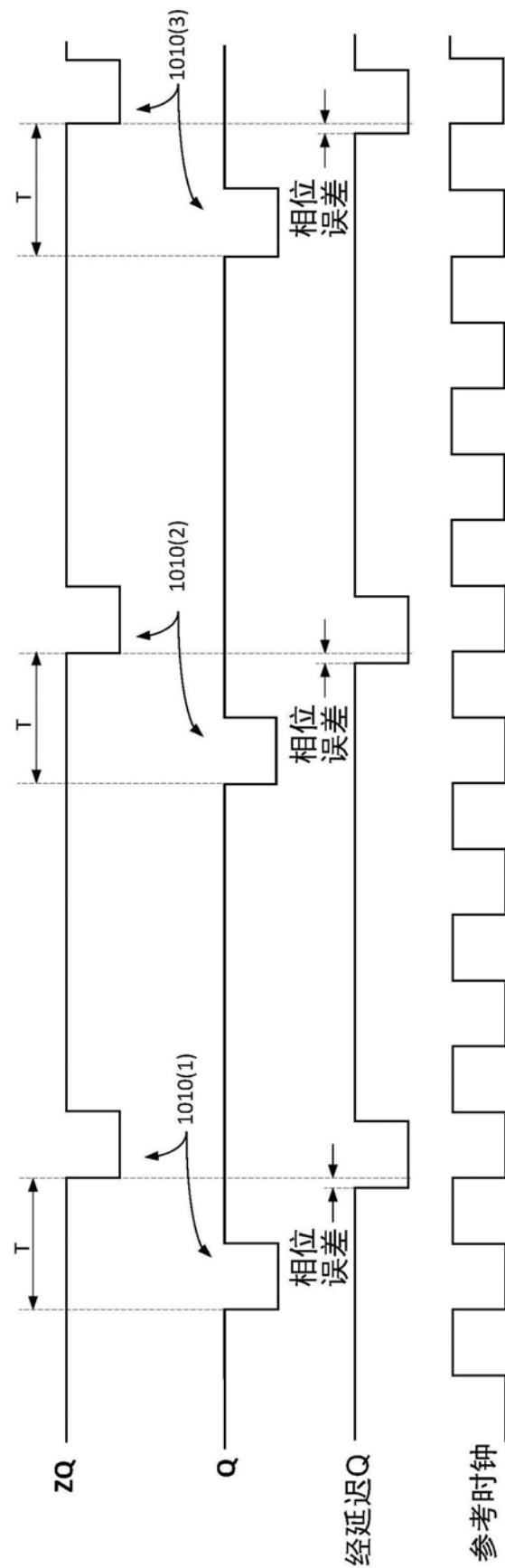


图10

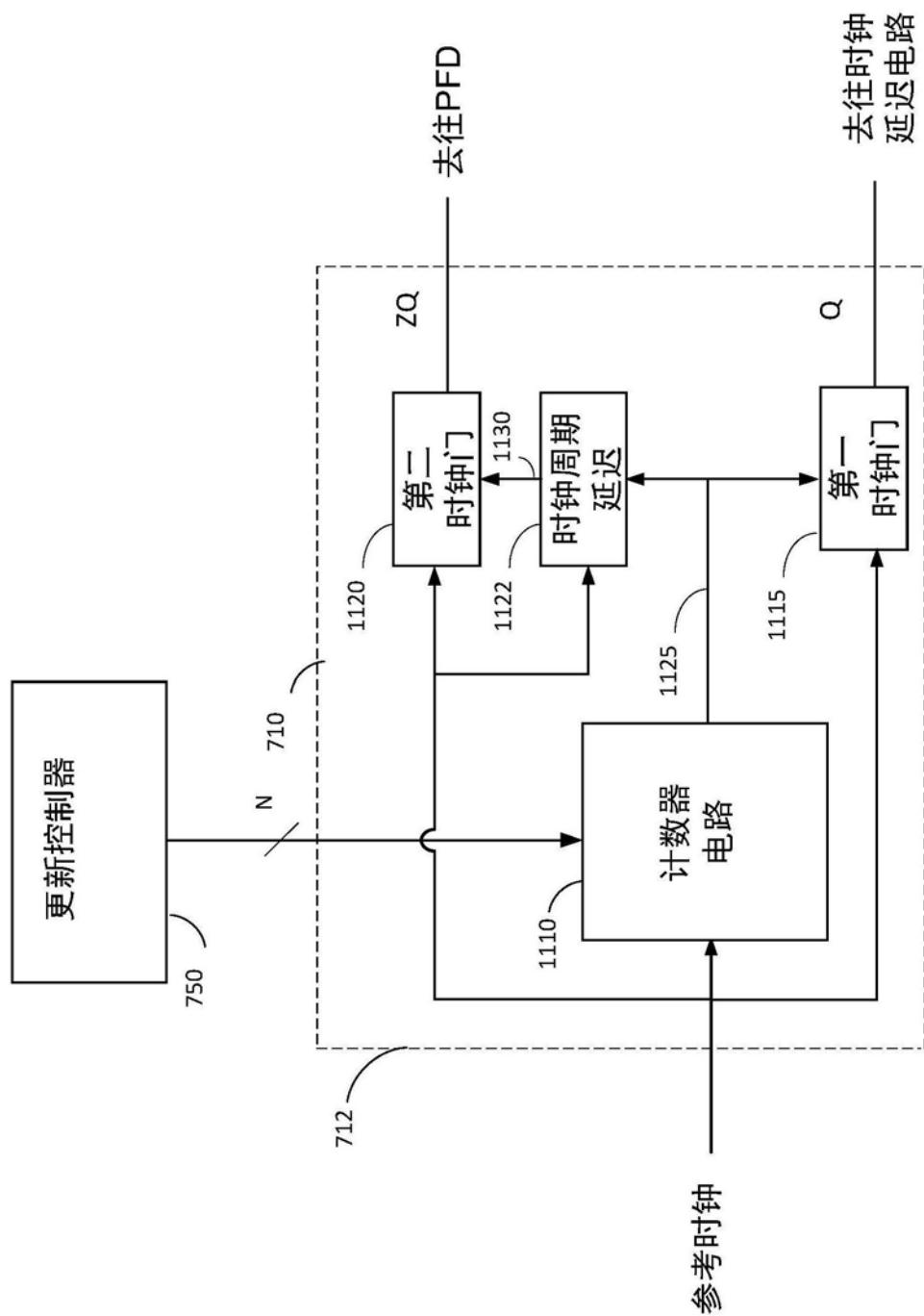


图11

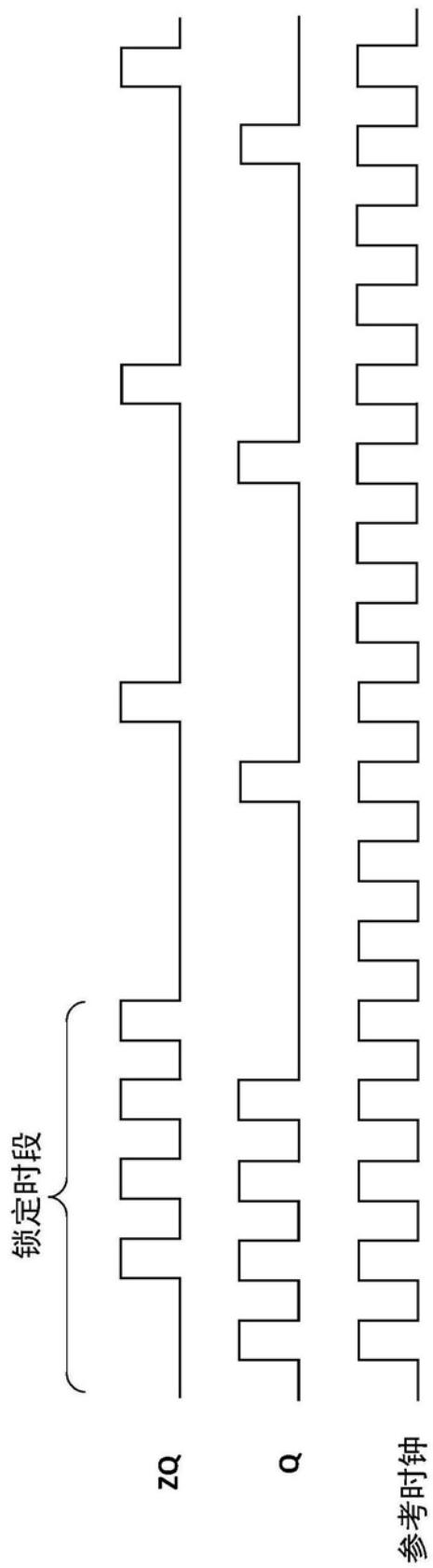


图12

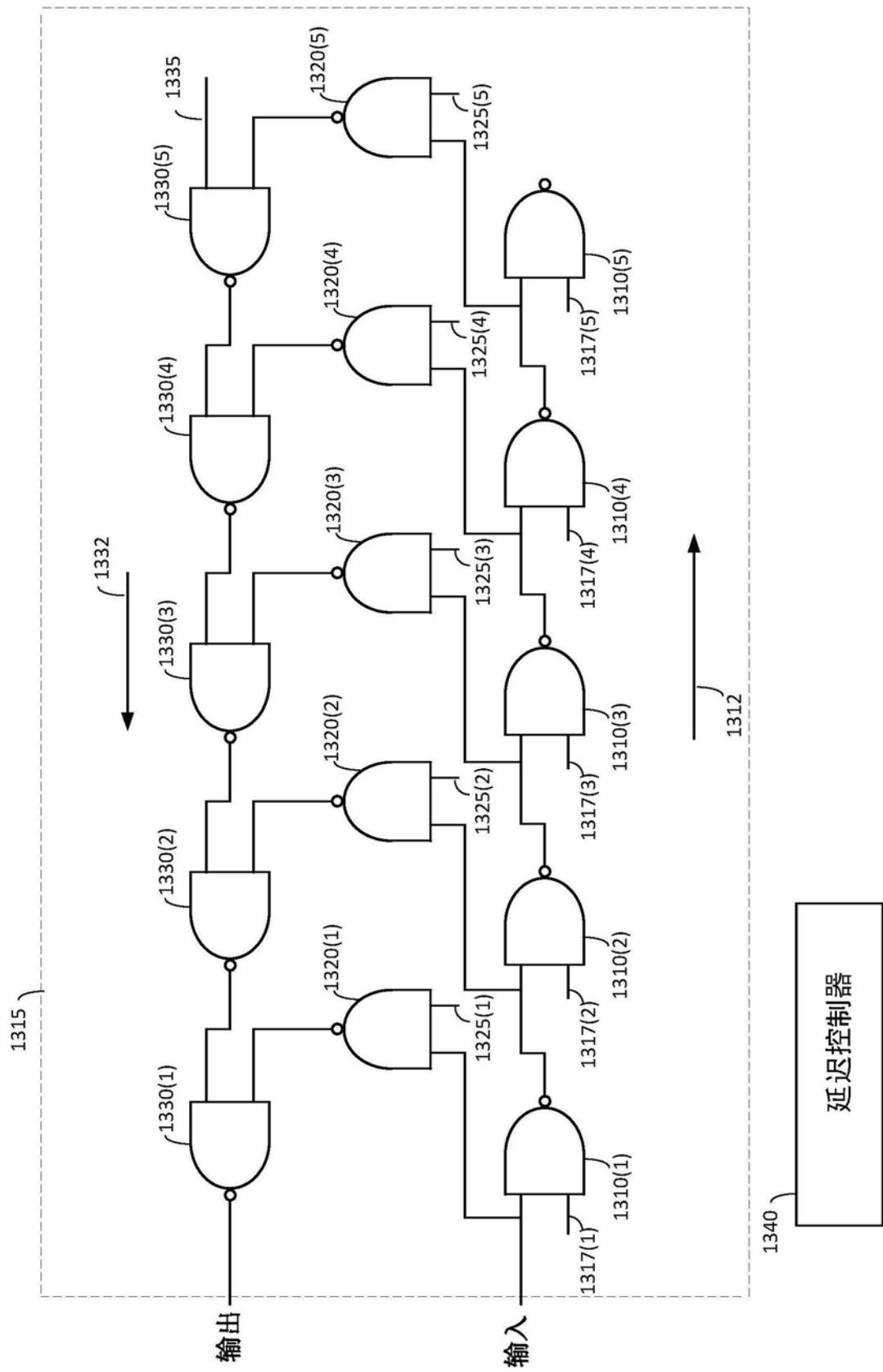


图13

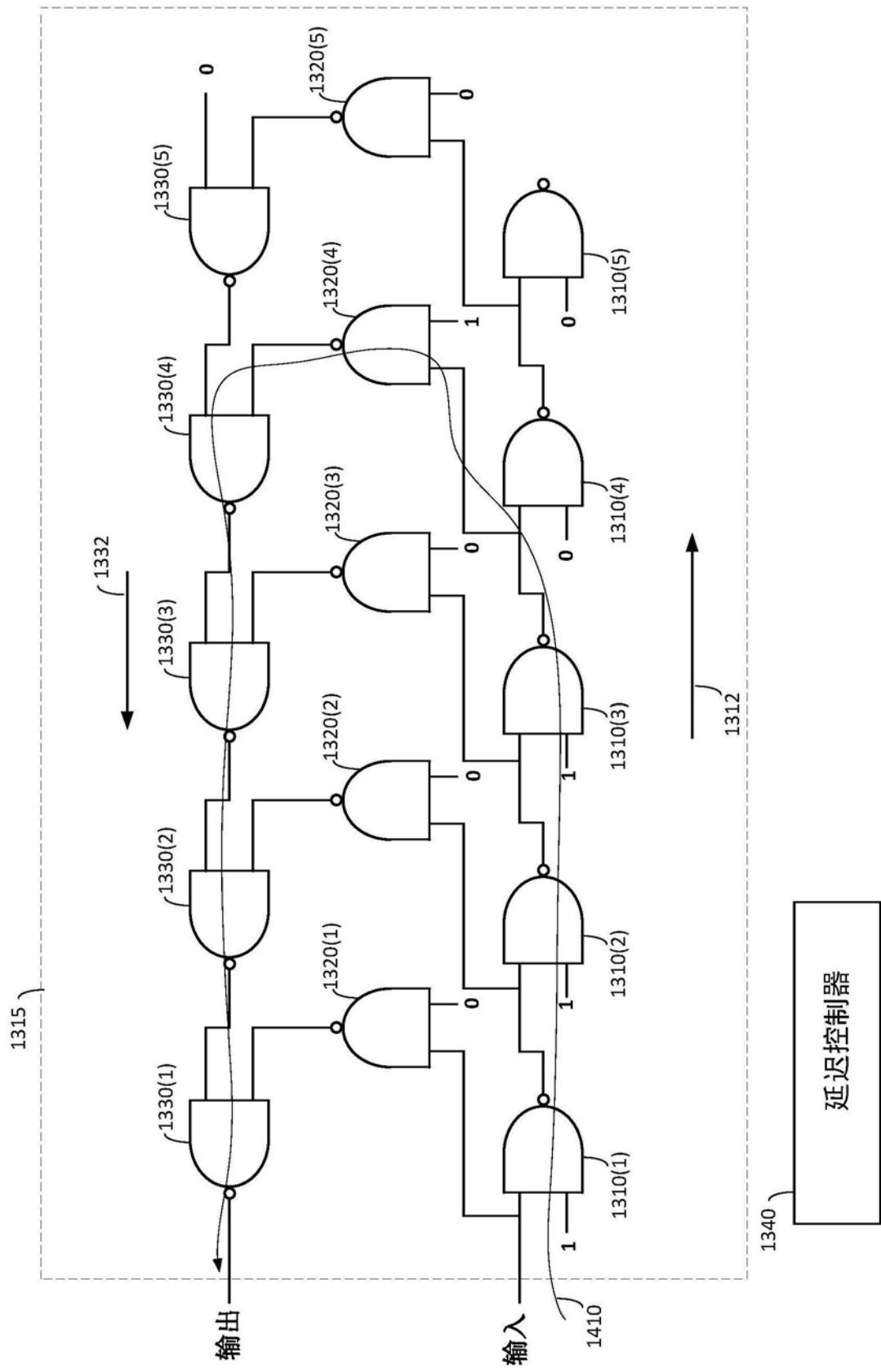


图14A

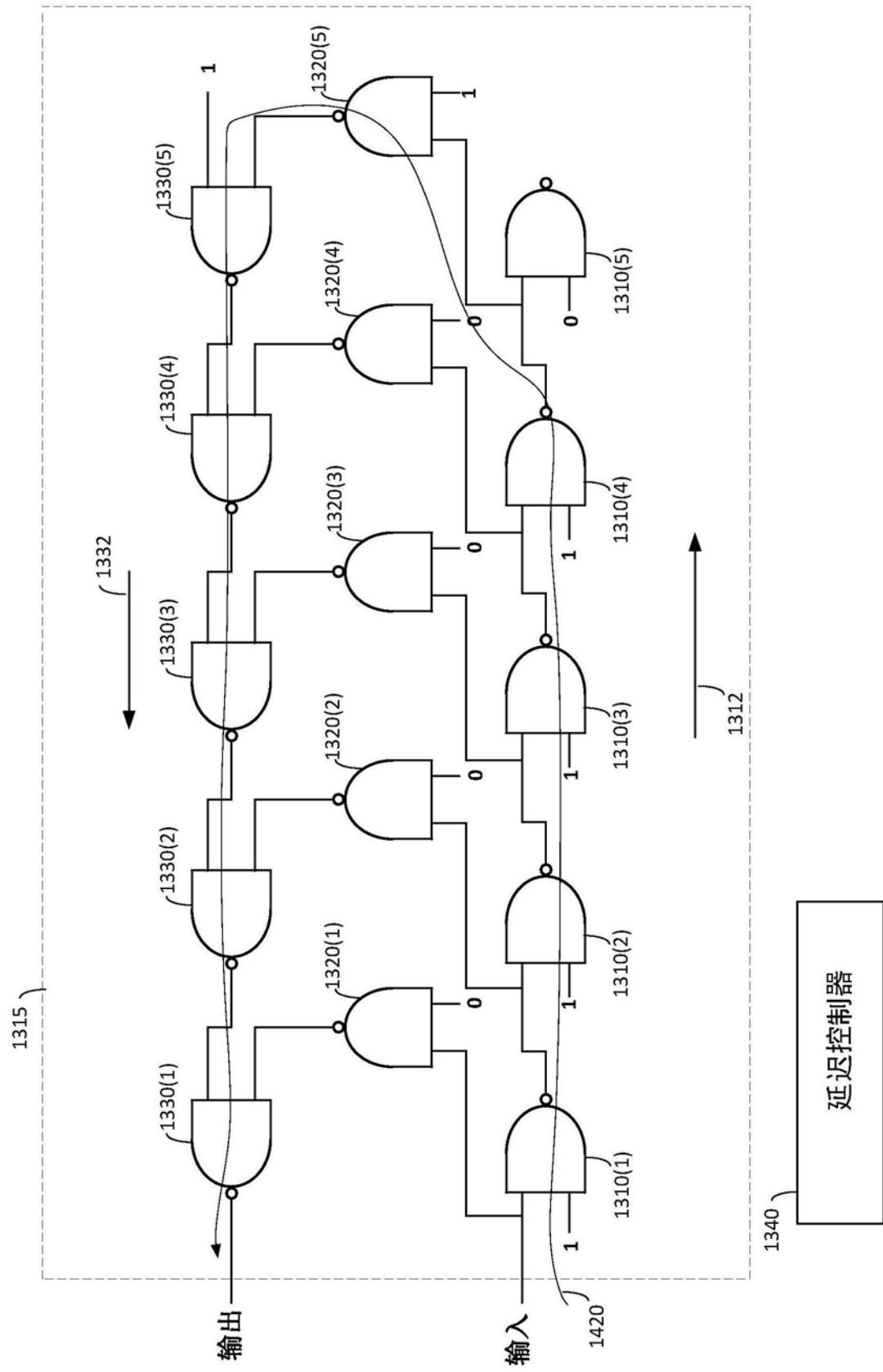


图14B

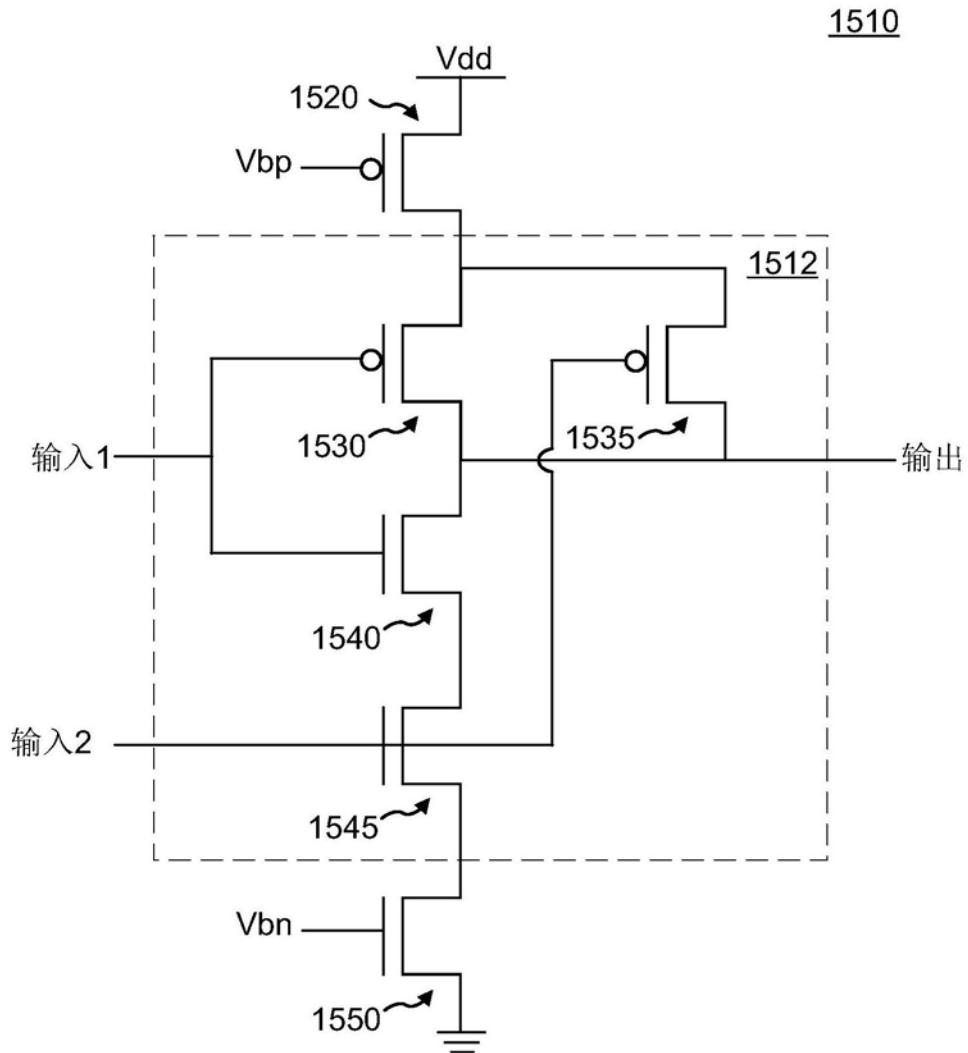


图15

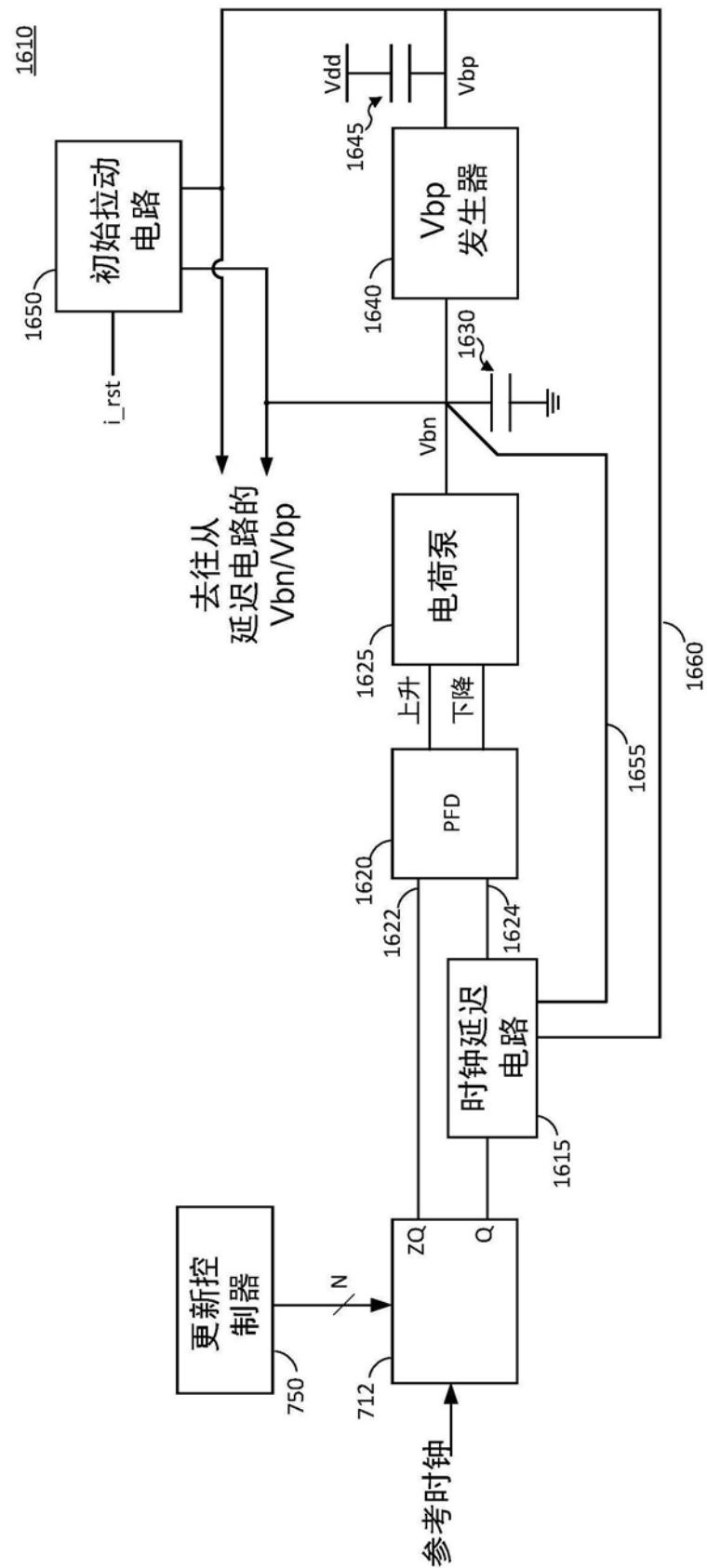


图16

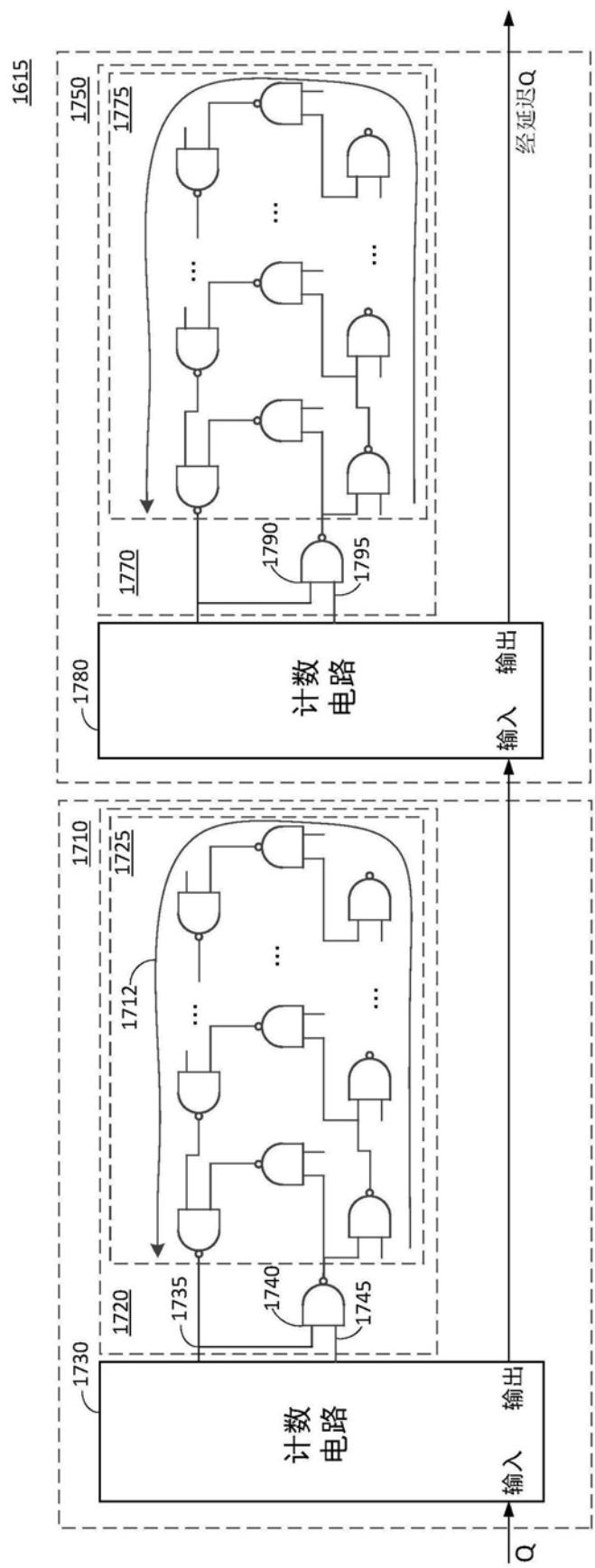


图17

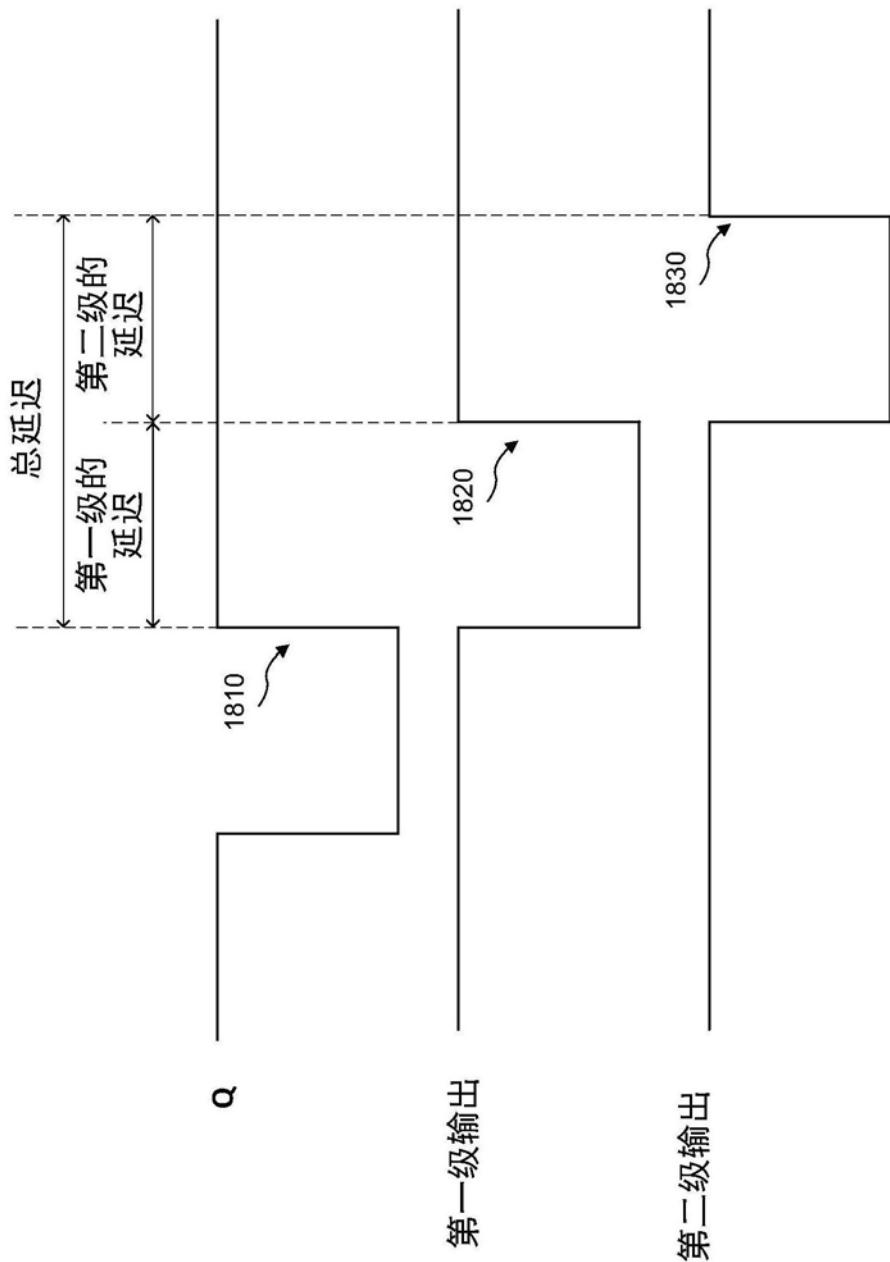


图18

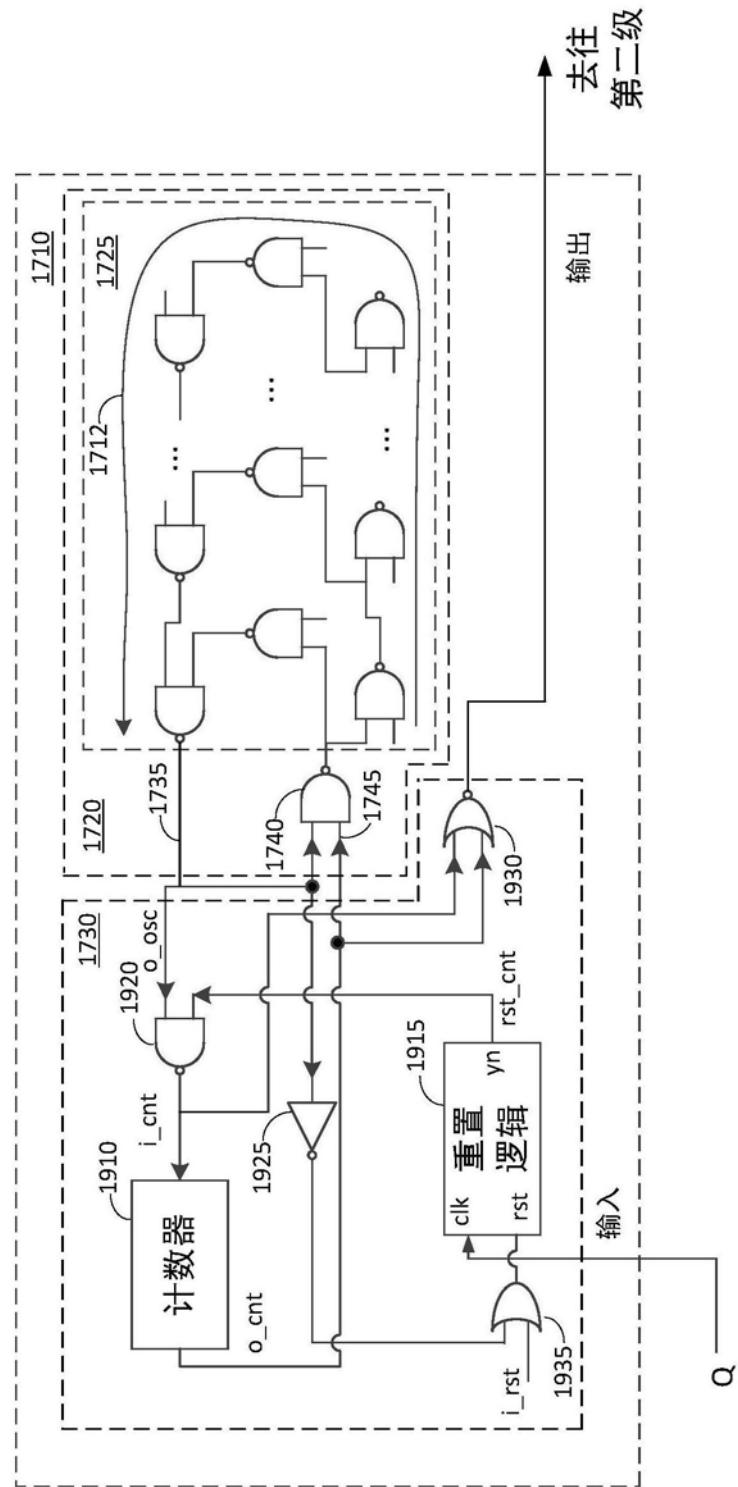


图19

1915

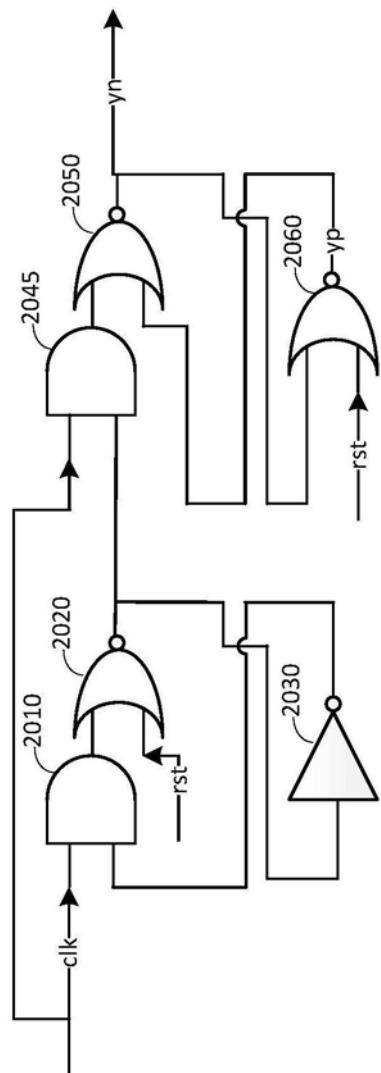


图20

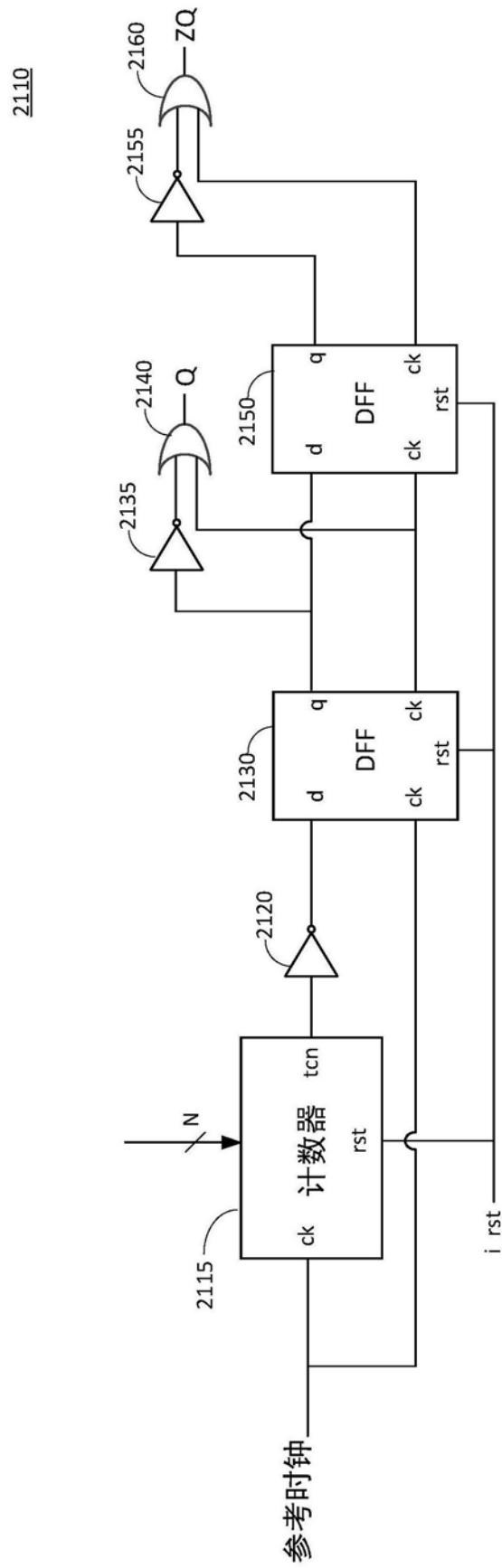


图21

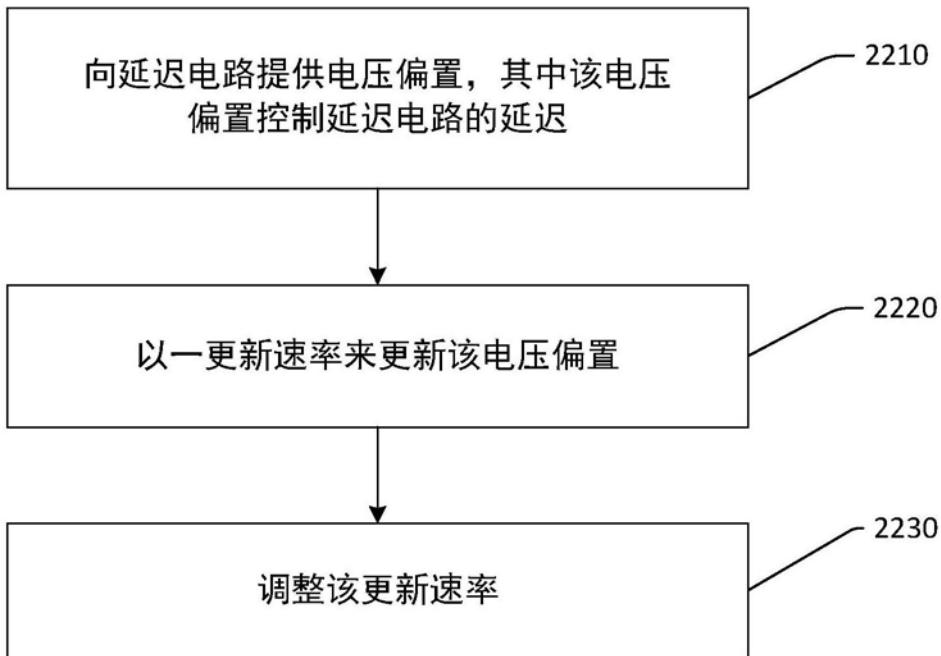
2200

图22