



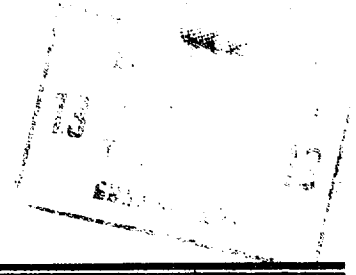
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1282122 A1

(5D) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3931805/24-24
(22) 16.07.85
(46) 07.01.87. Бюл. № 1
(72) Г.Н.Тимонькин, В.А.Малахов,
В.С.Харченко, Н.П.Благодарный
и С.Н.Ткаченко
(53) 681.3(088.8)
(56) Авторское свидетельство СССР
№ 1007106, кл. G 06 F 9/22, 1980.
Авторское свидетельство СССР
№ 1140121, кл. G 06 F 9/22, 1985.
(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО
УПРАВЛЕНИЯ
(57) Изобретение относится к области
автоматики и вычислительной техни-

ки и может быть использовано при проектировании высокоэкономичных устройств управления. Цель изобретения - уменьшение объема оборудования. Устройство содержит блок памяти микрокоманд, регистр адреса, регистр микрокоманд, три коммутатора, три элемента И, три элемента ИЛИ, триггер пуска, мультиплексор логических условий и генератор тактовых импульсов. Введение двух коммутаторов, трех элементов И и трех элементов ИЛИ обеспечивает достижение цели.
1 ил.

(19) SU (11) 1282122 A1

Изобретение относится к автоматике и вычислительной технике и может быть использовано при проектировании высокоэкономичных устройств управления.

Цель изобретения - уменьшение объема оборудования устройства.

На чертеже показана функциональная схема микропрограммного устройства управления.

Устройство содержит блок 1 памяти микрокоманд с выходом 1₁ старших разрядов адреса, выходом 1₂ младших разрядов адреса, выходом 1₃ многофункциональных разрядов, выходом 1₄ кода операционной части микрокоманд, выходом 1₅ признака микрокоманды ветвления, регистр 2 адреса, регистр 3 микрокоманд, триггер 4 пуска, генератор 5 тактовых импульсов, мультиплексор 6 логических условий, коммутаторы 7-9, элементы И 10-12, элементы ИЛИ 13-15, выход 16 признака конца операции устройства, выход 17 признака конца работы устройства, выход 18 кода операции устройства, вход 19 логических условий устройства, вход 20 пуска устройства, выход 21 микроопераций устройства.

Сущность изобретения состоит в уменьшении объема оборудования блока памяти микрокоманд и микропрограммного устройства управления в целом путем размещения информации о проверяемых логических условиях в поле адреса микрокоманд и исключения из формата микрокоманд поля логических условий.

Суть дисциплины функционирования, реализуемой в предлагаемом устройстве, состоит в следующем.

В известных аналогах формат микрокоманд определяется выражением

$$M_i = \langle Y, A, X \rangle,$$

- где Y - поле микроопераций;
- A - поле адреса следующей микрокоманды;
- X - поле кода проверяемого логического условия.

Для предлагаемого устройства формат микрокоманд определяется выражением

$$M' = \langle Y, A, \alpha \rangle,$$

где α - метка, определяемая выражением

$$\alpha = \begin{cases} 1 & \text{- если микрокоманда является микрокомандой ветвления,} \\ 0 & \text{- в противном случае.} \end{cases}$$

Представим поле A в следующем виде.

$$A = A_{ст} * A_{ср} * A_{мл},$$

где * - знак операции конкатенации.

В предлагаемом устройстве значение кода в поле A_{ср} используется многофункционально: при $\alpha = 1$ [A_{ср}] = \bar{X} , при $\alpha = 0$, [A_{ср}] = A_{срi}; где \bar{X} - код проверяемого логического условия, A_{срi} - код средней части адреса следующей микрокоманды.

При этом адрес очередной микрокоманды, записываемой в регистр адреса, определяется следующим образом:

- 15 если $\alpha = 1, X_{ij} = 0$, то $A_i = [A_{стi-2}] * [A_{срi}] * [A_{млi-1}]$;
- если $\alpha = 1, X_{ij} = 1$, то $A_i = [A_{стi-1}] * [A_{срi-1}] * [A_{млi-2}]$;
- 20 если $\alpha = 0$, то $A_i = [A_{стi-1}] * [A_{срi-1}] * [A_{млi-1}]$,

где [A_{срi-1}], [A_{стi-1}], [A_{млi-1}] - коды A_{срi-1}, A_{стi-1}, A_{млi-1}, снимаемые с соответствующих выходов блока памяти микрокоманд;

30 A_{млi-2}, A_{стi-2} - значения кодов A_{млi-2}, A_{стi-2}, хранящиеся в регистре адреса при формировании (i-2)-й микрокоманды;

35 X_{ij} - номер логического условия, проверяемого после выполнения i-й микрокоманды.

Предлагаемое микропрограммное устройство управления работает в режимах реализации линейных микрокоманд ($\alpha = 0, X_{ij} = \sim$), реализации микрокоманды ветвления ($\alpha = 1, X_{ij} = 0$), реализации микрокоманды ветвления ($\alpha = 1, X_{ij} = 1$).

В исходном положении регистры 2 и 3, триггер 4 находятся в нулевом состоянии (цепи установки схемы в исходное состояние не показаны).

55 В разряде регистра 3, соответствующем микрооперации "Конец команды устройства", записана единица, и на выходе 16 присутствует высокий уровень сигнала.

Код операции с входа 18 устройства через коммутаторы 7-9 поступает на информационные входы регистра 2. Работа устройства начинается с подачи сигнала "Пуск" на вход 20 устройства. При этом триггер 4 переходит в единичное состояние и включает генератор 5 тактовых импульсов. Сигнал \hat{C}_1 проходит через элемент И 11, элементы ИЛИ 14 и 15 и поступает на входы $C_1 - C_3$ регистра 2 адреса. При этом в регистр 2 адреса с информационных входов записывается адрес первой микрокоманды микропрограммы.

Далее работу устройства целесообразно рассматривать по режимам.

Первый режим. После записи в регистр 2 адреса первой микрокоманды, ее код выбирается из блока 1 памяти и поступает на выходы $1_1 - 1_5$. По сигналу \hat{C}_2 с выхода генератора 5 код операционной части микрокоманды поступает в регистр 3. С выхода регистра 3 код операционной части микрокоманды поступает на выход 21 устройства. Так как для первого режима $\alpha = 0$, то адрес очередной микрокоманды формируется следующим образом. На информационные входы регистра 2 адреса через коммутаторы 7-9 поступают коды $A_{ст}$, $A_{сп}$ и $A_{мл}$ соответственно с выходов $1_1 - 1_3$ блока 1 памяти. Так как на управляющих входах $C_1 - C_3$ присутствуют единичные сигналы, то адрес A_i очередной микрокоманды определяется выражением

$$A_i = A_{ст i-1} * A_{сп i-1} * A_{мл i-1},$$

где * - знак конкатенации.

Второй режим. Устройство формирует микрокоманды ветвления ($\alpha = 1$), и значение проверяемого логического условия равно единице ($X_n = 1$). Формирование адреса очередной микрокоманды осуществляется следующим образом. Сигнал с выхода 1_5 блока 1 памяти через элемент ИЛИ 13 закрывает по управляющему входу элемент И 11, а сигнал с выхода мультиплексора 6 закрывает по управляющему входу элемента И 10 и открывает элемент И 12.

При поступлении импульса \hat{C}_1 с генератора 5 управляющий сигнал появляется только на управляющем входе C_3 . При этом адрес очередной микрокоманды в регистре 2 адреса A_i определяется выражением

$$A_i = A_{ст i-2} * A_{сп i-1} * A_{мл i-1}.$$

Выдача операционной части микрокоманды на выход 21 устройства осуществляется аналогично описанному алгоритму.

Третий режим. Устройство формирует микрокоманду ветвления ($\alpha = 1$) и значение проверяемого логического условия равно нулю ($X_n = 0$).

В этом режиме сигнал на выходе мультиплексора 6 отсутствует. При поступлении сигнала \hat{C}_1 с выхода генератора на управляющем входе C_1 появляется единичный сигнал. Адрес A_i очередной микрокоманды при этом определяется выражением

$$A_i = A_{ст i-1} * A_{сп i-1} * A_{мл i-2}.$$

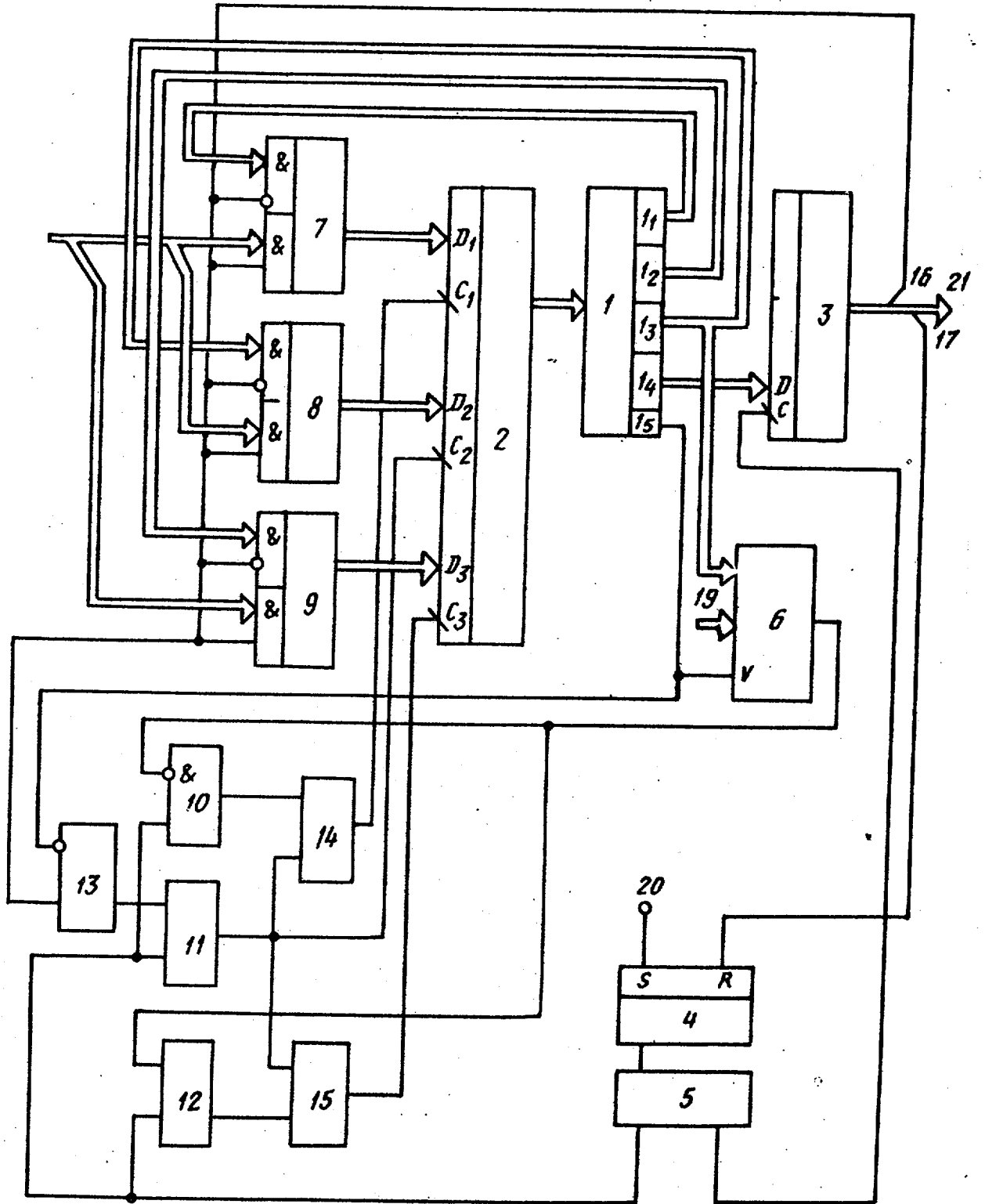
Формирование и выдача на выход 21 операционной части микрокоманды осуществляется аналогично описанному алгоритму работы устройства.

Ф о р м у л а и з о б р е т е н и я

Микропрограммное устройство управления, содержащее блок памяти микрокоманд, регистр микрокоманд, регистр адреса, мультиплексор логических условий, триггер пуска, генератор тактовых импульсов, первый коммутатор, выход которого соединен со старшими разрядами информационного входа регистра адреса, выход которого соединен с адресным входом блока памяти микрокоманд, выходы поля старших разрядов адреса микрокоманды и поля операционной части микрокоманды которого соединены соответственно с первым информационным входом первого коммутатора и информационным входом регистра микрокоманд, выход микроопераций которого является выходом устройства, выходы признака конца работы и признака конца операции регистра микрокоманд соединены соответственно с входом установки в "0" триггера пуска и управляющим входом первого коммутатора, выход поля логических условий регистра микрокоманд соединен с управляющим входом мультиплексора логических условий, вход запуска устройства соединен с входом установки в "1" триггера пуска, прямой выход которого соединен с входом запуска генератора тактовых импульсов, первый выход которого соединен с входом записи регистра микрокоманд, о т л и ч а ю щ е е с я т е м,

что, с целью сокращения объема оборудования, оно содержит второй и третий коммутаторы, с первого по третий элементы И, с первого по третий элементы ИЛИ, причем выход поля младших разрядов адреса блока памяти микрокоманд соединен с первым информационным входом второго коммутатора, выход которого соединен с младшими разрядами информационного входа адреса регистра адреса, выход поля средних разрядов адреса блока памяти микрокоманд соединен с первым входом второго коммутатора, выход которого соединен с остальными разрядами информационного входа регистра адреса, выход поля признака микрокоманды ветвления блока памяти микрокоманд соединен со стробирующим входом мультиплексора с инверсным входом первого элемента ИЛИ, выход признака конца работы регистра микрокоманд соединен с управляющими входами второго и третьего коммутаторов и прямым входом первого элемен-

та ИЛИ, выход которого соединен с первым входом первого элемента И, выход которого соединен с первыми входами второго и третьего элементов ИЛИ и первым входом записи регистра адреса, второй выход генератора тактовых импульсов соединен с первым входом второго, вторым входом первого и прямым входом третьего элементов И, выходы второго и третьего элементов И соединены с вторыми входами третьего и второго элементов ИЛИ соответственно, выходы которых соединены соответственно с вторым и третьим входами записи регистра адреса, вход логических условий устройства соединен с информационным входом мультиплексора логических условий, выход которого соединен с инверсным входом третьего и прямым входом второго элементов ИЛИ, входы логических условий устройства поразрядно соединены с вторыми информационными входами первого, второго и третьего коммутаторов соответственно.



Редактор О.Бугир Составитель А.Афанасьев Техред Л.Сердюкова Корректор Е.Сирохман

Заказ 7267/47 Тираж 670 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4