

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月28日(28.11.2024)



(10) 国際公開番号

WO 2024/241137 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/06 (2006.01)
G02F 1/1368 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H10K 59/12 (2023.01)
H01L 21/8234 (2006.01) H10K 71/00 (2023.01)

(21) 国際出願番号: PCT/IB2024/054612

(22) 国際出願日: 2024年5月13日(13.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-082694 2023年5月19日(19.05.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

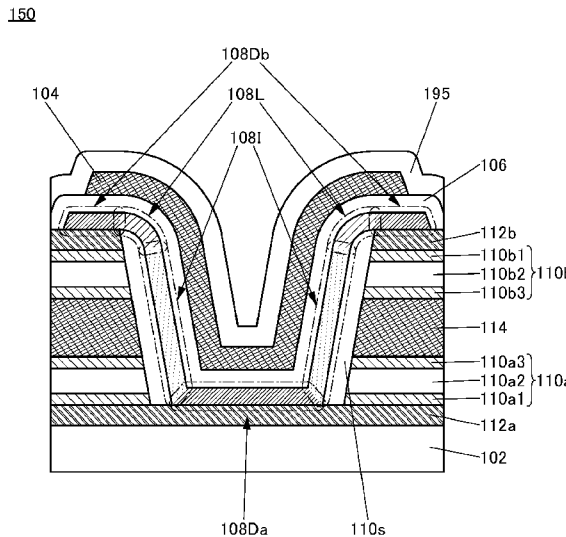
(72) 発明者: 神長正美(JINTYOU, Masami). 井口貴弘(IGUCHI, Takahiro). 黒崎大輔(KUROSAKI, Daisuke). 肥塚純一(KOEZUKA, Junichi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び、半導体装置の作製方法

図3



(57) Abstract: The present invention provides a semiconductor device which comprises a transistor of a very small size. This semiconductor device includes a semiconductor layer, first to fourth conductive layers, and first and second insulating layers. The second conductive layer is provided on the first conductive layer and has a first opening overlapping the first conductive layer. The third conductive layer is provided on the second conductive layer and has a second opening overlapping the first opening. The first insulating layer is in contact with the side wall of the first opening. The semicon-

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

ductor layer is provided on the first conductive layer, first insulating layer, and third conductive layer, and has a first region in contact with the upper surface of the first conductive layer, a second region in contact with the side surface of the first insulating layer, and a third region in contact with the upper surface of the third conductive layer. The second insulating layer is provided on the semiconductor layer. The fourth conductive layer is provided on the second insulating layer and faces the second conductive layer with the second insulating layer, semiconductor layer, and first insulating layer interposed therebetween. The first region and the third region have lower resistance than the second region.

(57) 要約: 微細なサイズのトランジスタを有する半導体装置を提供する。半導体層と、第1乃至第4の導電層と、第1及び第2の絶縁層と、を有し、第2の導電層は、第1の導電層上に設けられ、第1の導電層と重畳する第1の開口を有し、第3の導電層は、第2の導電層上に設けられ、第1の開口と重畳する第2の開口を有し、第1の絶縁層は、第1の開口の側壁に接し、半導体層は、第1の導電層上、第1の絶縁層上、及び、第3の導電層上に設けられ、第1の導電層の上面に接する第1の領域と、第1の絶縁層の側面に接する第2の領域と、第3の導電層の上面に接する第3の領域と、を有し、第2の絶縁層は、半導体層上に設けられ、第4の導電層は、第2の絶縁層上に設けられ、第2の絶縁層、半導体層、及び第1の絶縁層を間に挟んで、第2の導電層と対向し、第1の領域、及び、第3の領域は、第2の領域よりも低抵抗である。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、表示装置、表示モジュール、及び電子機器に関する。本発明の一態様は、トランジスタの作製方法、半導体装置の作製方法、及び、表示装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらを有する電子機器、それらの駆動方法、又は、それらの製造方法を一例として挙げることができる。

背景技術

[0003]

トランジスタを有する半導体装置は、表示装置及び電子機器に広く適用されており、半導体装置の高集積化及び高速化が求められている。例えば、高精細な表示装置に半導体装置を適用する場合、高集積化された半導体装置が求められる。トランジスタの集積度を高める手段の1つとして、微細なサイズのトランジスタの開発が進められている。

[0004]

近年、仮想現実（VR: Virtual Reality）、拡張現実（AR: Augmented Reality）、代替現実（SR: Substitutional Reality）、又は複合現実（MR: Mixed Reality）に適用可能な表示装置が求められている。VR、AR、SR、及びMRは、総称して、XR（Extended Reality）とも呼ばれる。XR向けの表示装置は、現実感及び没入感を高めるために、精細度の高いこと、及び、色再現性の高いことが望まれている。当該表示装置に適用可能なものとして、例えば、液晶表示装置、有機EL（Electro Luminescence）デバイス、又は発光ダイオード（LED: Light Emitting Diode）等の発光デバイス（発光素子ともいう。）を備える発光装置が挙げられる。

[0005]

特許文献1には、有機ELデバイス（有機EL素子ともいう。）を用いた、VR向けの表示装置が開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 国際公開第2018/087625号

発明の概要

発明が解決しようとする課題

[0007]

本発明の一態様は、微細なサイズのトランジスタを有する半導体装置、及び、その作製方法を提供することを課題の一とする。又は、本発明の一態様は、小型の半導体装置、及び、その作製方法を提

供することを課題の一とする。又は、本発明の一態様は、オン電流の大きいトランジスタを有する半導体装置、及び、その作製方法を提供することを課題の一とする。又は、本発明の一態様は、電気特性の良好な半導体装置、及び、その作製方法を提供することを課題の一とする。又は、本発明の一態様は、信頼性の高い半導体装置、及び、その作製方法を提供することを課題の一とする。又は、本発明の一態様は、生産性の高い半導体装置の作製方法を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置、及び、その作製方法を提供することを課題の一とする。

[0008]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0009]

本発明の一態様は、半導体層と、第1の導電層と、第2の導電層と、第3の導電層と、第4の導電層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、第4の絶縁層と、を有し、第1の絶縁層は、第1の導電層上に設けられ、第2の導電層は、第1の絶縁層上に設けられ、第1の導電層と重畳する第1の開口を有し、第2の絶縁層は、第2の導電層上に設けられ、第3の導電層は、第2の絶縁層上に設けられ、第1の開口と重畳する第2の開口を有し、第3の絶縁層は、第1の開口の側壁に接し、半導体層は、第1の導電層上、第3の絶縁層上、及び、第3の導電層上に設けられ、第1の導電層の上面に接する第1の領域と、第3の絶縁層の側面に接する第2の領域と、第3の導電層の上面に接する第3の領域と、を有し、第4の絶縁層は、半導体層上に設けられ、第4の導電層は、第4の絶縁層上に設けられ、第4の絶縁層、半導体層、及び第3の絶縁層を間に挟んで、第2の導電層と対向し、第2の領域は、第1の領域、及び、第3の領域のいずれか一方又は双方よりも高抵抗である半導体装置である。

[0010]

また上記において、半導体層は、金属酸化物を有していることが好ましい。

[0011]

また上記において、第1の絶縁層及び第2の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有していることが好ましい。

[0012]

また上記において、第3の絶縁層は、第5の絶縁層と、第6の絶縁層と、を有し、第5の絶縁層は、第1の開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、第6の絶縁層は、第5の絶縁層を介して、第1の開口の側壁と対向するように、第5の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有していることが好ましい。

[0013]

また、本発明の一態様は、半導体層と、第1の導電層と、第2の導電層と、第3の導電層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、第4の絶縁層と、を有し、第1の絶縁層は、第1の導電層上に設けられ、第2の導電層は、第1の絶縁層上に設けられ、第1の導電層と重畳する開口を

有し、第2の絶縁層は、第2の導電層上に設けられ、第3の絶縁層は、開口の側壁に接し、半導体層は、第1の導電層上及び第3の絶縁層上に設けられ、第1の導電層の上面と、第3の絶縁層の側面と、第2の絶縁層の上面と、に接し、平面視にて、第1の導電層及び第2の導電層よりも外側に延伸する領域を有し、第4の絶縁層は、半導体層上に設けられ、第3の導電層は、第4の絶縁層上に設けられ、第4の絶縁層、半導体層、及び第3の絶縁層を間に挟んで、第2の導電層と対向する半導体装置である。

[0014]

また上記において、半導体層は、金属酸化物を有していることが好ましい。

[0015]

また上記において、第1の絶縁層及び第2の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有していることが好ましい。

[0016]

また上記において、第3の絶縁層は、第5の絶縁層と、第6の絶縁層と、を有し、第5の絶縁層は、開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、第6の絶縁層は、第5の絶縁層を介して、開口の側壁と対向するように、第5の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有していることが好ましい。

[0017]

また、本発明の一態様は、半導体層と、第1の導電層と、第2の導電層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、を有し、第1の絶縁層は、第1の導電層上に設けられ、第2の導電層は、第1の絶縁層上に設けられ、第1の導電層と重畳する開口を有し、第2の絶縁層は、第2の導電層上に設けられ、第3の絶縁層は、開口の側壁に接し、半導体層は、第1の導電層上及び第3の絶縁層上に設けられ、第1の導電層の上面と、第3の絶縁層の側面と、第2の絶縁層の上面と、に接し、平面視にて、第1の導電層及び第2の導電層よりも外側に延伸する領域を有し、第3の絶縁層を間に挟んで、第2の導電層と対向する半導体装置である。

[0018]

また上記において、半導体層は、金属酸化物を有していることが好ましい。

[0019]

また上記において、第1の絶縁層及び第2の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有していることが好ましい。

[0020]

また上記において、第3の絶縁層は、第4の絶縁層と、第5の絶縁層と、を有し、第4の絶縁層は、開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、第5の絶縁層は、第4の絶縁層を介して、開口の側壁と対向するように、第4の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有していることが好ましい。

[0021]

また、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁膜を形成し、第1の絶縁膜上に、第1の導電層と重なる領域を有するように、第2の導電層を形成し、第2の導電層及び第1の絶縁膜上に、第2の絶縁膜を形成し、第2の絶縁膜上に、第1の導電膜を形成し、第1の絶縁膜の一部、第2の導電層の一部、第2の絶縁膜の一部、及び、第1の導電膜の一部を除去して第1の導電層を露出させ、第1の絶縁層、第3の導電層、第2の絶縁層、及び、第4の導電層を形成し、第1の導電層の上面、第1の絶縁層の側面、第3の導電層の側面、第2の絶縁層の側面、及び、第4の導電層の側面及び上面に接して、第3の絶縁膜を形成し、第3の絶縁膜の、第1の導電層の上面と重なる領域、及び、第4の導電層の上面と重なる領域を除去して、第1の絶縁層の側面、第3の導電層の側面、第2の絶縁層の側面、及び、第4の導電層の側面に接する第3の絶縁層を形成し、第1の導電層の上面、第3の絶縁層の側面、及び、第4の導電層の上面に接する半導体層を形成し、半導体層の上面に接する第4の絶縁層を形成し、第4の絶縁層の上面に接し、平面視にて、半導体層及び第3の絶縁層と重なる領域を有する第5の導電層を形成する半導体装置の作製方法である。

[0022]

また上記において、第4の絶縁層の形成後に、第4の絶縁層を介して、半導体層に水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数を供給することが好ましい。

発明の効果

[0023]

本発明の一態様により、微細なサイズのトランジスタを有する半導体装置、及び、その作製方法を提供することができる。又は、本発明の一態様により、小型の半導体装置、及び、その作製方法を提供することができる。又は、本発明の一態様により、オン電流の大きいトランジスタを有する半導体装置、及び、その作製方法を提供することができる。又は、本発明の一態様により、電気特性の良好な半導体装置、及び、その作製方法を提供することができる。又は、本発明の一態様により、信頼性の高い半導体装置、及び、その作製方法を提供することができる。又は、本発明の一態様により、生産性の高い半導体装置の作製方法を提供することができる。又は、本発明の一態様により、新規な半導体装置、及び、その作製方法を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1Aは、半導体装置の一例を示す平面図である。図1Bは、半導体装置の一例を示す断面図である。

図2は、半導体装置の一例を示す断面図である。

図3は、半導体装置の一例を示す断面図である。

図4A乃至図4Dは、半導体装置の一例を示す断面図である。

図5A及び図5Bは、半導体装置の一例を示す断面図である。

図6A及び図6Bは、半導体装置の一例を示す断面図である。

図7A及び図7Bは、半導体装置の一例を示す断面図である。

図 8 A 及び図 8 B は、半導体装置の一例を示す断面図である。
図 9 A 及び図 9 B は、半導体装置の一例を示す断面図である。
図 10 は、半導体装置の一例を示す断面図である。
図 11 A 乃至図 11 C は、半導体装置の一例を示す断面図である。
図 12 A 乃至図 12 D は、半導体装置の作製方法の一例を示す断面図である。
図 13 A 乃至図 13 D は、半導体装置の作製方法の一例を示す断面図である。
図 14 A 乃至図 14 C は、半導体装置の作製方法の一例を示す断面図である。
図 15 は、表示装置の一例を示す斜視図である。
図 16 は、表示装置の一例を示す断面図である。
図 17 は、表示装置の一例を示す断面図である。
図 18 は、表示装置の一例を示す断面図である。
図 19 は、表示装置の一例を示す断面図である。
図 20 は、表示装置の一例を示す断面図である。
図 21 A 及び図 21 B は、表示装置の構成例を示す図である。
図 22 は、表示装置の構成例を示す断面図である。
図 23 は、表示装置の構成例を示す断面図である。
図 24 は、表示装置の構成例を示す断面図である。
図 25 は、表示装置のブロック図である。
図 26 A 乃至図 26 D は、画素回路の回路図である。
図 27 A 乃至図 27 D は、画素回路の回路図である。
図 28 A 及び図 28 B は、画素回路の回路図である。
図 29 A 乃至図 29 D は、電子機器の一例を示す図である。
図 30 A 乃至図 30 F は、電子機器の一例を示す図である。
図 31 A 乃至図 31 G は、電子機器の一例を示す図である。
図 32 A は、本実施例に係る光学顕微鏡写真である。図 32 B は、本実施例に係る断面 S T E M 像である。

発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0027]

なお、以下で説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0028]

図面において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。

[0029]

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

[0030]

トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作などを実現することができる。本明細書等におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0031]

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は、回路動作において電流の方向が変化する場合などには、入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、又は、ソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

[0032]

「ゲート」と「バックゲート」は、入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況に応じて適切に言い換えることができる。

[0033]

また、本明細書等において、「接続」は「電氣的接続」を含む。

[0034]

「AとBとが電氣的に接続されている」とは、AとBとが絶縁体を介さずに接続されているもの(AとBとが導電体又は半導体を介して接続されているもの。AとBとが接触しているもの。)のうち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあるものを意味する。すなわち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生しないタイミングがあるとしても、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあれば、「AとBとが電氣的に接続されている」と言える。

[0035]

「電氣的接続」には、回路素子(例えば、トランジスタ。ただし、配線は除く。)を介さない接続(直接接続)と、一つ以上の回路素子を介する接続(間接接続)と、がある。

[0036]

「AとBとが電氣的に接続されている」例としては、AとBとが回路素子を介さずに接続されている場合、AとBとが一つ以上のトランジスタのソース及びドレインを介して接続されている場合などがある。ただし、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあることを前提にする。

[0037]

AとBとが絶縁体を介して接続されているため、「AとBとが電氣的に接続されている」とは言え

ない例としては、AとBの間に容量素子の誘電体、トランジスタのゲート絶縁膜などが介在している場合がある。

[0038]

AとBとが絶縁体を介さずに接続されているが、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングのいずれもないため、「AとBとが電氣的に接続されている」とは言えない例としては、AからBまでの経路に、電源、信号源などからの電位Vが供給されている場合（ただし、回路素子を介して電位Vが供給されている場合は含まない。）、AとCとがトランジスタTrPのソース及びドレインを介して接続され、BとCとがトランジスタTrQのソース及びドレインを介して接続されているもののうち、トランジスタTrP及びトランジスタTrQの双方が同時にオン状態になるタイミングがない場合などがある。

[0039]

本明細書等では、発光波長が異なる発光デバイスで少なくとも発光層を作り分ける構造をSBS（Side By Side）構造と呼ぶ場合がある。SBS構造は、発光デバイスごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上、及び、信頼性の向上を図ることが容易となる。

[0040]

本明細書等において、正孔又は電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層又は電子注入層を「キャリア注入層」といい、正孔輸送層又は電子輸送層を「キャリア輸送層」といい、正孔ブロック層又は電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状又は特性などによって明確に区別することができない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つ又は3つの機能を兼ねる場合がある。

[0041]

本明細書等において、発光デバイスは、一対の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう。）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及びキャリアブロック層（正孔ブロック層及び電子ブロック層）が挙げられる。

[0042]

本明細書等において、受光デバイス（受光素子ともいう。）は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。

[0043]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が、物理的に分離されている状態であることを示す。例えば、島状の発光層とは、当該発光層と、隣接する発光層とが、物理的に分離されている状態であることを示す。

[0044]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう。）が90度未満である領域を有する形状のことを指す。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、又は、微細な凹凸を有する略平面状であってもよい。

[0045]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば、段差など）に起因して分断されてしまう現象を示す。

[0046]

本明細書等において「上面形状（平面視における形状、輪郭形状ともいう。）が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は、一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は、上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

[0047]

また、本明細書等において、「高さが概略一致」とは、断面視において、基準となる面（例えば、基板表面などの平坦な面）からの高さが概略等しい構成を示す。例えば、平坦化处理（代表的には、化学機械研磨（Chemical Mechanical Polishing : CMP）処理）を行った場合の被処理面は、高さが概略一致する。ただし、平坦化处理を行っても、膜の材料などによって厳密には高さが一致しない場合があるが、本明細書等においては、この場合も「高さが概略一致」しているとする。

[0048]

（実施の形態1）

本実施の形態では、本発明の一態様のトランジスタ、及び、その作製方法等について説明する。

[0049]

本発明の一態様は、トランジスタを有する半導体装置である。当該トランジスタは、基板面に対してソース電極と、ドレイン電極と、がそれぞれ異なる高さに重畳して設けられ、ドレイン電流が高さ方向（縦方向）に流れる構造を有する。このため、ソース電極と、ドレイン電極と、がそれぞれ同一平面上に設けられる構造のトランジスタよりも微細化を図ることができる。当該トランジスタが上述の構造を有することで、半導体装置の微細化及び高集積化を図ることができる。

[0050]

また、当該トランジスタは、チャネル形成領域として機能する半導体層を挟んで設けられた第1のゲート電極（トップゲート電極、フロントゲート電極ともいう。）と、第2のゲート電極（ボトムゲート電極、バックゲート電極ともいう。）と、を有する。トランジスタが半導体層を挟んで設けられた2つのゲート電極を有することにより、ゲート電極を1つだけ有する場合よりも、チャネル形成領域におけるキャリアの制御性を高めることができる。したがって、ゲート電極を1つだけ有するトランジスタよりも、例えば、飽和領域で動作するときに流れる電流の飽和特性を向上させる（すなわち、ドレイン電圧の増加に対して、ドレイン電流の大きさがほとんど変化しない）ことができる。

[0051]

また、当該トランジスタのゲート絶縁層（第1のゲート絶縁層、第2のゲート絶縁層）は、酸素を含み、加熱処理等によって、半導体層（特に、チャネル形成領域）に酸素を供給することができる。したがって、例えば、半導体層の材料として金属酸化物を用いる場合、金属酸化物中の酸素欠損を修復することができるため、トランジスタの電気特性及び信頼性を高めることができる。

[0052]

また、当該トランジスタは、作製時に、半導体層（主に、ソース領域及びドレイン領域）に対して、

ホウ素等の不純物を供給（添加又は注入ともいう。）する処理を行う。したがって、ソース領域及びドレイン領域を、チャンネル形成領域よりも低抵抗化させることができる。そのため、上述の不純物供給処理を行わないトランジスタよりも、大きいオン電流を得ることができる。

[0053]

以下では、本発明の一態様のトランジスタの具体的な構成例について説明する。

[0054]

<構成例>

[構成例1]

図1Aに、トランジスタ100の平面図（上面図ともいう。）を示す。図1Bに、図1Aに示す一点鎖線A1-A2における断面図を示し、図2に、図1Aに示す一点鎖線B1-B2における断面図を示す。なお、図1Aでは、トランジスタ100の構成要素の一部（絶縁層等）を省略している。トランジスタなどの平面図については、以降の図面においても、図1Aと同様に、構成要素の一部を省略する。

[0055]

トランジスタ100は、基板102上に設けられる。トランジスタ100は、導電層104と、絶縁層106と、半導体層108と、導電層114と、絶縁層110sと、導電層112aと、導電層112bと、を有する。導電層104は、第1のゲート電極として機能する。導電層114は、第2のゲート電極として機能する。絶縁層106の一部は、第1のゲート絶縁層として機能する。絶縁層110sは、第2のゲート絶縁層として機能する。導電層112aは、ソース電極又はドレイン電極の一方として機能し、導電層112bは、ソース電極又はドレイン電極の他方として機能する。半導体層108のうち、ソース電極とドレイン電極との間において、ゲート絶縁層を介してゲート電極と重なる領域の全体がチャンネル形成領域として機能する。また、半導体層108のうち、ソース電極と接する領域はソース領域として機能し、ドレイン電極と接する領域はドレイン領域として機能する。

[0056]

トランジスタ100の詳細な構成について、説明する。

[0057]

基板102上には、導電層112aが設けられる。導電層112a上及び基板102上には、絶縁層110a（絶縁層110a1、絶縁層110a2、及び絶縁層110a3）が設けられる。絶縁層110a上には、導電層114が設けられる。絶縁層110a上及び導電層114上には、絶縁層110b（絶縁層110b1、絶縁層110b2、及び絶縁層110b3）が設けられる。絶縁層110b上には、導電層112bが設けられる。絶縁層110a及び絶縁層110bは、導電層112aと、導電層112bと、に挟まれる領域を有する。導電層112aは、絶縁層110a及び絶縁層110bを介して、導電層112bと重なる領域を有する。

[0058]

図1B、図2等においては、絶縁層110aが、絶縁層110a1と、絶縁層110a1上の絶縁層110a2と、絶縁層110a2上の絶縁層110a3と、の積層構造を有する構成を示している。また、絶縁層110bが、絶縁層110b3と、絶縁層110b3上の絶縁層110b2と、絶縁層110b2上の絶縁層110b1と、の積層構造を有する構成を示している。

[0059]

図1B、図2等において、導電層114は、絶縁層110a3と、絶縁層110b3と、に挟まれ

る領域を有する。絶縁層 110a3 は、例えば、導電層 114 の下面（基板 102 側の面）と接する領域を有する。また、絶縁層 110b3 は、例えば、導電層 114 の上面と接する領域を有する。

[0060]

絶縁層 110a、導電層 114、絶縁層 110b、及び導電層 112b は、それぞれ、開口を有する。それぞれが有する開口は、例えば、導電層 112a と重畳する領域を有する。

[0061]

導電層 112a 上には、絶縁層 110s が設けられる。絶縁層 110s は、絶縁層 110a が有する開口（図において領域を示さず。）、導電層 114 が有する開口 142、絶縁層 110b が有する開口（図において領域を示さず。）、及び、導電層 112b が有する開口 143 のそれぞれの側壁（すなわち、それぞれの開口に面する側の、絶縁層 110a の側面、導電層 114 の側面、絶縁層 110b の側面、及び、導電層 112b の側面）に沿うように設けられる。図 1B、図 2 等においては、絶縁層 110a、導電層 114、絶縁層 110b、及び導電層 112b のそれぞれの開口の側壁が一続きの側面を形成し、一続きの当該側面に沿って絶縁層 110s が形成されている。絶縁層 110s は、上記それぞれの開口内において、導電層 112a の上面、絶縁層 110a の側面、導電層 114 の側面、絶縁層 110b の側面、及び、導電層 112b の側面に接する。絶縁層 110s は、サイドウォール、側壁絶縁層、あるいは側壁保護層などと呼ばれることがある。

[0062]

開口 142 及び開口 143 は、それぞれ、導電層 112a と重畳する領域を有する。また、開口 142 と、開口 143 と、は互いに重畳する領域を有する。

[0063]

トランジスタ 100 は、底部を導電層 112a の上面とし、内壁を絶縁層 110s の側面（側壁 141）とする凹部（窪みと呼ぶ場合もある。）を有する。半導体層 108 は、当該凹部内に沿って設けられる。

[0064]

半導体層 108 は、平面視で絶縁層 110s の側壁 141 より内側となる領域において、導電層 112a と重畳する。当該領域において、半導体層 108 は、導電層 112a の上面と接する。

[0065]

また、半導体層 108 は、平面視で絶縁層 110s の側壁 141 より外側となる領域において、導電層 112b と重畳する。当該領域において、半導体層 108 は、導電層 112b の上面と接する。

[0066]

トランジスタ 100 は、半導体層 108 の下面（基板 102 側の面）がソース電極及びドレイン電極と接することから、ボトムコンタクト（Bottom Contact）型のトランジスタといえることができる。

[0067]

半導体層 108 は、導電層 112a の上面に沿うように設けられる領域と、絶縁層 110s の側壁 141 に沿って設けられる領域と、導電層 112b の上面に沿うように設けられる領域と、を有する。

[0068]

半導体層 108 は、絶縁層 110s を間に挟んで、開口 142 の側壁（すなわち、開口 142 に面する側の導電層 114 の側面）と向かい合う領域を有する。また、当該領域において、半導体層 108 は、絶縁層 110s の側壁 141 に接することが好ましい。

[0069]

半導体層108上には、絶縁層106が設けられる。絶縁層106は、半導体層108を間に挟んで導電層112aと重畳する領域と、半導体層108及び絶縁層110sを間に挟んで導電層114と対向する領域と、半導体層108を間に挟んで導電層112bと重畳する領域と、を有する。

[0070]

図1B、図2等において、絶縁層106は、半導体層108を間に挟んで導電層112aの上面と向かい合う領域と、半導体層108及び絶縁層110sを間に挟んで導電層114の側面と向かい合う領域と、半導体層108を間に挟んで導電層112bの上面と向かい合う領域と、を有する。

[0071]

絶縁層106上には、導電層104が設けられる。導電層104は、絶縁層106を間に挟んで、導電層112aと導電層112bの間の半導体層108と対向する領域を有する。また、導電層104は、絶縁層106、半導体層108、及び絶縁層110sを間に挟んで、導電層114と対向する領域を有する。

[0072]

トランジスタ100において、導電層104と導電層112aとは、間に設けられた絶縁層106によって絶縁されている。また、トランジスタ100において、導電層104と導電層112bとは、間に設けられた絶縁層106によって絶縁されている。

[0073]

半導体層108は、底部を導電層112aの上面、内壁を絶縁層110sの側壁141とする凹部内に沿って設けられ、当該凹部に沿った形状を有する。絶縁層106は、半導体層108上に設けられ、当該凹部に沿った形状を有する。導電層104は、絶縁層106上に設けられる。なお、図1B等では、導電層104が、当該凹部に沿った形状を有する例を示しているが、この限りではない。導電層104を、当該凹部を埋め込むように半導体層108上及び絶縁層106上に設けることも可能である。これにより、導電層104を厚くすることができ、電気抵抗を下げることができる。

[0074]

トランジスタ100が有する導電層112a、半導体層108、導電層112b、絶縁層106、導電層104等を覆って、絶縁層195が設けられる。絶縁層195は、トランジスタ100の保護層として機能する。

[0075]

導電層104及び導電層114の一方は、例えば、ゲート電極（第1のゲート電極）として機能することができ、他方は、バックゲート電極（第2のゲート電極）として機能することができる。導電層104及び導電層114は、半導体層108のチャネル形成領域を挟むように配置されることが好ましい。

[0076]

バックゲート（第2のゲート）に電位を与えることにより、トランジスタの電界効果移動度を高めることができる。また、バックゲートの電位を変化させることにより、トランジスタのしきい値電圧を変化させることができる。バックゲートの電位は、ゲート（第1のゲート）と同電位とすることができる。あるいは、バックゲートの電位は接地電位又は任意の電位としてもよい。また、バックゲートの電位を、ソース又はドレインと同電位としてもよい。

[0077]

バックゲートにゲートと同じ電位を与える場合には、バックゲートとゲートを接続させ、導通させればよい。バックゲートにソース又はドレインと同じ電位を与える場合には、バックゲートと、ソース又はドレインと、を接続させ、導通させればよい。ゲート又はバックゲートがソースと接続された構成とすることで、例えば、信頼性を高めることができる。また、ゲート又はバックゲートがドレインと接続された構成とすることで、例えば、トランジスタをダイオードとして機能させることができる。

[0078]

なお、バックゲートの電位を接地電位又は任意の電位とする場合において、複数のトランジスタのバックゲートと接続する共通の配線を設け、共通の配線に電位を与えてもよい。

[0079]

バックゲートを有する構成とすることにより、複数のトランジスタの間の特性のばらつきを低減することができる場合がある。例えば、複数のトランジスタの間のしきい値電圧のばらつきを低減することができる場合がある。

[0080]

開口142、開口143、及び側壁141の上面形状は、それぞれ、例えば、円形、又は楕円形とすることができる。開口142、開口143、及び側壁141の上面形状は、それぞれ、三角形、四角形（長方形、菱形、正方形を含む。）、五角形などの多角形、又は、これら多角形の角が丸い形状としてもよい。図1Aに示すように、開口142及び開口143の上面形状は、それぞれ、円形であることが好ましい。開口142及び開口143の上面形状を円形とすることにより、開口142及び開口143を形成する際の加工精度を高めることができ、微細なサイズの開口142及び開口143を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

[0081]

また、絶縁層110sの側壁141の上面形状は、絶縁層110aが有する開口、導電層114が有する開口142、絶縁層110bが有する開口、及び、導電層112bが有する開口143の形状に応じて変化する。それぞれの開口の形状を円形とすることにより、側壁141の上面形状も円形とすることができる。側壁141の上面形状を円形とすることにより、側壁141に沿って設けられる半導体層108の被覆性を高めることができる。側壁141の上面が、例えば、角を有する場合には、角の領域において、例えば、上面が直線あるいは円である領域と比較して、半導体層108の膜厚、及び、半導体層108上に形成される絶縁層106の膜厚が不均一となる場合がある。膜厚が不均一になる領域において、半導体層108と、ゲート電極と、の間の電界集中が生じる懸念がある。電界集中により、トランジスタの劣化が生じる場合がある。側壁141の上面形状を円形とすることにより、トランジスタの信頼性を高めることができる。

[0082]

絶縁層110aが有する開口、導電層114が有する開口142、絶縁層110bが有する開口、及び、導電層112bが有する開口143は、例えば、被加工面上にマスクを形成し、エッチング工程を用いて形成することができる。マスクとしてレジストマスクを用いてもよいし、絶縁層又は導電層からなるハードマスクを用いてもよい。マスクを形成した後、導電層112bの開口143、絶縁層110bの開口、導電層114の開口142、及び、絶縁層110aの開口を、続けて形成することにより、マスク形成工程と、各開口形成工程と、を連続して行うことができる。また、それぞれの開口の径及び位置を一致又は概略一致させることもできる。このように、同じマスクを用いて、複数

の開口を続けて形成する工程を、本明細書等において、一括開口と呼ぶ場合がある。

[0083]

一括開口を行った後、絶縁層110sを形成することにより、図1B、図2等に示す構成を作製することができる。上記開口の形成工程において、それぞれの開口の径を一致又は概略一致させることにより、絶縁層110sの被覆性を高めることができる。

[0084]

なお、絶縁層110aが有する開口、導電層114が有する開口142、絶縁層110bが有する開口、及び、導電層112bが有する開口143の形成は、連続して行わなくてもよい。例えば、それぞれの開口を設ける際に、それぞれ、マスクを形成してもよい。

[0085]

トランジスタ100のチャンネル長及びチャンネル幅について説明する。

[0086]

半導体層108において、導電層112aと接する領域は、ソース領域又はドレイン領域の一方として機能し、導電層112bと接する領域は、ソース領域又はドレイン領域の他方として機能し、ソース領域とドレイン領域の間の領域は、チャンネル形成領域として機能する。

[0087]

トランジスタ100のチャンネル長は、ソース領域とドレイン領域との間の距離となる。図1B及び図2には、トランジスタ100のチャンネル長L100を破線の両矢印で示している。図1B及び図2では、導電層112aの上面と、導電層112bの上面と、の間における半導体層108の絶縁層110sに沿った距離を、トランジスタ100のチャンネル長L100として示している。

[0088]

なお、トランジスタ100のチャンネル長L100として、導電層112aの上面と、導電層112bの下面と、に挟まれる領域における、絶縁層110aの厚さ、導電層114の厚さ、及び、絶縁層110bの厚さの合計の厚さT110（図1B及び図2において、厚さT110を一点鎖線の両矢印で示している。）を用いる場合がある。あるいは、トランジスタ100のチャンネル長L100として、厚さT110と、導電層112bの厚さと、の和を用いる場合がある。

[0089]

ここで、トランジスタ100のチャンネル長L100は、絶縁層110aの厚さ、導電層114の厚さ、絶縁層110bの厚さ、絶縁層110sの被形成面（ここでは、絶縁層110aの側面、導電層114の側面、及び、絶縁層110bの側面）と絶縁層110aの被形成面（ここでは、導電層112aの上面）とのなす角 $\theta 110$ 、等により決められ、トランジスタの作製に用いる露光装置の性能に影響されない。したがって、チャンネル長L100を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。

[0090]

チャンネル長L100は、例えば、5nm以上3 μ m未満、7nm以上2.5 μ m以下、10nm以上2 μ m以下、10nm以上1.5 μ m以下、10nm以上1.2 μ m以下、10nm以上1 μ m以下、10nm以上500nm以下、10nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、10nm以上50nm以下、10nm以上30nm以下、又は10nm以上20nm以下とすることができる。例えば、チャンネル長L100を、100nm以上1 μ m以下とすることもできる。

[0091]

厚さT110は、例えば、5 nm以上3 μ m未満、7 nm以上2.5 μ m以下、10 nm以上2 μ m以下、10 nm以上1.5 μ m以下、10 nm以上1.2 μ m以下、10 nm以上1 μ m以下、10 nm以上500 nm以下、10 nm以上300 nm以下、10 nm以上200 nm以下、10 nm以上100 nm以下、10 nm以上50 nm以下、10 nm以上30 nm以下、又は10 nm以上20 nm以下とすることができる。厚さT110は、所望のチャンネル長L100になるように、適宜設定することができる。

[0092]

角 θ 110は、例えば、30度以上90度以下、35度以上85度以下、40度以上80度以下、45度以上80度以下、50度以上80度以下、55度以上80度以下、60度以上80度以下、65度以上80度以下、又は70度以上80度以下とすることができる。角 θ 110は、所望のチャンネル長L100になるように、適宜設定することができる。

[0093]

なお、絶縁層110sは、絶縁層110a、導電層114、絶縁層110b、及び導電層112bのそれぞれの開口の側壁の全ての領域には沿っていない場合があり、例えば、絶縁層110sは、絶縁層110a、導電層114、絶縁層110bのそれぞれが有する開口の側壁、及び、導電層112bが有する開口143の側壁の一部に沿うように設けられる場合がある。

[0094]

図3に、図1Bに示すトランジスタ100の領域150における、断面拡大図を示す。

[0095]

図3に示すように、半導体層108は、領域108Iと、領域108Iを挟むように設けられる領域108Da及び領域108Dbと、領域108Iと領域108Dbに挟まれた領域108Lと、を有する。

[0096]

領域108Daは、半導体層108の導電層112aと接する領域である。領域108Daの少なくとも一部は、トランジスタ100のソース領域又はドレイン領域の一方として機能する。領域108Dbは、半導体層108の導電層112bと接する領域である。領域108Dbの少なくとも一部は、トランジスタ100のソース領域又はドレイン領域の他方として機能する。図1Aに示すように、導電層112bは、半導体層108と重なる開口143の外周全体に接する。よって、トランジスタ100のソース領域又はドレイン領域の他方は、半導体層108の、導電層112bと同じ高さに形成される部分の外周全体に形成され得る。

[0097]

領域108Iは、トランジスタ100のチャンネル形成領域として機能する。また、領域108Lは、一部（領域108Db側の領域）がトランジスタ100のソース領域又はドレイン領域の他方として機能することができ、他の一部（領域108I側の領域）がトランジスタ100のチャンネル形成領域として機能することができる。図3では、半導体層108の領域108Daと領域108Dbに挟まれた領域のうち、絶縁層110sの側壁141と接する概略平坦な領域を、領域108Iとして示し、絶縁層110sの湾曲した領域と接する領域を、領域108Lとして示している。

[0098]

ソース領域及びドレイン領域として機能する領域108Da及び領域108Dbは、チャンネル形成

領域として機能する領域 108 I、及び、チャネル形成領域として機能し得る領域 108 L の一部よりも低抵抗な領域である。領域 108 I、及び、領域 108 L の一部は、領域 108 D a 及び領域 108 D b よりも高抵抗な領域である、ともいえる。すなわち、領域 108 D a 及び領域 108 D b は、領域 108 I、及び、領域 108 L の一部よりも酸素欠損密度が高い領域、又は、不純物濃度が高い領域ともいうことができる。

[0099]

上述のように、領域 108 L は、一部（領域 108 D b 側の領域）がソース領域又はドレイン領域の他方として機能し得ることができ、他の一部（領域 108 I 側の領域）がチャネル形成領域として機能し得ることができる。したがって、領域 108 L は、領域 108 D a 及び領域 108 D b と同程度、あるいは、それに近い抵抗値を有する領域と、領域 108 I と同程度、あるいは、それに近い抵抗値を有する領域と、の双方を有する領域であるといえる。すなわち、領域 108 L は、領域 108 D a 及び領域 108 D b と同程度、あるいは、それに近い酸素欠損密度又は不純物濃度を有する領域と、領域 108 I と同程度、あるいは、それに近い酸素欠損密度又は不純物濃度を有する領域と、の双方を有する領域であるといえる。

[0100]

本発明の一態様に係るトランジスタでは、領域 108 D a 及び領域 108 D b における不純物元素の濃度、例えば、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数の濃度が、領域 108 I、及び、領域 108 L の一部における当該不純物元素の濃度よりも高い。なお、貴ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンが挙げられる。領域 108 D a 及び領域 108 D b において、特に、ホウ素、リン、アルミニウム、マグネシウム、及びシリコンの一又は複数の濃度が、領域 108 I、及び、領域 108 L の一部における当該不純物元素の濃度よりも高いことが好ましい。これにより、領域 108 D a 及び領域 108 D b を低抵抗化することができるため、トランジスタのオン電流を大きくすることができる。

[0101]

また、上述のように、本発明の一態様に係るトランジスタでは、平面視にて開口 143 と重なる領域に、チャネル形成領域、ソース領域、及びドレイン領域を形成することができる。そのため、チャネル形成領域、ソース領域、及びドレイン領域が、基板面に対して平行な面内に別々に設けられるプレーナ型のトランジスタと比較して、トランジスタの占有面積を低減することができる。したがって、半導体装置の高集積化を図ることができる。

[0102]

なお、図 3 等では、絶縁層 110 a、導電層 114、絶縁層 110 b、及び導電層 112 b のそれぞれの開口の側壁が、基板面に対してテーパ形状を有する例を示しているが、この限りではない。当該側壁は、基板面に対して垂直に形成されていてもよい。この場合、上述したように、トランジスタの占有面積を低減することができるため好ましい。一方、図 3 等に示すように、当該側壁がテーパ形状を有する場合、当該側壁を覆って形成される膜（例えば、半導体層 108）の被覆性を高めることができるため好ましい。

[0103]

図 4 A は、図 1 B に示す領域 161 の拡大図である。図 4 A には、絶縁層 110 s の上端部の高さが、導電層 112 b の上面の高さと一致又は概略一致する構成（図 1 B 等 に示す構成）を示す。

[0104]

図4B乃至図4Dは、図4Aと、絶縁層110sの上端部の高さ等が異なる構成の例である。

[0105]

図4Bには、絶縁層110sの上端部の高さが、導電層112bの上面の高さよりも低く、導電層112bの下に位置する絶縁層110b1の上面の高さよりも高い構成を示す。図4Bに示す構成においては、例えば、導電層112bの側面は、半導体層108に接する領域を有する。半導体層108が導電層112bの側面と接することにより、半導体層108と導電層112bの接触面積が広くなり、接触抵抗が低減する場合がある。

[0106]

また、図4Cには、絶縁層110sの上端部の高さが絶縁層110b1の上面の高さよりも低い構成を示す。図4Bに示す構成においては、例えば、導電層112bの側面は、半導体層108に接する領域を有し、絶縁層110b1の側面は、半導体層108に接する領域を有する。

[0107]

また、図4Dには、絶縁層110sの上端部の高さが、絶縁層110b2の上面の高さよりも低い構成を示す。図4Bに示す構成においては、例えば、導電層112bの側面は、半導体層108に接する領域を有し、絶縁層110b1の側面は、半導体層108に接する領域を有し、絶縁層110b2の側面は、半導体層108に接する領域を有する。

[0108]

絶縁層110sの形成時のエッチングにおいて、エッチング時間を長くすることにより、絶縁層110sの上端部の高さを低くすることができる場合がある。エッチング時間を長くする場合には、絶縁層110sの上端部の高さが、導電層112bの上面の高さよりも低くなる場合がある。絶縁層110sの上端部の高さは、少なくとも、導電層114の上面の高さよりも高いことが好ましい。すなわち、絶縁層110sは、開口142において、導電層114の側面全体に接していることが好ましい。導電層114は、開口142において、半導体層108と接する領域を有さないことが好ましい。

[0109]

チャネル長L100を短くすることにより、トランジスタ100のオン電流を大きくすることができる。トランジスタ100を用いることにより、高速動作が可能な回路を作製することができる。さらには、回路の占有面積を縮小することが可能となる。したがって、本発明の一態様のトランジスタを半導体装置に適用する場合において、半導体装置の小型化を実現することができる。

[0110]

また、例えば、本発明の一態様のトランジスタを表示装置に適用することにより、表示装置の額縁を狭くすることができる。また、例えば、本発明の一態様のトランジスタを大型の表示装置、又は、高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。

[0111]

トランジスタ100のチャネル幅は、平面視における、ソース領域の長さ、又は、ドレイン領域の長さとなる。つまり、チャネル幅は、平面視において、半導体層108と導電層112aとが接する領域の長さ、又は、半導体層108と導電層112bとが接する領域の長さとなる。

[0112]

また、半導体層108は、底部を導電層112aの上面、内壁を絶縁層110sの側壁141とす

る凹部に沿って設けられる。よって、チャネル幅として、平面視における、絶縁層 110s の内壁の周の長さを用いる場合もある。絶縁層 110s は、例えば、平面視における筒の中心あるいは中心近傍に開口を有する形状を有すると表現することもできる。当該開口の周長を、半導体層 108 のチャネル幅として用いることもできる。

[0113]

ここでは、トランジスタ 100 のチャネル幅は、平面視において、半導体層 108 と導電層 112b とが接する領域の長さとして説明する。図 1A、図 1B、及び図 2 では、トランジスタ 100 のチャネル幅 W_{100} を実線の両矢印で示している。チャネル幅 W_{100} は、平面視において、開口 143 の周長となる。

[0114]

チャネル幅 W_{100} は、開口 143 の上面形状で決まる。図 1A、図 1B、及び図 2 では、開口 143 の幅 D_{143} を二点鎖線の両矢印で示している。幅 D_{143} は、平面視において、開口 143 に外接する最小の矩形の短辺を指す。フォトリソグラフィ法を用いて開口 143 を形成する場合、開口 143 の幅 D_{143} は、露光装置の限界解像度以上となる。幅 D_{143} は、例えば、 $0.20\mu\text{m}$ 以上 $5.0\mu\text{m}$ 未満である。なお、開口 143 の上面形状が円形の場合、幅 D_{143} は開口 143 の直径に相当し、チャネル幅 W_{100} は " $D_{143} \times \pi$ " と算出することができる。

[0115]

[半導体層 108]

半導体層 108 に用いることができる半導体材料は、特に限定されない。例えば、単体半導体又は化合物半導体を用いることができる。単体半導体として、例えば、シリコン又はゲルマニウムを用いることができる。化合物半導体として、例えば、ヒ化ガリウム、シリコンゲルマニウムが挙げられる。化合物半導体として、半導体特性を有する有機物、又は、半導体特性を有する金属酸化物（酸化物半導体ともいう。）を用いることができる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0116]

半導体層 108 に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、又は結晶性を有する半導体（単結晶半導体、多結晶半導体、微結晶半導体、又は、一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制することができるため好ましい。

[0117]

半導体層 108 には、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙げられる。

[0118]

半導体層 108 に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成することができ、低コストで作製することができる。半導体層 108 に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、半導体層 108 に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0119]

半導体層108は、金属酸化物（酸化物半導体）を有することが好ましい。半導体層108に用いることができる金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び、亜鉛酸化物が挙げられる。金属酸化物は、少なくとも、インジウム（In）又は亜鉛（Zn）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、コバルト、及びマグネシウムから選ばれた一種又は複数種である。特に、元素Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。元素Mは、ガリウムがより好ましい。

[0120]

半導体層108には、例えば、酸化インジウム、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物）、インジウムチタン酸化物（In-Ti酸化物）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す。）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す。）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す。）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO又はIAGZOとも記す。）などを用いることができる。又は、シリコンを含むインジウムスズ酸化物などを用いることができる。

[0121]

金属酸化物の形成には、スパッタリング法又は原子層堆積（ALD: Atomic Layer Deposition）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、ターゲットの原子数比と、当該金属酸化物の原子数比が異なる場合がある。特に、亜鉛は、ターゲットの原子数比よりも金属酸化物の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40%以上90%以下程度となる場合がある。

[0122]

半導体層108をALD法で形成する具体的な例としては、熱ALD法又はPEALD（Plasma Enhanced ALD）法等の成膜方法が挙げられる。熱ALD法は、極めて高い段差被覆性を示すため好ましい。また、PEALD法は、高い段差被覆性を示すことに加え、低温成膜が可能であるため好ましい。

[0123]

半導体層108が有する金属酸化物の組成は、トランジスタ100の電気特性及び信頼性に大きく影響する。

[0124]

例えば、金属酸化物のインジウムの含有率を高くすることにより、オン電流の大きいトランジスタを実現することができる。また、例えば、半導体層108にガリウムを含まない、又は、ガリウムの含有率の低い金属酸化物を用いることにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。また、例えば、半導体層108に元素Mの含有率が低い金属酸化物を適用することにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。また、例えば、

金属酸化物の元素Mの含有率を高くすることにより、光に対する信頼性の高いトランジスタとすることができる。

[0125]

半導体層108が有する金属酸化物の組成についての詳細は、後述する。

[0126]

半導体層108には、結晶性を有する金属酸化物層を用いることが好ましい。例えば、CAAC(C-Axis Aligned Crystal)構造、多結晶(poly-crystal)構造、微結晶(nc:nano-crystal)構造等を有する金属酸化物層を用いることができる。結晶性を有する金属酸化物層を半導体層108に用いることにより、半導体層108中の欠陥準位密度を低減することができ、信頼性の高いトランジスタを実現することができる。なお、CAAC構造とは、複数の微結晶(代表的には、複数のIGZOの微結晶)がc軸配向を有し、かつa-b面においては、上記複数の微結晶が配向せずに連結した結晶構造である。CAAC構造は、多結晶構造よりもa-b面において結晶粒界、グレインなどが少ないため信頼性の高いトランジスタを実現できる。

[0127]

半導体層108に用いる金属酸化物層の結晶性が高いほど、半導体層108中の欠陥準位密度を低減することができる。一方、結晶性の低い金属酸化物層を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0128]

半導体層108は、結晶性が異なる2以上の金属酸化物層の積層構造としてもよい。例えば、第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる第2の金属酸化物層と、の積層構造とし、第2の金属酸化物層は、第1の金属酸化物層より結晶性が高い領域を有する構成とすることができる。又は、第2の金属酸化物層は、第1の金属酸化物層より結晶性が低い領域を有する構成とすることができる。半導体層108が有する2以上の金属酸化物層は、組成が互いに同じ又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成することができるため、製造コストを削減することができる。例えば、同じスパッタリングターゲットを用いて、形成時に用いる成膜ガス全体に対する酸素ガスの流量の割合(以下、酸素流量比ともいう。)を異ならせることにより、結晶性が異なる2以上の金属酸化物層の積層構造を形成することができる。なお、半導体層108が有する2以上の金属酸化物層は、組成が互いに異なってもよい。

[0129]

半導体層108の厚さ(被形成面に対する膜厚)は、3nm以上100nm以下が好ましく、さらには5nm以上100nm以下が好ましく、さらには10nm以上100nm以下が好ましく、さらには10nm以上70nm以下が好ましく、さらには15nm以上70nm以下が好ましく、さらには15nm以上50nm以下が好ましく、さらには20nm以上50nm以下が好ましく、さらには20nm以上40nm以下が好ましく、さらには25nm以上40nm以下が好ましい。

[0130]

ここで、半導体層108中に形成され得る酸素欠損について、説明する。

[0131]

半導体層108に酸化物半導体を用いる場合、酸化物半導体に含まれる水素が金属原子と結合する酸素と反応して水になり、酸化物半導体中に酸素欠損(V_O : Oxygen Vacancy)が形

成される場合がある。さらに、酸素欠損に水素が入った欠陥（以下、 V_OH と記す。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

[0132]

V_OH は、酸化物半導体のドナーとして機能し得る。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0133]

以上より、半導体層108に酸化物半導体を用いる場合、半導体層108中の V_OH をできる限り低減し、高純度真性、又は、実質的に高純度真性とすることが好ましい。このように、 V_OH が十分低減された酸化物半導体を得るには、酸化物半導体中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損（ V_O ）を修復することが重要である。 V_OH などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、酸化物半導体に酸素を供給して酸素欠損（ V_O ）を修復することを、加酸素化処理と記す場合がある。

[0134]

半導体層108に酸化物半導体を用いる場合、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0135]

酸化物半導体を用いたトランジスタ（以下、OSトランジスタと記す。）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ状態におけるソースドレイン間のリーク電流（以下、オフ電流ともいう。）が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間にわたって保持することが可能である。また、OSトランジスタを半導体装置に適用することで、半導体装置の消費電力を低減することができる。

[0136]

OSトランジスタは、表示装置に適用することができる。表示装置の画素回路に含まれる発光デバイスの発光輝度を高くする場合、発光デバイスに流す電流量を大きくする必要がある。そのためには、画素回路に含まれている駆動トランジスタのソースドレイン間電圧を高くする必要がある。OSトランジスタは、シリコンを用いたトランジスタ（以下、Siトランジスタと記す。）と比較して、ソースドレイン間における耐圧が高いため、OSトランジスタのソースドレイン間には高い電圧を印加することができる。したがって、OSトランジスタを、画素回路の駆動トランジスタに適用する

ことにより、発光デバイスに流れる電流量を大きくし、発光デバイスの発光輝度を高くすることができる。

[0137]

トランジスタが飽和領域で動作する場合において、OSトランジスタは、Siトランジスタよりも、ゲートソース間電圧の変化に対して、ソースドレイン間電流の変化を小さくすることができる。このため、画素回路に含まれる駆動トランジスタとしてOSトランジスタを適用することによって、ゲートソース間電圧の変化によって、ソースドレイン間に流れる電流を細かく定めることができるため、発光デバイスに流れる電流量を細かく制御することができる。このため、画素回路における階調数を多くすることができる。

[0138]

トランジスタが飽和領域で動作するときに流れる電流の飽和特性において、OSトランジスタは、ソースドレイン間電圧が徐々に高くなった場合においても、Siトランジスタよりも安定した電流（飽和電流）を流すことができる。そのため、OSトランジスタを駆動トランジスタとして用いることで、例えば、発光デバイスの電流－電圧特性にばらつきが生じた場合においても、発光デバイスに安定した電流を流すことができる。つまり、OSトランジスタは、飽和領域で動作する場合において、ソースドレイン間電圧を高くしても、ソースドレイン間電流がほぼ変化しないため、発光デバイスの発光輝度を安定させることができる。

[0139]

上記の通り、画素回路に含まれる駆動トランジスタにOSトランジスタを用いることで、「黒浮きの抑制」、「発光輝度の上昇」、「多階調化」、「発光デバイスのばらつきの抑制」などを図ることができる。

[0140]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射し得る環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線及びガンマ線）及び粒子放射線（例えば、アルファ線、ベータ線、中性子線、及び陽子線）が挙げられる。

[0141]

[絶縁層]

本発明の一態様のトランジスタ、及び、本発明の一態様のトランジスタが適用された半導体装置、表示装置等において、絶縁層として、無機絶縁材料又は有機絶縁材料を用いることができる。また、絶縁層として、無機絶縁材料と有機絶縁材料の積層構造を用いてもよい。

[0142]

無機絶縁材料として、酸化物、酸化窒化物、窒化酸化物、及び窒化物の一又は複数を用いることができる。

[0143]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと

は、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0144]

酸素及び窒素の含有量の分析には、例えば、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) 又はX線光電子分光法 (XPS: X-ray Photoelectron Spectrometry) を用いることができる。目的の元素の含有率が高い (例えば、0.5 atomic % 以上、又は1 atomic % 以上) 場合には、XPSが適している。一方、目的の元素の含有率が低い (例えば、0.5 atomic % 未満、又は1 atomic % 未満) 場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。

[0145]

また、絶縁層などの膜密度の評価には、例えば、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 又はX線反射率測定法 (XRR: X-Ray Reflection) を用いることができる。また、膜密度の違いは、断面の透過型電子顕微鏡 (TEM: Transmission Electron Microscopy) 像で評価することができる場合がある。TEM観察において、膜密度が高いと透過電子 (TE) 像が濃く (暗く)、膜密度が低いと透過電子 (TE) 像が淡く (明るく) なる。なお、絶縁層に同じ材料を適用する場合であっても、膜密度が異なる場合には、断面のTEM像において、これらの境界をコントラストの違いとして観察することができる場合がある。

[0146]

絶縁層の窒素の含有量は、例えば、エネルギー分散型X線分光法 (EDX: Energy Dispersive X-ray Spectrometry) で確認することができる。例えば、絶縁層に窒化シリコン、酸化窒化シリコン、等を用いる場合、シリコンのピークの高さに対する窒素のピークの高さの比を用いて、窒素の含有量进行评估することができる。なお、EDXにおいて、ある元素のピークとは、横軸に特性X線のエネルギーを示し、縦軸に特性X線のカウント数 (検出値) を示すスペクトルにおいて、当該元素のカウント数が極大値となる点を指す。又は、当該元素固有の特性X線のエネルギーにおけるカウント数を用い、シリコンのカウント数に対する窒素のカウント数の比で窒素の含有量の違いを確認してもよい。例えば、シリコンは1.739 keV (Si-K α) でのカウント数を用いることができ、窒素は0.392 keV (N-K α) でのカウント数を用いることができる。

[0147]

絶縁層の水素濃度は、例えば、SIMSで評価することができる。

[0148]

半導体層108と接する絶縁層、あるいは、半導体層108の周辺に位置する絶縁層として、酸素を放出する絶縁層を用いることで、当該絶縁層から半導体層108に酸素を供給することができる。半導体層108のチャネル形成領域に酸素を供給することで、半導体層108中の酸素欠損 (V_O) 及びV_OHを低減することができ、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。なお、半導体層108に酸素を供給する処理は、他に、酸素を含む雰囲気での加熱処理、又は、酸素を含む雰囲気下におけるプラズマ処理などがある。

[0149]

半導体層108に水素が拡散すると、酸化物半導体に含まれる酸素原子と反応して水になり、半導

体層 108 中に酸素欠損 (V_o) が形成される場合がある。さらに、半導体層 108 中に V_oH が形成され、半導体層 108 中のキャリア濃度が高くなってしまう場合がある。半導体層 108 と接する絶縁層、あるいは、半導体層 108 の周辺に位置する絶縁層として、水素の拡散を抑制するブロッキング膜を用いることにより、半導体層 108 中の酸素欠損 (V_o) 及び V_oH を低減することができ、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0150]

トランジスタ 100 のチャネル形成領域の酸素欠損 (V_o) 及び V_oH は、少ないことが好ましい。特に、チャネル長 L_{100} が短い場合、チャネル形成領域の酸素欠損 (V_o) 及び V_oH が、トランジスタ 100 の電気特性及び信頼性に及ぼす影響が大きくなる。例えば、ソース領域又はドレイン領域からチャネル形成領域に V_oH が拡散することで、チャネル形成領域のキャリア濃度が高まり、トランジスタ 100 のしきい値電圧の変動、又は、信頼性の低下が生じる場合がある。このような V_oH の拡散によるトランジスタ 100 の電気特性及び信頼性への影響は、トランジスタ 100 のチャネル長 L_{100} が短いほど、大きくなる。半導体層 108、特に、半導体層 108 のチャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することにより、良好な電気特性、及び、高い信頼性を有するチャネル長の短いトランジスタを実現することができる。

[0151]

半導体層 108 と接する絶縁層、あるいは、半導体層 108 の周辺に位置する絶縁層は、自身からの不純物（例えば、水及び水素）の放出が少ないことが好ましい。不純物の放出を少なくすることにより、当該不純物が半導体層 108 に拡散することが抑制され、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0152]

半導体層 108 の形成より後の工程で加わる熱により、半導体層 108 から酸素が脱離してしまう場合がある。しかしながら、半導体層 108 と接する絶縁層、あるいは、半導体層 108 の周辺に位置する絶縁層から半導体層 108 に酸素が供給されることにより、半導体層 108 中の酸素欠損 (V_o) 及び V_oH が増加することを抑制することができる。また、半導体層 108 の形成より後の工程において、処理温度の自由度を高めることができる。具体的には、半導体層 108 の形成より後の工程においても、処理温度を高くすることができる。したがって、良好な電気特性を示し、かつ、信頼性の高いトランジスタ 100 を形成することができる。

[0153]

[絶縁層 110a、絶縁層 110b]

絶縁層 110a 及び絶縁層 110b として、それぞれ、無機絶縁材料又は有機絶縁材料を用いることができる。絶縁層 110a 及び絶縁層 110b は、無機絶縁材料と有機絶縁材料の積層構造としてもよい。

[0154]

絶縁層 110a 及び絶縁層 110b として、無機絶縁材料を好適に用いることができる。無機絶縁材料として、酸化物、酸化窒化物、窒化酸化物、及び窒化物の一又は複数を用いることができる。絶縁層 110a 及び絶縁層 110b として、例えば、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を用いることができる。

[0155]

絶縁層110a及び絶縁層110bを、2層以上の積層構造としてもよい。図1B等では、絶縁層110aが、絶縁層110a1と、絶縁層110a1上の絶縁層110a2と、絶縁層110a2上の絶縁層110a3と、の積層構造を有し、絶縁層110bが、絶縁層110b3と、絶縁層110b3上の絶縁層110b2と、絶縁層110b2上の絶縁層110b1と、の積層構造を有する構成を示している。絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b3、絶縁層110b2、及び絶縁層110b1には、それぞれ、前述の絶縁層110a及び絶縁層110bに用いることができる材料を用いることができる。なお、絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b3、絶縁層110b2、及び絶縁層110b1で互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0156]

絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b3、絶縁層110b2、及び絶縁層110b1は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少ないことが好ましい。

[0157]

絶縁層110a2の膜厚は、絶縁層110a1の膜厚、絶縁層110a3の膜厚より厚い構成とすることができる。また、絶縁層110b2の膜厚は、絶縁層110b1の膜厚、絶縁層110b3の膜厚より厚い構成とすることができる。絶縁層110a2の成膜速度は、絶縁層110a1の成膜速度、及び、絶縁層110a3の成膜速度よりも速いことが好ましい。また、絶縁層110b2の成膜速度は、絶縁層110b1の成膜速度、及び、絶縁層110b3の成膜速度よりも速いことが好ましい。膜厚が厚い膜の成膜速度を速くすることにより、生産性を高めることができる。

[0158]

絶縁層110a1及び絶縁層110a3は、それぞれ、絶縁層110a2からガスが脱離することを抑制するブロッキング膜として機能する。また、絶縁層110b1及び絶縁層110b3は、それぞれ、絶縁層110b2からガスが脱離することを抑制するブロッキング膜として機能する。絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3には、それぞれ、ガスが拡散しにくい材料を用いることが好ましい。絶縁層110a1及び絶縁層110a3は、それぞれ、絶縁層110a2より膜密度が高い領域を有することが好ましい。また、絶縁層110b1及び絶縁層110b3は、それぞれ、絶縁層110b2より膜密度が高い領域を有することが好ましい。絶縁層の膜密度を高くすることで、ガスに対するブロッキング性を高めることができる。絶縁層の成膜速度を遅くすることにより、膜密度が高くなり、ガスに対するブロッキング性を高めることができる。

[0159]

絶縁層110a2及び絶縁層110b2として、酸化物又は酸化窒化物を用いることが好ましい。絶縁層110a2及び絶縁層110b2として、加熱により酸素を放出する膜を用いることが好ましい。絶縁層110a2及び絶縁層110b2として、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。

[0160]

絶縁層110a2及び絶縁層110b2が酸素を放出することで、絶縁層110a2及び絶縁層110b2から、半導体層108に酸素を供給することができる。絶縁層110a2及び絶縁層110b2は、酸素の拡散係数が高いことが好ましい。酸素の拡散係数を高くすることで、絶縁層110a

2及び絶縁層110b2中を酸素が拡散しやすくなり、効率よく半導体層108に酸素を供給することができる。また、上述のように、絶縁層110a2の膜厚を、絶縁層110a1の膜厚、絶縁層110a3の膜厚より厚い構成とすることで、より多くの酸素を半導体層108に供給することができる。同様に、絶縁層110b2の膜厚を、絶縁層110b1の膜厚、絶縁層110b3の膜厚より厚い構成とすることで、より多くの酸素を半導体層108に供給することができる。

[0161]

絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b1、絶縁層110b2、及び絶縁層110b3は、スパッタリング法、ALD法、又はプラズマCVD法などの成膜方法で形成することが好ましい。

[0162]

特に、スパッタリング法を用い、成膜ガスに水素を含むガスを用いない成膜方法で成膜することで、水素の含有量の極めて少ない膜とすることができる。そのため、半導体層108に水素が供給されることを抑制し、トランジスタ100の電気特性の安定化を図ることができる。酸化シリコンをスパッタリング法で成膜する場合には、例えば、酸素性ガスを含む雰囲気でシリコンターゲットを用いて、成膜することができる。また、窒化シリコンをスパッタリング法で成膜する場合には、例えば、窒素ガスを含む雰囲気でシリコンターゲットを用いて、成膜することができる。また、酸化アルミニウムをスパッタリング法で成膜する場合には、例えば、酸性ガスを含む雰囲気でアルミニウムターゲットを用いて、成膜することができる。

[0163]

また、酸化シリコン及び窒化シリコンは、例えば、PEALD法を用いて成膜することができる。また、酸化アルミニウム及び酸化ハフニウムは、例えば、熱ALD法を用いて成膜することができる。PEALD法及び熱ALD法を用いて絶縁層を成膜することにより、緻密な絶縁膜を形成することができるため、酸素及び水素に対するブロッキング性を高めることができる。

[0164]

絶縁層110a1及び絶縁層110a3には、絶縁層110a2より窒素の含有量が多い材料を用いることができる。また、絶縁層110b1及び絶縁層110b3には、絶縁層110b2より窒素の含有量が多い材料を用いることができる。絶縁層の窒素の含有量を多くすることで、酸素及び水素に対するブロッキング性を高めることができる。

[0165]

また、絶縁層110a1及び絶縁層110a3は、絶縁層110a2より膜中の水素濃度が低い領域を有する場合がある。絶縁層110b1及び絶縁層110b3は、絶縁層110b2より膜中の水素濃度が低い領域を有する場合がある。

[0166]

絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3は、それぞれ、酸素を透過させにくいことが好ましい。さらに、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3は、それぞれ、水素を透過させにくいことが好ましい。絶縁層110a1及び絶縁層110a3は、トランジスタの外から絶縁層110a1及び絶縁層110a3を介して、半導体層108へ水素が拡散することを抑制するブロッキング膜として機能する。絶縁層110b1及び絶縁層110b3は、トランジスタの外から絶縁層110b1及び絶縁層110b3を介して、半導体層108へ水素が拡散することを抑制するブロッキング膜として機能する。絶縁層110

a 1 及び絶縁層 110 a 3 の膜密度は、絶縁層 110 a 2 の膜密度よりも高いことが好ましい。絶縁層 110 b 1 及び絶縁層 110 b 3 の膜密度は、絶縁層 110 b 2 の膜密度よりも高いことが好ましい。絶縁層の膜密度を高くすることで、酸素及び水素のブロッキング性を高めることができる。絶縁層 110 a 2 及び絶縁層 110 b 2 に酸化シリコン又は酸化窒化シリコンを用いる場合、絶縁層 110 a 1、絶縁層 110 a 3、絶縁層 110 b 1、及び絶縁層 110 b 3 には、それぞれ、窒化シリコン又は窒化酸化シリコンを用いることができる。また、絶縁層 110 a 1、絶縁層 110 a 3、絶縁層 110 b 1、及び絶縁層 110 b 3 として、酸化ハフニウム又は酸化アルミニウムを好適に用いることができる。

[0167]

また、絶縁層 110 a 1、絶縁層 110 a 3、絶縁層 110 b 1、及び絶縁層 110 b 3 として、それぞれ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、及び酸化アルミニウムから選ばれる二以上を積層した構造を用いることができる。

[0168]

絶縁層 110 b 2 に含まれる酸素が、絶縁層 110 b 2 から上方へ拡散すると、絶縁層 110 b 2 から半導体層 108 へ供給される酸素の量が少なくなってしまう場合がある。絶縁層 110 b 2 上に絶縁層 110 b 1 を設けることにより、絶縁層 110 b 2 に含まれる酸素が、絶縁層 110 b 2 の上方に拡散することを抑制することができる。また、絶縁層 110 b 2 の下に絶縁層 110 b 3 を設けることにより、絶縁層 110 b 2 に含まれる酸素が、絶縁層 110 b 2 の下方に拡散することを抑制することができる。同様に、絶縁層 110 a 2 に含まれる酸素が、絶縁層 110 a 2 から上方へ拡散すると、絶縁層 110 a 2 から半導体層 108 へ供給される酸素の量が少なくなってしまう場合がある。絶縁層 110 a 2 上に絶縁層 110 a 3 を設けることにより、絶縁層 110 a 2 に含まれる酸素が、絶縁層 110 a 2 の上方に拡散することを抑制することができる。また、絶縁層 110 a 2 の下に絶縁層 110 a 1 を設けることにより、絶縁層 110 a 2 に含まれる酸素が、絶縁層 110 a 2 の下方に拡散することを抑制することができる。したがって、絶縁層 110 a 2 及び絶縁層 110 b 2 から半導体層 108 へ供給される酸素の量が増え、半導体層 108 中の酸素欠損 (V_o) 及び V_oH を低減することができる。

[0169]

絶縁層 110 a 2 に含まれる酸素によって、導電層 112 a 及び導電層 114 が酸化され、抵抗が高くなってしまう場合がある。導電層 112 a 及び導電層 114 が酸化されることにより、絶縁層 110 a 2 から半導体層 108 に供給される酸素の量が少なくなってしまう場合がある。絶縁層 110 a 2 と導電層 112 a との間に絶縁層 110 a 1 を、絶縁層 110 a 2 と導電層 114 との間に絶縁層 110 a 3 を、それぞれ設けることにより、導電層 112 a 及び導電層 114 が酸化され、抵抗が高くなることを抑制することができる。同様に、絶縁層 110 b 2 と導電層 112 b との間に絶縁層 110 b 1 を、絶縁層 110 b 2 と導電層 114 との間に絶縁層 110 b 3 を、それぞれ設けることにより、導電層 112 b 及び導電層 114 が酸化され、抵抗が高くなることを抑制することができる。それとともに、絶縁層 110 a 2 及び絶縁層 110 b 2 から半導体層 108 へ供給される酸素の量が増え、半導体層 108 中の酸素欠損 (V_o) 及び V_oH を低減することができる。

[0170]

また、絶縁層 110 a 1、絶縁層 110 a 3、絶縁層 110 b 1、及び絶縁層 110 b 3 を設けることにより、半導体層 108 への水素の拡散を抑制し、半導体層 108 中の酸素欠損 (V_o) 及び V_oH

oHを低減することができる。

[0171]

絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3は、それぞれ、酸素及び水素のブロッキング膜として機能する膜厚であることが好ましい。膜厚が薄いと、ブロッキング膜としての機能が低くなってしまう場合がある。一方、膜厚が厚いと、絶縁層110a2及び絶縁層110b2と対向する半導体層108の領域が狭くなり、半導体層108へ供給される酸素の量が少なくなってしまう場合がある。絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3の膜厚（被形成面に対する膜厚）は、それぞれ、1nm以上200nm以下、1nm以上100nm以下、1nm以上60nm以下、1nm以上50nm以下、1nm以上40nm以下、1nm以上30nm以下、1nm以上20nm以下、1nm以上10nm以下、1nm以上5nm以下、又は、2nm以上5nm以下が好ましい。

[0172]

[絶縁層106、絶縁層110s]

ゲート絶縁層として機能する絶縁層106及び絶縁層110sは、欠陥密度が低いことが好ましい。絶縁層106及び絶縁層110sの欠陥密度が低いことにより、良好な電気特性を示すトランジスタとすることができる。さらに、絶縁層106及び絶縁層110sは、絶縁耐圧が高いことが好ましい。絶縁層106及び絶縁層110sの絶縁耐圧が高いことにより、信頼性の高いトランジスタとすることができる。

[0173]

絶縁層106及び絶縁層110sには、それぞれ、例えば、絶縁性を有する酸化物、酸化窒化物、窒化酸化物、及び窒化物の一又は複数を用いることができる。絶縁層106及び絶縁層110sには、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、及びGa-Zn酸化物の一又は複数を用いることができる。絶縁層106及び絶縁層110sは、それぞれ、単層でもよく、積層であってもよい。絶縁層106及び絶縁層110sは、例えば、酸化物と窒化物の積層構造としてもよい。

[0174]

なお、微細なトランジスタにおいて、ゲート絶縁層の膜厚が薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k材料ともいう。）を用いることで、物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。high-k材料として、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、又は、シリコン及びハフニウムを有する窒化物が挙げられる。

[0175]

絶縁層106及び絶縁層110sは、自身からの不純物（例えば、水、及び水素）の放出が少ないことが好ましい。絶縁層106及び絶縁層110sからの不純物の放出が少ないことにより、当該不純物が半導体層108に拡散することが抑制され、良好な電気特性を示し、かつ、信頼性の高いトランジスタとすることができる。

[0176]

絶縁層106は、半導体層108上に形成されるため、半導体層108へのダメージが少ない条件で形成される膜であることが好ましい。例えば、成膜速度（成膜レートともいう。）が十分に遅い条件で形成することが好ましい。例えば、プラズマCVD法により絶縁層106を形成する場合、低電力の条件で形成することにより、半導体層108に与えるダメージを小さくすることができる。

[0177]

ここで、半導体層108に金属酸化物を用いる構成を例に挙げて、絶縁層106及び絶縁層110sについて、具体的に説明する。

[0178]

半導体層108との界面特性を向上させるため、絶縁層106及び絶縁層110sの少なくとも半導体層108と接する側には、酸化物及び酸化窒化物の一以上を用いることが好ましい。絶縁層106及び絶縁層110sには、例えば、酸化シリコン及び酸化窒化シリコンの一以上を好適に用いることができる。また、絶縁層106及び絶縁層110sには、加熱により酸素を放出する膜を用いるとより好ましい。

[0179]

なお、絶縁層106及び絶縁層110sを、積層構造としてもよい。絶縁層106は、半導体層108と接する側の酸化物膜又は酸化窒化物膜と、導電層104と接する側の窒化物膜との積層構造とすることができる。同様に、絶縁層110sは、半導体層108と接する側の酸化物膜又は酸化窒化物膜と、導電層114と接する側の窒化物膜との積層構造とすることができる。当該酸化物膜又は酸化窒化物膜として、例えば、酸化シリコン及び酸化窒化シリコンの一以上を好適に用いることができる。当該窒化物膜として、窒化シリコンを好適に用いることができる。

[0180]

絶縁層106及び絶縁層110sの膜厚（被形成面に対する膜厚）は、1nm以上100nm以下とすることがさらに好ましい。絶縁層106及び絶縁層110sは、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0181]

また、絶縁層106及び絶縁層110sは、酸素を供給する機能を有することが好ましい。

[0182]

[導電層112a、導電層112b]

ソース電極及びドレイン電極として機能する導電層112a及び導電層112bは、それぞれ、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一又は複数、若しくは、前述した金属の一又は複数を成分とする合金を用いて、それぞれ形成することができる。導電層112a及び導電層112bには、それぞれ、銅、銀、金、又はアルミニウムの一又は複数を含む、低抵抗な導電性材料を好適に用いることができる。特に、銅又はアルミニウムは、量産性に優れるため好ましい。

[0183]

導電層112a及び導電層112bには、それぞれ、金属酸化物膜（酸化物導電体ともいう。）を用いることができる。酸化物導電体（OC: Oxide Conductor）として、例えば、In-Sn酸化物（ITO）、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Zn酸化物、In-Sn-Si酸化物（ITSO）、及びIn-Ga-Zn

酸化物が挙げられる。

[0184]

ここで、酸化物導電体(OC)について説明を行う。例えば、半導体特性を有する金属酸化物に酸素欠損を形成し、当該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0185]

導電層112a及び導電層112bは、それぞれ、前述の酸化物導電体(金属酸化物)を含む導電膜と、金属又は合金を含む導電膜と、の積層構造としてもよい。金属又は合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0186]

導電層112a及び導電層112bには、それぞれ、Cu-X合金膜(Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、又はTi)を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチング法により加工することができるため、製造コストを抑制することが可能となる。

[0187]

なお、導電層112a及び導電層112bで、互いに同じ材料を用いてもよく、互いに異なる材料を用いてもよい。

[0188]

ここで、半導体層108に金属酸化物を用いる構成を例に挙げて、導電層112a及び導電層112bについて、具体的に説明する。

[0189]

半導体層108に酸化物半導体を用いる場合、半導体層108に含まれる酸素によって導電層112a及び導電層112bが酸化され、抵抗が高くなってしまう場合がある。絶縁層110a及び絶縁層110b、並びに、絶縁層110sに含まれる酸素によって導電層112a及び導電層112bが酸化され、抵抗が高くなってしまう場合がある。また、半導体層108に含まれる酸素によって導電層112a及び導電層112bが酸化されることにより、半導体層108中の酸素欠損(V_o)が増加してしまう場合がある。絶縁層110a及び絶縁層110b、並びに、絶縁層110sに含まれる酸素によって導電層112a及び導電層112bが酸化されることにより、絶縁層110a及び絶縁層110b、並びに、絶縁層110sから半導体層108に供給される酸素の量が少なくなってしまう場合がある。

[0190]

導電層112a及び導電層112bには、それぞれ、酸化されにくい材料を用いることが好ましい。導電層112a及び導電層112bには、それぞれ、酸化物導電体を用いることが好ましい。例えば、In-Sn酸化物(ITO)又はIn-Sn-Si酸化物(ITSO)を好適に用いることができる。導電層112a及び導電層112bには、それぞれ、窒化物導電体を用いてもよい。窒化物導電体として、窒化タンタル及び窒化チタンが挙げられる。導電層112a及び導電層112bは、それぞれ、前述の材料の積層構造を有してもよい。

[0191]

導電層112a及び導電層112bに酸化されにくい材料を用いることにより、半導体層108に含まれる酸素、又は、絶縁層110a、絶縁層110b、及び絶縁層110sに含まれる酸素によつ

て酸化され、抵抗が高くなることを抑制することができる。また、半導体層 108 中の酸素欠損 (V_o) の増加が抑制されるとともに、絶縁層 110a、絶縁層 110b、及び絶縁層 110s から半導体層 108 に供給される酸素の量を増やすことができる。

[0192]

[導電層 104、導電層 114]

ゲート電極及びバックゲート電極として機能する導電層 104 及び導電層 114 としては、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、モリブデン、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、及びニオブの一又は複数、若しくは、前述した金属の一又は複数を成分とする合金を用いて、それぞれ形成することができる。また、導電層 104 及び導電層 114 として、上記導電層 112a 及び導電層 112b に用いることができる材料を適用してもよい。

[0193]

なお、図 1B 等では、導電層 104 を単層構造として示しているが、この限りではない。例えば、導電層 104 を 2 層以上の積層構造としてもよい。例えば、導電層 104 を 2 層積層構造とする場合、1 層目の導電層 (絶縁層 106 側の導電層) として、窒化物又は酸化物を用いることができ、2 層目の導電層として、クロム、銅、アルミニウム、金、銀、亜鉛、モリブデン、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、及びニオブの一又は複数、若しくは、前述した金属の一又は複数を成分とする合金を用いることができる。また、例えば、導電層 104 を 3 層積層構造とする場合、1 層目の導電層 (絶縁層 106 側の導電層) として、上述の金属の一又は複数を成分とする合金、又は、当該金属又は当該合金の窒化物を用いることができ、2 層目の導電層として、上述の金属の一又は複数を成分とする合金を用いることができ、3 層目の導電層として、上述の金属の一又は複数を成分とする合金、又は、当該金属又は当該合金の窒化物を用いることができる。

[0194]

[絶縁層 195]

トランジスタ 100 の保護層として機能する絶縁層 195 には、不純物が拡散しにくい材料を用いることが好ましい。絶縁層 195 を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制することができ、トランジスタの信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。絶縁層 195 は、無機材料を有する絶縁層、又は、有機材料を有する絶縁層とすることができる。絶縁層 195 には、例えば、酸化物、酸化窒化物、窒化酸化物、又は窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を用いることができる。有機材料として、例えば、アクリル樹脂及びポリイミド樹脂の一又は複数を用いることができる。有機材料には、感光性の材料を用いてもよい。また、上述の絶縁膜を 2 以上積層して用いてもよい。絶縁層 195 は、無機材料を有する絶縁層と、有機材料を有する絶縁層と、の積層構造としてもよい。

[0195]

[基板 102]

基板 102 の材質に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、シリコン又は炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板、ガラス基板、石英基板、サファイア基板、セラミック基板、又は有機樹脂基板を、基板 102 として用いてもよい。また、これらの

基板上に半導体素子が設けられたものを、基板102として用いてもよい。なお、半導体基板及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0196]

基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100等を形成してもよい。又は、基板102とトランジスタ100等の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載するのに用いることができる。その際、トランジスタ100等を耐熱性の劣る基板、又は可撓性基板にも転載することができる。

[0197]

[半導体層108が有する金属酸化物の組成]

半導体層108が有する金属酸化物の組成について、以下で説明する。

[0198]

半導体層108が有する金属酸化物の組成は、トランジスタ100の電気特性及び信頼性に大きく影響する。

[0199]

例えば、金属酸化物のインジウムの含有率を高くすることにより、オン電流の大きいトランジスタを実現することができる。

[0200]

半導体層108にIn-Zn酸化物を用いる場合、インジウムの原子数比が亜鉛の原子数比以上である金属酸化物を適用することが好ましい。例えば、金属元素の原子数比が、 $\text{In} : \text{Zn} = 1 : 1$ 、 $\text{In} : \text{Zn} = 2 : 1$ 、 $\text{In} : \text{Zn} = 3 : 1$ 、 $\text{In} : \text{Zn} = 4 : 1$ 、 $\text{In} : \text{Zn} = 5 : 1$ 、 $\text{In} : \text{Zn} = 7 : 1$ 、又は $\text{In} : \text{Zn} = 10 : 1$ 、又はこれらの近傍の金属酸化物を用いることができる。

[0201]

半導体層108にIn-Sn酸化物を用いる場合、インジウムの原子数比がスズの原子数比以上である金属酸化物を適用することが好ましい。例えば、金属元素の原子数比が、 $\text{In} : \text{Sn} = 1 : 1$ 、 $\text{In} : \text{Sn} = 2 : 1$ 、 $\text{In} : \text{Sn} = 3 : 1$ 、 $\text{In} : \text{Sn} = 4 : 1$ 、 $\text{In} : \text{Sn} = 5 : 1$ 、 $\text{In} : \text{Sn} = 7 : 1$ 、又は $\text{In} : \text{Sn} = 10 : 1$ 、又はこれらの近傍の金属酸化物を用いることができる。

[0202]

半導体層108にIn-M-Zn酸化物を用いる場合、金属元素の原子数に対するインジウムの原子数比が、元素Mの原子数比よりも高い金属酸化物を適用することができる。さらには、亜鉛の原子数比が、元素Mの原子数比よりも高い金属酸化物を用いることが、より好ましい。例えば、半導体層108には、金属元素の原子数比が、 $\text{In} : \text{M} : \text{Zn} = 2 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 4 : 2 : 4$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 6 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 3$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 7$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 8$ 、 $\text{In} : \text{M} : \text{Zn} = 5 : 2 : 5$ 、 $\text{In} : \text{M} : \text{Zn} = 10 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 20 : 1 : 10$ 、 $\text{In} : \text{M} : \text{Zn} = 40 : 1 : 10$ 、又はこれらの近傍の金属酸化物を用いることができる。

[0203]

なお、元素Mとして複数の金属元素を有する場合は、当該金属元素の原子数比の合計を、元素Mの

原子数比とすることができる。例えば、元素Mとしてガリウムとアルミニウムを有する In-Ga-Al-Zn 酸化物の場合、ガリウムの原子数比とアルミニウムの原子数比の合計を元素Mの原子数比とすることができる。また、インジウム、元素M、及び亜鉛の原子数比が前述の範囲であることが好ましい。例えば、元素Mとしてガリウムとスズを有する In-Ga-Sn-Zn 酸化物の場合、ガリウムの原子数比とスズの原子数比の合計を元素Mの原子数比とすることができる。また、インジウム、元素M、及び亜鉛の原子数比が前述の範囲であることが好ましい。

[0204]

金属酸化物に含有される金属元素の原子数に対するインジウムの原子数の割合が、30原子%以上100原子%以下、好ましくは30原子%以上95原子%以下、より好ましくは35原子%以上95原子%以下、より好ましくは35原子%以上90原子%以下、より好ましくは40原子%以上90原子%以下、より好ましくは45原子%以上90原子%以下、より好ましくは50原子%以上80原子%以下、より好ましくは60原子%以上80原子%以下、より好ましくは70原子%以上80原子%以下である金属酸化物を用いることが好ましい。例えば、半導体層108に In-Ga-Zn 酸化物を用いる場合、インジウム、元素M、及び亜鉛の原子数の合計に対する、インジウムの原子数の割合が前述の範囲であることが好ましい。

[0205]

本明細書等において、含有される金属元素の原子数に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0206]

金属酸化物のインジウムの含有率を高くすることにより、オン電流の大きいトランジスタとすることができる。当該トランジスタを大きいオン電流が求められるトランジスタに適用することにより、優れた電気特性を有する半導体装置とすることができる。

[0207]

金属酸化物の組成の分析には、例えば、EDX、XPS、誘導結合プラズマ質量分析法 (ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)、又は誘導結合高周波プラズマ発光分光法 (ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。又は、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と、分析によって得られた含有率と、が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる、定量が困難となる、又は検出されない場合がある。

[0208]

本明細書等において、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。例えば、原子数比が $\text{In:M:Zn} = 4:2:3$ 又はその近傍の組成と記載する場合、インジウムの原子数比を4としたとき、Mの原子数比が1以上3以下であり、亜鉛の原子数比が2以上4以下である場合を含む。また、原子数比が $\text{In:M:Zn} = 5:1:6$ 又はその近傍の組成と記載する場合、インジウムの原子数比を5としたときに、Mの原子数比が0.1より大きく2以下であり、亜鉛の原子数比が5以上7以下である場合を含む。また、原子数比が $\text{In:M:Zn} = 1:1:1$ 又はその近傍の組成と記載する場合、インジウムの原子数比を1としたときに、Mの原子数比が0.1より大きく2以下であり、亜鉛の原子数比が0.1より大きく2以下である場合を含む。

[0209]

ここで、トランジスタの信頼性について、説明する。トランジスタの信頼性を評価する指標の1つとして、ゲートに電界を印加した状態で、高温下で保持する、GBT (Gate Bias Temperature) ストレス試験がある。その中でも、ソース電位及びドレイン電位に対して、ゲートに正の電位 (正バイアス) を与えた状態で、高温下で保持する試験をPBT S (Positive Bias Temperature Stress) 試験、ゲートに負の電位 (負バイアス) を与えた状態で、高温下で保持する試験をNB T S (Negative Bias Temperature Stress) 試験と呼ぶ。また、光を照射した状態で行うPBT S試験及びNB T S試験を、それぞれ、PBT I S (Positive Bias Temperature Illumination Stress) 試験、NB T I S (Negative Bias Temperature Illumination Stress) 試験と呼ぶ。

[0210]

nチャネル型のトランジスタにおいては、トランジスタをオン状態 (電流を流す状態) とする際にゲートに正の電位が与えられるため、PBT S試験でのしきい値電圧の変動量が、トランジスタの信頼性の指標として着目すべき重要な項目の1つとなる。

[0211]

半導体層108にガリウムを含まない、又は、ガリウムの含有率の低い金属酸化物を用いることにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。つまり、PBT S試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。また、ガリウムを含む金属酸化物を用いる場合は、インジウムの含有率よりも、ガリウムの含有率を低くすることが好ましい。これにより、信頼性の高いトランジスタを実現することができる。

[0212]

PBT S試験でのしきい値電圧の変動の1つの要因として、半導体層とゲート絶縁層の界面又は界面近傍における欠陥準位へのキャリアトラップが挙げられる。欠陥準位密度が大きいほど、欠陥準位へのキャリアトラップ量が増えるため、PBT S試験での劣化が顕著になる。半導体層の、ゲート絶縁層と接する領域におけるガリウムの含有率を低くすることにより、当該欠陥準位の生成を抑制することができる。

[0213]

ガリウムを含まない、又は、ガリウムの含有率の低い金属酸化物を半導体層に用いることにより、PBT S試験でのしきい値電圧の変動を抑制することができる理由として、例えば、以下のようなことが考えられる。金属酸化物に含まれるガリウムは、他の金属元素 (例えば、インジウム又は亜鉛) と比較して、酸素を誘引しやすい性質を有する。そのため、ガリウムを多く含む金属酸化物と、ゲート絶縁層と、の界面において、ガリウムがゲート絶縁層中の余剰酸素と結合することにより、キャリア (ここでは電子) トラップサイトを生じさせやすくなると推察される。そのため、ゲートに正の電位を与えた際に、半導体層とゲート絶縁層との界面にキャリアがトラップされることにより、しきい値電圧が変動することが考えられる。

[0214]

より具体的には、半導体層108にIn-Ga-Zn酸化物を用いる場合、インジウムの原子数比が、ガリウムの原子数比よりも高い金属酸化物を、半導体層108に適用することができる。また、亜鉛の原子数比が、ガリウムの原子数比よりも高い金属酸化物を用いることが、より好ましい。言い

換えると、金属元素の原子数比が、 $I n > G a$ 、かつ、 $Z n > G a$ を満たす金属酸化物を、半導体層 108 に適用することが好ましい。

[0215]

半導体層 108 には、含有される金属元素の原子数に対するガリウムの原子数の割合が、0 原子% より高く 50 原子% 以下、好ましくは 0.1 原子% 以上 40 原子% 以下、より好ましくは 0.1 原子% 以上 35 原子% 以下、より好ましくは 0.1 原子% 以上 30 原子% 以下、より好ましくは 0.1 原子% 以上 25 原子% 以下、より好ましくは 0.1 原子% 以上 20 原子% 以下、より好ましくは 0.1 原子% 以上 15 原子% 以下、より好ましくは 0.1 原子% 以上 10 原子% 以下である金属酸化物を用いることが好ましい。半導体層中のガリウムの含有率を低くすることにより、PBT S 試験に対する耐性の高いトランジスタとすることができる。なお、金属酸化物にガリウムを含有させることにより、金属酸化物に酸素欠損 (V_o) が生じにくくなるといった効果を奏する。

[0216]

半導体層 108 に、ガリウムを含まない金属酸化物を適用してもよい。例えば、 $I n - Z n$ 酸化物を半導体層 108 に適用することができる。このとき、金属酸化物に含まれる金属元素の原子数に対するインジウムの原子数比を高くすることにより、トランジスタの電界効果移動度を高めることができる。一方、金属酸化物に含まれる金属元素の原子数に対する亜鉛の原子数比を高くすることにより、結晶性の高い金属酸化物となるため、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。また、半導体層 108 には、酸化インジウムなどの、ガリウム及び亜鉛を含まない金属酸化物を適用してもよい。ガリウムを含まない金属酸化物を用いることにより、特に、PBT S 試験におけるしきい値電圧の変動を極めて小さなものとすることができる。

[0217]

例えば、半導体層 108 に、インジウムと亜鉛を含む酸化物を用いることができる。このとき、金属元素の原子数比が、例えば、 $I n : Z n = 2 : 3$ 、又はこれらの近傍である金属酸化物を用いることができる。

[0218]

なお、代表的にガリウムを挙げて説明したが、ガリウムに代えて元素 M を用いる場合にも適用することができる。半導体層 108 には、インジウムの原子数比が元素 M の原子数比よりも高い金属酸化物を適用することが好ましい。また、亜鉛の原子数比が元素 M の原子数比よりも高い金属酸化物を適用することが好ましい。

[0219]

半導体層 108 に元素 M の含有率が低い金属酸化物を適用することにより、正バイアス印加に対する信頼性が高いトランジスタとすることができる。当該トランジスタを正バイアス印加に対する高い信頼性が求められるトランジスタに適用することにより、高い信頼性を有する半導体装置とすることができる。

[0220]

続いて、光に対するトランジスタの信頼性について、説明する。

[0221]

トランジスタに光が入射することにより、トランジスタの電気特性が変動してしまう場合がある。特に、光が入射し得る領域に適用されるトランジスタは、光照射下での電気特性の変動が小さく、光に対する信頼性が高いことが好ましい。光に対する信頼性は、例えば、NB T I S 試験でのしきい値

電圧の変動量により評価することができる。

[0222]

金属酸化物の元素Mの含有率を高くすることにより、光に対する信頼性の高いトランジスタとすることができる。つまり、NB T I S試験でのしきい値電圧の変動量が小さいトランジスタとすることができる。具体的には、元素Mの原子数比がインジウムの原子数比以上である金属酸化物は、バンドギャップがより大きくなり、トランジスタのNB T I S試験でのしきい値電圧の変動量を小さくすることができる。半導体層108が有する金属酸化物のバンドギャップは、2.0 eV以上が好ましく、さらには2.5 eV以上が好ましく、さらには3.0 eV以上が好ましく、さらには3.2 eV以上が好ましく、さらには3.3 eV以上が好ましく、さらには3.4 eV以上が好ましく、さらには3.5 eV以上が好ましい。

[0223]

例えば、半導体層108には、金属元素の原子数比が、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:3$ 、 $In:M:Zn=1:3:4$ 、又はこれらの近傍の金属酸化物を用いることができる。

[0224]

半導体層108には、特に、含有される金属元素の原子数に対する元素Mの原子数の割合が、20原子%以上70原子%以下、好ましくは30原子%以上70原子%以下、より好ましくは30原子%以上60原子%以下、より好ましくは40原子%以上60原子%以下、より好ましくは50原子%以上60原子%以下である金属酸化物を好適に用いることができる。

[0225]

半導体層108にIn-Ga-Zn酸化物を用いる場合、金属元素の原子数に対するインジウムの原子数比が、ガリウムの原子数比以下の金属酸化物を適用することができる。例えば、金属元素の原子数比が、 $In:Ga:Zn=1:1:1$ 、 $In:Ga:Zn=1:1:1.2$ 、 $In:Ga:Zn=1:3:2$ 、 $In:Ga:Zn=1:3:3$ 、 $In:Ga:Zn=1:3:4$ 、又はこれらの近傍の金属酸化物を用いることができる。

[0226]

半導体層108には、特に、含有される金属元素の原子数に対するガリウムの原子数の割合が、20原子%以上60原子%以下、好ましくは30原子%以上60原子%以下、より好ましくは40原子%以上60原子%以下、より好ましくは50原子%以上60原子%以下である金属酸化物を好適に用いることができる。

[0227]

半導体層108に元素Mの含有率が高い金属酸化物を適用することにより、光に対する信頼性が高いトランジスタとすることができる。当該トランジスタを光に対する高い信頼性が求められるトランジスタに適用することにより、高い信頼性を有する半導体装置とすることができる。

[0228]

前述したように、半導体層108に適用する金属酸化物の組成により、トランジスタの電気特性及び信頼性が異なる。したがって、トランジスタに求められる電気特性及び信頼性に応じて、金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0229]

半導体層 108 は、2 以上の金属酸化物層を有する積層構造としてもよい。半導体層 108 が有する 2 以上の金属酸化物層は、組成が互いに同じ又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成することができるため、製造コストを削減することができる。

[0230]

半導体層 108 が有する 2 以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $I_n : M : Z_n = 1 : 3 : 4$ [原子数比] 若しくはその近傍の組成の第 1 の金属酸化物層と、当該第 1 の金属酸化物層上に設けられる $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] 若しくはその近傍の組成の第 2 の金属酸化物層と、の積層構造を好適に用いることができる。また、元素 M として、ガリウム又はアルミニウムを用いることが特に好ましい。例えば、インジウム酸化物、インジウムガリウム酸化物、及び IGZO の中から選ばれるいずれか一と、IAZO、IAGZO、及び ITZO（登録商標）の中から選ばれるいずれか一と、の積層構造を用いてもよい。

[0231]

[構成例 2]

図 5A に、図 1A 乃至図 2 に示すトランジスタ 100 とは異なる構成のトランジスタ 100A の構成例を示す。図 5A は、図 1A に示す平面図の一点鎖線 A1-A2 に対応するトランジスタ 100A の断面図である。図 5B は、図 5A に示す領域 162 の拡大図である。

[0232]

図 5A に示すトランジスタ 100A は、絶縁層 110s が、絶縁層 110s1 と、絶縁層 110s1 上の絶縁層 110s2 と、の積層構造を有する点で、図 1B に示すトランジスタ 100 と主に異なる。絶縁層 110s1 は、導電層 112a の上面、絶縁層 110a の側面、導電層 114 の側面、絶縁層 110b の側面、及び、導電層 112b の側面に接して設けられる。絶縁層 110s2 は、絶縁層 110s1 を介して、導電層 112a の上面、絶縁層 110a の側面、導電層 114 の側面、絶縁層 110b の側面、及び、導電層 112b の側面と対向するように設けられる。

[0233]

絶縁層 110s1 として、例えば、絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 に用いる材料、及び作製方法、等を適用することができる。また、絶縁層 110s2 として、例えば、絶縁層 110a2 及び絶縁層 110b2 に用いる材料、及び作製方法、等を適用することができる。

[0234]

酸素を供給する機能を有する絶縁層 110s2 が、導電層 114 と接する構成の場合には、導電層 114 が酸化され、絶縁層 110s2 が有する酸素の量が減少し、絶縁層 110s2 から半導体層 108 へ供給される酸素量が減少する懸念がある。絶縁層 110s を絶縁層 110s1 と、絶縁層 110s2 と、の積層構造とすることにより、絶縁層 110s2 と、導電層 114 と、が接しない構成とすることができる。これにより、絶縁層 110s2 が有する酸素によって、導電層 114 が酸化されることを抑制することができる。また、絶縁層 110s2 から半導体層 108 へ供給される酸素の量が減少することを抑制することができる。

[0235]

[構成例 3]

図 6A に、図 1A 乃至図 2 に示すトランジスタ 100 とは異なる構成のトランジスタ 100B の構

成例を示す。図6Aは、図1Aに示す平面図の一点鎖線A1-A2に対応するトランジスタ100Bの断面図である。図6Bは、図6Aに示す領域162の拡大図である。

[0236]

図6Aに示すトランジスタ100Bは、導電層114と、絶縁層110sと、の間に絶縁層110gを有する点で、図1Bに示すトランジスタ100と主に異なる。

[0237]

絶縁層110gは、例えば、導電層114が有する元素の酸化物を有する。導電層114が金属である場合には、例えば、絶縁層110gは当該金属の酸化物である。また、導電層114がシリコンである場合には、例えば、絶縁層110gはシリコン酸化物である。絶縁層110gとして、例えば、酸化アルミニウム、酸化タンタル、等の金属酸化物を用いることができ、特に、酸化アルミニウムを用いることが好ましい。

[0238]

また、絶縁層110gは、トランジスタ100Bのゲート絶縁層（第2のゲート絶縁層）として機能することができる。図6Aに示す構成において、例えば、絶縁層110sと絶縁層110gの積層構造が、トランジスタ100Bのゲート絶縁層（第2のゲート絶縁層）として機能する。

[0239]

なお、トランジスタ100Bにおいては、ゲート絶縁層（第2のゲート絶縁層）として絶縁層110sと絶縁層110gの積層構造を用いるため、絶縁層110gの絶縁性が絶縁層110sの絶縁性と比べて低くても、絶縁層110sと積層することにより十分な絶縁性が得られる場合には、トランジスタ100Bの電気特性及び信頼性を十分に確保することができる場合がある。

[0240]

トランジスタ100Bが絶縁層110gを有することにより、絶縁層110sの膜厚を薄くすることができる場合がある。絶縁層110sの膜厚を薄くすることにより、トランジスタ100Bの第2のゲート電極（導電層114）から半導体層108に印加される電界の効きを強めることができる。絶縁層110gとして、例えば、絶縁層110sに用いる材料よりも、比誘電率の高い材料を好適に用いることができる。

[0241]

絶縁層110gは、例えば、導電層114の表面に接するように酸素を供給可能な層を成膜し、当該層を介した絶縁層110a2及び絶縁層110b2からの酸素供給によって導電層114の表面を酸化させることによって、自己整合的に形成することができる。絶縁層110sの形成時のエッチングにおいて、絶縁層110sの上端部の高さが導電層114の上面の高さよりも低くなる場合、あるいは、絶縁層110sの上端部の高さが導電層114の上面の高さよりも高いもののその差が小さい場合においては、半導体層108と、導電層114と、の間にリーク電流が流れ、トランジスタ100Bの電気特性が低下する懸念がある。このような場合においても、トランジスタ100Bは、絶縁層110gを有することにより、半導体層108と、導電層114と、の間のリークを抑制することができる。

[0242]

[構成例4]

図7Aに、図1A乃至図2に示すトランジスタ100とは異なる構成のトランジスタ100Cの構成例を示す。図7Aは、図1Aに示す平面図の一点鎖線A1-A2に対応するトランジスタ100C

の断面図である。図7Bは、図7Aに示す領域162の拡大図である。

[0243]

図7Aに示すトランジスタ100Cは、導電層112bを有さない点、及び、半導体層108の端部が、平面視にて、導電層114及び導電層112aの外側まで延伸している点で、図1Bに示すトランジスタ100と主に異なる。

[0244]

トランジスタ100Cでは、半導体層108は、導電層112aの上面、絶縁層110sの側面、及び、絶縁層110bの上面に接する領域を有する。トランジスタ100Cにおいて、半導体層108は、チャネル形成領域を有する半導体層としての機能と、ソース電極又はドレイン電極の他方としての機能と、を兼ねることができる。例えば、半導体層108のうち、絶縁層110sと対向する領域は、チャネル形成領域として機能することができる。また、チャネル形成領域の外側に位置する領域（絶縁層110bの上面に接する領域）は、ソース電極又はドレイン電極の他方として機能することができる。

[0245]

例えば、半導体層108に対して、基板面に対して垂直な方向から、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理等を用いて、ホウ素等の不純物を供給することで、半導体層108を低抵抗化することができる。又は、半導体層108に酸化物半導体を用いる場合、半導体層108上の絶縁層110bと重なる領域に窒化シリコン膜等を形成することで、半導体層108の一部を酸化物導電体(OC)とし、半導体層108に低抵抗な領域を形成することができる。このようにして、半導体層108のソース領域及びドレイン領域に対応する領域を、チャネル形成領域よりも低抵抗化させることができる。そのため、半導体層108に、チャネル形成領域と、チャネル形成領域よりも低抵抗なソース領域及びドレイン領域と、を作り分けることができる。これにより、トランジスタ100Cでは、導電層112bを設けなくても、半導体層108内にソース電極及びドレイン電極に相当する領域を形成することができる。よって、トランジスタ100Cでは、導電層112bを設けない分、トランジスタの作製に係る工程数を削減することができる。

[0246]

[構成例5]

図8Aに、図1A乃至図2に示すトランジスタ100とは異なる構成のトランジスタ100Dの構成例を示す。図8Aは、図1Aに示す平面図の一点鎖線A1-A2に対応するトランジスタ100Dの断面図である。図8Bは、図8Aに示す領域162の拡大図である。

[0247]

図8Aに示すトランジスタ100Dは、絶縁層110a及び絶縁層110bの構成が、それぞれ単層構造である点で、図7Aに示すトランジスタ100Cと主に異なる。

[0248]

トランジスタ100Dにおいて、絶縁層110a及び絶縁層110bには、前述した絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3に用いることができる材料を用いることが好ましい。すなわち、酸素及び水素に対するブロッキング性の高い材料を用いることが好ましい。これにより、絶縁層110a及び絶縁層110bの外側からの酸素の拡散によって、導電層114が酸化されることを抑制することができる。また、半導体層108中の酸素が、絶縁層110a及び絶縁層110b側に拡散し、半導体層108中に酸素欠損(V_O)が形成されることを抑制す

ることができる。また、絶縁層 110a 及び絶縁層 110b が単層構造であることにより、トランジスタ 100 等に比べて、絶縁層 110a 及び絶縁層 110b の形成に係る工程数を削減することができる。

[0249]

〔構成例 6〕

図 9A に、図 1A 乃至図 2 に示すトランジスタ 100 とは異なる構成のトランジスタ 100E の構成例を示す。図 9A は、図 1A に示す平面図の一点鎖線 A1-A2 に対応するトランジスタ 100E の断面図である。

[0250]

図 9A に示すトランジスタ 100E は、導電層 112a の構成が積層構造である点で、図 1B に示すトランジスタ 100 と主に異なる。

[0251]

トランジスタ 100E では、導電層 112a は、導電層 112a__1 と、導電層 112a__1 上の導電層 112a__2 と、の積層構造を有する。導電層 112a__1 は、絶縁層 115 に形成された開口に埋め込まれるように設けられ、導電層 112a__1 の上面と、絶縁層 115 の上面と、は平坦化されている。導電層 112a__2 は、導電層 112a__1 上及び絶縁層 115 上に位置する。トランジスタ 100E では、基板面に対する絶縁層 115 の上面の高さと、基板面に対する導電層 112a__1 の上面の高さと、が一致又は概略一致する構成を有する。

[0252]

トランジスタ 100E において、絶縁層 115 の上面の高さと、導電層 112a__1 の上面の高さと、が一致又は概略一致する構成とすることにより、一致又は概略一致しない構成よりも、絶縁層 110a、絶縁層 110b、及び導電層 112b の被形成面の段差を小さくすることができる。これにより、導電層 112b の上面に形成され得る段差、及び、絶縁層 110b の上面に形成され得る段差を小さくすることができる。そのため、絶縁層 110s の形成工程（例えば、エッチバック工程等）において、導電層 112b の上面、及び、絶縁層 110b の上面に絶縁層が残存することを抑制することができる。絶縁層 110a、絶縁層 110b、導電層 114、及び導電層 112b のそれぞれの開口の側壁に、選択的に絶縁層を形成することができる。

[0253]

なお、トランジスタ 100E においては、導電層 112a__2 の端部が、導電層 112a__1 の端部よりも外側に位置する例を示すが、導電層 112a__2 の端部が、導電層 112a__1 の端部よりも内側に位置してもよい。また、導電層 112a と、上部の導電層と、を接続するプラグ（図示しない。）を設ける場合において、導電層 112a__2 を導電層 112a__1 の外側に延伸させ、当該延伸させた領域において、導電層 112a__2 の上面と、当該プラグと、が接する構成としてもよい。当該プラグは、絶縁層 110a、絶縁層 110b、絶縁層 195 等に形成された開口（図示しない。）を埋めるように設けられる。

[0254]

前述したように、半導体層 108 と接する導電層 112a 及び導電層 112b には、酸化されにくい材料を用いることが好ましい。しかしながら、酸化されにくい材料を用いる場合、導電層 112a 及び導電層 112b の抵抗が高くなってしまう場合がある。導電層 112a 及び導電層 112b は配線として機能するため、抵抗は低いことが好ましい。そこで、半導体層 108 と接する領域を有する

導電層 112a__2 に酸化されにくい材料を用い、半導体層 108 と接する領域を有さない導電層 112a__1 に抵抗の低い材料を用いることで、導電層 112a の抵抗を低くすることができる。さらに、半導体層 108 中の酸素欠損 (V_o) 及び V_oH を低減することができる。

[0255]

また、前述したように、特に、チャネル長 L_{100} が短い場合、チャネル形成領域の酸素欠損 (V_o) 及び V_oH の、トランジスタの電気特性及び信頼性に及ぼす影響が大きくなる。導電層 112a__2 に酸化されにくい材料を用いることにより、半導体層 108 中の酸素欠損 (V_o) 及び V_oH の増加を抑制することができる。したがって、良好な電気特性、及び、高い信頼性を有するチャネル長の短いトランジスタを実現することができる。

[0256]

導電層 112a__2 には、酸化物導電体及び窒化物導電体の一又は複数を好適に用いることができる。導電層 112a__1 には、導電層 112a__2 より抵抗の低い材料を用いることが好ましい。導電層 112a__1 には、例えば、銅、アルミニウム、チタン、タングステン、及びモリブデンの一又は複数、若しくは、前述した金属の一又は複数を成分とする合金を好適に用いることができる。具体的には、導電層 112a__2 に $In-Sn-Si$ 酸化物 (ITSO) を、導電層 112a__1 にタングステンを好適に用いることができる。

[0257]

なお、導電層 112a の構成は、導電層 112a に求められる配線抵抗に応じて決めればよい。例えば、配線 (導電層 112a) の長さが短く、求められる配線抵抗が比較的高くても問題ない場合は、導電層 112a を単層構造とし、酸化されにくい材料を適用してもよい。一方、配線 (導電層 112a) の長さが長く、求められる配線抵抗が比較的低い場合は、導電層 112a に酸化されにくい材料と抵抗の低い材料との積層構造を適用することが好ましい。

[0258]

また、絶縁層 115 には、無機絶縁材料又は有機絶縁材料を用いることができる。絶縁層 115 は、無機絶縁材料と有機絶縁材料の積層構造としてもよい。例えば、絶縁層 115 として、絶縁層 110a2、絶縁層 110b2、絶縁層 195 等で挙げた材料及び構成を好適に用いることができる。

[0259]

[構成例 7]

図 9B に、図 1A 乃至図 2 に示すトランジスタ 100 とは異なる構成のトランジスタ 100F の構成例を示す。図 9B は、図 1A に示す平面図の一点鎖線 A1-A2 に対応するトランジスタ 100F の断面図である。

[0260]

図 9B に示すトランジスタ 100F は、導電層 104 の構成、及び、絶縁層 195 の構成が、図 1B に示すトランジスタ 100 と主に異なる。

[0261]

トランジスタ 100F では、導電層 104 が、絶縁層 110s の側面、及び、導電層 112a の上面に沿った形状を反映した凹部を埋め込むように半導体層 108 上及び絶縁層 106 上に設けられており、かつ、絶縁層 195 が、導電層 104 を埋め込むように設けられている。トランジスタ 100F では、導電層 104 の上面、及び、絶縁層 195 の上面が平坦化されている。また、トランジスタ 100F では、基板面に対する導電層 104 の上面の高さと、基板面に対する絶縁層 195 の上面

の高さと、が一致又は概略一致する構成を有する。

[0262]

トランジスタ100Fが、上述の構成を有することで、導電層104上及び絶縁層195上に設けられる膜の被覆性を向上させることができる。

[0263]

〔構成例8〕

図10に、図1A乃至図2に示すトランジスタ100とは異なる構成のトランジスタ100Gの構成例を示す。図10は、図1Aに示す平面図の一点鎖線A1-A2に対応するトランジスタ100Gの断面図である。

[0264]

図10に示すトランジスタ100Gは、絶縁層110sの構成が、図1Bに示すトランジスタ100と主に異なる。

[0265]

トランジスタ100Gでは、絶縁層110sの底面が、絶縁層110a1の上面に接し、絶縁層110a1の側面が、半導体層108に接する構成を有している。すなわち、トランジスタ100Gでは、絶縁層110sが、導電層112aに接しない構成を有する。

[0266]

前述のように、絶縁層110sは、絶縁層110a2及び絶縁層110b2とともに、半導体層108に酸素を供給する機能を有し得る。そのため、トランジスタ100等のように、絶縁層110sの底面が、導電層112aに接する構成の場合、絶縁層110sから拡散した酸素によって、導電層112aの上面の一部が酸化されて高抵抗化し、トランジスタのオン電流を低下させる不具合を誘発する恐れがある。これに対して、トランジスタ100Gのように、絶縁層110sと導電層112aとが接しない構成とすることで、上記不具合を誘発する恐れを低減することができる。

[0267]

〔構成例9〕

本発明の一態様の半導体装置は、上述のトランジスタ100、トランジスタ100A乃至トランジスタ100Gのいずれか一又は複数で構成することができる。トランジスタ100、トランジスタ100A乃至トランジスタ100Gは、いずれも第2のゲート電極（導電層114）を有するトランジスタである。一方、本発明の一態様の半導体装置は、当該半導体装置が有する全てのトランジスタが第2のゲート電極（導電層114）を有している必要はなく、その一部は、第2のゲート電極（導電層114）を有さないトランジスタであってもよい。

[0268]

図11Aに、第2のゲート電極（導電層114）を有するトランジスタと、第2のゲート電極（導電層114）を有さないトランジスタと、で構成される半導体装置の一例を示す。図11Aでは、第2のゲート電極（導電層114）を有するトランジスタ100と、第2のゲート電極（導電層114）を有さないトランジスタ100Hと、で構成される半導体装置の構成例を示している。トランジスタ100Hは、導電層114を有さない点以外は、トランジスタ100と同様の構成を有する。トランジスタ100Hは、導電層114を有さない分、トランジスタ100よりもチャネル長の短いトランジスタであるといえる。したがって、図11Aに示す半導体装置は、オン電流の飽和特性に優れるトランジスタ100と、オン電流の大きいトランジスタ100Hと、を組み合わせた半導体装置である。

といえる。トランジスタ100と、トランジスタ100Hと、は一部の工程（導電層114の作製工程）以外は、共通の工程で作製することができる。このように、本発明の一態様の半導体装置では、第2のゲート電極（導電層114）を有するトランジスタと、第2のゲート電極（導電層114）を有さないトランジスタと、を同一基板面内で作り分けることができ、それぞれの特長を活かした高い性能の半導体装置を実現することができる。

[0269]

なお、図11Aに示す半導体装置では、第2のゲート電極（導電層114）を有するトランジスタとして、トランジスタ100を適用する例を示したが、この限りではない。第2のゲート電極（導電層114）を有するトランジスタとして、トランジスタ100A乃至トランジスタ100Gのいずれかを適用してもよい。また、図11Aに示す半導体装置では、第2のゲート電極（導電層114）を有さないトランジスタとして、トランジスタ100の導電層114を有さない構成（トランジスタ100H）を適用する例を示したが、この限りではない。第2のゲート電極（導電層114）を有さないトランジスタとして、トランジスタ100A乃至トランジスタ100Gのいずれかにおける、導電層114を有さない構成を適用してもよい。

[0270]

〔構成例10〕

図11Bに、トランジスタ100と、図7Aに示すトランジスタ100Cから第1のゲート電極（導電層104）を除外した構成のトランジスタ100Iと、で構成される半導体装置の一例を示す。

[0271]

前述したように、トランジスタ100Cでは、半導体層108が、チャネル形成領域を有する半導体層としての機能と、ソース電極又はドレイン電極の他方としての機能と、を兼ねることができる。トランジスタ100Iについても、上記と同じことがいえる。すなわち、トランジスタ100Iにおいては、半導体層108のうち、絶縁層110sを介して、導電層114と対向する領域は、チャネル形成領域として機能することができる。また、チャネル形成領域の外側に位置する領域（絶縁層110bの上面に接する領域）は、ソース電極又はドレイン電極の他方として機能することができる。

[0272]

このように、本発明の一態様の半導体装置は、トランジスタ100等のようなゲート電極を2つ有するトランジスタと、トランジスタ100H、トランジスタ100Iのようなゲート電極を1つだけ有するトランジスタと、で構成されていてもよい。トランジスタ100と、トランジスタ100Iと、は一部の工程（導電層104の作製工程）以外は、共通の工程で作製することができる。このように、本発明の一態様の半導体装置では、第2のゲート電極（この場合、導電層104）を有するトランジスタと、第2のゲート電極（この場合、導電層104）を有さないトランジスタと、を同一基板面内で作り分けることができ、それぞれの特長を活かした高い性能の半導体装置を実現することができる。

[0273]

〔構成例11〕

図11Cに、図11Bに示すトランジスタ100Iと、トランジスタ100Cから第2のゲート電極（導電層114）を除外した構成のトランジスタ100Jと、で構成される半導体装置の一例を示す。

[0274]

トランジスタ100Iについては、上述の説明内容を参照することができる。トランジスタ100

Jにおいては、半導体層108のうち、絶縁層106を介して、導電層104と対向する領域が、チャネル形成領域として機能することができる。また、チャネル形成領域の外側に位置する領域（絶縁層110bの上面に接する領域）が、ソース電極又はドレイン電極の他方として機能することができる。

[0275]

トランジスタ100I及びトランジスタ100Jは、いずれもゲート電極を1つだけ有する構成であるが、それぞれ異なる層上に形成された導電層をゲート電極として用いている。トランジスタ100Iと、トランジスタ100Jと、は一部の工程（導電層114及び導電層104の作製工程）以外は、共通の工程で作製することができる。このように、本発明の一態様の半導体装置では、異なる構成のトランジスタを同一基板面内で作り分けることができるため、半導体装置の作製の自由度を高めることができる。

[0276]

<作製方法例>

以下では、本発明の一態様のトランジスタの作製方法について、図面を参照して説明する。ここでは、図1B等に示したトランジスタ100を例に挙げて、説明する。

[0277]

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD:Chemical Vapor Deposition）法、真空蒸着法、パルスレーザ堆積（PLD:Pulsed Laser Deposition）法、原子層堆積（ALD）法等を用いて形成することができる。

[0278]

スパッタリング法には、スパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらに、パルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は、主に、絶縁膜を成膜する場合に用いられ、DCスパッタリング法は、主に、金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0279]

CVD法は、プラズマを利用するプラズマCVD（PECVD）法、熱を利用する熱CVD（TCVD:Thermal CVD）法、光を利用する光CVD（Photo CVD）法等に分類することができる。さらに、用いる原料ガスによって、金属CVD（MCVD:Metal CVD）法、有機金属CVD（MOCVD:Metal Organic CVD）法に分けることができる。

[0280]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量等）等は、プラズマから電荷を受け取ることで、チャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0281]

A L D法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱A L D法、プラズマ励起されたリアクタントを用いるP E A L D法等を用いることができる。

[0282]

C V D法及びA L D法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、A L D法は、比較的成膜速度が遅いため、成膜速度の速いC V D法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0283]

また、C V D法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、C V D法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0284]

また、A L D法では、異なる複数種のプリカーサを同時に導入することで、任意の組成の膜を成膜することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで、任意の組成の膜を成膜することができる。

[0285]

半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成することができる。

[0286]

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工することができる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0287]

フォトリソグラフィ法は、代表的には、以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を形成した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0288]

フォトリソグラフィ法において、露光に用いる光は、例えば、i線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又は、これらを混合させた光を用いることができる。その他、紫外線、K r Fレーザ光、又はA r Fレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（E U V : E x t r e m e U l t r a - V i o l e t）光又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線、又は電子ビームを用いると、極めて微細な加工が可能とな

るため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0289]

薄膜のエッチングには、例えば、ドライエッチング法、ウェットエッチング法、又はサンドブラスト法を用いることができる。

[0290]

薄膜の平坦化処理としては、代表的には、CMP法等の研磨処理法を好適に用いることができる。また、導電層に加熱処理を行い、流動化させるリフロー法を好適に用いることができる。また、リフロー法とCMP法を組み合わせる用いてもよい。その他、ドライエッチング処理、プラズマ処理を用いてもよい。なお、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってよく、それらを組み合わせる行ってもよい。また、組み合わせる行する場合、工程順も特に限定されず、被処理面の凹凸状態に合わせて適宜設定すればよい。

[0291]

薄膜の厚みを所望の厚さになるように精度よく加工するには、例えば、CMP法を用いる。その場合、まず、当該薄膜の上面の一部が露出するまで、一定の加工速度で研磨する。その後、これよりも加工速度の遅い条件で、当該薄膜が所望の厚さになるまで研磨を行うことで、高精度に加工することが可能となる。

[0292]

研磨の終了点を検出する方法としては、被処理面の表面に光を照射し、その反射光の変化を検出する光学的な方法、又は、加工装置が被処理面から受ける研磨抵抗の変化を検出する物理的な方法、被処理面に磁力線を当て、発生する渦電流による磁力線の変化を用いる方法などがある。

[0293]

当該薄膜の上面が露出した後、レーザ干渉計などを用いた光学的な方法により、当該薄膜の厚さを監視しながら、遅い加工速度の条件で研磨処理を行うことで、当該薄膜の厚さを高精度に制御することができる。なお、必要に応じて、当該薄膜が所望の厚さになるまで、研磨処理を複数回行ってよい。

[0294]

図12A乃至図14Cに示す各図は、トランジスタ100の作製方法を説明する図である。各図は、図1Aに示す平面図の一点鎖線A1-A2における断面図を示している。

[0295]

まず、基板102上に、導電層112aとなる導電膜を形成し、当該導電膜の一部を除去することにより、導電層112aを形成する（図12A）。当該導電膜の形成には、例えば、スパッタリング法を用いることができる。また、当該導電膜の加工には、ウェットエッチング法及びドライエッチング法の方又は双方を用いればよい。

[0296]

続いて、導電層112a上及び基板102上に、絶縁膜110a1__fを形成し、絶縁膜110a1__f上に、絶縁膜110a2__fを形成し、絶縁膜110a2__f上に、絶縁膜110a3__fを形成する。

[0297]

絶縁膜110a1__f及び絶縁膜110a3__fには、先に記載の絶縁層110a1及び絶縁層1

1 0 a 3に用いることができる材料を適宜、用いることができる。

[0298]

絶縁膜1 1 0 a 1 __ f 及び絶縁膜1 1 0 a 3 __ f として、例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、又は酸化ハフニウム等を好適に用いることができる。

[0299]

具体的には、絶縁膜1 1 0 a 1 __ f 及び絶縁膜1 1 0 a 3 __ f として、例えば、スパッタリング法を用いて、窒化シリコンを成膜することができる。又は、例えば、PEALD法を用いて、窒化シリコンを成膜することができる。又は、例えば、スパッタリング法を用いて、酸化アルミニウムを成膜することができる。

[0300]

また、例えば、酸化アルミニウムと、窒化シリコンと、を積層した構成を用いることができる。例えば、スパッタリング法を用いて成膜した酸化アルミニウムと、PEALD法を用いて成膜した窒化シリコンと、を積層して用いることができる。

[0301]

絶縁膜1 1 0 a 2 __ f には、先に記載の絶縁層1 1 0 a 2 に用いることができる材料を適宜、用いることができる。

[0302]

絶縁膜1 1 0 a 2 __ f として、例えば、酸化シリコン、酸化窒化シリコン等を好適に用いることができる。

[0303]

具体的には、絶縁膜1 1 0 a 2 __ f として、例えば、スパッタリング法を用いて、酸化シリコンを成膜することができる。又は、例えば、PECVD法を用いて、酸化シリコンを成膜することができる。又は、例えば、PECVD法を用いて、酸化窒化シリコンを成膜することができる。

[0304]

また、例えば、スパッタリング法を用いて成膜した酸化シリコンと、PECVD法を用いて成膜した酸化シリコンあるいは酸化窒化シリコンと、を積層して用いることができる。

[0305]

絶縁膜1 1 0 a 2 __ f を形成した後に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁膜1 1 0 a 2 __ f の表面及び膜中から、水及び水素を脱離させることができる。

[0306]

加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。加熱処理は、貴ガス、窒素又は酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、又は、酸素を含む雰囲気として、乾燥空気(CDA: Clean Dry Air)を用いてもよい。なお、当該雰囲気に水素、水などの含有量が極力少ないことが好ましい。当該雰囲気として、露点が-60℃以下、好ましくは-100℃以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁膜1 1 0 a 2 __ f に水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理には、例えば、オーブン又は急速加熱(RTA: Rapid Thermal Annealing)装置を用いることができる。RTA装置を用い

ることで、加熱処理時間を短縮することができる。

[0307]

上記加熱処理の後に、絶縁膜110a2__fに酸素を供給する工程を行ってもよい。例えば、絶縁膜110a2__fの形成後、絶縁膜110a2__f上に金属酸化物層を形成することにより、絶縁膜110a2__fに酸素を供給してもよい。また、当該金属酸化物層を形成後、加熱処理を行ってもよい。当該金属酸化物層を形成した後に加熱処理を行うことで、当該金属酸化物層から絶縁膜110a2__fに効果的に酸素を供給し、絶縁膜110a2__f中に酸素を含有させることができる。絶縁膜110a2__fに供給された酸素が、後の工程において、半導体層108に供給されることにより、半導体層108中の酸素欠損(V_o)及びV_oHを低減することができる。

[0308]

当該金属酸化物層を形成した後、又は前述の加熱処理の後に、さらに、当該金属酸化物層を介して、絶縁膜110a2__fに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。当該プラズマ処理として、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。

[0309]

当該金属酸化物層は、絶縁層でもよく、また導電層であってもよい。当該金属酸化物層は、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物(ITO)、又は、シリコンを含有したインジウムスズ酸化物(ITSO)を用いることもできる。

[0310]

当該金属酸化物層として、半導体層108と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層108に適用可能な酸化物半導体材料を用いることが好ましい。

[0311]

当該金属酸化物層に、インジウム及びガリウムを含む金属酸化物材料を用いる場合、半導体層108よりもガリウムの組成(含有率)が高い材料を用いることができる。ガリウムの組成(含有率)が高い材料を当該金属酸化物層に用いることにより、酸素に対するブロッキング性をより高めることができる。これにより、絶縁膜110a2__fに供給された酸素が、当該金属酸化物層を介して外部に放出されてしまうことを抑制することができるため、好ましい。

[0312]

当該金属酸化物層は、例えば、酸素を含む雰囲気で形成することが好ましい。特に、酸素を含む雰囲気、スパッタリング法により形成することが好ましい。これにより、当該金属酸化物層の形成の際、絶縁膜110a2__fに酸素を好適に供給することができる。

[0313]

続いて、当該金属酸化物層を除去する。当該金属酸化物層には、例えば、ウェットエッチング法を好適に用いることができる。

[0314]

絶縁膜110a2__fに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁膜110a2__fに対して、イオンドーピング法、イオン注入法、プラズマ処理等により、酸素ラジ

カル、酸素原子、酸素原子イオン、酸素分子イオン等を供給する。また、絶縁膜 110a2__f 上に酸素の脱離を抑制する膜を形成した後、当該膜を介して、絶縁膜 110a2__f に酸素を供給してもよい。当該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、スズ、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、又はタングステンの 1 以上を有する導電膜あるいは半導体膜を用いることができる。

[0315]

続いて、絶縁膜 110a3__f 上に、導電層 114__e となる導電膜を形成し、その一部を除去することにより当該導電膜を加工し、導電層 114__e を形成する (図 12B)。導電層 114__e は、導電層 112a と重なる領域を有するように形成する。なお、後の構成において、導電層 114__e に開口を設けることにより、導電層 114 を形成することができる。

[0316]

続いて、絶縁膜 110a3__f 上及び導電層 114__e 上に、絶縁膜 110b3__f を成膜し、絶縁膜 110b3__f 上に、絶縁膜 110b2__f を成膜し、絶縁膜 110b2__f 上に、絶縁膜 110b1__f を成膜する。

[0317]

絶縁膜 110b2__f には、先に記載の絶縁層 110b2 に用いることができる材料を適宜、用いることができる。また、絶縁膜 110b1__f 及び絶縁膜 110b3__f には、先に記載の絶縁層 110b1 及び絶縁層 110b3 に用いることができる材料を適宜、用いることができる。

[0318]

絶縁膜 110b2__f に用いることができる材料及び成膜方法は、絶縁膜 110a2__f の記載を参照することができる。また、絶縁膜 110b1__f 及び絶縁膜 110b3__f に用いることができる材料及び成膜方法は、絶縁膜 110a1__f 及び絶縁膜 110a3__f の記載を参照することができる。

[0319]

なお、絶縁膜 110b2__f の成膜後に、絶縁膜 110b2__f に酸素を供給する工程を行ってもよい。当該工程については、前述の絶縁膜 110a2__f に酸素を供給する工程に係る記載を参照することができる。

[0320]

続いて、絶縁膜 110b1__f 上に、導電膜 112b__f を成膜する。導電膜 112b__f には、先に記載の導電層 112b に用いることができる材料を適宜、用いることができる。

[0321]

続いて、導電膜 112b__f 上に、フォトリソグラフィを用いて、レジストマスク 191a を形成する (図 12C)。

[0322]

続いて、レジストマスク 191a をマスクとして、導電膜 112b__f、絶縁膜 110b1__f、絶縁膜 110b2__f、絶縁膜 110b3__f、導電層 114__e、絶縁膜 110a3__f、絶縁膜 110a2__f、及び絶縁膜 110a1__f の一部を除去し、開口 (開口 143) を有する導電層 112b__e、開口を有する絶縁層 110b1、開口を有する絶縁層 110b2、開口を有する絶縁層 110b3、開口 (開口 142) を有する導電層 114、開口を有する絶縁層 110a3、開口を有

する絶縁層 110a2、及び、開口を有する絶縁層 110a1 を順に形成し、導電層 112a において、レジストマスク 191a と重畳しない領域の上面を露出させる。その後、レジストマスク 191a を除去する。

[0323]

続いて、導電層 112b__e の上面、導電層 112b__e の開口（開口 143）の側壁（すなわち、導電層 112b__e の開口 143 に面する側の側面）、絶縁層 110b1 の開口の側壁（すなわち、絶縁層 110b1 の開口に面する側の側面）、絶縁層 110b2 の開口の側壁（すなわち、絶縁層 110b2 の開口に面する側の側面）、絶縁層 110b3 の開口の側壁（すなわち、絶縁層 110b3 の開口に面する側の側面）、導電層 114 の開口（開口 142）の側壁（すなわち、導電層 114 の開口 142 に面する側の側面）、絶縁層 110a3 の開口の側壁（すなわち、絶縁層 110a3 の開口に面する側の側面）、絶縁層 110a2 の開口の側壁（すなわち、絶縁層 110a2 の開口に面する側の側面）、絶縁層 110a1 の開口の側壁（すなわち、絶縁層 110a1 の開口に面する側の側面）、及び、露出した導電層 112a の上面に接して、絶縁膜 110s__f を形成する（図 12D）。

[0324]

絶縁膜 110s__f には、先に記載の絶縁層 110s に用いることができる材料を適宜、用いることができる。

[0325]

CVD 法、ALD 法、等を用いて絶縁膜 110s__f を成膜することにより、例えば、絶縁膜 110s__f を、導電層 112b__e の開口の側壁、絶縁層 110b の開口の側壁、導電層 114 の開口の側壁、及び、絶縁層 110a の開口の側壁に良好に被覆することができるため、好ましい。

[0326]

続いて、エッチングにより絶縁膜 110s__f の一部を除去することにより、絶縁層 110s を形成する。具体的には、絶縁膜 110s__f のエッチングによりその一部（導電層 112a の上面に接する領域、及び、導電層 112b__e の上面に接する領域）を除去し、絶縁膜 110s__f において、導電層 112b__e の開口の側壁、絶縁層 110b の開口の側壁、導電層 114 の開口の側壁、及び、絶縁層 110a の開口の側壁に接する領域を残存させることにより、絶縁層 110s を形成することができる。絶縁層 110s の上端部は、湾曲した形状を有する。

[0327]

絶縁膜 110s__f のエッチングには、例えば、異方性エッチングを用いることができる。より具体的には、例えば、ドライエッチングにおいて、異方性の高いエッチングを行うことにより、絶縁層 110s を形成することができる。

[0328]

なお、凹凸のある膜表面に平坦化膜を形成し、平坦化膜ごと凹凸のある膜に対して異方性の高いエッチング（例えば、ドライエッチング）を行うことで、膜の凹凸を低減する工程を、「エッチバック工程」と呼ぶ場合がある。

[0329]

異方性エッチングの条件を変えることにより、図 4A 乃至図 4D に示すように、絶縁層 110s の上端部の高さを調整することができる。

[0330]

続いて、導電層 112b__e の上面などを覆って、レジストマスク 191b を形成する（図 13A）。

その後、レジストマスク 1 9 1 b をマスクとして、導電層 1 1 2 b __ e の一部を除去し、導電層 1 1 2 b を形成する。導電層 1 1 2 b の形成後、レジストマスク 1 9 1 b を除去する（図 1 3 B）。

[0 3 3 1]

なお、図 1 2 C において、レジストマスク 1 9 1 a を形成する前に、レジストマスク 1 9 1 b を導電膜 1 1 2 b __ f 上に形成して導電膜 1 1 2 b __ f の加工を行い、レジストマスク 1 9 1 b を除去した後、レジストマスク 1 9 1 a を形成して、導電膜 1 1 2 b __ f、絶縁膜 1 1 0 b 1 __ f、絶縁膜 1 1 0 b 2 __ f、絶縁膜 1 1 0 b 3 __ f、導電層 1 1 4 __ e、絶縁膜 1 1 0 a 3 __ f、絶縁膜 1 1 0 a 2 __ f、及び絶縁膜 1 1 0 a 1 __ f の加工を行ってもよい。

[0 3 3 2]

なお、図 1 3 C に示すように、導電層 1 1 2 b の形成条件によっては、導電層 1 1 2 b の側面に側壁絶縁層 1 1 0 w が形成される場合がある。図 1 3 C は、図 1 3 B において、破線で囲む領域に対応する。例えば、絶縁膜 1 1 0 s __ f の成膜前に導電膜 1 1 2 b __ f の一部を除去し、パターンを形成する場合には、パターンの端部にて側壁絶縁層が形成される場合がある。また、このような側壁絶縁層 1 1 0 w は、導電層 1 1 2 b の側面のみでなく、絶縁膜 1 1 0 s __ f の被形成面において凹凸を有する箇所において、形成され得る。

[0 3 3 3]

続いて、露出した導電層 1 1 2 a の上面、絶縁層 1 1 0 s の側壁（すなわち、絶縁層 1 1 0 s の側面及び湾曲部）、導電層 1 1 2 b の上面、及び、絶縁層 1 1 0 b 1 の上面を覆って、半導体層 1 0 8 となる半導体膜を形成する。その後、エッチングにより当該半導体膜の一部を除去し、半導体層 1 0 8 を形成する（図 1 3 D）。

[0 3 3 4]

続いて、半導体層 1 0 8、導電層 1 1 2 b、及び絶縁層 1 1 0 b 1 を覆って、絶縁層 1 0 6 を形成する（図 1 4 A）。

[0 3 3 5]

半導体層 1 0 8 は、絶縁層 1 1 0 s の側壁に、できるだけ均一な厚さの膜を形成することが好ましい。そのため、ALD 法を用いて成膜することが好ましい。

[0 3 3 6]

具体的な例としては、熱 ALD 法又は PEALD 法等の成膜方法を用いることが好ましい。熱 ALD 法は、極めて高い段差被覆性を示すため好ましい。また、PEALD 法は、高い段差被覆性を示すことに加え、低温成膜が可能であるため好ましい。

[0 3 3 7]

例えば、半導体層 1 0 8 に金属酸化物を用いる場合、構成する金属元素を含むプリカーサと、酸化剤と、を用いて ALD 法により成膜することができる。

[0 3 3 8]

例えば、In-Ga-Zn 酸化物を成膜する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び、亜鉛を含むプリカーサの、3 つのプリカーサを用いることができる。又は、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの、2 つのプリカーサを用いてもよい。

[0 3 3 9]

インジウムを含むプリカーサとして、トリエチルインジウム、トリス（2，2，6，6-テトラメ

チルー 3, 5-ヘプタンジオン酸) インジウム、シクロペンタジエニルインジウム、塩化インジウム (111) などを用いることができる。

[0340]

また、ガリウムを含むプリカーサとして、トリメチルガリウム、トリエチルガリウム、三塩化ガリウム、トリス (ジメチルアミド) ガリウム (111)、ガリウム (111) アセチルアセトナート、トリス (2, 2, 6, 6-テトラメチルー 3, 5-ヘプタンジオン酸) ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウムなどを用いることができる。

[0341]

また、亜鉛を含むプリカーサとして、ジメチル亜鉛、ジエチル亜鉛、ビス (2, 2, 6, 6-テトラメチルー 3, 5-ヘプタンジオン酸) 亜鉛、塩化亜鉛などを用いることができる。

[0342]

酸化剤としては、例えば、オゾン、酸素、水などを用いることができる。

[0343]

得られる膜の組成を制御する方法としては、原料ガスの流量比、原料ガスを流す時間、原料ガスを流す順番などを調整することが挙げられる。また、これらを調整することで、組成が連続して変化する膜を成膜することもできる。また、組成の異なる膜を連続して成膜することも可能となる。

[0344]

半導体層 108 となる半導体膜の成膜後、加熱処理を行ってもよい。加熱処理により、半導体膜に含まれる水及び水素を低減し、かつ、絶縁層 110a、絶縁層 110b、絶縁層 110s 等から半導体膜に酸素を供給することができる。なお、加熱処理は、半導体膜を加工した後に行ってもよい。

[0345]

なお、絶縁層 110s の側壁を十分に被覆することができる場合には、半導体層 108 は ALD 法に限られず、他の成膜方法を用いることができる。例えば、スパッタリング法を用いることで、水素の含有量の少ない膜が比較的容易に得られるため好ましい。

[0346]

半導体層 108 の形成時の基板温度は、室温 (25℃) 以上 200℃以下が好ましく、室温以上 130℃以下がより好ましい。基板温度を前述の範囲とすることで、大面積のガラス基板を用いる場合に、基板の撓み又は歪みを抑制することができる。

[0347]

金属酸化物層の形成時の基板温度 (ステージ温度) が高いほど、結晶性の高い金属酸化物層を形成することができる。また、酸素流量比が高いほど、結晶性の高い金属酸化物層を形成することができる。

[0348]

絶縁層 106 も、半導体層 108 と同様に、段差被覆性の高い成膜方法を用いることが好ましく、ALD 法を用いて形成することが好ましい。なお、半導体層 108 を十分に被覆することができる場合には、絶縁層 106 を ALD 法以外の方法により形成してもよく、例えば、PECVD 法、スパッタリング法などの成膜方法を用いることができる。

[0349]

続いて、絶縁層 106 を介して、半導体層 108 に対して、不純物 190 を供給する処理を行う (図 14B)。不純物 190 としては、図 3 で説明した領域 108Da、領域 108Db、及び、領域 1

08Lの一部（領域108Db側の領域）が有することのできる不純物、例えば、水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数が挙げられる。なお、貴ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンが挙げられる。不純物190としては、特に、ホウ素、リン、アルミニウム、マグネシウム、及びシリコンの一又は複数であることが好ましい。不純物190の供給方法としては、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。

[0350]

なお、不純物190の供給は、半導体層108のうち、ソース領域及びドレイン領域（図3に示す領域108Da及び領域108Db）を低抵抗化することを目的として行う。そのため、不純物190は、ソース領域及びドレイン領域のみに供給され、チャンネル形成領域（図3に示す領域108I）には供給されないことが好ましい。したがって、不純物190は、基板面に対して、垂直な方向から供給されることが好ましい。絶縁層106の基板面に対する厚さは、導電層112aの上面、又は、導電層112bの上面に沿って設けられている領域に比べて、絶縁層110sの側面に沿って設けられている領域の方が厚い。したがって、不純物190を、基板面に対して垂直な方向から供給することにより、半導体層108のうち、ソース領域及びドレイン領域を中心に不純物190を供給することができるため、当該領域を選択的に低抵抗化させることができる。

[0351]

例えば、イオンドーピング法を用いて、基板面に対して垂直な方向から、作製中の構造物に対して不純物190の供給処理を行うことが好ましい。原料ガスをイオン化し、当該イオンを質量分離せずに対象物に供給するイオンドーピング法は、原料ガスに水素が含まれる場合、水素を含めた原料ガス成分（イオン）の全てを、不純物190として、半導体層108に供給することができる。半導体層108に供給された水素は、半導体層108中にV_oHを形成するため、半導体層108を低抵抗化しやすい。したがって、半導体層108のうち、ソース領域及びドレイン領域を、容易に低抵抗化させることができる。

[0352]

例えば、ジボラン（B₂H₆）を原料ガスとして、イオンドーピング法により基板面に対して垂直な方向から作製中の構造物に対して不純物190の供給処理を行う場合、不純物190として、上述したホウ素（B）と水素（H）の双方を同時に半導体層108に供給することができる。これにより、原料ガスをイオン化し、当該イオンを質量分離してから対象物に供給するイオン注入法を用いるよりも、効率的に半導体層108におけるソース領域及びドレイン領域を低抵抗化させることができる場合がある。

[0353]

なお、不純物190の供給方法として、イオン注入法を用いてもよい。例えば、図14（B）に示すように、絶縁層110sの側壁が、基板面に対して傾斜して設けられている場合（テーパ形状を有する場合）、不純物190の供給処理にイオンドーピング法を用いると、基板面に対して垂直な方向から不純物190を供給する場合であっても、水素等の不純物が、ソース領域及びドレイン領域だけでなく、チャンネル形成領域にも供給されてしまう場合がある。上述したように、チャンネル形成領域においては、水素は可能な限り低減されていることが好ましい。したがって、絶縁層110sの側壁と、基板面と、のなす角によっては、原料ガスをイオン化し、当該イオンを質量分離して所望の元素のみ

を供給することができるイオン注入法を用いた方が好ましい場合もある。

[0354]

例えば、イオン注入法であれば、水素 (H) を含むジボラン (B_2H_6) を原料ガスに用いる場合であっても、質量分離により、ホウ素 (B) のみを不純物 190 として、半導体層 108 に供給することができる。そのため、水素等の不純物が、チャネル形成領域に供給されることを防止しつつ、ソース領域及びドレイン領域を低抵抗化させることができる。

[0355]

なお、上記不純物 190 の供給時に用いることができる原料ガスは、ジボラン (B_2H_6) に限られず、例えば、三フッ化ホウ素 (BF_3) 等の水素 (H) を含まない原料ガスを用いてもよい。

[0356]

次に、絶縁層 106 上に、導電層 104 となる導電膜を成膜する。当該導電膜には、上述の導電性材料を適宜用いればよい。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて行えばよい。ここで、当該導電膜は、絶縁層 110s の側壁と対向する絶縁層 106 に接して形成されることが好ましい。よって、当該導電膜の成膜は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD法又はALD法などを用いることがより好ましい。

[0357]

次に、導電層 104 となる導電膜を加工して、導電層 104 を形成する (図 14C)。導電層 104 は、平面視にて、半導体層 108、絶縁層 110s と重なる領域を有するように形成する。導電層 104 の形成は、フォトリソグラフィ法を用いて行えばよい。上記加工には、ドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0358]

なお、上述の不純物 190 を供給する処理を絶縁層 106 の形成後に行わず、導電層 104 を形成した後に行ってもよい。この場合、半導体層 108 のソース領域及びドレイン領域のうち、導電層 104 と重ならない側の領域 (図 3 に示す領域 108Db の一部) のみに不純物 190 が供給されることになるが、導電層 104 と重なるチャネル形成領域 (図 3 に示す領域 108I) に不純物 190 が供給されることを防止することができる。これにより、絶縁層 110s の側壁と、基板面と、のなす角が 90 度未満のテーパ形状を有する場合であっても、チャネル形成領域に不純物 190 が供給される恐れがなくなる。なお、不純物 190 の供給処理は、上述の絶縁層 106 の形成後、及び、導電層 104 の形成後の双方に行ってもよい。

[0359]

続いて、導電層 104 及び絶縁層 106 を覆って、絶縁層 195 を形成する (図 1B)。

[0360]

絶縁層 195 は、例えば、絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 と同様の材料及び方法で形成することができる。

[0361]

以上の工程により、トランジスタ 100 を有する半導体装置を作製することができる。

[0362]

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることができる。また、本明細書に

において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0363]

(実施の形態2)

本実施の形態では、本発明の一態様の表示装置について図15乃至図20を用いて説明する。

[0364]

本実施の形態の表示装置は、高解像度の表示装置又は大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

[0365]

また、本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（HMD: Head Mounted Display）などのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0366]

本発明の一態様の半導体装置は、表示装置、又は、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（Flexible Printed Circuit、以下、FPCと記す。）若しくはTCP（Tape Carrier Package）等のコネクタが取り付けられたモジュール、COG（Chip On Glass）方式若しくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0367]

[表示装置50A]

図15に、表示装置50Aの斜視図を示す。

[0368]

表示装置50Aは、基板152と基板151とが貼り合わされた構成を有する。図15では、基板152を破線で示している。

[0369]

表示装置50Aは、表示部168、接続部140、回路部164、配線165等を有する。図15では表示装置50AにIC173及びFPC172が実装されている例を示している。そのため、図15に示す構成は、表示装置50Aと、ICと、FPCと、を有する表示モジュールということもできる。

[0370]

接続部140は、表示部168の外側に設けられる。接続部140は、表示部168の一边又は複数の辺に沿って設けることができる。接続部140は、単数であっても複数であってもよい。図15では、表示部の四辺を囲むように接続部140が設けられている例を示す。接続部140では、表示

素子の共通電極と、導電層と、が接続されており、共通電極に電位を供給することができる。

[0371]

回路部164は、例えば、走査線駆動回路（ゲートドライバともいう。）を有する。また、回路部164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう。）の双方を有していてもよい。

[0372]

配線165は、表示部168及び回路部164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC172を介して、外部から配線165に入力される、又はIC173から配線165に入力される。

[0373]

図15では、COG方式又はCOF方式等により、基板151にIC173が設けられている例を示す。IC173には、例えば、走査線駆動回路及び信号線駆動回路のうち一方又は双方を有するICを適用することができる。なお、表示装置50A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0374]

本発明の一態様のトランジスタは、例えば、表示装置50Aの表示部168及び回路部164の一方又は双方に適用することができる。

[0375]

例えば、本発明の一態様のトランジスタを表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様のトランジスタを表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様のトランジスタは、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0376]

表示部168は、表示装置50Aにおける画像を表示する領域であり、周期的に配列された複数の画素210を有する。図15には、1つの画素210の拡大図を示している。

[0377]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、バイヤー配列、及びペンタイル配列が挙げられる。

[0378]

図15に示す画素210は、赤色の光を呈する副画素11R、緑色の光を呈する副画素11G、及び、青色の光を呈する副画素11Bを有する。

[0379]

副画素11R、副画素11G、及び副画素11Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0380]

表示素子としては、様々な素子を用いることができ、例えば、液晶素子及び発光素子が挙げられる。その他、シャッター方式又は光干渉方式のMEMS (Micro Electro Mechanical

cal Systems) 素子、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、又は電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED (Quantum-dot LED) を用いてもよい。

[0381]

液晶素子を用いた表示装置としては、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

[0382]

発光素子としては、例えば、LED、OLED (Organic LED)、半導体レーザなどの、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0383]

発光素子が有する発光物質としては、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光 (Thermally Activated Delayed Fluorescence: TADF) 材料)、及び無機化合物（量子ドット材料等）が挙げられる。

[0384]

発光素子の発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、又は白などとすることができる。また、発光素子にマイクロキャビティ構造を付与することにより色純度を高めることができる。

[0385]

発光素子が有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

[0386]

本実施の形態では、主に、表示素子として発光素子を用いる場合を例に挙げて説明する。

[0387]

なお、本発明の一態様の表示装置は、発光素子が形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光素子が形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであつてもよい。

[0388]

図16に、表示装置50Aの、FPC172を含む領域の一部、回路部164の一部、表示部168の一部、接続部140の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

[0389]

図16に示す表示装置50Aは、基板151と基板152の間に、トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ205B、発光素子130R、発光素子130G、発光素子130B等を有する。発光素子130Rは、赤色の光を呈する副画素11Rが有する表示素子であり、発光素子130Gは、緑色の光を呈する副画素11Gが有する表示素子であり、発光素子130Bは、青色の光を呈する副画素11Bが有する表示素子である。

[0390]

表示装置 50A には、SBS 構造が適用されている。SBS 構造は、発光素子ごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上、及び、信頼性の向上を図ることが容易となる。

[0391]

また、表示装置 50A は、トップエミッション型である。トップエミッション型は、トランジスタ等を発光素子の発光領域と重ねて配置することができるため、ボトムエミッション型に比べて画素の開口率を高めることができる。

[0392]

トランジスタ 205D、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B は、いずれも基板 151 上に形成されている。これらのトランジスタは、同一の材料及び同一の工程により作製することができる。

[0393]

本実施の形態では、トランジスタ 205D、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B には、OS トランジスタを用いる例を示す。トランジスタ 205D、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B には、本発明の一態様のトランジスタを用いることができる。つまり、表示装置 50A は、表示部 168 及び回路部 164 の双方に、本発明の一態様のトランジスタを有する。表示部 168 に本発明の一態様のトランジスタを用いることで、画素サイズを縮小することができ、高精細化を図ることができる。また、回路部 164 に本発明の一態様のトランジスタを用いることで、回路部 164 の占有面積を小さくすることができ、狭額縁化を図ることができる。本発明の一態様のトランジスタについては、先の実施の形態の記載を参照することができる。

[0394]

具体的には、トランジスタ 205D、トランジスタ 205R、トランジスタ 205G、及びトランジスタ 205B は、それぞれ、第 1 のゲート電極として機能する導電層 104、第 2 のゲート電極として機能する導電層 114、第 1 のゲート絶縁層として機能する絶縁層 106、第 2 のゲート絶縁層として機能する絶縁層 110s、ソース電極又はドレイン電極の一方として機能する導電層 112a、ソース電極又はドレイン電極の他方として機能する導電層 112b、並びに、金属酸化物を有する半導体層 108 を有する。

[0395]

なお、本実施の形態の表示装置が有するトランジスタは、本発明の一態様のトランジスタのみに限定されない。例えば、本発明の一態様のトランジスタと、他の構造のトランジスタと、の双方を有していてもよい。

[0396]

本実施の形態の表示装置は、例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、逆スタガ型のトランジスタのいずれか一以上を有していてもよい。本実施の形態の表示装置が有するトランジスタは、トップゲート型又はボトムゲート型のいずれとしてもよい。又は、チャネルが形成される半導体層の上下にゲートが設けられていてもよい。

[0397]

また、本実施の形態の表示装置は、シリコンをチャネル形成領域に用いたトランジスタ（Si トランジスタ）を有していてもよい。

[0398]

シリコンとしては、単結晶シリコン、多結晶シリコン、非晶質シリコン等が挙げられる。特に、半導体層にLTPSを有するトランジスタ（以下、LTPSトランジスタともいう。）を用いることができる。LTPSトランジスタは、電界効果移動度が高く、周波数特性が良好である。

[0399]

画素回路に含まれる発光素子の発光輝度を高くする場合、発光素子に流す電流量を大きくする必要がある。そのためには、画素回路に含まれている駆動トランジスタのソースドレイン間電圧を高くする必要がある。OSトランジスタは、Siトランジスタと比較して、ソースドレイン間における耐圧が高いため、OSトランジスタのソースドレイン間には高い電圧を印加することができる。したがって、画素回路に含まれる駆動トランジスタをOSトランジスタとすることで、発光素子に流れる電流量を大きくし、発光素子の発光輝度を高くすることができる。

[0400]

また、トランジスタが飽和領域で動作する場合において、OSトランジスタは、Siトランジスタよりも、ゲートソース間電圧の変化に対して、ソースドレイン間電流の変化を小さくすることができる。このため、画素回路に含まれる駆動トランジスタとしてOSトランジスタを適用することによって、ゲートソース間電圧の変化によって、ソースドレイン間に流れる電流を細かく定めることができるため、発光素子に流れる電流量を制御することができる。このため、画素回路における階調数を多くすることができる。

[0401]

また、トランジスタが飽和領域で動作するときに流れる電流の飽和特性において、OSトランジスタは、ソースドレイン間電圧が徐々に高くなった場合においても、Siトランジスタよりも安定した電流（飽和電流）を流すことができる。そのため、OSトランジスタを駆動トランジスタとして用いることで、例えば、EL素子の電流－電圧特性にばらつきが生じた場合においても、発光素子に安定した電流を流すことができる。つまり、OSトランジスタは、飽和領域で動作する場合において、ソースドレイン間電圧を変化させても、ソースドレイン間電流がほぼ変化しないため、発光素子の発光輝度を安定させることができる。

[0402]

回路部164が有するトランジスタと、表示部168が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路部164が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、表示部168が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。

[0403]

表示部168が有するトランジスタの全てをOSトランジスタとしてもよく、表示部168が有するトランジスタの全てをSiトランジスタとしてもよく、表示部168が有するトランジスタの一部をOSトランジスタとし、残りをSiトランジスタとしてもよい。

[0404]

例えば、表示部168にLTPSトランジスタとOSトランジスタの双方を用いることで、消費電力が低く、駆動能力の高い表示装置を実現することができる。また、LTPSトランジスタと、OSトランジスタとを、組み合わせる構成をLTPOと呼称する場合がある。なお、より好適な例としては、配線間の導通、非導通を制御するためのスイッチとして機能するトランジスタ等にOSトランジ

スタを適用し、電流を制御するトランジスタ等にLTPSトランジスタを適用する構成が挙げられる。

[0405]

例えば、表示部168が有するトランジスタの一は、発光素子に流れる電流を制御するためのトランジスタとして機能し、駆動トランジスタとも呼ぶことができる。駆動トランジスタのソース又はドレインの一方は、発光素子の画素電極と接続される。当該駆動トランジスタには、LTPSトランジスタを用いることが好ましい。これにより、画素回路において発光素子に流れる電流を大きくすることができる。

[0406]

一方、表示部168が有するトランジスタの他の一は、画素の選択、非選択を制御するためのスイッチとして機能し、選択トランジスタとも呼ぶことができる。選択トランジスタのゲートはゲート線と接続され、ソース又はドレインの一方は、ソース線（信号線）と接続される。選択トランジスタには、OSトランジスタを適用することが好ましい。これにより、フレーム周波数を著しく小さく（例えば、1fps以下）しても、画素の階調を維持することができるため、静止画を表示する際にドライバを停止することで、消費電力を低減することができる。

[0407]

トランジスタ205D、トランジスタ205R、トランジスタ205G、及びトランジスタ205Bを覆うように、絶縁層195が設けられ、絶縁層195上に絶縁層235が設けられている。

[0408]

絶縁層195は、トランジスタの保護層として機能することが好ましい。絶縁層195には、水及び水素などの不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層195をバリア層として機能させることができる。このような構成とすることで、トランジスタに外部から不純物が拡散することを効果的に抑制することができ、表示装置の信頼性を高めることができる。

[0409]

絶縁層195は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜が挙げられる。これらの無機絶縁膜の具体例は、前述の通りである。

[0410]

絶縁層235は、平坦化層としての機能を有することが好ましく、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料としては、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、これら樹脂の前駆体等が挙げられる。また、絶縁層235を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層235の最表層は、エッチング保護層としての機能を有することが好ましい。これにより、画素電極111R、画素電極111G、画素電極111Bなどの加工時に、絶縁層235に凹部が形成されることを抑制することができる。又は、絶縁層235には、画素電極111R、画素電極111G、画素電極111Bなどの加工時に、凹部が設けられてもよい。

[0411]

絶縁層235上に、発光素子130R、発光素子130G、発光素子130Bが設けられている。

[0412]

発光素子130Rは、絶縁層235上の画素電極111Rと、画素電極111R上のEL層113Rと、EL層113R上の共通電極135と、を有する。図16に示す発光素子130Rは、赤色の

光（R）を発する。EL層113Rは、赤色の光を発する発光層を有する。

[0413]

発光素子130Gは、絶縁層235上の画素電極111Gと、画素電極111G上のEL層113Gと、EL層113G上の共通電極135と、を有する。図16に示す発光素子130Gは、緑色の光（G）を発する。EL層113Gは、緑色の光を発する発光層を有する。

[0414]

発光素子130Bは、絶縁層235上の画素電極111Bと、画素電極111B上のEL層113Bと、EL層113B上の共通電極135と、を有する。図16に示す発光素子130Bは、青色の光（B）を発する。EL層113Bは、青色の光を発する発光層を有する。

[0415]

なお、図16では、EL層113R、EL層113G、及びEL層113Bを全て同じ膜厚で示すが、これに限られない。EL層113R、EL層113G、及びEL層113Bのそれぞれの膜厚は異なってもよい。例えば、EL層113R、EL層113G、及びEL層113Bをそれぞれの発する光を強める光路長に対応して膜厚を設定することが好ましい。これにより、マイクロキャビティ構造を実現し、各発光素子から射出される光の色純度を高めることができる。

[0416]

画素電極111Rは、絶縁層106、絶縁層195、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと接続されている。同様に、画素電極111Gは、トランジスタ205Gが有する導電層112bと接続され、画素電極111Bは、トランジスタ205Bが有する導電層112bと接続されている。

[0417]

画素電極111R、画素電極111G、及び画素電極111Bのそれぞれの端部は、絶縁層237によって覆われている。絶縁層237は、隔壁（土手、バンク、スペーサともいう。）として機能する。絶縁層237は、無機絶縁材料及び有機絶縁材料の一方又は双方を用いて、単層構造又は積層構造で設けることができる。絶縁層237には、例えば、絶縁層195に用いることができる材料及び絶縁層235に用いることができる材料を適用することができる。絶縁層237により、画素電極と共通電極とを絶縁することができる。また、絶縁層237により、隣接する発光素子同士を絶縁することができる。

[0418]

共通電極135は、発光素子130R、発光素子130G、及び発光素子130Bに共通して設けられる一続きの膜である。複数の発光素子が共通して有する共通電極135は、接続部140に設けられた導電層123と接続される。導電層123には、画素電極111R、画素電極111G、及び画素電極111Bと同じ材料及び同じ工程で形成された導電層を用いることが好ましい。

[0419]

本発明の一態様の表示装置において、画素電極と共通電極のうち、光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

[0420]

また、光を取り出さない側の電極にも可視光を透過する導電膜を用いてもよい。この場合、反射層と、EL層との間に当該電極を配置することが好ましい。つまり、EL層の発光は、当該反射層によ

って反射されて、表示装置から取り出されてもよい。

[0421]

発光素子の一对の電極を形成する材料としては、金属、合金、電気伝導性化合物、及び、これらの混合物などを適宜用いることができる。当該材料としては、具体的には、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、ネオジムなどの金属、及びこれらを適宜組み合わせる含む合金が挙げられる。また、当該材料としては、インジウムスズ酸化物(In-Sn酸化物、ITOともいう。)、In-Si-Sn酸化物(ITSOともいう。)、インジウム亜鉛酸化物(In-Zn酸化物)、及びIn-W-Zn酸化物などを挙げることができる。また、当該材料としては、アルミニウム、ニッケル、及びランタンの合金(Al-Ni-La)等のアルミニウムを含む合金(アルミニウム合金)、並びに、銀とマグネシウムの合金、及び、銀とパラジウムと銅の合金(Ag-Pd-Cu、APCとも記す。)等の銀を含む合金が挙げられる。その他、当該材料としては、上記例示のない元素周期表の第1族又は第2族に属する元素(例えば、リチウム、セシウム、カルシウム、ストロンチウム)、ユウロピウム、イッテルビウムなどの希土類金属及びこれらを適宜組み合わせる含む合金、グラフェン等が挙げられる。

[0422]

発光素子には、微小光共振器(マイクロキャビティ)構造が適用されていることが好ましい。したがって、発光素子が有する一对の電極の一方は、可視光に対する透過性及び反射性を有する電極(半透過・半反射電極)であることが好ましく、他方は、可視光に対する反射性を有する電極(反射電極)であることが好ましい。発光素子がマイクロキャビティ構造を有することで、発光層から得られる発光を両電極間で共振させ、発光素子から射出される光を強めることができる。

[0423]

透明電極の光の透過率は、40%以上とする。例えば、発光素子の透明電極には、可視光(波長400nm以上750nm未満の光)の透過率が40%以上である電極を用いることが好ましい。半透過・半反射電極の可視光の反射率は、10%以上95%以下、好ましくは30%以上80%以下とする。反射電極の可視光の反射率は、40%以上100%以下、好ましくは70%以上100%以下とする。また、これらの電極の抵抗率は、 $1 \times 10^{-2} \Omega \text{ cm}$ 以下が好ましい。

[0424]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、島状に設けられている。図16では、隣り合うEL層113Rの端部とEL層113Gの端部とが重なっており、隣り合うEL層113Gの端部とEL層113Bの端部とが重なっており、隣り合うEL層113Rの端部とEL層113Bの端部とが重なっている。ファインメタルマスクを用いて島状のEL層を成膜する場合、図16に示すように、隣り合うEL層の端部同士が重なることがあるが、これに限られない。つまり、隣り合うEL層同士は重ならず、互いに離隔されていてもよい。また、表示装置において、隣り合うEL層同士が重なっている部分と、隣り合うEL層同士が重ならず離隔されている部分と、の双方が存在してもよい。

[0425]

EL層113R、EL層113G、及びEL層113Bは、それぞれ、少なくとも発光層を有する。発光層は、1種又は複数種の発光物質を有する。発光物質としては、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、又は赤色などの発光色を呈する物質を適宜用いる。また、発光物質として、近赤

外光を発する物質を用いることもできる。

[0426]

発光物質としては、蛍光材料、燐光材料、TADF材料、及び量子ドット材料などが挙げられる。

[0427]

発光層は、発光物質（ゲスト材料）に加えて、1種又は複数種の有機化合物（ホスト材料、アシスト材料等）を有していてもよい。1種又は複数種の有機化合物としては、正孔輸送性の高い物質（正孔輸送性材料）及び電子輸送性の高い物質（電子輸送性材料）の一方又は双方を用いることができる。また、1種又は複数種の有機化合物として、バイポーラ性の物質（電子輸送性及び正孔輸送性が高い物質）、又はTADF材料を用いてもよい。

[0428]

発光層は、例えば、燐光材料と、励起錯体を形成しやすい組み合わせである正孔輸送性材料及び電子輸送性材料と、を有することが好ましい。このような構成とすることにより、励起錯体から発光物質（燐光材料）へのエネルギー移動であるExTET（Exciplex-Triplet Energy Transfer）を用いた発光を効率よく得ることができる。発光物質の最も低エネルギー側の吸収帯の波長と重なるような発光を呈する励起錯体を形成するような組み合わせを選択することで、エネルギー移動がスムーズとなり、効率よく発光を得ることができる。この構成により、発光素子の高効率、低電圧駆動、長寿命を同時に実現することができる。

[0429]

EL層は、発光層の他に、正孔注入性の高い物質を含む層（正孔注入層）、正孔輸送性材料を含む層（正孔輸送層）、電子ブロック性の高い物質を含む層（電子ブロック層）、電子注入性の高い物質を含む層（電子注入層）、電子輸送性材料を含む層（電子輸送層）、及び、正孔ブロック性の高い物質を含む層（正孔ブロック層）のうち1つ又は複数を含むことができる。その他、EL層は、バイポーラ性材料及びTADF材料の一方又は双方を含んでもよい。

[0430]

発光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。発光素子を構成する層は、それぞれ、蒸着法（真空蒸着法を含む。）、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0431]

発光素子には、シングル構造（発光ユニットを1つだけ有する構造）を適用してもよく、タンデム構造（発光ユニットを複数有する構造）を適用してもよい。発光ユニットは、少なくとも1層の発光層を有する。タンデム構造は、複数の発光ユニットが電荷発生層を介して直列に接続された構成である。電荷発生層は、一対の電極間に電圧を印加したときに、2つの発光ユニットの一方に電子を注入し、他方に正孔を注入する機能を有する。タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。また、タンデム構造は、シングル構造と比べて、同じ輝度を得るために必要な電流を低減することができるため、信頼性を高めることができる。なお、タンデム構造をスタック構造と呼んでもよい。

[0432]

図16において、タンデム構造の発光素子を用いる場合、EL層113Rは、赤色の光を発する発光ユニットを複数有する構造であり、EL層113Gは、緑色の光を発する発光ユニットを複数有する構造であり、EL層113Bは、青色の光を発する発光ユニットを複数有する構造であると好まし

い。

[0433]

発光素子130R、発光素子130G、及び発光素子130B上には保護層131が設けられている。保護層131と基板152は接着層149を介して接着されている。基板152には、遮光層117が設けられている。発光素子の封止には、例えば、固体封止構造又は中空封止構造を適用することができる。図16では、基板152と基板151との間の空間が、接着層149で充填されており、固体封止構造が適用されている。又は、当該空間を不活性ガス（窒素又はアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層149は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層149とは異なる樹脂で充填してもよい。

[0434]

保護層131は、少なくとも表示部168に設けられており、表示部168全体を覆うように設けられていることが好ましい。保護層131は、表示部168だけでなく、接続部140及び回路部164を覆うように設けられていることが好ましい。また、保護層131は、表示装置50Aの端部にまで設けられていることが好ましい。一方で、接続部204には、FPC172と導電層167とを接続させるため、保護層131が設けられていない部分が生じる。

[0435]

発光素子130R、発光素子130G、及び発光素子130B上に保護層131を設けることで、発光素子の信頼性を高めることができる。

[0436]

保護層131は単層構造でもよく、2層以上の積層構造であってもよい。また、保護層131の導電性は問わない。保護層131としては、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。

[0437]

保護層131が無機膜を有することで、共通電極135の酸化を防止する、発光素子に不純物（水、酸素等）が入り込むことを抑制する、等、発光素子の劣化を抑制し、表示装置の信頼性を高めることができる。

[0438]

保護層131には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、窒化酸化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。特に、保護層131は、窒化絶縁膜又は窒化酸化絶縁膜を有することが好ましく、窒化絶縁膜を有することがより好ましい。

[0439]

また、保護層131には、ITO、In-Zn酸化物、Ga-Zn酸化物、Al-Zn酸化物、又はIGZO等を含む無機膜を用いることもできる。当該無機膜は、高抵抗であることが好ましく、具体的には、共通電極135よりも高抵抗であることが好ましい。当該無機膜は、さらに窒素を含んでいてもよい。

[0440]

発光素子の発光を、保護層131を介して取り出す場合、保護層131は、可視光に対する透過性が高いことが好ましい。例えば、ITO、IGZO、及び酸化アルミニウムは、それぞれ、可視光に対する透過性が高い無機材料であるため、好ましい。

[0441]

保護層131としては、例えば、酸化アルミニウム膜と、酸化アルミニウム膜上の窒化シリコン膜と、の積層構造、又は、酸化アルミニウム膜と、酸化アルミニウム膜上のIGZO膜と、の積層構造を用いることができる。当該積層構造を用いることで、不純物（水、酸素等）がEL層側に入り込むことを抑制することができる。

[0442]

さらに、保護層131は、有機膜を有していてもよい。例えば、保護層131は、有機膜と無機膜の双方を有していてもよい。保護層131に用いることができる有機膜としては、例えば、絶縁層235に用いることができる有機絶縁膜などが挙げられる。

[0443]

基板151の、基板152が重ならない領域には、接続部204が設けられている。接続部204では、配線165が、導電層166、導電層167、及び接続層242を介して、FPC172と接続されている。配線165は、導電層112aと同一の導電膜を加工して得られた単層構造の導電層である例を示す。導電層166は、導電層112bと同一の導電膜を加工して得られた単層構造の導電層である例を示す。導電層167は、画素電極111R、画素電極111G、及び画素電極111Bと同一の導電膜を加工して得られた単層構造の導電層である例を示す。接続部204の上面では、導電層167が露出している。これにより、接続部204と、FPC172とを、接続層242を介して、接続することができる。

[0444]

表示装置50Aは、トップエミッション型である。発光素子が発する光は、基板152側に射出される。基板152には、可視光に対する透過性が高い材料を用いることが好ましい。画素電極111R、画素電極111G、及び画素電極111Bは可視光を反射する材料を含み、対向電極（共通電極135）は可視光を透過する材料を含む。

[0445]

基板152の基板151側の面には、遮光層117を設けることが好ましい。遮光層117は、隣り合う発光素子の間、接続部140、及び回路部164などに設けることができる。

[0446]

また、基板152の基板151側の面、又は、保護層131上に、カラーフィルタなどの着色層を設けてもよい。発光素子に重ねてカラーフィルタを設けると、画素から射出される光の色純度を高めることができる。

[0447]

また、基板152の外側（基板151とは反対側の面）には各種光学部材を配置することができる。光学部材としては、例えば、偏光板、位相差板、光拡散層（拡散フィルムなど）、反射防止層、及び集光フィルムが挙げられる。また、基板152の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、衝撃吸収層等の表面保護層を配置してもよい。例えば、表面保護層として、ガラス層又はシリカ層（SiO_x層）を設けることで、表面汚染及び傷の発生を抑制することができ、好ましい。また、表面保護層としては、DLC（ダイヤモンドライクカーボン）、酸化アルミニウム（AlO_x）、ポリエステル系材料、又はポリカーボネート系材料などを用いてもよい。なお、表面保護層には、可視光に対する透過率が高い材料を用いることが好ましい。また、表面保護層には、硬度が高い材料を用いることが好ましい。

[0448]

基板151及び基板152としては、それぞれ、ガラス、石英、セラミックス、サファイア、樹脂、金属、合金、半導体などを用いることができる。発光素子からの光を取り出す側の基板には、当該光を透過する材料を用いる。基板151及び基板152に可撓性を有する材料を用いると、表示装置の可撓性を高め、フレキシブルディスプレイを実現することができる。また、基板151及び基板152の少なくとも一方として偏光板を用いてもよい。

[0449]

基板151及び基板152としては、それぞれ、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、アラミド等）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン（PTFE）樹脂、ABS樹脂、セルロースナノファイバー等を用いることができる。基板151及び基板152の少なくとも一方に、可撓性を有する程度の厚さのガラスを用いてもよい。

[0450]

なお、表示装置に円偏光板を重ねる場合、表示装置が有する基板には、光学等方性の高い基板を用いることが好ましい。光学等方性の高い基板は、複屈折が小さい（複屈折量が小さい、ともいえる。）。光学等方性の高いフィルムとしては、トリアセチルセルロース（TAC、セルローストリアセテートともいう。）フィルム、シクロオレフィンポリマー（COP）フィルム、シクロオレフィンコポリマー（COC）フィルム、アクリルフィルム等が挙げられる。

[0451]

接着層149としては、紫外線硬化型等の光硬化型接着剤、反応硬化型接着剤、熱硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。これら接着剤としてはエポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、EVA（エチレンビニルアセテート）樹脂等が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シート等を用いてもよい。

[0452]

接続層242としては、異方性導電フィルム（ACF: Anisotropic Conductive Film）、異方性導電ペースト（ACP: Anisotropic Conductive Paste）などを用いることができる。

[0453]

[表示装置50B]

図17に示す表示装置50Bは、各色の副画素に、共通のEL層113を有する発光素子と、着色層（カラーフィルタなど）と、が用いられている点で、表示装置50Aと主に異なる。なお、以降の表示装置の説明では、先に説明した表示装置と同様の部分については説明を省略することがある。

[0454]

図17に示す表示装置50Bは、基板151と基板152の間に、トランジスタ205D、トランジスタ205R、トランジスタ205G、トランジスタ205B、発光素子130R、発光素子13

0 G、発光素子 1 3 0 B、赤色の光を透過する着色層 1 3 2 R、緑色の光を透過する着色層 1 3 2 G、青色の光を透過する着色層 1 3 2 B等を有する。

[0 4 5 5]

発光素子 1 3 0 Rは、画素電極 1 1 1 Rと、画素電極 1 1 1 R上のEL層 1 1 3と、EL層 1 1 3上の共通電極 1 3 5と、を有する。発光素子 1 3 0 Rの発光は、着色層 1 3 2 Rを介して、表示装置 5 0 Bの外部に赤色の光として取り出される。

[0 4 5 6]

発光素子 1 3 0 Gは、画素電極 1 1 1 Gと、画素電極 1 1 1 G上のEL層 1 1 3と、EL層 1 1 3上の共通電極 1 3 5と、を有する。発光素子 1 3 0 Gの発光は、着色層 1 3 2 Gを介して、表示装置 5 0 Bの外部に緑色の光として取り出される。

[0 4 5 7]

発光素子 1 3 0 Bは、画素電極 1 1 1 Bと、画素電極 1 1 1 B上のEL層 1 1 3と、EL層 1 1 3上の共通電極 1 3 5と、を有する。発光素子 1 3 0 Bの発光は、着色層 1 3 2 Bを介して、表示装置 5 0 Bの外部に青色の光として取り出される。

[0 4 5 8]

発光素子 1 3 0 R、発光素子 1 3 0 G、及び発光素子 1 3 0 Bは、EL層 1 1 3と、共通電極 1 3 5と、をそれぞれ共通して有する。各色の副画素に共通のEL層 1 1 3を設ける構成は、各色の副画素にそれぞれ異なるEL層を設ける構成に比べて、作製工程数の削減が可能である。

[0 4 5 9]

例えば、図 1 7に示す発光素子 1 3 0 R、発光素子 1 3 0 G、及び発光素子 1 3 0 Bは、白色の光を発する。発光素子 1 3 0 R、発光素子 1 3 0 G、発光素子 1 3 0 Bが発する白色の光が、それぞれ、着色層 1 3 2 R、着色層 1 3 2 G、着色層 1 3 2 Bを透過することで、所望の色の光を得ることができる。

[0 4 6 0]

白色の光を発する発光素子は、2つ以上の発光層を含むことが好ましい。2つの発光層を用いて白色発光を得る場合、2つの発光層の発光色が補色の関係となるような発光層を選択すればよい。例えば、第1の発光層の発光色と第2の発光層の発光色を補色の関係になるようにすることで、発光素子全体として白色発光する構成を得ることができる。また、3つ以上の発光層を用いて白色発光を得る場合、3つ以上の発光層の発光色が合わさることで、発光素子全体として白色発光する構成とすればよい。

[0 4 6 1]

EL層 1 1 3は、例えば、青色の光を発する発光物質を有する発光層、及び、青色よりも長波長の可視光を発する発光物質を有する発光層を有することが好ましい。EL層 1 1 3は、例えば、黄色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。又は、EL層 1 1 3は、例えば、赤色の光を発する発光層、緑色の光を発する発光層、及び、青色の光を発する発光層を有することが好ましい。

[0 4 6 2]

白色の光を発する発光素子には、タンデム構造を用いることが好ましい。具体的には、黄色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、赤色と緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとを有する2段タンデム構造、青色の光

を発する発光ユニットと、黄色、黄緑色、又は緑色の光を発する発光ユニットと、青色の光を発する発光ユニットとをこの順で有する３段タンデム構造、又は、青色の光を発する発光ユニットと、黄色、黄緑色、又は緑色の光と、赤色の光とを発する発光ユニットと、青色の光を発する発光ユニットと、をこの順で有する３段タンデム構造などを適用することができる。例えば、発光ユニットの積層数と色の順番としては、陽極側から、Ｂ、Ｙの２段構造、Ｂと発光ユニットＸとの２段構造、Ｂ、Ｙ、Ｂの３段構造、Ｂ、Ｘ、Ｂの３段構造が挙げられ、発光ユニットＸにおける発光層の積層数と色の順番としては、陽極側から、Ｒ、Ｙの２層構造、Ｒ、Ｇの２層構造、Ｇ、Ｒの２層構造、Ｇ、Ｒ、Ｇの３層構造、又は、Ｒ、Ｇ、Ｒの３層構造などとしてすることができる。また、２つの発光層の間に他の層が設けられていてもよい。

[0463]

又は、例えば、図１７に示す発光素子１３０Ｒ、発光素子１３０Ｇ、及び発光素子１３０Ｂは、青色の光を発する。このとき、ＥＬ層１１３は、青色の光を発する発光層を１層以上有する。青色の光を呈する副画素１１Ｂにおいては、発光素子１３０Ｂが発する青色の光を取り出すことができる。また、赤色の光を呈する副画素１１Ｒ及び緑色の光を呈する副画素１１Ｇにおいては、発光素子１３０Ｒ又は発光素子１３０Ｇと、基板１５２との間に、色変換層を設けることで、発光素子１３０Ｒ又は１３０Ｇが発する青色の光をより長波長の光に変換し、赤色又は緑色の光を取り出すことができる。さらに、発光素子１３０Ｒ上には、色変換層と基板１５２との間に着色層１３２Ｒを設け、発光素子１３０Ｇ上には、色変換層と基板１５２との間に着色層１３２Ｇを設けることが好ましい。発光素子が発する光の一部は、色変換層で変換されずにそのまま透過してしまうことがある。色変換層を透過した光を、着色層を介して取り出すことで、所望の色の光以外を着色層で吸収し、副画素が呈する光の色純度を高めることができる。

[0464]

[表示装置５０Ｃ]

図１８に示す表示装置５０Ｃは、ボトムエミッション型の表示装置である点で、表示装置５０Ｂと主に相違する。

[0465]

発光素子が発する光は、基板１５１側に射出される。基板１５１には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板１５２に用いる材料の透光性は問わない。

[0466]

基板１５１とトランジスタとの間には、遮光層１１７を形成することが好ましい。図１８では、基板１５１上に遮光層１１７が設けられ、遮光層１１７上に絶縁層１５３が設けられ、絶縁層１５３上にトランジスタ２０５Ｄ、トランジスタ２０５Ｒ（図示しない。）、トランジスタ２０５Ｇ、及びトランジスタ２０５Ｂなどが設けられている例を示す。また、絶縁層１５３上に、着色層１３２Ｒ（図示しない。）、着色層１３２Ｇ、及び着色層１３２Ｂが設けられ、着色層１３２Ｒ（図示しない。）、着色層１３２Ｇ、及び着色層１３２Ｂ上に絶縁層２３５が設けられている。

[0467]

着色層１３２Ｇと重なる発光素子１３０Ｇは、画素電極１１１Ｇと、ＥＬ層１１３と、共通電極１３５と、を有する。

[0468]

着色層１３２Ｂと重なる発光素子１３０Ｂは、画素電極１１１Ｂと、ＥＬ層１１３と、共通電極１

35と、を有する。

[0469]

画素電極111G、画素電極111Bには、それぞれ、可視光に対する透過性が高い材料を用いる。共通電極135には可視光を反射する材料を用いることが好ましい。ボトムエミッション型の表示装置では、共通電極135に抵抗の低い金属等を用いることができるため、共通電極135の抵抗に起因する電圧降下が生じることを抑制することができ、高い表示品位を実現することができる。

[0470]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくすることができるため、ボトムエミッション構造の表示装置において、画素の開口率を高めること、又は、画素のサイズを小さくすることができる。

[0471]

[表示装置50D]

図19に示す表示装置50Dは、受光素子130Sを有する点で、表示装置50Aと主に相違する。

[0472]

表示装置50Dは、画素に、発光素子と受光素子を有する。表示装置50Dにおいて、発光素子として有機EL素子を用い、受光素子として有機フォトダイオードを用いることが好ましい。有機EL素子及び有機フォトダイオードは、同一基板上に形成することができる。したがって、有機EL素子を用いた表示装置に有機フォトダイオードを内蔵することができる。

[0473]

画素に、発光素子及び受光素子を有する表示装置50Dでは、画素が受光機能を有するため、画像を表示しながら、対象物の接触又は近接を検出することができる。したがって、表示部168は、画像表示機能に加えて、撮像機能及びセンシング機能の一方又は双方を有する。例えば、表示装置50Dが有する副画素全てで画像を表示するだけでなく、一部の副画素は、光源としての光を呈し、他の一部の副画素で光検出を行い、残りの副画素で画像を表示することもできる。

[0474]

したがって、表示装置50Dと別に受光部及び光源を設けなくてもよく、電子機器の部品点数を削減することができる。例えば、電子機器に設けられる生体認証装置、又はスクロールなどを行うための静電容量方式のタッチパネルなどを別途設ける必要がない。したがって、表示装置50Dを用いることで、製造コストが低減された電子機器を提供することができる。

[0475]

受光素子をイメージセンサに用いる場合、表示装置50Dは、受光素子を用いて、画像を撮像することができる。例えば、イメージセンサを用いて、指紋、掌紋、虹彩、脈形状（静脈形状、動脈形状を含む。）、又は顔などを用いた個人認証のための撮像を行うことができる。

[0476]

また、受光素子は、タッチセンサ（ダイレクトタッチセンサともいう。）又は非接触センサ（ホバーセンサ、ホバータッチセンサ、タッチレスセンサともいう。）などに用いることができる。タッチセンサは、表示装置と、対象物（指、手、又はペンなど）とが、直接接することで、対象物を検出することができる。また、非接触センサは、対象物が表示装置に接触しなくても、当該対象物を検出することができる。

[0477]

受光素子 130S は、絶縁層 235 上の画素電極 111S と、画素電極 111S 上の機能層 113S と、機能層 113S 上の共通電極 135 と、を有する。機能層 113S には、表示装置 50D の外部から光 Lin が入射する。

[0478]

画素電極 111S は、絶縁層 106、絶縁層 195、及び絶縁層 235 に設けられた開口を介して、トランジスタ 205S が有する導電層 112b と接続されている。

[0479]

画素電極 111S の端部は、絶縁層 237 によって覆われている。

[0480]

共通電極 135 は、受光素子 130S、発光素子 130R (図示しない。)、発光素子 130G、及び、発光素子 130B に共通して設けられる一続きの膜である。発光素子と受光素子とが共通して有する共通電極 135 は、接続部 140 に設けられた導電層 123 と接続される。

[0481]

機能層 113S は、少なくとも活性層 (光電変換層ともいう。) を有する。活性層は、半導体を含む。当該半導体としては、シリコンなどの無機半導体、及び、有機化合物を含む有機半導体が挙げられる。本実施の形態では、活性層が有する半導体として、有機半導体を用いる例を示す。有機半導体を用いることで、発光層と、活性層と、を同じ方法 (例えば、真空蒸着法) で形成することができ、製造装置を共通化することができるため好ましい。

[0482]

機能層 113S は、活性層以外の層として、正孔輸送性の高い物質、電子輸送性の高い物質、又はバイポーラ性の物質 (電子輸送性及び正孔輸送性の高い物質) 等を含む層をさらに有していてもよい。また、上記に限られず、正孔注入性の高い物質、正孔ブロック材料、電子注入性の高い物質、又は電子ブロック材料などを含む層をさらに有していてもよい。受光素子が有する活性層以外の層には、例えば、上述の発光素子に用いることができる材料を用いることができる。

[0483]

受光素子には低分子化合物及び高分子化合物のいずれを用いることもでき、無機化合物を含んでもよい。受光素子を構成する層は、それぞれ、蒸着法 (真空蒸着法を含む。)、転写法、印刷法、インクジェット法、塗布法等の方法で形成することができる。

[0484]

[表示装置 50E]

図 20 に示す表示装置 50E は、MML (メタルマスクレス) 構造が適用された表示装置の一例である。つまり、表示装置 50E は、ファインメタルマスクを用いずに作製された発光素子を有する。なお、基板 151 から絶縁層 235 までの積層構造、及び保護層 131 から基板 152 までの積層構造は、表示装置 50A と同様のため、説明を省略する。

[0485]

図 20 において、絶縁層 235 上に、発光素子 130R、発光素子 130G、及び発光素子 130B が設けられている。

[0486]

発光素子 130R は、絶縁層 235 上の導電層 124R と、導電層 124R 上の導電層 126R と、導電層 126R 上の層 133R と、層 133R 上の共通層 134 と、共通層 134 上の共通電極 13

5と、を有する。図20に示す発光素子130Rは、赤色の光(R)を発する。層133Rは、赤色の光を発する発光層を有する。発光素子130Rにおいて、層133R及び共通層134をまとめてEL層と呼ぶことができる。また、導電層124R及び導電層126Rのうち、一方又は双方を画素電極と呼ぶことができる。

[0487]

発光素子130Gは、絶縁層235上の導電層124Gと、導電層124G上の導電層126Gと、導電層126G上の層133Gと、層133G上の共通層134と、共通層134上の共通電極135と、を有する。図20に示す発光素子130Gは、緑色の光(G)を発する。層133Gは、緑色の光を発する発光層を有する。発光素子130Gにおいて、層133G及び共通層134をまとめてEL層と呼ぶことができる。また、導電層124G及び導電層126Gのうち、一方又は双方を画素電極と呼ぶことができる。

[0488]

発光素子130Bは、絶縁層235上の導電層124Bと、導電層124B上の導電層126Bと、導電層126B上の層133Bと、層133B上の共通層134と、共通層134上の共通電極135と、を有する。図20に示す発光素子130Bは、青色の光(B)を発する。層133Bは、青色の光を発する発光層を有する。発光素子130Bにおいて、層133B及び共通層134をまとめてEL層と呼ぶことができる。また、導電層124B及び導電層126Bのうち、一方又は双方を画素電極と呼ぶことができる。

[0489]

本明細書等では、発光素子が有するEL層のうち、発光素子ごとに島状に設けられた層を層133B、層133G、又は層133Rと示し、複数の発光素子が共通して有する層を共通層134と示す。なお、本明細書等において、共通層134を含めず、層133R、層133G、及び層133Bを指して、島状のEL層、島状に形成されたEL層などと呼ぶ場合もある。

[0490]

層133R、層133G、及び層133Bは、互いに離隔されている。EL層を発光素子ごとに島状に設けることで、隣接する発光素子間のリーク電流を抑制することができる。これにより、クロストークに起因した意図しない発光を防ぐことができ、コントラストの極めて高い表示装置を実現することができる。

[0491]

なお、図20では、層133R、層133G、及び層133Bを全て同じ膜厚で示すが、これに限られない。層133R、層133G、及び層133Bのそれぞれの膜厚は異なってもよい。

[0492]

導電層124Rは、絶縁層106、絶縁層195、及び絶縁層235に設けられた開口を介して、トランジスタ205Rが有する導電層112bと接続されている。同様に、導電層124Gは、トランジスタ205Gが有する導電層112bと接続され、導電層124Bは、トランジスタ205Bが有する導電層112bと接続されている。

[0493]

導電層124R、導電層124G、導電層124Bは、絶縁層235に設けられた開口を覆うように形成される。導電層124R、導電層124G、導電層124Bの凹部には、それぞれ、層128が埋め込まれている。

[0494]

層128は、導電層124R、導電層124G、導電層124Bの凹部を平坦化する機能を有する。導電層124R上、導電層124G上、導電層124B上、及び層128上には、それぞれ、導電層124R、導電層124G、導電層124Bと接続される導電層126R、導電層126G、導電層126Bが設けられている。したがって、導電層124R、導電層124G、導電層124Bの凹部と重なる領域も発光領域として使用することができ、画素の開口率を高めることができる。導電層124R及び導電層126Rに反射電極として機能する導電層を用いることが好ましい。

[0495]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましく、有機絶縁材料を用いて形成されることが特に好ましい。層128には、例えば、前述の絶縁層237に用いることができる有機絶縁材料を適用することができる。

[0496]

図20では、層128の上面が平坦部を有する例を示すが、層128の形状は、特に限定されない。層128の上面は、凸曲面、凹曲面、及び平面の少なくとも1つを有することができる。

[0497]

また、層128の上面の高さと、導電層124Rの上面の高さと、は、一致又は概略一致していてもよく、互いに異なってもよい。例えば、層128の上面の高さは、導電層124Rの上面の高さより低くてもよく、高くてもよい。

[0498]

導電層126Rの端部は、導電層124Rの端部と揃っていてもよく、導電層124Rの端部の側面を覆っていてもよい。導電層124R及び導電層126Rのそれぞれの端部は、テーパ形状を有することが好ましい。具体的には、導電層124R及び導電層126Rのそれぞれの端部はテーパ角90度未満のテーパ形状を有することが好ましい。画素電極の端部がテーパ形状を有する場合、画素電極の側面に沿って設けられる層133Rも、テーパ形状を有する。画素電極の側面をテーパ形状とすることで、画素電極の側面に沿って設けられるEL層の被覆性を良好にすることができる。

[0499]

導電層124G、導電層126G、及び、導電層124B、導電層126Bについては、導電層124R、導電層126Rと同様であるため、詳細な説明は省略する。

[0500]

導電層126Rの上面及び側面は、層133Rによって覆われている。同様に、導電層126Gの上面及び側面は、層133Gによって覆われており、導電層126Bの上面及び側面は、層133Bによって覆われている。したがって、導電層126R、導電層126G、導電層126Bが設けられている領域全体を、発光素子130R、発光素子130G、発光素子130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0501]

層133R、層133G、及び層133Bそれぞれの上面の一部及び側面は、絶縁層125、絶縁層127によって覆われている。層133R、層133G、層133B、及び、絶縁層125、絶縁層127上に、共通層134が設けられ、共通層134上に共通電極135が設けられている。共通層134及び共通電極135は、それぞれ、複数の発光素子に共通して設けられる一続きの膜である。

[0502]

図20において、導電層126Rと層133Rとの間には、図16等を示す絶縁層237が設けられていない。つまり、表示装置50Eには、画素電極に接し、かつ、画素電極の上面端部を覆う絶縁層（隔壁、バンク、スペーサなどともいう。）が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くすることができる。したがって、高精細又は高解像度の表示装置とすることができる。また、当該絶縁層を形成するためのマスクも不要となり、表示装置の製造コストを削減することができる。

[0503]

前述の通り、層133R、層133G、及び層133Bは、それぞれ、発光層を有する。層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリア輸送層（電子輸送層又は正孔輸送層）と、を有することが好ましい。又は、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層（正孔ブロック層又は電子ブロック層）と、を有することが好ましい。又は、層133R、層133G、及び層133Bは、それぞれ、発光層と、発光層上のキャリアブロック層と、キャリアブロック層上のキャリア輸送層と、を有することが好ましい。層133R、層133G、及び層133Bの表面は、表示装置の作製工程中に露出するため、キャリア輸送層及びキャリアブロック層の一方又は双方を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光素子の信頼性を高めることができる。

[0504]

共通層134は、例えば、電子注入層、又は正孔注入層を有する。又は、共通層134は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層134は、発光素子130R、発光素子130G、及び発光素子130Bで共有されている。

[0505]

層133R、層133G、及び層133Bのそれぞれの側面は、絶縁層125によって覆われている。絶縁層127は、絶縁層125を介して、層133R、層133G、及び層133Bのそれぞれの側面を覆っている。

[0506]

層133R、層133G、及び層133Bの側面（さらには、上面の一部）が、絶縁層125及び絶縁層127の少なくとも一方によって覆われていることで、共通層134（又は共通電極135）が、画素電極、及び、層133R、層133G、層133Bの側面と接することを抑制し、発光素子のショートを抑制することができる。これにより、発光素子の信頼性を高めることができる。

[0507]

絶縁層125は、層133R、層133G、及び層133Bのそれぞれの側面と接することが好ましい。絶縁層125が層133R、層133G、及び層133Bと接する構成とすることで、層133R、層133G、及び層133Bの膜剥がれを防止することができ、発光素子の信頼性を高めることができる。

[0508]

絶縁層127は、絶縁層125の凹部を充填するように、絶縁層125上に設けられる。絶縁層127は、絶縁層125の側面の少なくとも一部を覆うことが好ましい。

[0509]

絶縁層125及び絶縁層127を設けることで、隣り合う島状の層の間を埋めることができるため、島状の層上に設ける層（例えば、キャリア注入層及び共通電極など）の被形成面の極端な凹凸を低減し、より平坦にすることができる。したがって、キャリア注入層及び共通電極などの被覆性を高めることができる。

[0510]

共通層134及び共通電極135は、層133R、層133G、層133B、絶縁層125、及び絶縁層127上に設けられる。絶縁層125及び絶縁層127を設ける前の段階では、画素電極及び島状のEL層が設けられる領域と、画素電極及び島状のEL層が設けられない領域（発光素子間の領域）と、に起因する段差が生じている。本発明の一態様の表示装置は、絶縁層125及び絶縁層127を有することで当該段差を平坦化させることができ、共通層134及び共通電極135の被覆性を向上させることができる。したがって、段切れによる接続不良を抑制することができる。また、段差によって共通電極135が局所的に薄膜化して電気抵抗が上昇することを抑制することができる。

[0511]

絶縁層127の上面はより平坦性の高い形状を有することが好ましい。絶縁層127の上面は、平面、凸曲面、及び、凹曲面のうち、少なくとも1つを有していてもよい。例えば、絶縁層127の上面は、平坦性の高い、滑らかな凸曲面形状を有することが好ましい。

[0512]

絶縁層125は、無機材料を有する絶縁層とすることができる。絶縁層125には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、窒化酸化絶縁膜等の無機絶縁膜を用いることができる。これらの無機絶縁膜の具体例は、前述の通りである。絶縁層125は単層構造であってもよく積層構造であってもよい。特に、酸化アルミニウムは、エッチングにおいて、EL層との選択比が高く、後述する絶縁層127の形成において、EL層を保護する機能を有するため、好ましい。特に、ALD法により形成した酸化アルミニウム膜、酸化ハフニウム膜、又は酸化シリコン膜等の無機絶縁膜を絶縁層125に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層125を形成することができる。また、絶縁層125は、ALD法により形成した膜と、スパッタリング法により形成した膜と、の積層構造としてもよい。絶縁層125は、例えば、ALD法によって形成された酸化アルミニウム膜と、スパッタリング法によって形成された窒化シリコン膜と、の積層構造であってもよい。

[0513]

絶縁層125は、水及び酸素の少なくとも一方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層125は、水及び酸素の少なくとも一方の拡散を抑制する機能を有することが好ましい。また、絶縁層125は、水及び酸素の少なくとも一方を捕獲、又は固着する（ゲッタリングともいう。）機能を有することが好ましい。

[0514]

なお、本明細書等において、バリア絶縁層とは、バリア性を有する絶縁層のことを示す。また、本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう。）とする。又は、対応する物質を、捕獲、又は固着する（ゲッタリングともいう。）機能とする。

[0515]

絶縁層125が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各

発光素子に拡散し得る不純物（代表的には、水及び酸素の少なくとも一方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光素子、さらには、信頼性の高い表示装置を提供することができる。

[0516]

また、絶縁層125は、不純物濃度が低いことが好ましい。これにより、絶縁層125からEL層に不純物が混入し、EL層が劣化することを抑制することができる。また、絶縁層125において、不純物濃度を低くすることで、水及び酸素の少なくとも一方に対するバリア性を高めることができる。例えば、絶縁層125は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0517]

絶縁層125上に設けられる絶縁層127は、隣接する発光素子間に形成された絶縁層125の極端な凹凸を平坦化する機能を有する。換言すると、絶縁層127を有することで共通電極135を形成する面の平坦性を向上させる効果を奏する。

[0518]

絶縁層127としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、又はメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0519]

また、絶縁層127として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、これら樹脂の前駆体等を用いてもよい。また、絶縁層127として、ポリビニルアルコール（PVA）、ポリビニルブチラル、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の樹脂としてはフォトレジストを用いてもよい。感光性の有機樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0520]

絶縁層127には可視光を吸収する材料を用いてもよい。絶縁層127が発光素子からの発光を吸収することで、発光素子から絶縁層127を介して隣接する発光素子に光が漏れること（迷光）を抑制することができる。これにより、表示装置の表示品位を高めることができる。また、表示装置に偏光板を用いなくても、表示品位を高めることができるため、表示装置の軽量化及び薄型化を図ることができる。

[0521]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミドなど）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色、又は3色以上のカラーフィルタ材料を積層又は混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に、3色以上のカラーフィルタ材料を混合させることで、黒色又は黒色近傍の樹脂層とすることが可能となる。

[0522]

本発明の一態様のトランジスタは微細化が可能であり、占有面積を小さくすることができるため、

ボトムエミッション構造の表示装置において、画素の開口率を高めること、又は、画素のサイズを小さくすることができる。

[0523]

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることができる。

[0524]

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置を適用することのできる表示装置の構成例について説明する。

[0525]

本発明の一態様の半導体装置は、極めて微細なものとすることができるため、本発明の一態様の半導体装置を適用する表示装置は、極めて高精細な表示装置とすることができる。例えば、本発明の一態様の表示装置は、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイなどのVR向け機器、及び、メガネ型のAR向け機器などの頭部に装着可能な機器（HMD）の表示部に用いることができる。

[0526]

[表示モジュール]

図21Aに、表示モジュール280の斜視図を示す。表示モジュール280は、表示装置200Aと、FPC290と、を有する。なお、表示モジュール280が有する表示パネルは表示装置200Aに限られず、後述する表示装置200B又は表示装置200Cであってもよい。

[0527]

表示モジュール280は、基板291及び基板292を有する。表示モジュール280は、表示部281を有する。表示部281は、画像を表示する領域である。

[0528]

図21Bに、基板291側の構成を模式的に示した斜視図を示している。基板291上には、回路部282と、回路部282上の画素回路部283と、画素回路部283上の画素部284と、が積層されている。また、基板291上の画素部284と重ならない部分に、FPC290と接続するための端子部285が設けられている。端子部285と回路部282とは、複数の配線により構成される配線部286により接続されている。

[0529]

画素部284は、周期的に配列した複数の画素284aを有する。図21Bの右側に、1つの画素284aの拡大図を示している。画素284aは、赤色の光を呈する副画素11R、緑色の光を呈する副画素11G、及び、青色の光を呈する副画素11Bを有する。

[0530]

画素回路部283は、周期的に配列した複数の画素回路283aを有する。1つの画素回路283aは、1つの画素284aが有する3つの発光デバイスの発光を制御する回路である。1つの画素回路283aには、1つの発光デバイスの発光を制御する回路が3つ設けられる構成としてもよい。例えば、画素回路283aは、1つの発光デバイスにつき、1つの選択トランジスタと、1つの電流制御用トランジスタ（駆動トランジスタ）と、容量素子と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示パネルが実現されている。

[0531]

回路部282は、画素回路部283の各画素回路283aを駆動する回路を有する。例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方を有することが好ましい。この他、演算回路、メモリ回路、電源回路等の少なくとも1つを有していてもよい。また、回路部282に設けられるトランジスタが画素回路283aの一部を構成してもよい。すなわち、画素回路283aが、画素回路部283が有するトランジスタと、回路部282が有するトランジスタと、により構成されていてもよい。

[0532]

FPC290は、外部から回路部282にビデオ信号、電源電位等を供給するための配線として機能する。また、FPC290上にICが実装されていてもよい。

[0533]

表示モジュール280は、画素部284の下側に画素回路部283及び回路部282の一方又は双方が重ねて設けられた構成とすることができるため、表示部281の開口率（有効表示面積比）を極めて高くすることができる。例えば表示部281の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素284aを極めて高密度に配置することが可能で、表示部281の精細度を極めて高くすることができる。例えば、表示部281には、2000ppi以上3000ppi以下、好ましくは3000ppi以上20000ppi以下、より好ましくは5000ppi以上20000ppi以下、さらに好ましくは6000ppi以上20000ppi以下の精細度で、画素284aが配置されることが好ましい。

[0534]

このような表示モジュール280は、極めて高精細であることから、ヘッドマウントディスプレイなどのVR向け機器、又は、メガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール280の表示部を視認する構成の場合であっても、表示モジュール280は極めて高精細な表示部281を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール280はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば、腕時計などの装着型の電子機器の表示部に好適に用いることができる。

[0535]

[表示装置200A]

図22に示す表示装置200Aは、基板331、発光素子130R、発光素子130G、発光素子130B、容量240、及びトランジスタ320を有する。発光素子130Rは、赤色の光を呈する副画素11Rが有する表示素子であり、発光素子130Gは、緑色の光を呈する副画素11Gが有する表示素子であり、発光素子130Bは、青色の光を呈する副画素11Bが有する表示素子である。

[0536]

基板331は、図21Aにおける基板291に相当する。

[0537]

トランジスタ320は、チャンネルが形成される半導体層に酸化物半導体が適用された、縦チャンネル型のトランジスタである。トランジスタ320には、実施の形態1で例示した各種トランジスタを適用することができる。

[0538]

基板331上に、絶縁層332が設けられている。絶縁層332は、基板331から水又は水素などの不純物がトランジスタ320に拡散すること、及び、半導体層108から絶縁層332側に酸素が脱離することを防ぐバリア層として機能する。絶縁層332としては、例えば、酸化アルミニウム膜、酸化ハフニウム膜、窒化シリコン膜などの、酸化シリコン膜よりも水素又は酸素が拡散しにくい膜を用いることができる。

[0539]

絶縁層332上には、導電層112aが設けられている。また、導電層112a上には、絶縁層110aと、絶縁層110a上の導電層114と、導電層114上の絶縁層110bと、絶縁層110b上の導電層112bと、が設けられている。絶縁層110a、導電層114、絶縁層110b、及び導電層112bには、それぞれ開口が設けられ、それぞれの開口の側壁に沿って、絶縁層110sが設けられている。導電層112aの上面、絶縁層110sの側壁、及び、導電層112bの上面を覆うように、半導体層108が設けられ、半導体層108上には絶縁層106が設けられ、絶縁層106上には導電層104が設けられる。絶縁層106及び導電層104上には絶縁層195が設けられる。また、絶縁層195上には絶縁層196が設けられている。絶縁層196の上面は平坦化されており、絶縁層196上には、絶縁層266が設けられている。

[0540]

絶縁層196及び絶縁層266は、層間絶縁層として機能する。絶縁層266と絶縁層196との間に、トランジスタ320に絶縁層266等から水又は水素などの不純物が拡散することを防ぐバリア層を設けてもよい。バリア層としては、絶縁層332と同様の絶縁膜を用いることができる。

[0541]

導電層112bと接続するプラグ274は、絶縁層266、絶縁層196、絶縁層195、及び絶縁層106に埋め込まれるように設けられている。ここで、プラグ274は、絶縁層266、絶縁層196、絶縁層195、及び絶縁層106のそれぞれの開口の側面、及び、導電層112bの上面の一部を覆う導電層274aと、導電層274aの上面に接する導電層274bと、を有することが好ましい。このとき、導電層274aとして、水素及び酸素が拡散しにくい導電材料を用いることが好ましい。

[0542]

また、絶縁層266上に容量240が設けられている。容量240は、導電層241と、導電層245と、これらの間に位置する絶縁層243を有する。導電層241は、容量240の一方の電極として機能し、導電層245は、容量240の他方の電極として機能し、絶縁層243は、容量240の誘電体として機能する。

[0543]

導電層241は絶縁層266上に設けられ、絶縁層254に埋め込まれている。導電層241は、プラグ274によって、トランジスタ320の導電層112bと接続されている。絶縁層243は、導電層241を覆って設けられる。導電層245は、絶縁層243を介して、導電層241と重なる領域に設けられている。

[0544]

容量240を覆って、絶縁層255aが設けられ、絶縁層255a上に絶縁層255bが設けられ、絶縁層255b上に絶縁層255cが設けられている。

[0545]

絶縁層255a、絶縁層255b、及び絶縁層255cには、それぞれ無機絶縁膜を好適に用いることができる。例えば、絶縁層255a及び絶縁層255cに酸化シリコン膜を用い、絶縁層255bに窒化シリコン膜を用いることが好ましい。これにより、絶縁層255bは、エッチング保護膜として機能させることができる。本実施の形態では、絶縁層255cの一部がエッチングされ、凹部が形成されている例を示すが、絶縁層255cに凹部が設けられていなくてもよい。

[0546]

絶縁層255c上に発光素子130R、発光素子130G、及び発光素子130Bが設けられている。発光素子130R、発光素子130G、及び発光素子130Bの詳細については、実施の形態2で説明した内容を参照することができる。

[0547]

発光素子130Rは、画素電極111R、層133R、共通層134、及び共通電極135を有する。発光素子130Gは、画素電極111G、層133G、共通層134、及び共通電極135を有する。発光素子130Bは、画素電極111B、層133B、共通層134、及び共通電極135を有する。共通層134と共通電極135は、発光素子130R、発光素子130G、及び発光素子130Bに共通に設けられる。

[0548]

発光素子130Rが有する層133Rは、少なくとも赤色の光を発する発光性の有機化合物を有する。発光素子130Gが有する層133Gは、少なくとも緑色の光を発する発光性の有機化合物を有する。発光素子130Bが有する層133Bは、少なくとも青色の光を発する発光性の有機化合物を有する。層133R、層133G、及び層133Bは、それぞれEL層とも呼ぶことができ、少なくとも発光性の有機化合物を含む層（発光層）を有する。

[0549]

表示装置200Aは、発光色ごとに、発光デバイスを作り分けているため、低輝度での発光と高輝度での発光で色度の変化が小さい。また、層133R、層133G、層133Bがそれぞれ離隔しているため、高精細な表示パネルであっても、隣接する副画素間におけるクロストークの発生を抑制することができる。したがって、高精細であり、かつ、表示品位の高い表示パネルを実現することができる。

[0550]

隣り合う発光素子の間の領域には、絶縁層125、絶縁層127、及び層129が設けられる。

[0551]

発光素子の画素電極111R、画素電極111G、及び画素電極111Bは、絶縁層255a、絶縁層255b、及び絶縁層255cに埋め込まれたプラグ256、絶縁層254に埋め込まれた導電層241、及びプラグ274によってトランジスタ320の導電層112bと接続されている。絶縁層255cの上面の高さと、プラグ256の上面の高さは、一致又は概略一致している。プラグには各種導電材料を用いることができる。

[0552]

また、発光素子130R、発光素子130G、及び発光素子130B上には、保護層131が設けられている。保護層131上には、接着層171によって、基板170が貼り合わされている。

[0553]

隣接する２つの画素電極１１１間には、画素電極１１１の上面端部を覆う絶縁層が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くすることができる。したがって、高精細又は高解像度の表示装置とすることができる。

[０５５４]

[表示装置２００Ｂ]

以下では、上記とは一部の構成が異なる表示装置について説明する。なお、上記と共通する部分はこれを参照し、説明を省略する場合がある。

[０５５５]

図２３に示す表示装置２００Ｂは、半導体層が平面上に形成されたプレーナ型のトランジスタであるトランジスタ３２０Ａと、縦チャネル型トランジスタであるトランジスタ３２０Ｂと、が積層された例を示している。トランジスタ３２０Ｂは、上記表示装置２００Ａにおけるトランジスタ３２０と同様の構成を有する。

[０５５６]

トランジスタ３２０Ａは、半導体層３５１、絶縁層３５３、導電層３５４、一对の導電層３５５、絶縁層３５６、及び導電層３５７を有する。

[０５５７]

基板３３１上に、絶縁層３５２が設けられている。絶縁層３５２は、基板３３１から水又は水素などの不純物がトランジスタ３２０に拡散すること、及び半導体層３５１から絶縁層３５２側に酸素が脱離することを防ぐバリア層として機能する。絶縁層３５２としては、例えば酸化アルミニウム膜、酸化ハフニウム膜、窒化シリコン膜などの、酸化シリコン膜よりも水素又は酸素が拡散しにくい膜を用いることができる。

[０５５８]

絶縁層３５２上に導電層３５７が設けられ、導電層３５７を覆って絶縁層３５６が設けられている。導電層３５７は、トランジスタ３２０Ａの第１のゲート電極として機能し、絶縁層３５６の一部は、第１のゲート絶縁層として機能する。絶縁層３５６の少なくとも半導体層３５１と接する部分には、酸化シリコン膜等の酸化物絶縁膜を用いることが好ましい。絶縁層３５６の上面は、平坦化されていることが好ましい。

[０５５９]

半導体層３５１は、絶縁層３５６上に設けられる。半導体層３５１は、半導体特性を示す金属酸化物（酸化物半導体ともいう。）膜を有することが好ましい。一对の導電層３５５は、半導体層３５１上に接して設けられ、ソース電極及びドレイン電極として機能する。

[０５６０]

一对の導電層３５５の上面及び側面、並びに、半導体層３５１の側面等を覆って絶縁層３５８、絶縁層３５０が設けられている。絶縁層３５８は、半導体層３５１に水又は水素などの不純物が拡散すること、及び半導体層３５１から酸素が脱離することを防ぐバリア層として機能する。絶縁層３５８としては、上記絶縁層３５２と同様の絶縁膜を用いることができる。

[０５６１]

絶縁層３５８及び絶縁層３５０に、半導体層３５１に達する開口が設けられている。当該開口の内部に、半導体層３５１の上面に接する絶縁層３５３と、導電層３５４とが埋め込まれている。導電層３５４は、第２のゲート電極として機能し、絶縁層３５３は、第２のゲート絶縁層として機能する。

[0562]

導電層354の上面、絶縁層353の上面、及び、絶縁層350の上面は、それぞれ高さが一致又は概略一致するように平坦化处理され、これらを覆って絶縁層359が設けられている。絶縁層359は、トランジスタ320に水又は水素などの不純物が拡散することを防ぐバリア層として機能する。絶縁層359としては、上記絶縁層352と同様の絶縁膜を用いることができる。

[0563]

トランジスタ320には、チャンネルが形成される半導体層を2つのゲートで挟んだ構成が適用されている。2つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。又は、2つのゲートのうち、一方にしきい値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタのしきい値電圧を制御してもよい。

[0564]

[表示装置200C]

図24に示す表示装置200Cは、半導体基板にチャンネルが形成されるトランジスタ310と、縦チャンネル型トランジスタであるトランジスタ320Bと、が積層された構成を有する。

[0565]

トランジスタ310は、基板301にチャンネル形成領域を有するトランジスタである。基板301としては、例えば、単結晶シリコン基板などの半導体基板を用いることができる。トランジスタ310は、基板301の一部、導電層311、低抵抗領域312、絶縁層313、及び絶縁層314を有する。導電層311は、ゲート電極として機能する。絶縁層313は、基板301と導電層311の間に位置し、ゲート絶縁層として機能する。低抵抗領域312は、基板301に不純物がドーピングされた領域であり、ソース又はドレインの一方として機能する。絶縁層314は、導電層311の側面を覆って設けられる。

[0566]

また、基板301に埋め込まれるように、隣接する2つのトランジスタ310の間に素子分離層315が設けられている。

[0567]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態又は実施例と適宜組み合わせる実施することができる。

[0568]

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置に適用可能な回路、レイアウト等について説明する。

[0569]

図25は、表示装置200を説明するブロック図である。表示装置200は、表示部435、第1駆動回路部431、及び第2駆動回路部432を有する。

[0570]

表示部435は、m行(mは1以上の整数)n列(nは1以上の整数)のマトリクス状に配置された複数の画素230を有する。

[0571]

表示部435は、例えば、図15の表示部168に対応し、画素230は、例えば、図15の副画素11R、副画素11G、副画素11B、及び画素210に対応する。

[0572]

また、表示部435は、例えば、図21の表示部281に対応し、画素230は、例えば、図21の副画素11R、副画素11G、副画素11B、及び画素284aに対応する。

[0573]

図25では、1行n列目の画素230を画素230[1, n]と示し、m行1列目の画素230を画素230[m, 1]と示し、m行n列目の画素230を画素230[m, n]と示している。また、表示部435に含まれる任意の画素230を画素230[r, s]と示す場合がある。rは1以上m以下の整数であり、sは1以上n以下の整数である。

[0574]

第1駆動回路部431に含まれる回路は、例えば、走査線駆動回路として機能する。第2駆動回路部432に含まれる回路は、例えば、信号線駆動回路として機能する。なお、表示部435を挟んで第1駆動回路部431と向き合う位置に、何らかの回路を設けてもよい。表示部435を挟んで第2駆動回路部432と向き合う位置に、何らかの回路を設けてもよい。なお、第1駆動回路部431及び第2駆動回路部432に含まれる回路をまとめて、周辺駆動回路433という。

[0575]

周辺駆動回路433には、シフトレジスタ回路、レベルシフタ回路、インバータ回路、ラッチ回路、アナログスイッチ回路、マルチプレクサ回路、デマルチプレクサ回路、論理回路等の様々な回路を用いることができる。周辺駆動回路433に、本発明の一態様に係るトランジスタ100等を用いることができる。なお、周辺駆動回路が有するトランジスタと画素230に含まれるトランジスタを同じ工程で形成してもよい。

[0576]

また、表示装置200は、各々が略平行に配設され、かつ、第1駆動回路部431に含まれる回路によって電位が制御されるm本の配線436と、各々が略平行に配設され、かつ、第2駆動回路部432に含まれる回路によって電位が制御されるn本の配線437と、を有する。

[0577]

なお、図25では、画素230に配線436と配線437が接続している例を示している。ただし、配線436と配線437は一例であり、画素230と接続する配線は、配線436と配線437に限らない。

[0578]

<画素回路の構成例>

図26A乃至図26D、図27A乃至図27D、並びに、図28A及び図28Bに画素230の構成例を示す。画素230は、画素回路51（画素回路51A、画素回路51B、画素回路51C、画素回路51D、画素回路51E、画素回路51F、画素回路51G、画素回路51H、画素回路51I、又は画素回路51J）及び発光素子61を有する。

[0579]

本実施の形態などで説明する発光素子（発光デバイスともいう。）とは、有機EL素子（OLEDともいう。）などの自発光型の表示素子をいう。なお画素回路に接続される発光素子は、LED、マイクロLED、QLED、半導体レーザ等の、自発光型の発光素子とすることが可能である。

[0580]

図26Aに示す画素回路51Aは、トランジスタ52A、トランジスタ52B、及び容量53を有

する 2 Tr 1 C 型の画素回路である。

[0581]

トランジスタ 52A のソース又はドレインの一方は配線 SL と接続され、トランジスタ 52A のゲートは配線 GL と接続される。トランジスタ 52A のソース又はドレインの一方は、トランジスタ 52B のゲート及び容量 53 の一方の端子と接続される。トランジスタ 52B のソース又はドレインの一方は配線 ANO と接続される。トランジスタ 52B のソース又はドレインの他方は、容量 53 の他方の端子及び発光素子 61 のアノードと接続される。発光素子 61 のカソードは、配線 VCOM と接続される。トランジスタ 52A のソース又はドレインの他方、トランジスタ 52B のゲート、及び容量 53 の一方の端子が接続される領域が、ノード ND として機能する。

[0582]

配線 GL は配線 436 に相当し、配線 SL は配線 437 に相当する。配線 VCOM は、発光素子 61 に電流を供給するための電位を与える配線である。トランジスタ 52A は、配線 GL の電位に基づいて、配線 SL とトランジスタ 52B のゲート間の導通状態又は非導通状態を制御する機能を有する。例えば、配線 ANO には VDD が供給され、配線 VCOM には VSS が供給される。

[0583]

トランジスタ 52A をオン状態にすることで、配線 SL からノード ND に画像信号が供給される。その後、トランジスタ 52A をオフ状態にすることで、画像信号がノード ND に保持される。ノード ND に供給された画像信号を確実に保持するため、トランジスタ 52A はオフ電流が少ないトランジスタを用いることが好ましい。例えば、トランジスタ 52A として OS トランジスタを用いることが好ましい。

[0584]

トランジスタ 52B は発光素子 61 に流れる電流量を制御する機能を有する。容量 53 は、トランジスタ 52B のゲート電位を保持する機能を有する。発光素子 61 が射出する光の強度は、トランジスタ 52B のゲート（ノード ND）に供給される画像信号に応じて制御される。

[0585]

図 26A に示す画素回路 51A において、トランジスタ 52A 及びトランジスタ 52B はバックゲートを有する。バックゲートに信号線又は電源線を接続し、任意の電位を与えることができる。また、バックゲートが接地電位と接続されてもよい。また、バックゲートがゲートと接続されてもよい。また、バックゲートがソース又はドレインと接続されてもよい。なお、ここでは全てのトランジスタがバックゲートを有する例を示すが、一部のトランジスタのみがバックゲートを有する構成としてもよい。

[0586]

図 26B に示す画素回路 51B は、トランジスタ 52A、トランジスタ 52B、トランジスタ 52C、及び容量 53 を有する 3 Tr 1 C 型の画素回路である。図 26B に示す画素回路 51B は、図 26A に示す画素回路 51A にトランジスタ 52C を追加した構成を有する。

[0587]

トランジスタ 52C のソース又はドレインの一方は、トランジスタ 52B のソース又はドレインの他方と接続される。トランジスタ 52C のソース又はドレインの他方は、配線 V0 と接続される。例えば、配線 V0 には基準電位が供給される。

[0588]

トランジスタ 5 2 C は、配線 G L の電位に基づいて、トランジスタ 5 2 B のソース又はドレインの他方と配線 V 0 間の導通状態又は非導通状態を制御する機能を有する。配線 V 0 は、基準電位を与えるための配線である。トランジスタ 5 2 B に n チャネル型トランジスタを用いる場合は、トランジスタ 5 2 C を介して与えられる配線 V 0 の基準電位によって、トランジスタ 5 2 B のゲートソース間電圧のばらつきを抑制することができる。

[0 5 8 9]

また配線 V 0 を用いて、画素パラメータの設定に用いることのできる電流値を取得することができる。より具体的には、配線 V 0 は、トランジスタ 5 2 B に流れる電流、又は、発光素子 6 1 に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線 V 0 に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力することができる。又は、A-D コンバータなどによりデジタル信号に変換され、外部に出力することができる。

[0 5 9 0]

図 2 6 B に示す画素回路 5 1 B において、トランジスタ 5 2 A、トランジスタ 5 2 B 及びトランジスタ 5 2 C は、バックゲートを有する。バックゲートに信号線又は電源線を接続し、任意の電位を与えることができる。また、バックゲートが接地電位と接続されてもよい。また、バックゲートがゲートと接続されてもよい。また、バックゲートがソース又はドレインと接続されてもよい。なお、ここでは全てのトランジスタがバックゲートを有する例を示すが、一部のトランジスタのみがバックゲートを有する構成としてもよい。

[0 5 9 1]

図 2 6 C に示す画素回路 5 1 C は、上記画素回路 5 1 A のトランジスタ 5 2 A 及びトランジスタ 5 2 B に、バックゲートを有し当該バックゲートがゲートと接続するトランジスタを適用した場合の例である。また、図 2 6 D に示す画素回路 5 1 D は、画素回路 5 1 B に当該トランジスタを適用した場合の例である。これにより、トランジスタが流すことのできる電流を増大させることができる。なお、ここでは全てのトランジスタに、ゲートとバックゲートが接続されたトランジスタを適用したが、これに限られない。また、ゲートとバックゲートを有し、かつ、これらが異なる配線と接続されるトランジスタを適用してもよい。例えば、ゲート又はバックゲートの一方とソースとが接続されたトランジスタを用いることで、信頼性を高めることができる。

[0 5 9 2]

図 2 7 A に示す画素回路 5 1 E は、図 2 6 B に示す画素回路 5 1 B にトランジスタ 5 2 D を追加した構成を有する。図 2 7 A に示す画素回路 5 1 E は、トランジスタ 5 2 A、トランジスタ 5 2 B、トランジスタ 5 2 C、トランジスタ 5 2 D、及び容量 5 3 を有する 4 T r 1 C 型の画素回路である。

[0 5 9 3]

トランジスタ 5 2 D のソース又はドレインの一方はノード N D と接続され、他方は配線 V 0 と接続されている。また、トランジスタ 5 2 D はバックゲートを有する。

[0 5 9 4]

画素回路 5 1 E には、配線 G L 1、配線 G L 2、及び配線 G L 3 が接続されている。配線 G L 1 はトランジスタ 5 2 A のゲートと接続され、配線 G L 2 はトランジスタ 5 2 C のゲートと接続され、配線 G L 3 はトランジスタ 5 2 D のゲートと接続されている。なお、本実施の形態などにおいて、配線 G L 1、配線 G L 2、及び配線 G L 3 をまとめて配線 G L と呼ぶ場合がある。よって、配線 G L は 1 本に限らず、複数本の場合がある。

[0595]

トランジスタ52Cとトランジスタ52Dを同時に導通状態とさせることで、トランジスタ52Bのソースとゲートが同電位となり、トランジスタ52Bを非導通状態とすることができる。これにより、発光素子61に流れる電流を強制的に遮断することができる。このような画素回路は、表示期間と消灯期間を交互に設ける表示方法を用いる場合に適している。

[0596]

図27Bに示す画素回路51Fは、上記画素回路51Eに容量53Aを追加した場合の例である。容量53Aは保持容量として機能する。図27Aに示す画素回路51Eは、4Tr1C型の画素回路である。また、図27Bに示す画素回路51Fは、4Tr2C型の画素回路である。

[0597]

図27Cに示す画素回路51G、及び、図27Dに示す画素回路51Hは、それぞれ上記画素回路51E又は画素回路51Fにおいて、トランジスタ52A、トランジスタ52C、トランジスタ52Dのバックゲートが、ゲートと接続され、トランジスタ52Bのバックゲートが、ソースと接続される構成を示す。

[0598]

図28Aに示す画素回路51Iは、トランジスタ52A、トランジスタ52B、トランジスタ52C、トランジスタ52D、トランジスタ52E、トランジスタ52F、及び容量53を有する6Tr1C型の画素回路である。トランジスタ52A乃至トランジスタ52Fはバックゲートを有する。

[0599]

トランジスタ52Aのソース又はドレインの一方は配線SLと接続され、トランジスタ52Aのゲートは配線GL1と接続される。トランジスタ52Dのソース又はドレインの一方は配線ANOと接続され、トランジスタ52Dのゲートは配線GL2と接続される。トランジスタ52Dのソース又はドレインの他方はトランジスタ52Bのソース又はドレインの一方と接続される。トランジスタ52Bのソース又はドレインの他方は、トランジスタ52Aのソース又はドレインの他方、及び、トランジスタ52Fのソース又はドレインの一方と接続される。トランジスタ52Fのゲートは配線GL3と接続される。

[0600]

トランジスタ52Eのソース又はドレインの一方は、トランジスタ52Dのソース又はドレインの他方、及び、トランジスタ52Bのソース又はドレインの一方と接続される。トランジスタ52Eのソース又はドレインの他方は、トランジスタ52Bのゲート、及び、容量53の一方の端子と接続される。容量53の他方の端子は、トランジスタ52Fのソース又はドレインの他方、発光素子61のアノード、及びトランジスタ52Cのソース又はドレインの一方と接続される。トランジスタ52Eのゲート及びトランジスタ52Cのゲートは配線GL4と接続される。トランジスタ52Cのソース又はドレインの他方は、配線V0と接続される。トランジスタ52Eのソース又はドレインの他方、トランジスタ52Bのゲート、及び、容量53の一方の端子が接続される領域が、ノードNDとして機能する。

[0601]

また、図28Bには、トランジスタ52A、トランジスタ52C、トランジスタ52D、トランジスタ52E、及びトランジスタ52Fのバックゲートがゲートに接続され、トランジスタ52Bのバックゲートが、ソース又はドレインの他方と接続される構成を示す。

[0602]

本発明の一態様に係るトランジスタを表示装置の画素回路に用いることで、画素回路の占有面積を低減することができる。よって、表示装置の精細度を高めることができる。例えば、精細度が1000 p p i以上10000 p p i以下、好ましくは2000 p p i以上9000 p p i以下、より好ましくは3000 p p i以上8000 p p i以下、さらに好ましくは4000 p p i以上8000 p p i以下、さらに好ましくは5000 p p i以上8000 p p i以下、さらに好ましくは6000 p p i以上8000 p p i以下である表示装置を実現することができる。

[0603]

また、画素回路の占有面積が低減することで、表示装置の画素数を多く（解像度を高く）することができる。例えば、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K2K（画素数3840×2160）、又は8K4K（画素数7680×4320）といった極めて高い解像度の表示装置を実現することができる。

[0604]

よって、本発明の一態様に係るトランジスタを表示装置の画素回路に用いることで、表示装置の表示品位を高めることができる。また、EL素子を用いたボトムエミッション型の表示装置では、画素の開口率を高めることができる。開口率の高い画素は、開口率の低い画素と同じ輝度の発光を、開口率の低い画素よりも少ない電流密度で実現することができる。よって、表示装置の信頼性を高めることができる。

[0605]

本実施の形態に示す構成は、他の実施の形態又は実施例に示した構成と適宜組み合わせて用いることができる。

[0606]

(実施の形態5)

本実施の形態では、本発明の一態様の電子機器について、図29A乃至図31Gを用いて説明する。

[0607]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0608]

電子機器としては、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0609]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのVR向け機器、メガネ型のAR向け機器、及び、MR向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0610]

本発明の一態様の表示装置は、HD（画素数 1280×720 ）、FHD（画素数 1920×1080 ）、WQHD（画素数 2560×1440 ）、WQXGA（画素数 2560×1600 ）、4K（画素数 3840×2160 ）、8K（画素数 7680×4320 ）といった極めて高い解像度を有していることが好ましい。特に4K、8K、又はそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、 100 ppi 以上が好ましく、 300 ppi 以上が好ましく、 500 ppi 以上がより好ましく、 1000 ppi 以上がより好ましく、 2000 ppi 以上がより好ましく、 3000 ppi 以上がより好ましく、 5000 ppi 以上がより好ましく、 7000 ppi 以上がさらに好ましい。このように高い解像度及び高い精細度の一方又は双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、 $1:1$ （正方形）、 $4:3$ 、 $16:9$ 、 $16:10$ など様々な画面比率に対応することができる。

[0611]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）を有してもよい。

[0612]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0613]

図29A乃至図29Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、VRのコンテンツを表示する機能、SRのコンテンツを表示する機能、MRのコンテンツを表示する機能のうち少なくとも1つを有する。電子機器が、AR、VR、SR、及びMRなどの少なくとも1つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0614]

図29Aに示す電子機器700A、及び、図29Bに示す電子機器700Bは、それぞれ、一对の表示パネル751と、一对の筐体721と、通信部（図示しない。）と、一对の装着部723と、制御部（図示しない。）と、撮像部（図示しない。）と、一对の光学部材753と、フレーム757と、一对の鼻パッド758と、を有する。

[0615]

表示パネル751には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。

[0616]

電子機器700A、及び、電子機器700Bは、それぞれ、光学部材753の表示領域756に、表示パネル751で表示した画像を投影することができる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700A、及び、電子機器700Bは、それぞれ、AR表示が可能

な電子機器である。

[0617]

電子機器700A、及び、電子機器700Bには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700A、及び、電子機器700Bは、それぞれ、ジャイロセンサなどの加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域756に表示することもできる。

[0618]

通信部は無線通信機を有し、当該無線通信機により映像信号等を供給することができる。なお、無線通信機に代えて、又は無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0619]

電子機器700A、及び、電子機器700Bには、バッテリー（図示しない。）が設けられており、無線及び有線的一方又は双方によって充電することができる。

[0620]

筐体721には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体721の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作又はスライド操作などを検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止又は再開などの処理を実行することが可能となり、スライド操作により、早送り又は早戻しの処理を実行することなどが可能となる。また、2つの筐体721のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0621]

タッチセンサモジュールとしては、様々なタッチセンサを適用することができる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、光学方式等、種々の方式を採用することができる。特に、静電容量方式又は光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0622]

光学方式のタッチセンサを用いる場合には、受光素子として、光電変換素子を用いることができる。光電変換素子の活性層には、無機半導体及び有機半導体の一方又は双方を用いることができる。

[0623]

図29Cに示す電子機器800A、及び、図29Dに示す電子機器800Bは、それぞれ、一对の表示部820と、筐体821と、通信部822と、一对の装着部823と、制御部824と、一对の撮像部825と、一对のレンズ832と、を有する。

[0624]

表示部820には、本発明の一態様の表示装置を適用することができる。したがって極めて精細度の高い表示が可能な電子機器とすることができる。これにより、使用者に高い没入感を感じさせることができる。

[0625]

表示部820は、筐体821の内部の、レンズ832を通して視認することができる位置に設けられる。また、一对の表示部820に異なる画像を表示させることで、視差を用いた3次元表示を行うこともできる。

[0626]

電子機器800A、及び、電子機器800Bは、それぞれ、VR向けの電子機器ということができる。電子機器800A又は電子機器800Bを装着した使用者は、レンズ832を通して、表示部820に表示される画像を視認することができる。

[0627]

電子機器800A、及び、電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0628]

装着部823により、使用者は電子機器800A又は電子機器800Bを頭部に装着することができる。なお、図29Cなどにおいては、メガネのつる（ジョイント、テンプルともいう。）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着することができればよく、例えば、ヘルメット型又はバンド型の形状としてもよい。

[0629]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力することができる。撮像部825には、イメージセンサを用いることができる。また、望遠、広角などの複数の画角に対応可能なように複数のカメラを設けてもよい。

[0630]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ。）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えば、イメージセンサ又はライダー（L I D A R : L i g h t D e t e c t i o n A n d R a n g i n g）などの距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0631]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有してもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一又は複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、又はスピーカなどの音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0632]

電子機器800A、及び、電子機器800Bは、それぞれ、入力端子を有してもよい。入力端子には映像出力機器等からの映像信号、及び、電子機器内に設けられるバッテリーを充電するための電力等を供給するケーブルを接続することができる。

[0633]

本発明の一態様の電子機器は、イヤフォン750と無線通信を行う機能を有してもよい。イヤフォン750は、通信部（図示しない。）を有し、無線通信機能を有する。イヤフォン750は、無線通信機能により、電子機器から情報（例えば、音声データ）を受信することができる。例えば、図29Aに示す電子機器700Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。また、例えば、図29Cに示す電子機器800Aは、無線通信機能によって、イヤフォン750

0に情報を送信する機能を有する。

[0634]

電子機器がイヤフォン部を有してもよい。図29Bに示す電子機器700Bは、イヤフォン部727を有する。例えば、イヤフォン部727と制御部とは、互いに有線接続されている構成とすることができる。イヤフォン部727と制御部とをつなぐ配線の一部は、筐体721又は装着部723の内部に配置されていてもよい。

[0635]

同様に、図29Dに示す電子機器800Bは、イヤフォン部827を有する。例えば、イヤフォン部827と制御部824とは、互いに有線接続されている構成とすることができる。イヤフォン部827と制御部824とをつなぐ配線の一部は、筐体821又は装着部823の内部に配置されていてもよい。また、イヤフォン部827と装着部823とがマグネットを有してもよい。これにより、イヤフォン部827を装着部823に磁力によって固定することができ、収納が容易となり好ましい。

[0636]

なお、電子機器は、イヤフォン又はヘッドフォンなどを接続することができる音声出力端子を有してもよい。また、電子機器は、音声入力端子及び音声入力機構の一方又は双方を有してもよい。音声入力機構としては、例えば、マイクなどの集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0637]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器700A及び電子機器700Bなど）と、ゴーグル型（電子機器800A及び電子機器800Bなど）と、のどちらも好適である。

[0638]

本発明の一態様の電子機器は、有線又は無線によって、イヤフォンに情報を送信することができる。

[0639]

図30Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0640]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0641]

表示部6502に、本発明の一態様の表示装置を適用することができる。

[0642]

図30Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0643]

筐体6501の表示面側には、透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、バッテリー6518等が配置されている。

[0644]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル651

3が接着層（図示しない。）により固定されている。

[0645]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続されている。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続されている。

[0646]

表示パネル6511には、本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量の電子機器を実現することができる。また、表示パネル6511が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー6518を搭載することもできる。また、表示パネル6511の一部を折り返して、表示部6502の裏側にFPC6515との接続部を配置することにより、狭額縁の電子機器を実現することができる。

[0647]

図30Cにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示している。

[0648]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0649]

図30Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111により行うことができる。又は、表示部7000にタッチセンサを備えていてもよく、指等で表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0650]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

[0651]

図30Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0652]

表示部7000に、本発明の一態様の表示装置を適用することができる。

[0653]

図30E及び図30Fに、デジタルサイネージの一例を示す。

[0654]

図30Eに示すデジタルサイネージ7300は、筐体7301、表示部7000、スピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ又は操作スイッチを含む）、接続端

子、各種センサ、マイクロフォン等を有することができる。

[0655]

図30Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0656]

図30E及び図30Fにおいて、表示部7000に、本発明の一態様の表示装置を適用することができる。

[0657]

表示部7000が広いほど、一度に提供することができる情報量を増やすことができる。また、表示部7000が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0658]

表示部7000にタッチパネルを適用することで、表示部7000に画像又は動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報若しくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0659]

図30E及び図30Fに示すように、デジタルサイネージ7300又はデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311又は情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7000に表示される広告の情報を、情報端末機7311又は情報端末機7411の画面に表示させることができる。また、情報端末機7311又は情報端末機7411を操作することで、表示部7000の表示を切り替えることができる。

[0660]

デジタルサイネージ7300又はデジタルサイネージ7400に、情報端末機7311又は情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0661]

図31A乃至図31Gに示す電子機器は、筐体9000、表示部9001、スピーカ9003、操作キー9005（電源スイッチ、又は操作スイッチを含む。）、接続端子9006、センサ9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの。）、マイクロフォン9008、等を有する。

[0662]

図31A乃至図31Gにおいて、表示部9001に、本発明の一態様の表示装置を適用することができる。

[0663]

図31A乃至図31Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複

数の表示部を有してもよい。また、電子機器にカメラ等を設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

[0664]

図31A乃至図31Gに示す電子機器の詳細について、以下説明を行う。

[0665]

図31Aは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字及び画像情報をその複数の面に表示することができる。図31Aでは、3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例としては、電子メール、SNS、電話などの着信の通知、電子メール又はSNSなどの題名、送信者名、日時、時刻、バッテリーの残量、電波強度などがある。又は、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

[0666]

図31Bは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば、使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察することができる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば、電話を受けるか否かを判断することができる。

[0667]

図31Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、スピーカ9003を有し、筐体9000の側面には操作用のボタンとしての操作キー9005、底面には接続端子9006を有する。

[0668]

図31Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0669]

図31E乃至図31Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図31Eは携帯情報端末9201を展開した状態、図31Gは折り畳んだ状態、図31Fは図31Eと図31Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9

000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0670]

本実施の形態は、他の実施の形態又は実施例と適宜組み合わせることができる。

[実施例]

[0671]

本実施例では、本発明の一態様に係る作製方法を用いてトランジスタを作製し、断面STEM (Scanning Transmission Electron Microscope) 像の観察を行った。

[0672]

本実施例では、図12A乃至図14Cに示す方法の一部を用いて、図7A及び図7Bに示すトランジスタ100Cを有する試料を作製した。

[0673]

まず、基板102上に、膜厚100nmの銅膜をスパッタリング法により形成し、これを加工した後、この上に膜厚100nmのIn-Sn-Si酸化物(ITSO)膜をスパッタリング法により形成し、これを加工して、銅とITSOの積層構造である導電層112aを得た。なお、基板102として、ガラス基板を用いた。

[0674]

次に、導電層112a及び基板102上に、膜厚100nmの窒化シリコン膜をPECVD法により形成し、絶縁膜110a1__fを得た。

[0675]

次に、絶縁膜110a1__f上に、膜厚100nmの酸化窒化シリコン膜をPECVD法により形成し、絶縁膜110a2__fを得た。

[0676]

次に、絶縁膜110a2__f上に、膜厚10nmの酸化アルミニウム膜をスパッタリング法により形成し、絶縁膜110a3__fを得た。

[0677]

次に、絶縁膜110a3__f上に、膜厚300nmのアルミニウム膜をスパッタリング法により形成し、これを加工して、導電層114__eを得た。

[0678]

次に、導電層114__e及び絶縁膜110a3__f上に、膜厚20nmの酸化アルミニウム膜をスパッタリング法により形成し、絶縁膜110b3__fを得た。

[0679]

次に、絶縁膜110b3__f上に、膜厚100nmの酸化窒化シリコン膜をPECVD法により形成し、絶縁膜110b2__fを得た。

[0680]

次に、絶縁膜110b2__f上に、膜厚5nmの酸化アルミニウム膜をスパッタリング法により形成し、絶縁膜110b2__fに酸素を供給する処理を行った。

[0681]

次に、上記酸化アルミニウム膜上に、膜厚100nmの窒化シリコン膜をPECVD法により形成

し、絶縁膜 110b1__f を得た。

[0682]

次に、絶縁膜 110b1__f 上に、レジストマスク 191a を形成した。

[0683]

次に、レジストマスク 191a をマスクとして、絶縁膜 110b1__f、絶縁膜 110b2__f、絶縁膜 110b3__f、導電層 114__e、絶縁膜 110a3__f、絶縁膜 110a2__f、及び絶縁膜 110a1__f を加工して、絶縁層 110b（絶縁層 110b1、絶縁層 110b2、及び絶縁層 110b3）、導電層 114、及び絶縁層 110a（絶縁層 110a3、絶縁層 110a2、及び絶縁層 110a1）を形成した。当該加工には、ドライエッチング法を用いた。

[0684]

次に、レジストマスク 191a を除去した。

[0685]

次に、導電層 112a、絶縁層 110a、導電層 114、及び絶縁層 110b 上に、膜厚 300nm の酸化窒化シリコン膜を PECVD 法により形成し、絶縁膜 110s__f を得た。

[0686]

次に、絶縁膜 110s__f を加工して、絶縁層 110s を得た。当該加工には、ドライエッチング法を用いた。

[0687]

次に、導電層 112a、絶縁層 110s、及び絶縁層 110b 上に、膜厚 50nm の金属酸化物膜を形成した。当該金属酸化物膜は、金属元素の原子数比が $In:Ga:Zn=1:1:1$ である IGZO スパッタリングターゲットを用いたスパッタリング法により形成した。なお、当該形成時の基板温度は室温とし、成膜ガスには酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比は 10% とした。

[0688]

次に、乾燥空気雰囲気、350℃、1 時間の加熱処理を行った。

[0689]

次に、上記金属酸化物膜を加工して、半導体層 108 を得た。当該加工には、ウェットエッチング法を用いた。

[0690]

次に、半導体層 108 上に、膜厚 50nm の酸化窒化シリコン膜を PECVD 法により形成し、絶縁層 106 を得た。

[0691]

次に、乾燥空気雰囲気、350℃、1 時間の加熱処理を行った。

[0692]

次に、絶縁層 106 上に、膜厚 50nm のチタン膜と、膜厚 200nm のアルミニウム膜と、膜厚 50nm のチタン膜と、の積層膜をスパッタリング法により形成し、当該積層膜を加工して、導電層 104 を得た。

[0693]

以上により、トランジスタ 100C を作製した。

[0694]

次に、作製したトランジスタ100Cを覆って、膜厚300nmの窒化酸化シリコン膜をPECVD法により形成し、絶縁層195を得た。

[0695]

次に、乾燥空気雰囲気中で、300℃、1時間の加熱処理を行った。

[0696]

次に、絶縁層195を覆って、膜厚1.5μmのポリイミド樹脂を形成した。

[0697]

続いて、窒素雰囲気中で、250℃、1時間の加熱処理を行った。

[0698]

以上のようにして、トランジスタ100Cを有する試料を作製した。

[0699]

上記試料において、断面STEM像を撮影した結果について、図32A及び図32Bに示す。ここで、図32Aは、上記試料の光学顕微鏡写真であり、図32Bは、図32Aの破線A-A'に対応する断面STEM像である。なお、上記試料は、日立ハイテク社製走査透過電子顕微鏡(STEM)(型番:HD-2300)を用いて、加速電圧200kVで撮影した。

[0700]

図32Bに示すように、絶縁層110a(絶縁層110a1、絶縁層110a2、及び絶縁層110a3)上に、導電層114を形成できていることを確認した。また、絶縁層110b(絶縁層110b1、絶縁層110b2、及び絶縁層110b3)の開口の側壁、導電層114の開口の側壁、及び、絶縁層110aの開口の側壁に沿って、絶縁層110sを形成できていることを確認した。また、導電層114の、絶縁層110sが形成されている側面とは反対側の側面には、絶縁層110bを介して、側壁絶縁層110wが形成され、半導体層108が、導電層112aの上面、絶縁層110sの側面、絶縁層110bの上面、及び、側壁絶縁層110wの上面に接して設けられていることを確認した。また、絶縁層106及び導電層104についても、それぞれ段切れすることなく、半導体層108の上面に沿った形状を有して、形成されていることを確認した。

[0701]

以上により、本発明の一態様の作製方法により、トランジスタ100Cを作製できていることを確認した。

[0702]

本実施例は、実施の形態と適宜組み合わせることができる。

[符号の説明]

[0703]

11B:副画素、11G:副画素、11R:副画素、50A:表示装置、50B:表示装置、50C:表示装置、50D:表示装置、50E:表示装置、51:画素回路、51A:画素回路、51B:画素回路、51C:画素回路、51D:画素回路、51E:画素回路、51F:画素回路、51G:画素回路、51H:画素回路、51I:画素回路、51J:画素回路、52A:トランジスタ、52B:トランジスタ、52C:トランジスタ、52D:トランジスタ、52E:トランジスタ、52F:トランジスタ、53:容量、53A:容量、61:発光素子、100:トランジスタ、100A:トランジスタ、100B:トランジスタ、100C:トランジスタ、100D:トランジスタ、100E:トランジスタ、100F:トランジスタ、100G:トランジスタ、100H:トランジスタ、10

01 : トランジスタ、100J : トランジスタ、102 : 基板、104 : 導電層、106 : 絶縁層、108Da : 領域、108Db : 領域、108I : 領域、108L : 領域、108 : 半導体層、110a : 絶縁層、110a1 : 絶縁層、110a1__f : 絶縁膜、110a2 : 絶縁層、110a2__f : 絶縁膜、110a3 : 絶縁層、110a3__f : 絶縁膜、110b : 絶縁層、110b1 : 絶縁層、110b1__f : 絶縁膜、110b2 : 絶縁層、110b2__f : 絶縁膜、110b3 : 絶縁層、110b3__f : 絶縁膜、110g : 絶縁層、110s : 絶縁層、110s1 : 絶縁層、110s2 : 絶縁層、110s__f : 絶縁膜、110w : 側壁絶縁層、111B : 画素電極、111G : 画素電極、111R : 画素電極、111S : 画素電極、111 : 画素電極、112a : 導電層、112a__1 : 導電層、112a__2 : 導電層、112b : 導電層、112b__e : 導電層、112b__f : 導電膜、113B : EL層、113G : EL層、113R : EL層、113S : 機能層、113 : EL層、114__e : 導電層、114 : 導電層、115 : 絶縁層、117 : 遮光層、123 : 導電層、124B : 導電層、124G : 導電層、124R : 導電層、125 : 絶縁層、126B : 導電層、126G : 導電層、126R : 導電層、127 : 絶縁層、128 : 層、129 : 層、130B : 発光素子、130G : 発光素子、130R : 発光素子、130S : 受光素子、131 : 保護層、132B : 着色層、132G : 着色層、132R : 着色層、133B : 層、133G : 層、133R : 層、134 : 共通層、135 : 共通電極、140 : 接続部、141 : 側壁、142 : 開口、143 : 開口、149 : 接着層、150 : 領域、151 : 基板、152 : 基板、153 : 絶縁層、161 : 領域、162 : 領域、164 : 回路部、165 : 配線、166 : 導電層、167 : 導電層、168 : 表示部、170 : 基板、171 : 接着層、172 : FPC、173 : IC、190 : 不純物、191a : レジストマスク、191b : レジストマスク、195 : 絶縁層、196 : 絶縁層、200A : 表示装置、200B : 表示装置、200C : 表示装置、200 : 表示装置、204 : 接続部、205B : トランジスタ、205D : トランジスタ、205G : トランジスタ、205R : トランジスタ、205S : トランジスタ、210 : 画素、230 : 画素、235 : 絶縁層、237 : 絶縁層、240 : 容量、241 : 導電層、242 : 接続層、243 : 絶縁層、245 : 導電層、254 : 絶縁層、255a : 絶縁層、255b : 絶縁層、255c : 絶縁層、256 : プラグ、266 : 絶縁層、274a : 導電層、274b : 導電層、274 : プラグ、280 : 表示モジュール、281 : 表示部、282 : 回路部、283a : 画素回路、283 : 画素回路部、284a : 画素、284 : 画素部、285 : 端子部、286 : 配線部、290 : FPC、291 : 基板、292 : 基板、301 : 基板、310 : トランジスタ、311 : 導電層、312 : 低抵抗領域、313 : 絶縁層、314 : 絶縁層、315 : 素子分離層、320A : トランジスタ、320B : トランジスタ、320 : トランジスタ、331 : 基板、332 : 絶縁層、350 : 絶縁層、351 : 半導体層、352 : 絶縁層、353 : 絶縁層、354 : 導電層、355 : 導電層、356 : 絶縁層、357 : 導電層、358 : 絶縁層、359 : 絶縁層、431 : 第1駆動回路部、432 : 第2駆動回路部、433 : 周辺駆動回路、435 : 表示部、436 : 配線、437 : 配線、700A : 電子機器、700B : 電子機器、721 : 筐体、723 : 装着部、727 : イヤフォン部、750 : イヤフォン、751 : 表示パネル、753 : 光学部材、756 : 表示領域、757 : フレーム、758 : 鼻パッド、800A : 電子機器、800B : 電子機器、820 : 表示部、821 : 筐体、822 : 通信部、823 : 装着部、824 : 制御部、825 : 撮像部、827 : イヤフォン部、832 : レンズ、6500 : 電子機器、6501 : 筐体、6502 : 表示部、6503 : 電源ボタン、6504 : ボタン、6505 : スピーカ、6506 : マイク、6507 : カメラ、6508 : 光源、6510 : 保護部材、6511 : 表示パネル、6512 : 光学部材、6513 : タッチセンサパネル、65

15 : FPC、6516 : IC、6517 : プリント基板、6518 : バッテリ、7000 : 表示部、
7100 : テレビジョン装置、7101 : 筐体、7103 : スタンド、7111 : リモコン操作機、
7200 : ノート型パーソナルコンピュータ、7211 : 筐体、7212 : キーボード、7213 :
ポインティングデバイス、7214 : 外部接続ポート、7300 : デジタルサイネージ、7301 :
筐体、7303 : スピーカ、7311 : 情報端末機、7400 : デジタルサイネージ、7401 : 柱、
7411 : 情報端末機、9000 : 筐体、9001 : 表示部、9002 : カメラ、9003 : スピー
カ、9005 : 操作キー、9006 : 接続端子、9007 : センサ、9008 : マイクロフォン、9
050 : アイコン、9051 : 情報、9052 : 情報、9053 : 情報、9054 : 情報、9055 :
ヒンジ、9101 : 携帯情報端末、9102 : 携帯情報端末、9103 : タブレット端末、9200 :
携帯情報端末、9201 : 携帯情報端末

請求の範囲

[請求項 1]

半導体層と、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、第 4 の導電層と、第 1 の絶縁層と、第 2 の絶縁層と、第 3 の絶縁層と、第 4 の絶縁層と、を有し、
前記第 1 の絶縁層は、前記第 1 の導電層上に設けられ、
前記第 2 の導電層は、前記第 1 の絶縁層上に設けられ、前記第 1 の導電層と重畳する第 1 の開口を有し、
前記第 2 の絶縁層は、前記第 2 の導電層上に設けられ、
前記第 3 の導電層は、前記第 2 の絶縁層上に設けられ、前記第 1 の開口と重畳する第 2 の開口を有し、
前記第 3 の絶縁層は、前記第 1 の開口の側壁に接し、
前記半導体層は、前記第 1 の導電層上、前記第 3 の絶縁層上、及び、前記第 3 の導電層上に設けられ、前記第 1 の導電層の上面に接する第 1 の領域と、前記第 3 の絶縁層の側面に接する第 2 の領域と、前記第 3 の導電層の上面に接する第 3 の領域と、を有し、
前記第 4 の絶縁層は、前記半導体層上に設けられ、
前記第 4 の導電層は、前記第 4 の絶縁層上に設けられ、前記第 4 の絶縁層、前記半導体層、及び前記第 3 の絶縁層を間に挟んで、前記第 2 の導電層と対向し、
前記第 2 の領域は、前記第 1 の領域、及び、前記第 3 の領域のいずれか一方又は双方よりも高抵抗である、
半導体装置。

[請求項 2]

請求項 1 において、
前記半導体層は、金属酸化物を有する、
半導体装置。

[請求項 3]

請求項 1 又は請求項 2 において、
前記第 1 の絶縁層及び前記第 2 の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有する、
半導体装置。

[請求項 4]

請求項 1 又は請求項 2 において、
前記第 3 の絶縁層は、第 5 の絶縁層と、第 6 の絶縁層と、を有し、
前記第 5 の絶縁層は、前記第 1 の開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、
前記第 6 の絶縁層は、前記第 5 の絶縁層を介して、前記第 1 の開口の側壁と対向するように、前記第 5 の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有する、
半導体装置。

[請求項 5]

半導体層と、第1の導電層と、第2の導電層と、第3の導電層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、第4の絶縁層と、を有し、

前記第1の絶縁層は、前記第1の導電層上に設けられ、

前記第2の導電層は、前記第1の絶縁層上に設けられ、前記第1の導電層と重畳する開口を有し、

前記第2の絶縁層は、前記第2の導電層上に設けられ、

前記第3の絶縁層は、前記開口の側壁に接し、

前記半導体層は、前記第1の導電層上及び前記第3の絶縁層上に設けられ、前記第1の導電層の上面と、前記第3の絶縁層の側面と、前記第2の絶縁層の上面と、に接し、平面視にて、前記第1の導電層及び前記第2の導電層よりも外側に延伸する領域を有し、

前記第4の絶縁層は、前記半導体層上に設けられ、

前記第3の導電層は、前記第4の絶縁層上に設けられ、前記第4の絶縁層、前記半導体層、及び前記第3の絶縁層を間に挟んで、前記第2の導電層と対向する、

半導体装置。

[請求項6]

請求項5において、

前記半導体層は、金属酸化物を有する、

半導体装置。

[請求項7]

請求項5又は請求項6において、

前記第1の絶縁層及び前記第2の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有する、

半導体装置。

[請求項8]

請求項5又は請求項6において、

前記第3の絶縁層は、第5の絶縁層と、第6の絶縁層と、を有し、

前記第5の絶縁層は、前記開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、

前記第6の絶縁層は、前記第5の絶縁層を介して、前記開口の側壁と対向するように、前記第5の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有する、

半導体装置。

[請求項9]

半導体層と、第1の導電層と、第2の導電層と、第1の絶縁層と、第2の絶縁層と、第3の絶縁層と、を有し、

前記第1の絶縁層は、前記第1の導電層上に設けられ、

前記第2の導電層は、前記第1の絶縁層上に設けられ、前記第1の導電層と重畳する開口を有し、

前記第2の絶縁層は、前記第2の導電層上に設けられ、

前記第3の絶縁層は、前記開口の側壁に接し、

前記半導体層は、前記第1の導電層上及び前記第3の絶縁層上に設けられ、前記第1の導電層の上

面と、前記第3の絶縁層の側面と、前記第2の絶縁層の上面と、に接し、平面視にて、前記第1の導電層及び前記第2の導電層よりも外側に延伸する領域を有し、前記第3の絶縁層を間に挟んで、前記第2の導電層と対向する、

半導体装置。

[請求項10]

請求項9において、

前記半導体層は、金属酸化物を有する、

半導体装置。

[請求項11]

請求項9又は請求項10において、

前記第1の絶縁層及び前記第2の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウム、酸化ガリウム、酸化タンタル、酸化マグネシウム、酸化ランタン、酸化セリウム、酸化ネオジム、窒化シリコン、窒化酸化シリコン、及び窒化アルミニウムの一又は複数を有する、

半導体装置。

[請求項12]

請求項9又は請求項10において、

前記第3の絶縁層は、第4の絶縁層と、第5の絶縁層と、を有し、

前記第4の絶縁層は、前記開口の側壁に接して設けられ、窒化シリコン、窒化酸化シリコン、酸化ハフニウム、又は酸化アルミニウムの一又は複数を有し、

前記第5の絶縁層は、前記第4の絶縁層を介して、前記開口の側壁と対向するように、前記第4の絶縁層上に設けられ、酸化シリコン、又は酸化窒化シリコンの一又は複数を有する、

半導体装置。

[請求項13]

第1の導電層を形成し、

前記第1の導電層上に、第1の絶縁膜を形成し、

前記第1の絶縁膜上に、前記第1の導電層と重なる領域を有するように、第2の導電層を形成し、

前記第2の導電層及び前記第1の絶縁膜上に、第2の絶縁膜を形成し、

前記第2の絶縁膜上に、第1の導電膜を形成し、

前記第1の絶縁膜の一部、前記第2の導電層の一部、前記第2の絶縁膜の一部、及び、前記第1の導電膜の一部を除去して前記第1の導電層を露出させ、第1の絶縁層、第3の導電層、第2の絶縁層、及び、第4の導電層を形成し、

前記第1の導電層の上面、前記第1の絶縁層の側面、前記第3の導電層の側面、前記第2の絶縁層の側面、及び、前記第4の導電層の側面及び上面に接して、第3の絶縁膜を形成し、

前記第3の絶縁膜の、前記第1の導電層の上面と重なる領域、及び、前記第4の導電層の上面と重なる領域を除去して、前記第1の絶縁層の側面、前記第3の導電層の側面、前記第2の絶縁層の側面、及び、前記第4の導電層の側面に接する第3の絶縁層を形成し、

前記第1の導電層の上面、前記第3の絶縁層の側面、及び、前記第4の導電層の上面に接する半導体層を形成し、

前記半導体層の上面に接する第4の絶縁層を形成し、

前記第4の絶縁層の上面に接し、平面視にて、前記半導体層及び前記第3の絶縁層と重なる領域を有する第5の導電層を形成する、

半導体装置の作製方法。

[請求項14]

請求項13において、

前記第4の絶縁層の形成後に、前記第4の絶縁層を介して、前記半導体層に水素、ホウ素、炭素、窒素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、シリコン、及び貴ガスの一又は複数を供給する、

半導体装置の作製方法。

図 1A

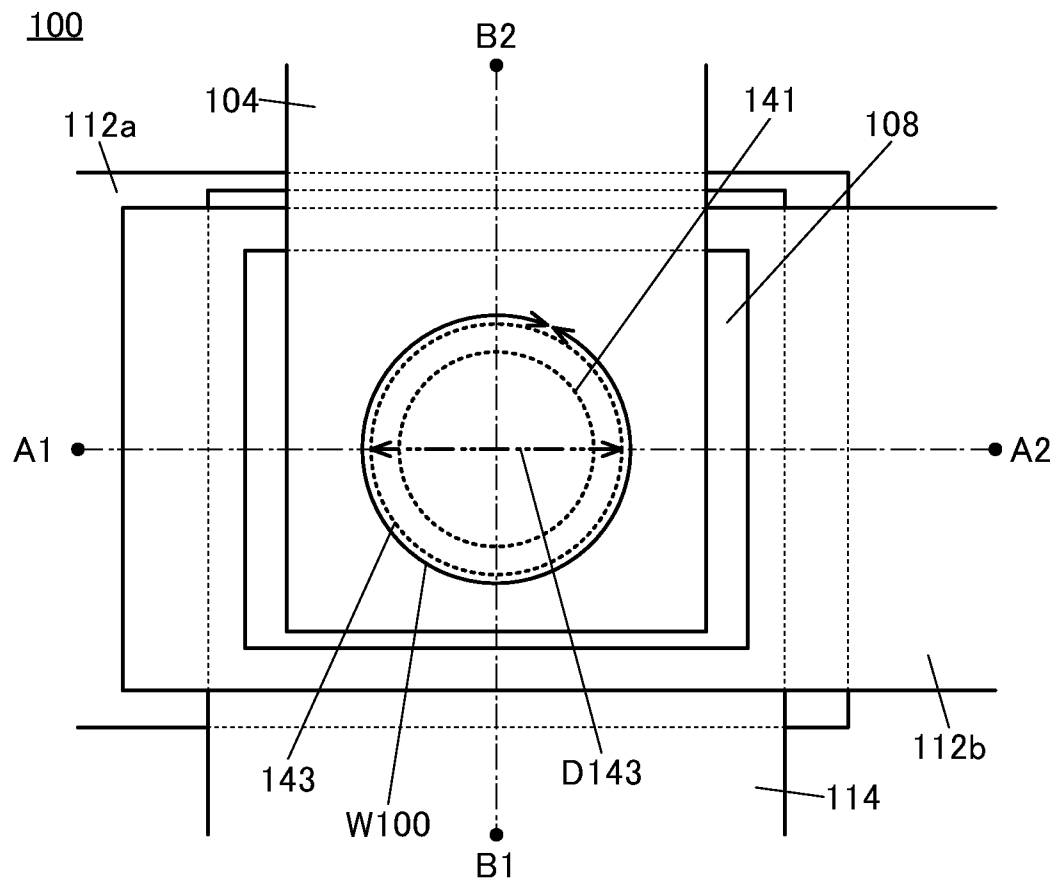


図 1 B

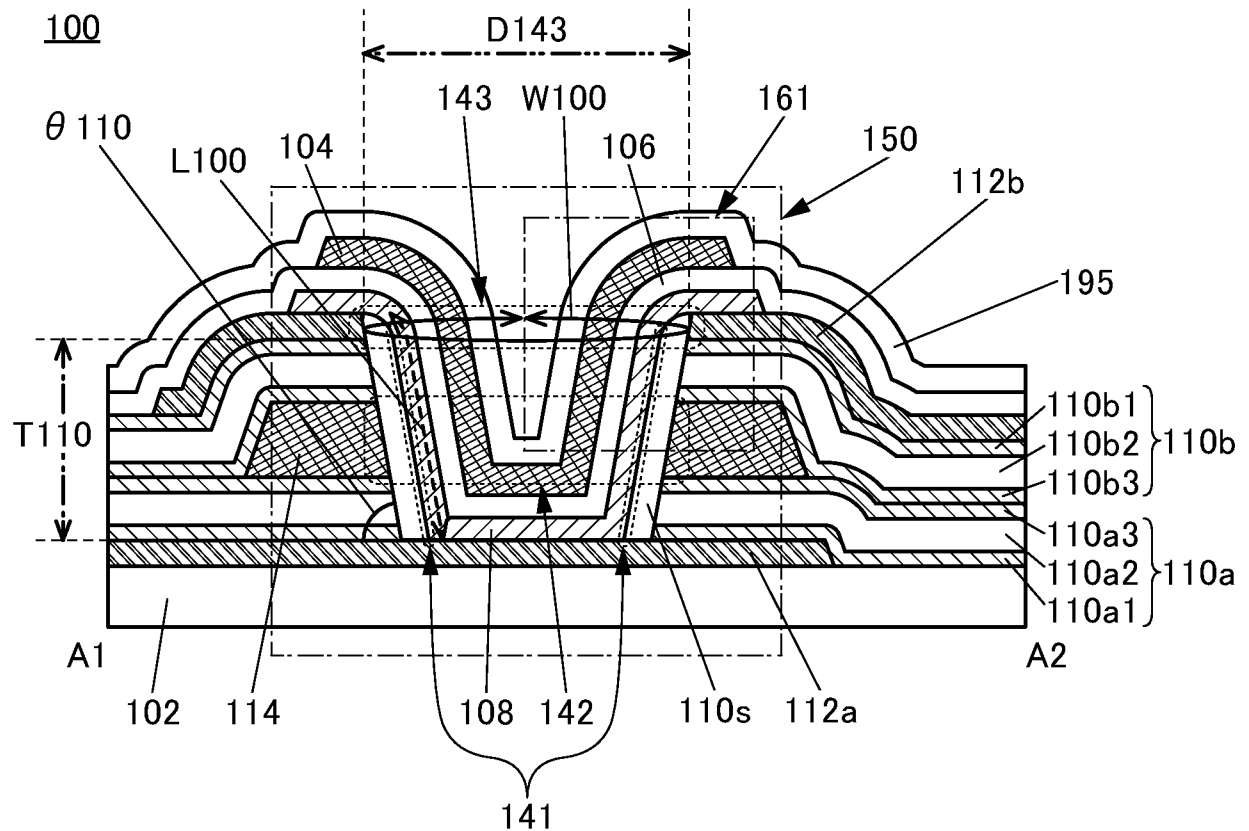


図2

100

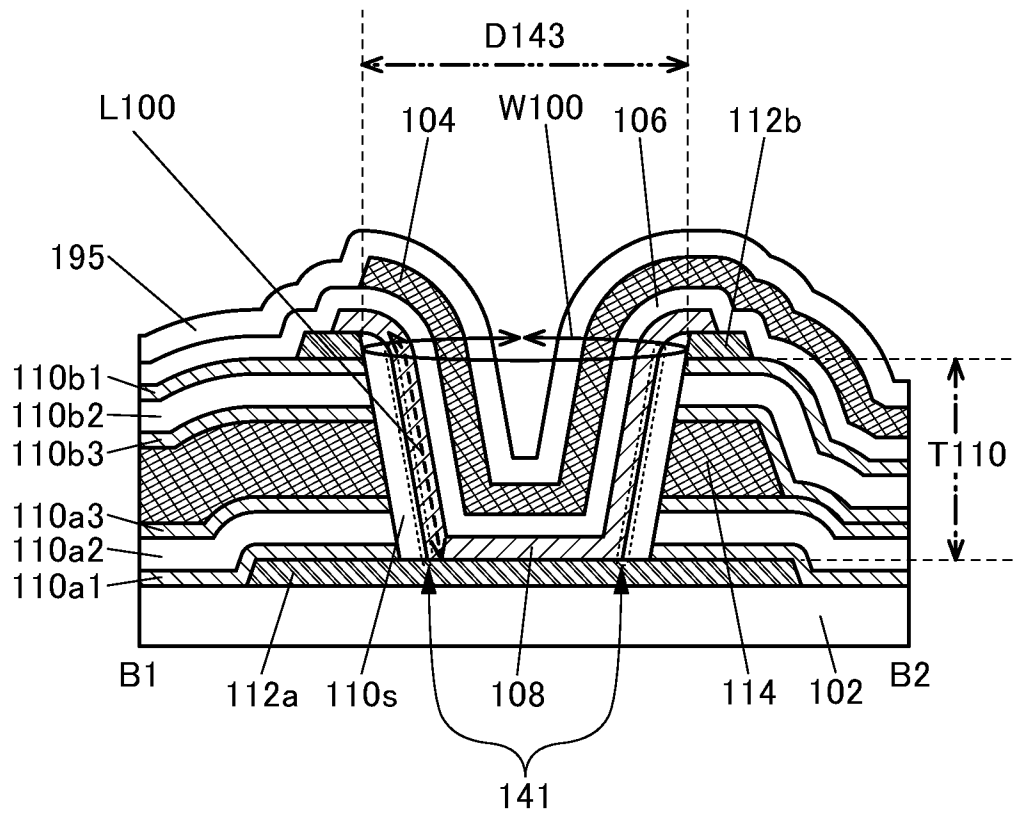


図3

150

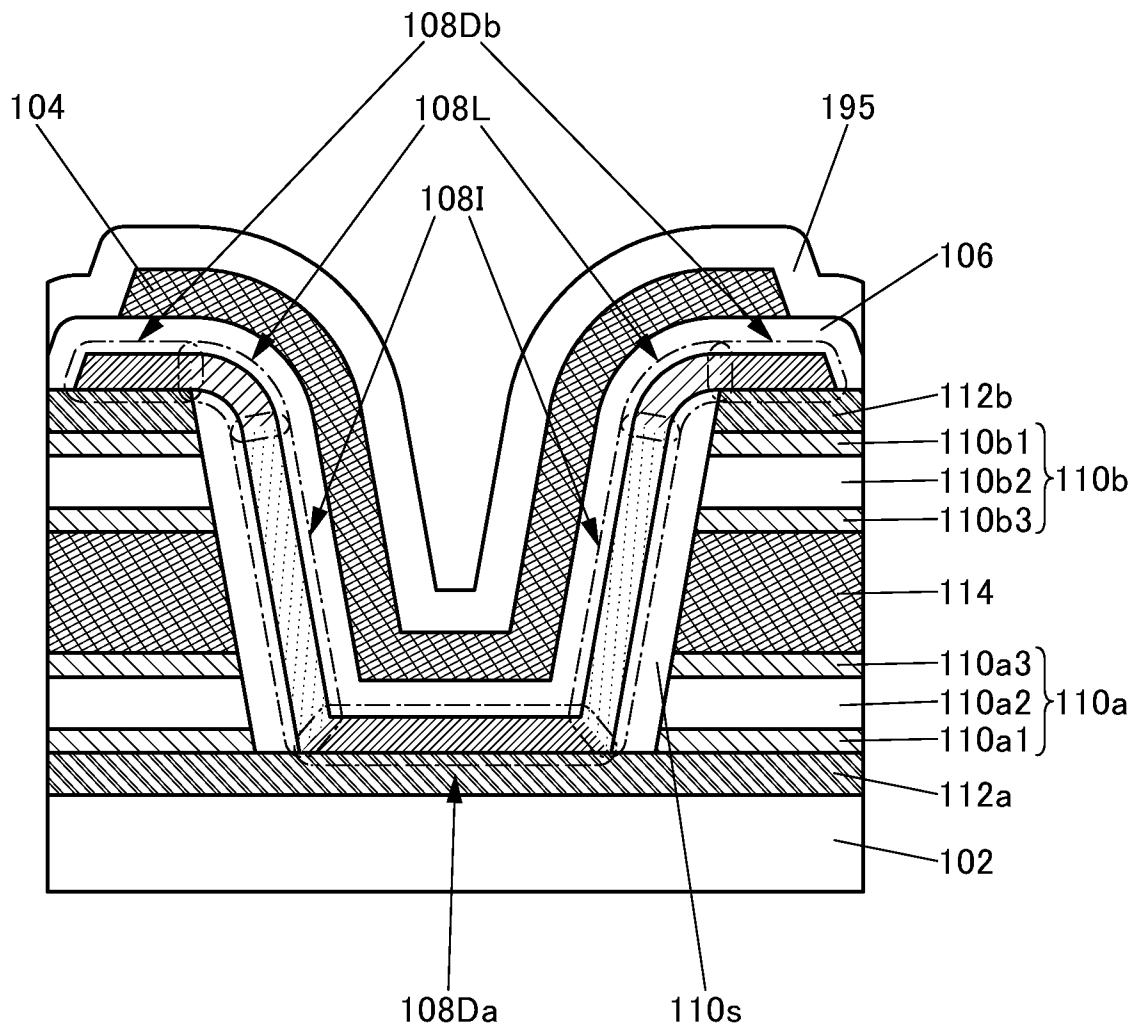


图4A

161

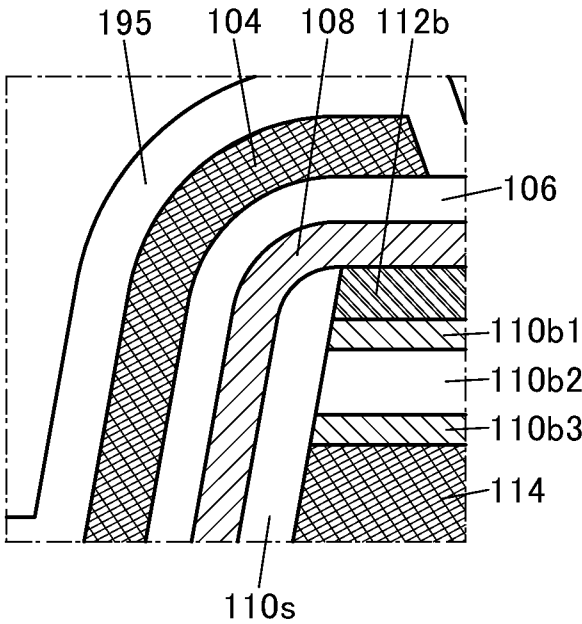


图4B

161

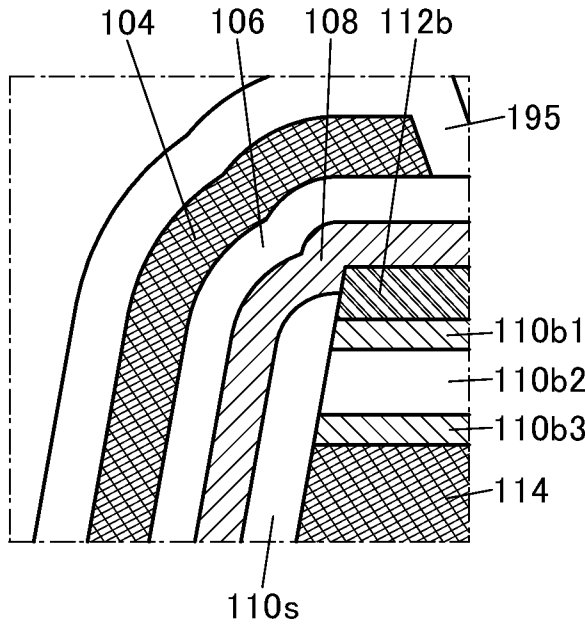


图4C

161

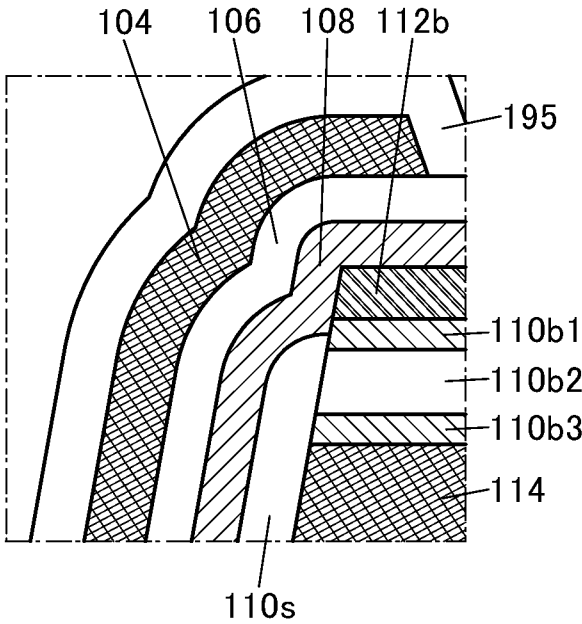
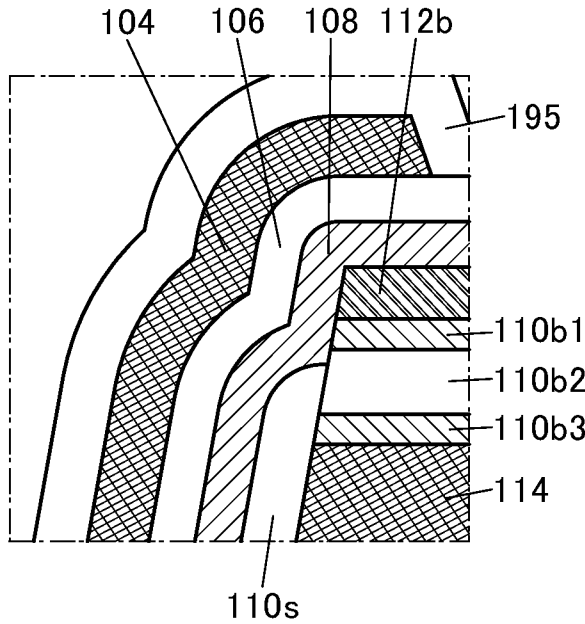


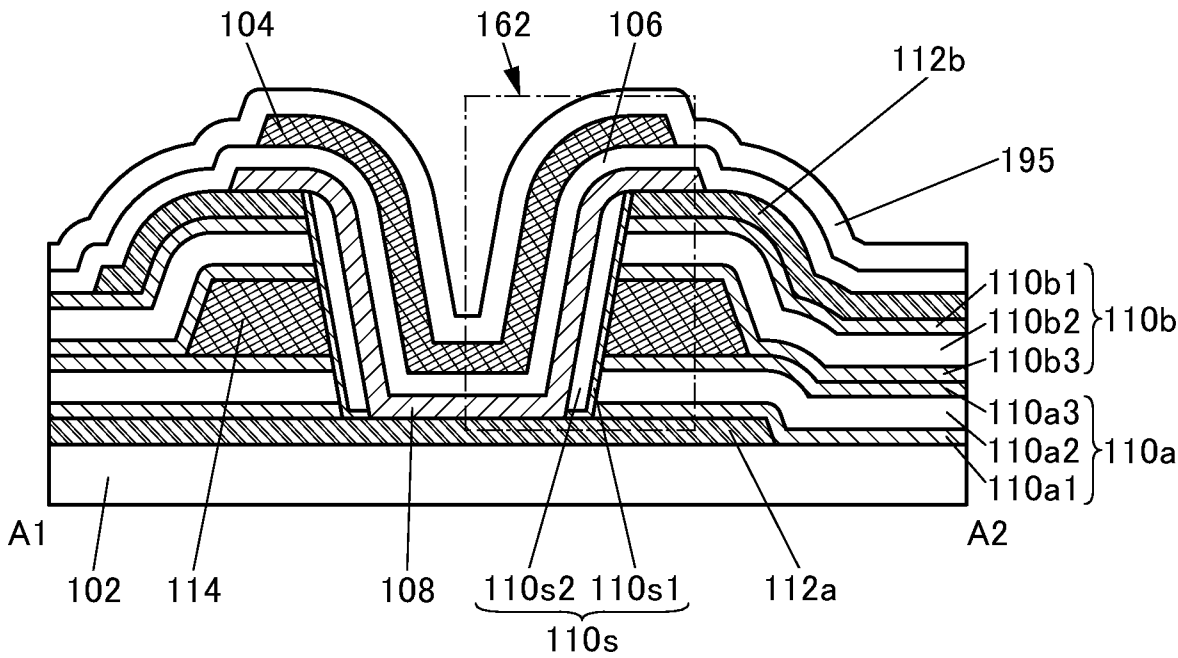
图4D

161



5A

100A



5B

162

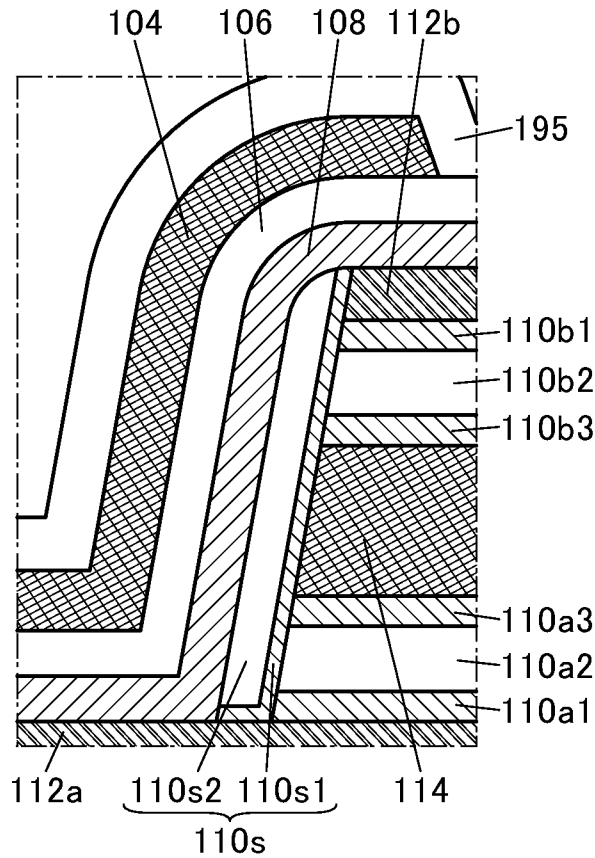


図6A

100B

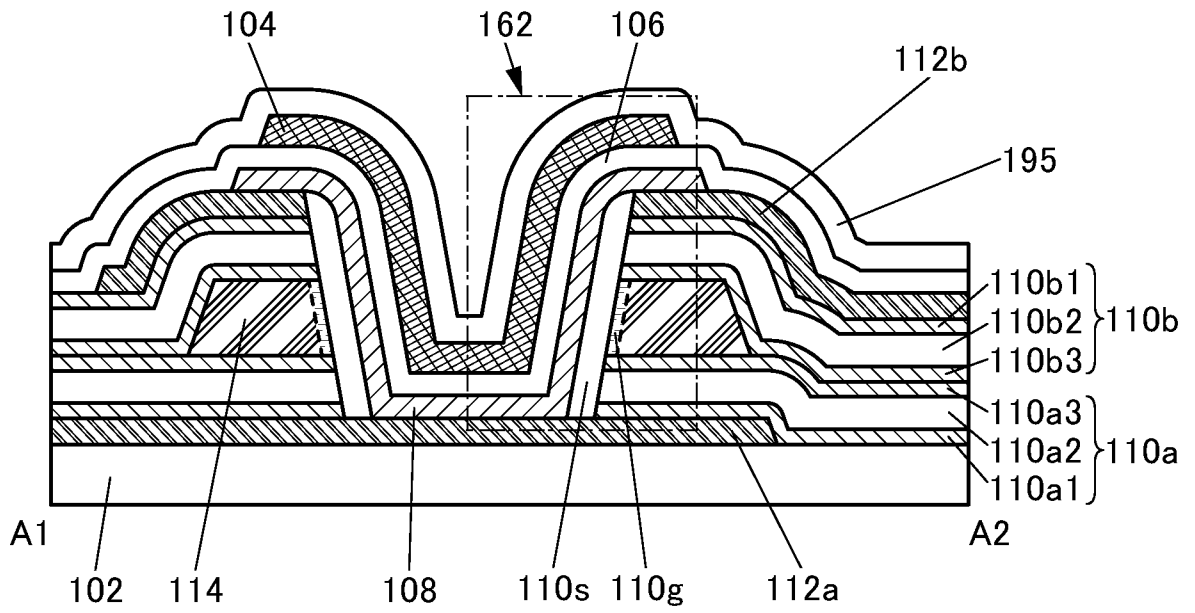


図6B

162

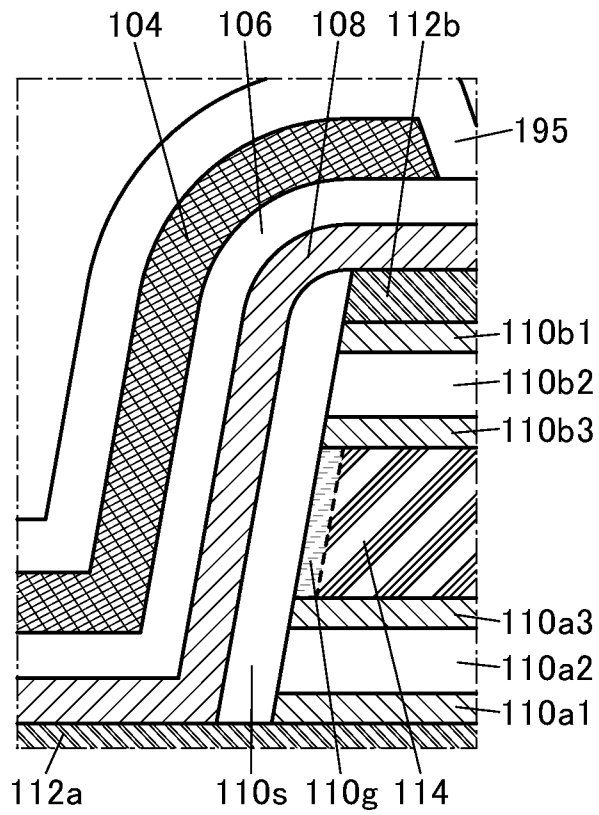


図7A

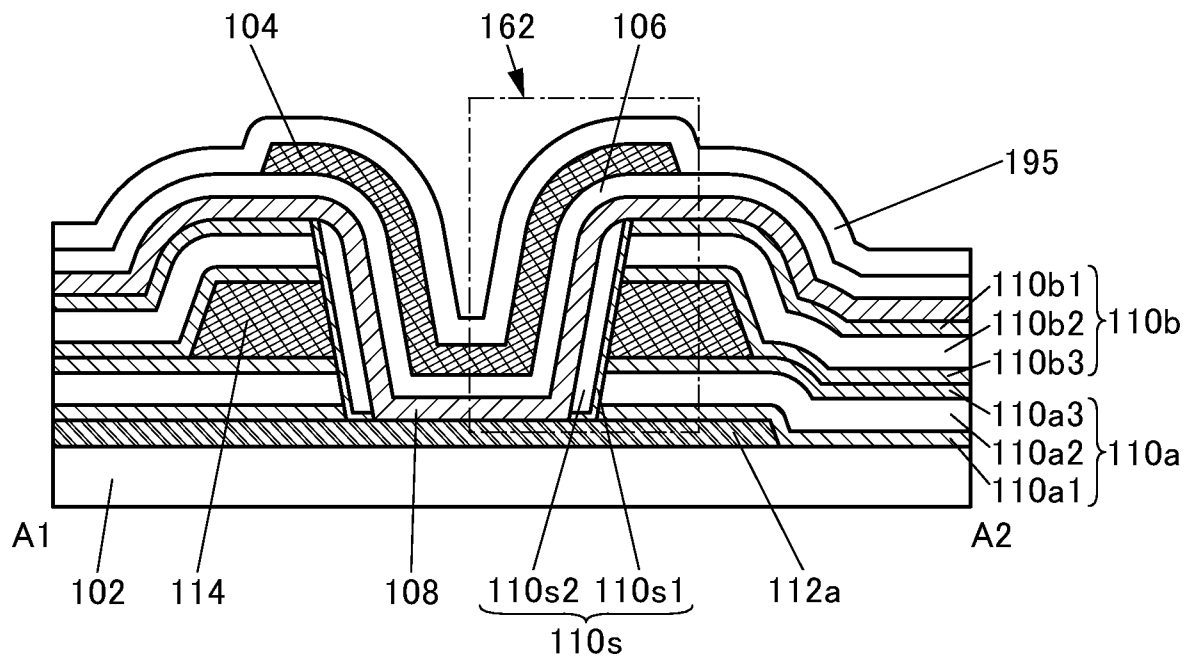
100C

図7B

162

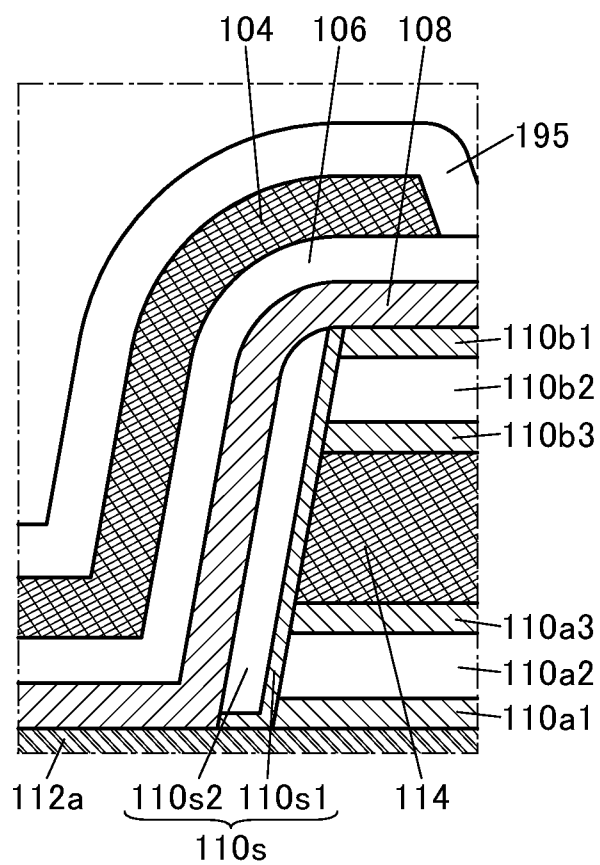


図8A

100D

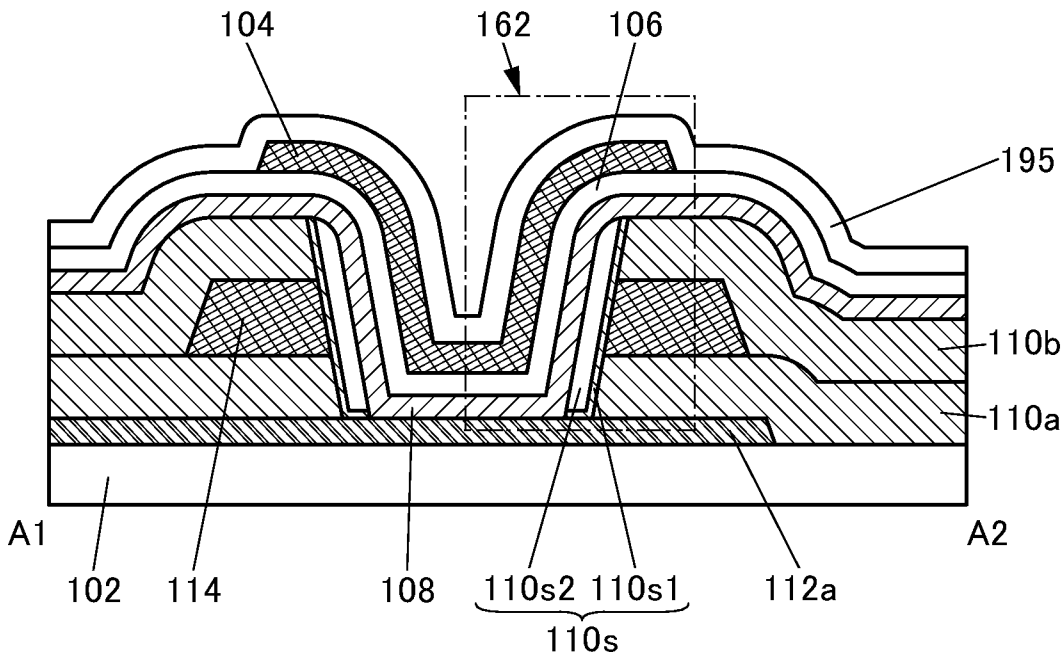


図8B

162

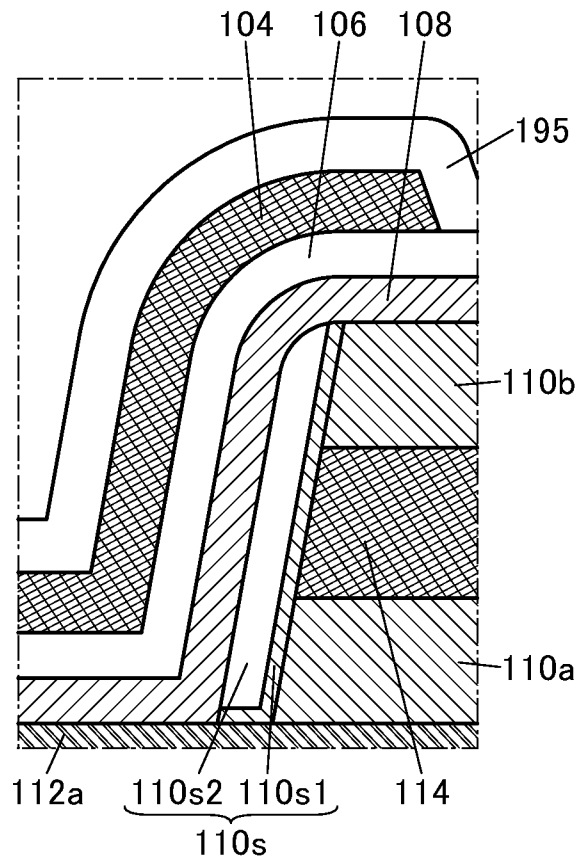


図9A

100E

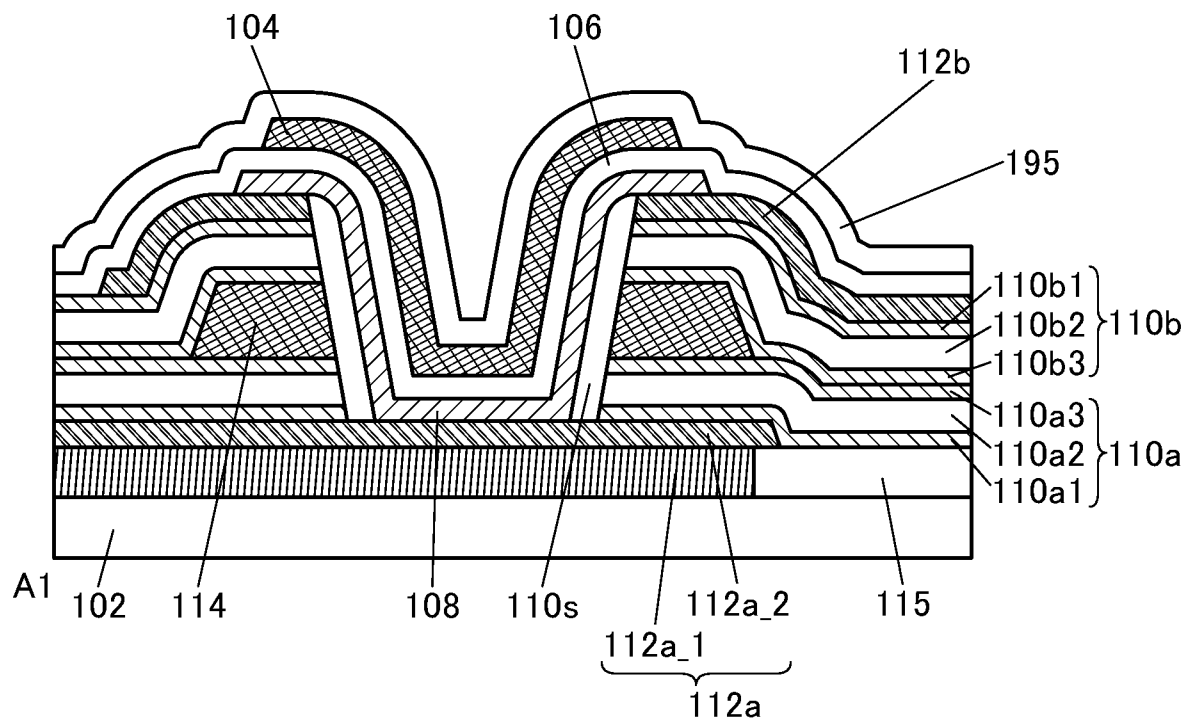


図9B

100F

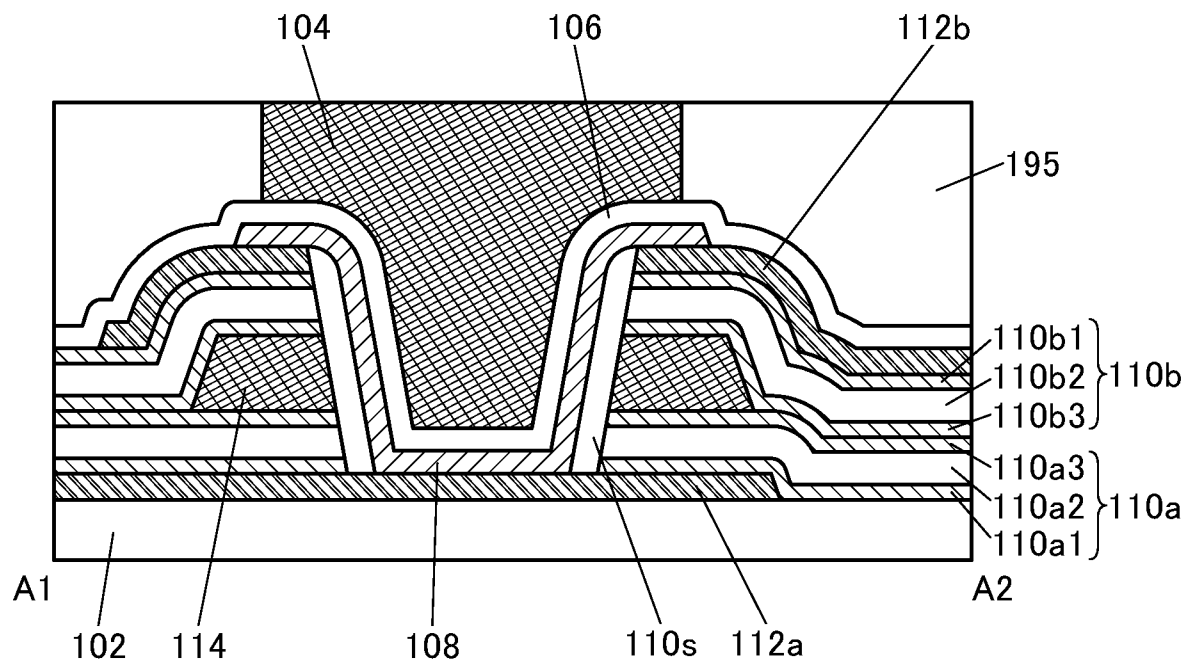


図10

100G

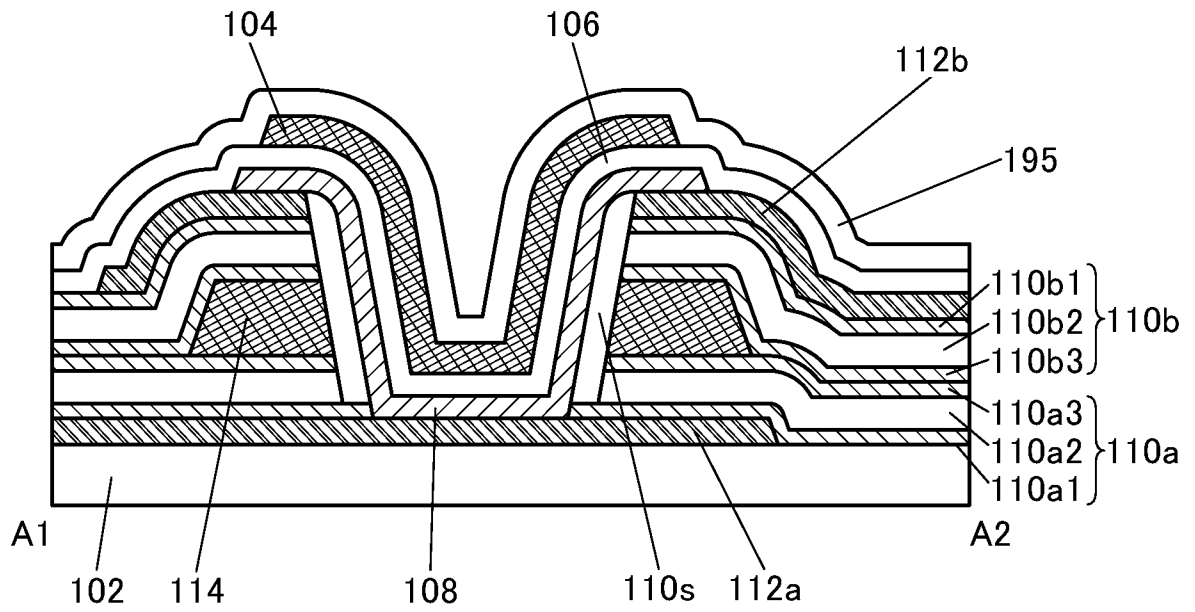


図11A

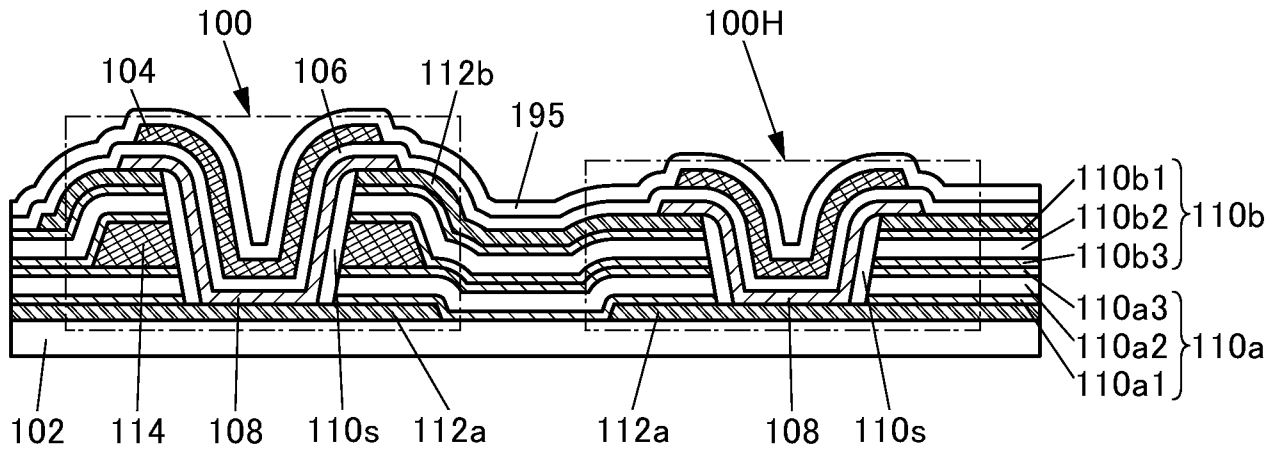


図11B

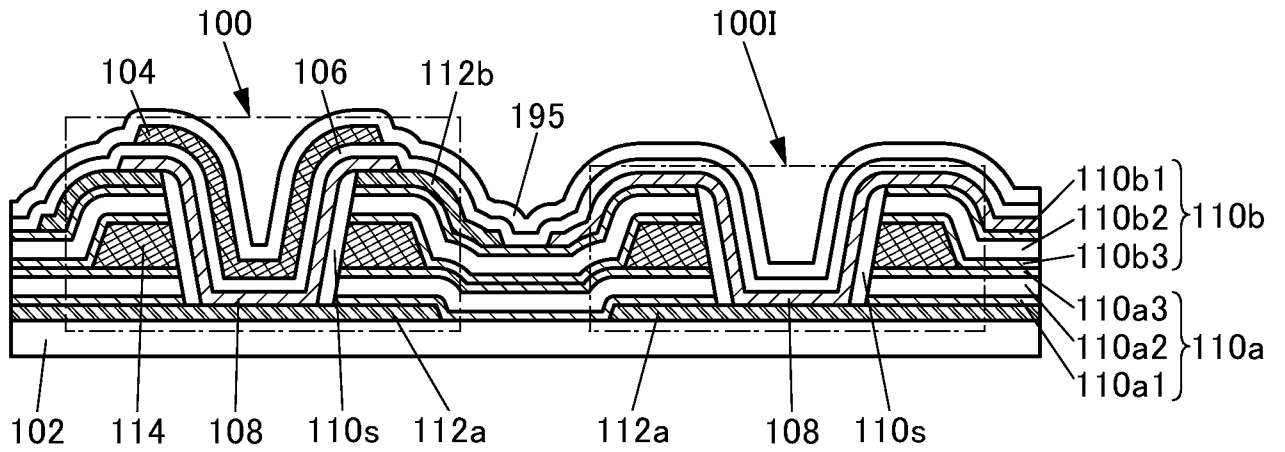


図11C

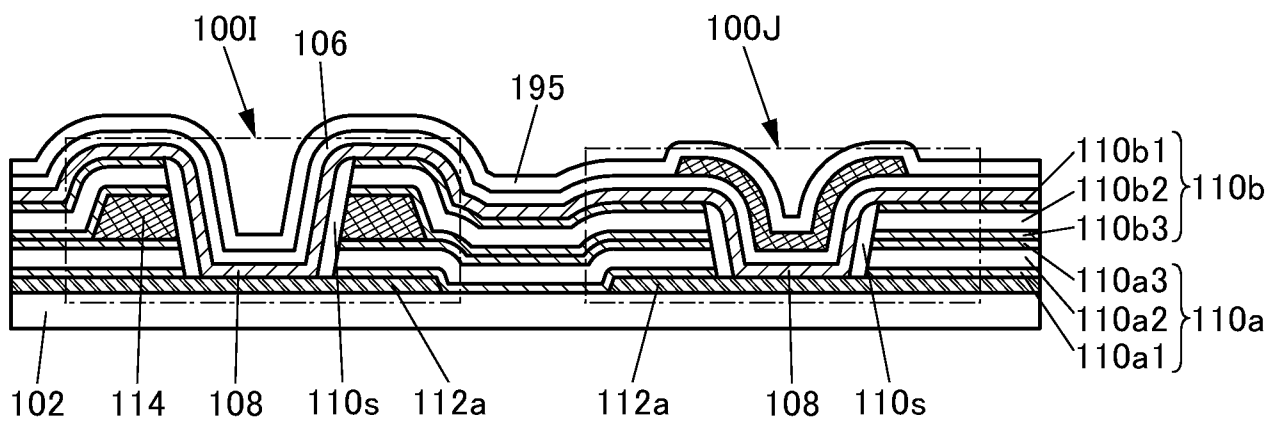


図 12A

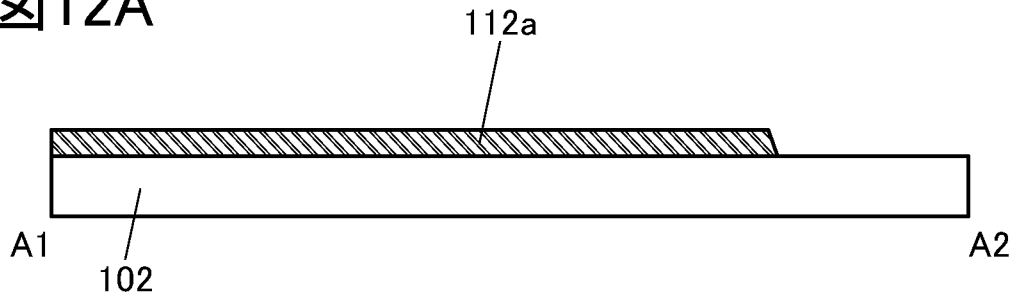


図 12B

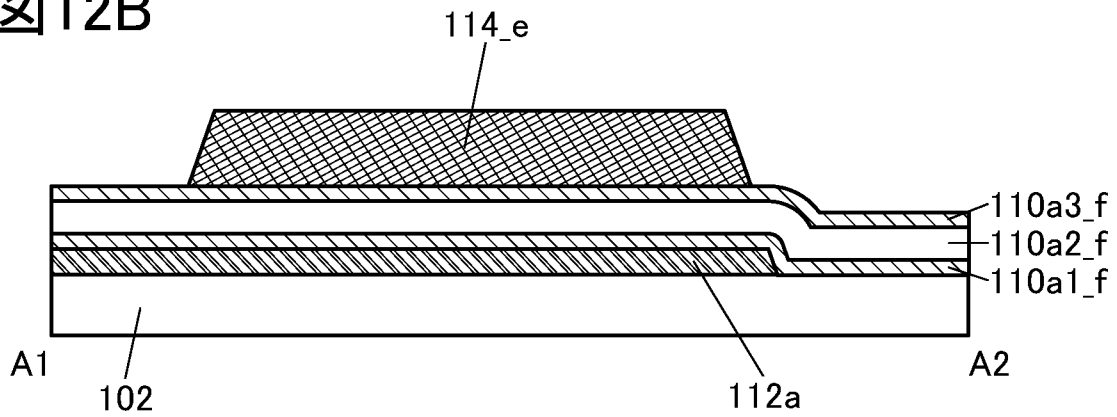


図 12C

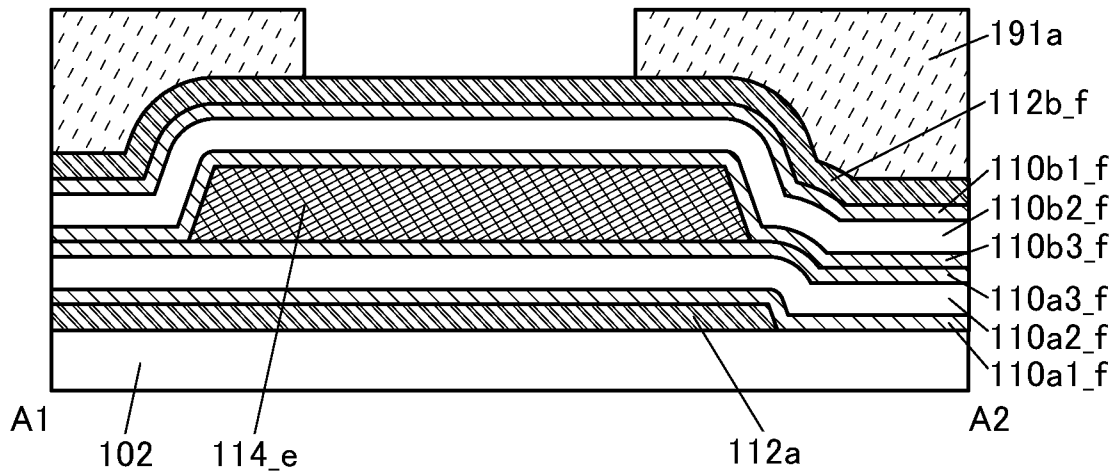


図 12D

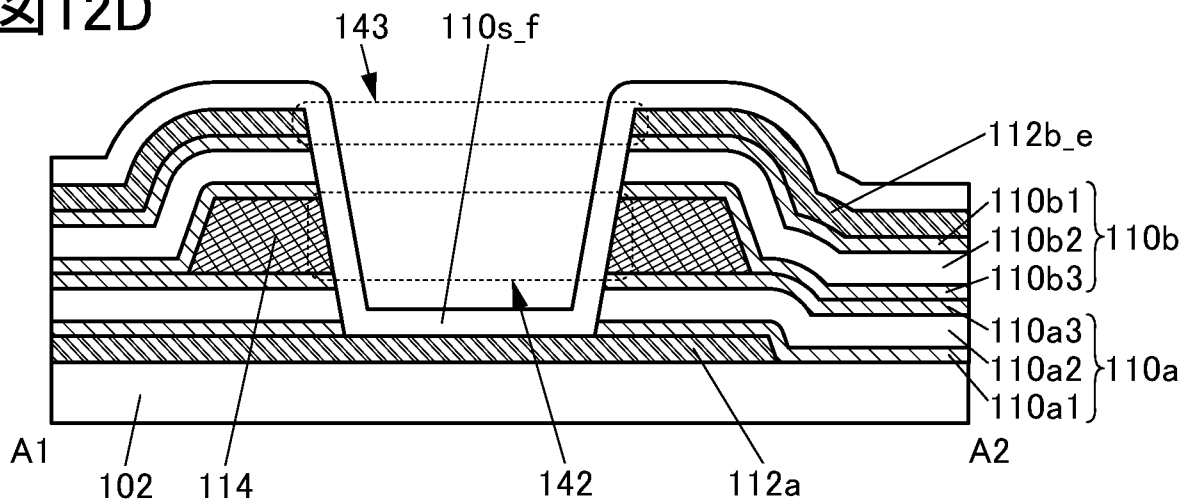


図 13A

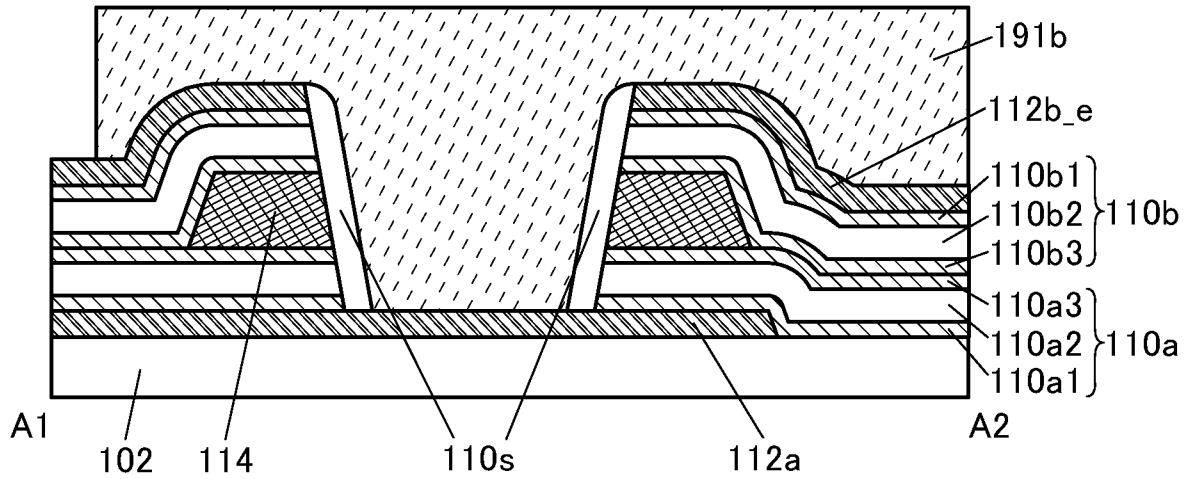


図 13B

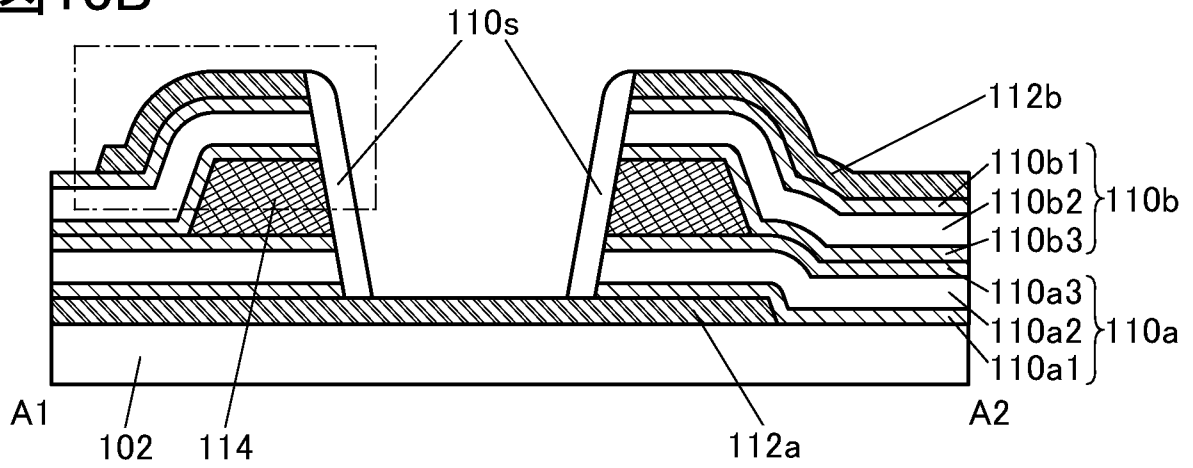


図 13C

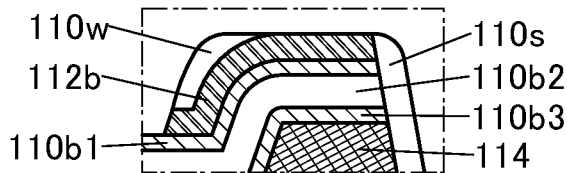


図 13D

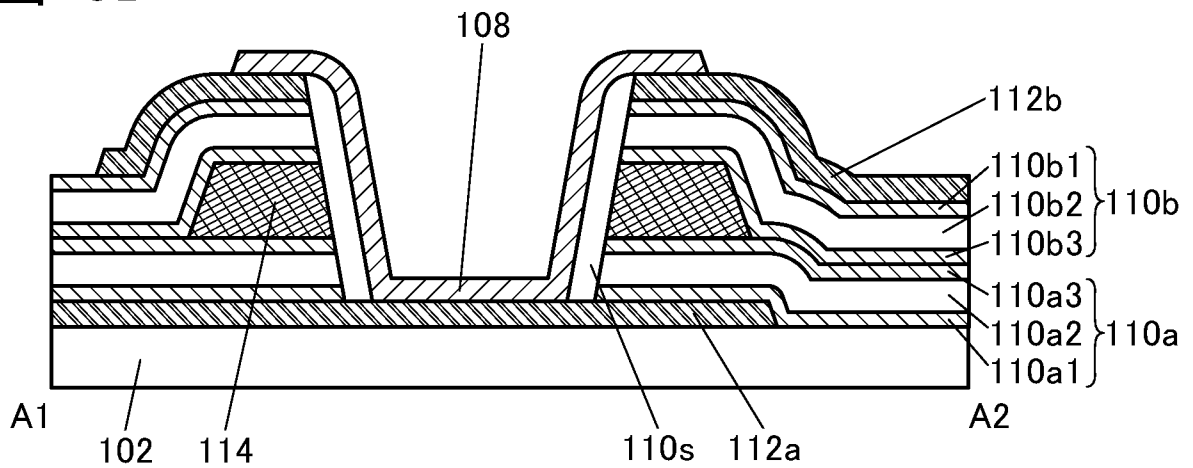


図 14A

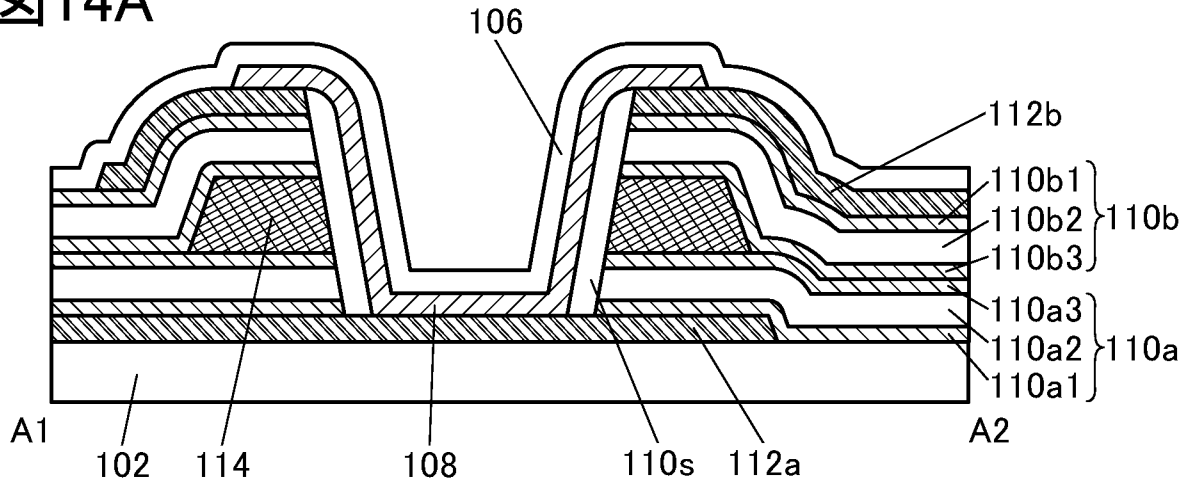


図 14B

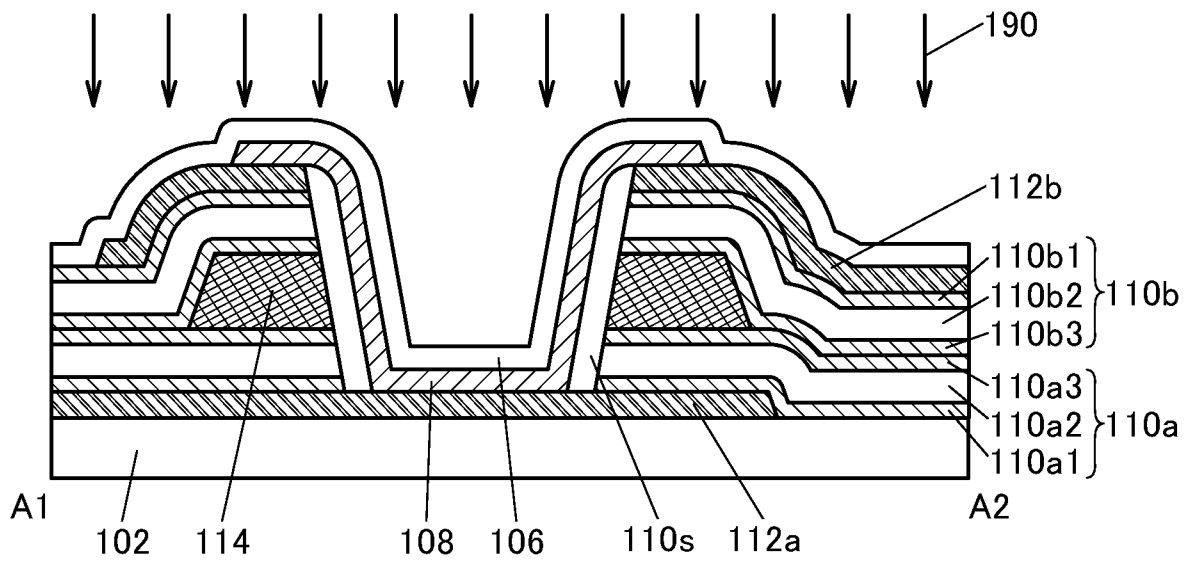


図 14C

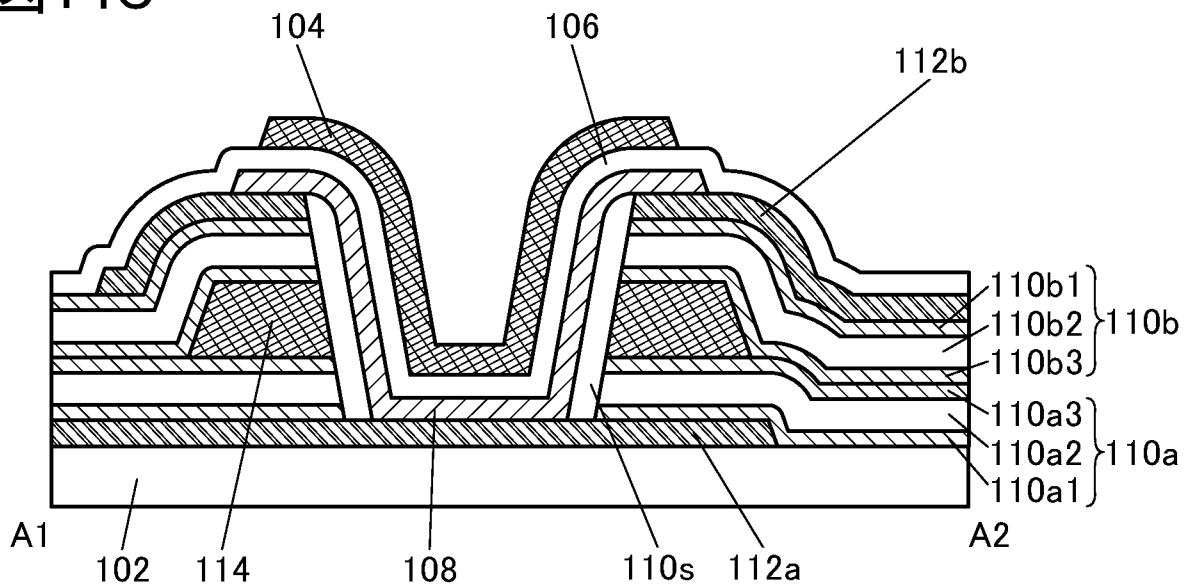


図 15

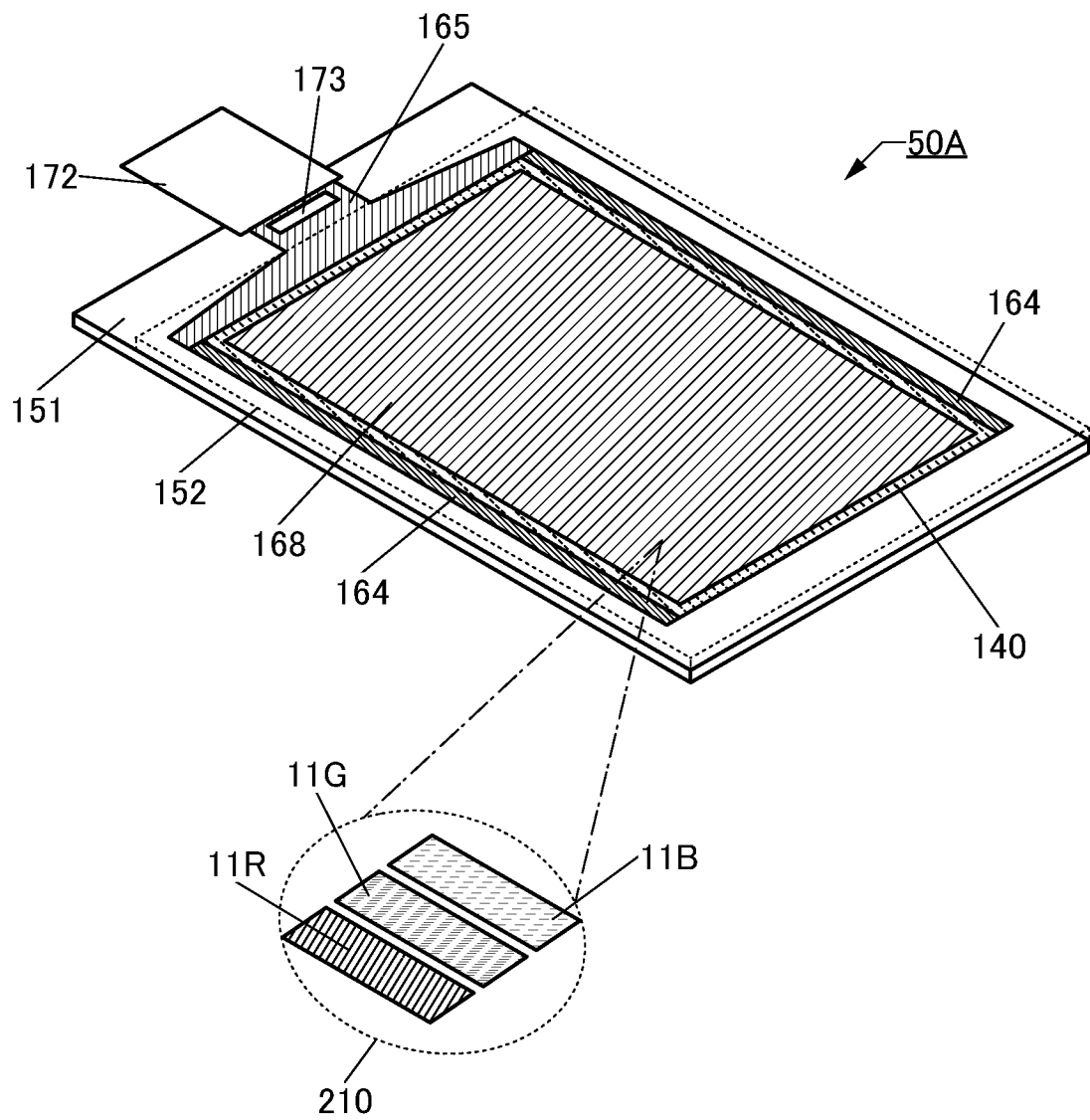


図16

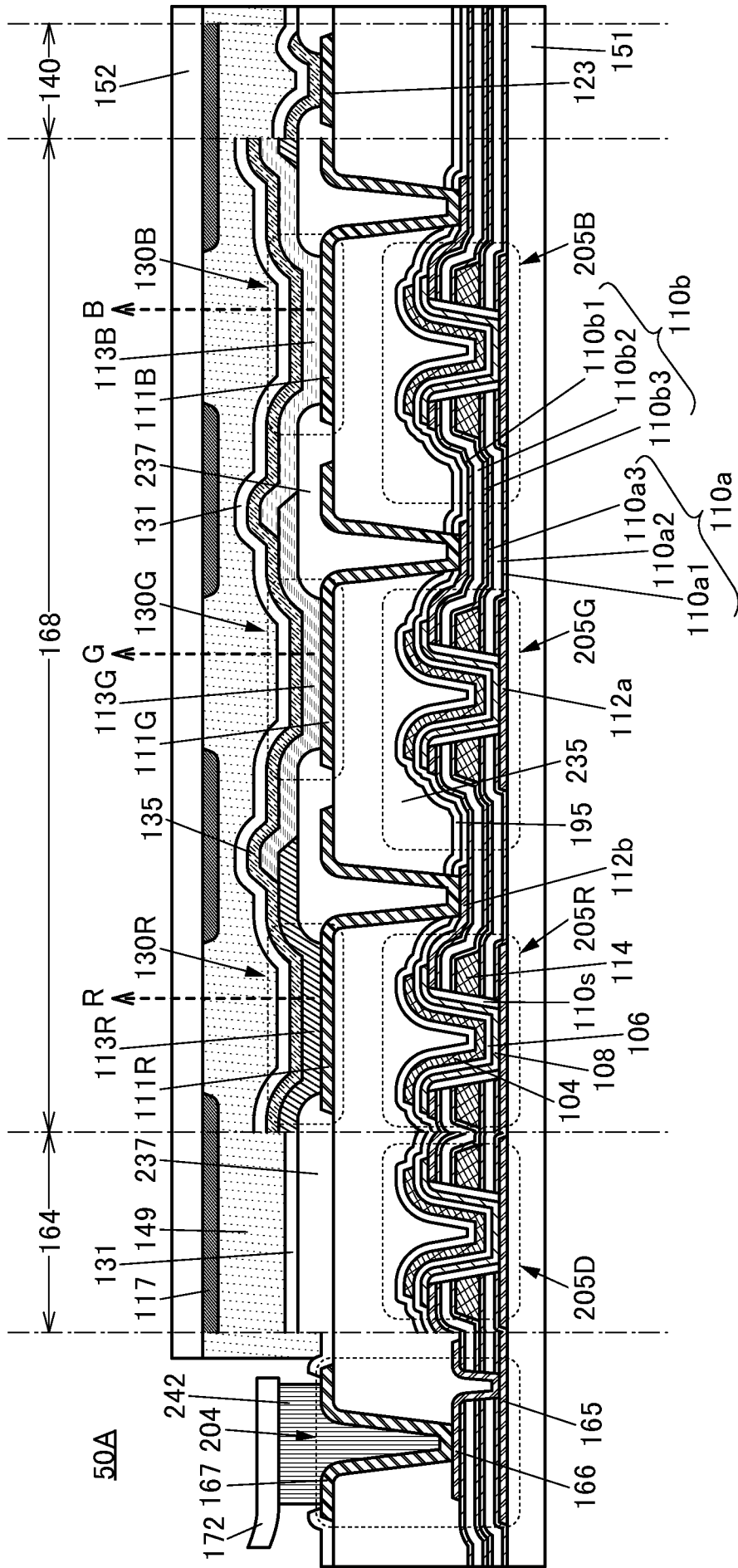


図17

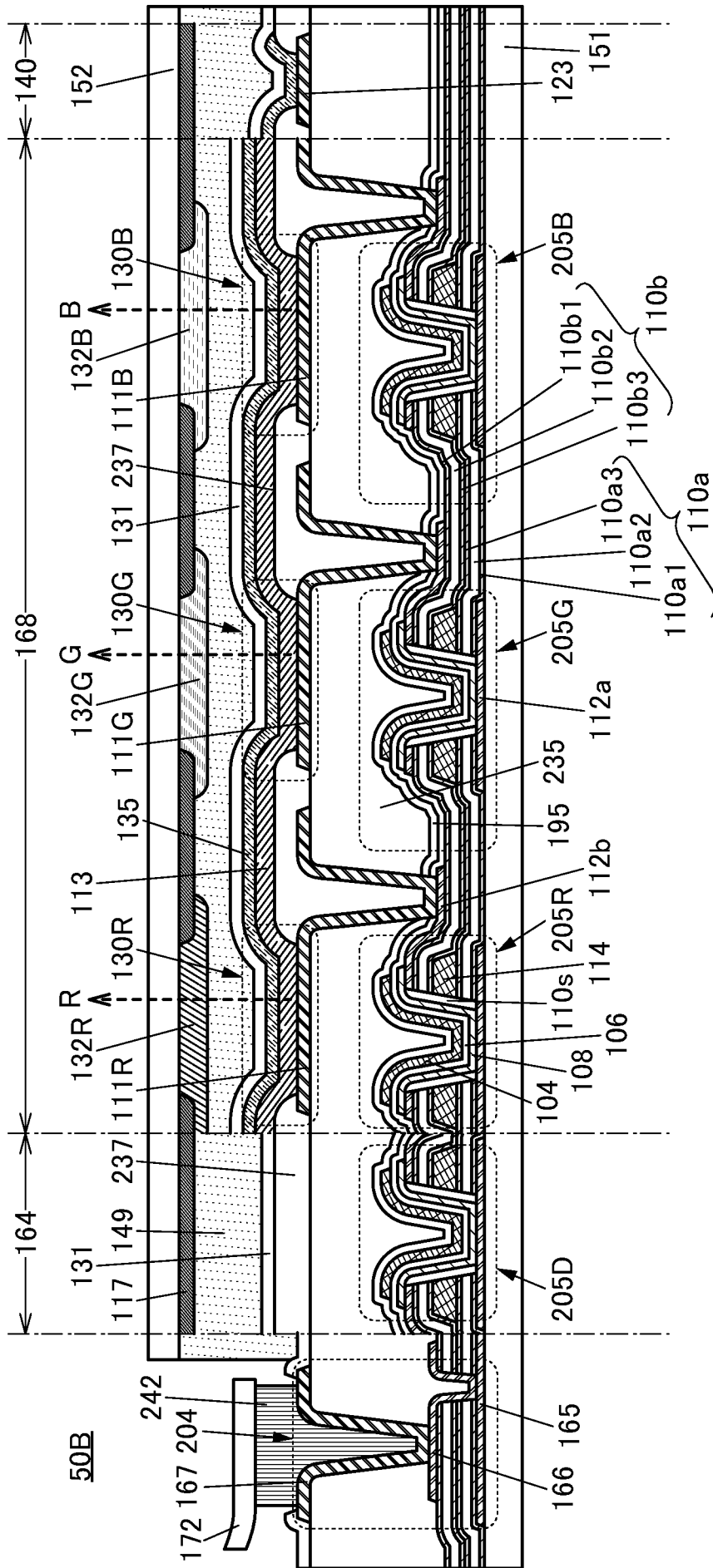
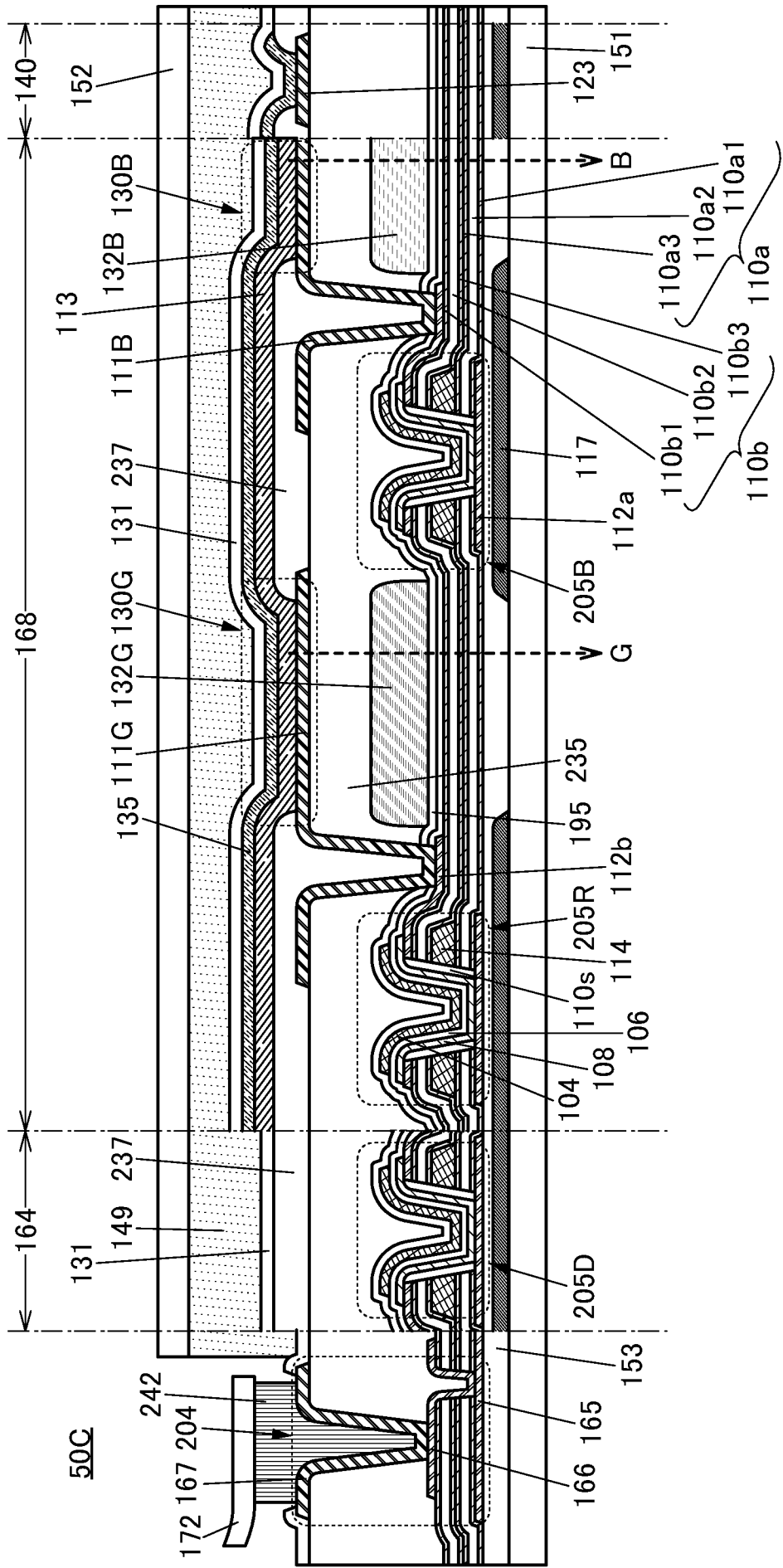


図18



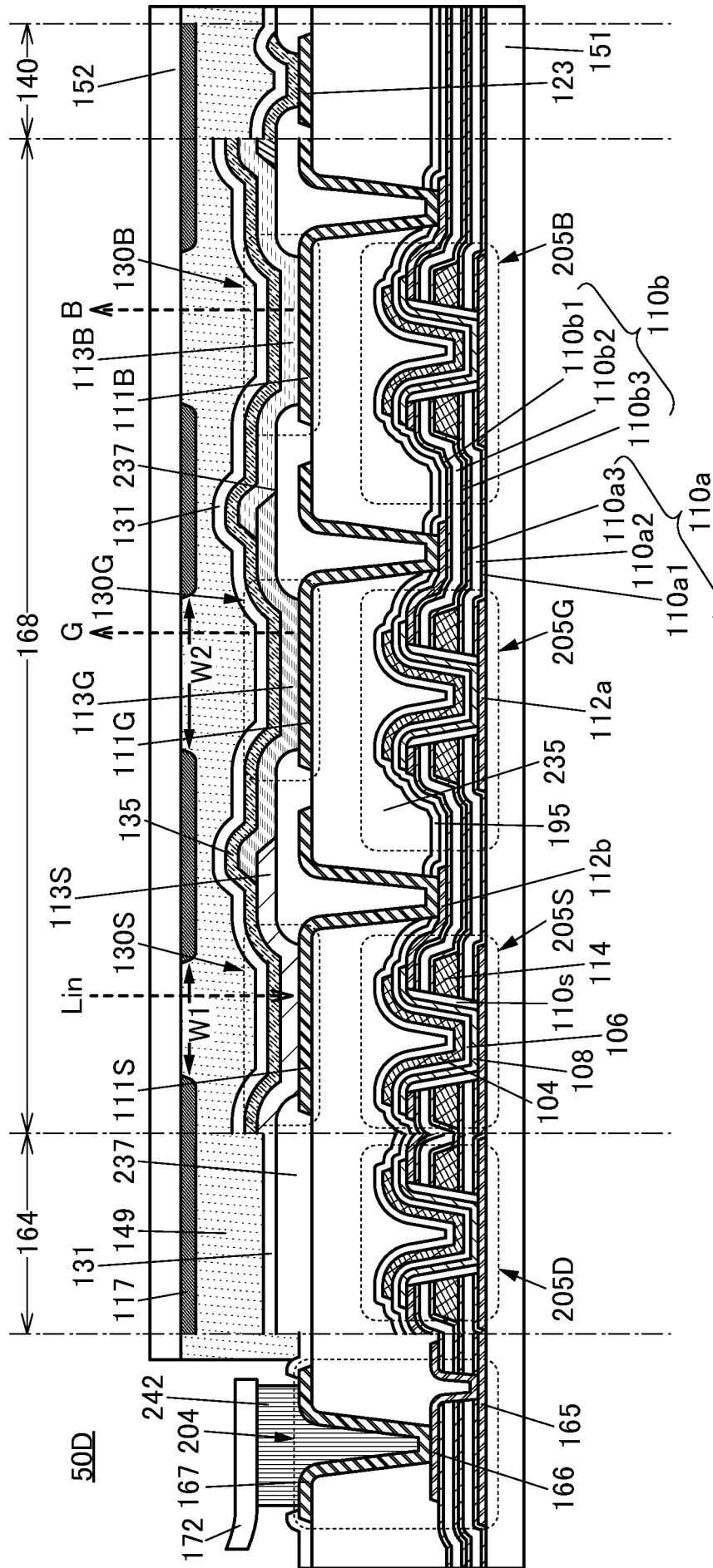


図 20

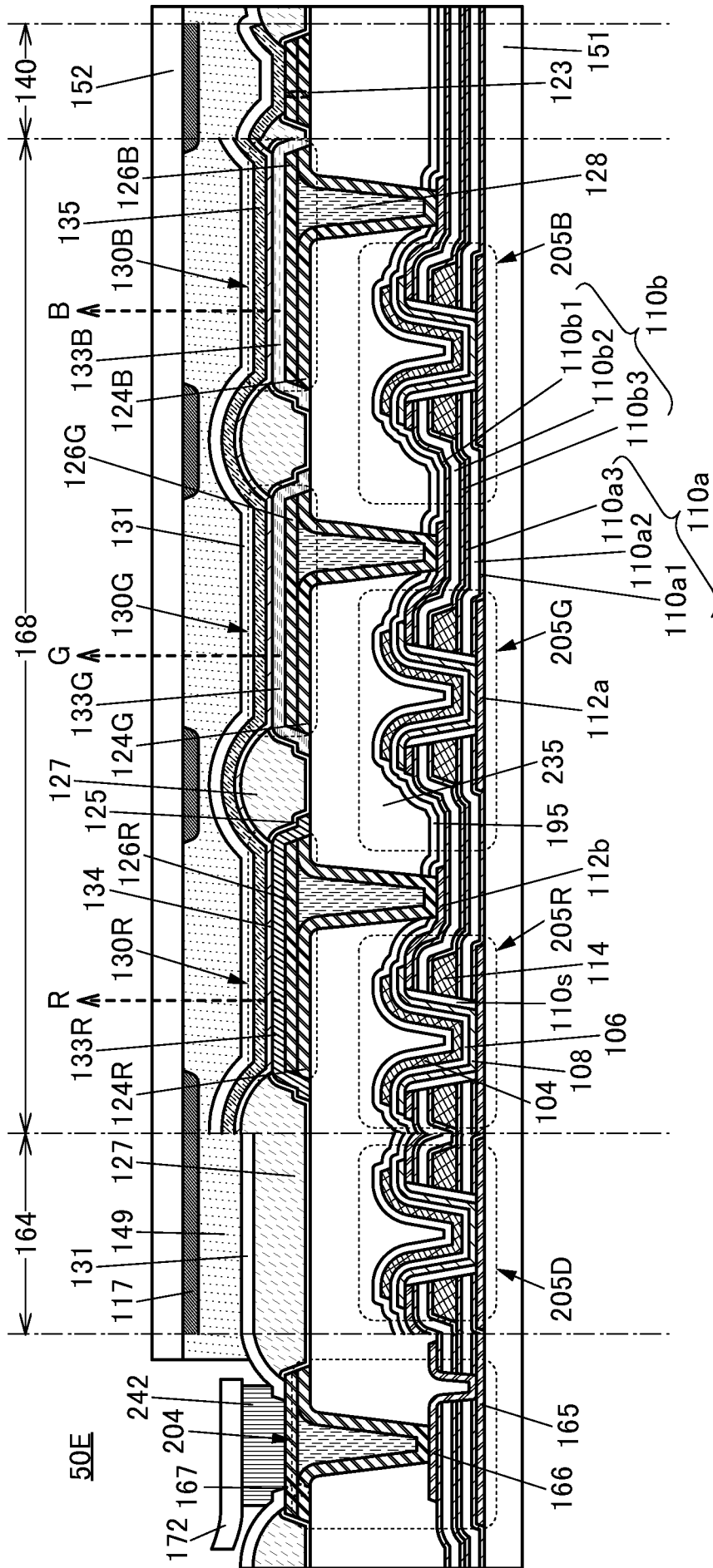


図21A

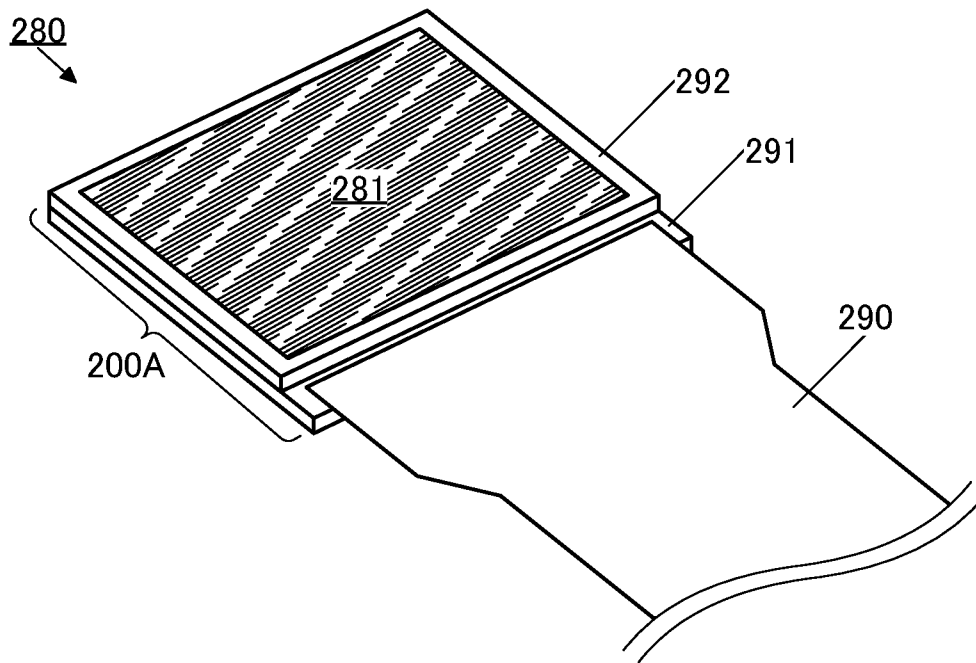
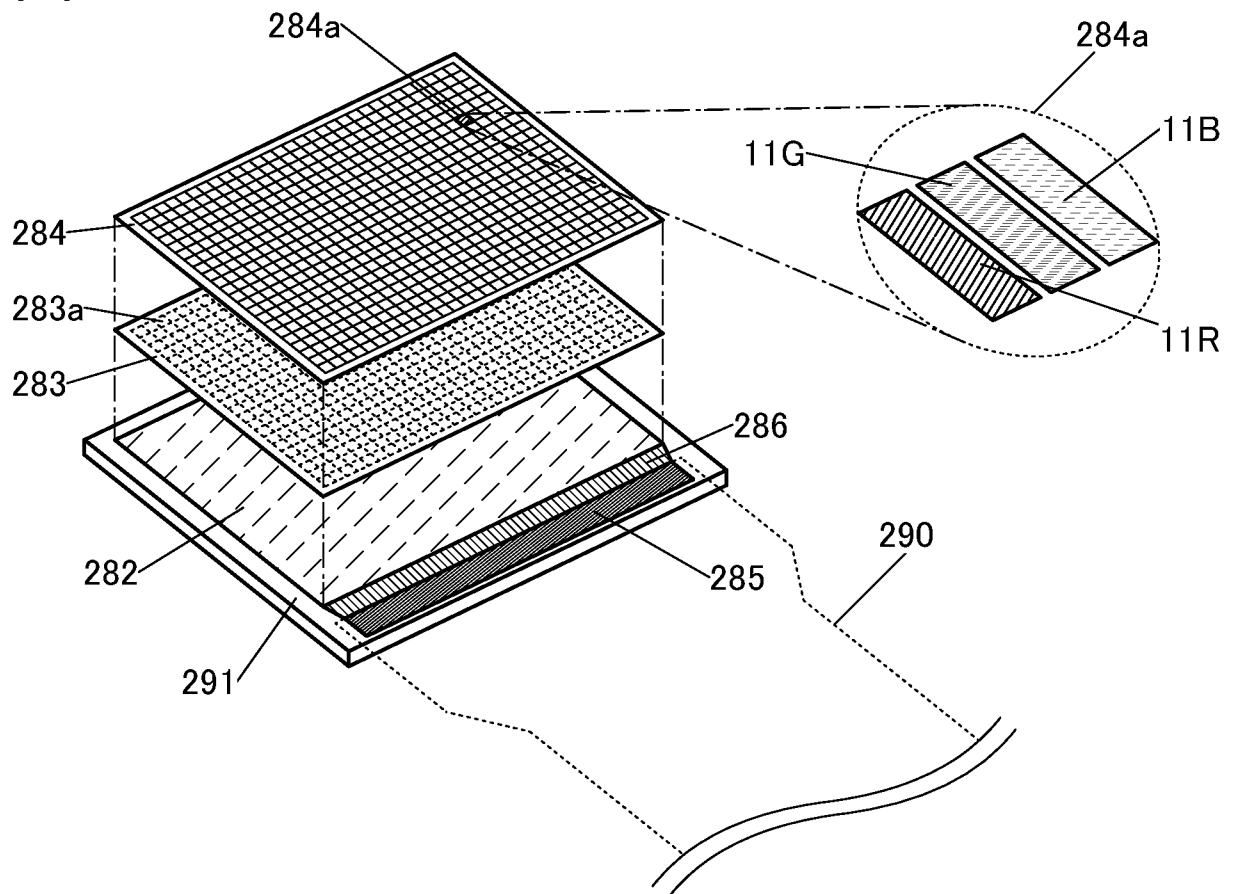


図21B



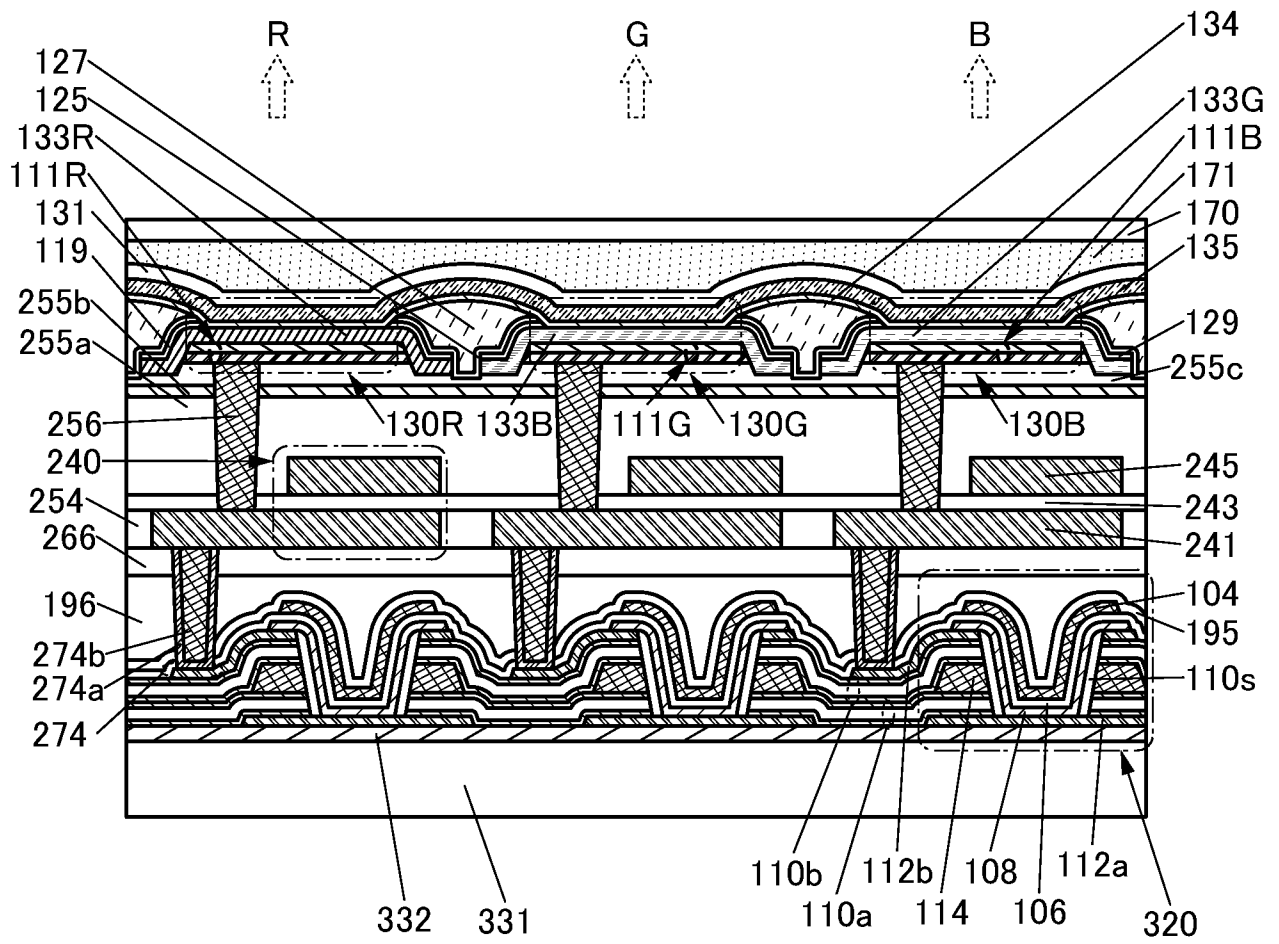


図 23

200B

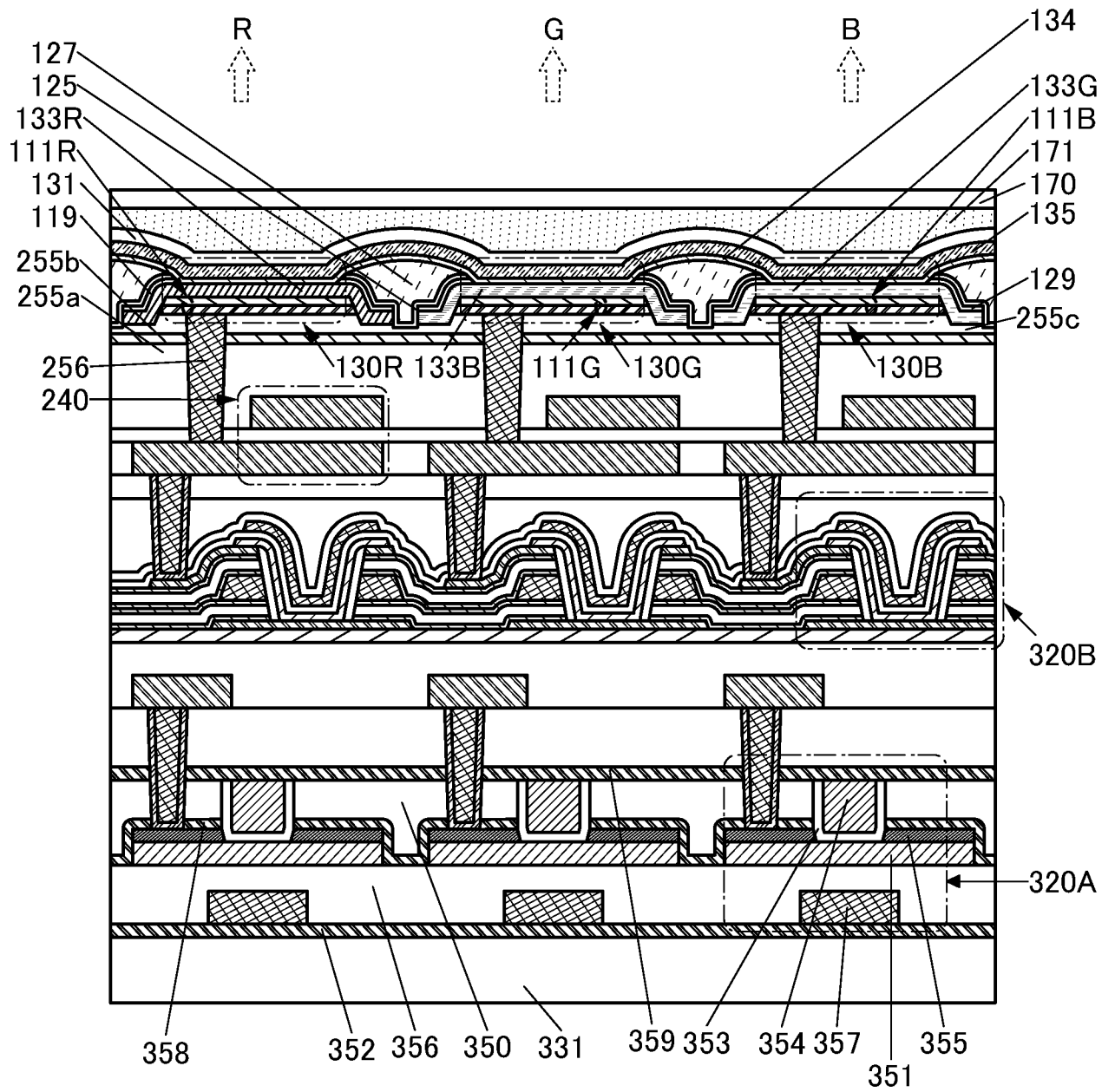


図24

200C

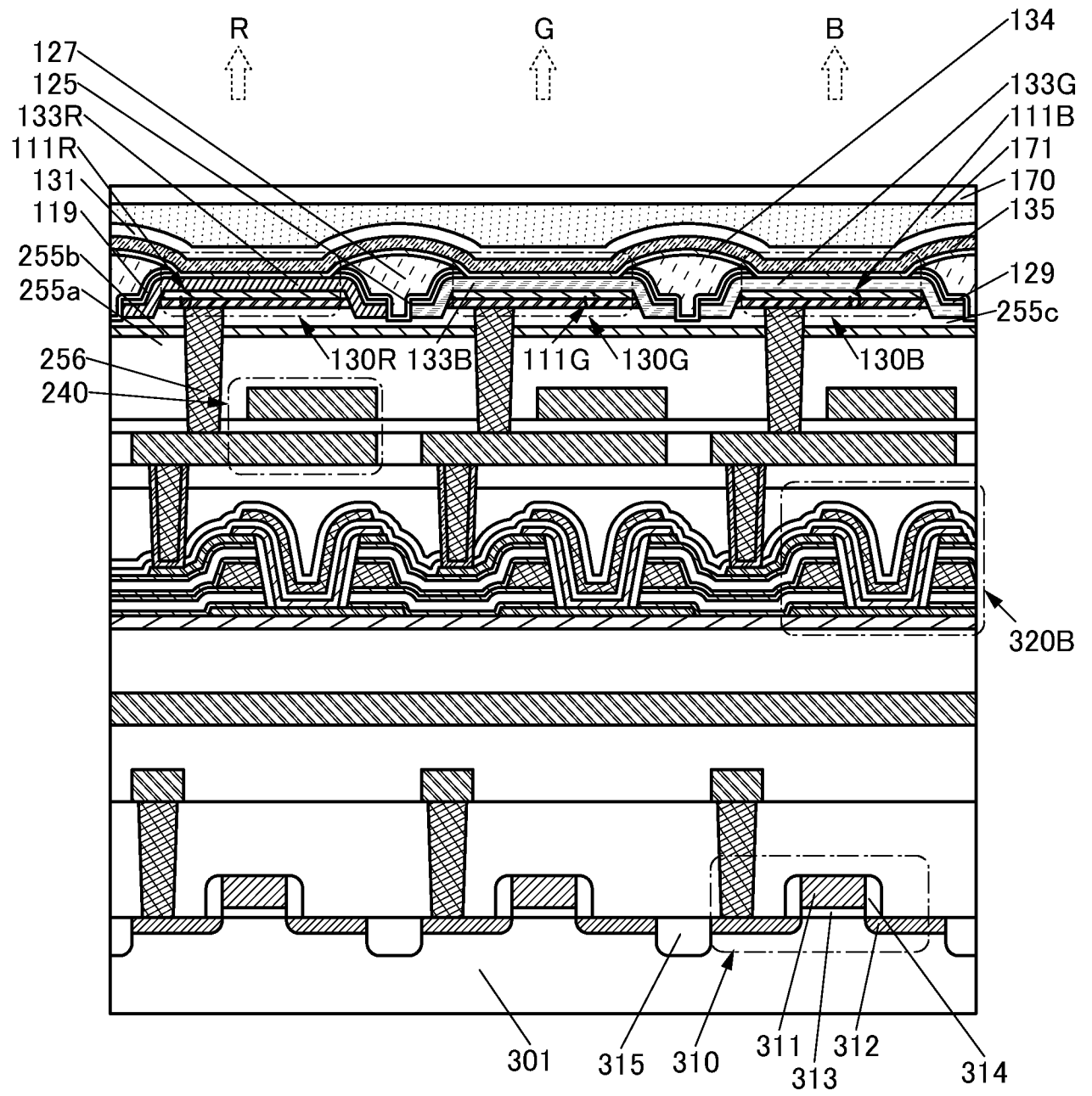


図25

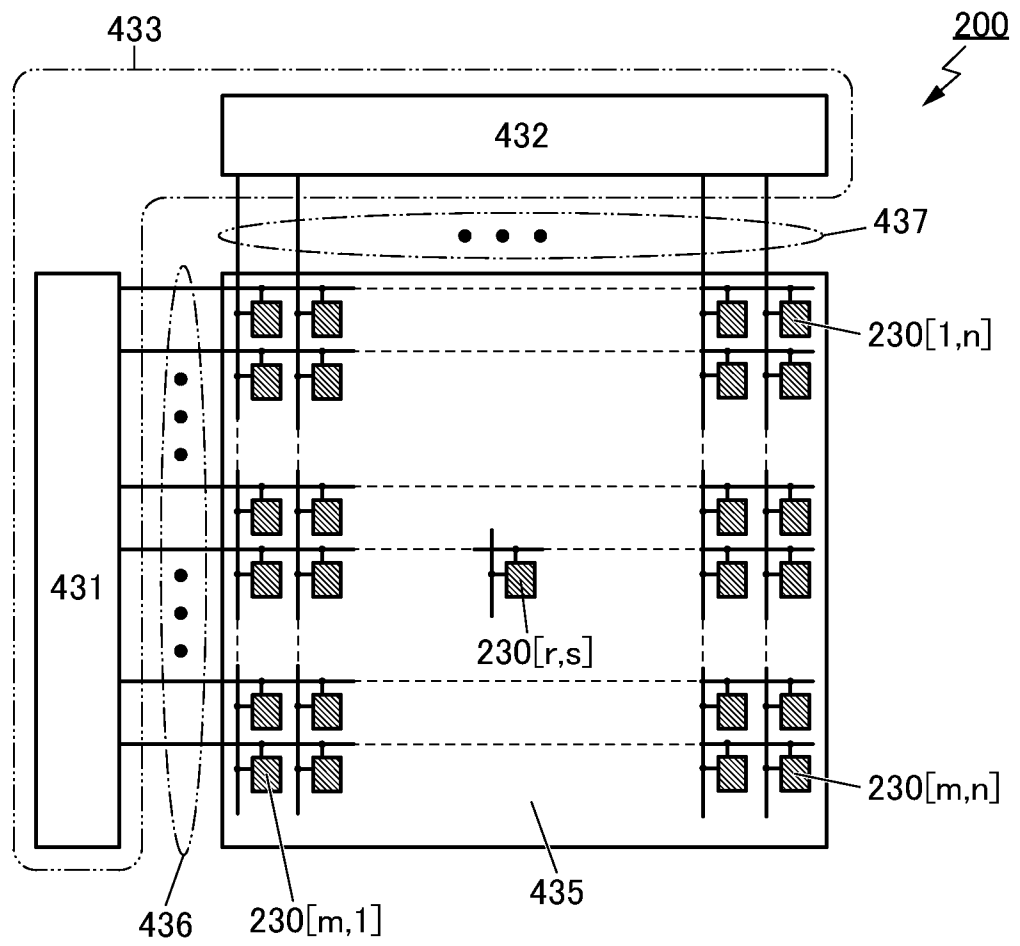


図26A

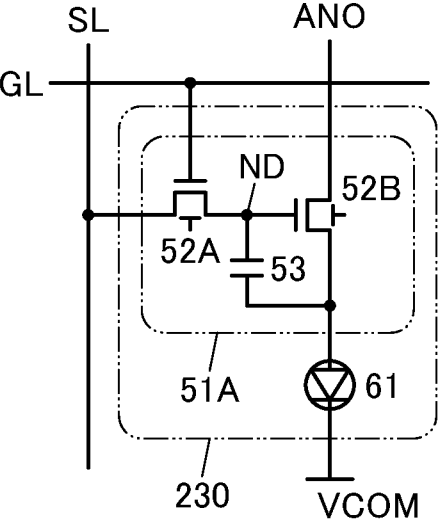


図26B

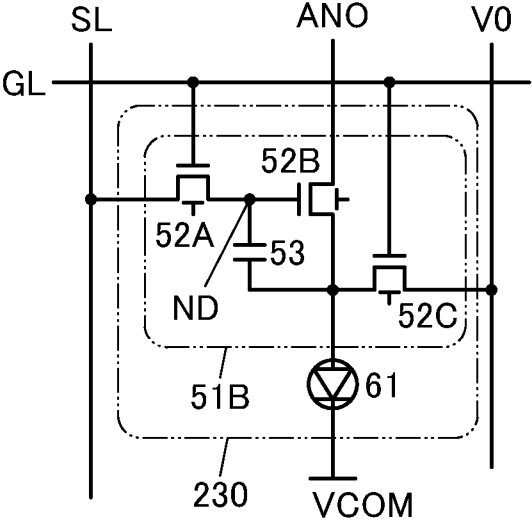


図26C

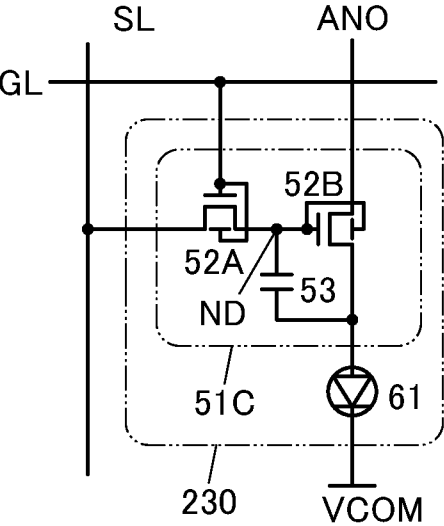


図26D

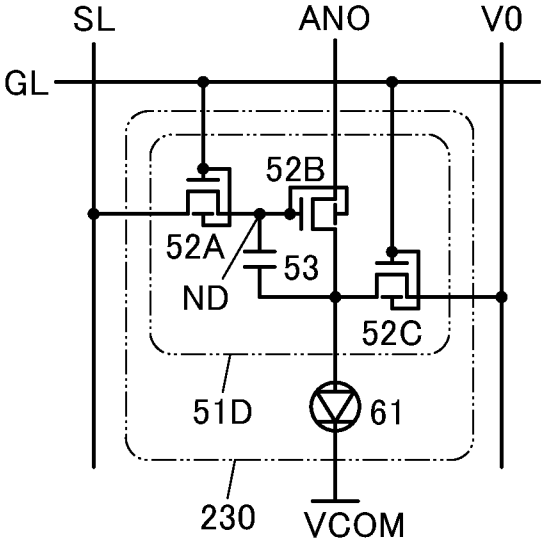


図27A

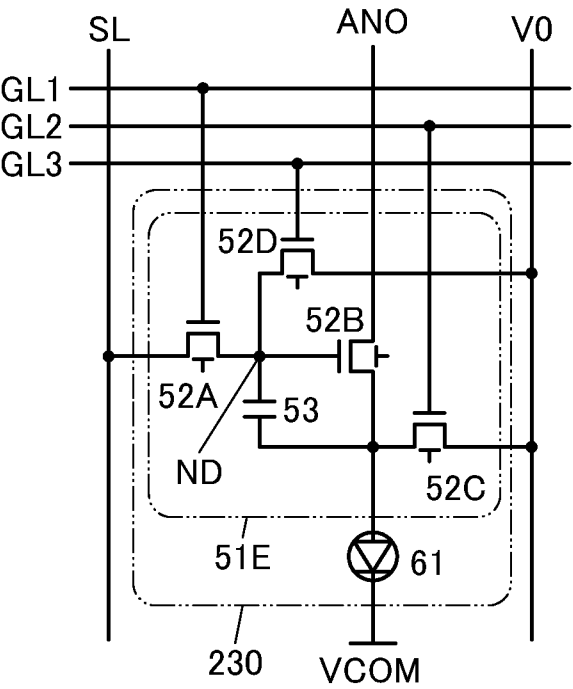


図27B

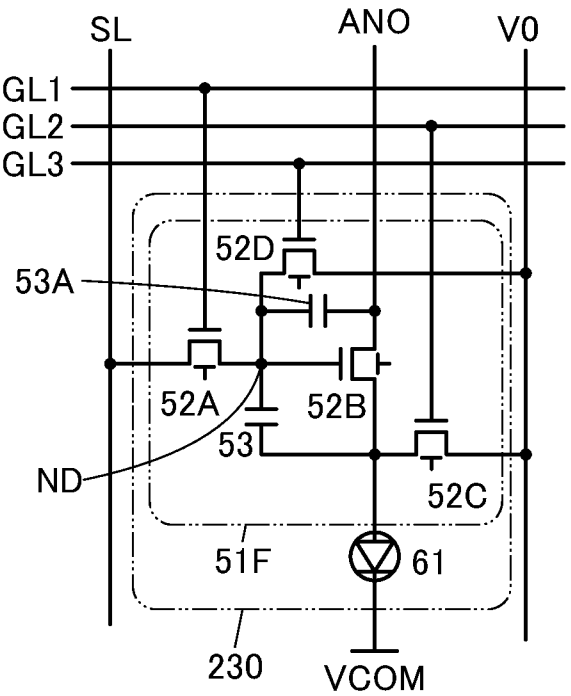


図27C

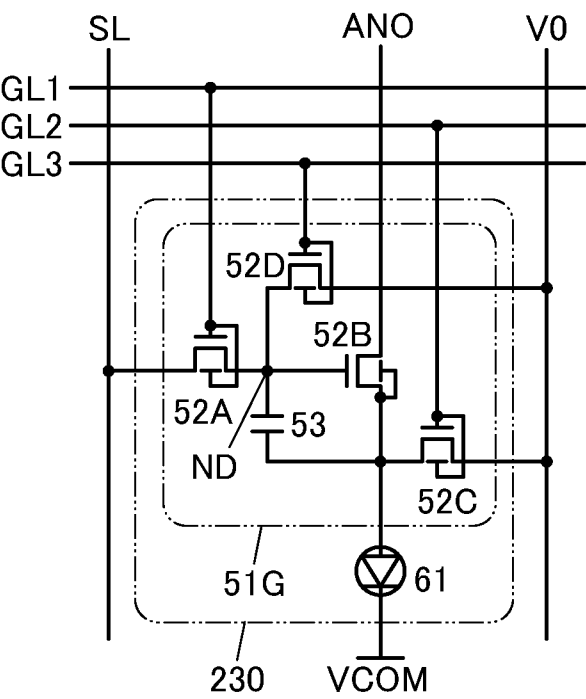


図27D

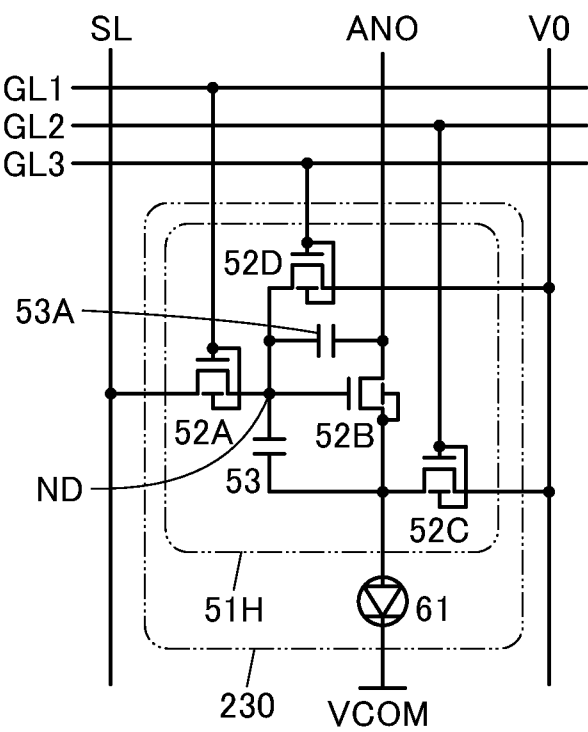


図28A

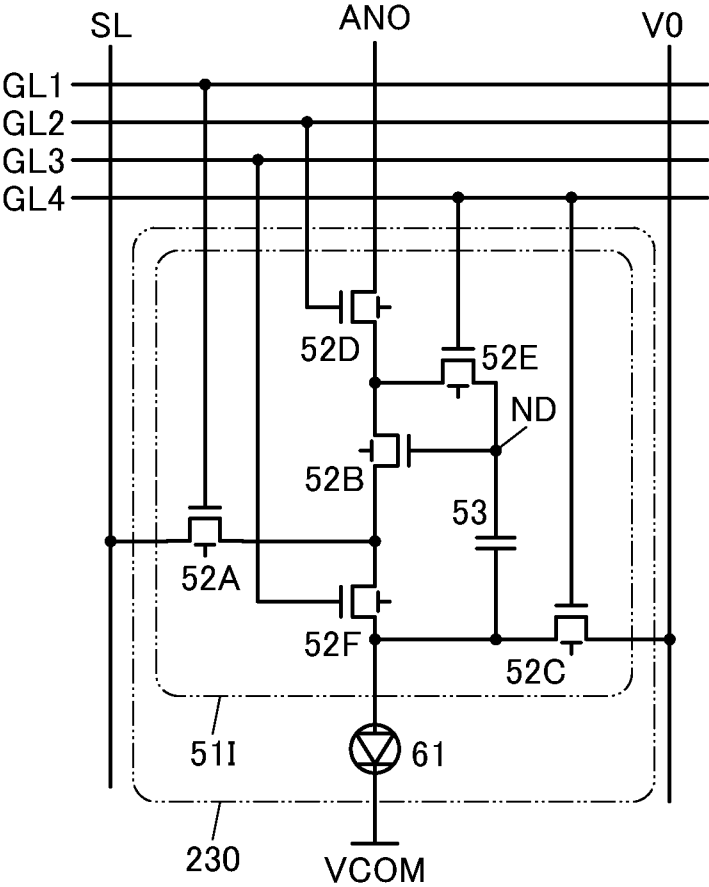


図28B

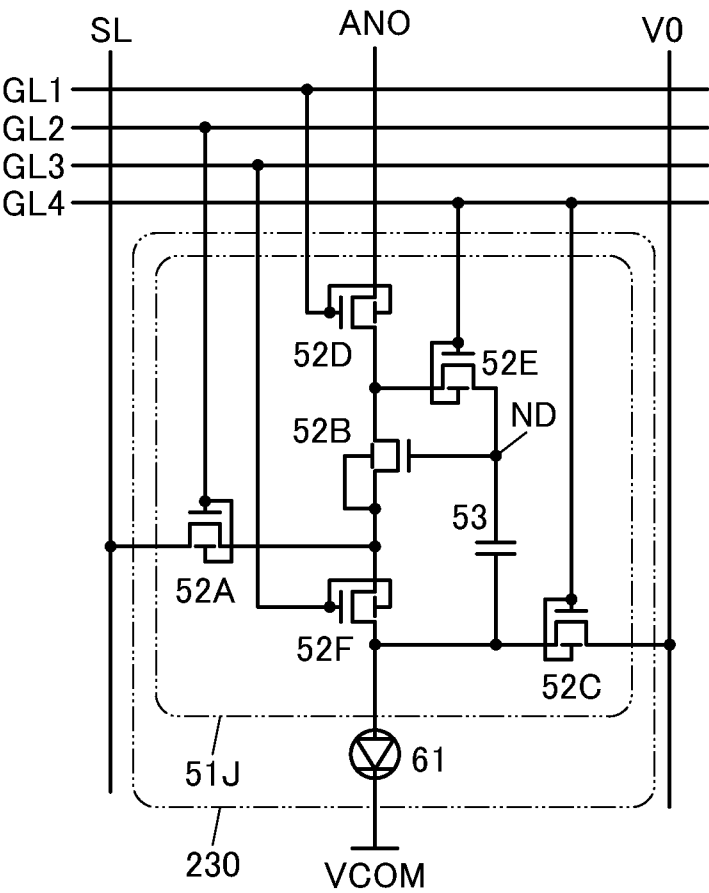


図29A

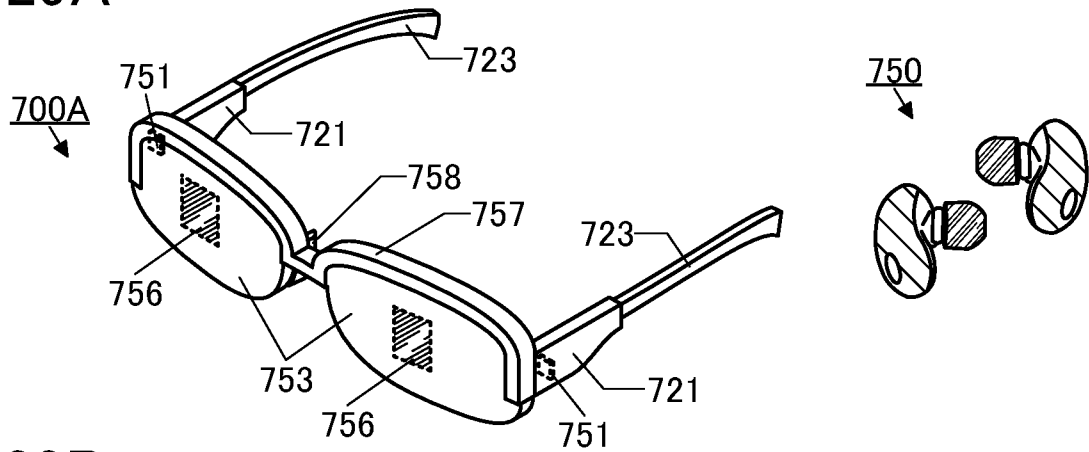


図29B

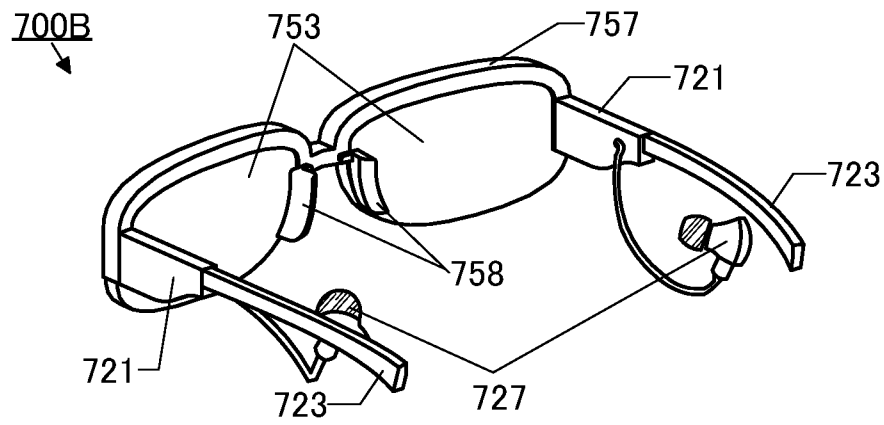


図29C

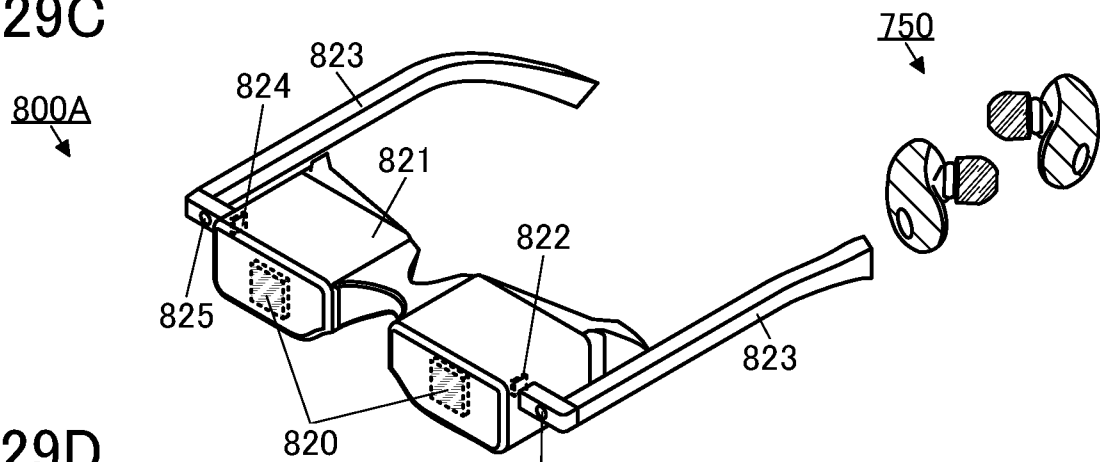


図29D

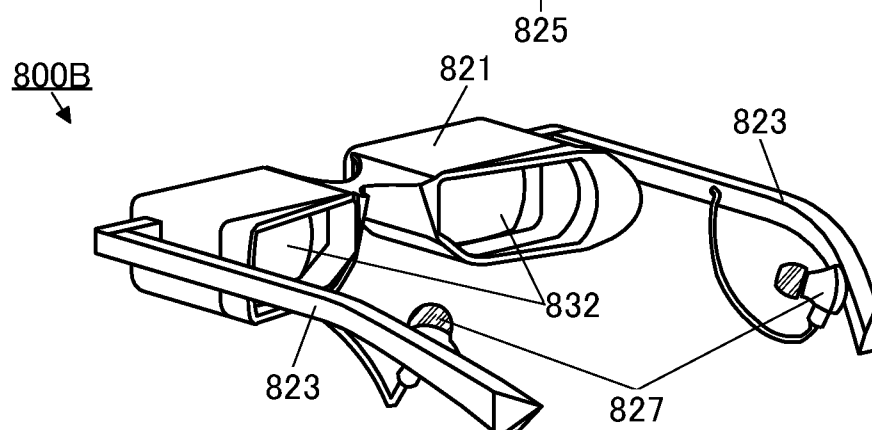


図30A

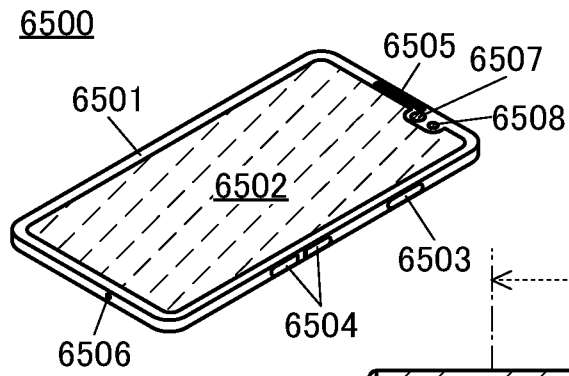


図30B

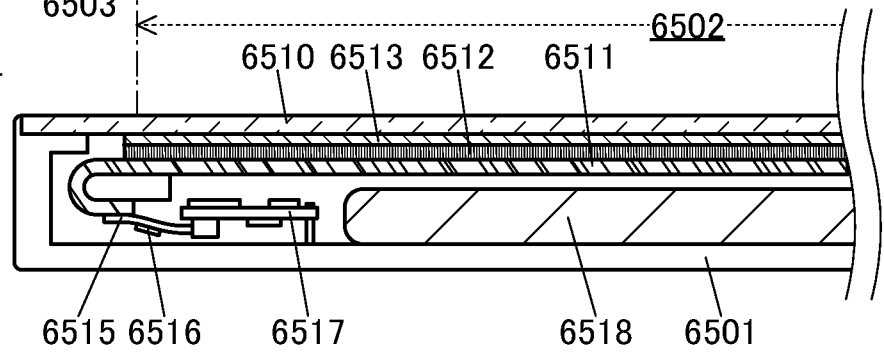


図30C

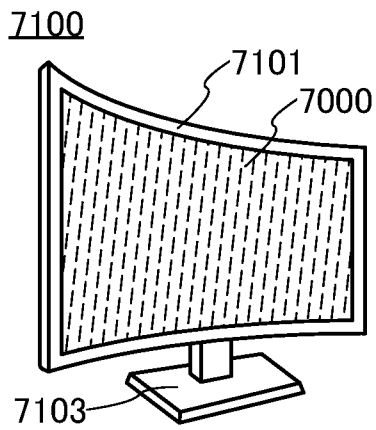


図30D

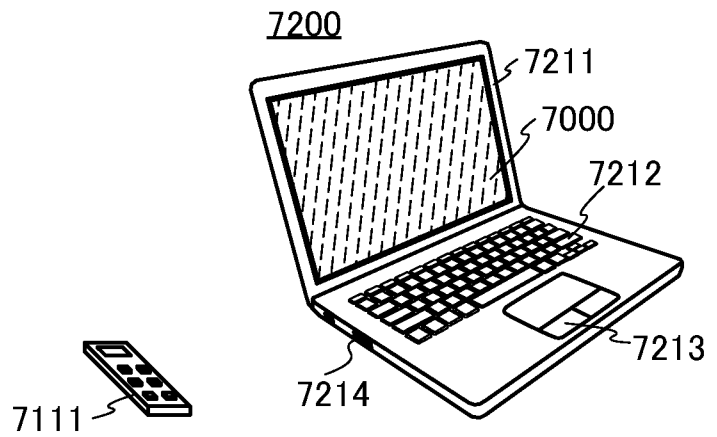


図30E

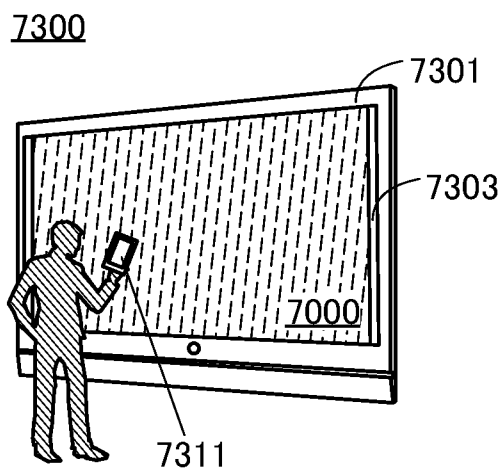


図30F

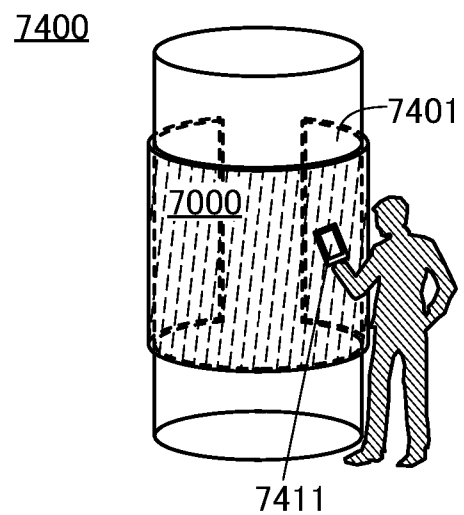


图31A

9101

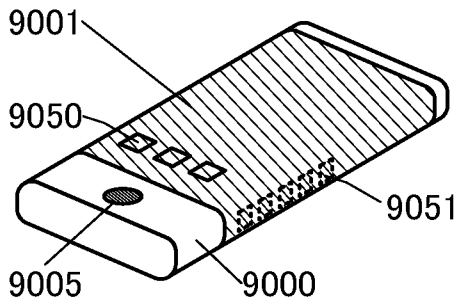


图31D

9200

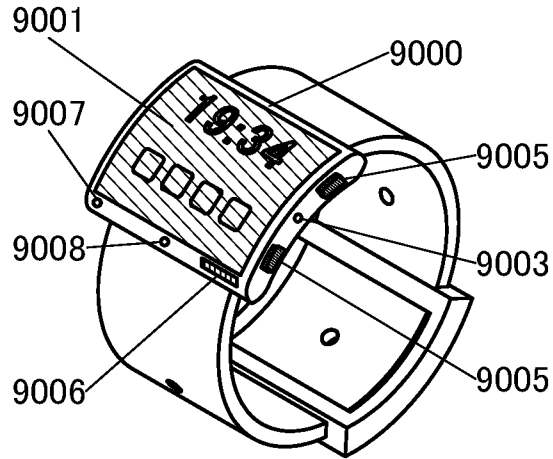


图31B

9102

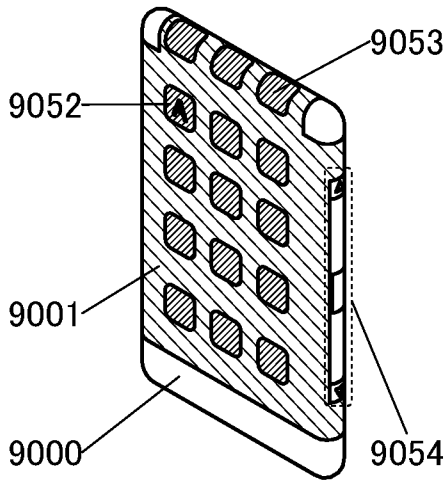


图31E

9201

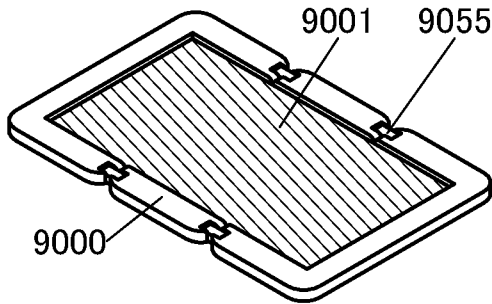


图31F

9201

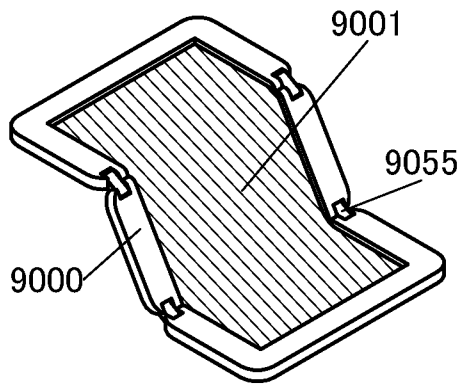


图31C

9103

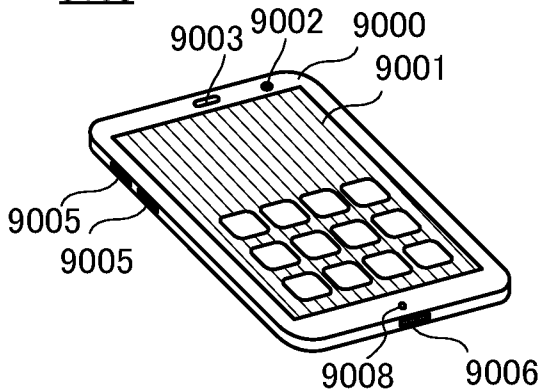


图31G

9201

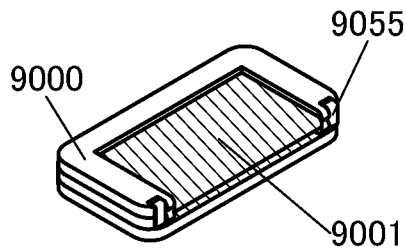


図32A

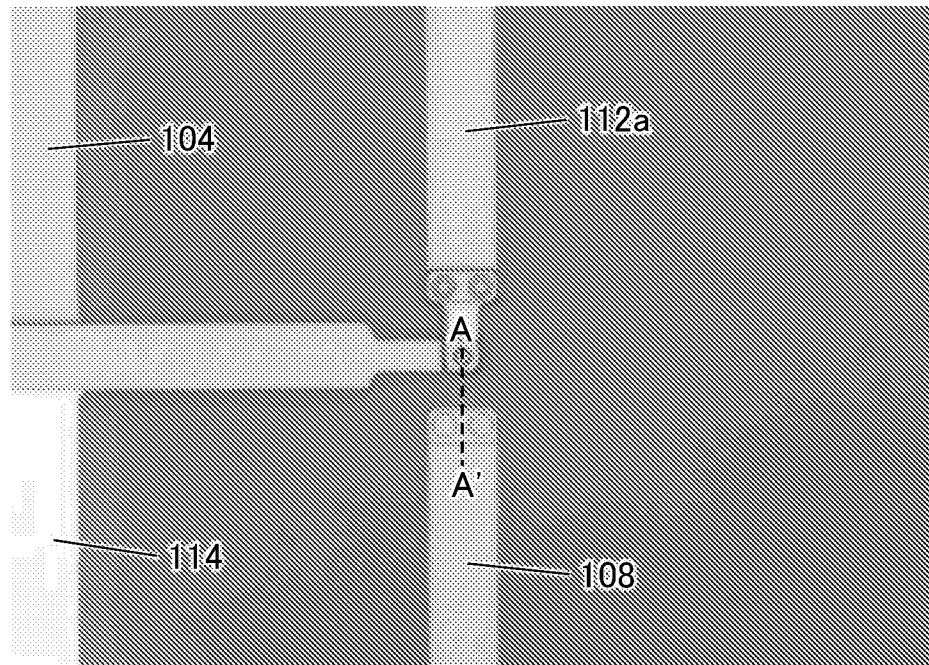
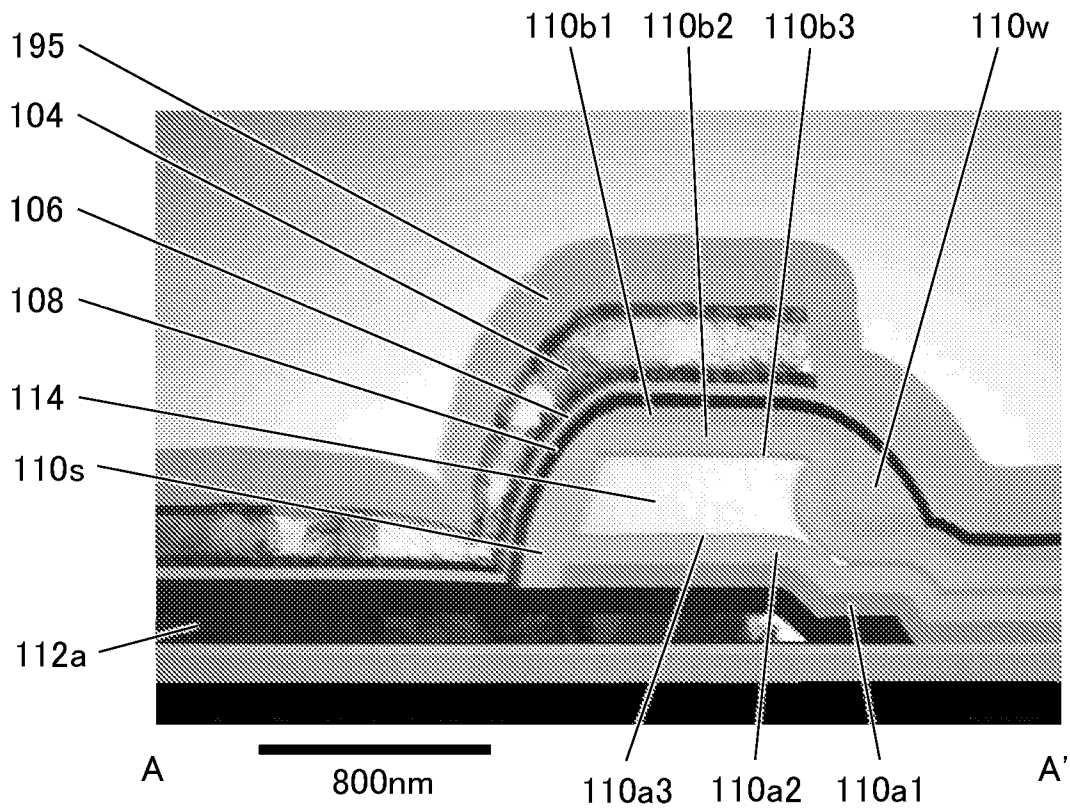


図32B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/054612

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **G02F 1/1368**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H10K 59/12**(2023.01)i; **H10K 71/00**(2023.01)i

FI: H01L29/78 626A; H01L29/78 618B; H01L29/78 619A; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/088 B; H10K59/12; H10K71/00; G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G02F1/1368; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H10K59/12; H10K71/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-174836 A (FUJITSU LIMITED) 10 September 2012 (2012-09-10) paragraphs [0013]-[0097], fig. 1-17	9-12
A		1-8, 13-14
X	JP 2019-169490 A (TOSHIBA MEMORY CORP.) 03 October 2019 (2019-10-03) paragraphs [0007]-[0109], fig. 1-16	9-12
A		1-8, 13-14
A	JP 2017-168760 A (JAPAN DISPLAY INC.) 21 September 2017 (2017-09-21) entire text	1-14
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) entire text	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 July 2024

Date of mailing of the international search report

16 July 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/054612

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-28289 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 February 2017 (2017-02-02) entire text	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/054612

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-174836	A	10 September 2012	(Family: none)	
JP	2019-169490	A	03 October 2019	US 2019/0296155 A1 paragraphs [0020]-[0123], fig. 1-16	
JP	2017-168760	A	21 September 2017	US 2017/0271375 A1 CN 107204362 A	
JP	2016-149552	A	18 August 2016	US 2016/0233343 A1 TW 201640683 A	
JP	2017-28289	A	02 February 2017	US 2017/0025548 A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G02F 1/1368(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H10K 59/12(2023.01)i; H10K 71/00(2023.01)i
FI: H01L29/78 626A; H01L29/78 618B; H01L29/78 619A; H01L27/06 102A; H01L27/088 E; H01L27/088 331E;
H01L27/088 B; H10K59/12; H10K71/00; G02F1/1368

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G02F1/1368; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H10K59/12; H10K71/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-174836 A（富士通株式会社）10.09.2012（2012-09-10） [0013]-[0097], [図1]-[図17]	9-12
A		1-8, 13-14
X	JP 2019-169490 A（東芝メモリ株式会社）03.10.2019（2019-10-03） [0007]-[0109], [図1]-[図16]	9-12
A		1-8, 13-14
A	JP 2017-168760 A（株式会社ジャパンディスプレイ）21.09.2017（2017-09-21） 全文	1-14
A	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 全文	1-14
A	JP 2017-28289 A（株式会社半導体エネルギー研究所）02.02.2017（2017-02-02） 全文	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

河合 俊英 5F 3238

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/IB2024/054612

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-174836	A	10.09.2012	(ファミリーなし)	
JP	2019-169490	A	03.10.2019	US 2019/0296155 A1	
				[0020]-[0123], FIG. 1-	
				FIG. 16	
JP	2017-168760	A	21.09.2017	US 2017/0271375 A1	
				CN 107204362 A	
JP	2016-149552	A	18.08.2016	US 2016/0233343 A1	
				TW 201640683 A	
JP	2017-28289	A	02.02.2017	US 2017/0025548 A1	