(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/8244

(45) 공고일자 2005년01월13일
(11) 등록번호 10-0456050
(24) 등록일자 2004년10월28일

(21) 출원번호 10-1997-0000964
(22) 출원일자 1997년01월15일

(65) 공개번호 10-1997-0060451
(43) 공개일자 1997년08월12일

(30) 우선권주장 96-005487 1996년01월17일 일본(JP)
96-035872 1996년02월23일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 기쿠시마 겐이치
일본국 도쿄도 오우메시 가베마치 10-10-3-205

오츠카 후미오
일본국 사이타마켄 도코로자와시 야마구치 1313-11

사토 가즈시게
일본국 도쿄도 오우메시 가베마치 10-10-3-307

(74) 대리인 장수길
이중희
구영창

심사관 : 반성원

# (54) 반도체집적회로장치및그제조방법

요약

본 발명은 반도체집적회로장치 및 그 제조방법에 관한 것으로서, 메모리셀 사이즈가 증대해버리는 것을 해소하기 위해, 각각의 플립플롭회로를 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치로서, 각각의 플립플롭회로는 한쌍의 구동용 MISFET와 한쌍의 부하용 MISFET를 구비하고, 각각의 메모리셀 또한 한쌍의 전송용 MISFET를 포함하며, 한쌍의 구동용 MISFET와 한쌍의 부하용 MISFET는 한쌍의 인버터회로를 형성하고, 인버터회로는 제1 및 제2 국소배선에 의해 교차결합되며, 구동용 MISFET와 부하용 MISFET 각각의 게이트전극은 반도체기판 상에 있는 제1 도전재료층으로 형성되고, 제1 국소배선은 기판으로부터 제1 도전재료층보다 상층인 제2 도전재료층으로 형성되며, 제2 국소배선은 기판으로부터 제2 도전재료층보다 상층인 제3도전재료층으로 형성되는 구성을 마련하였다. 이러한 방법에 의하면, 포토레지스트를 마스크로 하여 층간절연막에 접속구멍을 형성할 때의 마스크 맞춤여유가 불필요하게 되므로, 메모리셀의 점유면적을 축소할 수 있다는 효과를 얻게 된다.

대표도

도 1

명세서

## 도면의 간단한 설명

도 1은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀을 도시한 상면도.
도 2는 도 1의 A-A' 선을 따른 메모리셀의 단면도.
도 3은 도 1의 B-B' 선을 따른 메모리셀의 단면도.
도 4는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀(약 4개분)을 도시한 상면도.
도 5는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 등가회로도.
도 6은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 7a와 도 7b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 8a와 도 8b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 9는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 10a와 도 10b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 11a와 도 11b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 12는 본 발명에 따른 제1실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 13a와 도 13b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 14는 본 발명에 따른 제1실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 15a와 도 15b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 16a와 도 16b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 17은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 18a와 도 18b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 19는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 20a와 도 20b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 21은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 22a와 도 22b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 23은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 24a와 도 24b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 25는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 26a와 도 26b는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 27은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 28은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 29는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 30은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 31은 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 32는 본 발명에 따른 제1 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 33은 본 발명에 따른 제2 실시예의 SRAM의 메모리셀을 도시한 상면도.
도 34는 도 33의 A-A' 선에 따른 메모리셀의 단면도.
도 35는 도 33의 B-B' 선에 따른 메모리셀의 단면도.
도 36은 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 등가회로도.
도 37은 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 38a와 도 38b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 39는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 40a와 도 40b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 41은 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 42a와 도 42b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 43은 본 발명에 따른 제2실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 44a와 도 44b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 45는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 46a와 도 46b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 47은 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 48a와 도 48b는 본 발명에 따른 제2 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 49는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 50은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 51은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 52는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 53은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 54는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 55는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 56은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 57은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.

도 58은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 59는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 60은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 61은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 62는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 63은 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 64는 본 발명에 따른 제3 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 65는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 66은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 67은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 68은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 69는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 70은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 71은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 72는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 73은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 74는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 75는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 76은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 77은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 78은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 79는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 80은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 81은 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 82는 본 발명에 따른 제4 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 83은 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 84a와 도 84b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 85는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 86a와 도 86b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 87은 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 88a와 도 88b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 89는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 90a와 도 90b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 91a와 도 91b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 92는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 93a와 도 93b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 94는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 95a와 도 95b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 96은 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 97a와 도 97b는 본 발명에 따른 제5 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 98은 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 99a와 도 99b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 100은 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 101a와 도 101b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 102는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 103a와 도 103b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 104는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 105a와 도 105b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 106a와 도 106b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 107a와 도 107b는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 단면도.
도 108은 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.
도 109는 본 발명에 따른 제6 실시예의 SRAM의 메모리셀의 제조방법을 도시한 상면도.

<도면의 주요 부분에 대한 부호의 설명>

3 : p형 웰
4 : n형 웰
5 : n형 반도체 영역
6 : 게이트산화막
7, 8 : 게이트전극
9 : p형 반도체 영역

11 : 사이드월 스페이서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치 및 그 제조방법에 관한 것으로서, 특히 SRAM(Static Random Access Memory)을 갖는 반도체집적회로장치에 적용할 경우에 유효한 기술에 관한 것이다.
반도체기억장치 즉, SRAM의 메모리셀은 1비트의 정보를 기억하는 정보축적부로서 기능하는 플립플롭회로, 및 정보의 라이트 · 리드를 실행하는 데이타선과 플립플롭회로 사이의 전기적 접속을 제어하는 한쌍의 전송용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)로 구성되어 있다.
메모리셀의 플립플롭회로는 일례로서 한쌍의 CMOS(Complementary Metal Oxide Semiconductor)인버터로 구성된다. 이 CMOS인버터의 각각은 1개의 구동용 MISFET와 1개의 부하용 MISFET로 구성된다. 즉, 이 경우, 메모리셀은 2개의 구동용 MISFET, 2개의 부하용 MISFET, 및 2개의 전송용 MISFET를 조합한 완전CMOS형으로 구성된다. 이들 MISFET중 전송용 MISFET와 구동용 MISFET는 n채널형으로 구성되고, 부하용 MISFET는 p채널형으로 구성된다.
플립플롭회로(CMOS인버터)의 한쌍의 입출력단자 사이는 1예로서 국소배선이라 불리는 한쌍의 배선을 거쳐서 교차결합된다. 또, 이 입출력단자의 한쪽에는 전 원전압선을 통해서 회로의 전원전압(예를 들면 3V)이 공급되고, 다른 쪽에는 기준전압선을 통해서 회로의 기준전압(예를 들면 0V)이 공급된다.
1996년 6월 4일자로 허여된 미국특허 제5,523,598호에는 상술한 바와 같은 한쌍의 국소배선을 구비한 완전CMOS형의 SRAM이 개시되어 있다. 이 SRAM은 메모리셀을 구성하는 6개의 MISFET의 게이트전극, 플립플롭회로의 한쪽의 입출력단자에 접속되는 전원전압선, 다른 쪽의 입출력단자에 접속되는 기준전압선, 한쌍의 국소배선, 및 전송용 MISFET의 드레인영역에 접속되는 데이타선의 각각을 다른 도전층에 형성하고 있다. 또, 이 SRAM은 국소배선과 다른 도전층(기준전압선 등)을 서로 교차하도록 배치하고, 이 교차영역에 용량소자를 형성하여 메모리셀의 축적노드 용량을 증가시킴으로써 메모리셀 사이즈의 미세화나 동작전원전압의 저하에 따른 α선 소프트 에러 내성의 저하를 방지하고 있다.

#### 발명이 이루고자 하는 기술적 과제

상기 미국특허 제5,523,598호에 개시된 SRAM은 메모리셀을 구성하는 6개의 MISFET의 게이트전극, 한쌍의 국소배선, 전원배선(전원전압선 및 기준전압선), 데이타선을 각각 다른 도전층에 형성한다. 그 때문에, 포토레지스트를 마스크로 해서 층간절연막에 접속구멍(connection holes)을 형성할 때의 마스크 맞춤여유(mask registration allowance)가 커지고 메모리셀 사이즈가 증대해버린다. 예를 들면, 게이트전극을 제1층째의 도전막, 국소배선을 제2층째의 도전막, 전원배선을 제3층째의 도전막으로 각각 구성한 경우, 게이트전극과 국소배선의 양쪽에 대해서 맞춤 여유를 확보할 필요가 있다.
또, 상기 미국특허 제5,523,598호에 개시된 SRAM은 한쌍의 국소배선을 동일층의 도전막으로 형성하고 있다. 그 때문에, 메모리셀 내에 2개의 국소배선을 가로로 나란히 배치할 공간이 필요하게 되고, 그 만큼 메모리셀 사이즈가 증대해버린다.
본 발명의 목적은 감소된 메모리셀 사이즈를 갖는 반도체집적회로장치(완전CMOS형 SRAM 등의 반도체메모리) 및 그 제조방법을 제공하는 것이다.
본 발명의 다른 목적은 향상된 α선 소프트 에러 내성을 갖는 반도체집적회로장치(완전CMOS형 SRAM 등의 반도체메모리)와 그 제조방법을 제공하는 것이다.
본 발명의 상기 및 그 밖의 목적과 신규한 특징은 첨부된 도면과 이하의 설명으로부터 명확해질 것이다.

### 발명의 구성 및 작용

이하, 본 명세서에 개시되는 본 발명의 실시예에 대해 설명한다. 이 실시예는 본 발명의 대표적인 일례이지만, 본 발명의 범위를 한정하고자 의도된 것이 아니며, 본 발명의 범주는 특허청구범위에 기재된 내용에 의해 정해진다.
본 발명에 따르면, 한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로와 한쌍의 전송용 MISFET을 갖는 메모리셀을 구비한 SRAM에 있어서, 반도체기판 상의 주면 상에 형성된 제1 도전막으로 구동용 MISFET, 부하용 MISFET 및 전송용 MISFET의 각각의 게이트전극을 구성하고, 제1 도전막의 상부에 형성된 제2 도전막으로 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 국소배 선의 한쪽을 구성하며, 제2 도전막의 상부에 형성한 제3 도전막으로 국소배선의 다른 쪽을 구성한 반도체집적회로 및 장치의 제조방법이 마련된다.
본 발명의 반도체집적회로장치는 국소배선의 한쪽과 국소배선의 다른 쪽을 적어도 서로의 일부가 상하로 겹치도록

배치하고, 국소배선의 한쪽 및 국소배선의 다른 쪽과 그들 사이에 개재하는 절연막으로 용량소자를 구성한다.
반도체집적회로장치의 제조방법에 있어서는, 한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로와 한쌍의 전송용 MISFET를 각각 구비한 메모리셀을 포함하는 반도체집적회로장치(예를 들어, SRAM)의 제조방법으로서, (a) 주면 상에 구동용 MISFET, 부하용 MISFET 및 전송용 MISFET의 각각의 게이트전극을 형성한 반도체기판을 마련하는 공정, (b) 게이트전극의 상부에 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선을 형성하는 공정, (c) 게이트전극과 국소배선의 각각의 측벽에 사이드월 스페이서를 형성하는 공정, 및 (d) 사이드월 스페이서가 형성된 국소배선의 상부에 제1 절연막과는 에칭 속도가 다른 (예를 들어, 보다 큰) 제2 절연막을 퇴적하고, 제2 절연막을 에칭하여 구동용 MISFET 또는 상기 부하용 MISFET의 소오스영역에 도달하는 접속구멍을 형성하는 공정을 제공한다. 또한, 이 방법에 의해 제조된 장치를 제공한다.
반도체집적회로장치의 제조방법에 있어서는, 한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로와 한쌍의 전송용 MISFET를 각각 구비한 메모리셀을 포함하는 반도체집적회로장치(예를 들어, SRAM)의 제조방법으로서, (a) 주면 상에 구동용 MISFET, 부하용 MISFET 및 전송용 MISFET의 각각의 게이트전 극을 형성한 반도체기판을 마련하는 공정, (b) 게이트전극의 상부에 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 국소배선의 한쪽을 형성하는 공정, (c) 공정 (b)에서 형성된 국소배선의 상부에 한쌍의 국소배선의 다른 쪽을 형성하는 공정, (d) 국소배선의 다른 쪽의 상부에 퇴적한 제1 절연막을 에칭하여, 게이트전극, 국소배선의 한쪽, 및 국소배선의 다른 쪽의 각각의 측벽에 사이드월 스페이서를 형성하는 공정, 및 (e) 사이드월 스페이서가 형성된 다른 쪽의 국소배선의 상부에 제1 절연막과는 에칭 속도가 다른 제2 절연막을 퇴적하고, 제2 절연막을 에칭하여 구동용 MISFET 또는 부하용 MISFET의 소오스영역에 도달하는 접속구멍을 형성하는 공정을 마련한다. 또한, 이 방법에 의해 제조된 장치를 마련한다.
상술한 수단들에 의하면, 메모리셀의 플립플롭회로의 입출력단자를 교차결합하는 한쌍의 국소배선이 기판에 대해 수직으로 다른 도전층에 형성된다. 따라서, 한쌍의 국소배선을 동일층의 도전막으로 형성하는 경우에 필요하게 되는 2개의 국소배선을 가로로 나란히 배치하는 공간이 불필요하게 되고, 국소배선끼리를 부분적으로 중첩하도록 배치하는 것이 가능하게 되므로, 메모리셀의 점유면적을 축소하는 것이 가능하게 된다.
상술한 수단들에 의하면, 국소배선의 한쪽과 국소배선의 다른 쪽을 수직으로 중첩하도록 배치하고, 국소배선의 한쪽 및 국소배선의 다른 쪽과 그들 사이에 개재하는 절연막으로 용량소자를 구성함으로써, 메모리셀의 축적노드용량을 증가시킬 수 있으므로, 메모리셀 사이즈의 미세화나 동작전원전압의 저하에 따른 α선 소프트 에러 내성의 저하를 방지할 수 있다. 예를 들어, 용량의 영역은 메모리셀의 영 역의 약 1/2로 되어 두꺼운 용량의 유전체를 실현할 수 있다. 소프트 에러 내성은 1.8V의 전원전압에서도 달성될 수 있다.
상술한 수단들에 의하면, 포토레지스트를 마스크로 하여 층간절연막에 접속구멍을 형성할 때의 마스크 맞춤여유가 불필요하게 되므로, 메모리셀의 점유면적을 축소할 수 있다. 접속구멍은 자기정합기술(게이트와 국소배선이 자기정합됨)에 의해 형성될 수 있다.
본 발명이 바람직한 특정 실시예들에 관하여 설명할 것이지만, 이 실시예들은 본 발명을 한정하고자 의도된 것이 아님을 이해하여야 할 것이다. 오히려, 이하의 특허청구범위에 의해 정해지는 본 발명의 사상 및 범주 내에 있는 모든 변경, 변형, 균등물이 포함되도록 의도되었다.
본 명세서 전체를 통해서, 어떤 장치가 특정 구성 요소를 포함하거나 이로부터 구성된다고 설명되거나, 어떤 방법이 특정 단계를 포함하거나 이로부터 구성된다고 설명되는 경우, 본 발명의 장치는 설명된 구성 요소를 포함, 혹은 본질상 포함하고, 본 발명의 방법은 설명된 단계를 포함 혹은 본질상 포함한다는 것을 이해하여야 한다. 따라서, 본 명세서 전체를 통해서, 설명되는 임의의 장치 또는 처리는 설명된 구성 요소 혹은 단계를 포함, 혹은 본질상 포함할 수 있다.
본 발명에 관하여, 첨부된 도면과 그에 관련된 실시예들을 통해 설명한다. 실시예들을 설명하기 위한 도면 전체를 통해서, 동일한 기능을 갖는 부분에는 동일한 참조 번호를 부여하고, 그 반복 설명은 생략한다.
(실시예 1)
도 5는 본 발명의 제1 실시예의 SRAM의 메모리셀의 등가회로도이다. 이 메모리셀은 한쌍의 상보성 데이타선(데이타선 DL, 데이타선 $\overline{DL}$ )과 워드선 WL의 교차부에 배치되고, 또한 한쌍의 구동용 MISFET $Qd_1$, $Qd_2$, 한쌍의 부하용 MISFET $Qp_1$, $Qp_2$, 및 한쌍의 전송용 MISFET $Qt_1$, $Qt_2$로 구성되어 있다. 이들 MISFET중, 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$는 n채널형으로 구성되고, 부하용 MISFET $Qp_1$, $Qp_2$는 p채널형으로 구성되어 있다. 즉, 이 메모리셀은 4개의 n채널형 MISFET와 2개의 p채널형 MISFET를 사용한 완전CMOS형으로 구성되어 있다.
상기 메모리셀을 구성하는 6개의 MISFET 중, 한쌍의 구동용 MISFET $Qd_1$, $Qd_2$와 한쌍의 부하용 MISFET $Qp_1$, $Qp_2$는 1비트의 정보를 기억하는 정보축적부로서 기능하는 플립플롭회로를 구성하고 있다. 이 플립플롭회로의 한쪽의 입출력단자(축적노드)는 전송용 MISFET $Qt_1$의 소오스와 드레인영역의 한쪽에 전기적으로 접속되고, 다른 쪽의 입출력단자(축적노드)는 전송용 MISFET $Qt_2$의 소오스와 드레인영역의 한쪽에 전기적으로 접속되어 있다. 전송용 MISFET $Qt_1$의 소오스와 드레인영역의 다른 쪽에는 데이타선 DL이 전기적으로 접속되고, 전송용 MISFET $Qt_2$의 소오스와 드레인영역의 다른 쪽에는 데이타선 $\overline{DL}$ 이 전기적으로 접속되어 있다. 또, 플립플롭회로의 한쪽 단(부하용 MISFET $Qp_1$, $Qp_2$의 각 소오스영역)은 전원전압(Vcc)에 접속되고, 다른 쪽 단(구동용 MISFET $Qd_1$, $Qd_2$의 각 소오스영역)은 기준전압(Vss)에 접속되어 있다. 전원전압(Vcc)은 예를 들면 3V이고, 기준전압(Vss)은 예를 들면 0V(GND)이다.
플립플롭회로의 입출력단자는 한쌍의 국소배선 $L_1$, $L_2$를 통해 교차결합하고 있다. 후술하겠지만, 본 실시예에서는 이 한쌍의 국소배선 $L_1$, $L_2$를 다른 도전층에 배치한다.

메모리셀의 구체적인 구성을 도 1(메모리셀 약 1개분의 상면도), 도 2(도 1의 A-A' 선을 따른 단면도), 도 3(도 1의 B-B' 선을 따른 단면도), 및 도 4(메모리셀의 약 4개분의 상면도)를 참조하며 설명한다. 또한, 도 1 및 도 4에는 메모리셀을 구성하는 도전층과 상하의 도전층을 접속하는 접속구멍만을 도시하고, 각 도전층을 분리하는 절연막의 도시는 생략하였다.

메모리셀을 구성하는 6개의 MISFET는 단결정실리콘으로 이루어지는 반도체기판(1)의 소자분리홈(2)에 의해서 주위가 둘러 싸여진 활성영역에 형성되어 있다. n채널형으로 구성된 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$ 는 p형 웰(3)의 활성영역에 형성되어 있고, p채널형으로 구성된 부하용 MISFET $Qp_1$, $Qp_2$ 는 n형 웰(4)의 활성영역에 형성되어 있다.

한쌍의 전송용 MISFET $Qt_1$, $Qt_2$ 의 각각은 p형 웰(3)의 활성영역에 형성된 n형 반도체영역(5)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 게이트산화막(6), 및 이 게이트산화막(6)의 상부에 형성된 게이트전극(7)으로 구성되어 있다. 전송용 MISFET $Qt_1$, $Qt_2$ 의 각각의 게이트전극(7)은 예를 들면 n형 다결정실리콘막과 W(텅스텐) 실리사이드($WSi_2$)막을 적층한 폴리사이드구조로 구성되고, 워드선 WL과 일체로 구성되어 있다. 워드선 WL은 제1방향(도 1 및 도 4의 좌우방향)으로 연장해서 마련되고, 한쌍의 전송용 MISFET $Qt_1$, $Qt_2$ 는 이 제1방향을 따라서 서로 인접해서 배치되어 있다. 또, 한쌍의 전송용 MISFET $Qt_1$, $Qt_2$ 는 그의 게이트 길이방향이 제1방향과 직교하는 제2방향(도 1 및 도 4의 상하방향)으로 배치되어 있다. 전송용 MISFET $Qt_1$, $Qt_2$ 의 채널형성영역은 그의 게이트전극(7)의 아래와 n형 반도체영역(5) 사이의 p형 웰(3)의 활성영역에 형성된다.

한쌍의 구동용 MISFET $Qd_1$, $Qd_2$ 의 각각은 p형 웰(3)의 활성영역에 형성된 n형 반도체영역(5), (5)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 게이트산화막(6) 및 이 게이트산화막(6)의 상부에 형성된 게이트전극(8)으로 구성되어 있다. 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역)은 전송용 MIS FET $Qt_1$ 의 n형 반도체영역(5)(소오스영역과 드레인영역의 한쪽)과 공유한 활성영역에 형성되고, 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)은 전송용 MISFET $Qt_2$ 의 n형 반도체영역(5)(소오스영역과 드레인영역의 한쪽)과 공유한 활성영역에 형성되어 있다. 구동용 MISFET $Qd_1$, $Qd_2$ 의 각각의 게이트전극(8)은 예를 들면 n형 다결정 실리콘막과 실리사이드막을 적층한 폴리사이드구조로 구성되어 있다. 구동용 MISFET $Qd_1$, $Qd_2$ 의 채널 형성영역은 그의 게이트전극(8)의 아래와 그의 소오스전극과 드레인전극 사이의 p형 웰(3)의 활성영역에 형성된다.

한쌍의 부하용 MISFET $Qp_1$, $Qp_2$ 의 각각은 n형 웰(4)의 활성영역에 형성된 p형 반도체영역(9), (9)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 게이트산화막(6) 및 이 게이트산화막(6)의 상부에 형성된 게이트전극(8)으로 구성되어 있다. 부하용 MISFET $Qp_1$ 의 게이트전극(8)은 상기 구동용 MISFET $Qd_1$ 의 게이트전극(8)과 일체로 구성되어 있고, 부하용 MISFET $Qp_2$ 의 게이트전극(8)은 상기 구동용 MISFET $Qd_2$ 의 게이트전극(8)과 일체로 구성되어 있다. 부하용 MISFET $Qp_1$, $Qp_2$ 의 채널 형성영역은 그의 게이트전극(8)의 아래와 그의 소오스영역과 드레인영역 사이의 n형 웰(4)의 활성영역에 형성된다.

구동용 MISFET $Qd_1$ 은 제2방향에 있어서 부하용 MISFET $Qp_1$ 과 전송용 MISFET $Qt_1$ 사이에 배치되고, 구동용 MISFET $Qd_2$ 는 제2방향에 있어서 부하용 MISFET $Qp_2$ 와 전송용 MISFET $Qt_2$ 사이에 배치되어 있다. 한쌍의 구동용 MISFET $Qd_1$, $Qd_2$ 및 한쌍의 부하용 MISFET $Qp_1$, $Qp_2$ 의 각각은 그의 게이트 길이방향이 제1방향과 일치하도록 배치되어 있다.

구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$ 의 각각의 n형 반도체영역(5), (5)(소오스영역, 드레인영역)의 표면에는 n형 반도체영역(5), (5) 의 시트저항을 저감할 목적으로 Ti(티탄)실리사이드($TiSi_2$)층(10)이 형성되어 있다. 마찬가지로, 부하용 MISFET $Qp_1$, $Qp_2$ 의 각각의 p형 반도체영역(9), (9)(소오스영역, 드레인영역)의 표면에도 p형 반도체영역(9), (9)의 시트저항을 저감할 목적으로 Ti실리사이드층(10)이 형성되어 있다.

전송용 MISFET $Qt_1$, $Qt_2$ 의 게이트전극(7)(워드선 WL) 및 구동용 MISFE T $Qd_1$, $Qd_2$ (부하용MISFET $Qp_1$, $Qp_2$)의 게이트전극(8)의 각각의 측벽에는 산화실리콘막으로 이루어지는 사이드월 스페이서(11)가 형성되어 있다. 또 게이트전극(7)(워드선 WL)과 게이트전극(8)의 상부에는 산화실리콘막(캡절연막)(12)이 형성되어 있다.

상기 6개의 MISFET의 상부에는 질화실리콘막(13)이 형성되어 있고, 이 질화실리콘막(13)의 상부에는 한쌍의 국소배선 $L_1$, $L_2$ 의 한쪽(국소배선 $L_1$)이 형성되어 있다. 이 국소배선 $L_1$ 의 한쪽 단부는 질화실리콘막(13) 및 산화실리콘막(12)에 뚫린 접속구멍(14)을 통해서 부하용 MISFET $Qp_2$ 및 구동용 MISFET $Qd_2$ 에 의해 공유된 게이트전극(8)과 전기적으로 접속되어 있다. 국소배선 $L_1$ 의 다른 한쪽 단부는 질화실리콘막(13)에서 뚫린 접속구멍(15)을 통해서 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역)과 전기적으로 접속되어 있다. 국소배선 $L_1$ 의 또 다른 한쪽 단부는 질화실리콘막(13)에서 뚫린 접속구멍(16)을 통해서 부하용 MISFET $Qp_1$ 의 P형 반도체영역(9)(드레인영역)과 전기적으로 접속되어 있다. 즉, 국소배선 $L_1$ 은 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$)의 게이트전극(8), 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역) 및 부하용 MISFET $Qp_1$ 의 p형 반도체영역(9)(드레인영역)을 서로 전기적으로 접속하고 있다. 국소배선 $L_1$ 은 예를 들면 TiN(질화티탄)막으로 이루어진다. 국소배선 $L_1$ 은 TiN 이외에 W등의 고융점 금속이나 W실리사이드등의 고융점 금속실리사이드로 구성할 수도 있다. 국소배선 $L_1$ 은 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MIS FETQt $_1$, $Qt_2$ 의 채널 형성영역 상에 형성된다.

상기 국소배선 $L_1$ 의 상부에는 PSG(Phospho Silicate Glass)등의 산화실리콘계 절연막으로 이루어지는 제1층째의 층간절연막(17)을 개재해서 한쌍의 국소배선 $L_1$, $L_2$ 의 다른 쪽(국소배선 $L_2$)이 형성되어 있다. 이 국소배선 $L_2$ 의 한쪽 단부는 질화실리콘막(13) 및 산화실리콘막(12)에 뚫린 접속구멍(18)을 통해서 부하용 MISFET $Qp_1$ 및 구동용 MISFET $Qd_1$ 에 공유된 게이트전극(8)과 전기적으로 접속되어 있다. 국소배선 $L_2$ 의 다른 쪽 단부는 층간절연막(17) 및 질화실리콘막(13)에 뚫린 접속구멍(19)을 통해서 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)과 전기적으로 접속되어 있다. 국소배선 $L_2$ 의 또 다른 쪽 단부는 층간절연막(17) 및 질화실리콘막(13)에 뚫린 접속구멍(20)을 통해서 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)( 드레인영역)과 전기적으로 접속되어 있다. 즉, 국

소배선 $L_2$는 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)게이트전극(8), 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역) 및 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)을 서로 전기적으로 접속하고 있다. 국소배선 $L_2$는 예를 들면 상하로 TiN의 배리어 금속층을 마련한 Al(알루미늄)막으로 이루어진다. 또, 상기 접속구멍(18), (19), (20)의 내부에는 국소배선 $L_2$와 게이트전극(8)의 도통과 n형 반도체영역(5) 및 p형 반도체영역(9)의 도통의 신뢰성을 확보하기 위해 W막 등으로 이루어지는 플러그(29)가 매립되어 있다. 국소배선 $L_2$는 구동용 MISFET $Qd_1$, $Qd_2$, 부하용 MISFET $Qp_1$, $Qp_2$와 전송용 MISFET $Qt_1$, $Qt_2$의 채널 형성영역에 걸쳐서 형성된다.

국소배선 $L_2$의 상부에는 산화실리콘으로 이루어지는 제2층째의 층간절연막(21)을 개재하여 전원전압선(22) 및 기준전압선(23)이 형성되어 있다. 전원전압선(22)은 층간절연막(21), (17) 및 질화실리콘막(13)에 뚫려진 접속구멍(24)을 통해서 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9)(소오스영역)에 전기적으로 접속되고, 이들 p형 반도체영역(9)에 전원전압(Vcc)을 공급한다. 또, 기준전압선(23)은 층간절연막(21), (17) 및 질화실리콘막(13)에 뚫린 접속구멍(25)을 통해서 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(소오스영역)에 전기적으로 접속되고, 이들 n형 반도체영역에 기준전압(Vss)을 공급한다. 전원전압 선(22) 및 기준전압선(23)은 예를 들면 상하에 TiN의 배리어 금속층을 형성한 Al막으로 이루어진다. 또, 접속구멍(24), (25)의 내부에는 전원전압선(22)과 p형 반도체영역(9)의 도통과 기준전압선(23)과 n형 반도체영역(5)의 도통의 신뢰성을 확보하기 위해 W막 등으로 이루어지는 플러그(37)가 매립되어 있다.

전원전압선(22) 및 기준전압선(23)의 상부에는 산화실리콘으로 이루어지는 제3층째의 층간절연막(26)을 개재하여 한쌍의 상보성 데이터선(데이타선 DL, 데이터선 $\overline{DL}$)이 형성되어 있다. 이들 상보성 데이타선의 한쪽(데이타선 DL)은 층간 절연막(26), (21), (17) 및 질화실리콘막(13)에 뚫린 접속구멍(27)을 통해서 전송용 MISFET $Qt_1$의 n형 반도체영역(5)(소오스영역과 드레인영역의 다른 쪽)에 전기적으로 접속되어 있다. 또, 상보성 데이타선의 다른 쪽(데이타선 $\overline{DL}$)은 층간절연막(26), (21), (17) 및 질화실리콘막(13)에 뚫린 접속구멍(27)을 통해서 전송용 MISFET $Qt_2$의 n형 반도체영역(5)(소오스영역과 드레인영역의 다른 쪽)에 전기적으로 접속되어 있다. 데이터선 DL 및 데이터선 $\overline{DL}$은 예를 들면 상하에 TiN의 배리어 금속층을 형성한 Al막으로 이루어진다. 도시하지는 않았지만, 접속구멍(27), (27)의 내부에는 데이터선 DL과 $\overline{DL}$ 및 n형 반도체영역(5)의 도통신뢰성을 확보하기 위해 W막 등으로 이루어지는 플러그가 매립되어 있다.

이와 같이, 본 실시예의 SRAM은 메모리셀의 플립플롭회로의 입출력단자 사이를 교차결합하는 한쌍의 국소배선 $L_1$, $L_2$를 다른 도전층에 형성한다. 이러한 구성에 의해, 한쌍의 국소배선을 동일한 도전층에 형성하는 경우에 필요하게 되는 2개의 국소배선을 가로로 나란히 배치하는 공간이 불필요하게 되고, 국소배선 $L_1$, $L_2$ 끼리를 부분적으로 중첩하도록 배치하는 것이 가능하므로, 메모리셀의 점유면적을 감소시킬 수 있다.

다음에, 본 실시예의 SRAM의 메모리셀의 제조방법을 도 6~도 32를 사용해서 설명한다. 또한, 메모리셀의 제조방법을 도시하는 각 도면 중, 단면 (a)는 상면도의 A-A' 선에-대응하고, 단면 (b)는 상면도 B-B' 선에 대응하고 있다. 또, 각 상면도에는 도전층과 접속구멍만을 도시하고 절연막의 도시는 생략하였다.

먼저, 도 6 및 도 7a와 도 7b에 도시된 바와 같이, p형 단결정실리콘으로 이루어지는 반도체기판(1)의 주면의 활성영역 AR의 주위(소자분리영역)에 홈(30)을 형성한다. 이 홈(30)은 반도체기판(1) 상에 산화실리콘막(31)과 질화실리콘막(32)를 순차 퇴적한 후, 포토레지스트를 마스크로 하여 질화실리콘막(32), 산화실리콘막(31), 및 반도체기판(1)을 순차로 드라이에칭하여 형성한다.

다음에, 도 8a 및 도 8b에 도시된 바와 같이, 홈(30)의 내부에 산화실리콘막(36)을 매립해서 소자분리홈(2)을 형성한다. 소자분리홈(2)은 홈(30)의 내부를 포함한 반도체기판(1) 상에 CVD(Chemical Vapor Deposition)법으로 산화실리콘막(36)을 두껍게 퇴적한 후, 질화실리콘막(32)을 에칭 스토퍼에 사용하고, 산화실리콘막(36)을 에칭백(또는, 화학적 기계연마(CMP))에 의해 제거해서 형성한다.

다음에, 활성영역 AR의 표면에 남은 질화실리콘막(32) 및 산화실리콘막(31) 을 에칭에 의해 제거한다. 이 후, 도 9 및 도 10a와 도 10b에 도시된 바와 같이, 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$를 형성하는 활성영역 AR의 반도체기판(1)에 p형 불순물(붕소)을 이온주입하여 p형 웰(3)을 형성하고, 부하용 MISFET $Qp_1$, $Qp_2$를 형성하는 활성영역 AR의 반도체기판(1)에 n형 불순물(인 또는 비소)을 이온주입하여 n형 웰(4)을 형성한다. 그 후, p형 웰(3) 및 n형 웰(4)의 각각의 표면을 열 산화하여 게이트산화막(6)을 형성한다.

다음에, 도 11a 및 도 11b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법에 의해 n형 다결정실리콘막(33), W실리사이드막(34), 및 산화실리콘막(12)를 순차 퇴적한다. 이 후, 도 12 및 도 13a 및 도 13b에 도시된 바와 같이 포토레지스트를 마스크로 한 드라이에칭에 의해 산화실리콘막(12), W실리사이드막(34), 및 n형 다결정실리콘막(33)을 패터닝함으로써 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL) 및 구동용 MISFET $Qd_1$, $Qd_2$(부하용 MISFET $Qp_1$, $Qp_2$)의 게이트전극(8), (8)을 형성한다.

다음에, 도 14 및 도 15a 및 도 15b에 도시된 바와 같이, p형 웰(3)에 n형 불순물(인 또는 비소)을 이온주입하여 전송용 MISFET $Qt_1$, $Qt_2$ 및 구동용 MISFET $Qd_1$, $Qd_2$의 n형 반도체영역(5), (5)(소오스영역과 드레인영역)을 형성하고, n형 웰(4)에 p형 불순물(붕소)을 이온주입하여 부하용 MISFET $Qp_1$, $Qp_2$의 p형 반도체영역(9), (9)(소오스영역, 드레인영역)을 형성한다. 그 후, 반도체기판(1) 상에 CVD 법으로 퇴적한 산화실리콘막을 이방성 에칭하여 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL) 및 구동용 MISFET $Qd_1$, $Qd_2$의 게이트전극(8), (8)의 각각의 측벽에 사이드월 스페이서(11)를 형성한다.

다음에, 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6)과 부하용 MISFET $Qp_1$, $Qp_2$의 p형 반도체영역(9), (9)(소오

스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6)을 에칭에 의해 제거한다. 그 후, 도 16에 도시하는 바와 같이, 반도체기판(1) 상에 스퍼터링법으로 Ti막(35)을 퇴적한다.

다음에, 반도체기판(1)을 어닐링(열처리)하여 Ti막(35)과 반도체기판(1)(n형 반도체영역(5)과 p형 반도체영역(9))을 반응시킨다. 그 후, 미반응의 Ti막(35)을 에칭으로 제거함으로써, 도 17 및 도 18a 및 도 18b에 도시된 바와 같이, n형 반도체영역(5) 및 p형 반도체영역(9)의 표면에 Ti실리사이드층(10)을 형성한다. 그 후, 필요에 따라서 반도체기판(1)을 어닐링하고, Ti실리사이드층(10)의 저항을 감소시킨다. 또, Ti실리사이드층(10)을 형성하는 것 대신에 반도체기판(1) 상에 스퍼터링법으로 Co(코발트)막을 퇴적하고 반도체기판(1)(n형 반도체영역(5)과 p형 반도체영역(9))과 Co막을 반응시켜서 Co실리사이드층을 형성해도 좋다.

다음에, 도 19및 도 20a와 도 20b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법에 의해 막두께 30nm 정도의 얇은 질화실리콘막(13)을 퇴적한다. 그 후, 포토 레지스트를 마스크로 한 드라이에칭으로 구동용 MISFET $Qd_2$ (또는 부하용 MISFET $Qp_2$ )의 게이트전극(8)의 상부의 질화실리콘막(13) 및 산화실리콘막(12)을 뚫어 접속구멍(14)을 형성한다. 동시에, 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역) 상부의 질화실리콘막(13)을 에칭으로 제거해서 접속구멍(15)을 형성하고, 부하용 MISFET $Qp_1$ 의 p형 반도체영역(9)(드레인영역) 상부의 질화실리콘막(13)을 에칭으로 제거하여 접속구멍(16)을 형성한다. 다음에, 도 21 및 도 22a 및 도 22b에 도시된 바와 같이, 질화실리콘막(13)의 상부에 국소배선 $L_1$ 을 형성한다. 국소배선 $L_1$ 은 반도체기판(1) 상에 스퍼터링법 또는 CVD법으로 퇴적한 막두께 100nm 정도의 TiN막을 포토레지스트를 마스크로 한 드라이에칭법으로 패터닝하여 형성한다. 국소배선 $L_1$ 은 접속구멍(14)을 통해서 부하용 MISFET $Qp_2$ 및 구동용 MISFET $Qd_2$ 의 공통게이트전극(8)에 접속되고, 접속구멍(15)을 통해서 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(16)을 통해서 부하용 MISFET $Qp_1$ 의 p형 반도체영역(9)(드레인영역)에 접속된다.

다음에, 도 23 및 도 24a 와 도 24b에 도시된 바와 같이, 국소배선 $L_1$ 의 상부에 CVD법에 의해 PSG로 이루어지는 층간절연막(17)을 퇴적한다 그 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)의 상부의 층간절연막(17), 질화실리콘막(13), 및 산화실리콘막(12)을 뚫어 접속구멍(18)을 형성한다. 동시에, 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)의 상부의 층간절연막(17) 및 질화실리콘막(13)을 에칭에 의해 제거해서 접속구멍(19)을 형성하고, 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)의 상부의 층간절연막(17) 및 질화실리콘막(13)을 에칭에 의해 제거해서 접속구멍(20)을 형성한다.

다음에, 도 25 및 도 26a와 도 26b에 도시된 바와 같이, 접속구멍(18), (19), (20)의 내부에 W막을 매립해서 플러그(29)를 형성한다. 그 후, 층간절연막(17)의 상부에 국소배선 $L_2$ 를 형성한다. W막의 매립은 층간절연막(17) 상에 스퍼터링법으로 퇴적한 W막을 에치백하여 실행한다. 또, 국소배선 $L_2$ 는 층간절연막(17) 상에 스퍼터링법으로 TiN막, Al막, TiN막을 순차 퇴적한 후, 포토레지스트를 마스크로 한 드라이에칭으로 이들 막을 패터닝하여 형성한다. 국소배선 $L_2$ 는 접속구멍(18)을 통해서 부하용 MISFET $Qp_1$ 및 구동용 MISFET $Qd_1$ 의 공통 게이트전극(8)에 접속되고, 접속구멍(19)을 통해서 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(20)을 통해서 부하용 MIS FET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)에 접속된다.

다음에, 도 27, 도 28 및 도 29에 도시된 바와 같이, 국소배선 $L_2$ 의 상부에 CVD법에 의해 산화실리콘으로 이루어지는 층간절연막(21)을 퇴적한다. 그 후, 포토 레지스트를 마스크로 한 드라이에칭에 의해 부하용 MISFET $Qp_1$ , $Qp_2$ 의 각각의 p형 반도체영역(9), (9)(소오스영역)의 상부의 층간절연막(21), (17) 및 질화실리콘막(13)을 뚫어 접속구멍(24), (24)를 형성한다. 동시에, 구동용 MISFET $Qd_1$ , $Qd_2$ 의 각각의 n형 반도체영역(5), (5)(소오스영역)의 상부의 층간절연막(21), (17) 및 질화실리콘막(13)을 뚫어 접속구멍(25), (25)를 형성한다.

다음에, 접속구멍(24), (25)의 내부에 W막을 매립해서 플러그(37)을 형성한다. 그 후, 도 30, 도 31 및 도 32에 도시된 바와 같이, 층간절연막(21)의 상부에 전원전압선(22) 및 기준전압선(23)을 형성한다. 전원전압선(22) 및 기준전압선(23)은 층간절연막(21) 상에 스퍼터링법에 의해 TiN막, Al막, TiN막을 순차 퇴적한 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 이들 막을 패터닝해서 형성한다. 전원전압선(22)은 접속구멍(24), (24)를 통해서 부하용 MISFET $Qp_1$ , $Qp_2$ 의 각각의 p형 반도체영역(9), (9)(소오스영역)에 접속되고, 기준전압선(23)은 접속구멍(25), (25)를 통해서 구동용 MISFET $Qd_1$ , $Qd_2$ 의 각각의 n형 반도체영역(5), (5)(소오스영역)에 접속된다.

그 후, 전원전압선(22) 및 기준전압선(23)의 상부에 CVD법에 의해 질화실리콘으로 이루어지는 층간절연막(26)을 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 전송용 MISFET $Qt_1$ , $Qt_2$ 의 각각의 n형 반도체영역(5), (5)(드레인영역)의 상부의 층간절연막(26), (21), (17) 및 질화실리콘막(13)을 뚫어 접속 구멍(27), (27)을 형성한다. 계속해서, 접속구멍(27), (27)의 내부에 W막을 매립하여 플러그를 형성한 후, 층간절연막(26)의 상부에 데이타선 DL, $\overline{DL}$ 을 형성한다. 이들 데이타선 DL, $\overline{DL}$ 은 층간절연막(26) 상에 스퍼터링법에 의해 TiN막, Al막, TiN막을 순차 퇴적한 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 이들 막을 패터닝해서 형성한다. 데이타선 DL은 접속구멍(27), (27)의 한쪽을 통해서 전송용 MISFET $Qt_1$ 의 n형 반도체영역(5)(드레인영역)에 접속되고, 데이타선 $\overline{DL}$ 은 접속구멍(27), (27)의 다른 쪽을 통해서 전송용 MISFET $Qt_2$ 의 n형 반도체영역(5)(드레인영역)에 접속된다. 이상의 공정에 의해 상기 도 1 도 4에 도시한 바와 같은 메모리셀을 완성한다.

(실시예 2)

도 33은 본 실시예의 SRAM의 메모리셀을 도시한 상면도, 도 34는 도 33의 A-A' 선을 따른 단면도, 도 35는 도 33의 B-B' 선을 따른 단면도, 도 36은 본 실시예의 SRAM의 메모리셀의 등가회로도이다.

도시된 바와 같이, 본 실시예의 SRAM은 실시예 1의 SRAM과 마찬가지로 메모리셀의 플립플롭회로의 입출력단자를 교차결합하는 한쌍의 국소배선 $L_1$ , $L_2$ 를 다른 도전층에 형성하고 있다. 또, 본 실시예의 SRAM은 상층의 국소배선 $L_2$ 와 하층의 국소배선 $L_1$ 을 넓은 면적에 걸쳐 중첩하도록 배치하고, 국소배선 $L_1$ , $L_2$ 와 그들 사이에 개재하는 얇은 절연막(질화실리콘막(42))으로 용량소자 C를 구성하고 있다. 즉, 상층의 국소배선 $L_2$ 는 용량소자 C의 한

쪽의 전극을 구성하고, 하층의 국소배선 $L_1$은 다른 쪽의 전극을 구성하고, 절연막(질화실리콘막(42))은 유전체막을 구성하고 있다.

본 실시예의 SRAM의 메모리셀의 제조방법을 도 37, 도 38a와 도 38b, 도 39, 도 40a와 도 40b, 도 41, 도 42a와 도 42b, 도 43, 도 44a와 도 44b, 도 45, 도 46a와 도 46b, 도 47 및 도 48a와 도 48b를 참조하여 설명한다. 또한, 메모리셀의 제조방법을 도시하는 각 도면 중, 단면도 (a)는 상면도의 A-A' 선에 대응하고, 단면도 (b)는 상면도의 B-B' 선에 대응하고 있다. 또, 각 상면도에는 도전층과 접속구멍만을 도시하고, 절연막의 도시는 생략한다.

먼저, 상기 실시예 1의 도 6 도 18a와 도 18b에 도시한 제조방법에 따라, 반도체기판(1)의 주면에 소자분리홈(2), p형 웰(3), n형 웰(4), 및 게이트산화막(6)을 형성한다. 이 후, p형 웰(3)에 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$를 형성하고 n형 웰(4)에 부하용 MISFET $Qp_1$, $Qp_2$를 형성한다. 또, 전송용 MIS FET $Qt_1$, $Qt_2$ 및 구동용 MISFET $Qd_1$, $Qd_2$의 n형 반도체영역(5), (5)(소오스영역, 드레인영역)의 표면과 부하용 MISFET $Qp_1$, $Qp_2$의 p형 반도체영역(9), (9)(소오스영역, 드레인영역)의 표면에 시트저항을 저감할 목적으로 Ti실리사이드층(10)을 형성한다.

다음에, 도 37 및 도 38a와 도 38b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법에 의해 막두께 50nm 정도의 얇은 질화실리콘막(13)을 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 구동용 MISFET $Qd_2$ (또는 부하용 MISFET $Qp_2$)의 게이트전극(8)의 상부의 질화실리콘막(13) 및 산화실리콘막(12)를 뚫어 접속구멍(14)을 형성한다. 동시에, 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)의 상부의 질화실리콘막(13)을 에칭에 의해 제거해서 접속구멍(40)을 형성하고, 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)의 상부의 질화실리콘막(13)을 에칭에 의해 제거해서 접속구멍(41)을 형성한다.

다음에, 도 39 및 도 40a와 도 40b에 도시된 바와 같이, 질화실리콘막(13)의 상부에 국소배선 $L_1$을 형성한다. 이 국소배선 $L_1$은 질화실리콘막(13) 상에 스퍼터링법 또는 CVD법으로 퇴적한 막두께 100nm 정도의 TiN막을 포토레지스트를 마스크로 한 드라이에칭에 의해 패터닝해서 형성한다. 이 국소배선 $L_1$은 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성한다. 즉, 국소배선 $L_1$은 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$)의 게이트전극(8), 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$)의 게이트전극(8), 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL), 전송용 MISFET $Qt_1$, $Qt_2$와 구동용 MISFET $Qd_1$, $Qd_2$의 공통의 n형 반도체영역(5)(소오스영역과 드레인영역의 한쪽) 및 부하용 MISFET $Qp_1$, $Qp_2$의 p형 반도체영역(9)(드레인영역)의 각각의 상부에 배치되고, 이들을 피복하도록 형성된다.

국소배선 $L_1$은 접속구멍(14)를 통해서 구동용 MISFET $Qd_2$ (부하용 MIS FET $Qp_2$)의 게이트전극(8)에 접속되고, 접속구멍(40)을 통해서 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(41)을 통해서 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)에 접속된다.

다음에, 도 41 및 도 42a와 도 42b에 도시된 바와 같이, 국소배선 $L_1$의 상부에 막두께 30nm 정도의 질화실리콘막(42)를 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$)의 게이트전극(8)의 상부에 질화실리콘막(17), (13) 및 산화실리콘막(12)을 뚫어 접속구멍(18)을 형성한다. 동시에, 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)의 상부의 질화실리콘막(17), (13)을 에칭으로 제거해서 접속구멍(19)를 형성하고, 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)의 상부의 질화실리콘막(17), (13)을 에칭으로 제거해서 접속구멍(20)을 형성한다.

다음에, 도 43 및 도 44a와 도 44b에 도시된 바와 같이, 질화실리콘막(42)의 상부에 국소배선 $L_2$를 형성한다. 국소배선 $L_2$는 스퍼터링법 또는 CVD법으로 퇴적한 막두께 100nm 정도의 TiN막을 포토레지스트를 마스크로 한 드라이에칭에 의해 패터닝해서 형성한다. 국소배선 $L_2$는 TiN 이외에 W등의 고융점 금속이나 W실리사이드 등의 고융점 금속실리사이드로 구성할 수도 있다. 국소배선 $L_2$는 접속구멍(18)을 통해 서 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$)의 게이트전극(8)에 접속되고, 접속구멍(19)을 통해서 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(20)을 통해서 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)에 접속된다. 국소배선 $L_2$는 하층의 국소배선 $L_1$의 상부에 있어서 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성하고 접속구멍(18), (19), (20)의 개구영역과 그 맞춤여유영역을 제외한 영역에서 국소배선 $L_1$과 거의 완전히 중첩된다. 이에 의해, 국소배선 $L_1$, $L_2$ (전극)과 그들 사이에 개재하는 국소배선 $L_1$, $L_2$보다 얇은 막두께의 질화실리콘막(42)(유전체막)으로 용량소자 C를 형성하고, 또 이 용량소자 C의 전하를 크게 할 수 있으므로, 축적노드의 전하축적량을 증가시켜서 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다. 또, 국소배선 $L_1$, $L_2$ 사이에 개재하는 얇은 절연막을 5산화탄탈($Ta_2O_5$) 등의 고유전체재료로 구성함으로써, 축적노드의 전하축적양을 더욱 증가시킬 수도 있다.

다음에, 도 45 및 도 46a와 도 46b에 도시된 바와 같이 국소배선 $L_2$의 상부에 CVD법에 의해 산화실리콘으로 이루어지는 층간절연막(21)을 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭으로 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9), (9)(소오스영역) 상부의 층간절연막(21) 및 질화실리콘막(17), (13)을 뚫어 접속구멍(24), (24)을 형성한다. 동시에, 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(5), (5)(소오스영역)의 상부의 층간절연막(21) 및 질화실리콘막(17), (13)을 뚫어 접속구멍(25), (25)를 형성한다.

다음에, 도 47 및 도 48a와 도 48b에 도시하는 바와 같이, 접속구멍(24), (25)의 내부에 W막을 매립해서 플러그(29)를 형성한 후, 층간절연막(21)의 상부에 전원전압선(22) 및 기준전압선(23)을 형성한다. 이 전원전압선(22) 및 기준전압선(23)은 층간절연막(21) 상에 스퍼터링법에 의해 TiN막, Al막, TiN막을 순차 퇴적한 후, 이들을 패터닝해서 형성한다.

그 후, 전원전압선(22) 및 기준전압선(23)의 상부에 CVD법에 의해 산화실리콘으로 이루어지는 층간절연막(26)을 퇴적한다. 이 후, 포토레지스트막을 마스크로 한 드라이에칭에 의해 전송용 MISFET $Qt_1$, $Qt_2$의 각각의 n형 반도체

영역(5), (5)(드레인영역)의 상부의 층간절연막(26), (21) 및 질화실리콘막(17), (13)을 뚫어 접속구멍(27), (27)을 형성한다. 계속해서, 접속구멍(27), (27)의 내부에 W막을 매립해서 플러그를 형성한 후, 층간절연막(26)의 상부에 데이타선 DL, $\overline{DL}$ 을 형성한다. 데이타선 DL, $\overline{DL}$ 은 층간절연막(26) 상에 스퍼터링법에 의해 TiN막, Al막, TiN막을 순차 퇴적한 후, 이들을 패터닝하여 형성한다. 이상의 공정에 의해, 상기 도 33 도 35에 도시한 메모리셀이 완성된다.

(실시예 3)

본 실시예의 SRAM은 메모리셀의 플립플롭회로의 입출력단자를 교차결합하는 한쌍의 국소배선 $L_1$, $L_2$를 동일한 도전층에 형성하고 있다. 이 SRAM의 메모리셀의 제조방법을 도 49 도 64를 참조하여 설명한다. 또한, 메모리셀의 제조방법을 도시한 각 도면 중 단면도는 상면도의 C-C' 선에 대응하고 있다. 또, 각 상면도에는 도전층과 접속구멍만을 도시하고, 절연막의 도시는 생략한다.

먼저, 도 49 및 도 50에 도시된 바와 같이, 반도체기판(1)의 주면에 p형 웰(3) 및 n형 웰(4)을 형성하고, 계속해서 그들 표면에 소자분리용의 필드산화막(28) 및 MISFET의 게이트산화막(6)을 형성한다. 이 후, p형 웰(3)에 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$를 형성하고, n형 웰(4)에 부하용 MISFET $Qp_1$, $Qp_2$를 형성한다. 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL) 및 구동용 MISFET $Qd_1$, $Qd_2$(부하용 MISFET $Qp_1$, $Qp_2$)의 게이트전극(8), (8)은 막두께 300nm 정도의 다결정실리콘막으로 구성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8)의 각각의 측벽의 사이드월 스페이서(11)는 산화실리콘막을 에칭해서 형성한다.

다음에, 도 51 및 도 52에 도시된 바와 같이, 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL), 구동용 MISFET $Qd_1$, $Qd_2$(부하용 MISFET $Qp_1$, $Qp_2$)의 게이트전극(8), (8), 전송용 MISFET $Qt_1$, $Qt_2$ 및 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역), 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9), (9)의 각각의 표면에 시트저항을 저감할 목적으로 Ti실리사이드층(10)을 형성한다.

Ti실리사이드층(10)을 형성하기 위해서는 게이트전극(7)(워드선 WL) 및 게이트전극(8)의 각각의 표면을 피복하는 신화실리콘막(12), 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6) 및 부하용 MISFET $Qp_1$, $Qp_2$ 각각의 p형 반도체영역(9), (9)(소오스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6)을 에칭으로 제거한 후 반도체기판(1) 상에 스퍼터링법으로 Ti막을 퇴적한다. 이 후, 반도체기판(1)을 어닐링해서 Ti막과 반도체기판(1)(n형 반도체영역(5), p형 반도체영역(9)), Ti막과 다결정실리콘막(게이트전극(7), (8))을 각각 반응시킨 후 미반응의 Ti막을 에칭에 의해 제거한다.

다음에, 도 53 및 도 54에 도시된 바와 같이, 반도체기판(1) 상에 CVD법에 의해 막두께 30nm 정도의 얇은 질화실리콘막(13)을 퇴적한다. 이 후, 포토레지스트를 마스크로 하여 질화실리콘막(13)을 드라이에칭함으로써, 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)과 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8)에 걸치는 접속구멍(43), 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)과 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8)에 걸치는 접속구멍(44)을 각각 형성한다. 동시에, 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(45)을 형성하고, 부하용 MIS FET $Qp_1$의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(46)을 형성한다. 이 때, 필드산화막(28)의 표면은 질화실리콘막(13)으로 피복되어 있으므로, 이 드라이에칭에 의해 필드산화막(28)은 제거되지 않는다.

다음에, 도 55 및 도 56에 도시된 바와 같이, 질화실리콘막(13)의 상부에 TiN막으로 이루어지는 한쌍의 국소배선 $L_1$, $L_2$를 형성한다. 국소배선 $L_1$, $L_2$를 형성하기 위해서는 질화실리콘막(13) 상에 스퍼터링법 또는 CVD법에 의해 막두께 50~100nm 정도의 TiN막을 퇴적한다. 계속해서, 이 TiN막 상에 CVD법에 의해 막두께 100nm 정도의 질화실리콘막(47)을 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 질화실리콘막(47) 및 TiN막을 패터닝한다. 국소배선 $L_1$, $L_2$는 TiN막 이외에 W등의 고융점 금속이나 W실리사이드 등의 고융점 금속실리사이드로 구성할 수도 있다.

국소배선 $L_1$은 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8)과 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL)에 겹치도록 배치하고, 국소배선 $L_2$는 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8)과 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL)에 겹치도록 배치한다. 이러한 구성에 의해, 국소배선 $L_1$과 게이트전극(8) 및 그 사이에 개재하는 얇은 질화실리콘막(13)으로 용량소자 C' 가 형성되고, 또 국소배선 $L_2$와 게이트전극(8) 및 그 사이에 개재하는 질화실리콘막(13)으로 용량소자 C' 가 형성되므로, 축적노드의 전하축적용량을 증가시켜서 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다. 이들 용량소자 C' 는 실시예 2(도 36)의 용량소자 C와 효과적으로 동일한 기능을 한다.

국소배선 $L_1$은 접속구멍(43)을 통해서 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)과 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8)에 접속되고, 접속구멍(46)을 통해서 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)에 접속된다. 즉, 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8), 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역) 및 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)은 국소배선 $L_1$을 거쳐서 서로 접속된다.

국소배선 $L_2$는 접속구멍(44)을 통해서 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)과 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8)에 접속되고, 접속구멍(45)를 통해서 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)에 접속된다. 즉, 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8), 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역) 및 부하용 MIS FET $Qp_2$의 p형 반도체영역(9)(드레인영역)은 국소배선 $L_2$를 거쳐서 서로 접속된다.

다음에, 도 57에 도시된 바와 같이, 질화실리콘막(47)의 상부에 CVD법에 의해 막두께 200nm 정도의 질화실리콘막(53)을 퇴적한다. 이 후, 도 58에 도시하는 바와 같이, 이 질화실리콘막(53)을 RIE(Reactive Ion Etching)등의 이방성

에칭에 의해 가공함으로써, 게이트전극(7)(워드선 WL), 게이트전극(8) 및 국소배선 $L_1$, $L_2$의 각각의 측벽에 사이드월 스페이서(48)를 형성한다.

다음에, 도 59 및 도 60에 도시된 바와 같이, 질화실리콘막(47) 및 사이드월 스페이서(48)의 상부에 질화실리콘막(47), (53)(사이드월 스페이서(48))과는 에칭 속도가 다른 PSG와 같은 산화실리콘계의 층간절연막(49)를 CVD법으로 퇴적한다. 절연막(49)의 재료의 에칭속도는 예를 들어 질화실리콘막(47), (53)(사이드월 스페이서(48))보다 크다. 그 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 부하용 MIS FET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9), (9)(소오스영역)의 상부의 층간절연막(49)을 뚫어 접속구멍(50), (50)을 형성한다. 동시에 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(5), (5)(소오스영역)의 상부의 층간절연막(49)을 뚫어 접속구멍(51), (51)을 형성하고, 전송용 MISFET $Qt_1$, $Qt_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역의 다른 쪽)의 상부의 층간절연막(49)을 뚫어 접속구멍(52), (52)를 형성한다.

PSG로 이루어지는 층간절연막(49)을 에칭해서 접속구멍(50), (51), (52)를 형성하는 상기의 공정에서는 국소배선 $L_1$, $L_2$의 상부에 형성된 질화실리콘막(47)이나 게이트전극(7)(워드선 WL), 게이트전극(8) 및 국소배선 $L_1$, $L_2$의 각각의 측벽에 형성된 질화실리콘으로 이루어지는 사이드월 스페이서(48)는 층간절연막(49)과는 에칭속도가 다르므로 거의 에칭되지 않는다.

그 때문에, 층간절연막(49)을 에칭해서 접속구멍(50), (51), (52)을 형성할 때에 사용하는 포토레지스트 마스크와 TiN막을 에칭해서 국소배선 $L_1$, $L_2$를 형성할 때에 사용한 포토레지스트 마스크의 맞춤 어긋남에 기인해서 접속구멍(50), (51), (52)과 국소배선 $L_1$, $L_2$ 사이에 위치 어긋남이 발생한다. 그러나, 본 실시예에 있어서는, 그 결과, 접속구멍(50), (51), (52) 중의 어느 하나와 국소배선 $L_1$ 또는 국소배선 $L_2$가 일부에서 중첩한 경우라도 층간절연막(49)을 에칭했을 때에 국소배선 $L_1$ 또는 국소배선 $L_2$가 접속구멍(50), (51), (52)중 어느 하나의 측벽에 노출되는 일이 없으므로, 다음 공정에서 접속구멍(50), (51), (52)의 내부에 퇴적되는 도전막과 국소배선 $L_1$ 또는 국소배선 $L_2$가 단락하는 일은 없다.

또, 층간절연막(49)을 에칭해서 접속구멍(50), (51), (52)을 형성할 때에 사용하는 포토레지스트 마스크와 다결정실리콘막을 에칭해서 게이트전극(7)(워드선 WL) 및 게이트전극(8)을 형성할 때에 사용한 포토레지스트 마스크의 맞춤 어긋남에 기인해서 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL) 및 게이트전극(8) 사이에 위치 어긋남이 발생한다. 그러나, 본 실시예에 있어서는 접속구멍(50), (51), (52) 중 어느 하나와 게이트전극(7)(워드선 WL) 또는 게이트전극(8)이 일부에서 중첩한 경우라도 층간절연막(49)을 에칭했을 때, 게이트전극(8)이 접속구멍(50) 또는 접속구멍(51)의 측벽에 노출하거나 게이트전극(7)(워드선 WL)이 접속구멍(52)의 측벽에 노출하는 일이 없기 때문에 다음 공정에서 접속구멍(50), (51), (52)의 내부에 퇴적되는 도전막과 게이트전극(7)(워드선 WL) 또는 게이트전극(8)이 단락하는 일은 없다.

즉, 본 실시예의 제조방법에 의하면, 접속구멍(50), (51), (52)을 레이아웃할 때, 접속구멍(50), (51), (52)과 국소배선 $L_1$, $L_2$의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유를 고려할 필요가 없다. 이에 의해, 이들 맞춤여유에 해당하는 만큼 접속구멍(50), (51), (52)을 국소배선 $L_1$, $L_2$, 게이트전극(7)(워드선 WL) 및 게이트전극(8)에 근접시켜서 레이아웃할 수 있으므로, 제1방향 및 이것과 직교하는 제2방향 중 어떤 방향에 있어서도 메모리셀의 점유면적을 축소할 수 있다.

층간절연막(49)을 에칭할 때, 사이드월 스페이서(48)를 에칭스토퍼로서 기능시키기 위해서는 사이드월 스페이서(48)를 구성하는 질화실리콘막(53)의 막두께를 상기한 포토레지스트 마스크의 맞춤여유보다 크게 할 필요가 있다. 예를 들면, 접속구멍(50), (51), (52)과 국소배선 $L_1$, $L_2$의 맞춤여유와 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유의 합계가 200nm 정도이면 질화실리콘막(53)의 막두께를 적어도 200nm 정도로 한다.

다음에, 접속구멍(50), (51), (52)의 바닥부의 얇은 질화실리콘막(13)을 에칭에 의해 제거한 후, 도 61 및 도 62에 도시된 바와 같이 층간절연막(49)의 상부에 전원전압선(22), 기준전압선(23), 및 중간배선(54)을 형성한다. 전원전압선(22), 기준전압선(23) 및 중간배선(54)은 층간절연막(49) 상에 스퍼터링법에 의해 W막, Al막, W막을 순차 퇴적한 후 이들 막을 패터닝해서 형성한다. 접속구멍(50), (51), (52)의 내부에는 필요에 따라서 W막 등으로 이루어지는 플러그를 형성해도 좋다.

다음에, 도 63 및 도 64에 도시된 바와 같이, 전원전압선(22), 기준전압선(23) 및 중간배선(54)의 상부에 CVD법에 의해 산화실리콘으로 이루어지는 층간절연막(26)을 퇴적하고 포토레지스트를 마스크로 한 드라이에칭에 의해 중간배선(54)의 상부의 층간절연막(26)을 뚫어 접속구멍(55)을 형성한다. 이 후, 층간절연막(26)의 상부에 데이타선 DL, $\overline{DL}$ 을 형성한다. 데이타선 DL, $\overline{DL}$ 은 층간절연막(26) 상에 스퍼터링법으로 TiN막, Al막, TiN막을 순차 퇴적한 후, 이들 막을 패터닝해서 형성한다.

(실시예 4)

본 실시예의 SRAM은 실시예 3의 SRAM과 마찬가지로 한쌍의 국소배선 $L_1$, $L_2$를 동일한 도전층에 형성하고 있다. 이 SRAM의 메모리셀의 제조방법을 도 65~도 82를 참조하여 설명한다.

먼저, 도 65 및 도 66에 도시된 바와 같이 반도체기판(1)의 주면에 p형 웰(3) 및 n형 웰(4)을 형성하고, 계속해서 그들 표면에 소자분리용의 필드산화막(28) 및 MISFET의 게이트산화막(6)을 형성한다. 그 후, p형 웰(3)에 구동용 MIS FET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$를 형성하고, n형 웰(4)에 부하용 MISFET $Qp_1$, $Qp_2$를 형성한다. 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL) 및 구동용 MISFET $Qd_1$, $Qd_2$(부하용 MISFET $Qp_1$, $Qp_2$)의 게이트전극(8), (8)은 다결정실리콘막으로 구성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8)의 각각의 상부를 피복하는 절연막(캡절연막)은 질화실리콘막(56)으로 구성한다. 이 질화실리콘막(56)은 후술하는 질화실리콘막(13)보다 두꺼운 막두께(30nm 정도 이상)로 퇴적한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8)의 각각의

측벽의 사이드월 스페이서(11)는 산화실리콘막을 이방성 에칭해서 형성한다.
다음에, 도 67 및 도 68에 도시된 바와 같이, 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8) 상부의 질화실리콘막(56)을 에칭해서 접속구멍(57)을 형성하고, 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전극(8) 상부의 질화실리콘막(56)을 에칭해서 접속구멍(58)을 형성한다. 접속구멍(57)은 다음 공정에서 국소배선 $L_2$ 와 접속되는 영역에 형성하고, 접속구멍(58)은 다음 공정에서 국소배선 $L_1$ 과 접속되는 영역에 형성한다.
다음에, 도 69 및 도 70에 도시된 바와 같이, 접속구멍(57)의 바닥부에 노출된 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8), 접속구멍(58)의 바닥부 에 노출된 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전극(8), 전송용 MISFET $Qt_1$ , $Qt_2$ 의 n형 반도체영역(5), (5)(소오스영역과 드레인영역), 구동용 MISFET $Qd_1$ , $Qd_2$ 의 n형 반도체영역(5), (5)(소오스영역과 드레인영역), 부하용 MISFET $Qp_1$ , $Qp_2$ 의 p형 반도체영역(9), (9)(소오스영역과 드레인영역)의 각각의 표면에 Ti실리사이드층(10)을 형성한다.
Ti실리사이드층(10)을 형성하기 위해서는 구동용 MISFET $Qd_1$ , $Qd_2$ 및 전송용 MISFET $Qt_1$ , $Qt_2$ 의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6)과 부하용 MISFET $Qp_1$ , $Qp_2$ 의 각각의 p형 반도체영역(9), (9)(소오스영역과 드레인영역)의 표면을 피복하는 게이트산화막(6)을 에칭에 의해 제거한다. 이 후, 반도체기판(1) 상에 스퍼터링법에 의해 Ti막을 퇴적하고, 계속해서 반도체기판(1)을 어닐링해서 Ti막과 반도체기판(1)(n형 반도체영역(5)와 p형 반도체영역(9)), Ti막과 다결정실리콘막(접속구멍(57), (58)의 바닥부에 노출된 게이트전극(8))을 각각 반응시킨 후, 미반응의 Ti막을 에칭에 의해 제거한다.
다음에, 도 71 및 도 72에 도시된 바와 같이, 반도체기판(1) 상에 CVD법에 의해 막두께 30nm 정도의 얇은 질화실리콘막(13)을 퇴적한다. 이 후 포토레지스트를 마스크로 하여 질화실리콘막(13)을 드라이에칭함으로써, 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역)과 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전 극(8)에 걸치는 접속구멍(43), 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)과 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)에 걸치는 접속구멍(44)을 각각 형성한다. 동시에, 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(45)을 형성하고, 부하용 MISFET $Qp_1$ 의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(46)을 형성한다.
구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)의 상부에는 미리 접속구멍(58)이 형성되어 있으므로, 접속구멍(43)은 그의 일부가 게이트전극(8)의 상부에서 접속구멍(58)과 중첩한다. 마찬가지로, 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전극(8)의 상부에는 미리 접속구멍(57)이 형성되어 있으므로, 접속구멍(44)은 그 일부가 게이트전극(8)의 상부에서 접속구멍(57)과 중첩한다.
즉, 본 실시예의 제조방법에 의하면, 접속구멍(43), (44), (45), (46)을 레이아웃할 때, 이들 접속구멍(43) (46)과 게이트전극(8)의 맞춤여유 및 접속구멍(43) (46)과 접속구멍(57), (58)의 맞춤여유를 고려할 필요가 없다. 이에 의해, 이들 맞춤여유에 해당하는 분만큼 접속구멍(43) (46)을 게이트전극(8)에 접근시켜서 레이아웃할 수 있으므로, 제1방향에 있어서의 메모리셀의 점유면적을 축소할 수 있다.
즉, 질화실리콘막(13)을 에칭해서 접속구멍(43), (44), (45), (46)을 형성할 때 이들 접속구멍(43) (46)이 게이트전극(8)과 중첩한 경우에도 게이트전극(8)의 상부에 질화실리콘막(13)보다 두꺼운 막두께의 질화실리콘막(56)이 형성되어 있으므로, 접속구멍(43), (44), (45), (46)이 게이트전극(8)에 도달하는 일은 없다. 또, 질화실리콘막과 산화실리콘막에서는 에칭속도에 큰 차가 있으므로, 질화실리콘막(13)을 에칭해서 접속구멍(43), (44), (45), (46)를 형성할 때, 게이트전극(7)(또는 워드선 WL) 및 게이트전극(8)의 각각의 측벽의 산화실리콘막으로 이루어지는 사이드월 스페이서(11)는 거의 에칭되지 않는다.
따라서, 접속구멍을 형성할 때, 이들 접속구멍(43)~(46)이 게이트전극(8)과 중첩한 경우에도 다음 공정에서 접속구멍(43) (46)의 내부에 퇴적되는 도전막과 게이트전극(8)이 단락하는 일은 없다.
다음에, 도 73 및 도 74에 도시된 바와 같이, 질화실리콘막(13) 상에 스퍼터링법 또는 CVD법으로 막두께 100nm 정도의 TiN막을 퇴적하고, 계속해서 이 TiN막 상에 CVD법으로 막두께 100nm 정도의 질화실리콘막(47)을 퇴적한다. 이 후, 질화실리콘막(47) 및 TiN막을 포토레지스트를 마스크로 한 드라이에칭으로 패터닝함으로써, TiN막으로 이루어지는 한쌍의 국소배선 $L_1$ , $L_2$ 를 형성한다.
국소배선 $L_1$ 은 접속구멍(43) 및 접속구멍(58)을 통해서 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전극(8)에 접속되고, 접속구멍(43)을 통해서 구동용 MISFET $Qd_1$ 의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(46)을 통해서 부하용 MISFET $Qp_1$ 의 p형 반도체영역(9)(드레인영역)에 접속된다. 또, 국소배선 $L_2$ 는 접속구멍(44) 및 접속구멍(57)을 통해서 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)에 접속되고, 접속구멍(44)을 통해서 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)에 접속되고, 접속구멍(45)을 통해서 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)에 접속된다.
국소배선 $L_1$ 은 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)과 전송용 MISFET $Qt_1$ , $Qt_2$ 의 게이트전극(7)(워드선 WL)에 중첩하도록 배치하고, 국소배선 $L_2$ 는 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$ )의 게이트전극(8)과 전송용 MISFET $Qt_1$ , $Qt_2$ 의 게이트전극(7)(워드선 WL)에 중첩하도록 배치한다. 이것에 의해, 국소배선 $L_1$ , 게이트전극(8) 및 그 사이에 개재하는 질화실리콘막(13)으로 용량소자 C' 가 형성되고, 또 국소배선 $L_2$ , 게이트전극(8) 및 그 사이에 개재하는 질화실리콘막(13)으로 용량소자 C' 가 형성되므로, 축적노드의 전하축적량을 증가시켜서 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다.
다음에, 도 75에 도시하는 바와 같이, 국소배선 $L_1$ , $L_2$ 를 피복하는 질화실리콘막(47)의 상부에 CVD법에 의해 질화실리콘막(59)을 퇴적하고, 계속해서 질화실리콘막(59)의 상부에 CVD법에 의해 PSG의 층간절연막(49)을 퇴적한다.

다음에, 도 76 및 도 77에 도시하는 바와 같이, 포토레지스트를 마스크로 한 드라이에칭에 의해 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9)(소오스영 역) 상부의 층간절연막(49)을 뚫어 접속구멍(50), (50)을 형성한다. 동시에, 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(5), (5)(소오스영역) 상부의 층간절연막(49)을 뚫어 접속구멍(51), (51)을 형성하고, 전송용 MISFET $Qt_1$, $Qt_2$의 각각의 n형 반도체영역(5), (5)(드레인영역) 상부의 층간절연막(49)을 뚫어 접속구멍(52), (52)를 형성한다. 이 에칭처리는 접속구멍(50), (51), (52)의 바닥부에 질화실리콘막(59)이 노출된 시점에서 일단 정지한다.

다음에, 산화실리콘용의 에칭가스를 질화실리콘용의 에칭가스로 전환하고, 도 78에 도시된 바와 같이, 접속구멍(50), (51), (52) 내부의 질화실리콘막(59)과 그의 하부의 얇은 질화실리콘막(13)을 에칭한다. 이 에칭은 접속구멍(50), (51), (52)의 내부에 있어서 게이트전극(7)(워드선 WL), 게이트전극(8) 및 국소배선 $L_1$, $L_2$의 각각의 측벽에 사이드월 스페이서가 형성되는 조건에서 실행한다.

이와 같이, 상기 실시예 3에서는 게이트전극(7)(워드선 WL), 게이트전극(8) 및 국소배선 $L_1$, $L_2$의 각각의 측벽에 미리 질화실리콘의 사이드월 스페이서(48)를 형성하고 나서 층간절연막(49)에 접속구멍(50), (51), (52)을 형성하였다. 본 실시예에서는 층간절연막(49)을 뚫어 접속구멍(50), (51), (52)을 형성할 때 질화실리콘의 사이드월 스페이서를 형성한다.

이 실시예도 실시예 3과 마찬가지로, 포토레지스트 마스크의 맞춤 어긋남에 기인해서 접속구멍(50), (51), (52)와 게이트전극(워드선 WL) 및 게이트전극(8)이 일부에서 중첩하거나 접속구멍(50), (51), (52)와 국소배선 $L_1$, $L_2$가 일부에서 중첩하더라도, 접속구멍(50), (51), (52)의 측벽에 게이트전극(7)(워드선 WL), 게이트전극(8) 또는 국소배선 $L_1$, $L_2$가 노출하는 일은 없다. 즉, 본 실시예의 제조방법을 사용하는 경우에도 접속구멍(50), (51), (52)을 레이아웃할 때, 접속구멍(50), (51), (52)과 국소배선 $L_1$, $L_2$의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유를 고려할 필요가 없다. 그 결과, 이들 맞춤여유에 해당하는 분만큼 접속구멍(50), (51), (52)을 국소배선 $L_1$, $L_2$ 및 게이트전극(7)(워드선 WL), 게이트전극(8)에 근접시켜서 레이아웃할 수 있어 메모리셀의 점유면적을 축소할 수 있다.

질화실리콘막(59)에 의해서 형성되는 사이드월 스페이서를 에칭스토퍼로서 기능시키기 위해서는 질화실리콘막(59)의 막두께를 상기한 포토레지스트 마스크의 맞춤여유보다 크게 한다.

다음에, 도 79 및 도 80에 도시하는 바와 같이, 실시예 3의 제조방법에 따라 층간절연막(49)의 상부에 전원전압선(22), 기준전압선(23) 및 중간배선(54)을 형성한다. 계속해서, 도 81 및 도 82에 도시된 바와 같이, 전원전압선(22), 기준전압선(23) 및 중간배선(54)의 상부에 층간절연막(26)을 퇴적하고, 포토레지스트를 마스크로 한 드라이에칭에 의해 중간배선(54)의 상부의 층간절연막(26)을 뚫어 접속구멍(55)을 형성한다. 이 후, 층간절연막(26)의 상부에 데이타선 DL, $\overline{DL}$ 을 형성한다.

본 실시예의 제조방법에 의하면, 접속구멍(50), (51), (52)과 국소배선 $L_1$, $L_2$ 사이의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8) 사이의 맞춤여유가 불필요하게 됨과 함께, 접속구멍(43), (44)과 게이트전극(8) 사이의 맞춤여유 및 접속구멍(43)과 n형 반도체영역(5)의 사이(접속구멍(44)과 p형 반도체영역(9) 사이)의 맞춤여유도 불필요하게 된다. 그 결과, 실시예 3보다 더욱 더 메모리셀을 축소할 수 있다.

(실시예 5)

본 실시예의 SRAM은 한쌍의 국소배선 $L_1$, $L_2$를 다른 도전층에 형성하고, 상층의 국소배선 $L_2$와 하층의 국소배선 $L_1$ 및 이들 사이에 개재하는 얇은 절연막으로 용량소자 C를 형성하고 있다. 이 SRAM의 메모리셀의 제조방법을 도 83, 도 84a와 도 84b, 도 85, 도 86a와 도 86b, 도 87, 도 88a와 도 88b, 도 89, 도 90a와 도 90b, 도 91a와 도 91b, 도 92, 도 93a와 도 93b, 도 94, 도 95a와 도 95b, 도 96, 도 97a와 도 97b를 참조하여 설명한다.

먼저, 도 83 및 도 84a와 도 84b에 도시하는 바와 같이, 실시예 3의 제조방법에 따라 반도체기판(1)의 주면에 소자분리홈(2), 계속해서 p형 웰(3) 및 n형 웰(4)을 형성하고 또 p형 웰(3) 및 n형 웰(4) 각각의 표면에 MISFET의 게이트산화막(6)을 형성한다. 이 후, p형 웰(3)에 구동용 MISFET $Qd_1$, $Qd_2$ 및 전송용 MISFET $Qt_1$, $Qt_2$를 형성하고 n형 웰(4)에 부하용 MIS FET $Qp_1$, $Qp_2$를 형성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8)은 다결정실리콘막으로 구성하고, 캡절연막은 산화실리콘막(12)으로 구성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8) 각각의 측벽의 사이드월 스페이서(11)는 산화실리콘막을 에칭해서 형성한다.

다음에, 도 85 및 도 86a와 도 86b에 도시하는 바와 같이 상기 실시예 3의 제조방법에 따라 전송용 MISFET $Qt_1$, $Qt_2$의 게이트전극(7)(워드선 WL), 구동용 MISFET $Qd_1$, $Qd_2$ (부하용 MISFET $Qp_1$, $Qp_2$)의 게이트전극(8), (8), 전송용 MISFET $Qt_1$, $Qt_2$ 및 구동용 MISFET $Qd_1$, $Qd_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역), 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9), (9)(소오스영역과 드레인영역) 각각의 표면에 시트저항을 저감할 목적으로 Ti실리사이드층(10)을 형성한다.

다음에, 도 87 및 도 88a와 도 88b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법으로 퇴적한 막두께 50nm 정도의 얇은 질화실리콘막(13)을 에칭해서 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$)의 게이트전극(8)의 상부에 접속구멍(14)을 형성하고, 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(40)을 형성하고, 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(41)을 형성한다. 이 후, 질화실리콘막(13)의 상부에 스퍼터링법 또는 CVD법에 의해 퇴적한 막두께 100nm 정도의 TiN막을 패터닝해서 국소배선 $L_1$을 형성한 다. 이 국소배선 $L_1$은 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성한다. 국소배선 $L_1$은 접속구멍(14)을 통해서 구동용 MISFET $Qd_2$ (부하용 MISFET $Qp_2$)의 게이트전극(8)에 접속되고, 접속구멍(40)을 통해서 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(41)을 통해서 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)에 접속된다.

다음에, 도 89 및 도 90a와 도 90b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법으로 퇴적한 막두께 30nm 정도의 얇은 질화실리콘막(42)를 에칭해서 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)의 상부에 접속구멍(18)을 형성하고, 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(19)를 형성하고, 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(20)을 형성한다. 이 후, 질화실리콘막(42)의 상부에 TiN막으로 이루어지는 국소배선 $L_2$ 를 형성한다. 국소배선 $L_2$ 는 접속구멍(18)을 통해서 구동용 MISFET $Qd_1$ (부하용 MISFET $Qp_1$ )의 게이트전극(8)에 접속되고,접속구멍(19)을 통해서 구동용 MISFET $Qd_2$ 의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(20)을 통해서 부하용 MISFET $Qp_2$ 의 p형 반도체영역(9)(드레인영역)에 접속된다.

국소배선 $L_2$ 는 질화실리콘막(42)의 상부에 스퍼터링법 또는CVD법에 의해 막 두께 100nm 정도의 TiN막을 퇴적하고, 계속해서 이 TiN막 상에 CVD법으로 막두께 100nm 정도의 질화실리콘막(47)을 퇴적한 후 포토레지스트를 마스크로 한 드라이에칭에 의해 질화실리콘막(47) 및 TiN막을 패터닝해서 형성한다. 국소배선 $L_2$ 는 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성하고 접속구멍(18), (19), (20)의 개구영역과 그 맞춤여유영역을 제외한 영역에 있어서 하층의 국소배선 $L_1$ 과 거의 완전히 겹치도록 한다. 이것에 의해, 국소배선 $L_1$ , $L_2$ (한쌍의 전극)와 이들 사이에 개재하는 국소배선 $L_1$ , $L_2$ 보다 얇은 막두께의 질화실리콘막(42)(유전체막)으로 용량소자 C를 형성한다. 또, 이 용량소자 C의 전하를 크게 할 수 있으므로 축적노드의 전하축적량을 증가시켜 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다.

다음에, 도 91a와 도 91b에 도시된 바와 같이, 게이트전극(8), 하층의 국소배선 $L_1$ 및 상층의 국소배선 $L_2$ 의 각각의 측벽에 사이드월 스페이서(48)를 형성한다. 또, 동일 도면에는 도시하지 않은 게이트전극(7)(워드선 WL)의 측벽에도 사이드월 스페이서(48)를 형성한다. 사이드월 스페이서(48)는 질화실리콘막(47)의 상부에 CVD법에 의해 퇴적한 막두께 200nm 정도의 질화실리콘막을 에칭해서 형성한다.

다음에, 도 92 및 도 93a와 도 93b에 도시된 바와 같이, 질화실리콘막(47)의 상부에 막두께 400nm 정도의 PSG로 이루어지는 층간절연막(49)를 CVD법으로 퇴적한다. 이 후, 포토레지스트를 마스크로 한 드라이에칭에 의해 층간절연막(49)을 뚫음 으로써, 부하용 MISFET $Qp_1$ , $Qp_2$ 의 p형 반도체영역(9), (9)(소오스영역)의 상부에 접속구멍(50), (50)을 형성하고, 구동용 MISFET $Qd_1$ , $Qd_2$ 의 n형 반도체영역(5), (5)(소오스영역)의 상부에 접속구멍(51), (51)을 형성하고, 전송용 MISFET $Qt_1$ , $Qt_2$ 의 n형 반도체영역(5), (5)(드레인영역)의 상부에 접속구멍(52), (52)를 형성한다. 이 때, 질화실리콘막으로 이루어지는 사이드월 스페이서(48)가 에칭스토퍼로 되므로, 접속구멍(50), (51)의 측벽에 게이트전극(8)이 노출되거나 접속구멍(52)의 측벽에 게이트전극(7)(워드선 WL)이 노출되는 일은 없다. 또, 접속구멍(50), (51), (52)의 측벽에 하층의 국소배선 $L_1$ 이 노출되거나 상층의 국소배선 $L_2$ 가 노출되는 일도 없다. 즉, 한쌍의 국소배선 $L_1$ , $L_2$ 를 다른 도전층에 배치하는 SRAM에 본 실시예의 제조방법을 적용하는 경우, 접속구멍(50), (51), (52)과 상층의 국소배선 $L_2$ 의 맞춤여유, 접속구멍(50), (51), (52)와과하층의 국소배선 $L_1$ 의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유를 고려할 필요가 없다. 이에 의해, 이들 맞춤여유에 해당하는 분만큼 접속구멍(50), (51), (52)을 상층의 국소배선 $L_2$ , 하층의 국소배선 $L_1$ 및 게이트전극(7)(워드선 WL), 게이트전극(8)에 근접시켜서 레이아웃할 수 있으므로, 메모리셀의 점유면적을 축소할 수 있다. 층간절연막(49)을 에칭할 때에 사이드월 스페이서(48)를 에칭스토퍼로서 기능시키기 위해서는 사이드월 스페이서(48)를 구 성하는 질화실리콘막의 막두께를 상기한 포토레지스트 마스크의 맞춤여유보다 크게 한다.

본 실시예의 게이트전극(7)(워드선 WL), 게이트전극(8), 하층의 국소배선 $L_1$ , 상충의 국소배선 $L_2$ 의 각각의 측벽에 미리 질화실리콘의 사이드월 스페이서(48)를 형성한 후 층간절연막(49)에 접속구멍(50), (51), (52)를 형성하였다. 실시예 4와 같이, 상층의 국소배선 $L_2$ 를 피복하는 질화실리콘막(47)의 상부에 질화실리콘막과 층간절연막(49)을 퇴적하고, 층간절연막(49)을 뚫어 접속구멍(50), (51), (52)을 형성할 때 사이드월 스페이서를 형성하도록 해도 좋다.

다음에, 도 94 및 도 95a와 도 95b에 도시된 바와 같이, 실시예 3의 제조방법에 따라 층간절연막(49)의 상부에 전원전압선(22), 기준전압선(23) 및 중간배선(54)을 형성한다. 이 후 도 96 및 도 97a와 도 97b에 도시된 바와 같이, 전원전압선(22), 기준전압선(23) 및 중간배선(54)의 상부에 층간절연막(26)을 퇴적하고, 계속해서 중간배선(54) 상부의 층간절연막(26)을 뚫어 접속구멍(55)을 형성한다. 이 후 층간절연막(26)의 상부에 데이타선 DL, $\overline{DL}$ 를 형성한다.

본 실시예에 의하면, 한쌍의 국소배선 $L_1$ , $L_2$ 를 다른 도전층에 형성하고, 국소배선 $L_1$ , $L_2$ 끼리를 중첩하도록 배치하는 것에 의해 메모리셀의 점유면적을 축소할 수 있다. 동시에 접속구멍(50), (51), (52)와 상층의 국소배선 $L_2$ 의 맞춤여유, 접속구멍(50), (51), (52)과 하층의 국소배선 $L_1$ 의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유를 불필요하게 되어, 메모리셀의 점유면적을 더욱 축소할 수 있다.

본 실시예에 의하면, 상층의 국소배선 $L_2$ 와 하층의 국소배선 $L_1$ 을 넓은 면적에서 중첩하도록 배치하고, 이들 국소배선 $L_1$ , $L_2$ 와 그 사이에 개재하는 얇은 절연막으로 용량소자 C를 구성함으로써, 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다.

(실시예 6)

본 실시예의 SRAM은 한쌍의 국소배선 $L_1$ , $L_2$ 를 다른 도전층에 형성하고, 상층의 국소배선 $L_2$ 와 하층의 국소배선 $L_1$ 및 이들 사이에 개재하는 얇은 절연막으로 용량소자 C를 형성하고 있다. 이 SRAM의 메모리셀의 제조방법을 도 98, 도 99a와 도 99b, 도 85, 도 100, 도 101a와 도 101b, 도 102, 도 103a와 도 103b, 도 104, 도 105a와 도 105b, 도 106a와 도 106b, 도 107a와 도 107b, 도 108, 도 109를 참조하여 설명한다.

먼저, 도 98 및 도 99a와 도 99b에 도시된 바와 같이, 실시예 1의 제조방법에 따라 반도체기판(1)의 주면에 소자분리홈(2), 계속해서 p형 웰(3) 및 n형 웰(4)을 형성하고 또 p형 웰(3) 및 n형 웰(4) 상에 MISFET의 게이트산화막(6)을 형성한다. 이 후, p형 웰(3)에 구동용 MISFET $Qd_1$ , $Qd_2$ 및 전송용 MISFET $Qt_1$ , $Qt_2$ 를 형성하고 n형 웰(4)에 부하용 MISFET $Qp_1$ , $Qp_2$ 를 형성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8)은 다결정실리콘막(8a)와 Ti

실리사이드막(8b)으로 구성하고, 캡절연막은 질화실리콘막(12a)으로 구성한다. 게이트전극(7)(워드선 WL) 및 게이트전극(8) 각각의 측벽의 사이드월 스페이서(11)는 게이트전극(7), (8)과 캡절연막(12a) 상에 퇴적된 질화실리콘막을 이방성 에칭해서 형성한다.

다음에, 도 100 및 도 101a와 도 101b에 도시된 바와 같이, 실시예 1의 제조방법에 따라 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 n형 반도체영역(5), (5)(소오스영역과 드레인영역)와 부하용 MISFET $Qp_1$, $Qp_2$의 각각의 p형 반도체영역(9), (9)(소오스영역과 드레인영역) 각각의 표면에 시트저항을 저감할 목적으로 Ti실리사이드층(10)을 형성한다.

다음에, 도 102 및 도 103a와 도 103b에 도시된 바와 같이, 반도체기판 상에 CVD법으로 퇴적한 막두께 50nm 정도의 얇은 산화실리콘막(13a)을 에칭해서 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8)의 상부에 접속구멍(14)를 형성하고, 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(40)을 형성하고, 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(41)을 형성한다. 이 후, 질화실리콘막(13)의 상부에 스퍼터링법 또는 CVD법에 의해 퇴적한 막두께 100nm 정도의 TiN막을 패터닝해서 국소배선 $L_1$을 형성한다. 이 국소배선 $L_1$은 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성한다. 국소배선 $L_1$은 접속구멍(14)을 통해서 구동용 MISFET $Qd_2$(부하용 MISFET $Qp_2$)의 게이트전극(8)에 접속되고, 접속구멍(40)을 통해서 구동용 MISFET $Qd_1$의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(41)을 통해서 부하용 MISFET $Qp_1$의 p형 반도체영역(9)(드레인영역)에 접속된다.

다음에, 도 104 및 도 105a와 도 105b에 도시된 바와 같이, 반도체기판(1) 상에 CVD법으로 퇴적한 막두께 30nm 정도의 얇은 질화실리콘막(42)을 에칭해서 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8)의 상부에 접속구멍(18)을 형성하고, 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)의 상부에 접속구멍(19)를 형성하고 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)의 상부에 접속구멍(20)을 형성한다. 이 후, 질화실리콘막(42)의 상부에 TiN막으로 이루어지는 국소배선 $L_2$를 형성한다. 국소배선 $L_2$는 접속구멍(18)을 통해서 구동용 MISFET $Qd_1$(부하용 MISFET $Qp_1$)의 게이트전극(8)에 접속되고, 접속구멍(19)을 통해서 구동용 MISFET $Qd_2$의 n형 반도체영역(5)(드레인영역)에 접속되고, 접속구멍(20)을 통해서 부하용 MISFET $Qp_2$의 p형 반도체영역(9)(드레인영역)에 접속된다.

국소배선 $L_2$는 질화실리콘막(42)의 상부에 스퍼터링법 또는 CVD법에 의해 막두께 100nm 정도의 TiN막을 퇴적하고, 계속해서 이 TiN막 상에 CVD법으로 막두께 100nm 정도의 질화실리콘막(47)을 퇴적한 후, 포토레지스트를 마스크로 한 드라이 에칭에 의해 질화실리콘막(47) 및 TiN막을 패터닝해서 형성한다. 국소배선 $L_2$는 메모리셀을 구성하는 6개의 MISFET를 피복하도록 넓은 면적으로 형성하고 접속구멍(18), (19), (20)의 개구영역과 그 맞춤여유영역을 제외한 영역에 있어서 하층의 국소배선 $L_1$과 거의 완전히 겹치도록 한다. 이에 의해, 국소배선 $L_1$, $L_2$(한쌍의 전극)와 이들 사이에 개재하는 국소배선 $L_1$, $L_2$보다 얇은 막두께의 질화실리콘막(42)(유전체막)으로 용량소자 C를 형성한다. 또, 이 용량소자 C의 전하를 크게 할 수 있으므로, 축적노드의 전하축적량을 증가시켜 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다.

다음에, 도 106a와 도 106b에 도시된 바와 같이, 하층의 국소배선 $L_1$ 및 상층의 국소배선 $L_2$의 각각의 측벽에 사이드월 스페이서(48a)를 형성한다. 또 게이트전극(7)(8)(워드선 WL)의 측벽에도 사이드월 스페이서(11a)를 형성한다. 사이드월 스페이서(48a)는 질화실리콘막(47)의 상부에 CVD법에 의해 퇴적한 막두께 200nm 정도의 질화실리콘막을 이방성 에칭해서 형성한다.

다음에, 도 107a와 도 107b및 도 108에 도시된 바와 같이, 질화실리콘막(47)의 상부에 막두께 400nm 정도의 PSG로 이루어지는 층간절연막(49)를 CVD법으로 퇴적한다. 이 후 포토레지스트를 마스크로 한 드라이에칭에 의해 층간절연막(49)을 뚫어 부하용 MISFET $Qp_1$, $Qp_2$의 p형 반도체영역(9), (9)(소오스영역)의 상부에 접속구멍(50), (50)을 형성하고, 구동용 MISFET $Qd_1$, $Qd_2$의 n형 반도체영역(5), (5)(소 오스영역)의 상부에 접속구멍(51), (51)을 형성하고, 전송용 MISFET $Qt_1$, $Qt_2$의 n형 반도체영역(5), (5)(드레인영역)의 상부에 접속구멍(52), (52)를 형성한다. 이 때, 질화실리콘막(47)과 질화실리콘막으로 이루어지는 사이드월 스페이서(48a)가 에칭스토퍼로 기능하므로, 접속구멍(50), (51)의 측벽에 게이트전극(8)이 노출되거나 접속구멍(52)의 측벽에 게이트전극(7)(워드선 WL)이 노출되는 일은 없다. 또, 접속구멍(50), (51), (52)의 측벽에 하층의 국소배선 $L_1$이 노출되거나 상층의 국소배선 $L_2$이 노출되는 일은 없다.

즉, 한쌍의 국소배선 $L_1$, $L_2$를 다른 도전층에 배치하는 SRAM에 본 실시예의 제조방법을 적용하는 경우, 접속구멍(50), (51), (52)과 상층의 국소배선 $L_2$의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL)과 게이트전극(8)의 맞춤여유를 고려할 필요가 없다. 이에 의해, 이들 맞춤여유에 해당하는 분만큼 접속구멍(50), (51), (52)을 상층의 국소배선 $L_2$, 하층의 국소배선 $L_1$ 및 게이트전극(7)(워드선 WL), 게이트전극(8)에 근접시켜서 레이아웃할 수 있으므로, 메모리셀의 점유면적을 축소할 수 있다. 층간절연막(49)을 에칭할 때에 사이드월 스페이서(48a), (11a)와 질화실리콘막(47)을 에칭스토퍼로서 기능시키기 위해서는 사이드월 스페이서(48a)를 구성하는 질화실리콘막의 막두께를 상기한 포토레지스트 마스크의 맞춤여유보다 크게 한다.

본 실시예에 있어서, 게이트전극(7)(워드선 WL), 게이트전극(8), 하층의 국 소배선 $L_1$, 상층의 국소배선 $L_2$의 각각의 측벽에 미리 질화실리콘의 사이드월 스페이서(48a), (11a)를 형성한 후 층간절연막(49)에 접속구멍(50), (51), (52)를 형성하였다. 실시예 4와 같이, 상층의 국소배선 $L_2$를 피복하는 질화실리콘막(47)의 상부에 질화실리콘막과 층간절연막(49)을 퇴적하고, 층간절연막(49)을 뚫어 접속구멍(50), (51), (52)을 형성할 때 사이드월 스페이서를 형성하도록 해도 좋다.

다음에, 도 107a와 도 107b 및 도 109에 도시된 바와 같이, 상기 실시예 3의 제조방법에 따라 층간절연막(49)의 상부에 전원전압선(22), 기준전압선(23) 및 중간배선(54)을 형성한다. 이 후, 도 96 및 도 97a와 도 97b에 도시하는 바

와 같이 전원전압선(22), 기준전압선(23) 및 중간배선(54)의 상부에 층간절연막(26)을 퇴적하고, 계속해서 중간배선(54) 상부의 층간절연막(26)을 뚫어 접속구멍(55)을 형성한다. 이 후, 층간절연막(26)의 상부에 데이타선DL, $\overline{DL}$ 를 형성한다.

본 실시예에 의하면, 한쌍의 국소배선 $L_1$, $L_2$ 를 다른 도전층에 형성하고, 서로 중첩하도록 배치하는 것에 의해 메모리셀의 점유면적을 축소할 수 있다. 또한, 접속구멍(50), (51), (52)과 상층의 국소배선 $L_2$ 의 맞춤여유, 접속구멍(50), (51), (52)과 하층의 국소배선 $L_1$ 의 맞춤여유 및 접속구멍(50), (51), (52)과 게이트전극(7)(워드선 WL), 게이트전극(8)의 맞춤여유가 불필요하게 되므로, 메모리셀의 점유면적을 더욱 축소할 수 있다.

본 실시예에 의하면, 상층의 국소배선 $L_2$ 와 하층의 국소배선 $L_1$ 을 넓은 면적에서 서로 중첩하도록 배치하고, 이들 국소배선 $L_1$, $L_2$ 와 그 사이에 개재하는 얇은 절연막으로 용량소자 C를 구성하는 것에 의해 메모리셀의 α선 소프트 에러 내성을 향상시킬 수 있다.

본 발명이 실시예들로서 특정하게 설명되었지만, 본 발명이 이에 한정되지 않으며, 본 발명의 요지를 벗어나지 않으면서 다양한 방식에 의해서 변경되는 것은 당연히 가능하다는 것을 이해하여야 한다.

국소배선을 구성하는 금속재료는 상기 실시예에서 예시한 것 이외에도 여러 가지 채용하는 것이 가능하다. 예를 들면, 하층의 국소배선을 제1층째의 알루미늄계 금속(TiN / Al / TiN)으로 구성하고, 상층의 국소배선을 제2층째의 알루미늄계 금속으로 구성해도 좋다. 이 경우, 예를 들면 전원전압선 및 기준전압선은 제3층째의 알루미늄계 금속으로 구성하고, 상보성 데이타선은 제4층째의 알루미늄계 금속으로 구성한다.

## 발명의 효과

본 명세서에 개시된 본 발명에 의해서 얻어지는 효과를 간단하게 설명하면 이하와 같다.

본 발명의 SRAM에 의하면, 메모리셀의 플립플롭회로의 입출력단자를 교차결합하는 한쌍의 국소배선을 다른 도전층에 형성한다. 그 결과, 한쌍의 국소배선을 동일층의 도전막으로 형성하는 경우에는 필요하게 되는 2개의 국소배선을 가로로 나란히 배치하는 공간이 불필요하게 되고, 국소배선끼리를 부분적으로 중첩하도록 배치하는 것이 가능하게 되므로, 메모리셀의 점유면적을 축소하는 것이 가능하게 된다.

본 발명의 SRAM에 의하면, 상층의 국소배선을 하층의 국소배선과 중첩하도록 배치하고 이들 국소배선과 이들 사이에 개재하는 절연막으로 용량소자를 구성한다. 그 결과, 메모리셀의 축적노드 용량을 증가시킬 수 있으므로, 메모리셀 사이즈의 미세화나 동작전원전압의 저하에 따른 α선 소프트 에러 내성의 저하를 방지할 수 있다.

본 발명의 SRAM에 의하면, 메모리셀을 구성하는 구동용 MISFET, 부하용 MISFET 및 전송용 MISFET의 각각의 소오스와 드레인영역의 표면에 저저항재료인 고융점 금속실리사이드층을 형성함으로써, 메모리셀의 고속동작을 실현할 수 있다.

본 발명의 SRAM에 의하면, 구동용 MISFET 및 전송용 MISFET가 형성되는 반도체기판(p형 웰)의 활성영역과 부하용 MISFET가 형성되는 반도체기판(n형 웰)의 활성영역을 반도체기판에 뚫린 홈으로 분리한다. 그 결과, LOCOS법으로 형성한 필드절연막에 의해 분리하는 경우에 비해서 소자분리영역의 점유면적을 작게 할 수 있어 메모리셀의 점유면적을 축소할 수가 있다.

본 발명의 SRAM의 제조방법에 의하면, 포토레지스트를 마스크로 해서 층간절연막에 접속구멍을 형성할 때의 마스크 맞춤여유를 불필요하게 할 수 있으므로, 메모리셀의 점유면적을 축소할 수 있다.

본 발명에 따른 여러 실시예들을 설명하였지만, 본 발명은 이에 한정되지 않 으며, 본 기술 분야에서 숙련된 기술을 가진 자라면, 다양한 변경 및 변형이 가능하다는 것을 알 수 있을 것이다. 그러므로, 본 명세서에 도시되고 설명된 것에 한정되도록 의도된 것이 아니라, 이하의 특허청구범위의 범주에 포함되는 변경 및 변형을 전부 커버하도록 의도된 것이다.

## (57) 청구의 범위

### 청구항 1.

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로를 각각 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,

(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 배치된 주면을 갖는 반도체기판을 마련하는 공정;

(b) 상기 게이트전극의 상부에, 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선의 한쪽을 구성하는 제1 도전재료층을 형성하는 공정; 및

(c) 상기 한쌍의 국소배선의 상기 한쪽의 상부에 상기 한쌍의 국소배선의 다른 쪽을 구성하는 제2 도전재료층을 형성하는 공정

을 포함하고,

상기 제2 도전재료층은 유전체막을 개재하여 상기 제1 도전재료층의 전면을 덮도록 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

### 청구항 2.

제1항에 있어서,

상기 한쌍의 국소배선의 상기 다른 쪽은 상기 한쌍의 국소배선의 상기 한쪽의 상부에 부분적으로 형성되는 것을 특징

으로 하는 반도체집적회로장치의 제조방법.

**청구항 3.**

제2항에 있어서,

상기 한쌍의 국소배선의 상기 한쪽은 상기 각각의 게이트전극의 상부에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 4.**

제1항에 있어서,

각각의 메모리셀은 또한 한쌍의 전송용 MISFET를 구비하고, 상기 전송용 MISFET의 게이트전극은 또한 상기 주면의 상부에 마련되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 5.**

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로를 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,

(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 형성된 주면을 갖는 반도체기판을 마련하는 공정;

(b) 상기 기판으로부터 상기 게이트전극보다 더 연장하고, 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하도록 한쌍의 국소배선 중 적어도 한쪽을 형성하는 공정;

(c) 상기 한쌍의 국소배선 중 상기 적어도 한쪽의 상부에 제1 절연막을 퇴적하고 상기 제1 절연막을 에칭함으로써, (i) 상기 게이트전극 및 (ii) 상기 한쌍의 국소배선 중 상기 적어도 한쪽 중에서 적어도 하나의 각각의 측벽에 상기 사이드월 스페이서를 형성하는 공정; 및

(d) 상기 한쌍의 국소배선 중 상기 적어도 한쪽의 상부에 상기 제1 도전막보다 에칭 속도가 큰 제2 절연막을 퇴적하고 상기 제2 절연막을 에칭함으로써, 상기 구동용 MISFET 또는 상기 부하용 MISFET의 소오스영역에 도달하는 접속구멍(connection holes)을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 6.**

제5항에 있어서,

상기 사이드월 스페이서는 상기 한쌍의 국소배선 중 상기 적어도 한쪽의 각각의 측벽에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 7.**

제5항에 있어서,

상기 사이드월 스페이서는 상기 한쌍의 국소배선 중 상기 적어도 한쪽과 상기 게이트전극의 모두에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 8.**

제5항에 있어서,

상기 사이드월 스페이서는 상기 한쌍의 국소배선의 양쪽과 상기 게이트전극에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 9.**

제5항에 있어서,

상기 사이드월 스페이서는 상기 한쌍의 국소배선의 양쪽에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 10.**

제5항에 있어서,

공정 (b)에서,

상기 한쌍의 국소배선의 양쪽은 상기 게이트전극의 상부에 마련되는 동일한 도전층으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 11.**

제5항에 있어서,

상기 한쌍의 국소배선의 양쪽은 상기 게이트전극의 상부에 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 12.**

제5항에 있어서,

상기 제1 절연막의 두께는 상기 사이드월 스페이서를 형성하지 않고 상기 접속구멍을 형성하는 데 있어서의 맞춤여유(registration allowance)보다 두꺼운 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 13.**

제5항에 있어서,

상기 제1 절연막은, (1) 상기 게이트전극과 상기 접속구멍의 맞춤여유, 및 (2) 상기 한쌍의 국소배선 중 상기 적어도 한쪽과 상기 접속구멍의 맞춤여유보다 두꺼운 두께를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 14.**

제5항에 있어서,

상기 한쌍의 국소배선 중 적어도 한쪽은 상기 게이트전극의 상부에 퇴적된 제2 도전막을 패터닝함으로써 형성되고, 상기 한쌍의 국소배선 중 상기 적어도 한쪽을 형성하기 전에, 상기 게이트전극과 상기 국소배선 중 상기 적어도 한쪽 사이에 개재하는 절연막이, 상기 국소배선 중 적어도 한쪽과 접속되는 영역에서의 상기 게이트전극을 노출시키도록 에칭되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 15.**

제5항에 있어서,

상기 게이트전극, 상기 국소배선 중 상기 적어도 한쪽, 및 이들 사이에 개재하는 절연막을 포함하는 용량소자를 형성하기 위해, 상기 게이트전극과 상기 한쌍의 국소배선 중 상기 적어도 한쪽은 적어도 부분적으로 또한 수직으로 서로 중첩하도록 배치되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 16.**

제5항에 있어서,

상기 국소배선 중 적어도 한쪽의 상부에 상기 제1 절연막과 에칭 속도가 실 질적으로 동일한 재료로 이루어지는 제3 절연막이 퇴적되고, 상기 제3 절연막의 상부에 상기 제1 절연막이 퇴적되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 17.**

제5항에 있어서,

상기 게이트전극의 상부에 상기 구동용 MISFET, 상기 부하용 MISFET, 및 상기 전송용 MISFET를 피복하도록, 상기 제1 절연막과 에칭 속도가 실질적으로 동일한 절연재료로 이루어지는 제4 절연막이 퇴적되고, 상기 제4 절연막의 상부에 상기 국소배선 중 상기 적어도 한쪽이 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 18.**

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로를 각각 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,

(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 배치된 주면을 갖는 반도체기판을 마련하는 공정;

(b) 상기 게이트전극의 상부에, 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선 중 적어도 한쪽을 형성하는 공정; 및

(c) 상기 국소배선 중 적어도 한쪽의 상부에 제1 절연막을 퇴적시킨 후, 상기 제1 절연막의 상부에 상기 제1 절연막과는 에칭 속도가 다른 제2 절연막을 퇴적 시키고, 상기 제2 및 제1 절연막을 에칭함으로써, (i) 상기 구동용 MISFET의 소오스영역과 (ii) 상기 부하용 MISFET의 소오스영역 중에서 적어도 하나에 도달하고, (iii) 상기 게이트전극과 (iv) 상기 국소배선 중 적어도 한쪽의 각각의 측벽에 상기 제1 절연막의 사이드월 스페이서에 도달하는 접속구멍을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 19.**

제18항에 있어서,

상기 제1 절연막은 (1) 상기 게이트전극과 상기 접속구멍의 맞춤여유, 및 (2) 상기 한쌍의 국소배선 중 상기 적어도 한쪽과 상기 접속구멍의 맞춤여유보다 두꺼운 두께를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 20.**

제18항에 있어서,

상기 한쌍의 국소배선 중 적어도 한쪽은 상기 게이트전극의 상부에 퇴적된 제2 도전막을 패터닝함으로써 형성되고, 상기 한쌍의 국소배선 중 상기 적어도 한쪽을 형성하기 전에, 상기 국소배선 중 적어도 한쪽과 접속되는 영역에서의 상기 게이트전극을 노출시키기 위해 상기 게이트전극과 상기 국소배선 중 상기 적어도 한쪽 사이에 개재하는 절연막을 에칭하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 21.**

제18항에 있어서,

상기 게이트전극, 상기 국소배선 중 상기 적어도 한쪽, 및 이들 사이에 개재하는 절연막을 구비하는 용량소자를 형성하기 위해, 상기 게이트전극과 상기 한쌍의 국소배선 중 상기 적어도 한쪽은 적어도 부분적으로 또한 수직으로 서로 중첩하도록 배치되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 22.**

제18항에 있어서,

상기 국소배선 중 적어도 한쪽의 상부에 상기 제1 절연막과 에칭 속도가 실질적으로 동일한 재료로 이루어지는 제3 절연막이 퇴적되고, 상기 제3 절연막의 상부에 상기 제1 절연막이 퇴적되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 23.**

제18항에 있어서,

상기 게이트전극의 상부에 상기 구동용 MISFET와 상기 부하용 MISFET를 피복하도록 상기 제1 절연막과 에칭 속도가 실질적으로 동일한 절연재료로 이루어지는 제4 절연막이 퇴적되고, 상기 제4 절연막의 상부에 상기 국소배선 중 상기 적어도 한쪽이 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 24.**

제18항에 있어서,
상기 접속구멍의 형성 시에, 상기 제2 절연막은 상기 제1 절연막을 에칭하기 전에 에칭되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 25.**

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로를 각각 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,
(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 배치된 주면을 갖는 반도체기판을 마련하는 공정;
(b) 상기 게이트전극의 상부에 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선 중 한쪽을 형성하는 공정;
(c) 상기 한쌍의 국소배선 중 상기 한쪽의 상부에 퇴적된 제3 도전막을 패터닝함으로써 상기 한쌍의 국소배선의 다른 쪽을 형성하는 공정;
(d) 상기 한쌍의 국소배선의 상기 다른 쪽의 상부에 퇴적된 제1 절연막을 에칭함으로써, 상기 게이트전극과 상기 한쌍의 국소배선의 상기 한쪽 및 상기 다른 쪽의 각각의 측벽에 사이드월 스페이서를 형성하는 공정; 및
(e) 상기 사이드월 스페이서가 형성된 상기 한쌍의 국소배선의 상기 다른 쪽의 상부에 상기 제1 절연막보다 에칭 속도가 큰 제2 절연막을 퇴적시킴으로써, (i) 상기 구동용 MISFET의 소오스영역과 (ii) 상기 부하용 MISFET의 소오스영역 중 적어도 하나에 도달하는 접속구멍을 형성하는 공정
을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 26.**

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로 를 각각 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,
(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 배치된 주면을 갖는 반도체기판을 마련하는 공정;
(b) 상기 게이트전극의 상부에, 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선의 한쪽을 형성하는 공정;
(c) 상기 한쌍의 국소배선의 상기 한쪽의 상부에 퇴적된 제3 도전막을 패터닝함으로써, 상기 한쌍의 국소배선의 다른 쪽을 형성하는 공정; 및
(d) 상기 구동용 MISFET 및 상기 부하용 MISFET의 소오스영역에 도달하고, 상기 게이트전극과 상기 한쌍의 국소배선의 상기 한쪽과 상기 다른 쪽의 각각의 측벽에 제1 절연막의 사이드월 스페이서에 도달하는 접속구멍을 형성하는 공정
을 포함하고,
상기 접속구멍을 형성하는 상기 공정은,
상기 한쌍의 국소배선의 상기 다른 쪽의 상부에 상기 제1 절연막을 퇴적시킨 후, 상기 제1 절연막의 상부에 상기 제1 절연막보다 에칭 속도가 큰 제2 절연막을 퇴적시키는 공정
을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 27.**

제26항에 있어서,
퇴적된 상기 제1 절연막은 (1) 상기 게이트전극과 상기 접속구멍의 맞춤여 유, (2) 상기 한쌍의 국소배선의 상기 한쪽과 상기 접속구멍의 맞춤여유, 및 (3) 상기 한쌍의 국소배선의 상기 다른 쪽과 상기 접속구멍의 맞춤여유보다 큰 두께를 갖는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 28.**

제26항에 있어서,
상기 접속구멍을 형성하도록 상기 제1 절연막과 상기 제2 절연막은 에칭되고,
상기 제1 절연막 중 남은 부분으로 사이드월 스페이서를 마련하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 29.**

한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET로 이루어지는 플립플롭회로를 각각 갖는 메모리셀을 포함하는 SRAM을 구비한 반도체집적회로장치의 제조방법에 있어서,
(a) 상부에 상기 구동용 MISFET 및 상기 부하용 MISFET의 각각의 게이트전극이 배치된 주면을 갖는 반도체기판을 마련하는 공정;
(b) 상기 게이트전극의 각각의 측벽에, 제1 절연재료로 이루어진 게이트전극 사이드월 스페이서를 형성하는 공정;
(c) 상기 게이트전극과 상기 게이트전극 사이드월 스페이서의 상부에, 상기 플립플롭회로의 한쌍의 입출력단자를 교차결합하는 한쌍의 국소배선을 형성하는 공정;
(d) 상기 국소배선 사이드월 스페이서를 형성하는 공정 - 상기 한쌍의 국소배선의 측벽은 상기 게이트전극의 상부로 연장하며, 상기 한쌍의 국소배선의 측벽상의 국소배선 사이드월 스페이서는 제2 절연재료로 이루어짐 -; 및
(e) 상기 한쌍의 국소배선 상에, 상기 제1 및 제2 절연재료보다 에칭 속도가 큰 제3 절연재료의 절연막을 퇴적시키고 상기 제3 절연재료를 에칭함으로써, (i) 상기 구동용 MISFET의 소오스영역과 (ii) 상기 부하용 MISFET의 소오스영역 중에서 적어도 하나에 도달하는 접속구멍을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 30.**

제29항에 있어서,

상기 한쌍의 국소배선이 각각 서로 중첩하도록 마련되고, 이들 사이에 유전체막이 형성되며, 상기 한쌍의 국소배선과 상기 유전체막은 용량소자를 형성하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 31.**

제29항에 있어서,

상기 게이트전극은 모두 상기 반도체기판 상에 있는 제1 도전재료층으로 형성되고, 상기 한쌍의 국소배선 중 한쪽은 상기 반도체기판으로부터 상기 제1 도전재료층보다 상층인 제2 도전재료층으로 형성되고, 상기 한쌍의 국소배선 중 다른쪽은 상기 반도체기판으로부터 상기 제2 도전재료층보다 상층인 제3 도전재료층으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 32.**

각각 플립플롭회로를 갖는 메모리셀을 포함한 SRAM을 구비하는 반도체집적회로장치에 있어서,

각각의 플립플롭회로는 한쌍의 구동용 MISFET 및 한쌍의 부하용 MISFET를 구비하고, 각각의 메모리셀을 또한 한쌍의 전송용 MISFET를 구비하며, 상기 구동용 MISFET, 상기 부하용 MISFET, 및 상기 전송용 MISFET의 각각의 게이트전극은 반도체기판 상에 있는 제1 도전재료층으로 형성되고, 상기 게이트전극은 그 측벽에 제1 절연재료로 이루어진 게이트전극 사이드월 스페이서를 구비하며, 상기 한쌍의 구동용 MISFET와 상기 한쌍의 부하용 MISFET는 한쌍의 인버터회로를 형성하고,

제1 및 제2 국소배선은 각각 상기 인버터회로를 교차결합시키며, 상기 제1 및 제2 국소배선의 측벽은 그 위에 국소배선 사이드월 스페이서를 구비하고, 상기 국소배선 사이드월 스페이서는 제2 절연재료로 이루어지며,

상기 제1 및 제2 국소배선의 상부에 제3 절연재료층이 있고, 상기 제3 절연재료층은 상기 구동용 MISFET, 상기 부하용 MISFET, 및 상기 전송용 MISFET의 소오스 또는 드레인영역까지 접속용 배선이 통과하는 접속구멍을 구비하며,

상기 제3 절연재료는 상기 제1 및 제2 절연재료보다 에칭 속도가 높은 재료인 것을 특징으로 하는 반도체집적회로장치.

**청구항 33.**

제32항에 있어서,

상기 제1 및 제2 국소배선의 측벽은 상기 게이트전극 상에 배치되는 것을 특 징으로 하는 반도체집적회로장치.

**청구항 34.**

제33항에 있어서,

상기 국소배선 사이드월 스페이서 및 상기 게이트전극 사이드월 스페이서는 각각의 국소배선 및 게이트전극의 측벽에서 연속적으로 연장하는 단일의 사이드월 스페이서를 형성하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 35.**

제32항에 있어서,

상기 국소배선 사이드월 스페이서와 상기 게이트전극 사이드월 스페이서는 개별적인 사이드월 스페이서인 것을 특징으로 하는 반도체집적회로장치.

**청구항 36.**

제32항에 있어서,

상기 제1 및 제2 국소배선은 서로 중첩되고,

상기 반도체집적회로장치는,

상기 중첩되는 제1 국소배선과 제2 국소배선 사이에 유전체막

을 더 포함하며,

상기 제1 국소배선 및 제2 국소배선과 이들 사이에 개재된 유전체막은 용량소자를 형성하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 37.**

제32항에 있어서,

각각 상기 제3 절연막의 상부에 있는 전원전압선과 기준전압선,

상기 전원전압선과 상기 기준전압선의 상부에 있는 제4 절연막, 및

상기 제4 절연막의 상부에 있는 데이타선

을 더 포함하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 38.**

제37항에 있어서,

상기 전송용 MISFET의 소오스 또는 드레인영역과 접속되고 상기 제3 절연막의 상부에 있는 중간상호접속선

을 더 포함하고,

상기 중간상호접속선은 상기 제4 절연막 내의 구멍을 통하여 상기 제4 절연막의 상부에 있는 상기 데이타선과 접속되며, 상기 제3 절연막 내의 구멍을 통하여 상기 전송용 MISFET의 소오스 또는 드레인영역과 접속되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 39.**

반도체집적회로장치에 있어서,
제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 갖는 메모리셀을 구비하고,
상기 제1 n채널 MISFET의 드레인영역, 상기 제1 p채널 MISFET의 드레인영역, 상기 제2 n채널 MISFET의 게이트 전극, 및 상기 제2 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 한쪽의 축적노드를 구성하며,
상기 제2 n채널 MISFET의 드레인영역, 상기 제2 p채널 MISFET의 드레인영역, 상기 제1 n채널 MISFET의 게이트 전극, 및 상기 제1 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 다른 쪽의 축적노드를 구성하고,
상기 제1 및 제2 n채널 MISFET의 드레인영역과 상기 제1 및 제2 p채널 MISFET의 드레인영역은 반도체기판 내에 형성되며,
상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET의 게이트 전극을 덮는 절연막이 형성되고,
제1 도전막은 상기 절연막 상에 형성되고 또한 상기 한쪽의 축적노드에 전기적으로 접속되며,
제2 도전막은 유전체막을 개재하여 상기 제1 도전막 상에 형성되고 또한 상기 다른 쪽의 축적노드에 전기적으로 접속되고,
상기 제2 도전막은 상기 제1 도전막의 상부의 전면을 덮도록 형성되며,
상기 제1 도전막은 용량소자의 한쪽의 전극을 구성하고,
상기 제2 도전막은 용량소자의 다른 쪽의 전극을 구성하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 40.**

제39항에 있어서,
상기 제1 도전막은 금속막 형성으로 형성되고,
상기 제2 도전막은 금속막 형성으로 형성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 41.**

제39항 또는 제40항에 있어서,
상기 유전체막은 상기 제1 도전막의 막두께보다 얇은 것을 특징으로 하는 반도체집적회로장치.

**청구항 42.**

제39항 또는 제40항에 있어서,
상기 제1 도전막은 상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 덮도록 형성되고,
상기 제2 도전막은 상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 덮도록 형성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 43.**

제39항 또는 제40항에 있어서,
상기 제2 도전막의 상부에, 층간절연막을 개재하여 제1 전원배선 및 제2 전원배선이 형성되고,
상기 제1 전원배선은 상기 제1 및 제2 n채널 MISFET의 소오스영역에 전기적으로 접속되며,
상기 제2 전원배선은 상기 제1 및 제2 p채널 MISFET의 소오스영역에 전기적으로 접속되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 44.**

반도체집적회로장치에 있어서,
제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 갖는 메모리셀을 구비하고,
상기 제1 n채널 MISFET의 드레인영역, 상기 제1 p채널 MISFET의 드레인영역, 상기 제2 n채널 MISFET의 게이트 전극, 및 상기 제2 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 한쪽의 축적노드를 구성하며,
상기 제2 n채널 MISFET의 드레인영역, 상기 제2 p채널 MISFET의 드레인영역, 상기 제1 n채널 MISFET의 게이트 전극, 및 상기 제1 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 다른 쪽의 축적노드를 구성하고,
상기 제1 및 제2 n채널 MISFET의 드레인영역과 상기 제1 및 제2 p채널 MISFET의 드레인영역은 반도체기판 내에 형성되며,
4기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET의 게이트 전극을 덮는 절연막이 형성되고,
제1 도전막은 상기 절연막 상에 형성되고 또한 상기 한쪽의 축적노드에 전기적으로 접속되며,
제2 도전막은 유전체막을 개재하여 상기 제1 도전막 상에 형성되고 또한 상기 다른 쪽의 축적노드에 전기적으로 접속되고,
상기 제2 도전막은, 상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET의 드레인 영역 상에 이들을 덮도록 형성됨과 함께, 상기 제1 도전막을 덮도록 형성되며,
상기 제1 도전막은 용량소자의 한쪽의 전극을 구성하고,
상기 제2 도전막은 용량소자의 다른 쪽의 전극을 구성하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 45.**

제44항에 있어서,
상기 제1 도전막은 금속막 형성으로 형성되고,
상기 제2 도전막은 금속막 형성으로 형성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 46.**

제44항 또는 제45항에 있어서,
상기 유전체막은 상기 제1 도전막의 두께보다 얇은 것을 특징으로 하는 반도체집적회로장치.

**청구항 47.**

제44항 또는 제45항에 있어서,
상기 제2 도전막의 상부에, 층간절연막을 개재하여 제1 전원배선 및 제2 전원배선이 형성되고,
상기 제1 전원배선은 상기 제1 및 제2 n채널 MISFET의 소오스영역에 전기적으로 접속되며,
상기 제2 전원배선은 상기 제1 및 제2 p채널 MISFET의 소오스영역에 전기적으로 접속되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 48.**

제44항 또는 제45항에 있어서,
상기 제1 도전막은 상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 덮도록 형성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 49.**

반도체집적회로장치에 있어서,
제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 갖는 메모리셀을 구비하고,
상기 제1 n채널 MISFET의 드레인영역, 상기 제1 p채널 MISFET의 드레인영역, 상기 제2 n채널 MISFET의 게이트전극, 및 상기 제2 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 한쪽의 축적노드를 구성하며,
상기 제2 n채널 MISFET의 드레인영역, 상기 제2 p채널 MISFET의 드레인영역, 상기 제1 n채널 MISFET의 게이트전극, 및 상기 제1 p채널 MISFET의 게이트전극은 서로 전기적으로 접속되고 또한 다른 쪽의 축적노드를 구성하고,
상기 제1 및 제2 n채널 MISFET의 드레인영역과 상기 제1 및 제2 p채널 MISFET의 드레인영역은 반도체기판 내에 형성되며,
상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET의 게이트 전극을 덮는 절연막이 형성되고,
제1 도전막은 상기 절연막 상에 형성되고 또한 상기 한쪽의 축적노드에 전기 적으로 접속되며,
제2 도전막은 유전체막을 개재하여 상기 제1 도전막 상에 형성되고 또한 상기 다른 쪽의 축적노드에 전기적으로 접속되고,
상기 제2 도전막은 상기 제1 도전막을 덮도록 형성되며,
상기 제1 도전막 및 제2 도전막은 각각 금속막 형성으로 형성되고,
상기 제1 도전막은 용량소자의 한쪽의 전극을 구성하며,
상기 제2 도전막은 용량소자의 다른 쪽의 전극을 구성하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 50.**

제49항에 있어서,
상기 유전체막은 고유전체재료로 구성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 51.**

제50항에 있어서,
상기 고유전체재료는 산화탄탈로 구성되는 것을 특징으로 하는 반도체집적회로장치.

**청구항 52.**

제49항 또는 제50항에 있어서,
상기 제2 도전막은 상기 제1 n채널 MISFET, 제2 n채널 MISFET, 제1 p채널 MISFET, 및 제2 p채널 MISFET를 덮도록 형성되는 것을 특징으로 하는 반도체집적회 로장치.

**청구항 53.**

제49항 또는 제50항에 있어서,
상기 제1 도전막 또는 제2 도전막은 고융점금속막을 포함하는 것을 특징으로 하는 반도체집적회로장치.

**청구항 54.**

제49항 또는 제50항에 있어서,
상기 유전체막은 상기 제1 도전막의 막두께보다 얇은 것을 특징으로 하는 반도체집적회로장치.

**청구항 55.**

반도체집적회로장치의 제조방법에 있어서,
주면 상에 형성된 MISFET의 게이트전극과 상기 MISFET의 소오스 · 드레인을 구성하는 한쌍의 반도체영역을 갖는 반도체기판을 준비하는 공정;
상기 게이트전극의 상부로 연장하는 제1 도전막을 형성하는 공정;
상기 게이트전극의 측벽을 덮고 또한 상기 제1 도전막의 측벽에 자기정합적으로 제1 사이드월 스페이서를 형성하는 공정;
상기 제1 사이드월 스페이서 및 상기 제1 도전막 상에 제1 절연막을 형성하는 공정; 및
상기 제1 절연막을 에칭하여 접속구멍을 형성하는 공정
을 포함하고,
상기 접속구멍은 상기 반도체영역에 도달하며,

상기 제1 사이드월 스페이서는 상기 제1 절연막을 에칭할 때에 상기 제1 절연막보다 느린 에칭 속도를 갖는 절연막재료로 이루어지고,
상기 접속구멍은 상기 제1 사이드월 스페이서에 대해서 자기정합적으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 56.**

제55항에 있어서,
상기 제1 도전막 형성 공정은 상기 도전막과 제2 절연막을 순차 퇴적시킨 후, 상기 도전막과 제2 절연막을 패터닝함으로써 형성되고,
상기 제1 사이드월 스페이서는 패터닝된 상기 도전막 및 제2 절연막의 측벽에 자기정합적으로 형성되며,
상기 제2 절연막은 상기 제1 사이드월 스페이서와 동일한 절연막재료로 이루어지는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 57.**

제55항 또는 제56항에 있어서.
상기 절연막재료는 질화실리콘막인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 58.**

제55항 또는 제56항에 있어서.
상기 제1 도전막 형성 공정 전에, 상기 게이트전극의 측벽에 자기정합적으로 제2 사이드월 스페이서를 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 59.**

제55항 또는 제56항에 있어서,
상기 제1 도전막 형성 공정 전에, 상기 주면을 덮도록 제3 절연막을 형성하는 공정
을 더 포함하고,
상기 제3 절연막은 상기 제1 사이드월 스페이서와 동일한 절연막재료로 이루어지는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 60.**

반도체집적회로장치의 제조방법에 있어서,
주면 상에 형성된 MISFET의 게이트전극과 상기 MISFET의 소오스 · 드레인을 구성하는 한쌍의 반도체영역을 갖는 반도체기판을 준비하는 공정;
상기 게이트전극의 상부로 연장하는 제1 도전막을 형성하는 공정;
상기 제1 도전막 및 주면을 덮도록 제1 절연막을 형성하는 공정;
상기 제1 절연막 상에 제2 절연막을 형성하는 공정; 및
상기 제2 절연막을 에칭하여 접속구멍을 형성하는 공정
을 포함하고,
상기 접속구멍은 상기 반도체영역에 도달하며,
상기 제1 절연막은 상기 제2 절연막을 에칭할 때에 상기 제2 절연막보다 노 린 에칭 속도를 갖는 절연막재료로 이루어지고,
상기 접속구멍을 형성하는 공정에서, 상기 제1 도전막의 측벽에 자기정합적으로 상기 제1 절연막으로 이루어지는 제1 사이드월 스페이서가 형성됨으로써, 상기 접속구멍은 상기 제1 사이드월 스페이서에 대해서 자기정합적으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 61.**

제60항에 있어서,
상기 제1 도전막 형성 공정은 상기 도전막과 제3 절연막을 순차 퇴적시킨 후, 상기 도전막과 제3 절연막을 패터닝함으로써 형성되고, 상기 제3 절연막은 상기 제1 절연막과 동일한 절연막재료로 이루어지는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 62.**

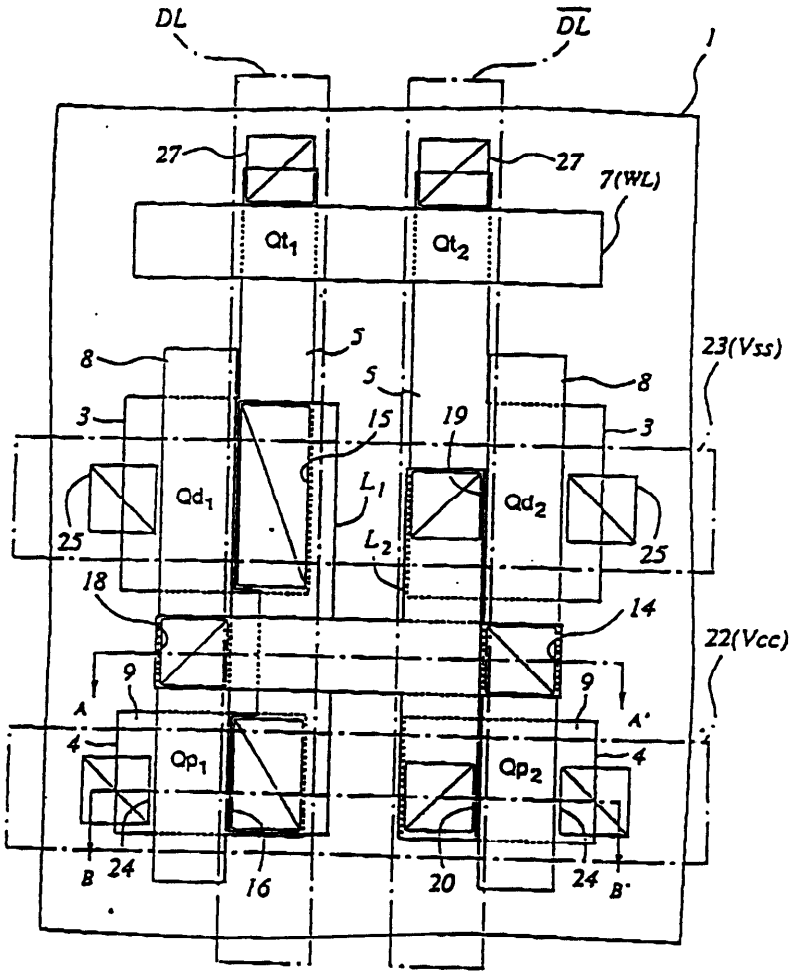
제60항에 있어서,
상기 절연막재료는 질화실리콘막인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

**청구항 63.**

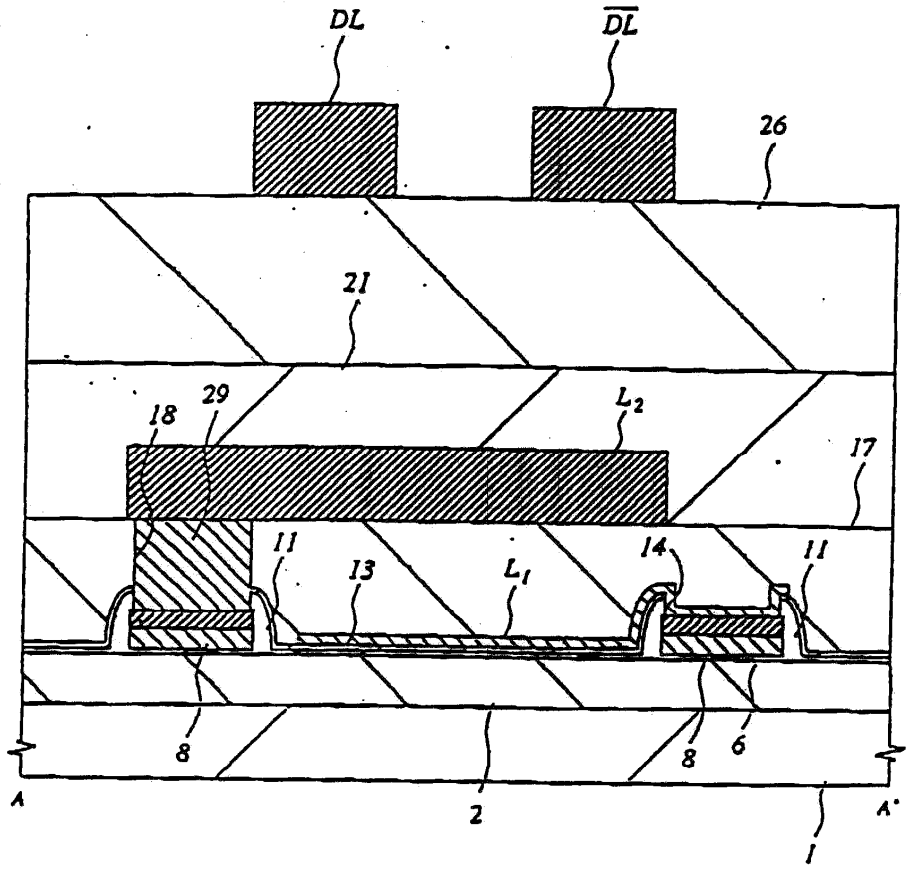
제60항 또는 제61항에 있어서,
상기 제1 도전막 형성 공정 전에, 상기 주면을 덮도록 제4 절연막을 형성하는 공정
을 더 포함하고,
상기 제4 절연막은 상기 제1 절연막과 동일한 절연막재료로 이루어지는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

도면

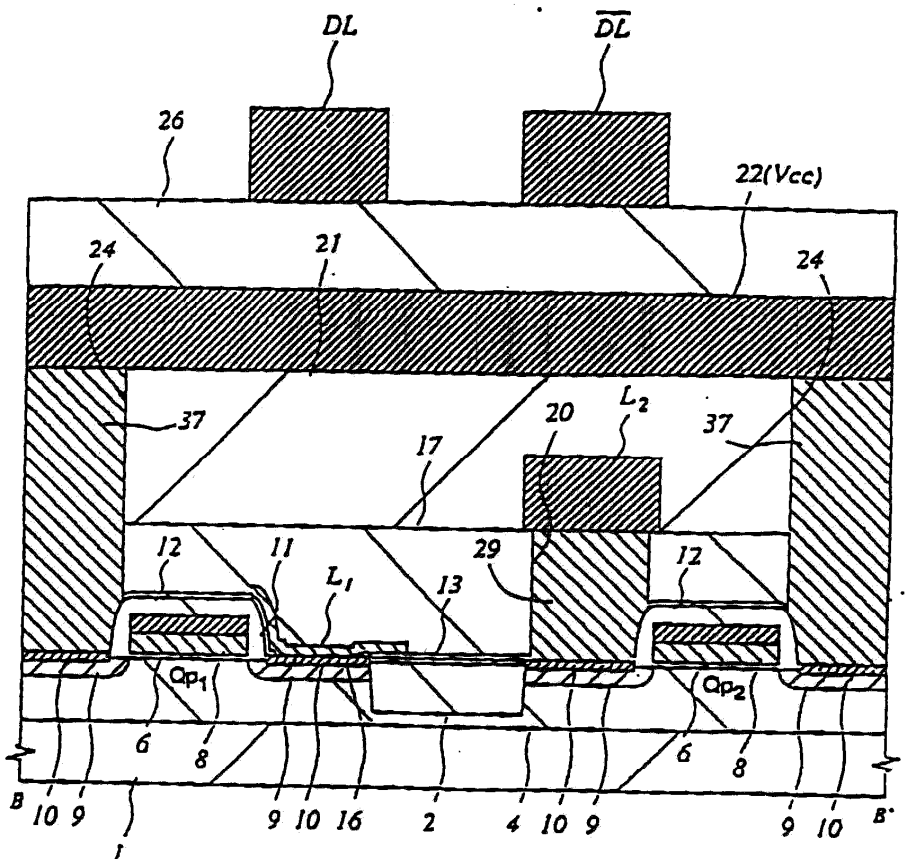
도면1


DL
DL
1
27
27
7(WL)
Qt1
Qt2
23(Vss)
8
5
5
8
3
15
19
3
Qd1
L1
Qd2
25
L2
25
18
14
22(Vcc)
9
9
A
A'
4
Qp1
Qp2
4
B
24
16
20
24
B'

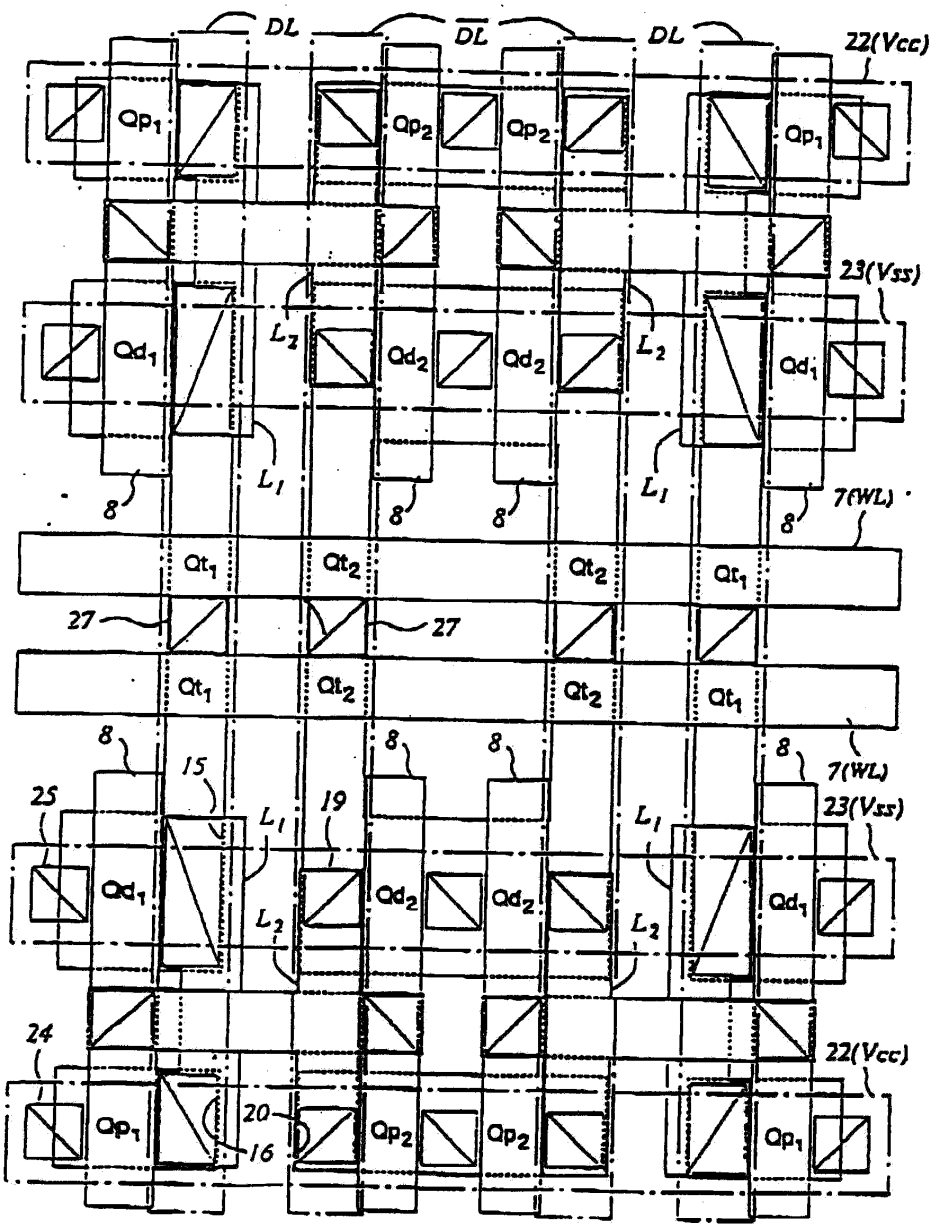
도면2


DL
$\overline{DL}$
26
21
29
18
$L_2$
17
11
13
$L_1$
14
11
8
2
8
6
A
A'
1

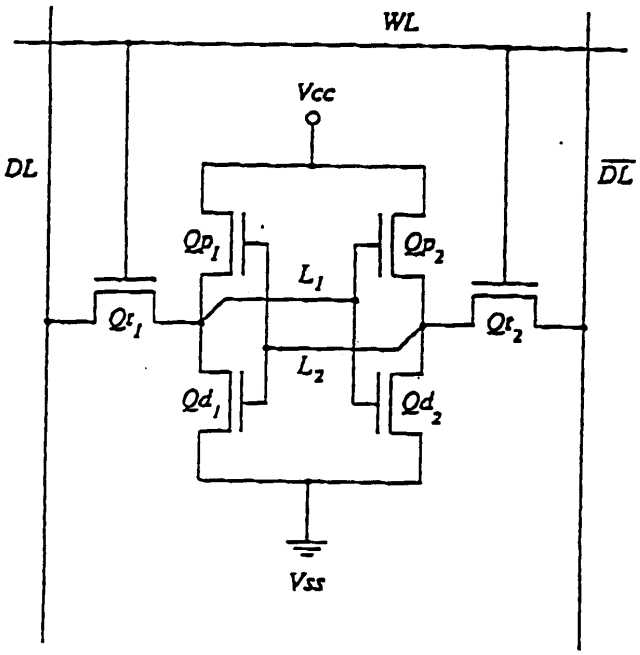
도면3


DL
$\overline{DL}$
26
22(Vcc)
24
21
24
37
20
$L_2$
37
17
12
11
29
12
$L_1$
13
$Qp_1$
$Qp_2$
6
8
6
8
B
10
9
9
10
16
2
4
10
9
9
10
B'
1

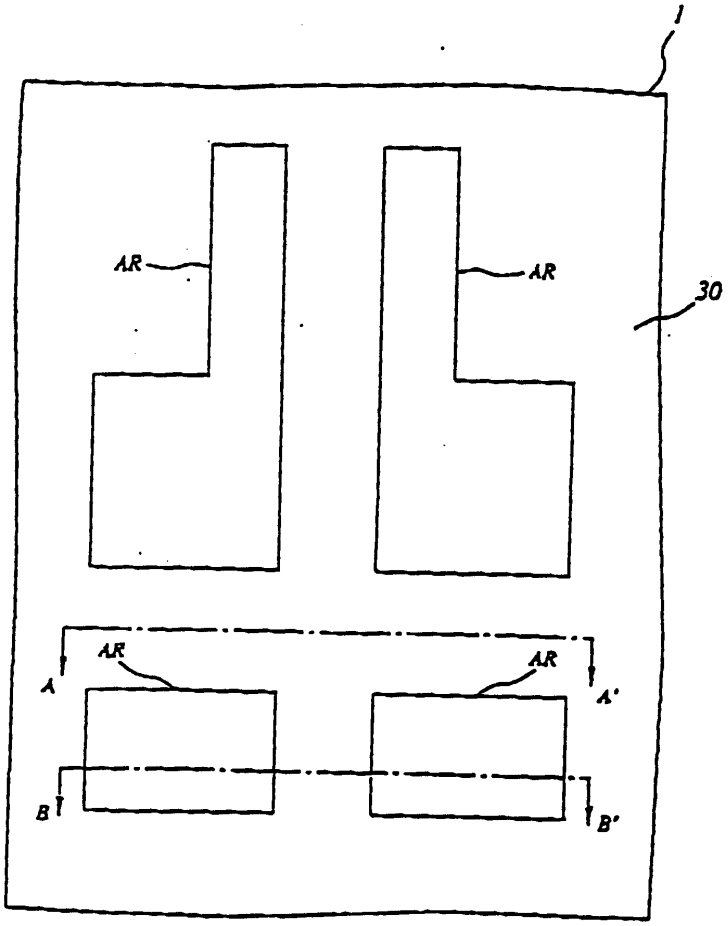
도면4


DL
DL
DL
22(Vcc)
Qp1
Qp2
Qp2
Qp1
23(Vss)
Qd1
L2
Qd2
Qd2
L2
Qd1
L1
L1
8
8
8
8
7(WL)
Qt1
Qt2
Qt2
Qt1
27
27
Qt1
Qt2
Qt2
Qt1
8
15
8
8
8
7(WL)
25
19
L1
L1
23(Vss)
Qd1
Qd2
Qd2
Qd1
L2
L2
24
22(Vcc)
Qp1
20
Qp2
Qp2
Qp1
16

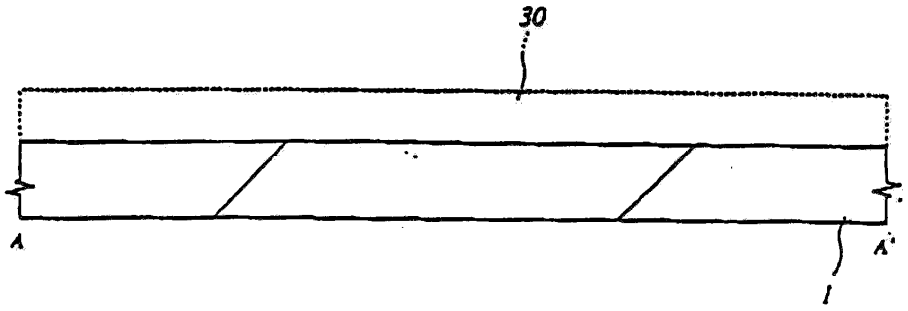
도면5


WL
Vcc
DL
$\overline{DL}$
$Qp_1$
$Qp_2$
$L_1$
$Qt_1$
$Qt_2$
$L_2$
$Qd_1$
$Qd_2$
Vss

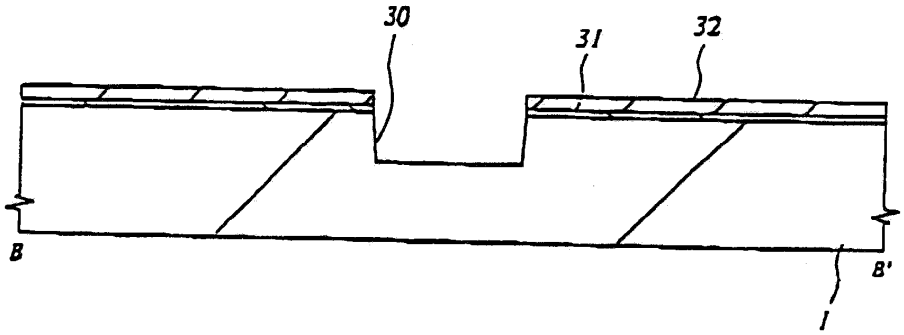
도면6


1
AR
AR
30
AR
AR
A
A'
B
B'

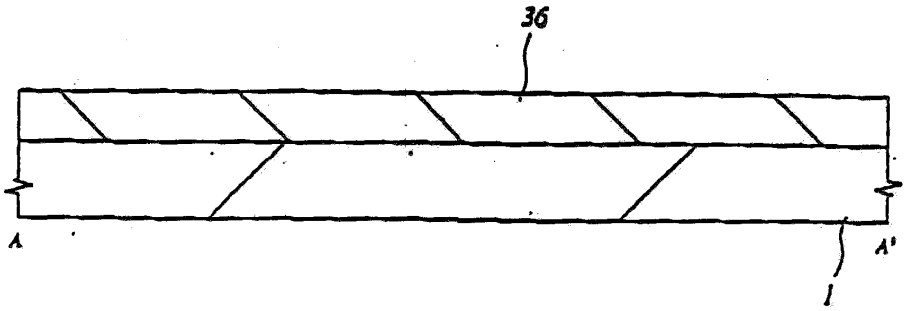
도면7a



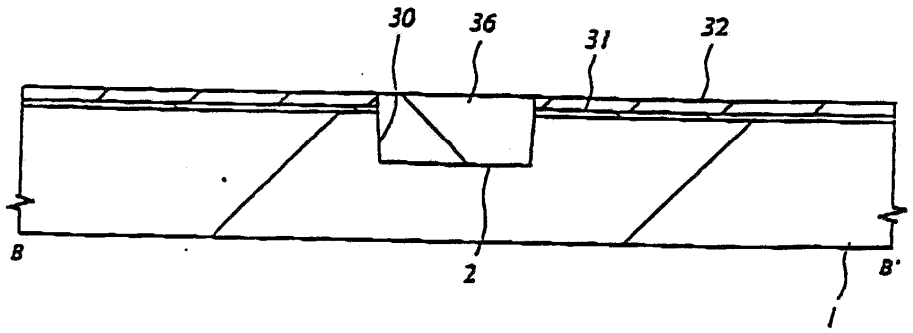

도면7b



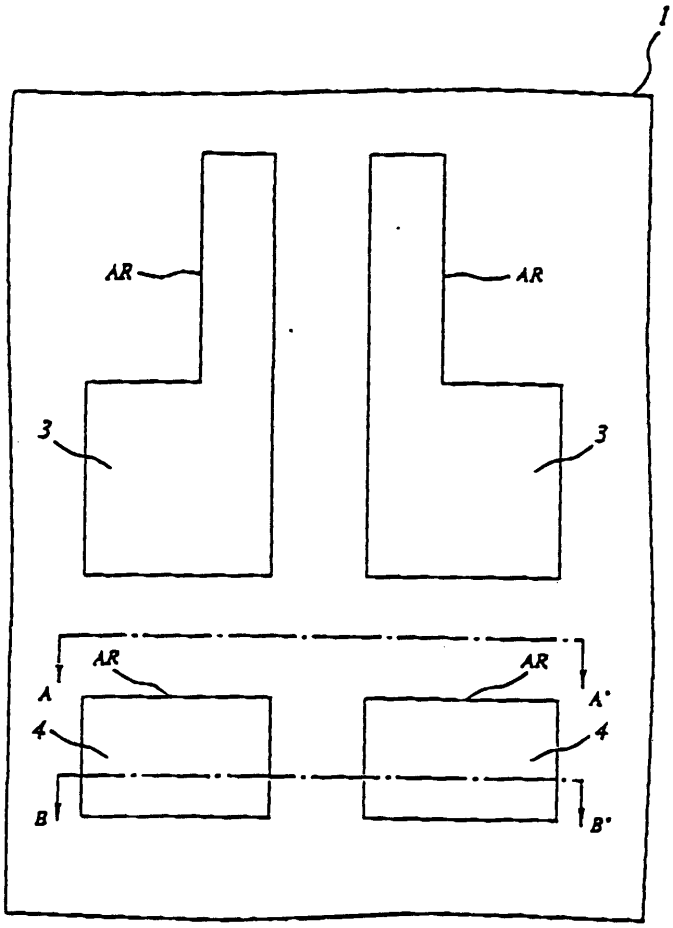

도면8a



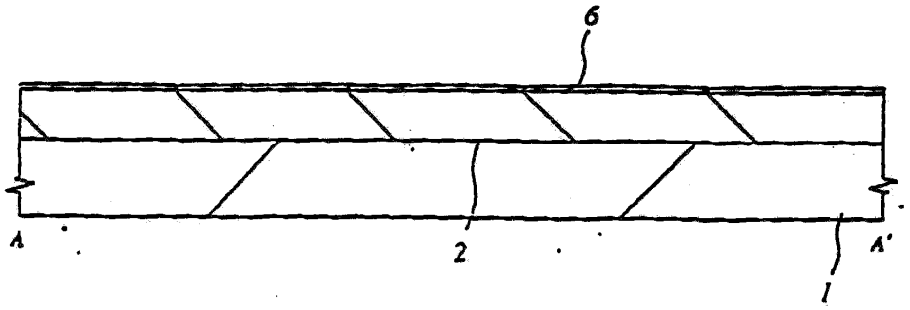

도면8b



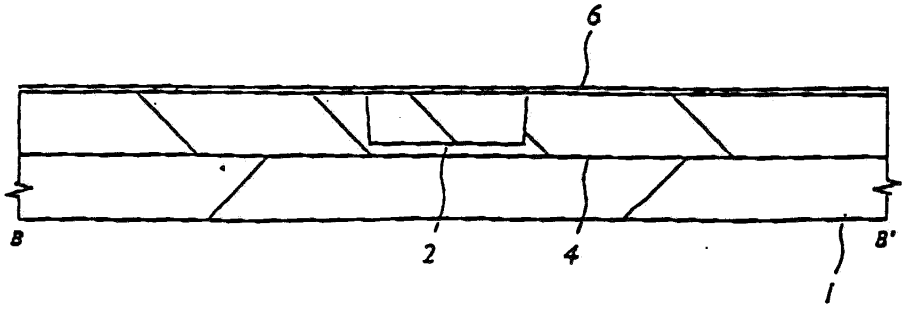
도면9



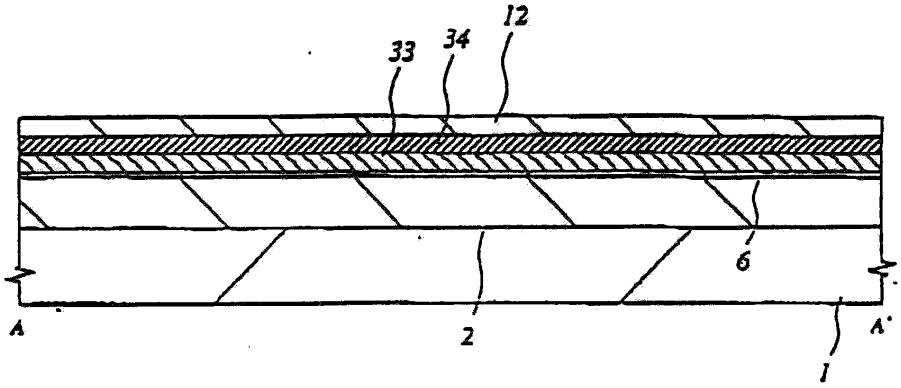

도면10a



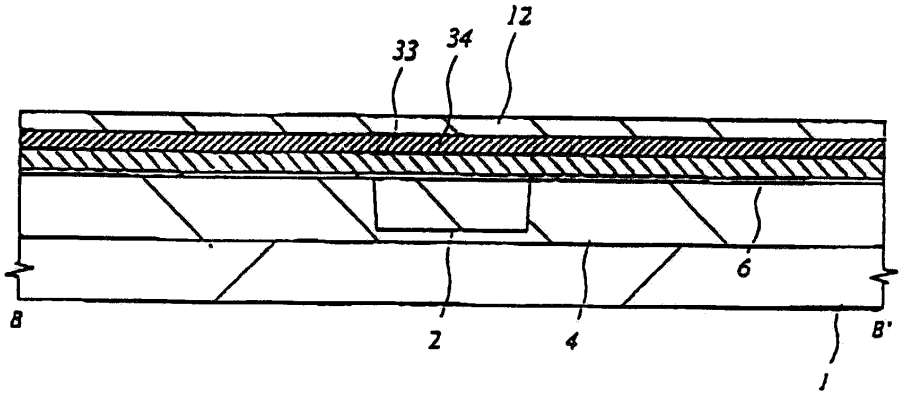

도면10b



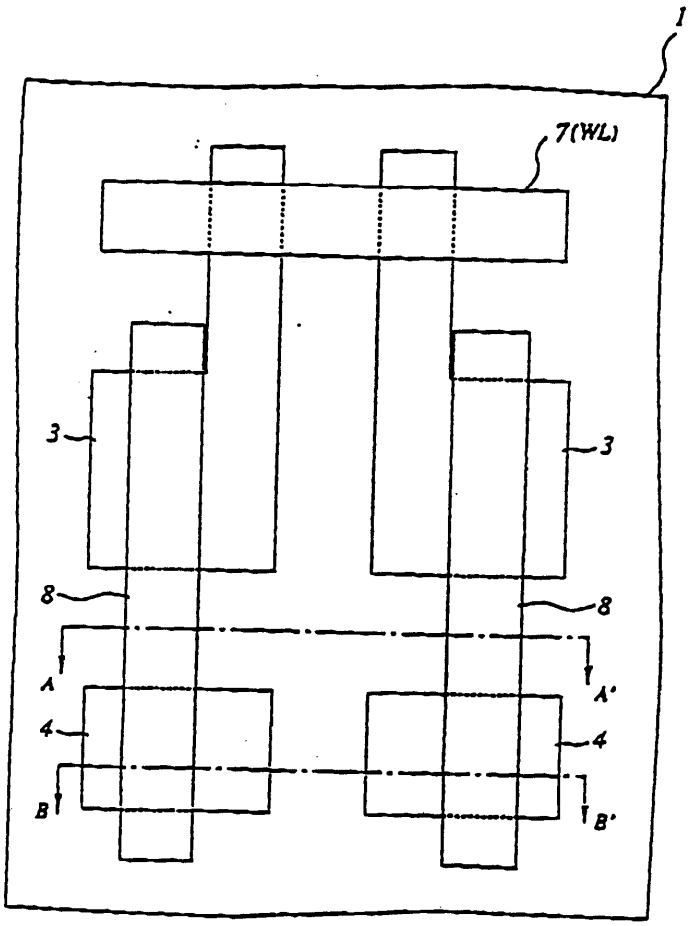
도면11a



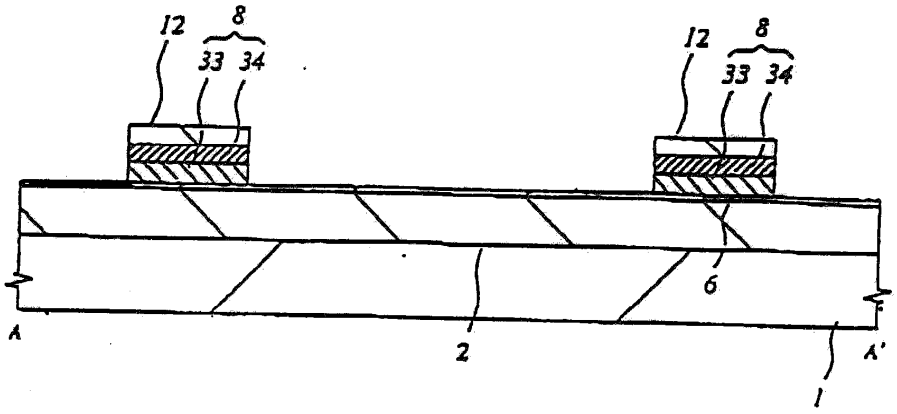

도면11b



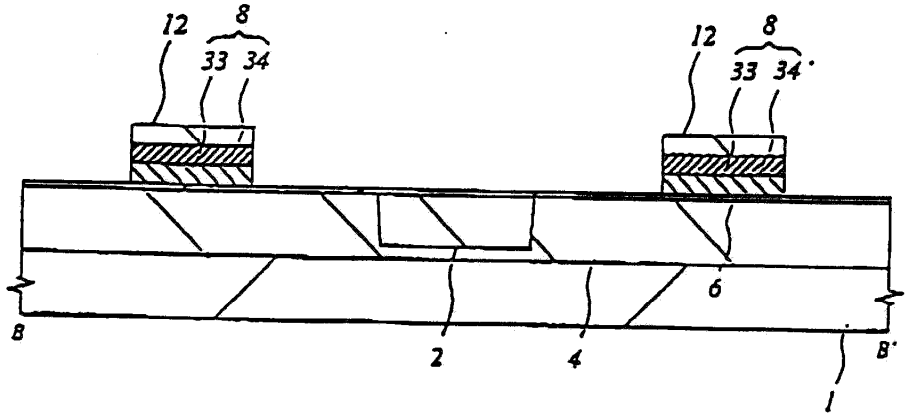

도면12



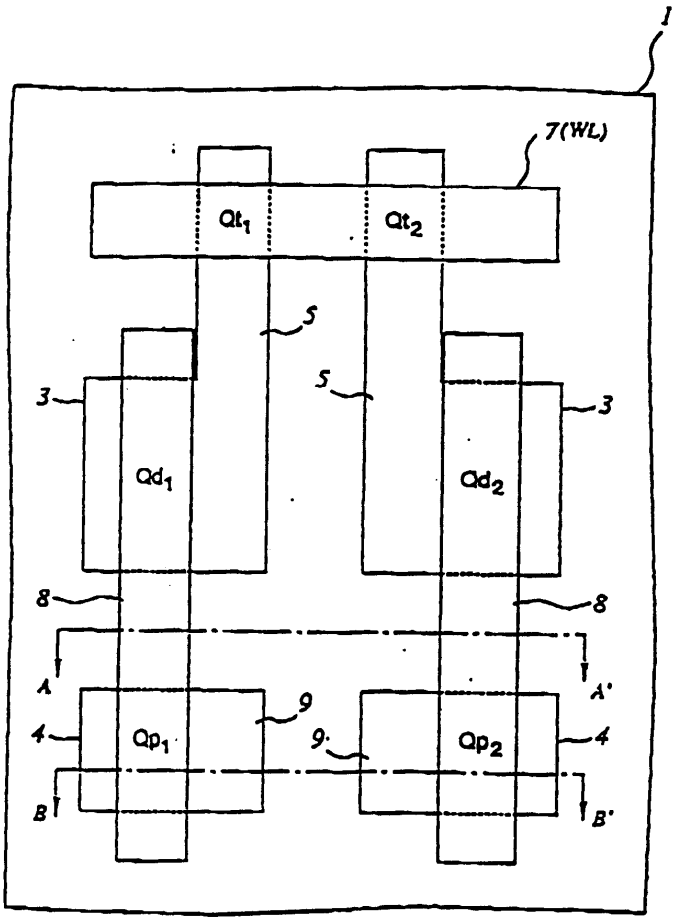
도면13a



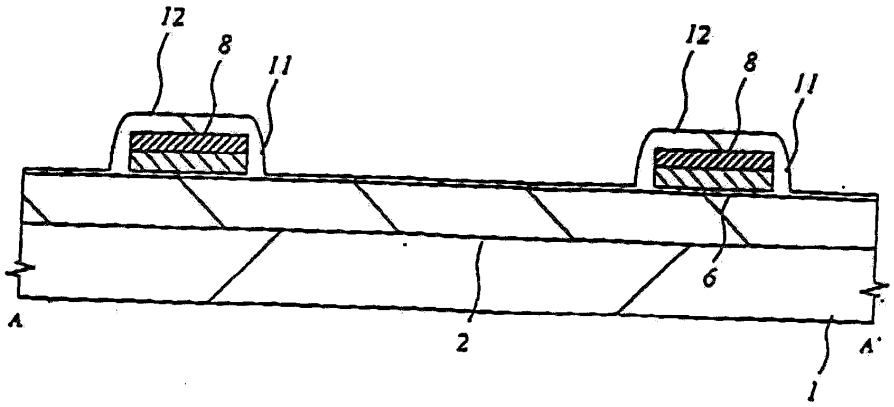

도면13b



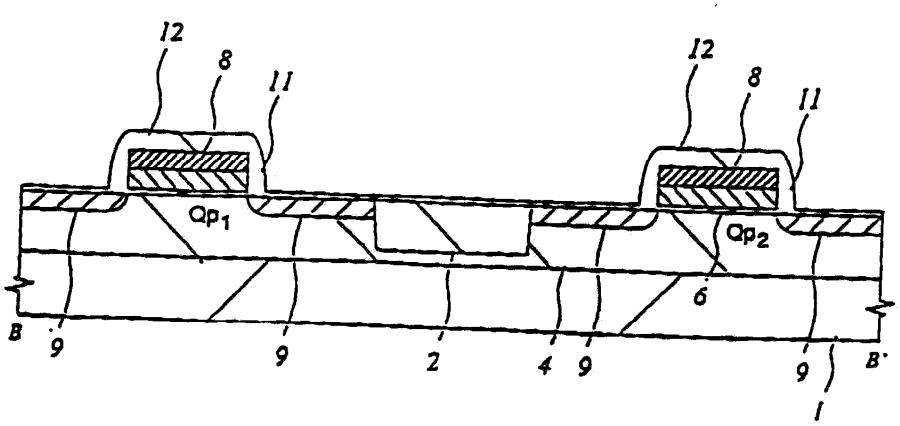
도면14


1
7(WL)
Qt1
Qt2
5
5
3
3
Qd1
Qd2
8
8
A
A'
9
9
4
4
Qp1
Qp2
B
B'

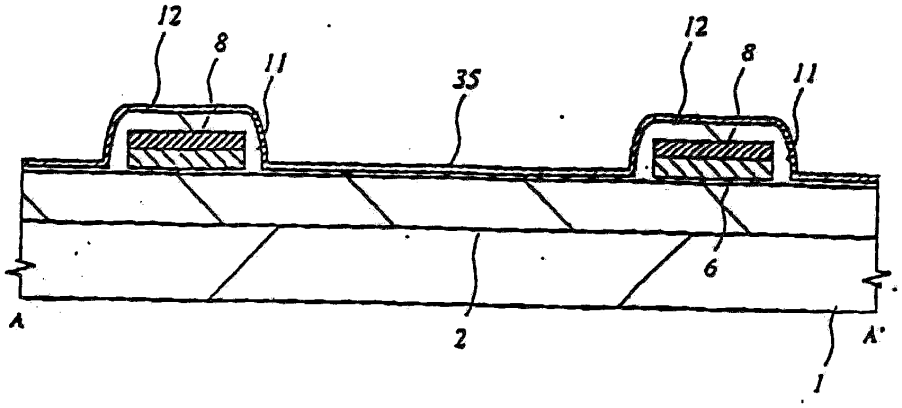
도면15a


12
8
11
12
8
11
6
A
2
A'
1

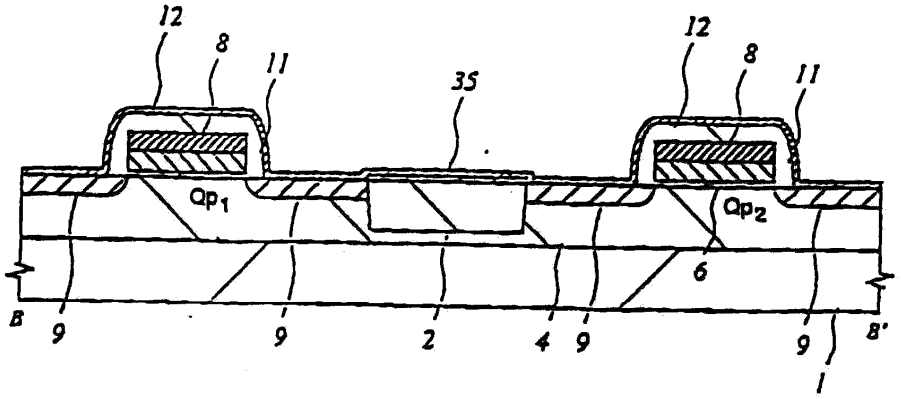
도면15b



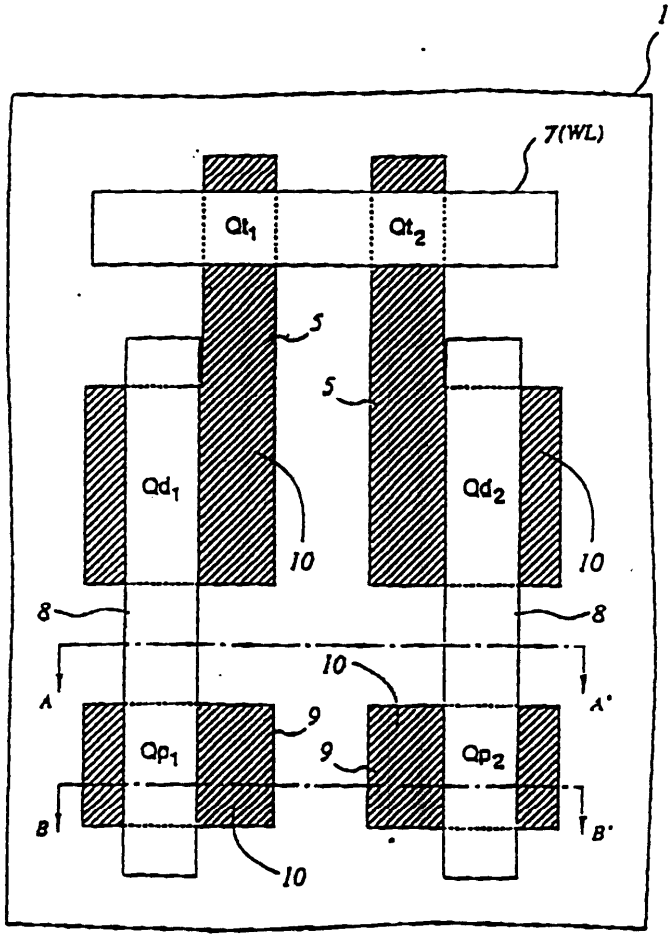

도면16a



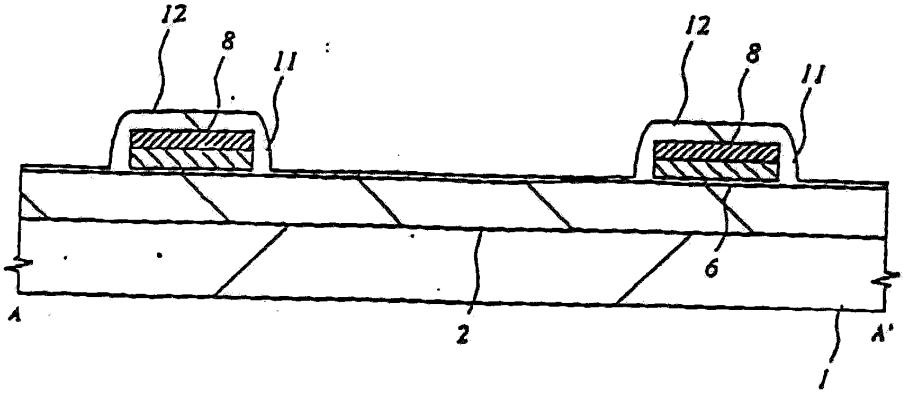

도면16b



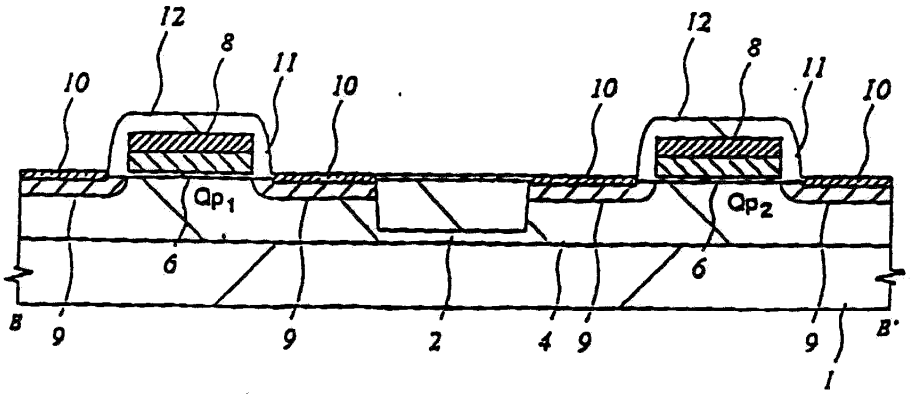
도면17



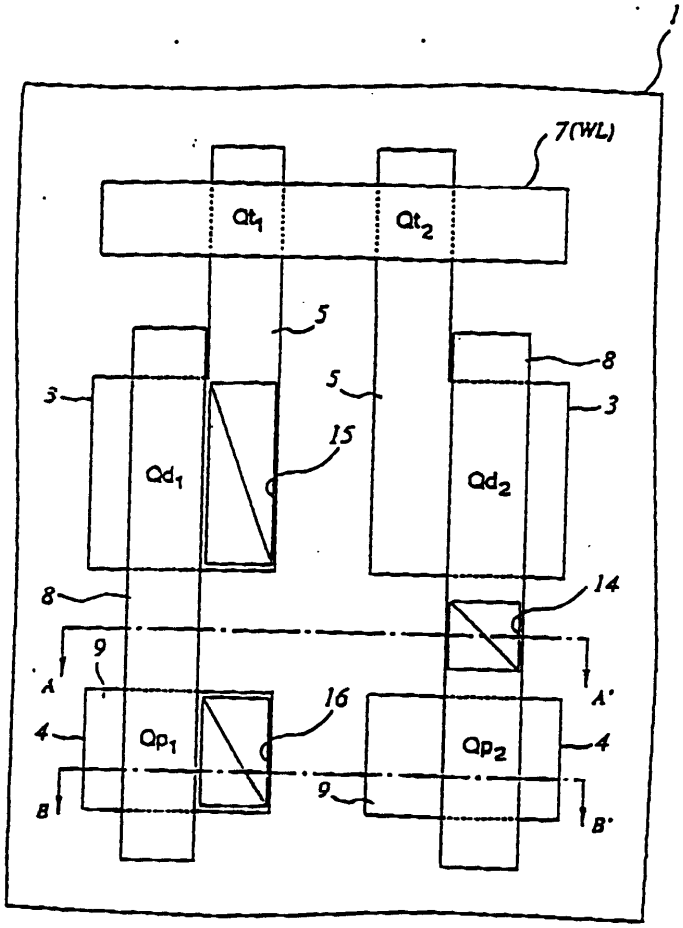

도면18a



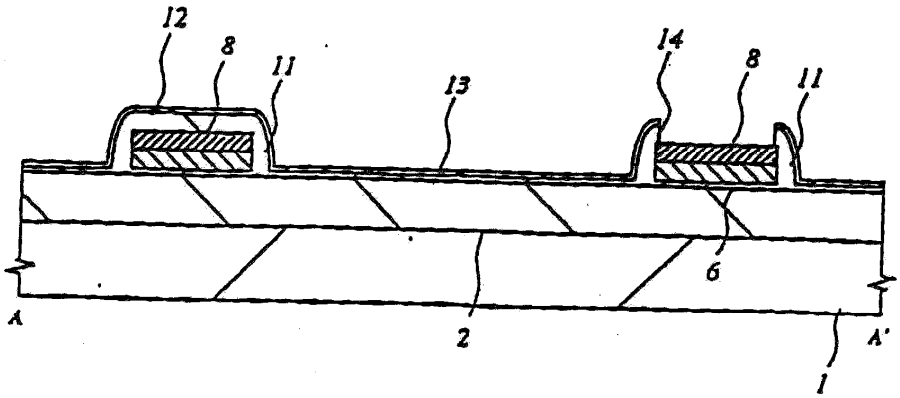

도면18b



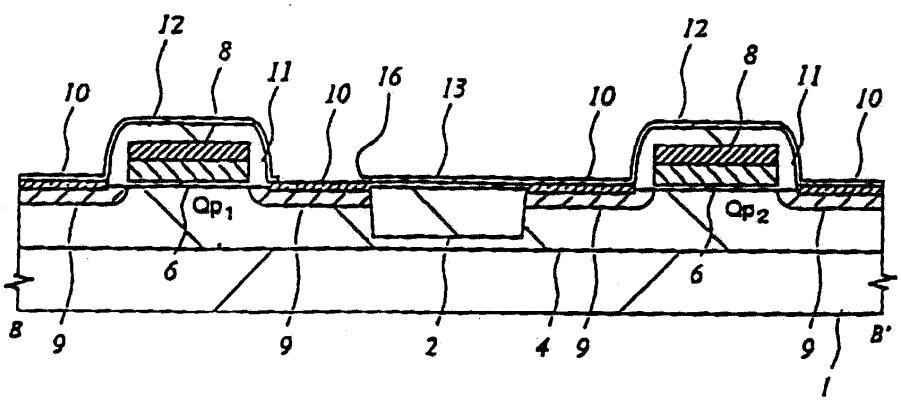
도면19


1
7(WL)
Qt1
Qt2
5
8
3
5
3
15
Qd1
Qd2
14
8
9
A
A'
16
4
Qp1
Qp2
4
B
9
B'

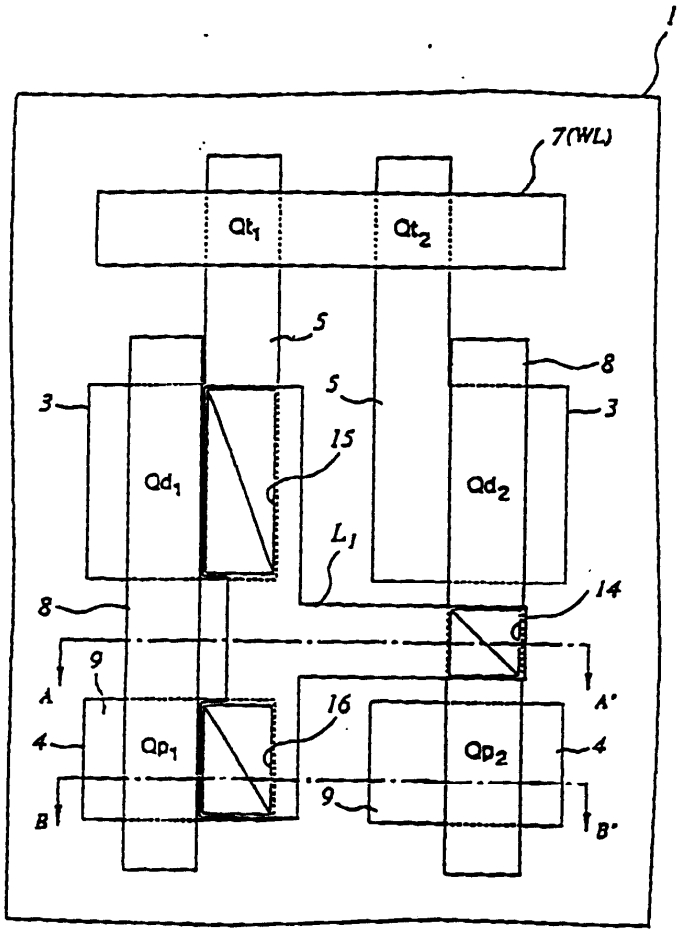
도면20a


12
8
11
13
14
8
11
6
A
2
A'
1

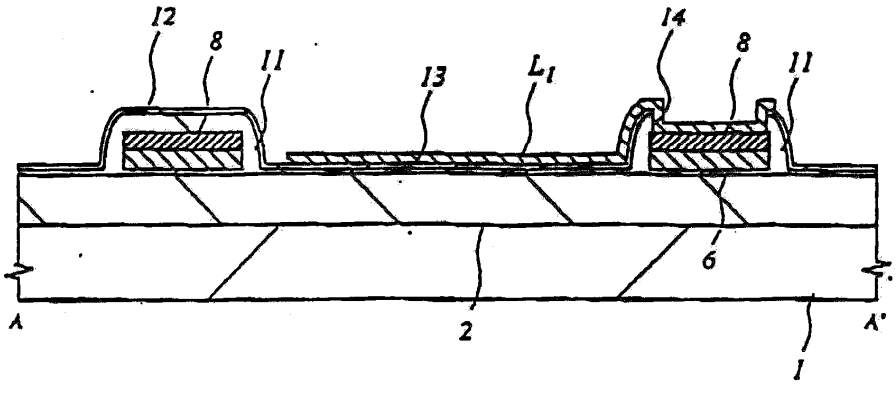
도면20b



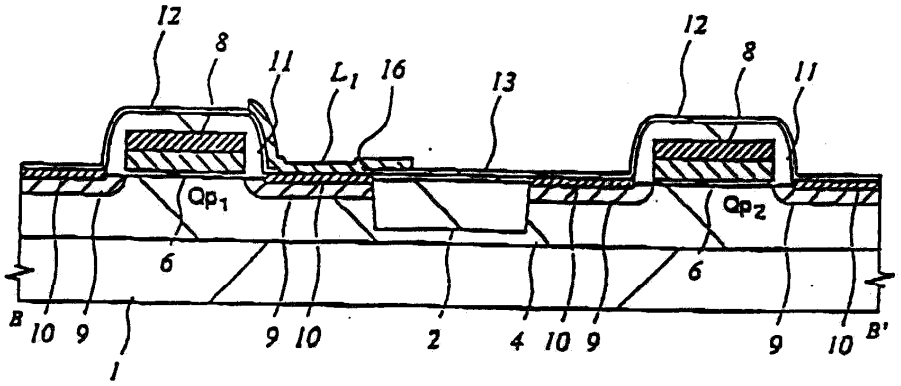

도면21



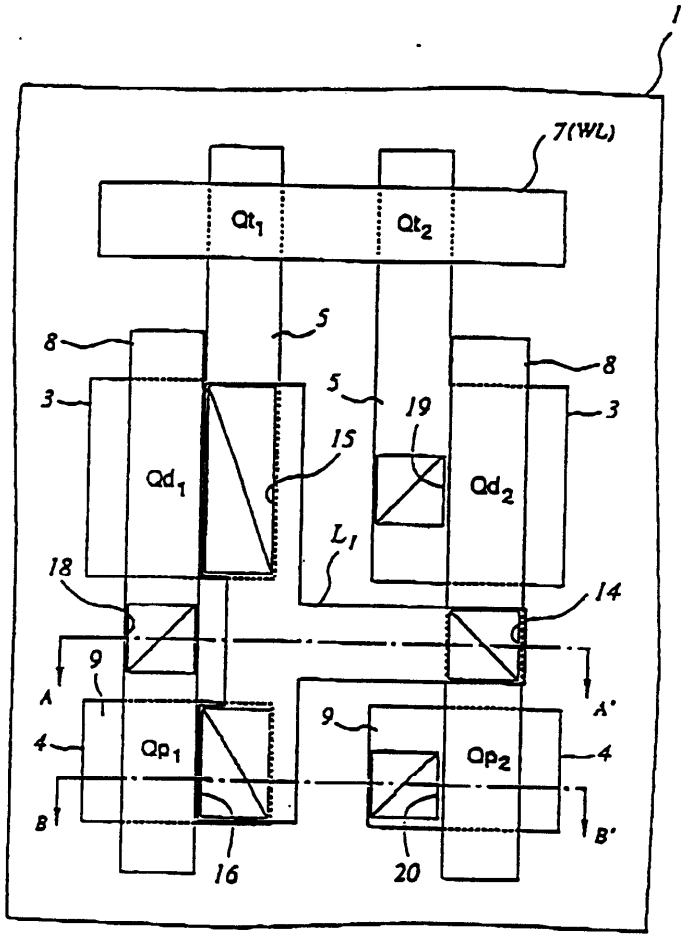

도면22a



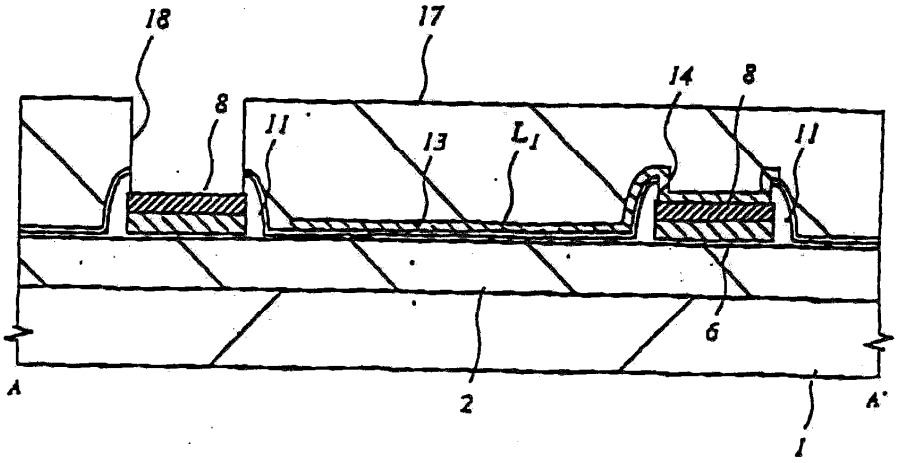
도면22b


12
8
11
$L_1$
16
13
12
8
11
$Qp_1$
$Qp_2$
6
6
B
10
9
1
9
10
2
4
10
9
9
10
B'

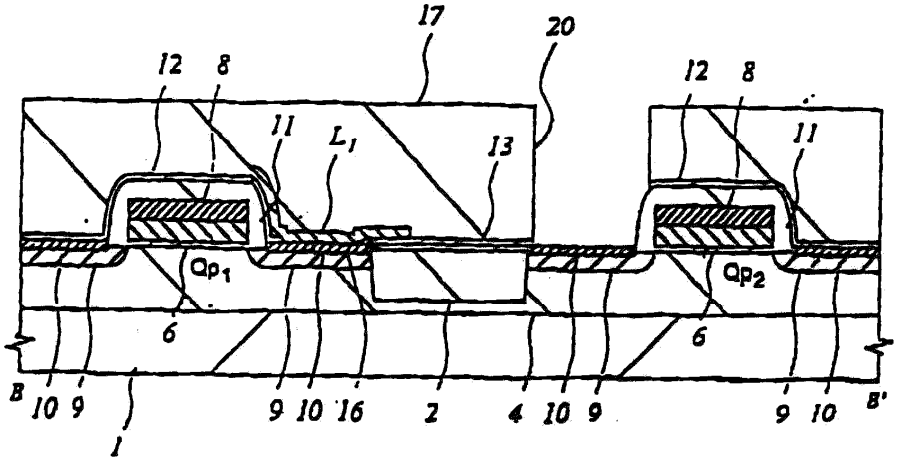
도면23


1
7(WL)
$Qt_1$
$Qt_2$
8
5
8
3
5
19
3
15
$Qd_1$
$Qd_2$
$L_1$
18
14
9
A
A'
4
$Qp_1$
9
$Qp_2$
4
B
B'
16
20

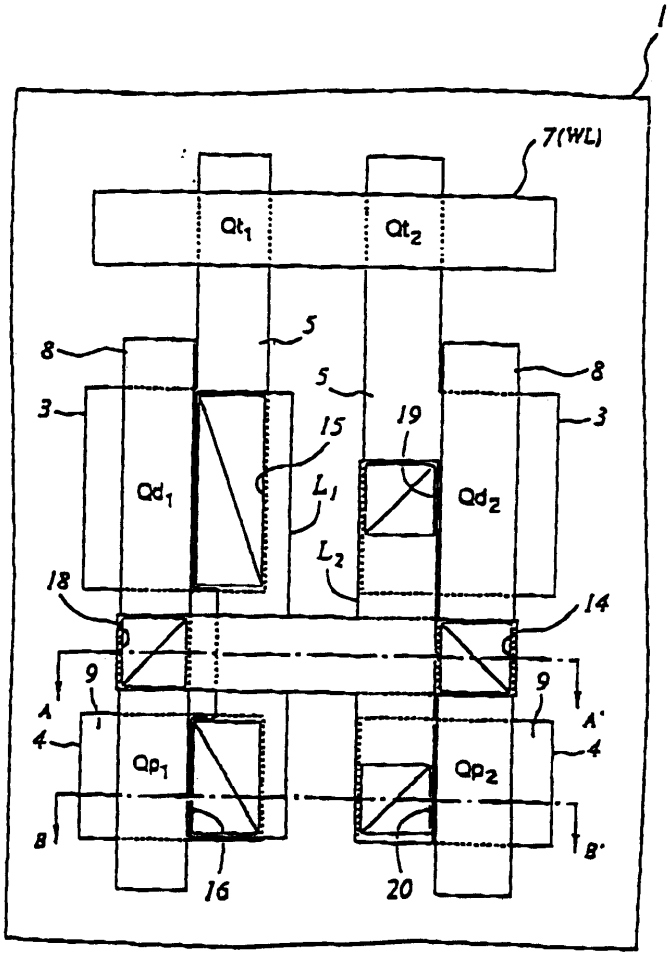
도면24a


18
17
14
8
8
11
13
$L_1$
11
6
A
2
A'
1

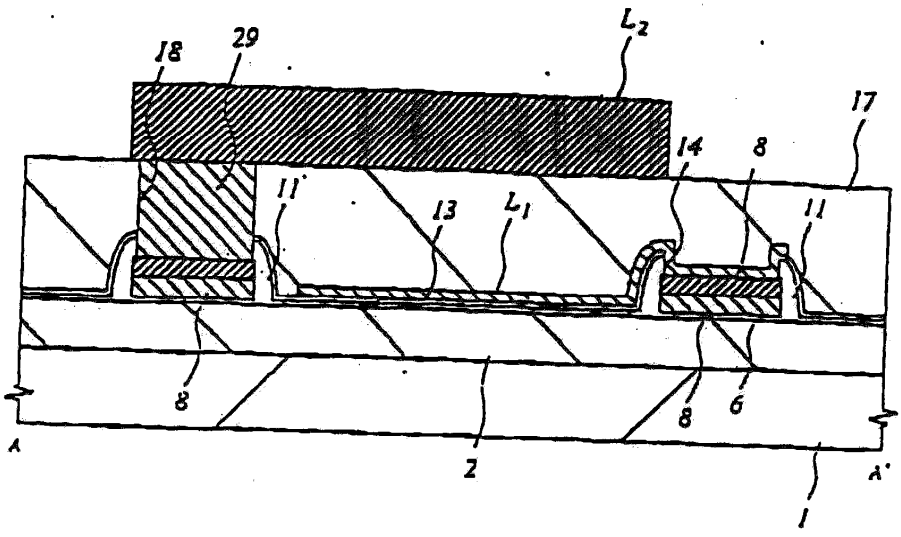
도면24b


17
20
12
8
12
8
11
$L_1$
13
11
$Qp_1$
$Qp_2$
6
6
B
10
9
1
9
10
16
2
4
10
9
9
10
B'

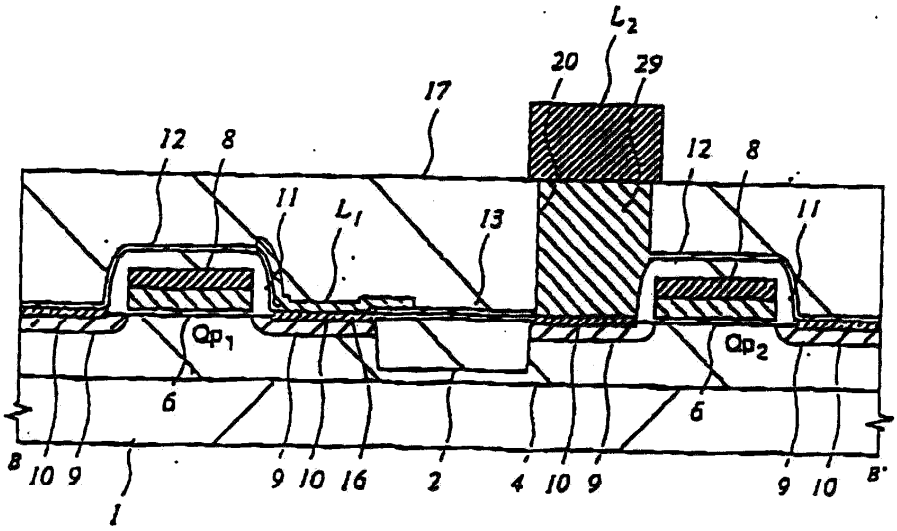
도면25


1
7(WL)
Qt1
Qt2
5
8
3
15
19
Qd1
L1
Qd2
L2
18
14
9
A
A'
4
Qp1
Qp2
B
B'
16
20

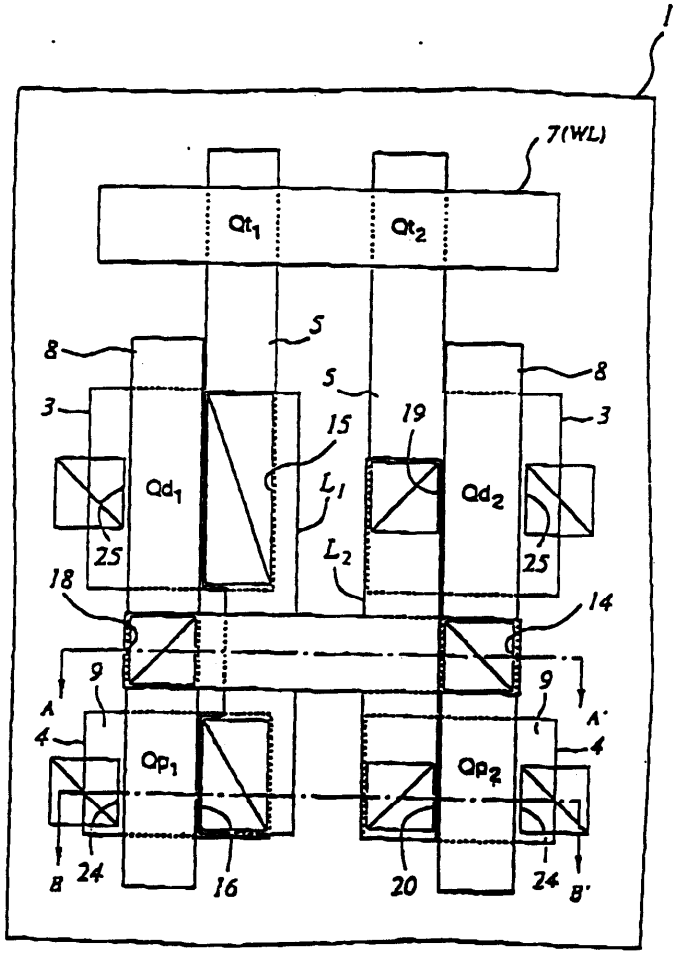
도면26a


18
29
L2
17
14
8
11
13
L1
11
8
8
6
A
2
A'
1

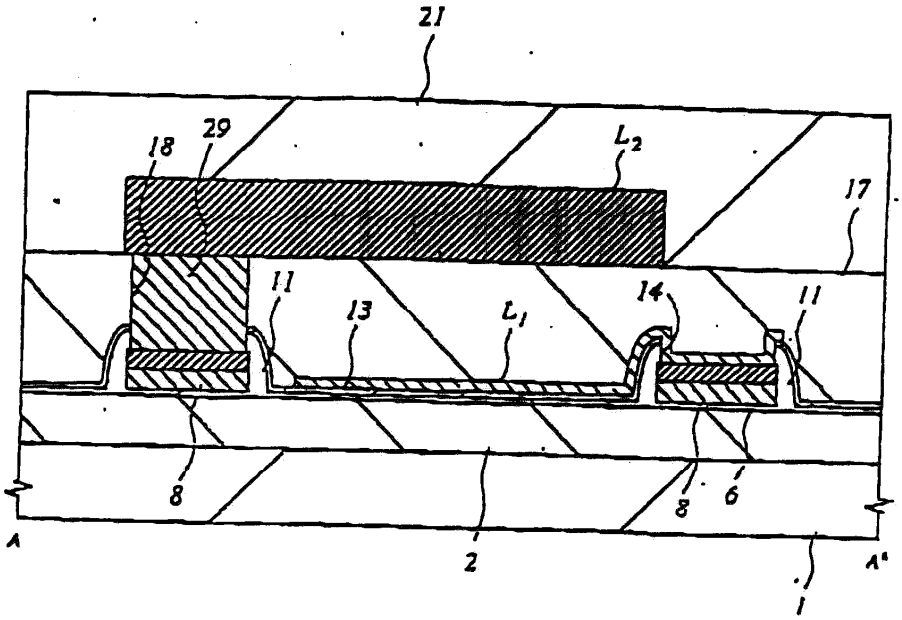
도면26b


L2
20
29
17
12
8
11
L1
13
Qp1
Qp2
6
B
10
9
1
16
2
4
B'

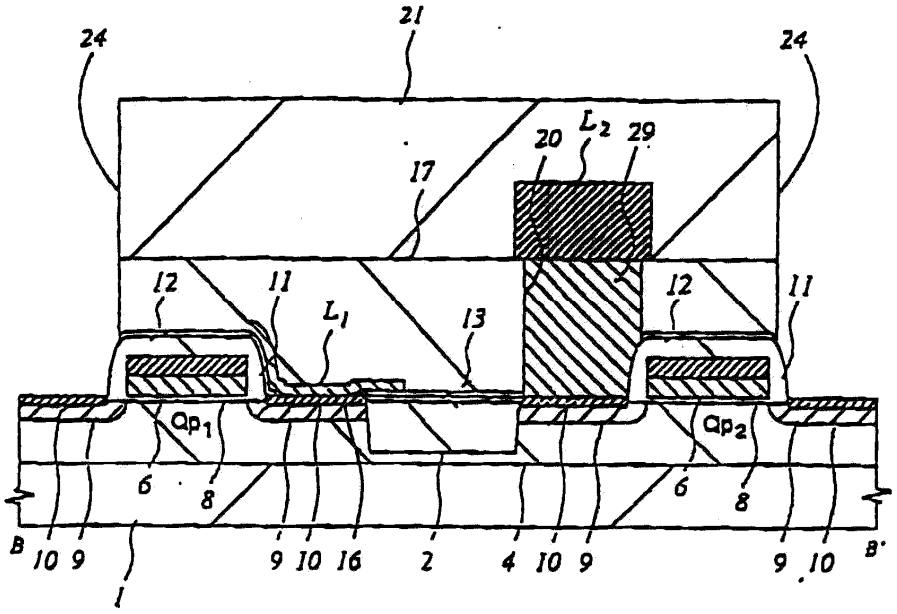
도면27


1
7(WL)
Qt1
Qt2
5
8
3
15
19
Qd1
Qd2
L1
L2
25
18
14
9
A
A'
4
Qp1
Qp2
B
24
16
20
B'

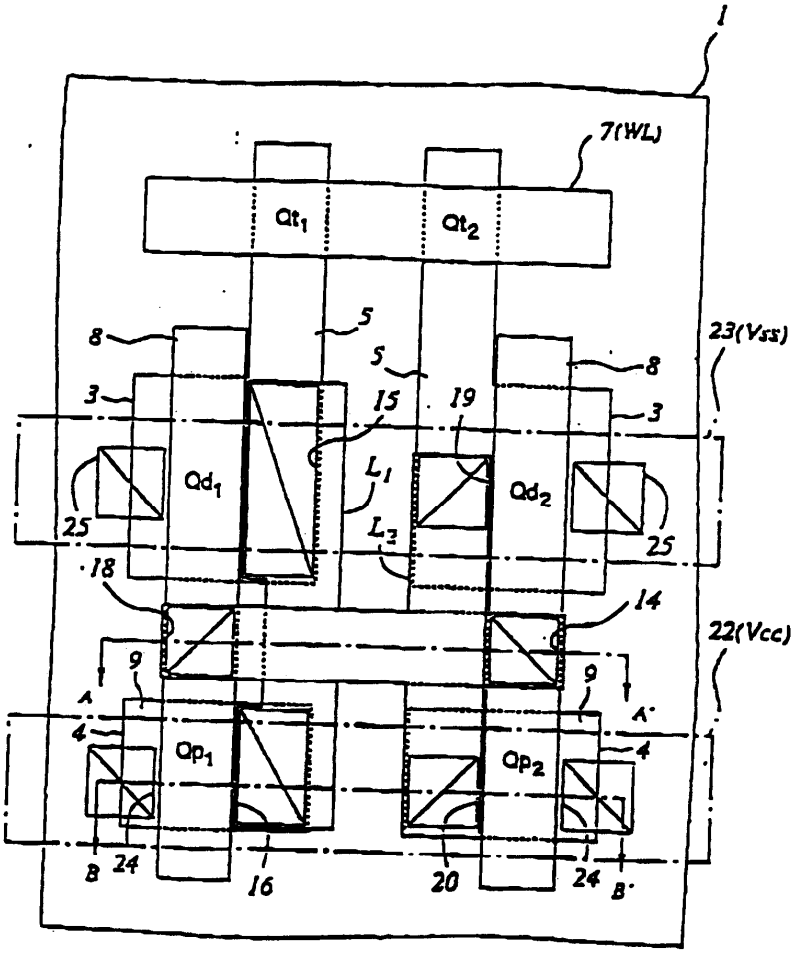
도면28


21
18
29
$L_2$
17
11
13
$L_1$
14
11
8
8
6
A
2
A'
1

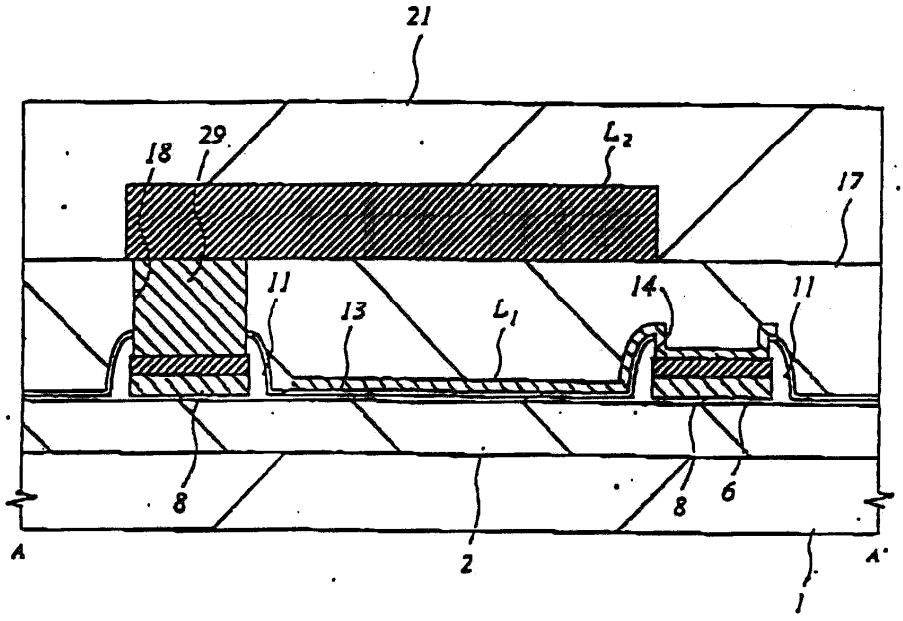
도면29


21
24
24
17
20
$L_2$
29
12
11
$L_1$
13
12
11
$Qp_1$
$Qp_2$
6
8
6
8
B
10
9
9
10
16
2
4
10
9
9
10
B'
1

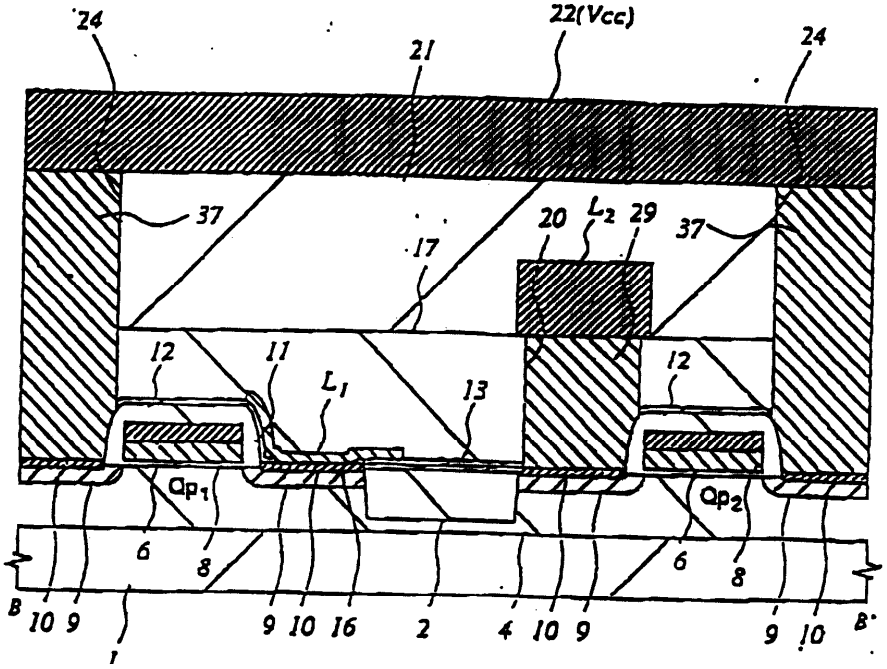
도면30


1
7(WL)
Qt1
Qt2
5
8
23(Vss)
3
15
19
Qd1
Qd2
L1
L3
25
18
14
22(Vcc)
9
A
A'
4
Qp1
Qp2
B
24
16
20
B'

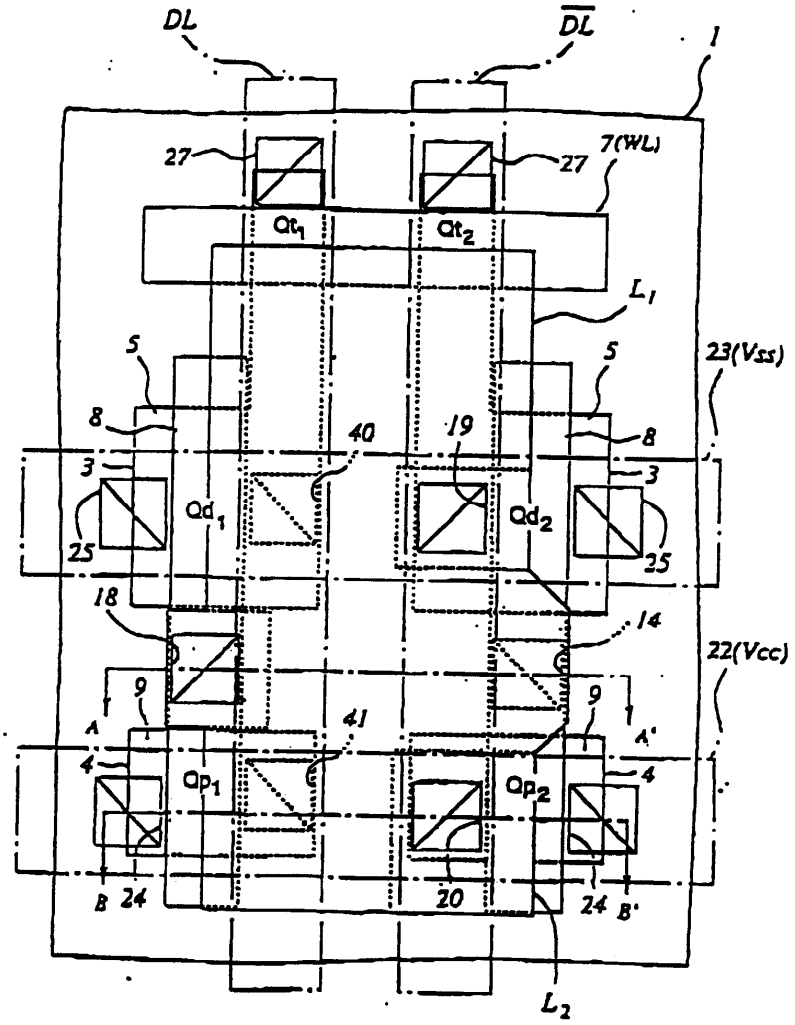
도면31


21
18
29
L2
17
11
13
L1
14
8
6
A
2
A'
1

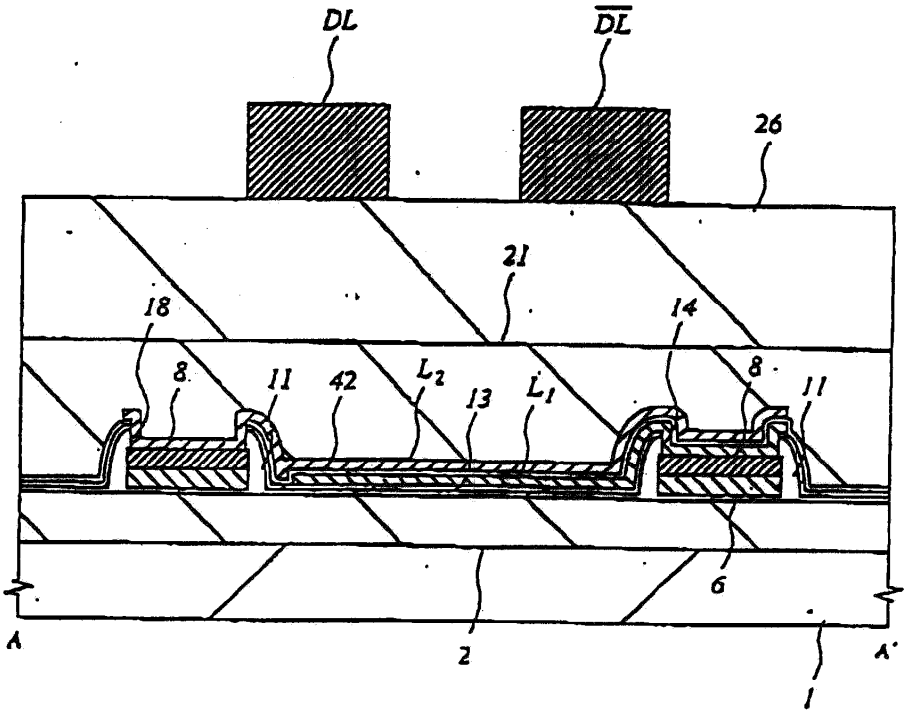
도면32


24
21
22(Vcc)
24
37
17
20
$L_2$
29
37
12
11
$L_1$
13
12
$Qp_1$
$Qp_2$
6
8
6
8
B
10
9
9
10
16
2
4
10
9
9
10
B'
1

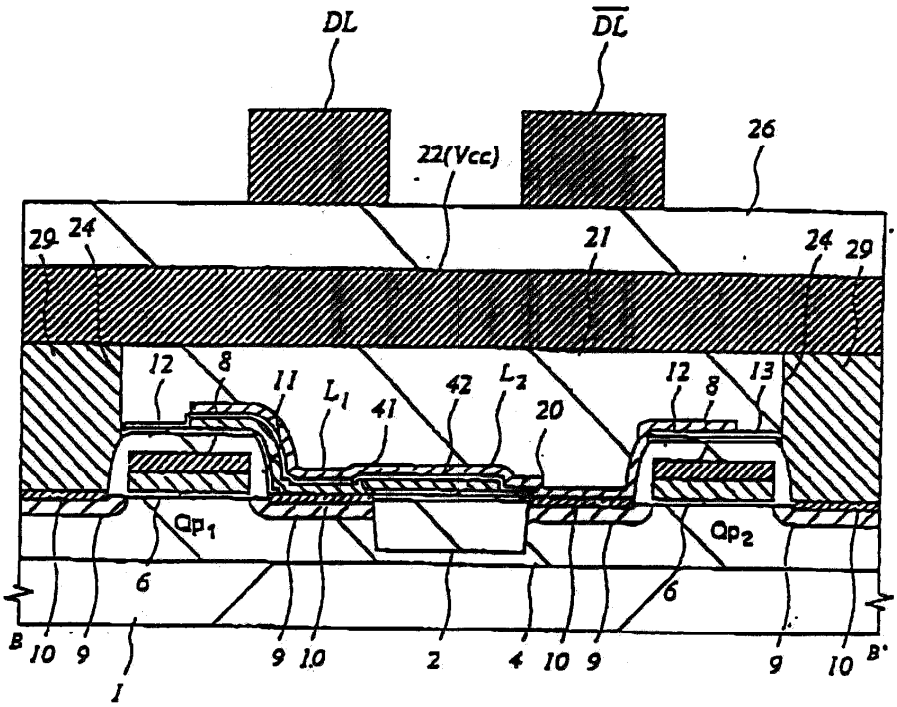
도면33


DL
$\overline{DL}$
1
27
27
7(WL)
$Qt_1$
$Qt_2$
$L_1$
5
5
23(Vss)
8
40
19
8
3
3
$Qd_1$
$Qd_2$
25
25
18
14
22(Vcc)
9
9
A
A'
41
4
4
$Qp_1$
$Qp_2$
B
24
20
24
B'
$L_2$

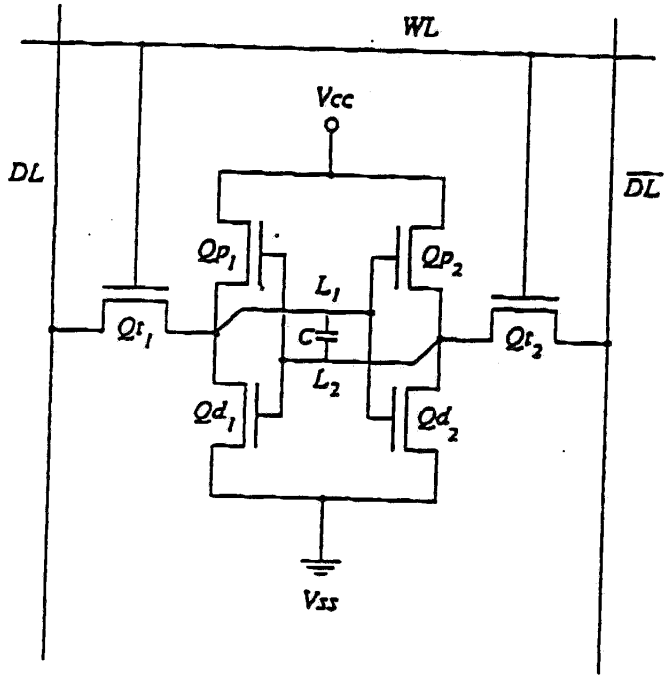
도면34


DL
DL
26
21
18
14
8
11
42
L2
13
L1
8
11
6
A
2
1
A'

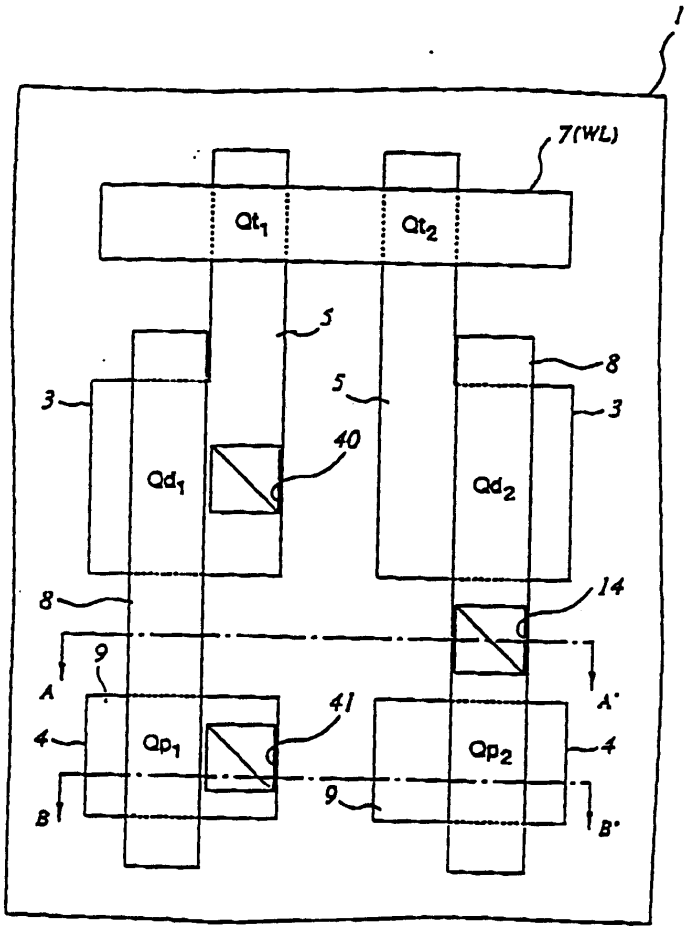
도면35


DL
DL
22(Vcc)
26
29
24
21
24
29
12
8
11
L1
41
42
L2
20
12
8
13
Qp1
Qp2
6
6
B
10
9
1
9
10
2
4
10
9
9
10
B'

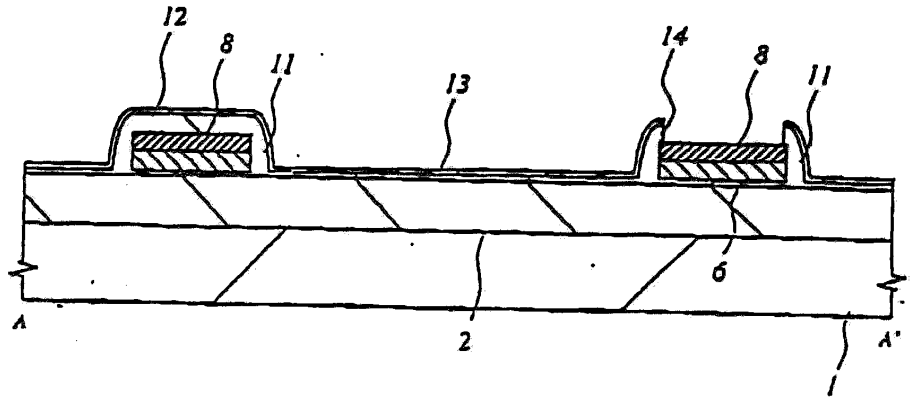
도면36


WL
Vcc
DL
$\overline{DL}$
$Qp_1$
$Qp_2$
$L_1$
C
$L_2$
$Qt_1$
$Qt_2$
$Qd_1$
$Qd_2$
Vss

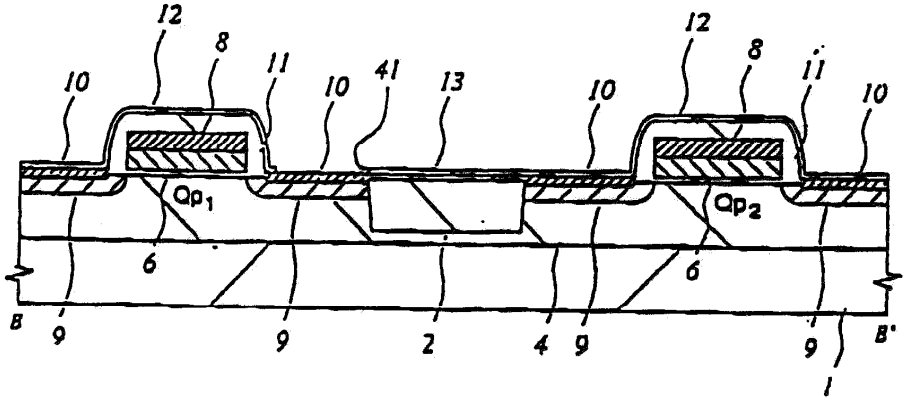
도면37


1
7(WL)
$Qt_1$
$Qt_2$
5
8
3
5
3
40
$Qd_1$
$Qd_2$
14
8
9
A
A'
41
4
$Qp_1$
$Qp_2$
4
B
9
B'

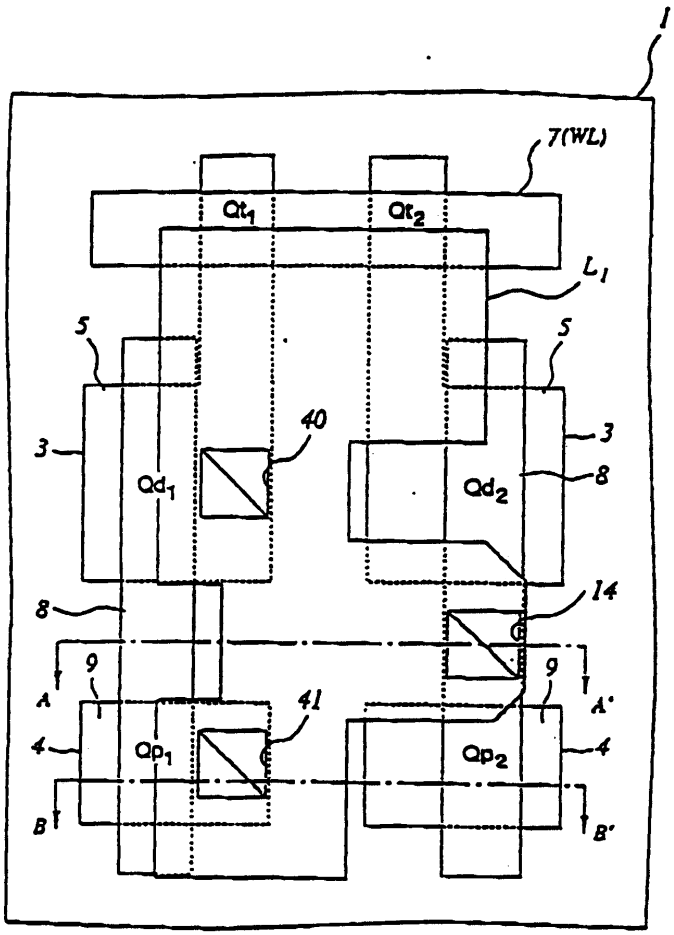
도면38a


12
8
11
13
14
8
11
6
A
2
A'
1

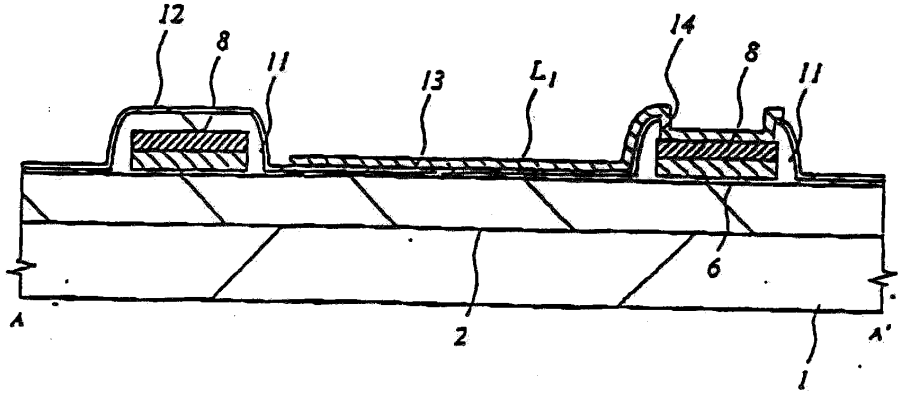
도면38b


12
8
11
10
41
13
10
12
8
11
10
Qp1
Qp2
6
6
B
9
9
2
4
9
9
B'
1

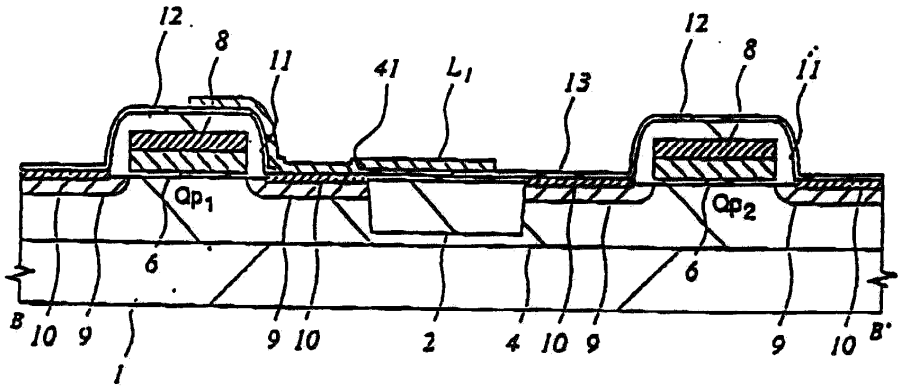
도면39



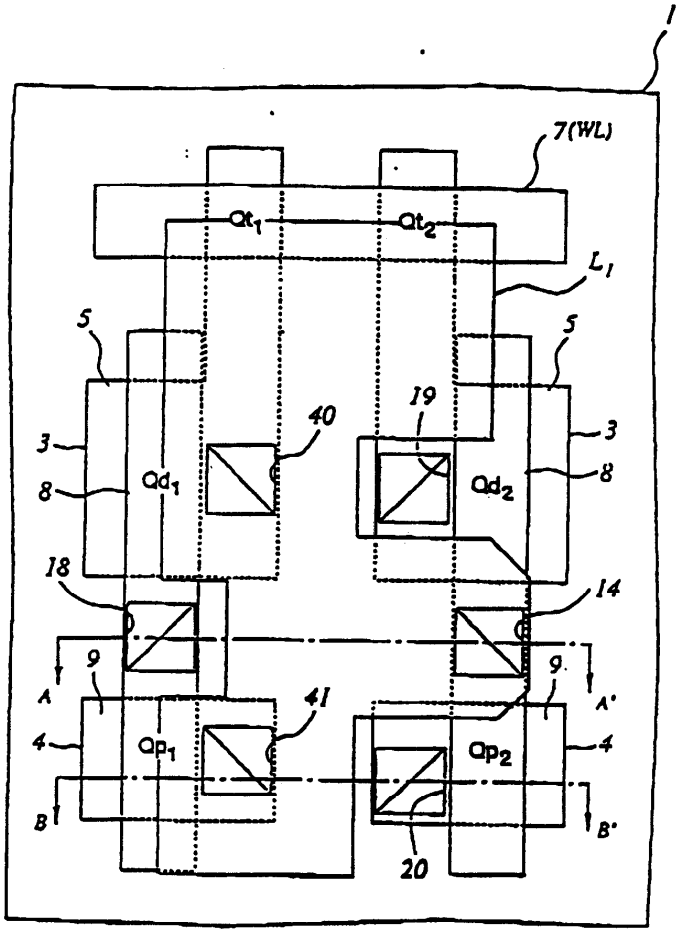

도면40a



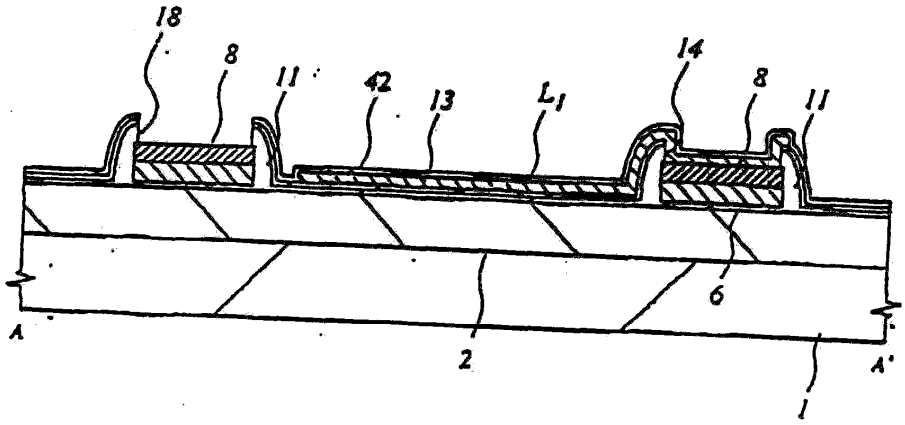

도면40b



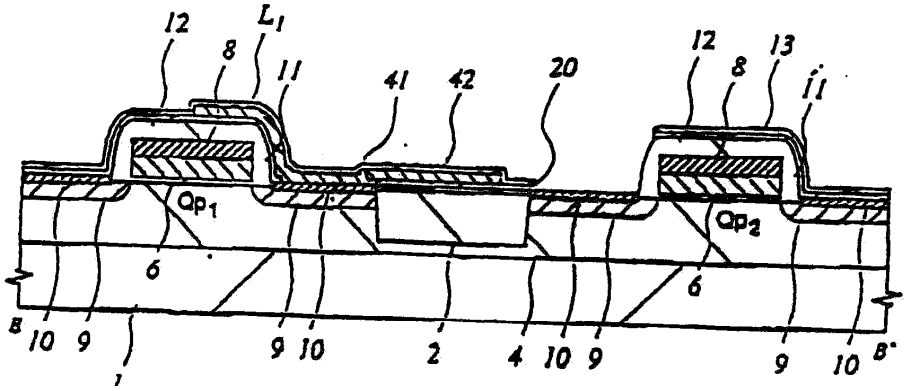
도면41


1
7(WL)
Qt1
Qt2
L1
5
5
3
3
40
19
8
Qd1
Qd2
8
18
14
9
9
A
A'
41
4
Qp1
Qp2
4
B
B'
20

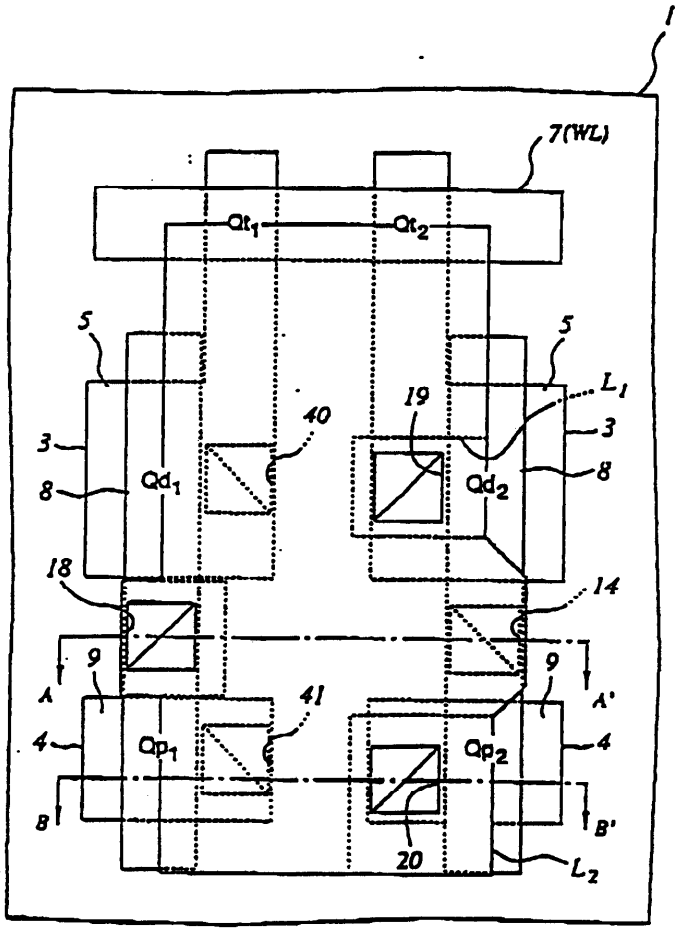
도면42a


18
8
11
42
13
L1
14
8
11
6
A
2
A'
1

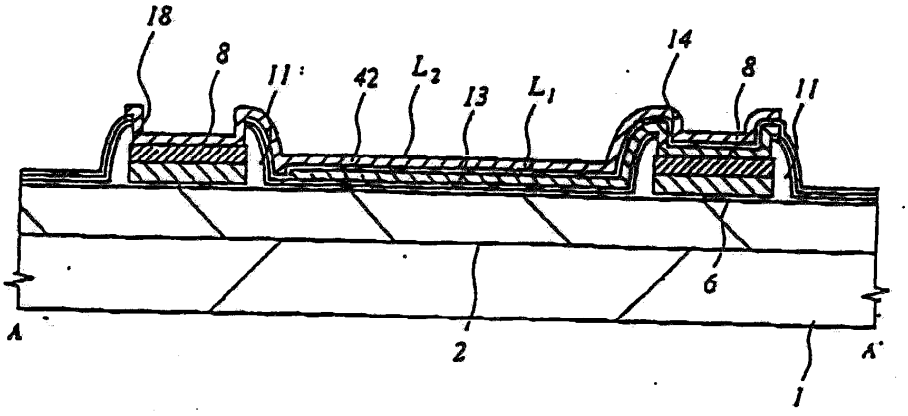
도면42b



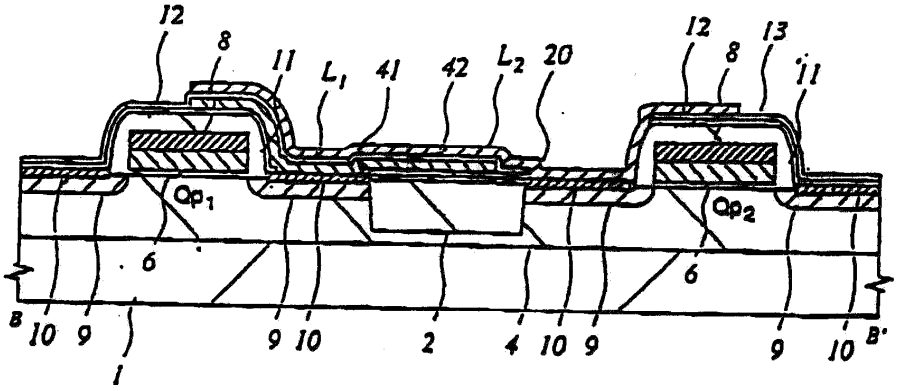

도면43



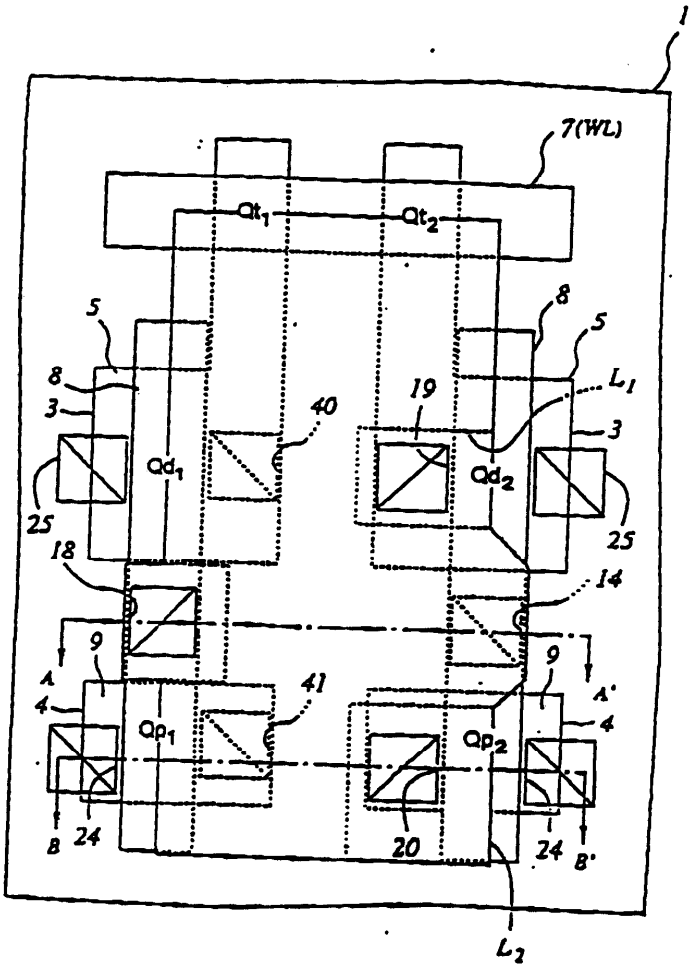

도면44a



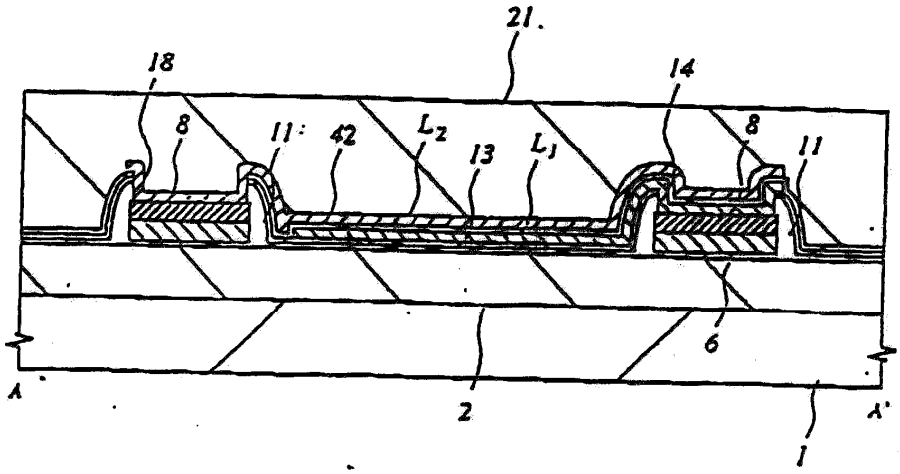
도면44b


12
8
11
$L_1$
41
42
$L_2$
20
12
8
13
11
$Qp_1$
$Qp_2$
6
6
B
10
9
1
9
10
2
4
10
9
9
10
B'

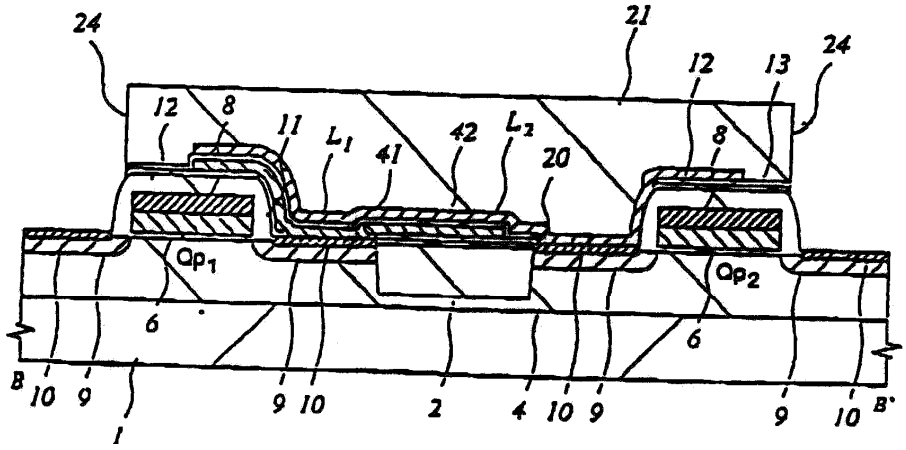
도면45


1
7(WL)
$Qt_1$
$Qt_2$
5
8
8
5
$L_1$
3
40
19
3
$Qd_1$
$Qd_2$
25
25
18
14
9
9
A
A'
4
41
4
$Qp_1$
$Qp_2$
B
24
20
24
B'
$L_2$

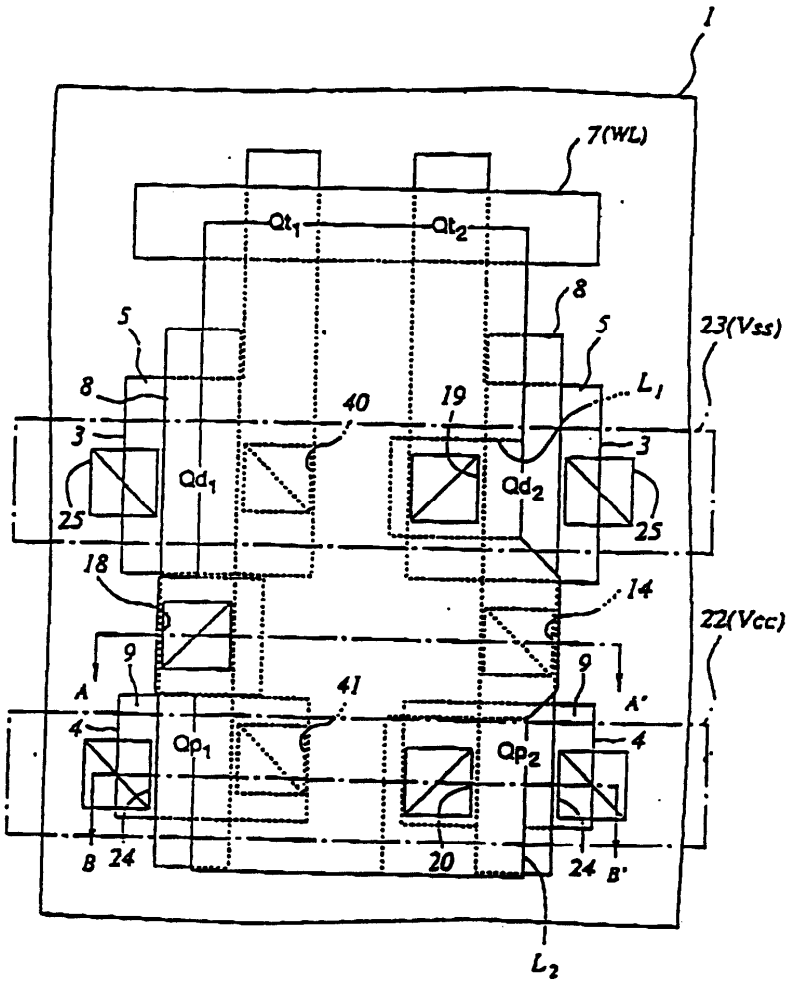
도면46a


21
18
14
8
11
42
$L_2$
13
$L_1$
8
11
6
A
2
A'
1

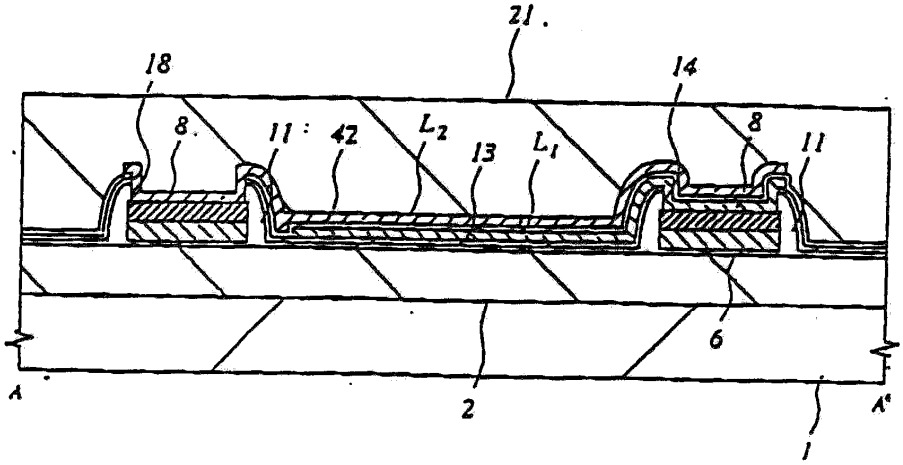
도면46b


24
21
12
13
24
12
8
11
$L_1$
41
42
$L_2$
20
8
$Qp_1$
$Qp_2$
6
6
B
10
9
9
10
2
4
10
9
9
10
B'
1

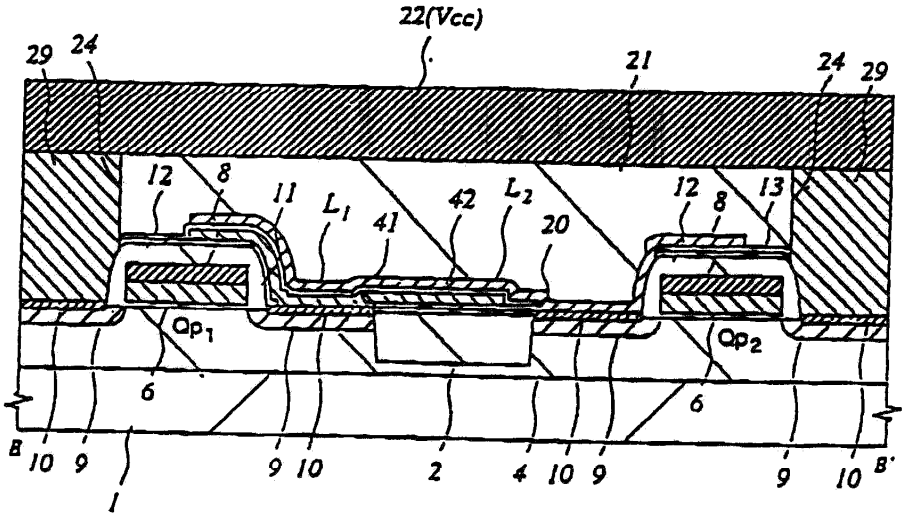
도면47


1
7(WL)
Qt1
Qt2
8
5
23(Vss)
L1
40
19
3
Qd1
Qd2
25
18
14
22(Vcc)
9
A
A'
41
4
Qp1
Qp2
B
24
20
B'
L2

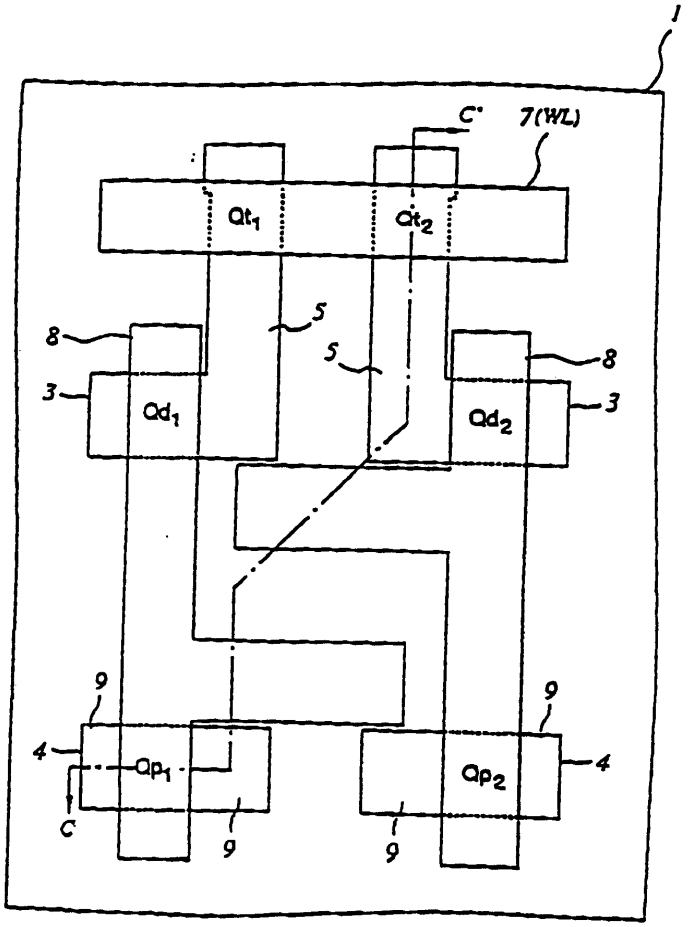
도면48a


21
18
14
8
11
42
L2
13
L1
6
A
2
A'
1

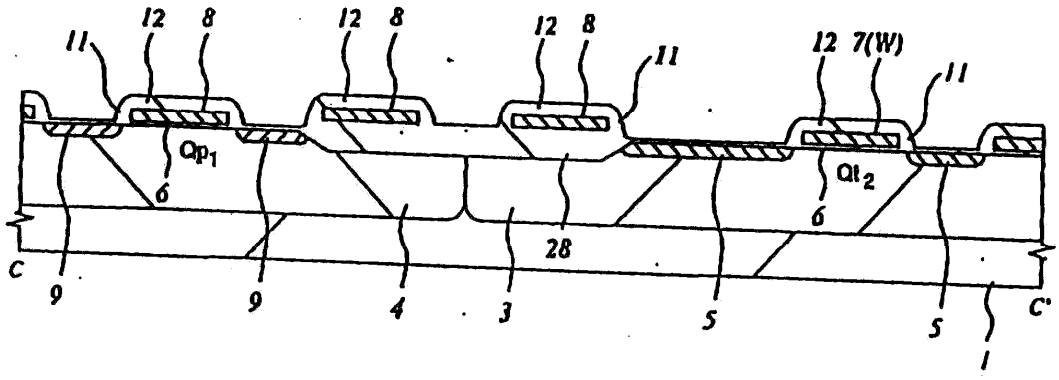
도면48b


22(Vcc)
29
24
21
24
29
12
8
11
$L_1$
41
42
$L_2$
20
12
8
13
$Qp_1$
$Qp_2$
6
6
B
10
9
9
10
2
4
10
9
9
10
B'
1

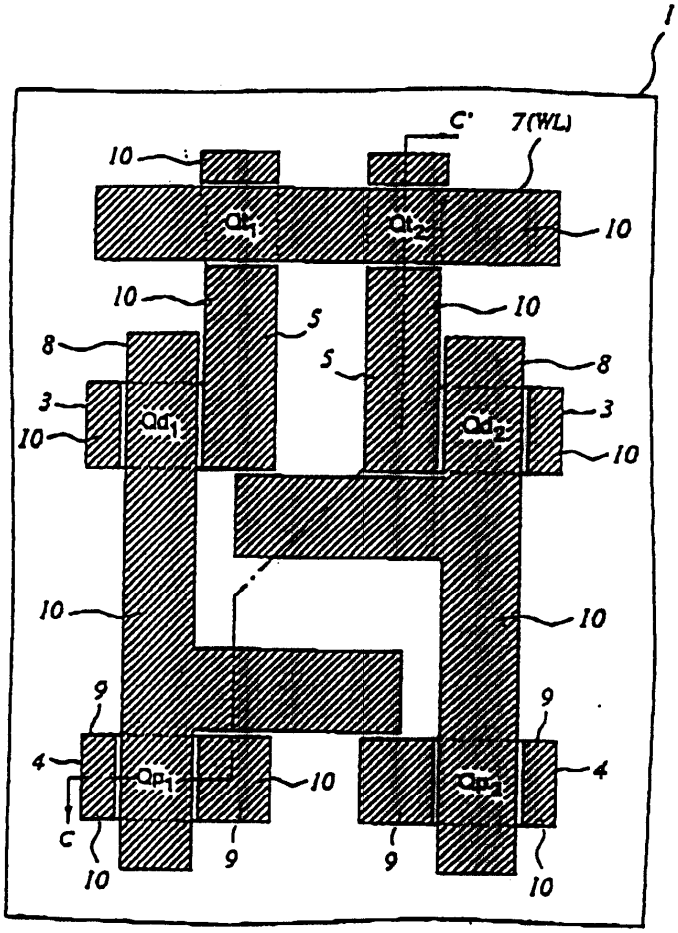
도면49


1
C'
7(WL)
$Qt_1$
$Qt_2$
8
5
5
8
3
$Qd_1$
$Qd_2$
3
9
9
4
$Qp_1$
$Qp_2$
4
C
9
9

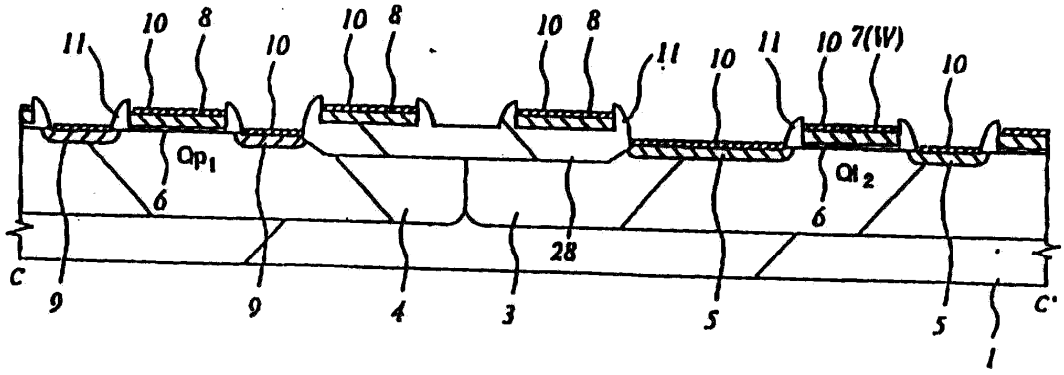
도면50



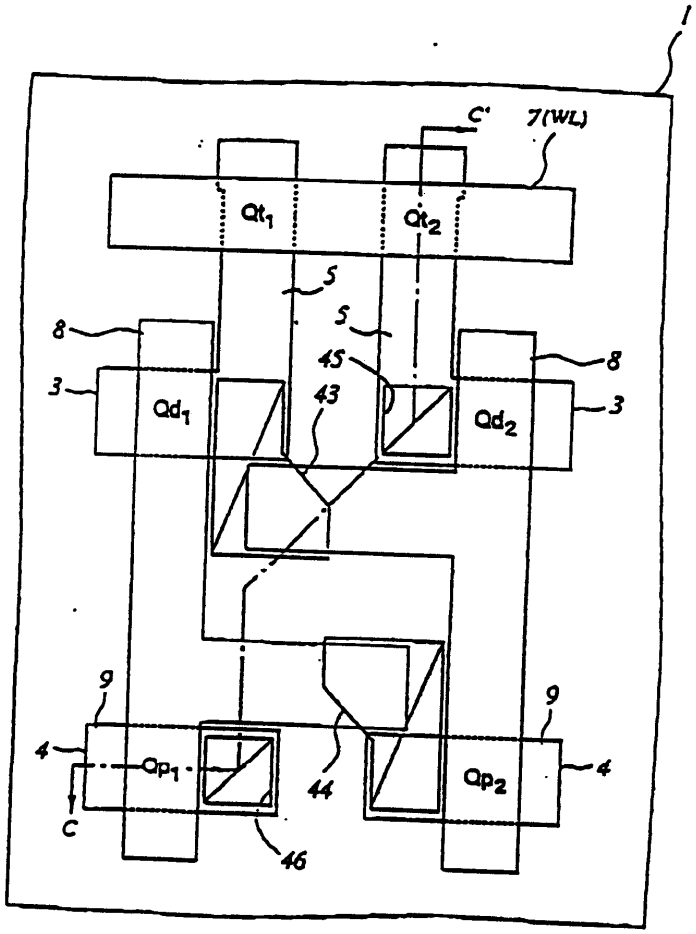

도면51



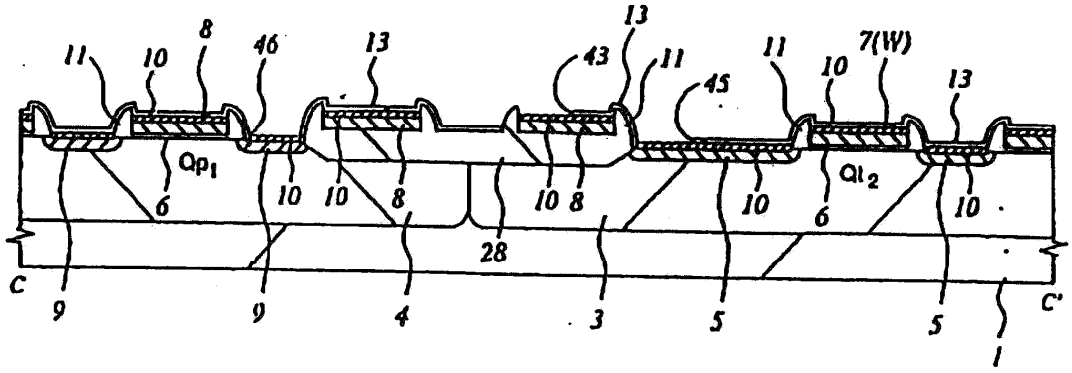

도면52



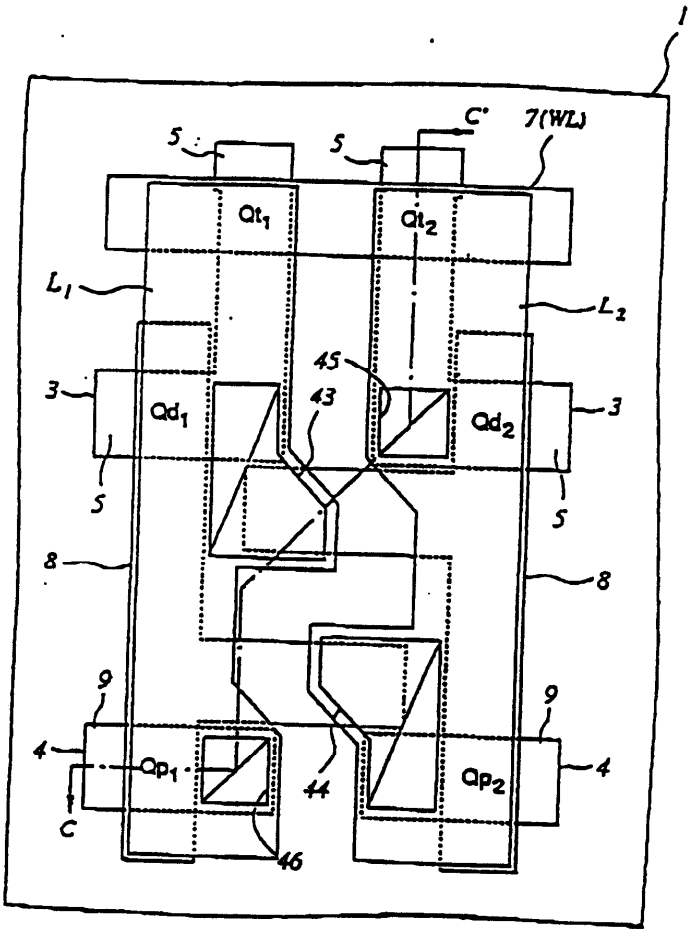
도면53


1
C'
7(WL)
Qt1
Qt2
5
5
8
8
45
3
Qd1
43
Qd2
3
9
9
4
Qp1
44
Qp2
4
C
46

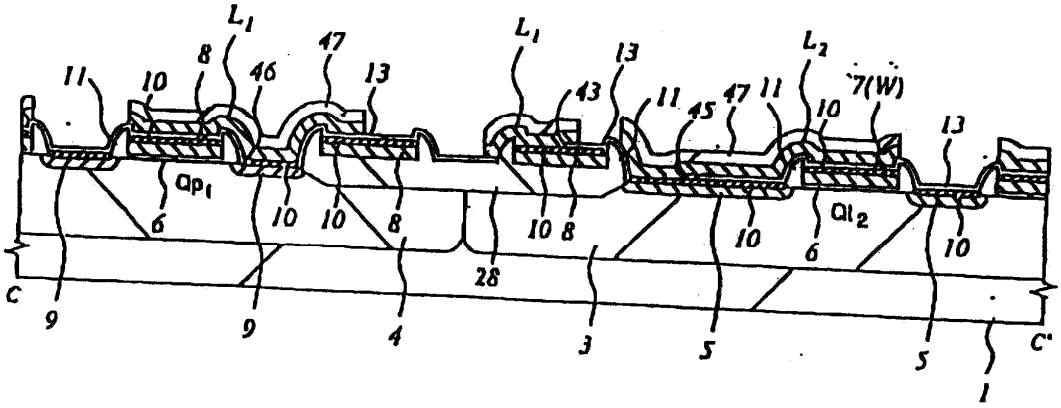
도면54


13
8
11
10
46
13
43
11
11
10
7(W)
45
13
Qp1
Qt2
6
10
10
8
10
8
10
6
10
28
C
9
9
4
3
5
5
C'
1

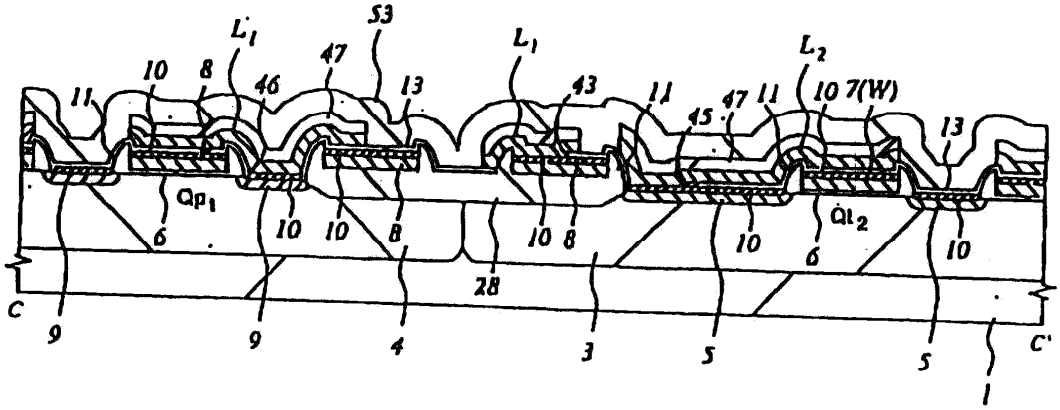
도면55


1
C'
7(WL)
5
5
Qt1
Qt2
L1
L2
45
3
Qd1
43
Qd2
3
5
5
8
8
9
9
4
Qp1
44
Qp2
4
C
46

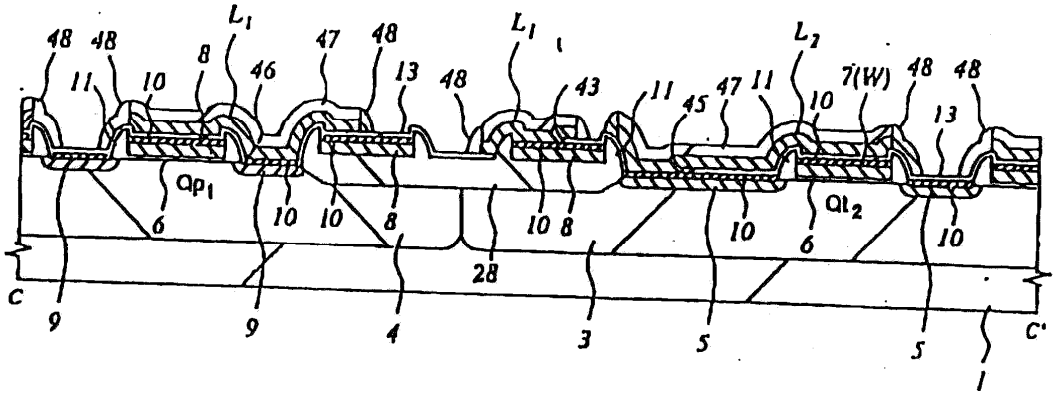
도면56


L1
L1
L2
11
10
8
46
47
13
43
13
11
45
47
11
10
7(W)
13
Qp1
6
10
10
8
10
8
28
10
6
Qt2
10
C
9
9
4
3
5
5
C'
1

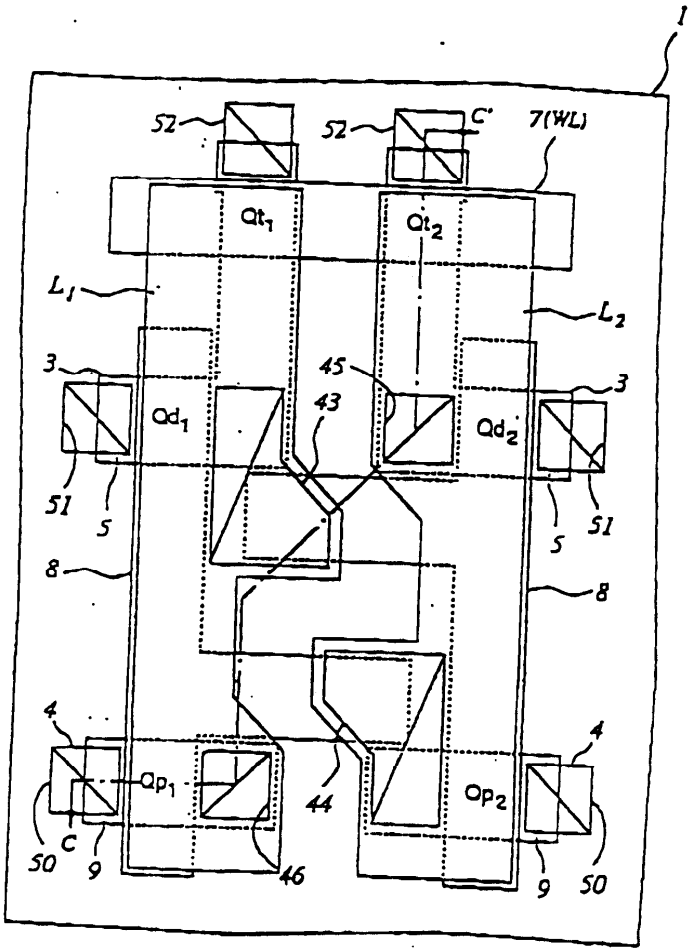
도면57


L1
53
L1
L2
10
8
46
47
13
43
11
45
47
11
10
7(W)
13
Qp1
Qt2
6
10
10
8
10
8
10
6
10
28
C
C'
9
9
4
3
5
5
1

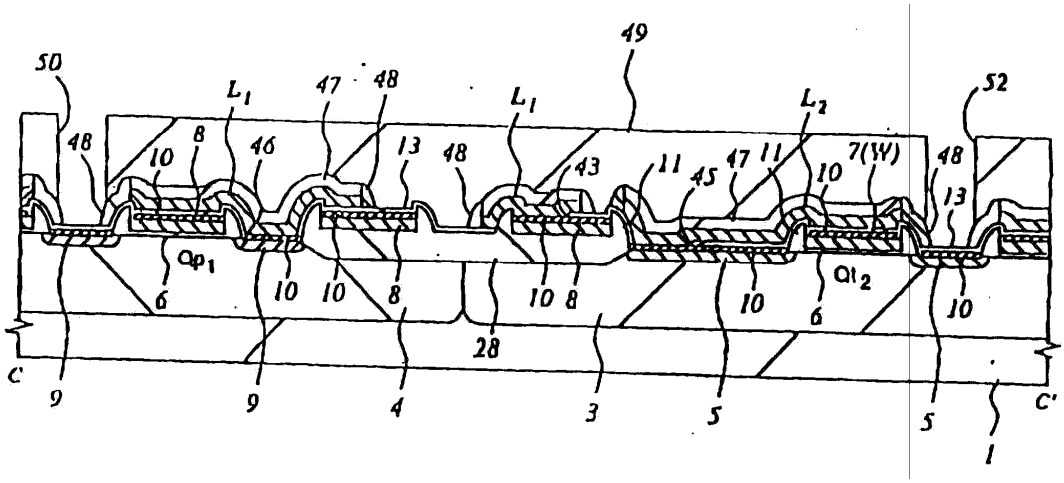
도면58


L1
L1
L2
48
48
47
48
48
48
11
10
8
46
13
43
11
45
47
11
10
7(W)
48
48
13
Qp1
Qt2
6
10
10
8
10
8
10
6
10
28
C
C'
9
9
4
3
5
5
1

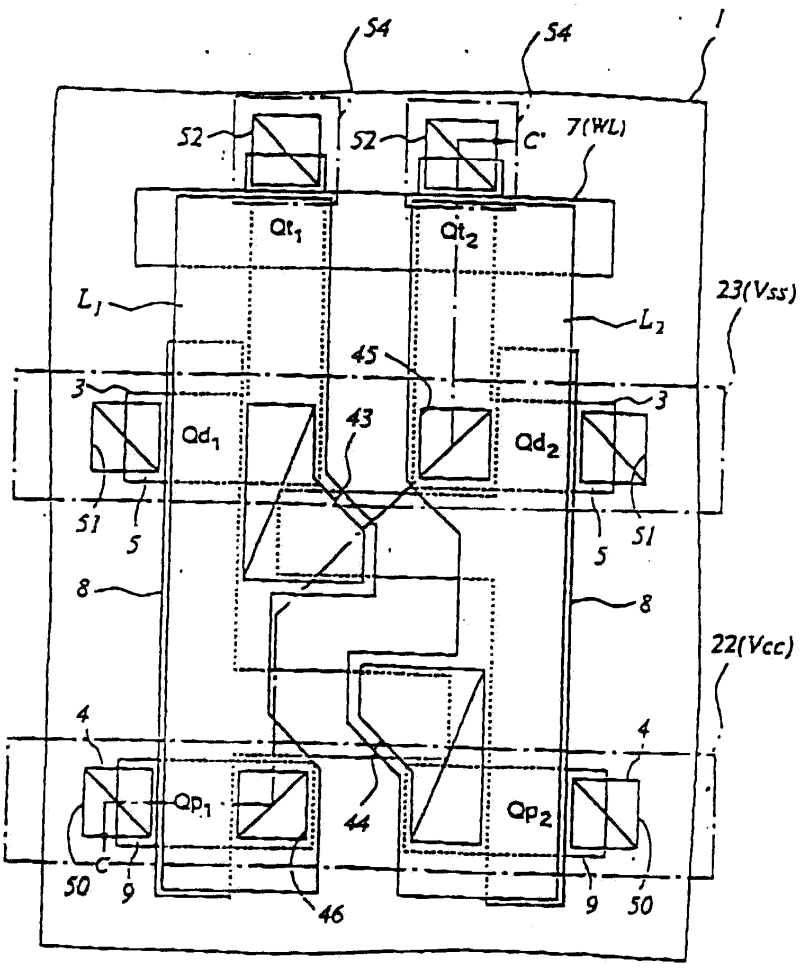
도면59


1
52
52
C'
7(WL)
Qt1
Qt2
L1
L2
3
45
3
Qd1
43
Qd2
51
5
5
51
8
8
4
4
Qp1
44
Qp2
C
50
9
46
9
50

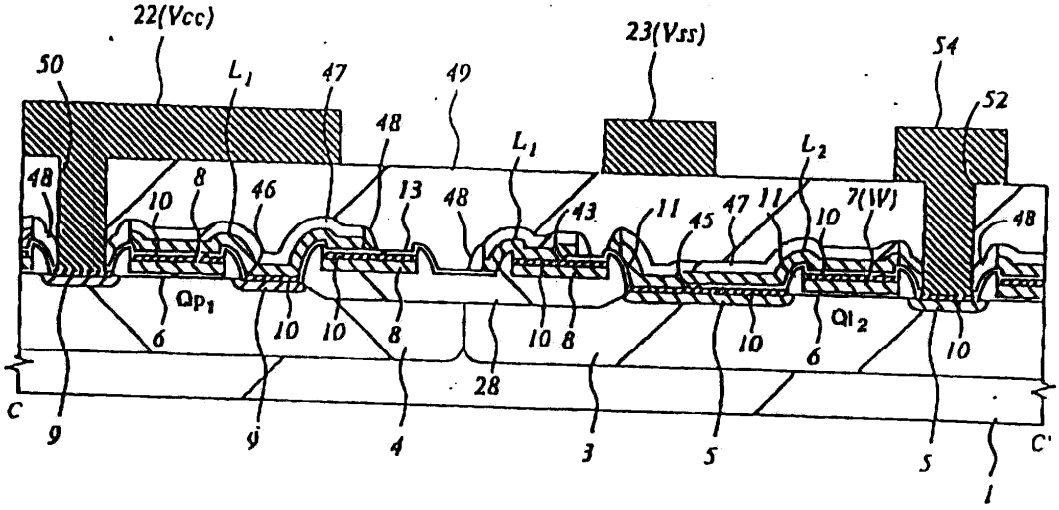
도면60


50
49
52
L1
47
48
L1
L2
48
10
8
46
13
48
43
11
45
47
11
10
7(W)
48
13
Qp1
Qt2
6
10
10
8
10
8
10
6
10
28
C
9
9
4
3
5
5
C'
1

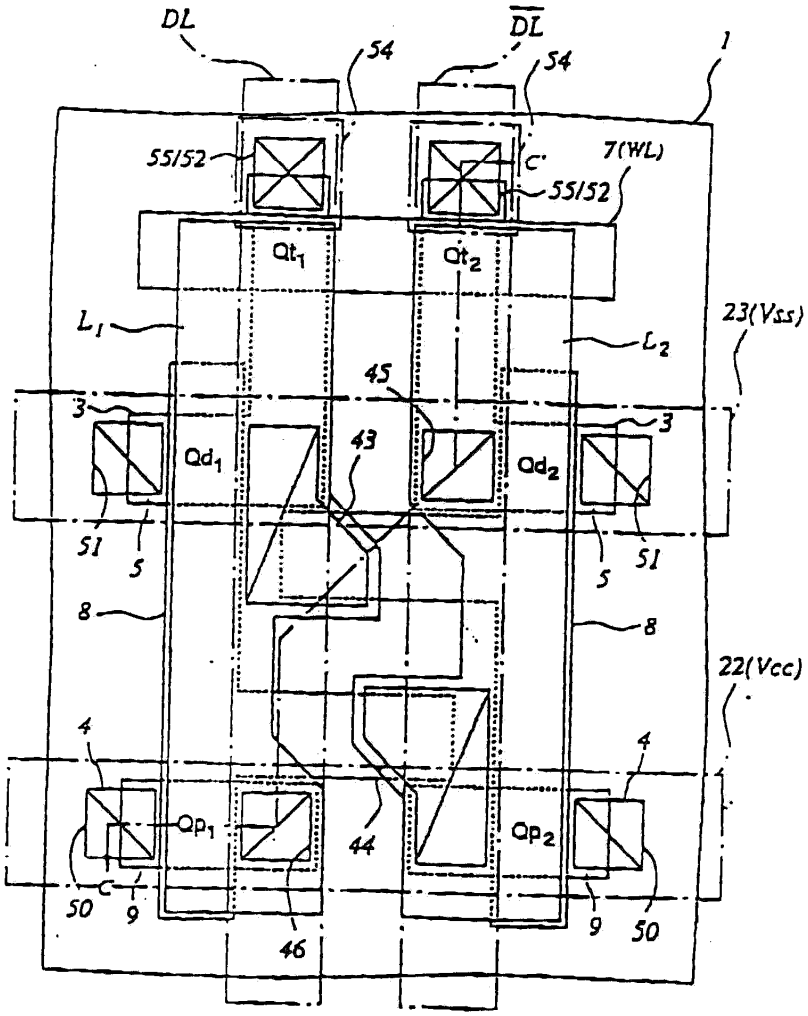
도면61


54
54
1
52
52
C'
7(WL)
Qt1
Qt2
L1
L2
23(Vss)
45
3
3
Qd1
43
Qd2
51
5
5
51
8
8
22(Vcc)
4
4
Qp1
Qp2
44
C
50
9
9
50
46

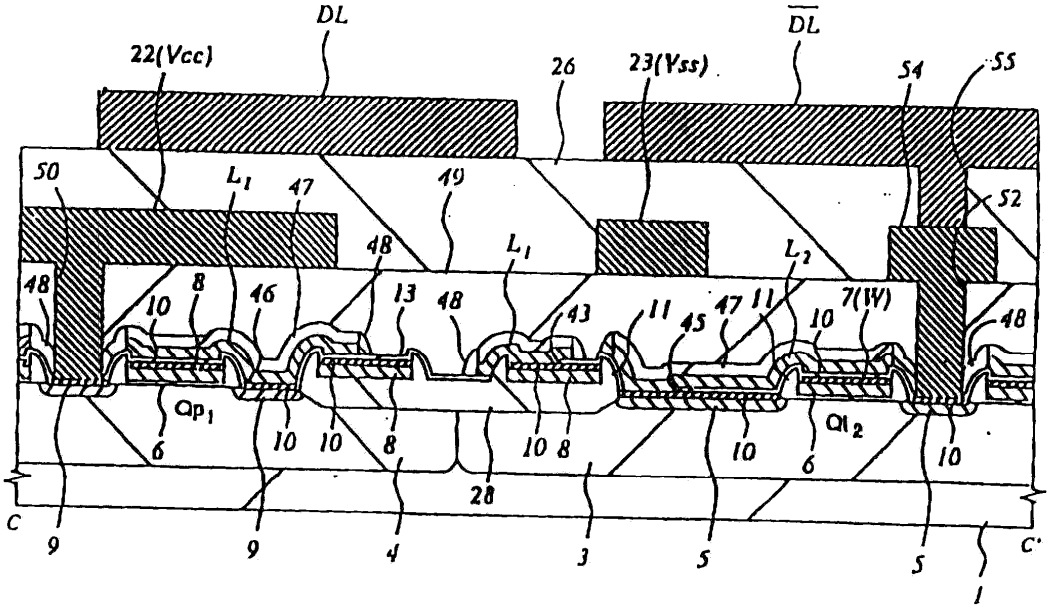
도면62


22(Vcc)
23(Vss)
54
50
L1
47
49
52
48
48
L1
L2
48
10
8
46
13
48
43
11
45
47
11
10
7(W)
48
Qp1
Qt2
6
10
10
8
10
8
10
6
10
C
9
9
4
28
3
5
5
C'
1

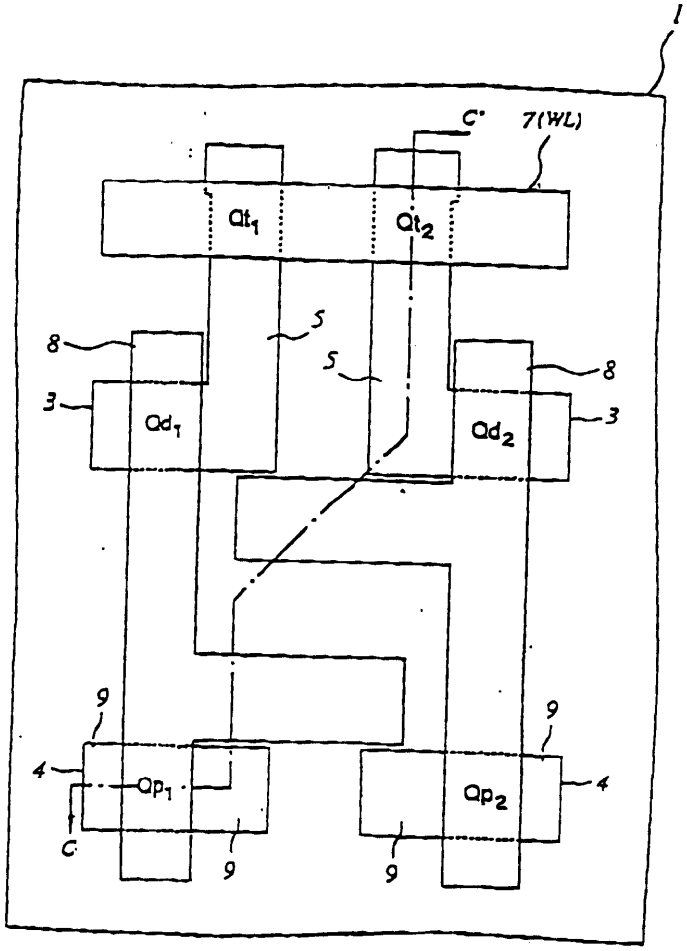
도면63


DL
DL
54
54
1
55/52
C
7(WL)
55/52
Qt1
Qt2
L1
L2
23(Vss)
45
3
3
Qd1
43
Qd2
51
5
5
51
8
8
22(Vcc)
4
4
Qp1
44
Qp2
C
50
9
9
50
46

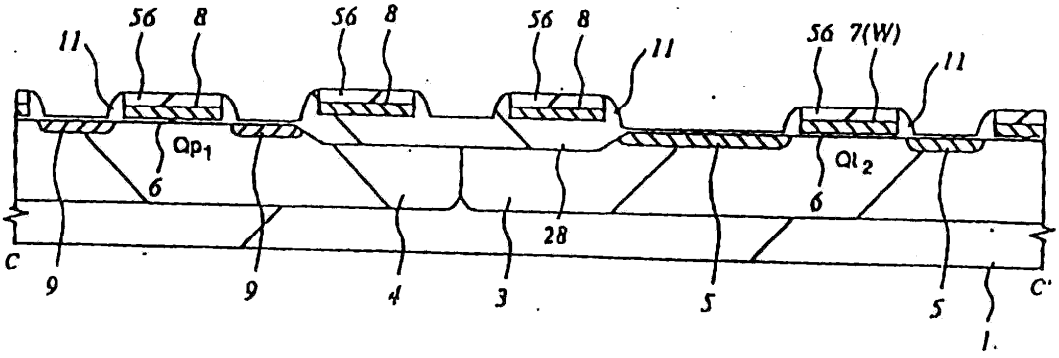
도면64


DL
22(Vcc)
26
23(Vss)
DL
54
55
50
L1
47
49
52
48
L1
L2
48
10
8
46
13
48
43
11
45
47
11
10
7(W)
48
Qp1
Qt2
6
10
10
8
10
8
10
6
10
28
C
9
9
4
3
5
5
C
1

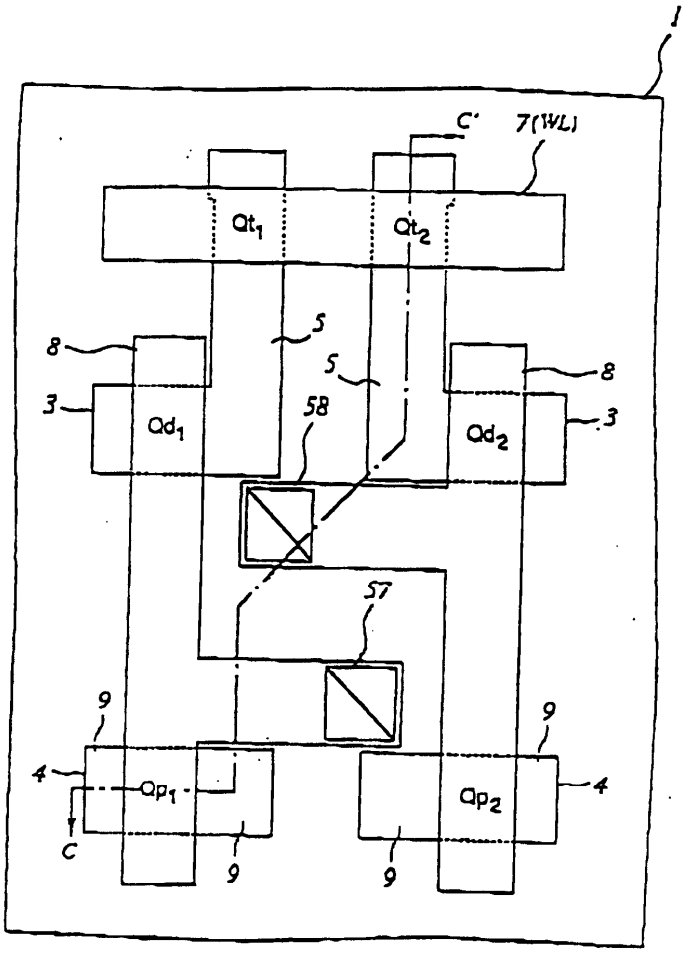
도면65


1
C'
7(WL)
Qt1
Qt2
8
5
5
8
3
Qd1
Qd2
3
9
9
4
Qp1
Qp2
4
C
9
9

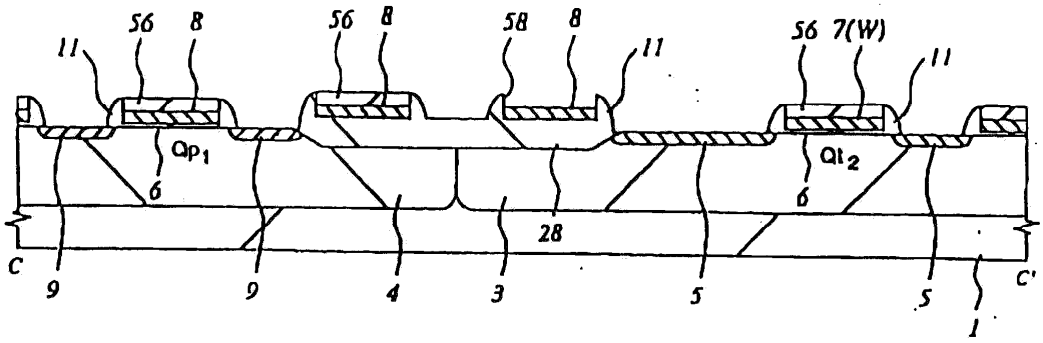
도면66


11
56
8
56
8
56
8
11
56
7(W)
11
Qp1
Qt2
6
6
28
C
9
9
4
3
5
5
C'
1

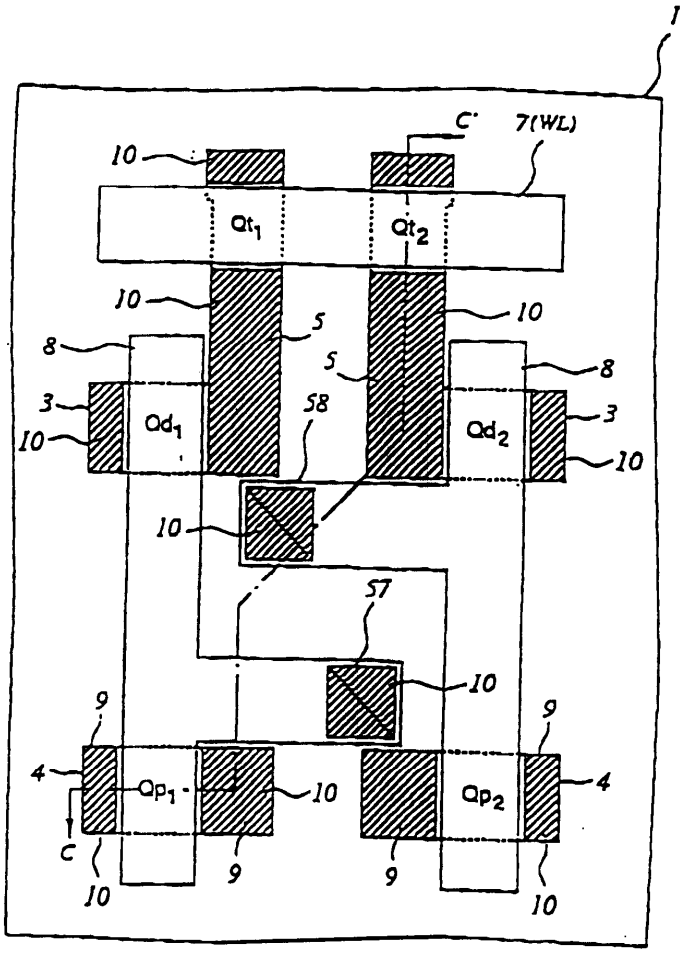
도면67


1
C'
7(WL)
Qt1
Qt2
8
5
5
8
3
Qd1
58
Qd2
3
57
9
9
4
Qp1
Qp2
4
C
9
9
9

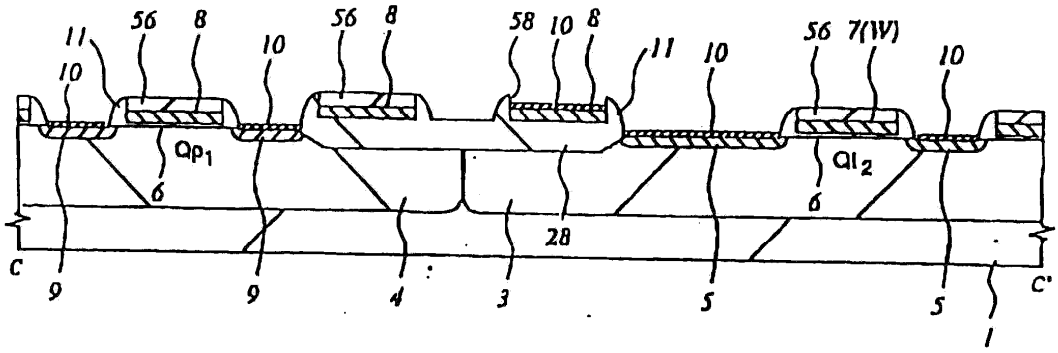
도면68


56
8
56
8
58
8
56
7(W)
11
11
11
Qp1
Qt2
6
6
28
C
C'
9
9
4
3
5
5
1

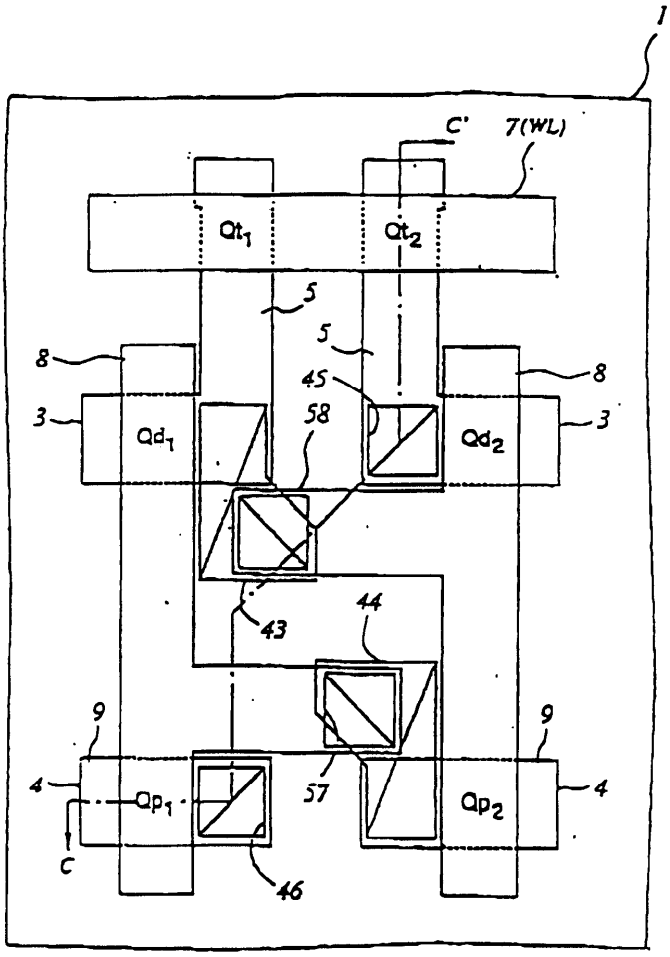
도면69


1
C'
7(WL)
10
Qt1
Qt2
5
8
3
Qd1
58
Qd2
57
9
4
Qp1
Qp2
C

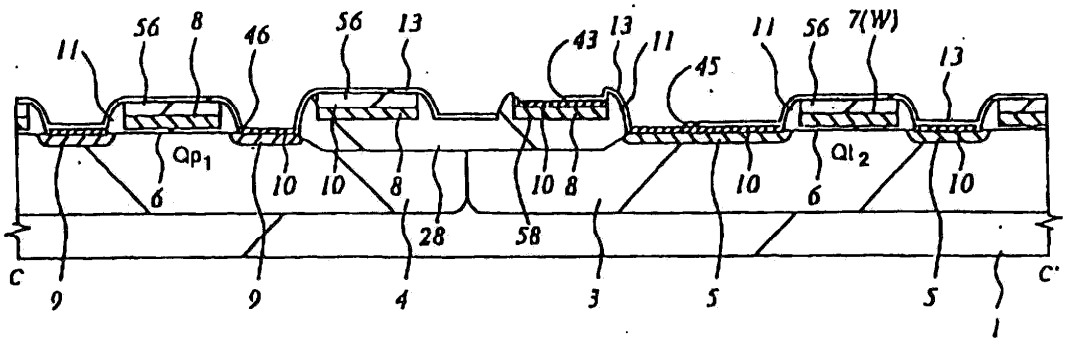
도면70


11
56
8
10
58
7(W)
Qp1
Ql2
6
28
C
C'
9
4
3
5
1

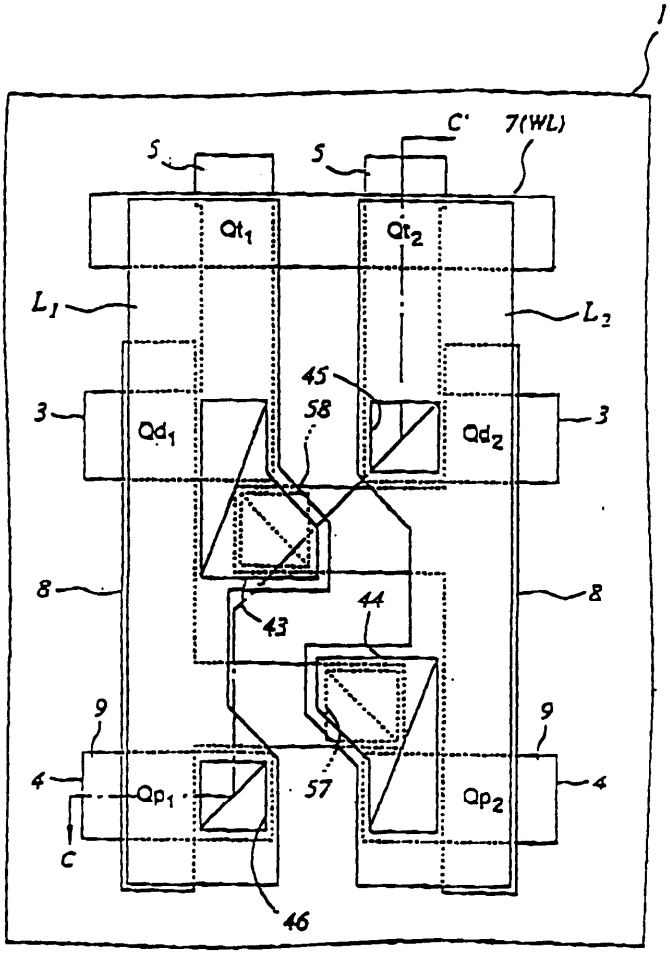
도면71


1
C'
7(WL)
Qt1
Qt2
5
5
8
8
45
3
Qd1
58
Qd2
3
43
44
9
9
4
Qp1
57
Qp2
4
C
46

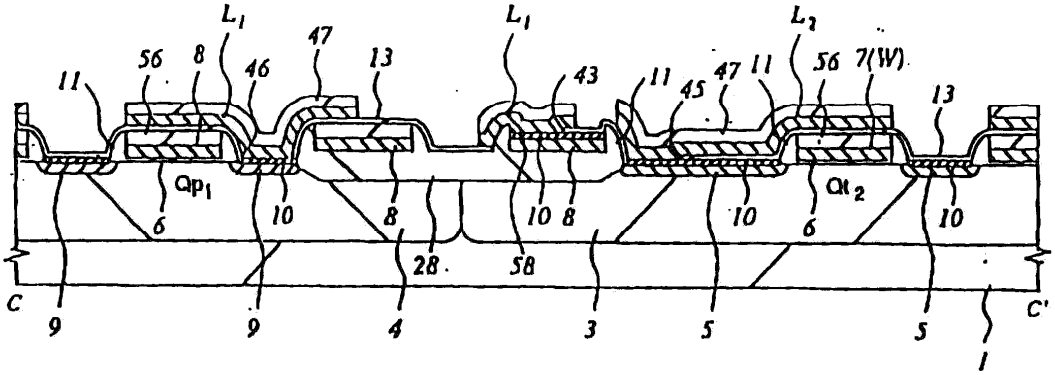
도면72


11
56
8
46
56
13
43
13
11
45
11
56
7(W)
13
Qp1
Qt2
6
10
10
8
28
58
10
8
10
6
10
C
C'
9
9
4
3
5
5
1

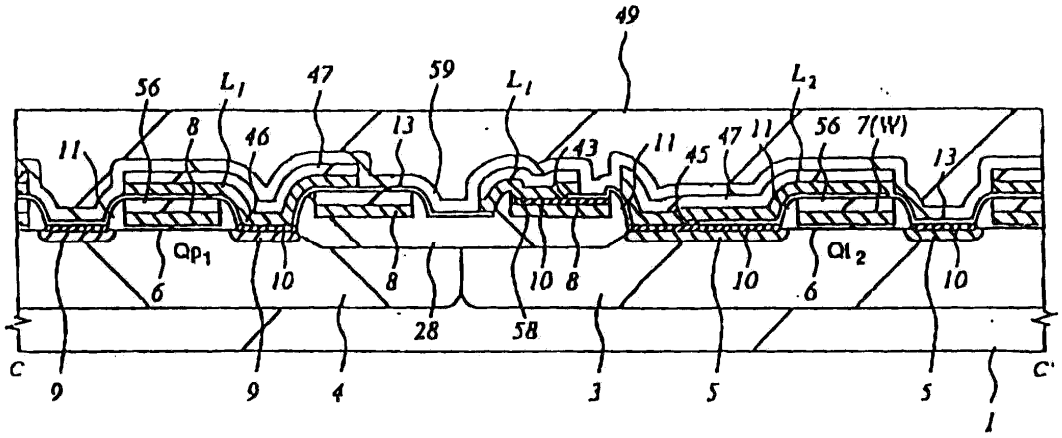
도면73


1
C'
7(WL)
5
5
Qt1
Qt2
L1
L2
45
58
3
Qd1
Qd2
3
8
8
43
44
9
9
4
Qp1
57
Qp2
4
C
46

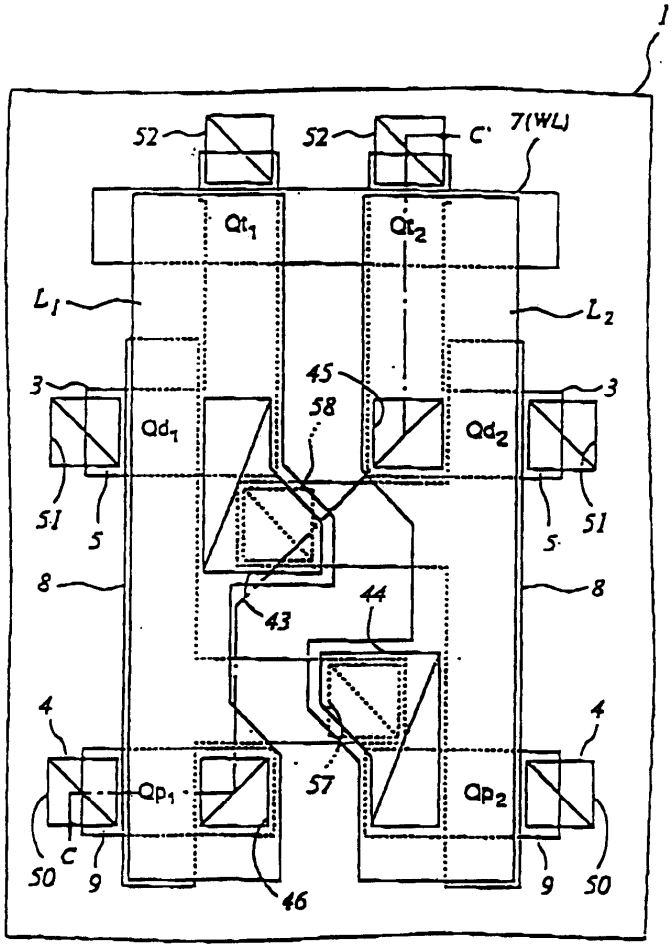
도면74


L1
L1
L2
56
8
46
47
13
43
11
45
47
11
56
7(W)
13
11
Qp1
Qt2
6
10
8
28
58
10
8
10
6
10
C
C'
9
9
4
3
5
5
1

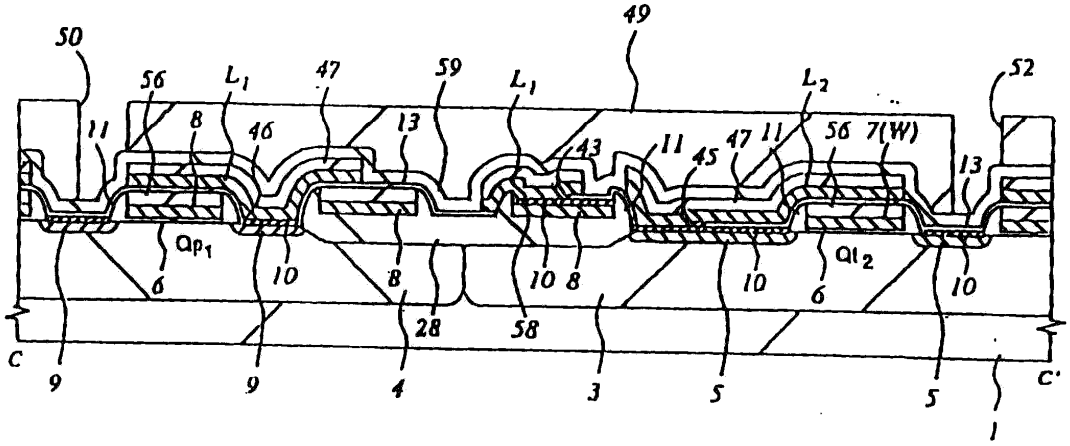
도면75


49
56
L1
47
59
L1
L2
11
8
46
13
43
11
45
47
11
56
7(W)
13
Qp1
Qt2
6
10
8
10
8
10
6
10
28
58
C
C'
9
9
4
3
5
5
1

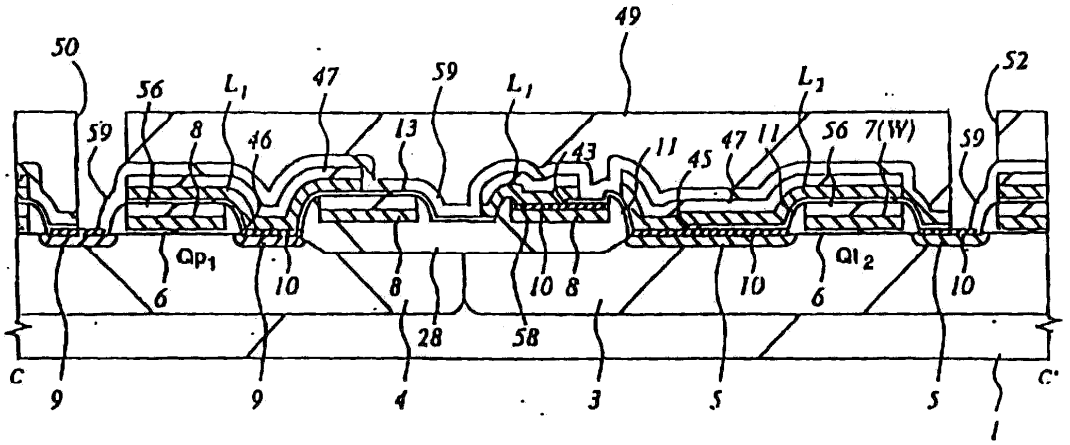
도면76


1
52
52
C'
7(WL)
Qt1
Qt2
L1
L2
3
45
58
3
Qd1
Qd2
51
5
5
51
8
44
8
43
4
4
Qp1
57
Qp2
50
C
9
9
50
46

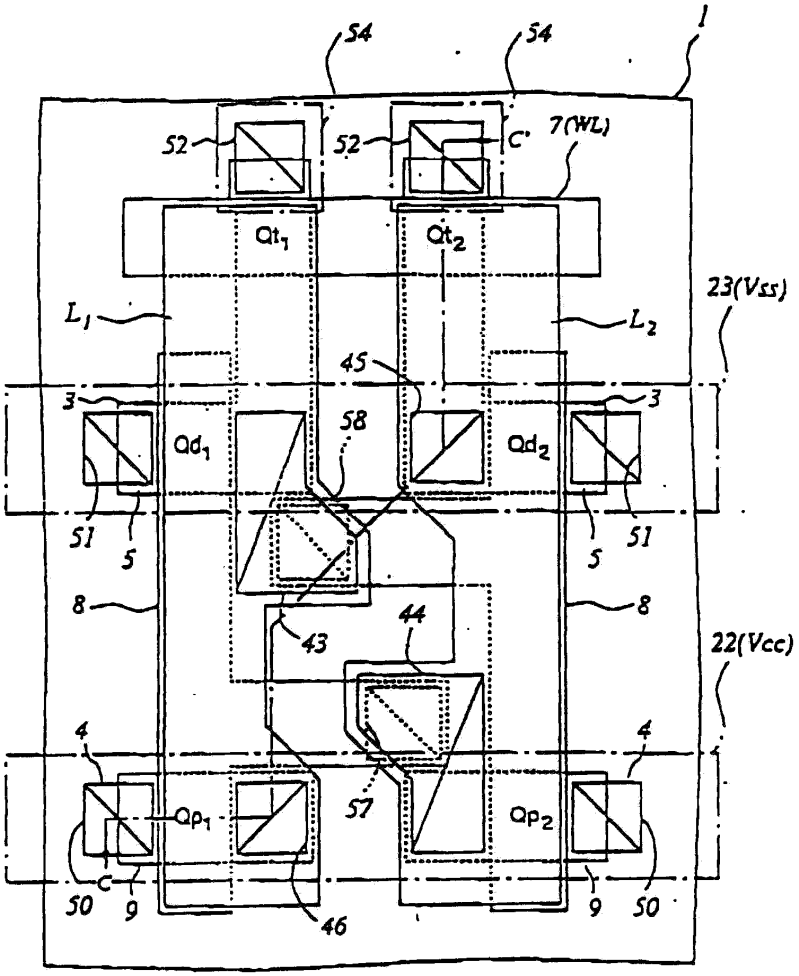
도면77


50
56
L1
47
59
L1
49
L2
52
11
8
46
13
43
11
45
47
11
56
7(W)
13
Qp1
Qt2
6
10
8
28
58
10
8
10
6
10
C
C'
9
9
4
3
5
5
1

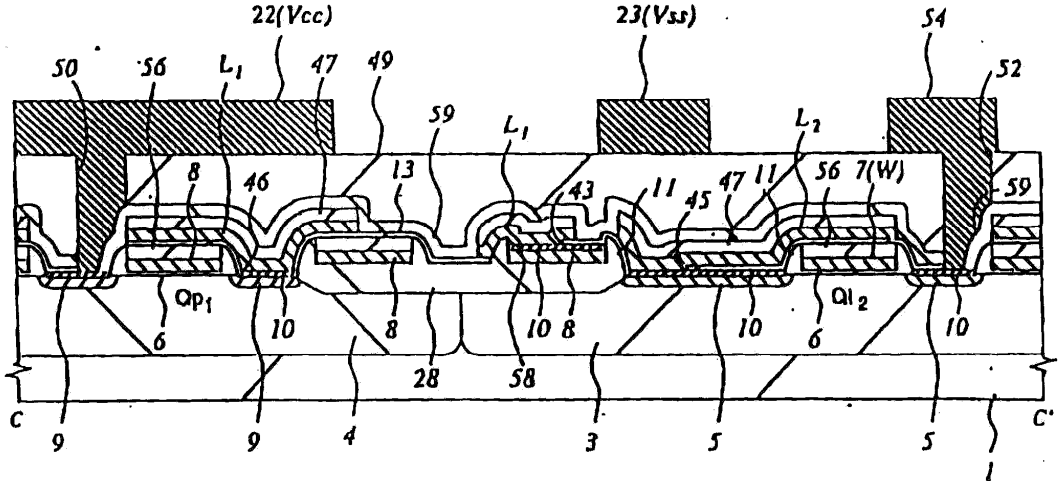
도면78


50
56
L1
47
59
L1
49
L1
52
59
8
46
13
43
11
45
47
11
56
7(W)
59
Qp1
Qt2
6
10
8
28
58
10
8
10
6
10
C
C'
9
9
4
3
5
5
1

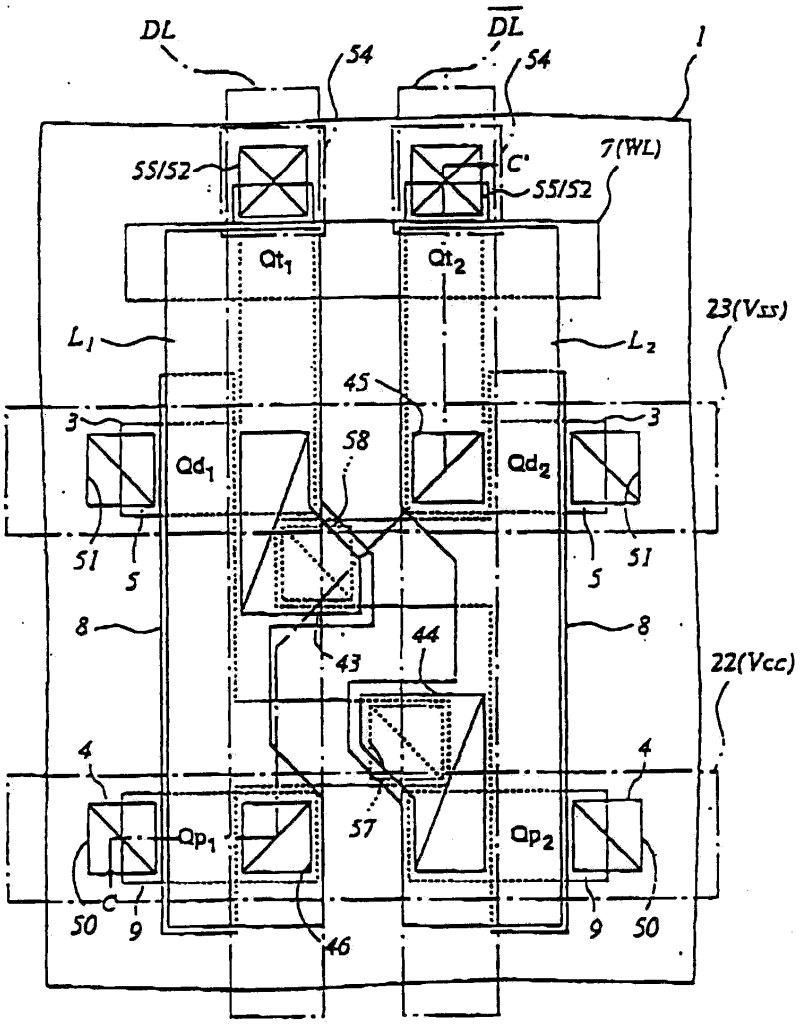
도면79


54
54
1
52
52
C'
7(WL)
Qt1
Qt2
23(Vss)
L1
L2
45
3
3
Qd1
58
Qd2
51
5
5
51
8
8
43
44
22(Vcc)
4
4
Qp1
57
Qp2
C
50
9
9
50
46

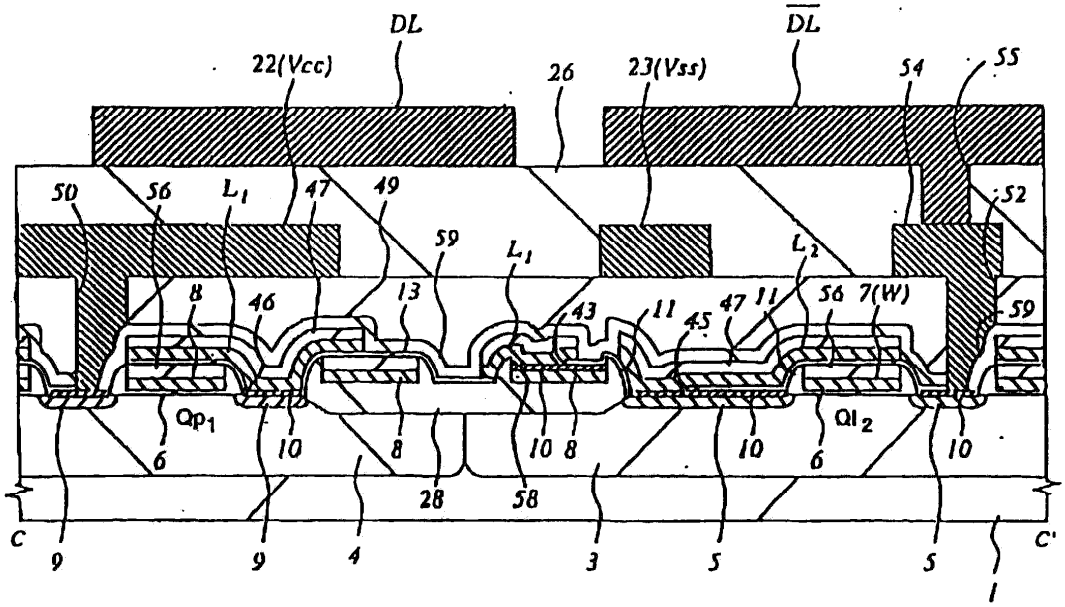
도면80


22(Vcc)
23(Vss)
54
50
56
L1
47
49
59
L1
L2
52
8
46
13
43
11
45
47
11
56
7(W)
59
Qp1
Qt2
6
10
8
10
8
10
6
10
28
58
C
C'
9
9
4
3
5
5
1

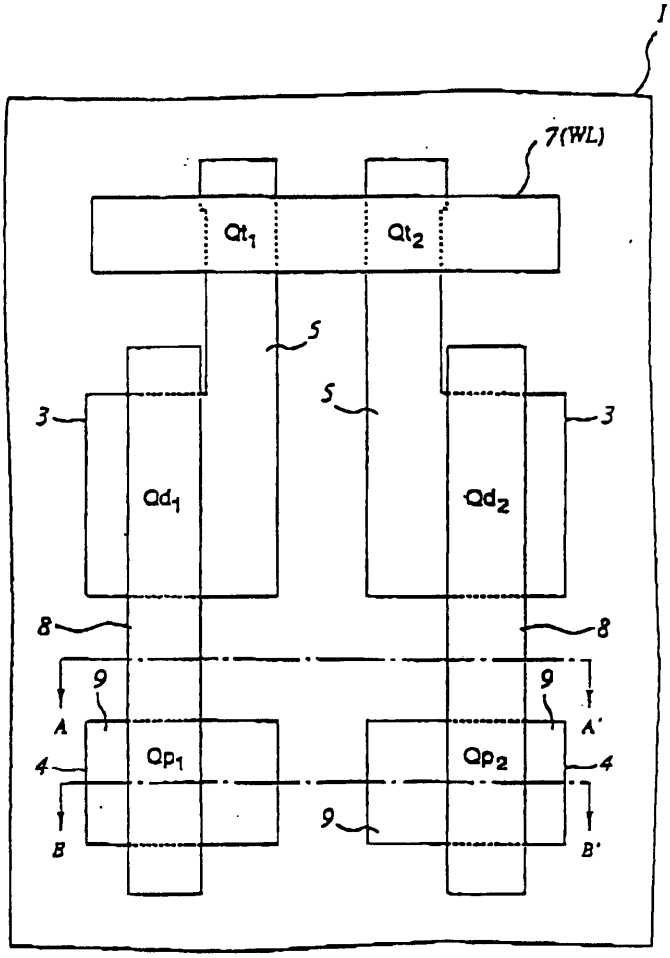
도면81


DL
DL
54
54
1
55/52
C
C'
55/52
7(WL)
Qt1
Qt2
23(Vss)
L1
L2
45
3
3
58
Qd1
Qd2
51
5
5
51
8
8
44
43
22(Vcc)
4
4
Qp1
57
Qp2
C
50
9
9
50
46

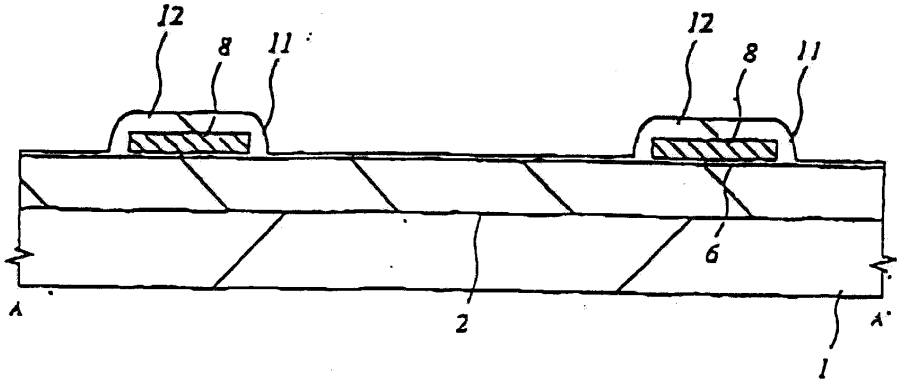
도면82


DL
DL
22(Vcc)
26
23(Vss)
54
55
50
56
L1
47
49
59
L1
L2
52
8
46
13
43
11
45
47
11
56
7(W)
59
Qp1
Qt2
6
10
8
10
8
10
6
10
28
58
C
C'
9
9
4
3
5
5
1

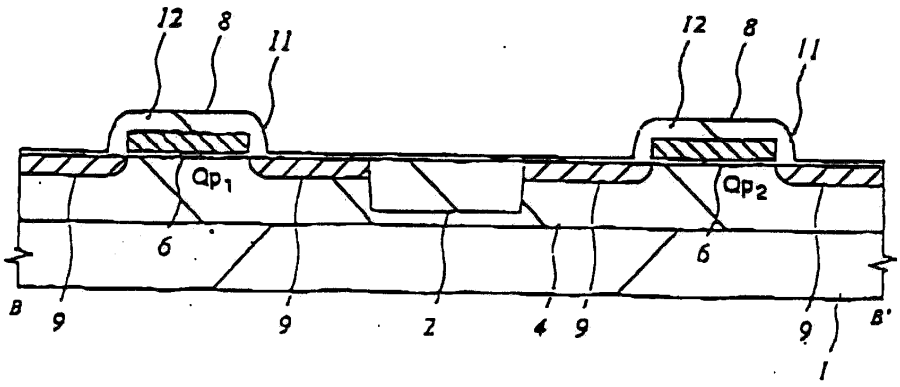
도면83


1
7(WL)
Qt1
Qt2
5
5
3
3
Qd1
Qd2
8
8
9
9
A
A'
4
Qp1
Qp2
4
9
B
B'

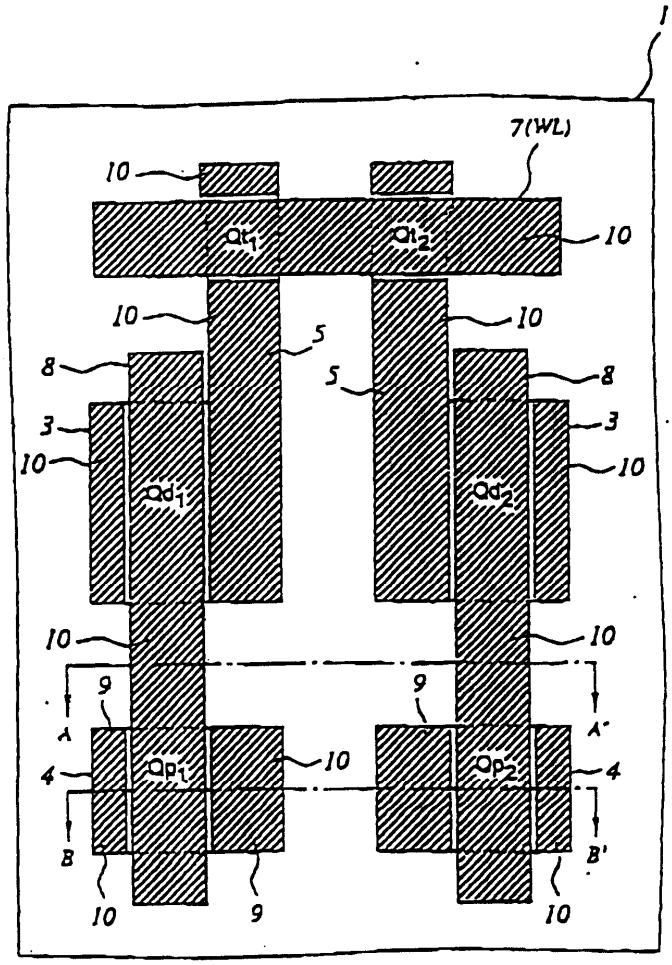
도면84a


12
8
11
12
8
11
6
A
2
A'
1

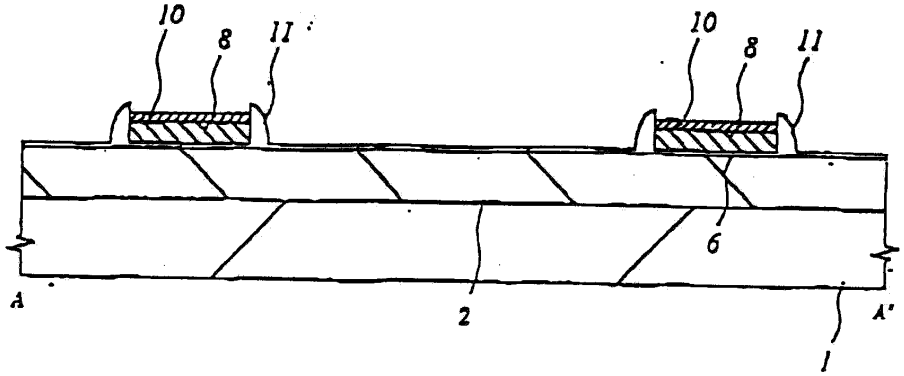
도면84b



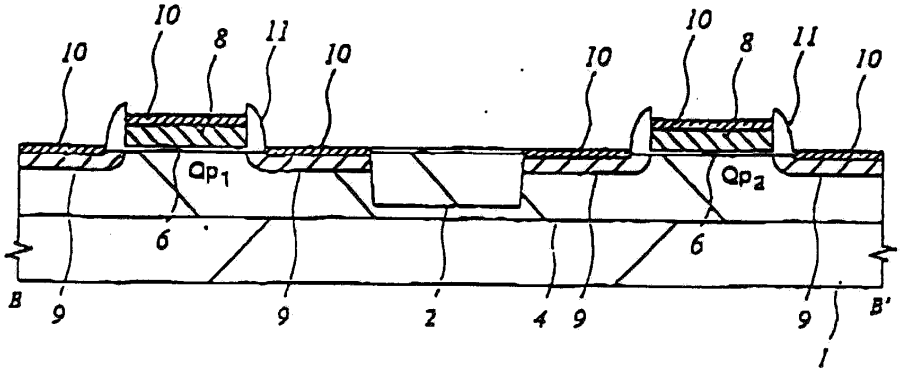

도면85



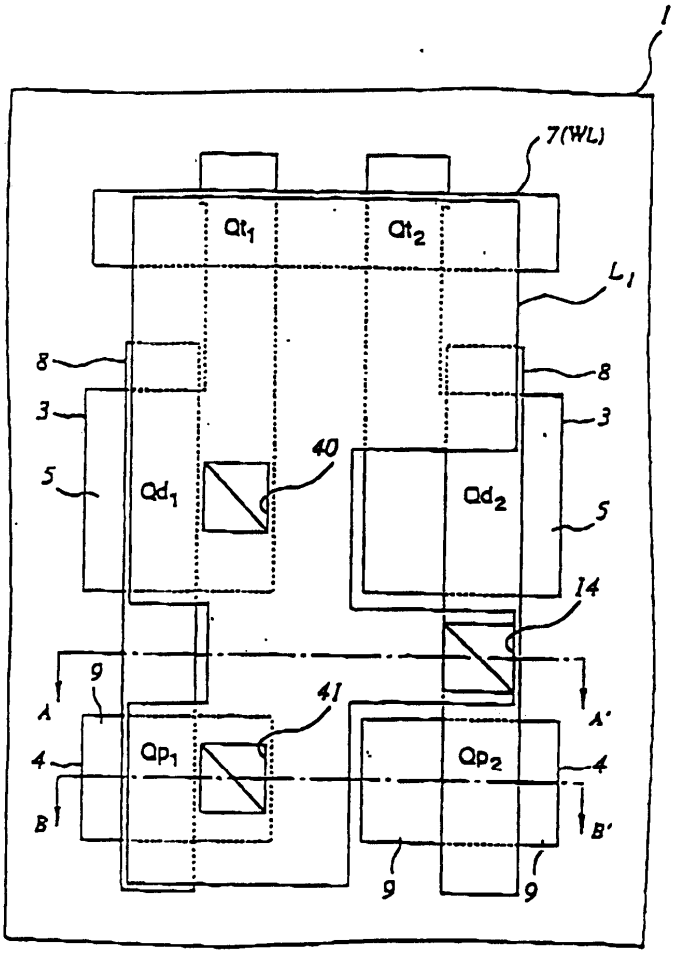

도면86a



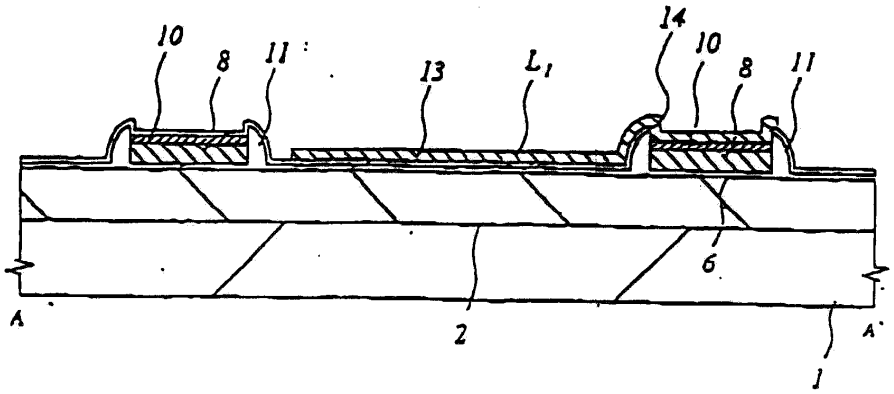
도면86b


10
8
11
Qp1
Qp2
6
B
B'
9
2
4
1

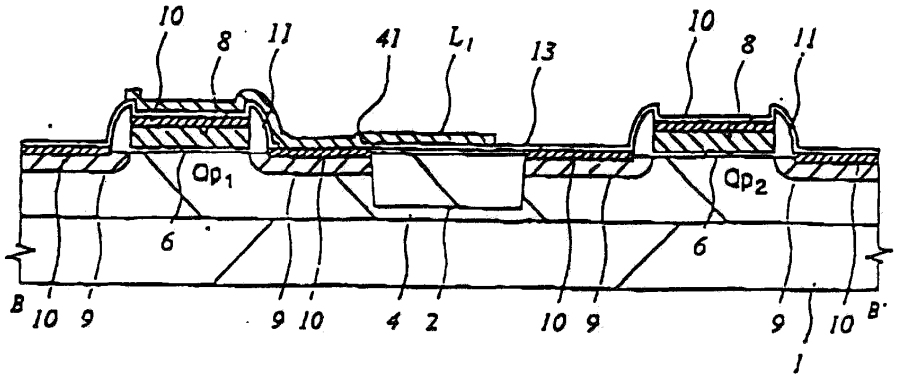
도면87


1
7(WL)
Qt1
Qt2
L1
8
3
5
40
Qd1
Qd2
14
9
A
A'
41
Qp1
Qp2
4
B
B'

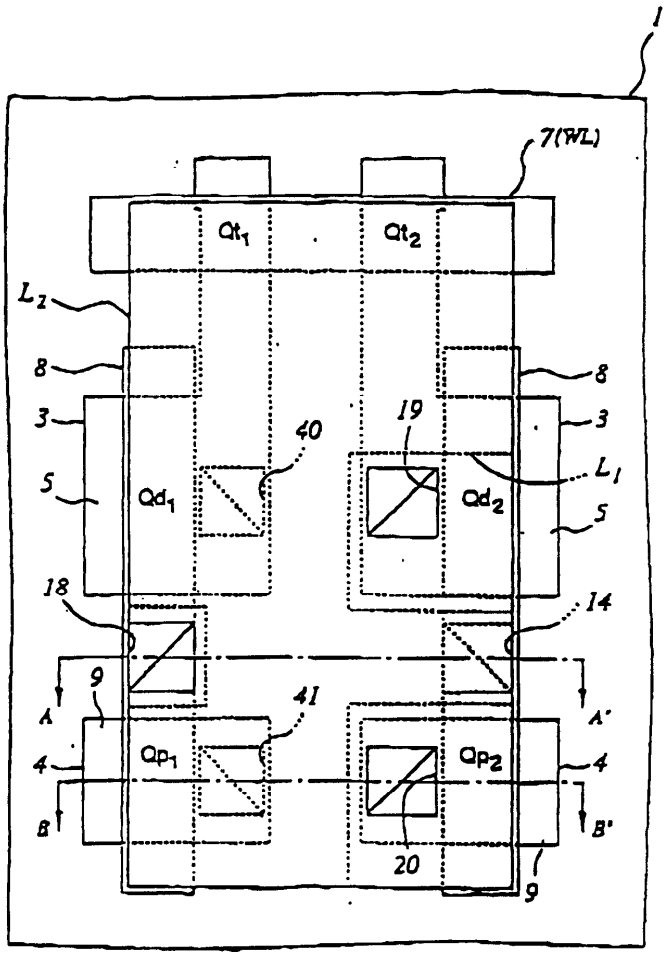
도면88a



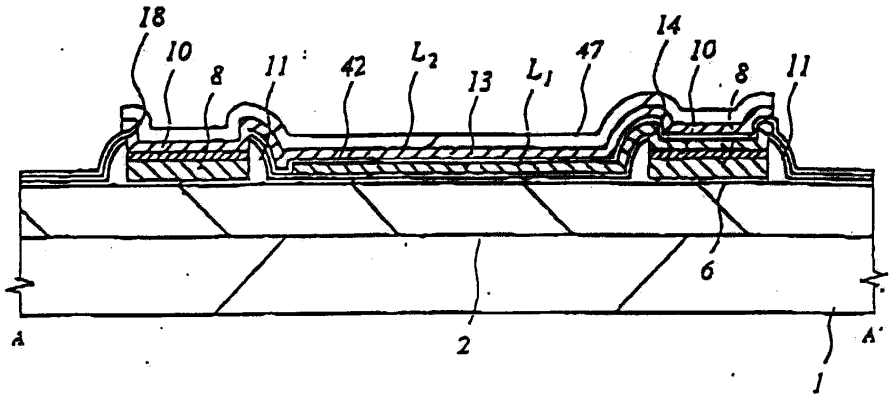

도면88b



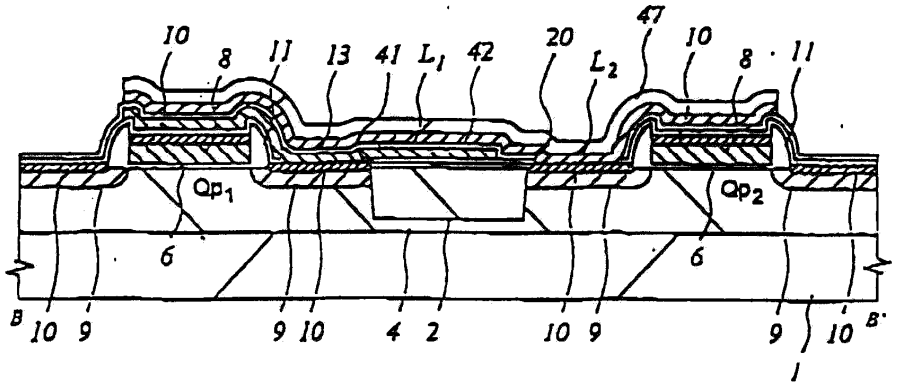

도면89



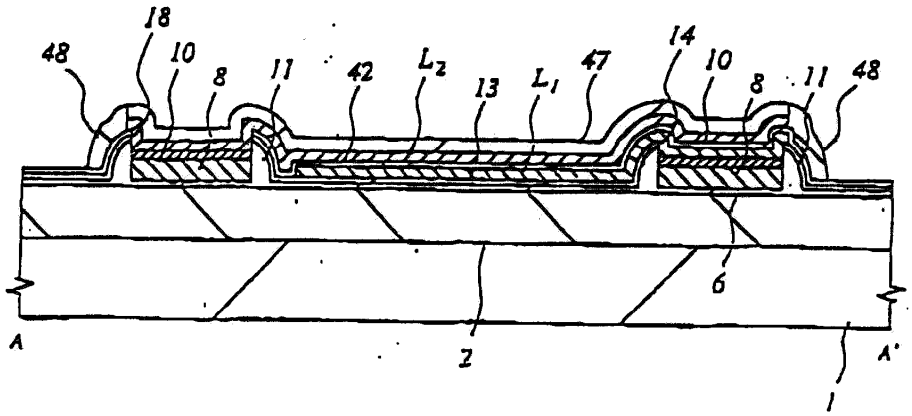
도면90a



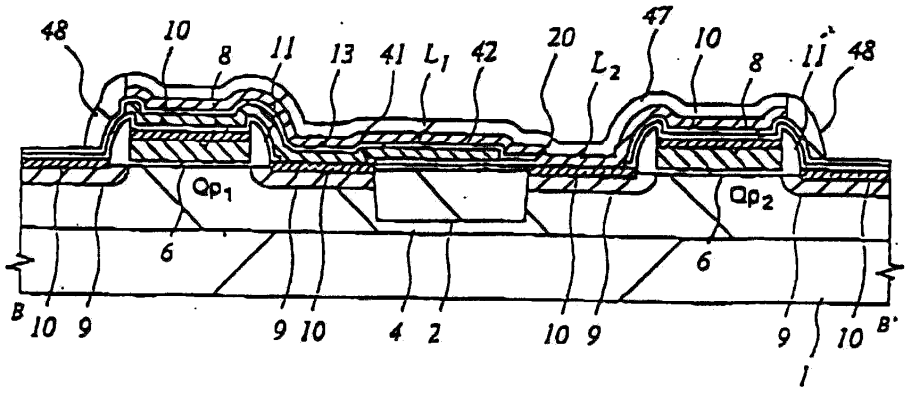

도면90b



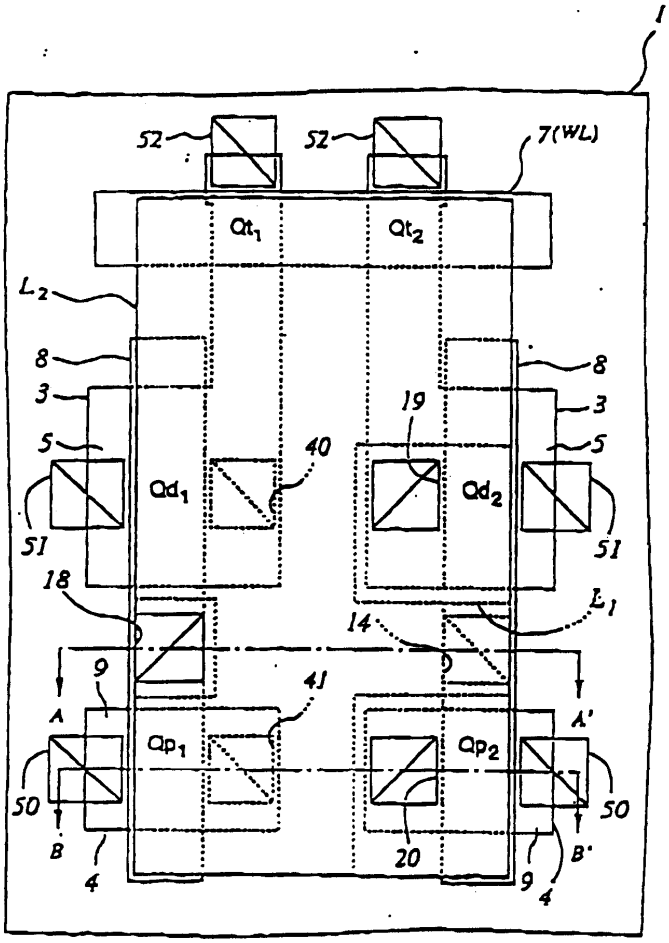

도면91a



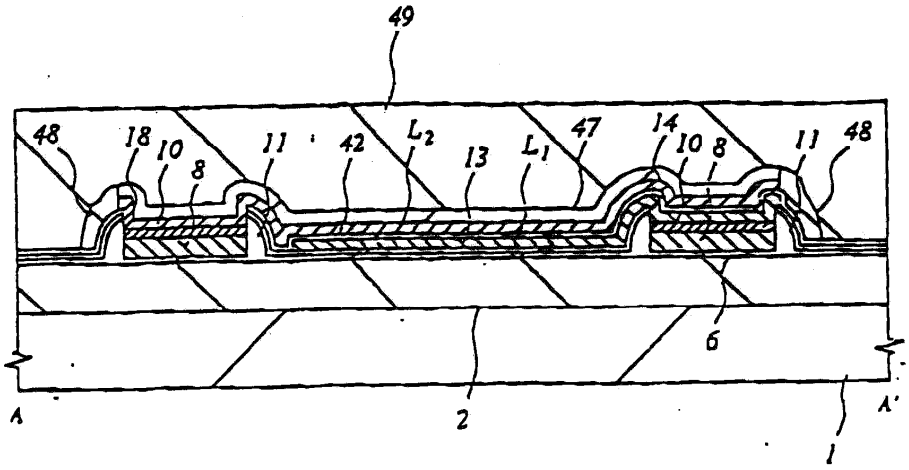
도면91b


48
10
8
11
13
41
$L_1$
42
20
$L_2$
47
10
8
11
48
$Qp_1$
$Qp_2$
6
6
B
10
9
9
10
4
2
10
9
9
10
B'
1

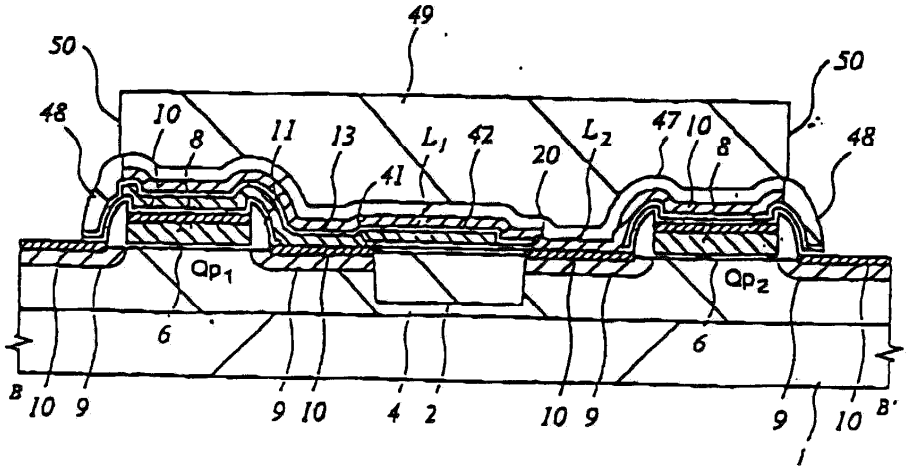
도면92


1
52
52
7(WL)
$Qt_1$
$Qt_2$
$L_2$
8
3
5
51
$Qd_1$
40
19
$Qd_2$
8
3
5
51
18
14
$L_1$
9
41
A
A'
$Qp_1$
$Qp_2$
50
50
B
B'
4
20
9
4

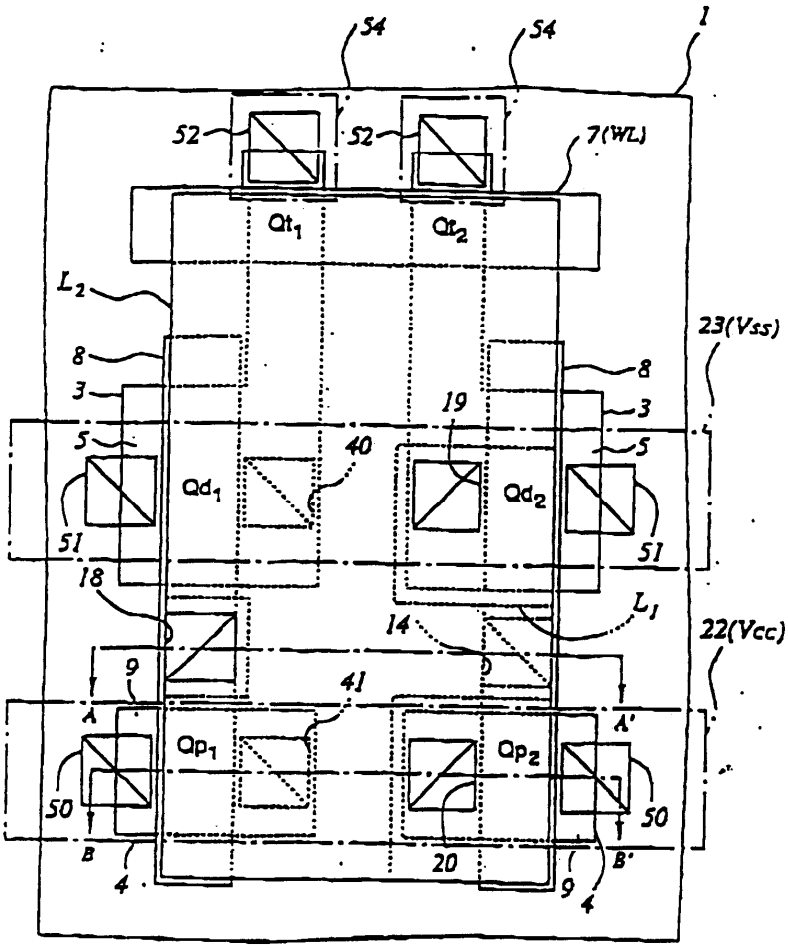
도면93a


49
48
18
10
8
11
42
$L_2$
13
$L_1$
47
14
10
8
11
48
6
A
2
A'
1

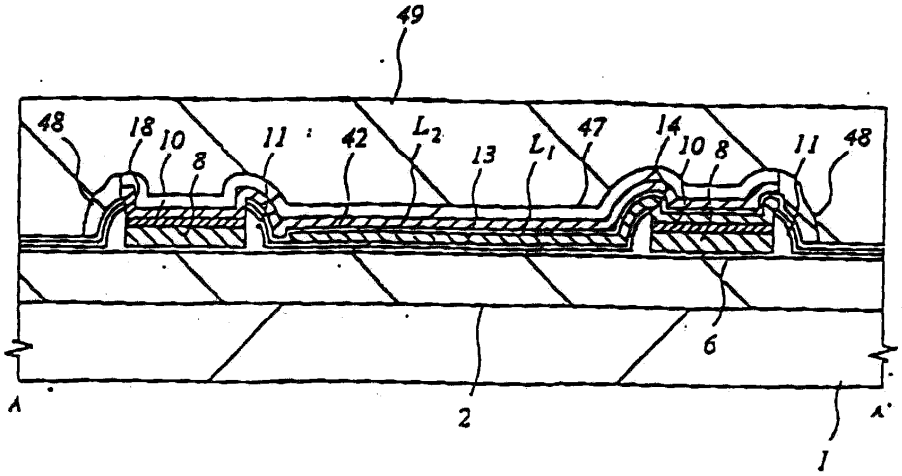
도면93b


49
50
50
48
10
8
11
13
$L_1$
42
$L_2$
47
10
8
48
41
20
$Qp_1$
$Qp_2$
6
6
B
10
9
9
10
4
2
10
9
9
10
B'
1

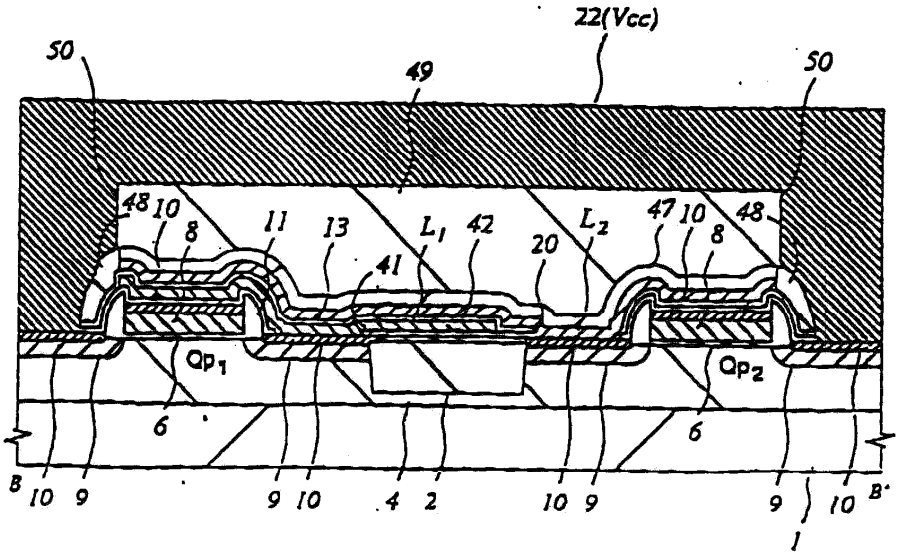
도면94


54
54
1
52
52
7(WL)
Qt1
Qt2
L2
23(Vss)
8
3
19
5
40
Qd1
Qd2
51
18
L1
14
22(Vcc)
9
41
A
A'
Qp1
Qp2
50
B
20
B'
4
9
4

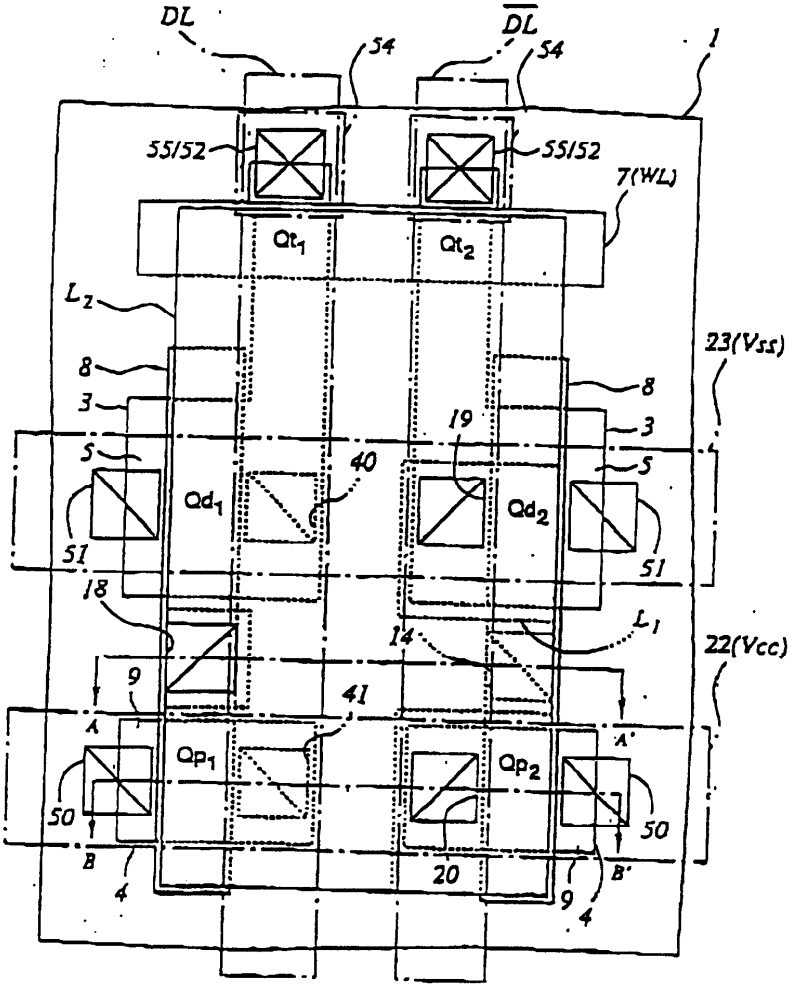
도면95a


49
48
18
10
8
11
42
L2
13
L1
47
14
10
8
11
48
6
A
2
A'
1

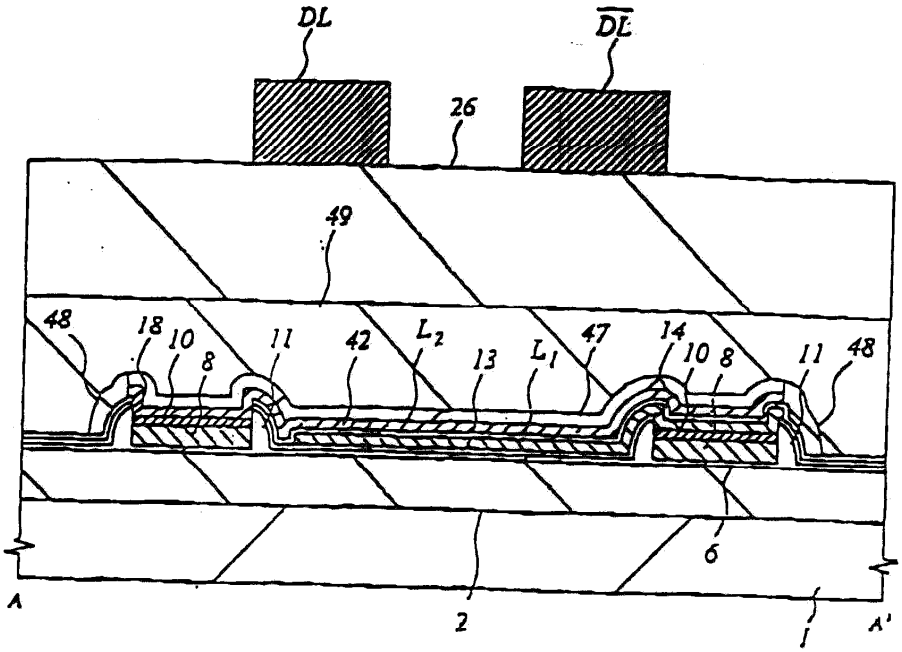
도면95b


22(Vcc)
50
49
50
48
10
8
11
13
$L_1$
42
$L_2$
47
10
8
48
41
20
$Qp_1$
$Qp_2$
6
6
B
10
9
9
10
4
2
10
9
9
10
B'
1

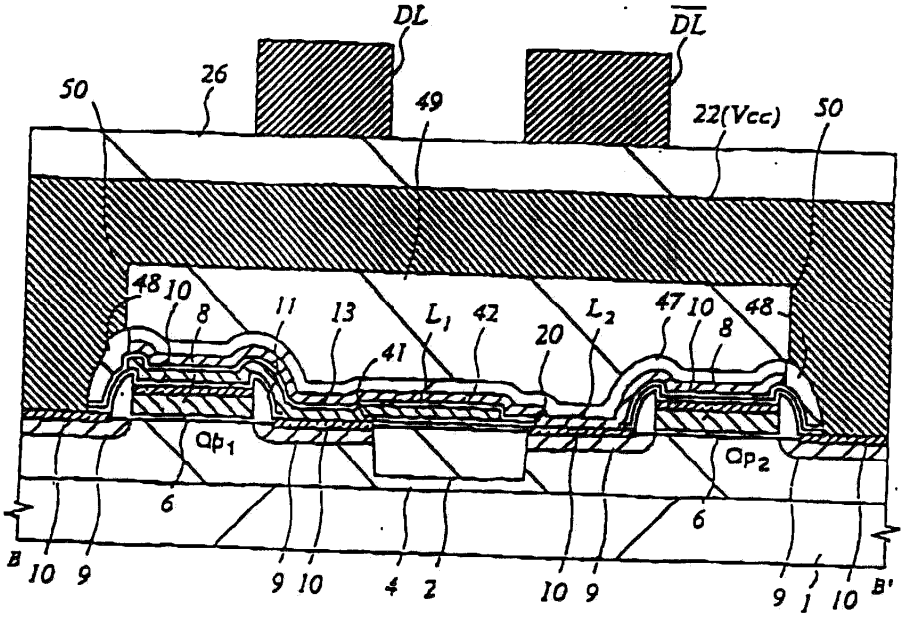
도면96


DL
$\overline{DL}$
54
54
1
55/52
55/52
7(WL)
$Qt_1$
$Qt_2$
$L_2$
23(Vss)
8
3
5
51
$Qd_1$
40
19
$Qd_2$
8
3
5
51
18
14
$L_1$
22(Vcc)
9
41
A
A'
$Qp_1$
$Qp_2$
50
50
B
B'
4
20
9
4

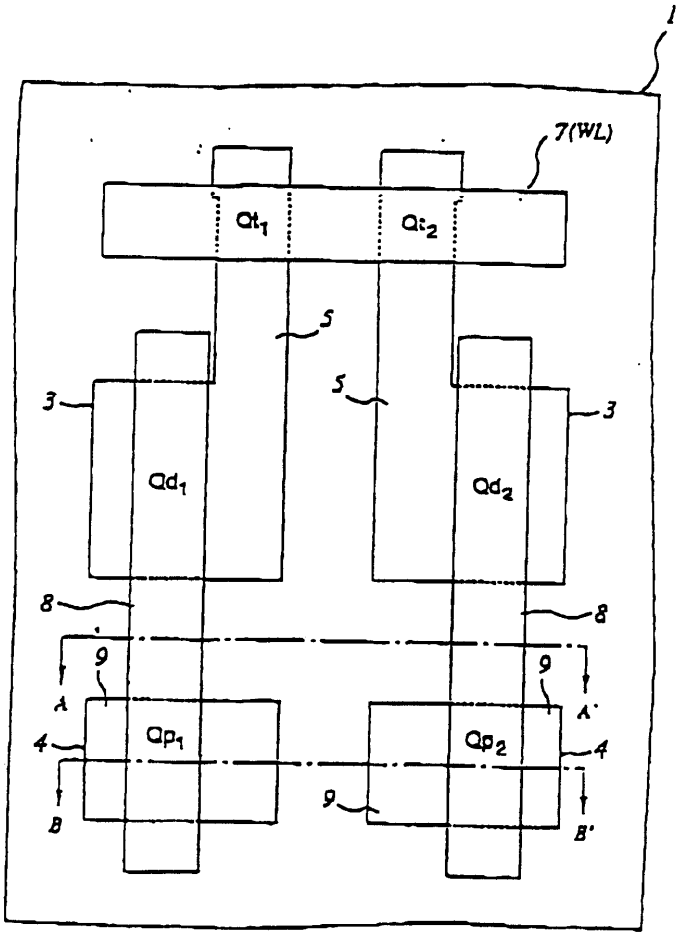
도면97a


DL
DL
26
49
48
18
10
8
11
42
L2
13
L1
47
14
10
8
11
48
6
A
2
1
A'

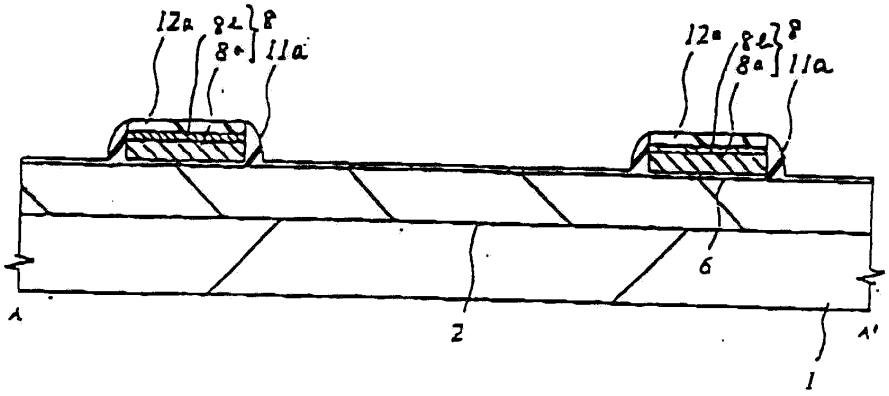
도면97b


DL
DL
50
26
49
22(Vcc)
50
48
10
8
11
13
L1
42
L2
47
10
8
48
41
20
Qp1
Qp2
6
6
B
10
9
9
10
4
2
10
9
9
1
10
B'

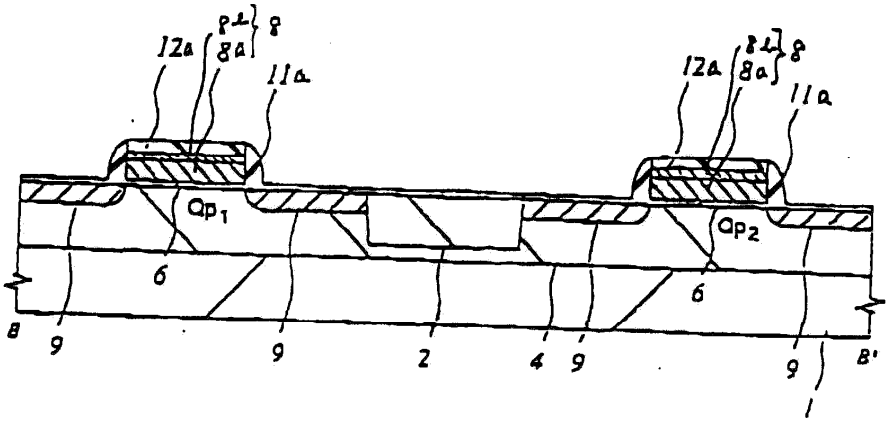
도면98


1
7(WL)
Qt1
Qt2
5
5
3
3
Qd1
Qd2
8
8
9
9
A
A'
4
Qp1
Qp2
4
9
B
B'

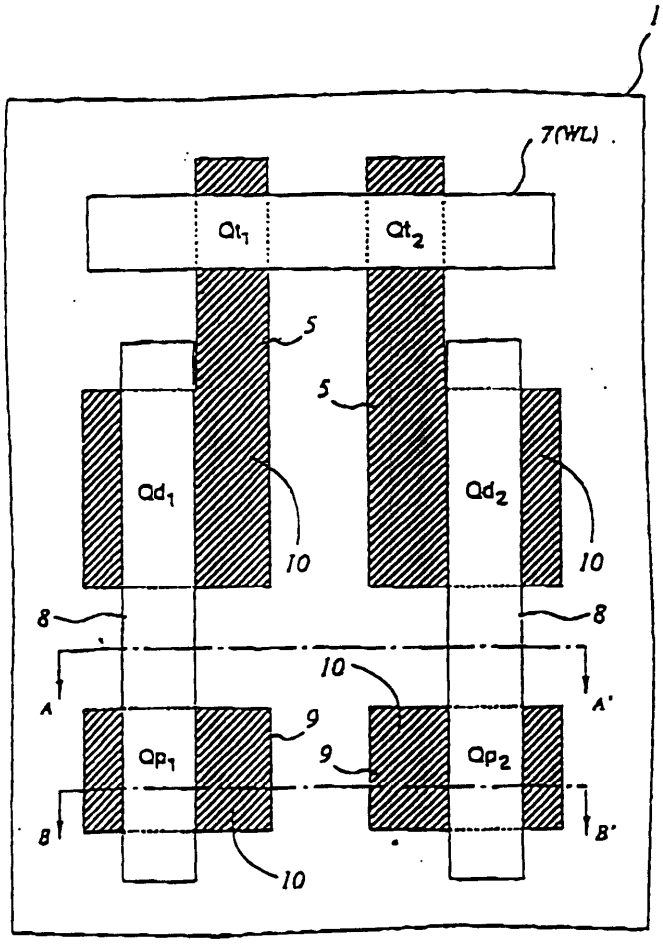
도면99a


12a
8b
8a
8
11a
12a
8b
8a
8
11a
6
A
2
A'
1

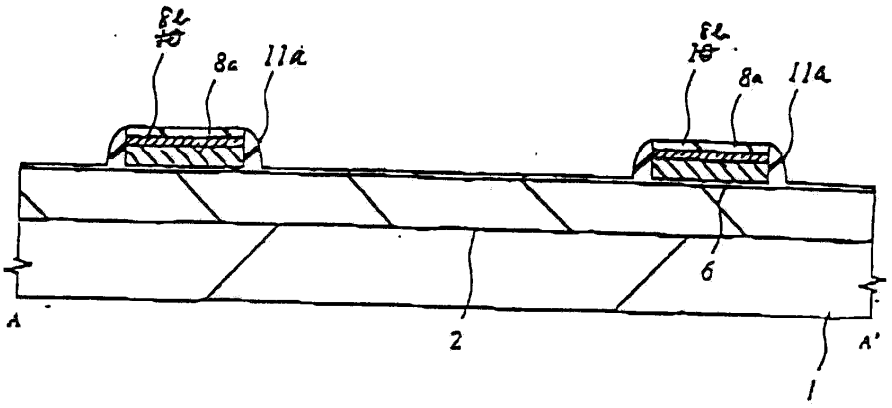
도면99b


12a
8a
8
11a
Qp1
Qp2
6
B
9
2
4
B'
1

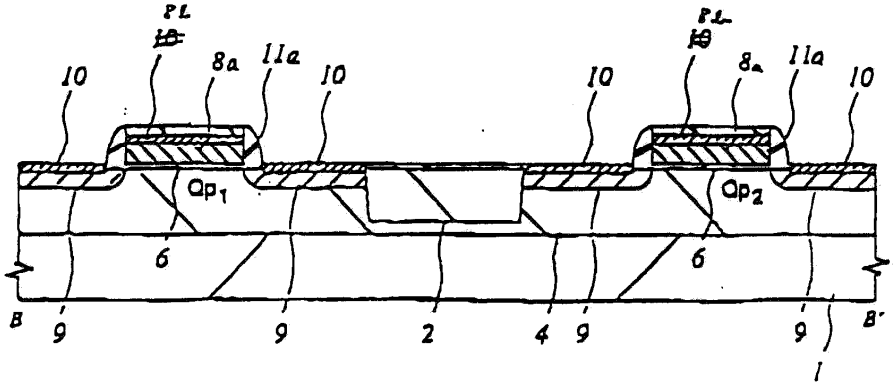
도면100


1
7(WL)
Qt1
Qt2
5
Qd1
Qd2
10
8
A
A'
9
Qp1
Qp2
B
B'

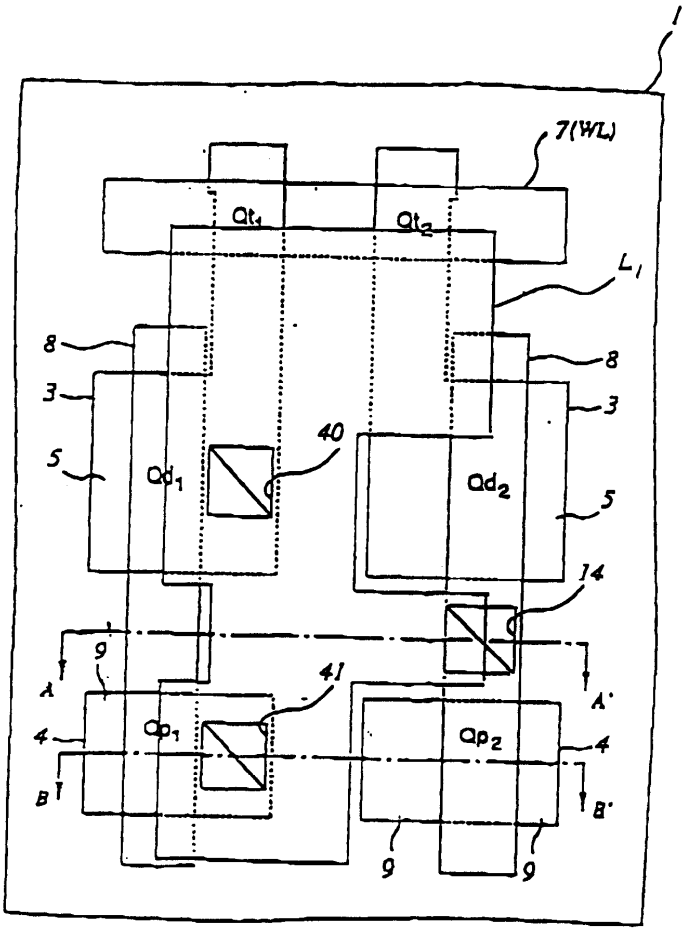
도면101a



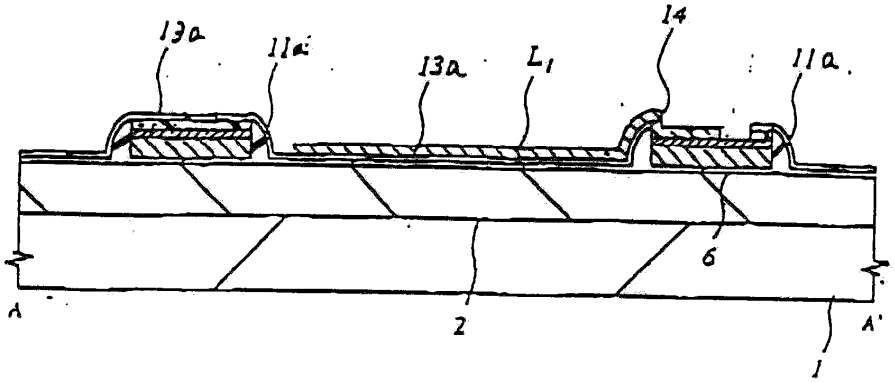

도면101b



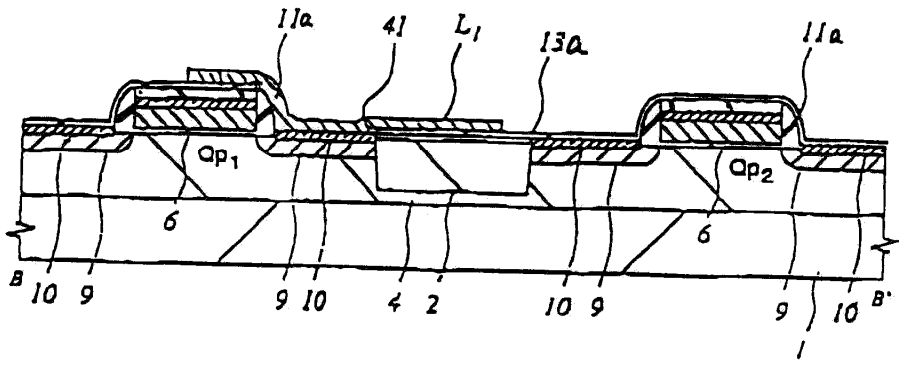
도면102



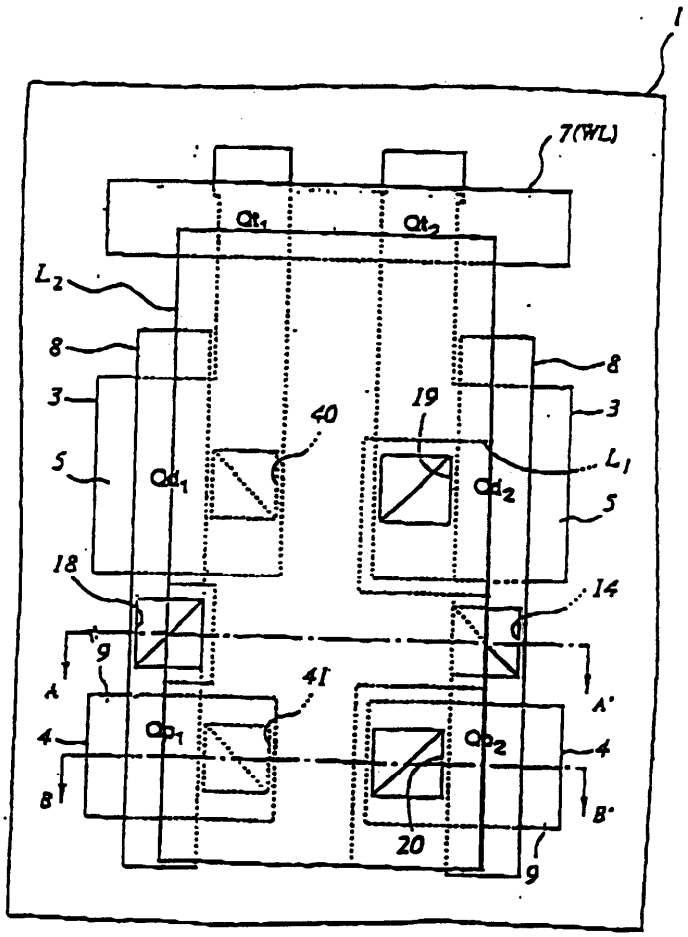

도면103a



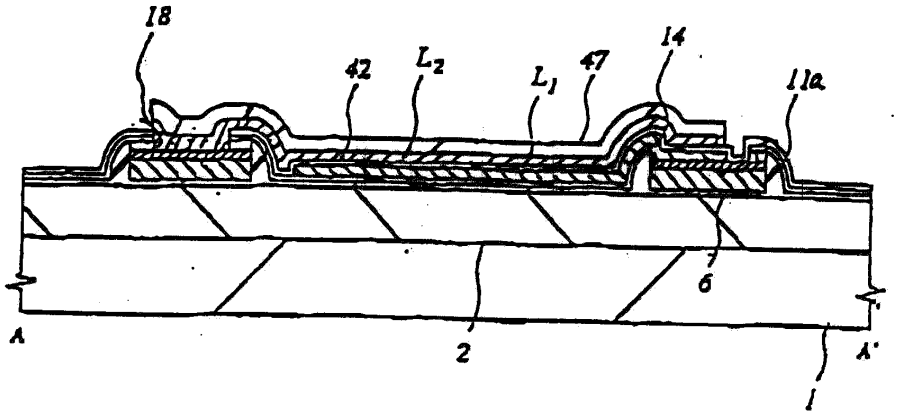

도면103b



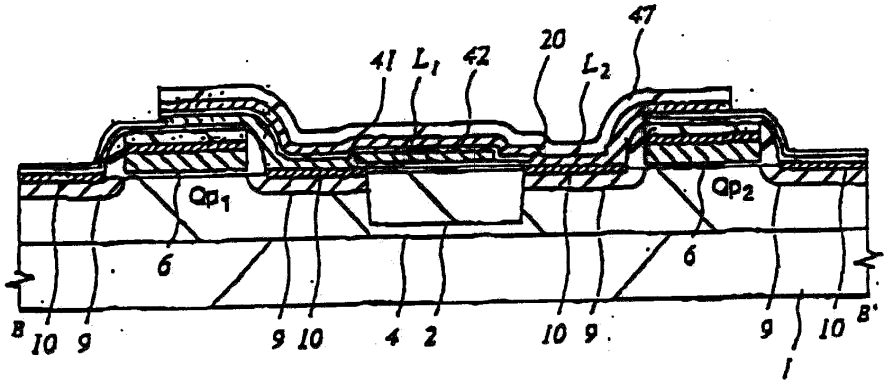
도면104



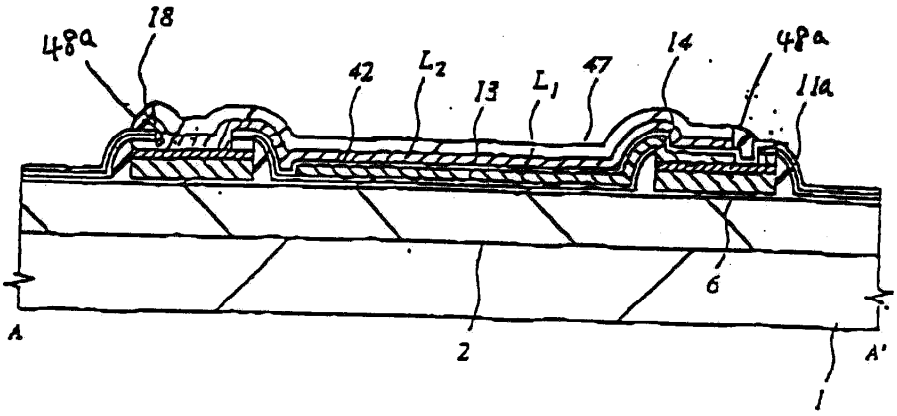

도면105a



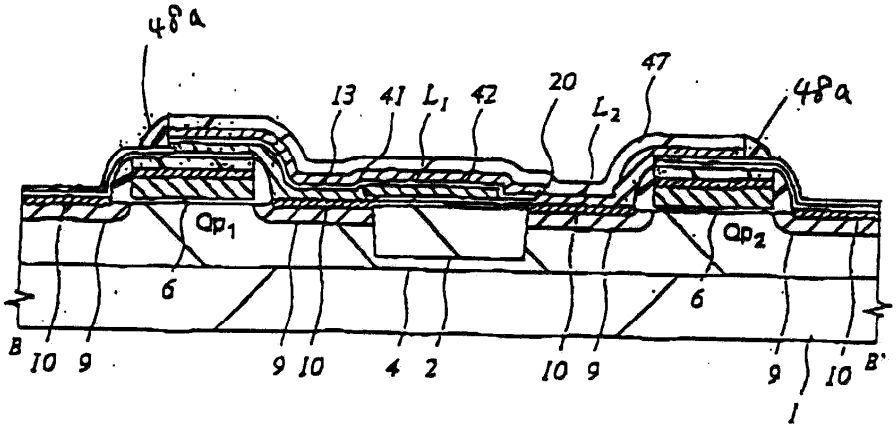
도면105b



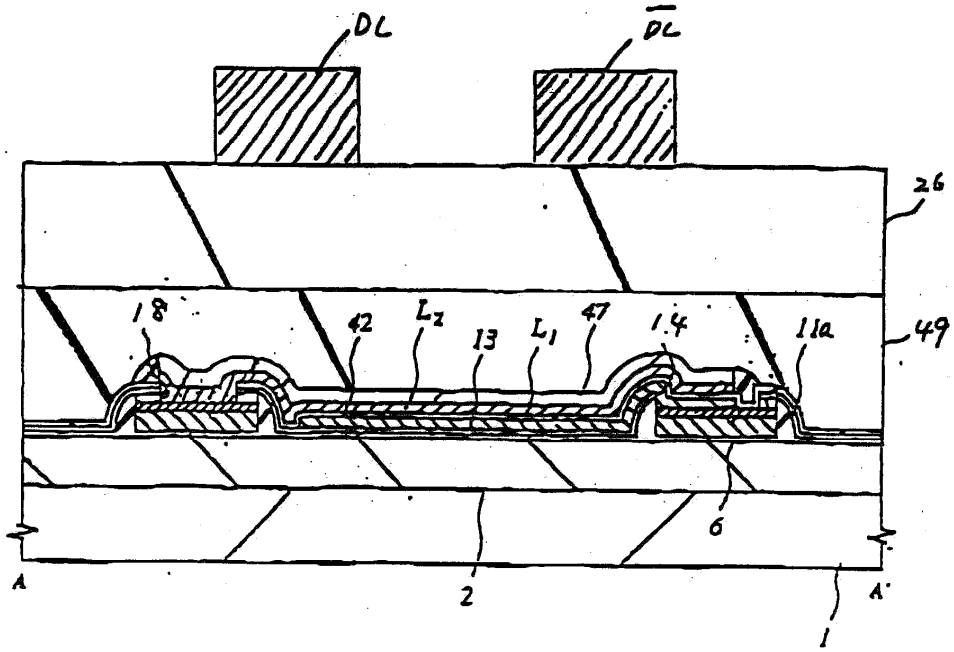

도면106a



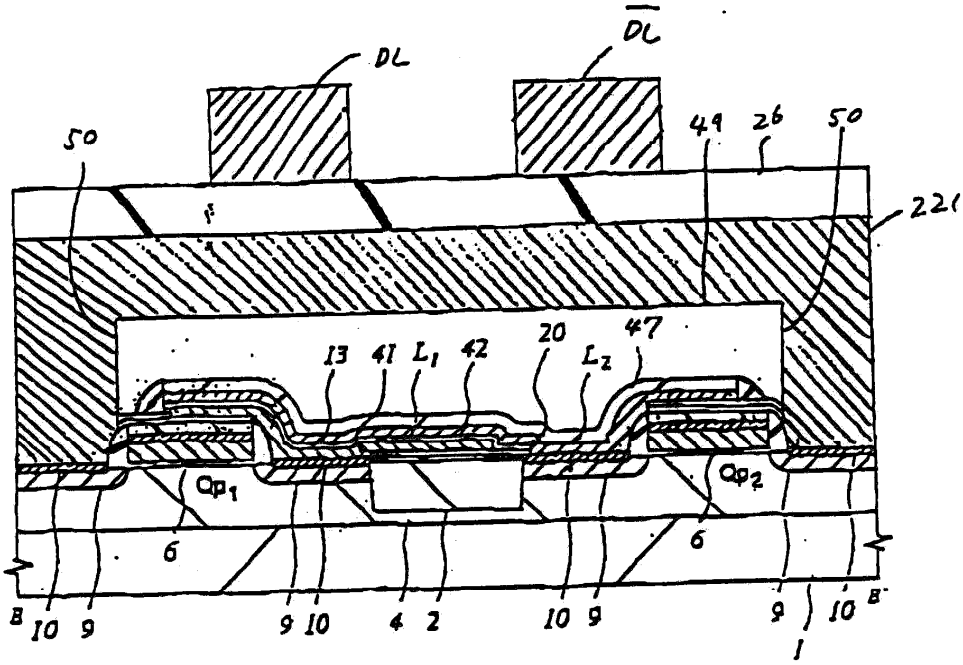

도면106b



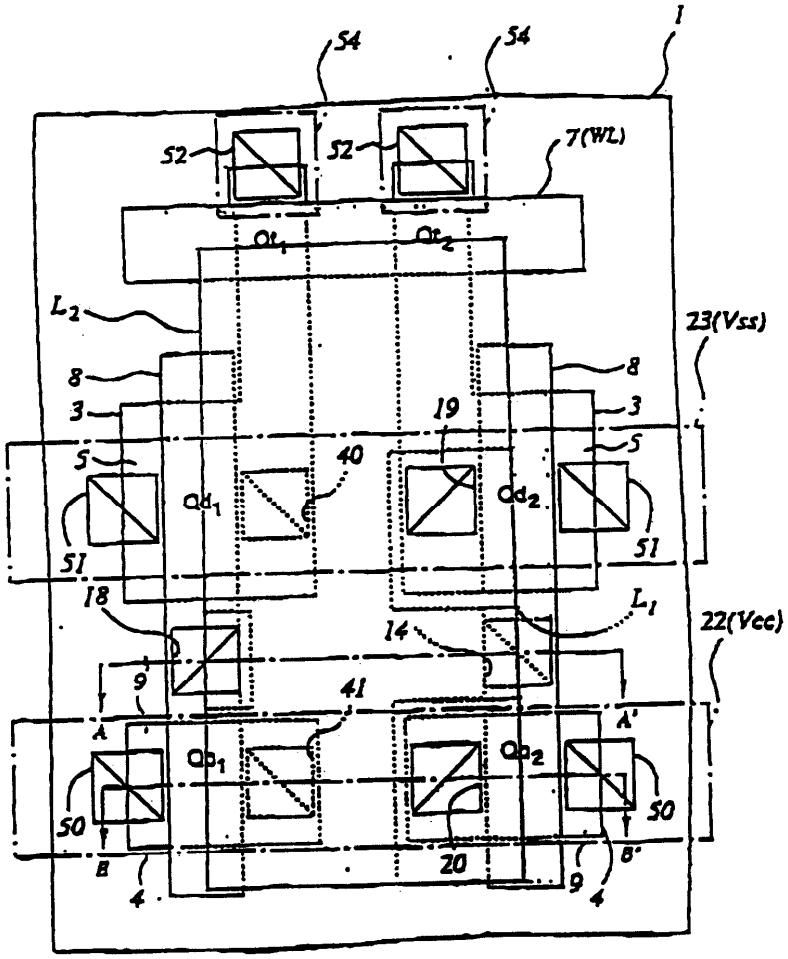
도면107a



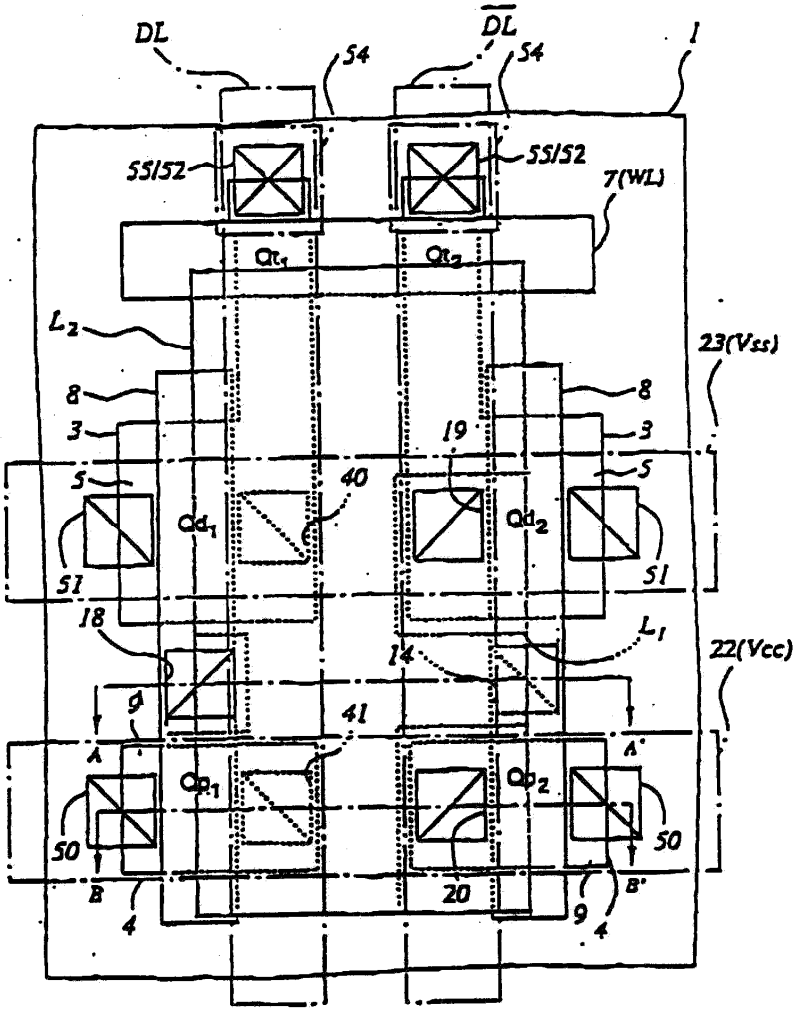

도면107b



도면108


1
54
54
52
52
7(WL)
$Qt_1$
$Qt_2$
$L_2$
23(Vss)
8
8
3
3
19
5
5
40
$Qd_1$
$Qd_2$
51
51
18
$L_1$
14
22(Vcc)
9
41
A
A'
$Qb_1$
$Qb_2$
50
50
B
B'
20
9
4
4

도면109


DL
$\overline{DL}$
54
54
1
55/52
55/52
7(WL)
$Qt_1$
$Qt_2$
$L_2$
23(Vss)
8
8
3
3
19
5
5
40
$Qd_1$
$Qd_2$
51
51
18
$L_1$
14
22(Vcc)
9
41
A
A'
$Qp_1$
$Qp_2$
50
50
B
B'
4
20
9
4