

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6028366号
(P6028366)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月28日(2016.10.28)

(51) Int.Cl.

F I

HO2M 7/12 (2006.01)

HO2M 7/12 A

HO2M 7/12 K

請求項の数 4 (全 27 頁)

(21) 出願番号	特願2012-78279 (P2012-78279)	(73) 特許権者	000006611
(22) 出願日	平成24年3月29日 (2012. 3. 29)		株式会社富士通ゼネラル
(65) 公開番号	特開2013-208037 (P2013-208037A)		神奈川県川崎市高津区末長3丁目3番17号
(43) 公開日	平成25年10月7日 (2013. 10. 7)	(74) 代理人	100089118
審査請求日	平成27年2月27日 (2015. 2. 27)		弁理士 酒井 宏明
		(72) 発明者	佐々木 重晴
			神奈川県川崎市高津区末長1116番地
			株式会社富士通ゼネラル内
		審査官	▲桑▼原 恭雄

最終頁に続く

(54) 【発明の名称】 スイッチング整流回路

(57) 【特許請求の範囲】

【請求項 1】

交流電力を直流電力に変換するスイッチング整流回路であって、
前記交流電力を直流電力に整流する全波整流回路と、
前記交流電力の前記全波整流回路への入力を ON / OFF する双方向スイッチ回路と、
を備え、
前記双方向スイッチ回路は、
交流電力が入力される交流電力入力側に並列接続された複数のダイオードと、
前記複数のダイオードを短絡又は開放するスイッチング素子と、
を有し、
前記複数のダイオードは、整流させる機能と前記スイッチング素子を保護する機能とを有するように構成され、それぞれの逆回復時間が、前記全波整流回路における複数のダイオードのそれぞれの逆回復時間より短い
ことを特徴とするスイッチング整流回路。

【請求項 2】

前記スイッチング整流回路は、3 相交流電力を直流電力に変換し、
前記全波整流回路は、3 相交流電力を直流電力に整流し、
前記双方向スイッチ回路は、各相毎に前記スイッチング素子を有し、3 相交流電力の前記全波整流回路への入力を ON / OFF するものであって、
前記双方向スイッチ回路は、所定のスイッチング周期で生成されたスイッチングパター

ンに基づいてスイッチング制御されると共に、前記スイッチングパターンは前記スイッチング周期を3つの区間に分けて各区間毎に直流電圧を発生するように生成されることを特徴とする請求項1に記載のスイッチング整流回路。

【請求項3】

前記全波整流回路と前記双方向スイッチ回路とを一体的に収容する絶縁パッケージをさらに備えた

ことを特徴とする請求項1又は2に記載のスイッチング整流回路。

【請求項4】

前記双方向スイッチ回路における前記複数のダイオードは、それぞれが高速スイッチングダイオードであり、アノードが前記スイッチング素子のエミッタ側と接続され、カソードが前記スイッチング素子のコレクタ側と接続されることにより、整流させる機能と前記スイッチング素子を保護する機能とを有するように構成されている

ことを特徴とする請求項1、2又は3に記載のスイッチング整流回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング整流回路に関する。

【背景技術】

【0002】

特許文献1には、3相整流器において、3相交流電源から全波整流回路への各相の入力をON/OFFする双方向スイッチ回路を所定のスイッチング周期のスイッチングパターンに基づいてスイッチング制御することが記載されている。これにより、特許文献1によれば、入力される交流電流を高調波が低減された正弦波にでき、出力される直流電圧を一定にできるとされている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第4687824号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1には、双方向スイッチ回路及び全波整流回路を含む回路（3相スイッチング整流回路）の動作をどのように高速化するのかについて一切記載がない。

【0005】

本発明は、上記に鑑みてなされたものであって、3相スイッチング整流回路の動作を高速化できるスイッチング整流回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明の1つの側面にかかるスイッチング整流回路は、交流電力を直流電力に変換するスイッチング整流回路であって、前記交流電力を直流電力に整流する全波整流回路と、前記交流電力の前記全波整流回路への入力をON/OFFする双方向スイッチ回路とを備え、前記双方向スイッチ回路は、交流電力が入力される交流電力入力側に並列接続された複数のダイオードと、前記複数のダイオードを短絡又は開放するスイッチング素子とを有し、前記複数のダイオードは、整流させる機能と前記スイッチング素子を保護する機能とを有するように構成され、それぞれの逆回復時間が、前記全波整流回路における複数のダイオードのそれぞれの逆回復時間より短いことを特徴とする。

【0007】

本発明の他の側面にかかるスイッチング整流回路は、上記のスイッチング整流回路において、前記スイッチング整流回路は、3相交流電力を直流電力に変換し、前記全波整流回

10

20

30

40

50

路は、3相交流電力を直流電力に整流し、前記双方向スイッチ回路は、各相毎に前記スイッチング素子を有し、3相交流電力の前記全波整流回路への入力をON/OFFするものであって、前記双方向スイッチ回路は、所定のスイッチング周期で生成されたスイッチングパターンに基づいてスイッチング制御されると共に、前記スイッチングパターンは前記スイッチング周期を3つの区間に分けて各区間毎に直流電圧を発生するように生成されることを特徴とする。

【0008】

本発明の他の側面にかかるスイッチング整流回路は、上記のスイッチング整流回路において、前記全波整流回路と前記双方向スイッチ回路とを一体的に収容する絶縁パッケージをさらに備えたことを特徴とする。

10

【0009】

本発明の他の側面にかかるスイッチング整流回路は、上記のスイッチング整流回路において、前記双方向スイッチ回路における前記複数のダイオードは、それぞれが高速スイッチングダイオードであり、アノードが前記スイッチング素子のエミッタ側と接続され、カソードが前記スイッチング素子のコレクタ側と接続されることにより、整流させる機能と前記スイッチング素子を保護する機能とを有するように構成されていることを特徴とする。

【発明の効果】

【0010】

本発明にかかるスイッチング整流回路は、スイッチング整流回路の動作を高速化できるという効果を奏する。

20

【図面の簡単な説明】

【0011】

【図1】図1は、実施の形態1にかかる3相スイッチング整流回路の回路構成を示す図である。

【図2】図2は、実施の形態1にかかる3相スイッチング整流回路の外観構成を示す図である。

【図3】図3は、実施の形態1にかかる3相スイッチング整流回路の断面構成を示す図である。

【図4】図4は、実施の形態2にかかる3相スイッチング整流回路の回路構成を示す図である。

30

【図5】図5は、実施の形態2にかかる3相スイッチング整流回路の外観構成を示す図である。

【図6】図6は、実施の形態3にかかる3相スイッチング整流回路の回路構成を示す図である。

【図7】図7は、実施の形態3にかかる3相スイッチング整流回路の外観構成を示す図である。

【図8】図8は、基本の形態にかかる3相スイッチング整流回路の構成を示す図である。

【図9】図9は、3相スイッチング整流回路における1つの相のスイッチの構成例を示す回路図である。

40

【図10】図10は、スイッチングパターン発生器の構成例を示すブロック図である。

【図11】図11は、スイッチングパターン発生器でスイッチングパターンを生成する場合に使用される鋸歯状波1、2の波形例を示す図である。

【図12】図12は、図10のパターン信号発生器の構成例を示す回路図である。

【図13】図13は、図10の相電圧判別器の構成例を示す図である。

【図14】図14は、R相電圧、S相電圧、T相電圧の各区間を説明するための図である。

【図15】図15は、R、S、T相制御電圧 k_a 、 k_b 、 k_c と、鋸歯状波 W_1 、 W_2 と、R、S、T相パルスの一例を示す図である。

【図16】図16は、図8の回路の直流電圧および直流電流のシミュレーション結果を示

50

す図である。

【図 17】図 17 は、3 相スイッチング整流回路の他の構成例を示す回路図である。

【図 18】図 18 は、基本の形態にかかる 3 相スイッチング整流回路を単純にパッケージ化した場合の構成を示す図である。

【図 19】図 19 は、基本の形態にかかる 3 相スイッチング整流回路を単純にパッケージ化した場合の構成を示す図である。

【発明を実施するための形態】

【0012】

以下に、本発明にかかる 3 相スイッチング整流回路の実施の形態を図面に基づいて詳細に説明する。なお、これらの実施の形態によりこの発明が限定されるものではない。

10

【0013】

(実施の形態 1)

実施の形態 1 にかかる 3 相スイッチング整流回路 160 j は、基本の形態にかかる 3 相スイッチング整流回路 160 をモジュール化したものである。そこで、実施の形態 1 にかかるパワーモジュール PM について説明する前に、基本の形態にかかる 3 相スイッチング整流回路 160 を含む 3 相整流器 100 について図 8 を用いて説明する。図 8 は、3 相整流器 100 の構成を示す図である。

【0014】

3 相整流器 100 は、3 相交流電源 PS から入力端子 IT - r ~ IT - t を介して入力される 3 相交流電力を直流電力に変換して出力端子 OT - p、OT - n から機器 MC に出

20

力を含む。

【0015】

具体的には、3 相整流器 100 は、3 相リアクトル 8、入力コンデンサ 9、3 相スイッチング整流回路 160、制御部 7、直流リアクトル 2、及びコンデンサ 10 を備える。3 相スイッチング整流回路 160 は、全波整流回路 4、及び双方向スイッチ回路 3 を有する。

【0016】

3 相リアクトル 8 は、入力端子 IT - r ~ IT - t と双方向スイッチ回路 3 との間に接続されている。入力コンデンサ 9 は、入力端子 IT - r ~ IT - t と双方向スイッチ回路 3 との間に接続されている。

30

【0017】

全波整流回路 4 は、双方向スイッチ回路 3 と出力端子 OT - p、OT - n との間に接続されている。全波整流回路 4 は、例えば、ブリッジ接続された 6 つのダイオードを有し、6 つのダイオードを用いて、双方向スイッチ回路 3 を介して供給された 3 相交流電力を全波整流して直流電力を生成する。6 つのダイオードのそれぞれは、整流素子として機能するものであり、例えば、いわゆる整流ダイオードが用いられている。

【0018】

双方向スイッチ回路 3 は、入力端子 IT - r ~ IT - t 側と全波整流回路 4 の各相の入力ノードとの接続を ON / OFF する。すなわち、双方向スイッチ回路 3 は、3 相交流電源 PS から全波整流回路 4 への各相の交流電力の供給を ON / OFF する複数のスイッチング素子 IGBT (図 9 参照) を有する。

40

【0019】

すなわち、3 相スイッチング整流回路 160 は、双方向スイッチ回路 3 及び全波整流回路 4 を用いて、3 相交流電力を直流電力に変換して出力する。

【0020】

制御部 7 は、3 相交流電源 PS の各相の電圧を検出して、各相の検出電圧に基づいて、双方向スイッチ回路 3 をスイッチング制御する。

【0021】

具体的には、制御部 7 は、スイッチングパターン発生器 5 及び駆動回路 6 を有する。ス

50

スイッチングパターン発生器 5 は、3 相交流電源 P S の各相の電圧を検出して、各相の検出電圧に基づいて、双方向スイッチ回路 3 を ON / OFF させるための各相のスイッチングパターンを生成し、生成されたスイッチングパターンを駆動回路 6 へ供給する。駆動回路 6 は、生成されたスイッチングパターンに従って、双方向スイッチ回路 3 の各相のスイッチング素子 I G B T (図 9 参照) をスイッチング制御する。

【 0 0 2 2 】

直流リアクトル 2 は、全波整流回路 4 と出力端子 O T - p との間に接続されている。直流リアクトル 2 は、例えば、全波整流回路 4 と出力端子 O T - p との間の P ラインに直列に挿入されている。

【 0 0 2 3 】

10

コンデンサ 1 0 は、全波整流回路 4 と出力端子 O T - p 、 O T - n との間に接続されている。コンデンサ 1 0 は、例えば、一端の電極 1 0 p が全波整流回路 4 と出力端子 O T - p との間の P ラインに接続され、他端の電極 1 0 n が全波整流回路 4 と出力端子 O T - n との間の N ラインとに接続されている。

【 0 0 2 4 】

次に、3 相スイッチング整流回路 1 6 0 の構成について図 9 を用いて説明する。図 9 は、3 相スイッチング整流回路 1 6 0 における双方向スイッチ回路 3 の 1 つの相のスイッチの構成例を示す回路図である。

【 0 0 2 5 】

双方向スイッチ回路 3 は、図 9 に示すように、複数のダイオード D 1 ~ D 5 とスイッチング素子 I G B T とで構成される。スイッチング素子 I G B T は、例えば、絶縁ゲートバイポーラトランジスタである。双方向スイッチ回路 3 では、スイッチング素子 I G B T がオンした際に複数のダイオード D 1 ~ D 4 を介して左右の双方向に電流が流れ得る。

20

【 0 0 2 6 】

図 9 に示す回路構成において、複数のダイオード D 1 ~ D 4 のそれぞれは、整流素子として機能するものであり、例えば、いわゆる整流ダイオードが用いられている。ダイオード D 5 は、スイッチング素子 I G B T を保護するための還流ダイオードとして機能する。すなわち、ダイオード D 5 は、スイッチング素子 I G B T のコレクタがエミッタより高電圧になるような逆電圧がスイッチング素子 I G B T のエミッタ・コレクタ間にかかることを抑制するための逆電圧抑制素子として機能するものであり、例えば、いわゆる整流ダイオードよりも逆回復時間が短いいわゆる高速スイッチングダイオード (F R D : F a s t R e c o v e r y D i o d e) が用いられる。なお、逆回復時間とは、ダイオードに逆電圧がかかったときにダイオードに電流が流れなくなるまでの時間を示す。

30

【 0 0 2 7 】

3 相スイッチング整流回路 1 6 0 では、この構成を 3 相分設けて双方向スイッチ回路 3 を構成するとともにその後段に図 8 に示すように全波整流回路 4 を接続する。例えば、双方向スイッチ回路 3 は、3 相に対応した複数のスイッチング素子 I G B T - r ~ I G B T - t を含む。すなわち、双方向スイッチ回路 3 は、各相ごとにスイッチング素子 I G B T - r ~ I G B T - t を含む。

【 0 0 2 8 】

40

なお、3 相スイッチング整流回路 1 6 0 は、図 9 に示す回路構成を 3 相分設けることで双方向スイッチ回路 3 を構成してその後段に全波整流回路 4 を接続した回路構成とする代わりに、双方向スイッチ回路 3 と全波整流回路 4 とを組み合わせる図 1 7 に示すような回路構成としてもよい。すなわち、図 1 7 に示すような回路構成において、1 点鎖線で示すダイオード D 1 ~ D 1 5 及びスイッチング素子 I G B T - r ~ I G B T - t を含む部分が双方向スイッチ回路 3 として機能する部分であり、破線で示すダイオード D 3 、 D 4 、 D 7 、 D 8 、 D 1 1 、 D 1 2 を含む部分が全波整流回路 4 として機能する部分である。

【 0 0 2 9 】

図 1 7 に示すような回路構成において、ダイオード D 1 ~ D 1 2 は、例えば、いわゆる整流ダイオードが用いられ、ダイオード D 1 3 ~ D 1 5 は、いわゆる高速スイッチ

50

ングダイオード (F R D) が用いられている。

図 1 7 に示すような回路構成を、図 8 のイ ~ チに接続することにより、同様に機能させることが可能である。

【 0 0 3 0 】

図 1 7 に示すような回路構成を図 8 のイ ~ チに接続した場合、スイッチング素子 I G B T - r は、R 相に対応したスイッチング動作を行う。スイッチング素子 I G B T - s は、S 相に対応したスイッチング動作を行う。スイッチング素子 I G B T - t は、T 相に対応したスイッチング動作を行う。すなわち、双方向スイッチ回路 3 は、各相毎にスイッチング素子 I G B T - r ~ I G B T - t を含む。

【 0 0 3 1 】

図 1 7 に示す双方向スイッチ回路 3 では、交流電力が入力される交流電力入力側「イ」に複数のダイオード D 1、D 2 が、互いに逆極性で並列接続されている。複数のダイオード D 1、D 2 は、スイッチング素子 I G B T - r がオンすることにより互いに短絡され、スイッチング素子 I G B T - r がオフすることにより互いに開放される。

【 0 0 3 2 】

ダイオード D 1 は、カソードが入力端子 I T - r に電氣的に接続され、アノードがスイッチング素子 I G B T - r のエミッタに電氣的に接続されている。

【 0 0 3 3 】

ダイオード D 2 は、カソードがスイッチング素子 I G B T - r のコレクタに電氣的に接続され、アノードが入力端子 I T - r に電氣的に接続されている。

【 0 0 3 4 】

ダイオード D 3 は、カソードが出力端子 O T - p に電氣的に接続され、アノードがスイッチング素子 I G B T - r のエミッタに電氣的に接続されている。

【 0 0 3 5 】

ダイオード D 4 は、カソードがスイッチング素子 I G B T - r のコレクタに電氣的に接続され、アノードが出力端子 O T - n に電氣的に接続されている。

【 0 0 3 6 】

図 1 7 に示す双方向スイッチ回路 3 では、交流電力が入力される交流電力入力側「ロ」に複数のダイオード D 5、D 6 が、互いに逆極性で並列接続されている。複数のダイオード D 5、D 6 は、スイッチング素子 I G B T - s がオンすることにより互いに短絡され、スイッチング素子 I G B T - s がオフすることにより互いに開放される。

【 0 0 3 7 】

ダイオード D 5 は、カソードが入力端子 I T - s に電氣的に接続され、アノードがスイッチング素子 I G B T - s のエミッタに電氣的に接続されている。

【 0 0 3 8 】

ダイオード D 6 は、カソードがスイッチング素子 I G B T - s のコレクタに電氣的に接続され、アノードが入力端子 I T - s に電氣的に接続されている。

【 0 0 3 9 】

ダイオード D 7 は、カソードが出力端子 O T - p に電氣的に接続され、アノードがスイッチング素子 I G B T - s のエミッタに電氣的に接続されている。

【 0 0 4 0 】

ダイオード D 8 は、カソードがスイッチング素子 I G B T - s のコレクタに電氣的に接続され、アノードが出力端子 O T - n に電氣的に接続されている。

【 0 0 4 1 】

図 1 7 に示す双方向スイッチ回路 3 では、交流電力が入力される交流電力入力側「ハ」に複数のダイオード D 9、D 1 0 が、互いに逆極性で並列接続されている。複数のダイオード D 9、D 1 0 は、スイッチング素子 I G B T - t がオンすることにより互いに短絡され、スイッチング素子 I G B T - t がオフすることにより互いに開放される。

【 0 0 4 2 】

ダイオード D 9 は、カソードが入力端子 I T - t に電氣的に接続され、アノードがスイ

10

20

30

40

50

ツチング素子 I G B T - t のエミッタに電氣的に接続されている。

【 0 0 4 3 】

ダイオード D 1 0 は、カソードがスイッチング素子 I G B T - t のコレクタに電氣的に接続され、アノードが入力端子 I T - t に電氣的に接続されている。

【 0 0 4 4 】

ダイオード D 1 1 は、カソードが出力端子 O T - p に電氣的に接続され、アノードがスイッチング素子 I G B T - t のエミッタに電氣的に接続されている。

【 0 0 4 5 】

ダイオード D 1 2 は、カソードがスイッチング素子 I G B T - t のコレクタに電氣的に接続され、アノードが出力端子 O T - n に電氣的に接続されている。

10

【 0 0 4 6 】

ダイオード D 1 3 は、カソードがスイッチング素子 I G B T - r のコレクタに電氣的に接続され、アノードがスイッチング素子 I G B T - r のエミッタに電氣的に接続されている。

【 0 0 4 7 】

ダイオード D 1 4 は、カソードがスイッチング素子 I G B T - s のコレクタに電氣的に接続され、アノードがスイッチング素子 I G B T - s のエミッタに電氣的に接続されている。

【 0 0 4 8 】

ダイオード D 1 5 は、カソードがスイッチング素子 I G B T - t のコレクタに電氣的に接続され、アノードがスイッチング素子 I G B T - t のエミッタに電氣的に接続されている。

20

【 0 0 4 9 】

次に、スイッチングパターン発生器 5 の構成について図 1 0 ~ 図 1 3 を用いて説明する。図 1 0 は、スイッチングパターン発生器 5 の一例を示すブロック図である。図 1 1 は、スイッチングパターン発生器 5 でスイッチングパターンを生成する場合に使用される鋸歯状波 W 1、W 2 の波形例を示す図である。図 1 2 は、スイッチングパターン発生器 5 のパターン信号発生器 1 1 の構成例を示す回路図である。図 1 3 は、スイッチングパターン発生器 5 の相電圧判別器 1 3 の構成例を示す図である。

【 0 0 5 0 】

30

スイッチングパターン発生器 5 は、直流電圧の脈動と入力電流の高調波を抑制するために、以下に説明するような、双方向スイッチ回路 3 のスイッチングパターン（R 相パルス、S 相パルス、T 相パルス）を生成する。スイッチングパターン発生器 5 は、スイッチング周期の立ち上がり等の所定のタイミングで、3 相交流電源 P S の各相の電圧の最大電位相、中間電位相、および最小電位相をそれぞれ検出し、最大電位相および最小電位相の場合は、それぞれの電位に比例する時間が O N となり、かつ、スイッチング周期 T 内で少なくとも一方が O N となるスイッチングパターンを生成し、また、中間電位相の場合は、常に O N となるスイッチングパターンを生成する（図 1 5 参照）。なお、スイッチング周期 T は、電源周波数（例えば、5 0 H z）に対して十分短い周期（例えば、 $1 / 1 0 0 \text{ kHz} = 1 0 \mu \text{ sec}$ ）に決定する。

40

【 0 0 5 1 】

スイッチングパターン発生器 5 は、図 1 0 に示すように、パターン信号発生器 1 1、電圧設定器 1 2、相電圧判別器 1 3、コンパレータ 1 4 R ~ 1 4 T、コンパレータ 1 5 R ~ 1 5 T、AND 回路 1 6 R ~ 1 6 T、AND 回路 1 7 R ~ 1 7 T、AND 回路 1 8 R ~ 1 8 T、及び OR 回路 1 9 R ~ 1 9 T を備えている。

【 0 0 5 2 】

電圧設定器 1 2 は、パターン信号発生器 1 1 に、直流電圧設定値（降圧したい目標の電圧）に応じて決定した直流電圧設定ゲイン k（但し、 $k = 0.5 \sim 1$ ）を設定する。

【 0 0 5 3 】

パターン信号発生器 1 1 は、R 相電圧 a、S 相電圧 b、T 相電圧 c を - 1 ~ + 1 にそれ

50

ぞれ規格化した後、電圧設定器 12 から入力される直流電圧設定ゲイン k ($0.5 \sim 1$) との積を演算して、R 相制御電圧 k_a 、S 相制御電圧 k_b 、T 相制御電圧 k_c として出力する。

【0054】

相電圧判別器 13 は、R 相電圧 a 、S 相電圧 b 、T 相電圧 c を比較して、いずれの相電圧が最大、最小、中間かを判別し、R 相、S 相、T 相の最大判定信号（最大の場合「1」、最大でない場合「0」）、最小判定信号（最小の場合「1」、最小でない場合「0」）、中間判定信号（中間の場合「1」、中間でない場合「0」）をそれぞれ出力する。

【0055】

コンパレータ 14R ~ 14T は、R 相制御電圧 k_a 、S 相制御電圧 k_b 、T 相制御電圧 k_c と鋸歯状波 $W1$ （図 11 参照）とをそれぞれ比較して、比較信号を出力する。コンパレータ 15R ~ 15T は、R 相制御電圧 k_a 、S 相制御電圧 k_b 、T 相制御電圧 k_c と鋸歯状波 $W2$ （図 11 参照）とをそれぞれ比較して、比較信号を出力する。AND 回路 16R ~ 16T は、コンパレータ 14R ~ 14T の比較信号と R、S、T 相最大判定信号との AND 演算をそれぞれ行う。AND 回路 17R ~ 17T は、コンパレータ 15R ~ 15T の比較信号と R、S、T 相最小判定信号との AND 演算をそれぞれ行う。AND 回路 18R ~ 18T は、固定値「1」と R、S、T 相中間判定信号との AND 演算をそれぞれ行う。OR 回路 19R ~ 19T は、AND 回路 16R ~ 18R の出力、AND 回路 16S ~ 18S の出力、AND 回路 16T ~ 18T の出力をそれぞれ OR 演算して最終の R、S、T 相パルス（スイッチングパターン）として駆動回路 6 に出力する。

【0056】

R 相に関する動作を説明する。コンパレータ 14R は、パターン信号発生器 11 から入力される R 相制御電圧 k_a と鋸歯状波 $W1$ とを比較し、比較信号（R 相制御電圧 $k_a >$ 鋸歯状波 $W1$ の場合に「1」、R 相制御電圧 k_a 鋸歯状波 $W1$ の場合に「0」）を AND 回路 16R に出力する。AND 回路 16R は、コンパレータ 14R から入力される比較信号と、R 相最大判定信号との AND 演算を行って、OR 回路 19R に出力する。

【0057】

コンパレータ 15R は、鋸歯状波 $W2$ とパターン信号発生器 11 から入力される R 相制御電圧 k_a とを比較し、比較信号（鋸歯状波 $W2 >$ R 相制御電圧 k_a の場合に「1」、鋸歯状波 $W2$ R 相制御電圧 k_a の場合に「0」）を AND 回路 17R に出力する。AND 回路 17R は、コンパレータ 15R から入力される比較信号と、R 相最小判定信号との AND 演算を行って、OR 回路 19R に出力する。

【0058】

AND 回路 18R は、固定信号「1」と R 相中間判別信号との AND 演算を行って、OR 回路 19R に出力する。OR 回路 19R は、AND 回路 16R ~ 18R の出力を OR 演算して最終の R 相パルスとして出力する。

【0059】

S 相に関する動作を説明する。コンパレータ 14S は、パターン信号発生器 11 から入力される S 相制御電圧 k_b と鋸歯状波 $W1$ とを比較し、比較信号（S 相制御電圧 $k_b >$ 鋸歯状波 $W1$ の場合に「1」、S 相制御電圧 k_b 鋸歯状波 $W1$ の場合に「0」）を AND 回路 16S に出力する。AND 回路 16S は、コンパレータ 14S から入力される比較信号と、S 相最大判定信号との AND 演算を行って、OR 回路 19S に出力する。

【0060】

コンパレータ 15S は、鋸歯状波 $W2$ とパターン信号発生器 11 から入力される S 相制御電圧 k_b とを比較し、比較信号（鋸歯状波 $W2 >$ S 相制御電圧 k_b の場合に「1」、鋸歯状波 $W2$ S 相制御電圧 k_b の場合に「0」）を AND 回路 17S に出力する。AND 回路 17S は、コンパレータ 15S から入力される比較信号と、S 相最小判定信号との AND 演算を行って、OR 回路 19S に出力する。

【0061】

AND 回路 18S は、固定信号「1」と S 相中間判別信号との AND 演算を行って、O

10

20

30

40

50

R回路19Sに出力する。OR回路19Sは、AND回路16S~18Sの出力をOR演算して最終のS相パルスとして出力する。

【0062】

T相に関する動作を説明する。コンパレータ14Tは、パターン信号発生器11から入力されるT相制御電圧kcと鋸歯状波W1とを比較し、比較信号(T相制御電圧kc>鋸歯状波W1の場合に「1」、T相制御電圧kc<鋸歯状波W1の場合に「0」)をAND回路16Tに出力する。AND回路16Tは、コンパレータ14Tから入力される比較信号と、T相最大判定信号とのAND演算を行って、OR回路19Tに出力する。

【0063】

コンパレータ15Tは、鋸歯状波W2とパターン信号発生器11から入力されるT相制御電圧kcとを比較し、比較信号(鋸歯状波W2>S相制御電圧kcの場合に「1」、鋸歯状波W2<S相制御電圧kcの場合に「0」)をAND回路17Tに出力する。AND回路17Tは、コンパレータ15Tから入力される比較信号と、T相最小判定信号とのAND演算を行って、OR回路19Tに出力する。

【0064】

AND回路18Tは、固定信号「1」とT相中間判別信号とのAND演算を行って、OR回路19Tに出力する。OR回路19Tは、AND回路16T~18Tの出力をOR演算して最終のT相パルスとして出力する。

【0065】

パターン信号発生器11は、図12に示すように、R、S、T相電圧a、b、cと電圧設定器12から出力される直流電圧制御ゲインkとをそれぞれ乗算して、R相、S相、T相制御パターンka、kb、kcをそれぞれ出力する乗算器30R、30S、30Tを備えている。

【0066】

相電圧判別器13は、図13に示すように、コンパレータ40R、40S、40Tと、AND回路41R、41S、41Tと、AND回路42R、42S、42Tと、NOR回路43R、43S、43Tとを備えている。

【0067】

コンパレータ40Rは、R相電圧aとS相電圧bとを比較して、比較信号(R相電圧a>S相電圧bの場合に「1」、R相電圧a<S相電圧bの場合に「0」)をAND回路41R、42S、41T、42Tに出力する。コンパレータ40Sは、S相電圧bとT相電圧cとを比較して、比較信号(S相電圧b>T相電圧cの場合に「1」、S相電圧b<T相電圧cの場合に「0」)をAND回路41R、42R、41S、42Tに出力する。コンパレータ40Tは、T相電圧cとR相電圧aとを比較して、比較信号(T相電圧c>R相電圧aの場合に「1」、T相電圧c<R相電圧aの場合に「0」)をAND回路42R、41S、42S、41Tに出力する。

【0068】

AND回路41Rは、コンパレータ40Rの比較信号とコンパレータ40Sの比較信号とのAND演算結果をR相最大判定信号として出力する。AND回路42Rは、コンパレータ40Sの比較信号とコンパレータ40Tの比較信号とのAND演算結果をR相最小判定信号として出力する。AND回路41Sは、コンパレータ40Sの比較信号とコンパレータ40Tの比較信号とのAND演算結果をS相最大判定信号として出力する。AND回路42Sは、コンパレータ40Tの比較信号とコンパレータ40Rの比較信号とのAND演算結果をS相最小判定信号として出力する。AND回路41Tは、コンパレータ40Tの比較信号とコンパレータ40Rの比較信号とのAND演算結果をT相最大判定信号として出力する。AND回路42Tは、コンパレータ40Rの比較信号とコンパレータ40Sの比較信号とのAND演算結果をT相最小判定信号として出力する。

【0069】

NOR回路43Rは、R相最大判定信号とR相最小判定信号とのNOR演算結果をR相中間判定信号として出力する。NOR回路43Sは、S相最大判定信号とS相最小判定信

10

20

30

40

50

号とのNOR演算結果をS相中間判定信号として出力する。NOR回路43Tは、T相最大判定信号とT相最小判定信号とのNOR演算結果をT相中間判定信号として出力する。

【0070】

つぎに、基本の形態における直流電圧の脈動と入力電流の高調波を低減する原理を説明する。基本の形態では、スイッチングパターン発生器5および駆動回路6によって、双方向スイッチ回路3を以下のようにスイッチングすることで、直流電圧の脈動と入力電流の高調波との低減を図る。図14は、R相電圧、S相電圧、T相電圧の各区間を説明するための図である。図15は、R、S、T相制御電圧ka、kb、kcと、鋸歯状波W1、W2と、R、S、T相パルス(スイッチングパターン)の一例を示す図である。

【0071】

まず、直流電圧について説明する。図14において、3相交流電圧は、R相電圧、S相電圧、T相電圧の大小関係により、モード(区間)I~VIの6つに区分する。R>T>SをモードI、R>S>TをモードII、S>R>TをモードIII、S>T>RをモードIV、T>S>RをモードV、T>R>SをモードVIに区分する。

【0072】

ここでは、区間IIのR相最大、S相中間、T相最小の場合について説明する。R相電圧a、S相電圧b、T相電圧cは、上述したように、相電圧を「-1」と「1」の間で規格化したものである。直流電圧設定ゲインkは、上述したように、電圧設定器12において直流電圧設定値に応じて決定されるゲインで、0.5~1の間の定数となる。直流電圧設定ゲインkは、パターン信号発生器11において、R相電圧a、S相電圧b、T相電圧cに乘算され、乗算されたR相制御電圧ka、S相制御電圧kb、T相制御電圧kcは、鋸歯状波W1、W2と切り合いする波形となる(図15参照)。

【0073】

図15において、Tはスイッチング周期、xはR相パルス幅、yはS相パルス幅、zはT相パルス幅を示している。区間1、2、3の直流電圧は、それぞれ、区間1電圧=S T間電圧=b-c、区間2電圧=R T間電圧=a-c、区間3電圧=R S間電圧=a-bとなる。区間1の幅は、T-x、区間2の幅は、x-(T-z)=x+z-T、区間3の幅は、T-zである。一方、R相パルス幅xは、T:x=1:kaよりx=kaT、T相パルス幅zは、T:z=1:-kcよりz=-kcTである。よって、区間1の幅は、T-x=T-kaT=T(1-ka)、区間3の幅は、T-z=T-(-kcT)=T(1+kc)、区間2の幅は、x+z-T=kaT+(-kcT)-T=T(ka-kc-1)となる。

【0074】

スイッチング周期Tの直流電圧の平均は、それぞれの区間ごとに直流電圧を積算しそれぞれを加算してスイッチング周期Tで除して、以下のように表すことができる。

$$\begin{aligned} \text{スイッチング周期Tの電圧の平均} &= \{ (b-c) \times T \times (1-ka) + (a-c) \times T \times (ka-kc-1) + (a-b) \times T \times (1+kc) \} / T \\ &= k(a^2 + c^2) - kb(a+c) \\ \text{ここで、} a+b+c &= 0 \text{ (3相条件) を考慮すると、} \\ &= k(a^2 + b^2 + c^2) \\ \text{さらに、交流理論から、} a^2 + b^2 + c^2 &= 3/2 \text{ より} \\ &= k \times 3/2 \end{aligned}$$

なお、上記スイッチング周期Tの電圧の平均は、相電圧に基づいて表されている。

【0075】

従って、直流電圧のスイッチング区間の平均値は一定となり、直流電圧設定ゲインk×3/2となり、鋸歯状波W1、W2と比較する直流電圧設定ゲインkに比例する。このため、直流電圧設定ゲインkを選定することで、降圧して得られる直流電圧の大きさを制御できる。ここで、R相パルスとT相パルスがスイッチング周期Tの中で両方ONするために、直流電圧設定ゲインkの最小値は0.5であり、R相制御電圧ka、S相制御電圧kb、T相制御電圧kcが鋸歯状波W1、W2を越えないために、直流電圧設定ゲインkの

10

20

30

40

50

最大値は、1となる。したがって、 k の設定可能範囲は、 $0.5 \sim 1$ の範囲内である。

【0076】

つぎに、入力電流について説明する。R相の入力電流は、R相制御電圧 k_a の時間に比例する正の電流が流れる。T相の入力電流は、T相制御電圧 k_c の絶対値 $|k_c|$ に比例する負の電流、すなわち、T相制御電圧 k_c に比例する電流が流れる。S相の入力電流は、区間 $1 = T \times (1 - k_a)$ で正の電流が流れ、区間 $3 = T \times (1 + k_c)$ で負の電流が流れる。従って、流れる正の電流は、 $T \times (1 - k_a) - T \times (1 + k_c) = T \times (-k_a - k_c) = T \times k \times (-a - c) = T \times k \times b$ となり、スイッチング周期 T の平均を T で除するとS相制御電圧 k_b となる。このように、R相、S相、T相の電流は、R相制御電圧 k_a 、S相制御電圧 k_b 、T相制御電圧 k_c に比例する電流が流れることになり、入力の電圧に比例する電流が平均的に流れることになる。

10

【0077】

本スイッチングによる直流電圧と入力電流をまとめると次のようになる。

(1) スwitching周期 T における直流電圧の平均値は、降圧された一定の電圧値となる。

。

(2) スwitching周期 T における入力電流の平均値は、入力の電圧比に分配される。

【0078】

つぎに、入力電流が正弦波になることを説明する。3相交流電圧のR相電圧を $V \sin(\omega t)$ 、S相電圧を $V \sin(\omega t + 120)$ 、T相電圧を $V \sin(\omega t + 240)$ とする。上記(2)より、入力電流は、R相電流を $I(t) \sin(\omega t)$ 、S相電流を $I(t) \sin(\omega t + 120)$ 、T相電流を $I(t) \sin(\omega t + 240)$ と一般化して書くことができる。但し、 $I(t)$ は入力電流の振幅である。

20

この時の入力電力 P は、以下のように表すことができる。

【0079】

$$\begin{aligned} P &= V \sin(\omega t) \times I(t) \sin(\omega t) + V \sin(\omega t + 120) \times I(t) \sin(\omega t + 120) + V \sin(\omega t + 240) \times I(t) \sin(\omega t + 240) \\ &= V \times I(t) \sin^2(\omega t) + V \times I(t) \sin^2(\omega t + 120) + V \times I(t) \sin^2(\omega t + 240) \\ &= V \times I(t) \{ \sin^2(\omega t) + \sin^2(\omega t + 120) + \sin^2(\omega t + 240) \} \end{aligned}$$

30

【0080】

{ }内を計算すると、{ }内は、定数 $3/2$ であるので、

$$P = V \times I(t) \times 3/2 \text{ を変形して、 } I(t) = P / V \times 2/3$$

ここで、 P が一定の場合、 V は一定であるので、 $I(t)$ は、時間に依存しない一定値となる。即ち、入力電流は、正弦波である。

(3) 上記(2)の条件の下で、電力が一定である場合、入力電流は正弦波となる。

【0081】

3相整流器100(図8参照)において、スイッチングパターン発生器5および駆動回路6で上記のスイッチングを行い、スイッチング周期 T 内での直流電圧の変動を除去する直流リアクトル2を全波整流回路4の出力側に接続したため、直流電圧は、上記(1)より一定となる。基本の形態では、機械MCの負荷が、短時間(100ms程度)において、一定電力とみなす。スイッチング周期 T 内での入力電流変動を除去する入力コンデンサ9を双方向スイッチ回路3の入力側に接続することで、上記(3)より、入力電流は、正弦波となる。

40

【0082】

なお、上記では、スイッチングパターンを生成するために、鋸歯状波を使用した場合を説明したが、これに限られるものではなく、最大電圧相と最小電圧相に対する制約を満足させるものであればよく、例えば、三角波等のキャリア波形を用いることにしてもよい。

【0083】

次に、基本の形態における直流電圧および直流電流のシミュレーション結果について図

50

16を用いて説明する。図16は、3相整流器100の入力交流電力(図16(a))、出力直流電圧(図16(b))、及び出力直流電流(図16(c))のシミュレーション結果を示している。3相整流器100(図8参照)において、直流入力電圧3相=200V(線間電圧)、機器MCの負荷として負荷抵抗=20Ω、入力3相リアクトル8として系統のリアクタンスを考慮して100μH、入力コンデンサ9=3μF/相、コンデンサ10=2μF、直流リアクトル2=2mH、スイッチング周波数50kHz、直流電圧設定ゲインk=0.9の条件でシミュレーションを行った。3相電圧の全波整流のリップルの下限の電圧(直流電圧として取り出せる最大の電圧)は $200 \times 2^{1/2} \times (3^{1/2}/2) = 245$ Vであるのに対し、図16(b)に示すように、基本の形態では、直流電圧は、約DC220Vで一定でほぼ理論通りであり、降圧されており、また、直流電流も一定となっており、入力電流もスイッチングに伴う変動はあるものの正弦波状になっている。なお、上記シミュレーションは、線間電圧に基づいており、直流電圧と直流電流はそれぞれ機器(負荷)MCの両端の電圧と機器(負荷)MCに流入する電流である。

10

【0084】

このように、基本の形態にかかる3相スイッチング整流回路160を含む3相整流器100では、機器MCが負荷を有する場合に、各相のスイッチングパターンをPWM変調しながら双方向スイッチ回路3における複数のスイッチング素子IGBT-r~IGBT-tを所定のタイミングでON/OFFさせることで、入力電流をその高調波を低減した正弦波とすることができ、直流電圧を略一定に安定させることができる。

【0085】

20

ここで、仮に、3相スイッチング整流回路160における複数のスイッチング素子IGBT-r~IGBT-t及び複数のダイオードD1~D16を互いに別々の部品として基板PCB(図3参照)上に実装する場合を考える。この場合、絶縁性を確保するための空間距離や沿面距離の規格を満たすために、複数のスイッチング素子IGBT-r~IGBT-t及び複数のダイオードD1~D16を互いに所定距離以上離間させて基板PCB上に実装する必要がある。これにより、3相スイッチング整流回路160が全体として大型化しやすく、全体にヒートシンクを設けることが困難なため、3相スイッチング整流回路160の放熱を効率的に行うことが困難な傾向にある。この傾向は、3相交流電源PSから入力される交流電圧を高電圧化(例えば、AC400Vに)した場合に顕著になる。

【0086】

30

そこで、本発明者は、図17に示すような3相スイッチング整流回路160における複数のスイッチング素子IGBT-r~IGBT-t及び複数のダイオードD1~D16の間を絶縁物(例えば、図3に示すシリコンジェルSG)で満たして絶縁パッケージで機械的に一体化すれば、空間距離や沿面距離の制約をなくすることができる考えた。そして、本発明者は、図18に示すような絶縁パッケージPCK900を含むパワーモジュールPM900を試作した。

【0087】

具体的には、絶縁パッケージPCK900は、図17に示すような3相スイッチング整流回路160と同様な図18に示す3相スイッチング整流回路160iを機械的に一体化する。3相スイッチング整流回路160iは、双方向スイッチ回路3及び全波整流回路4iを有する。双方向スイッチ回路3は、基本の形態における双方向スイッチ回路3(図17参照)と同様である。全波整流回路4iは、PラインとNラインとを接続するダイオードD16がさらに追加されている以外は基本の形態における全波整流回路4(図17参照)と同様であり、基本の形態における全波整流回路4と同様に機能する。ダイオードD16は、カソードが出力端子OT-pに接続され、アノードが出力端子OT-nに接続されている。

40

【0088】

すなわち、絶縁パッケージPCK900は、スイッチング素子IGBT-r~IGBT-t及びダイオードD1~D16を機械的に一体的に収容する(図19参照)。

【0089】

50

例えば、図 3 に示すように、スイッチング素子 IGBT - r ~ IGBT - t 及びダイオード D1 ~ D16 としての複数のチップ CHIP 及び複数の端子ピン PIN を、樹脂ケース CS の内側で、絶縁シート SH を介してアルミニウムなどの金属基板 SB の上に固定し、複数のチップ CHIP 及び複数の端子ピン PIN の間のアルミニウムなどのボンディングワイヤ BW で接続する。そして、複数のチップ CHIP の間を絶縁物（例えば、シリコンジェル）SG で満たし、上から蓋 LD をかぶせる。これにより、絶縁物 SG 及び樹脂ケース CS を含む絶縁パッケージ PCK900 は、スイッチング素子 IGBT - r ~ IGBT - t 及びダイオード D1 ~ D16 を機械的に一体的に収容する（図 19 参照）。

【0090】

また、図 18 に示す絶縁パッケージ PCK900 は、入力端子 MIT - r ~ MIT - t、出力端子 MOT - p、MOT - n、グランド端子 GND - r ~ GND - t、及び制御端子 CNT - r ~ CNT - t を外部に引き出す。すなわち、絶縁パッケージ PCK900 には、図 19 に示すように、端子ピン PIN1 ~ PIN11 が設けられている。

【0091】

端子ピン PIN1 ~ PIN3 は、入力端子 MIT - r ~ MIT - t に電氣的に接続されている。入力端子 MIT - r には、R 相の交流電力が入力される。入力端子 MIT - s には、S 相の交流電力が入力される。入力端子 MIT - t には、T 相の交流電力が入力される。

【0092】

端子ピン PIN4 ~ PIN6 は、グランド端子 GND - r ~ GND - t に電氣的に接続されている。グランド端子 GND - r は、スイッチング素子 IGBT - r のエミッタに接続されている。グランド端子 GND - s は、スイッチング素子 IGBT - s のエミッタに接続されている。グランド端子 GND - t は、スイッチング素子 IGBT - t のエミッタに接続されている。

【0093】

端子ピン PIN7、PIN8 は、出力端子 MOT - p、MOT - n に電氣的に接続されている。出力端子 MOT - p は、P 側の直流電力を出力する。出力端子 MOT - n は、N 側の直流電力を出力する。

【0094】

端子ピン PIN9 ~ PIN11 は、制御端子 CNT - r ~ CNT - t に電氣的に接続されている。制御端子 CNT - r は、スイッチング素子 IGBT - r のベースに接続されている。制御端子 CNT - s は、スイッチング素子 IGBT - s のベースに接続されている。制御端子 CNT - t は、スイッチング素子 IGBT - t のベースに接続されている。

【0095】

そして、本発明者は、図 18 及び図 19 に示すようなパワーモジュール PM900 として実装された 3 相スイッチング整流回路 160i の性能について評価を行ったところ、3 相スイッチング整流回路 160i をさらに高速化する必要があることが分かった。

【0096】

本発明者は、図 18 に示す 3 相スイッチング整流回路 160i の回路構成について高速化のためにどのような変更が必要か詳細に検討を行った。その結果、スイッチング素子 IGBT - r ~ IGBT - t のエミッタ・コレクタ間に逆電圧が印加された際に、ダイオード D1、D2、D5、D6、D9、D10 が還流ダイオードとしても機能しており、ダイオード D13 ~ D15 が高速に動作してもダイオード D1、D2、D5、D6、D9、D10 の動作速度が遅いため、3 相スイッチング整流回路 160i の動作速度が要求レベルに達していないことを見出した。

【0097】

さらに、本発明者は、ダイオード D1、D2、D5、D6、D9、D10 が還流ダイオードとしても機能しているのならば、3 相スイッチング整流回路 160i からダイオード D13 ~ D15 を除去しても 3 相スイッチング整流回路 160i を動作させることができるのではないかと考えた。

10

20

30

40

50

【 0 0 9 8 】

そこで、本発明者は、図 1 に示すように、3 相スイッチング整流回路 1 6 0 j における双方向スイッチ回路 3 j として機能する部分において、ダイオード D 1 3 ~ D 1 5 (図 1 8 参照) を除去し、ダイオード D 1 j、D 2 j、D 5 j、D 6 j、D 9 j、D 1 0 j を、整流ダイオードから高速スイッチングダイオード (F R D) に変更した。

【 0 0 9 9 】

すなわち、図 1 に示す 3 相スイッチング整流回路 1 6 0 j において、各ダイオード D 1 j、D 2 j、D 5 j、D 6 j、D 9 j、D 1 0 j の逆回復時間は、各ダイオード D 3、D 4、D 7、D 8、D 1 1、D 1 2 の逆回復時間より短い。

【 0 1 0 0 】

また、図 1 に示す 3 相スイッチング整流回路 1 6 0 j において、ダイオード D 1 j 及びダイオード D 2 j は、高速スイッチングダイオード (F R D) が用いられており、整流素子として機能しながら、スイッチング素子 I G B T - r の還流ダイオードとしても機能するように構成されている。すなわち、ダイオード D 1 j 及びダイオード D 2 j は、整流させる機能とスイッチング素子 I G B T - r を保護する機能とを有するように構成されている。

【 0 1 0 1 】

ダイオード D 5 j 及びダイオード D 6 j は、高速スイッチングダイオード (F R D) が用いられており、整流素子として機能しながら、スイッチング素子 I G B T - s の還流ダイオードとしても機能するように構成されている。すなわち、ダイオード D 5 j 及びダイオード D 6 j は、整流させる機能とスイッチング素子 I G B T - s を保護する機能とを有するように構成されている。

【 0 1 0 2 】

ダイオード D 9 j 及びダイオード D 1 0 j は、高速スイッチングダイオード (F R D) が用いられており、整流素子として機能しながら、スイッチング素子 I G B T - t の還流ダイオードとしても機能する。すなわち、ダイオード D 9 j 及びダイオード D 1 0 j は、整流させる機能とスイッチング素子 I G B T - t を保護する機能とを有するように構成されている。

【 0 1 0 3 】

そして、本発明者は、図 1 に示す 3 相スイッチング整流回路 1 6 0 j の動作速度について評価を行った。その結果、3 相スイッチング整流回路 1 6 0 j の動作速度が要求レベルに達していることを確認した。

【 0 1 0 4 】

また、本発明者は、図 1 8 及び図 1 9 に示すようなパワーモジュール P M 9 0 0 のノイズに関する性能について評価を行った。その結果、スイッチング素子 I G B T - r ~ I G B T - t のスイッチング動作に伴うスイッチングノイズを低減する必要があることが分かった。

【 0 1 0 5 】

さらに、本発明者は、スイッチングノイズを低減するため、端子ピン P I N 7、P I N 8 にノイズ除去用の雑防回路 N R C 9 0 0 を接続してパワーモジュール P M 9 0 0 の性能について評価を行った。雑防回路 N R C 9 0 0 は、フィルムコンデンサ C 9 0 1 を含む。フィルムコンデンサ C 9 0 1 の一方の電極が端子ピン P I N 7 を介して出力端子 M O T - p に接続され、他方の電極が端子ピン P I N 8 を介して出力端子 M O T - n に接続された。

【 0 1 0 6 】

しかし、スイッチング素子 I G B T - r ~ I G B T - t のスイッチング動作に伴うスイッチングノイズを要求されるノイズレベルまで低減することが困難であることが分かった。すなわち、スイッチング素子 I G B T - r ~ I G B T - t のエミッタ - コレクタ間電圧には、線間の寄生容量 (C 分) と寄生誘導 (L 分) とに起因した共振周波数で振動するノイズが混入しやすい。このノイズを雑防回路 N R C 9 0 0 で消費させてノイズを抑える必

10

20

30

40

50

要があるが、端子ピンP I N 7、P I N 8に雑防回路N R C 9 0 0を接続した場合、雑防回路N R C 9 0 0によるノイズを消費する動作が、雑防回路N R C 9 0 0とスイッチング素子I G B T - r ~ I G B T - tとの間に整流用のダイオードD 3、D 7、D 1 1により妨げられるため、スイッチング素子I G B T - r ~ I G B T - tのエミッタ - コレクタ間電圧におけるノイズを低減することが困難な傾向にある。

【 0 1 0 7 】

また、上記のノイズは寄生容量（C分）と寄生誘導（L分）とを小さくすることで小さくできると考えられるが、端子ピンP I N 7、P I N 8に雑防回路N R C 9 0 0を接続した場合、スイッチング素子I G B T - rから端子ピンP I N 7、P I N 8までの線路長が長くなりやすく、寄生誘導（L分）が大きくなりやすい。さらに、図18に斜線で示すスイッチング素子I G B T - rのエミッタコレクタ間とフィルムコンデンサC 9 0 1とで形成される領域A R 1の面積が大きくなりやすく、寄生容量（C分）が大きくなりやすい。これにより、抑制すべきノイズの値が非常に大きなものになる可能性がある。そのように非常に大きなノイズを低減するためには、フィルムコンデンサC 9 0 1の容量を、図18に斜線で示すスイッチング素子I G B T - rのエミッタコレクタ間とフィルムコンデンサC 9 0 1とで形成される領域A R 1の面積に応じた大きな容量値にする必要があるが、フィルムコンデンサC 9 0 1の容量をそのように大きくすることは困難な傾向にある。

【 0 1 0 8 】

そこで、本発明者は、図1に示すように、絶縁パッケージP C Kにおけるスイッチング素子I G B T - r ~ I G B T - tから距離が近い位置に雑防専用端子N R - r ~ N R - tを設けるとともに、3相スイッチング整流回路1 6 0 jに雑防補助回路1 6 1 j - r ~ 1 6 1 j - tを追加した。

【 0 1 0 9 】

すなわち、絶縁パッケージP C Kは、絶縁パッケージP C K 9 0 0（図18、図19参照）に比べて、雑防専用端子N R - r ~ N R - tをさらに外部に引き出す。すなわち、パワーモジュールP Mは、図2に示すように、端子ピンP I N 1 2 j ~ P I N 1 4 jをさらに備える。

端子ピンP I N 1 2 j ~ P I N 1 4 jは、雑防専用端子N R - r ~ N R - tに電氣的に接続されている。

【 0 1 1 0 】

雑防専用端子N R - rは、端子ピンP I N 1 2 jに接続され、雑防補助回路1 6 1 j - rを介してスイッチング素子I G B T - rのコレクタに接続されている。すなわち、雑防専用端子N R - rは、ダイオードD 1 j及びダイオードD 2 jとスイッチング素子I G B T - rのコレクタとの間に接続されている。すなわち、雑防専用端子N R - rは、複数のダイオードD 1、D 2とスイッチング素子I G B T - rとの間から引き出されている。雑防補助回路1 6 1 j - rは、雑防専用端子N R - rとスイッチング素子I G B T - rのコレクタとを接続するライン1 6 2 j - rを有する。

【 0 1 1 1 】

グランド端子G N D - rは、端子ピンP I N 4に接続され、スイッチング素子I G B T - rのエミッタに接続されている。すなわち、グランド端子G N D - rは、複数のダイオードD 1、D 2とスイッチング素子I G B T - rとの間から引き出されている。

【 0 1 1 2 】

雑防専用端子N R - rに接続された端子ピンP I N 1 2 jは、グランド端子G N D - rに接続された端子ピンP I N 4に隣接して配されている。すなわち、グランド端子G N D - rと雑防専用端子N R - rとは、互いに隣接して絶縁パッケージP C Kから引き出されている。

【 0 1 1 3 】

雑防専用端子N R - sは、端子ピンP I N 1 3 jに接続され、雑防補助回路1 6 1 j - sを介してスイッチング素子I G B T - sのコレクタに接続されている。すなわち、雑防専用端子N R - sは、ダイオードD 5 j及びダイオードD 6 jとスイッチング素子I G B

10

20

30

40

50

T - s のコレクタとの間に接続されている。すなわち、雑防専用端子 NR - s は、複数のダイオード D 5、D 6 とスイッチング素子 IGBT - s との間から引き出されている。雑防補助回路 161 j - s は、雑防専用端子 NR - s とスイッチング素子 IGBT - r のコレクタとを接続するライン 162 j - r を有する。

【0114】

グランド端子 GND - s は、端子ピン PIN 5 に接続され、スイッチング素子 IGBT - s のエミッタに接続されている。すなわち、グランド端子 GND - s は、複数のダイオード D 5、D 6 とスイッチング素子 IGBT - s との間から引き出されている。

【0115】

雑防専用端子 NR - s に接続された端子ピン PIN 13 j は、グランド端子 GND - s に接続された端子ピン PIN 5 に隣接して配されている。すなわち、グランド端子 GND - s と雑防専用端子 NR - s とは、互いに隣接して絶縁パッケージ PCK から引き出されている。

10

【0116】

雑防専用端子 NR - t は、端子ピン PIN 14 j に接続され、雑防補助回路 161 j - t を介してスイッチング素子 IGBT - t のコレクタに接続されている。すなわち、雑防専用端子 NR - t は、ダイオード D 9 j 及びダイオード D 10 j とスイッチング素子 IGBT - t のコレクタとの間に接続されている。すなわち、雑防専用端子 NR - t は、複数のダイオード D 9、D 10 とスイッチング素子 IGBT - t との間から引き出されている。雑防補助回路 161 j - t は、雑防専用端子 NR - t とスイッチング素子 IGBT - t のコレクタとを接続するライン 162 j - t を有する。

20

【0117】

グランド端子 GND - t は、端子ピン PIN 6 に接続され、スイッチング素子 IGBT - t のエミッタに接続されている。すなわち、グランド端子 GND - t は、複数のダイオード D 9、D 10 とスイッチング素子 IGBT - t との間から引き出されている。

【0118】

雑防専用端子 NR - t に接続された端子ピン PIN 14 j は、グランド端子 GND - t に接続された端子ピン PIN 6 に隣接して配されている。すなわち、グランド端子 GND - t と雑防専用端子 NR - t とは、互いに隣接して絶縁パッケージ PCK から引き出されている。

30

【0119】

そして、本発明者は、スイッチングノイズを低減するため、端子ピン PIN 12 j ~ PIN 14 j にノイズ除去用の雑防回路 NRC - r ~ NRC - t を接続してパワーモジュール PM の性能について評価を行った。

【0120】

雑防回路 NRC - r は、互いに直列接続された抵抗 R 11 及びフィルムコンデンサ C 11 を含む。雑防回路 NRC - r の一端が端子ピン PIN 12 j を介して雑防専用端子 NR - r に接続され、雑防回路 NRC - r の他端がグランド端子 GND - r 及びグランド電位に接続されている。すなわち、グランド端子 GND - r は、雑防回路 NRC - r 用のグランド端子になっている。

40

【0121】

雑防回路 NRC - s は、互いに直列接続された抵抗 R 12 及びフィルムコンデンサ C 12 を含む。雑防回路 NRC - s の一端が端子ピン PIN 13 j を介して雑防専用端子 NR - s に接続され、雑防回路 NRC - s の他端がグランド端子 GND - s 及びグランド電位に接続されている。すなわち、グランド端子 GND - s は、雑防回路 NRC - s 用のグランド端子になっている。

【0122】

雑防回路 NRC - t は、互いに直列接続された抵抗 R 13 及びフィルムコンデンサ C 13 を含む。雑防回路 NRC - t の一端が端子ピン PIN 14 j を介して雑防専用端子 NR - t に接続され、雑防回路 NRC - t の他端がグランド端子 GND - t 及びグランド電位

50

に接続されている。すなわち、グラウンド端子 GND - t は、雑防回路 NRC - t 用のグラウンド端子になっている。

【0123】

その結果、スイッチング素子 IGBT - r ~ IGBT - t のスイッチング動作に伴うスイッチングノイズを要求されるノイズレベルまで容易に低減できることを確認した。すなわち、例えば、スイッチング素子 IGBT - r からフィルムコンデンサ C11 までの距離が近いため、スイッチング素子 IGBT - r のエミッタコレクタ間とフィルムコンデンサ C11 とで形成される領域 AR2 の面積を図18に示す領域 AR1 に比べて小さくでき、フィルムコンデンサ C11 の容量を図1に斜線で示す領域 AR2 の面積に応じた小さな容量値に低減することが可能になる。これにより、フィルムコンデンサ C11 の容量を低減しながら、スイッチング素子 IGBT - r のスイッチング動作に伴うスイッチングノイズを要求されるノイズレベルまで容易に低減できることを確認した。

10

【0124】

以上のように、実施の形態1では、3相スイッチング整流回路160jにおいて、ダイオード D1j 及びダイオード D2j は、高速スイッチングダイオード (FRD) が用いられており、整流させる機能とスイッチング素子 IGBT - r を保護する機能とを有するように構成されている。ダイオード D5j 及びダイオード D6j は、高速スイッチングダイオード (FRD) が用いられており、整流させる機能とスイッチング素子 IGBT - s を保護する機能とを有するように構成されている。ダイオード D9j 及びダイオード D10j は、高速スイッチングダイオード (FRD) が用いられており、整流させる機能とスイッチング素子 IGBT - t を保護する機能とを有するように構成されている。これにより、3相スイッチング整流回路160jの動作を高速化できる。

20

【0125】

具体的には、3相スイッチング整流回路160jにおいて、各ダイオード D1j、D2j、D5j、D6j、D9j、D10j の逆回復時間が、各ダイオード D3、D4、D7、D8、D11、D12 の逆回復時間より短い。これにより、例えば、スイッチング素子 IGBT - r ~ IGBT - t のエミッタ・コレクタ間に逆電圧が印加された際の動作速度を高速化でき、3相スイッチング整流回路160jの動作を高速化できる。

【0126】

また、実施の形態1では、ダイオード D1j 及びダイオード D2j が、整流素子として機能しながら、スイッチング素子 IGBT - r の還流ダイオードとしても機能する。ダイオード D5j 及びダイオード D6j が、整流素子として機能しながら、スイッチング素子 IGBT - s の還流ダイオードとしても機能する。ダイオード D9j 及びダイオード D10j が、整流素子として機能しながら、スイッチング素子 IGBT - t の還流ダイオードとしても機能する。これにより、ダイオード D13 ~ D15 (図18参照) を除去しても3相スイッチング整流回路160jを動作させることができ、基本の形態にかかる3相スイッチング整流回路160に比べて素子数を低減できるので、回路構成を簡略化でき、3相スイッチング整流回路160jの実装面積を低減できる。

30

【0127】

また、実施の形態1では、絶縁パッケージ PCK が、全波整流回路4iと双方向スイッチ回路3jとを機械的に一体的に収容する。すなわち、絶縁パッケージ PCK は、スイッチング素子 IGBT - r ~ IGBT - t 及びダイオード D1j ~ D16 を機械的に一体的に収容する。これにより、空間距離や沿面距離の制約をなくすことができ、この観点からも、3相スイッチング整流回路160jにおけるスイッチング素子 IGBT - r ~ IGBT - t 及びダイオード D1j ~ D16 の実装密度を向上できる。この結果、3相スイッチング整流回路160jを小型化できる。

40

【0128】

したがって、図3に示すように、パワーモジュール PM を小型のヒートシンク HS に接触させることで放熱することが可能になり、効率的に放熱することができる。

【0129】

50

また、実施の形態 1 では、絶縁パッケージ P C K が、雑防専用端子 N R - r ~ N R - t を外部に引き出す。すなわち、パワーモジュール P M は、他の端子とは別に、雑防回路を外部接続するための専用端子である雑防専用端子 N R - r ~ N R - t を備える。。例えば、雑防専用端子 N R - r は、ダイオード D 1 j 及びダイオード D 2 j とスイッチング素子 I G B T - r との間に接続される。例えば、雑防専用端子 N R - s は、ダイオード D 5 j 及びダイオード D 6 j とスイッチング素子 I G B T - s との間に接続される。例えば、雑防専用端子 N R - t は、ダイオード D 9 j 及びダイオード D 10 j とスイッチング素子 I G B T - t との間に接続される。これにより、雑防回路を外部接続した場合に雑防回路によるノイズを消費する動作が整流用のダイオード D 3、D 7、D 11 により妨げられにくい位置に雑防専用端子 N R - r ~ N R - t を設けることができ、スイッチング素子 I G B T - r ~ I G B T - t のスイッチング動作に伴うスイッチングノイズを要求されるノイズレベルまで容易に低減できる。

10

【 0 1 3 0 】

また、実施の形態 1 では、グランド端子 G N D - r と雑防専用端子 N R - r とが、互いに隣接して絶縁パッケージ P C K から引き出されており、グランド端子 G N D - s と雑防専用端子 N R - s とが、互いに隣接して絶縁パッケージ P C K から引き出されており、グランド端子 G N D - t と雑防専用端子 N R - t とが、互いに隣接して絶縁パッケージ P C K から引き出されている。これにより、フィルムコンデンサを含む雑防回路を雑防専用端子 N R - r ~ N R - t に接続した際に、スイッチング素子 I G B T - r、I G B T - s、I G B T - t から端子ピン P I N 12 j、P I N 13 j、P I N 14 j までの線路長を低減でき、寄生誘導 (L 分) を低減できるとともに、スイッチング素子 I G B T - r ~ I G B T - t のエミッタコレクタ間とフィルムコンデンサとで形成される領域 A R 2 の面積 (図 1 参照) を小さくでき、寄生容量 (C 分) を低減できるので、抑制すべきノイズの値自体を低減できる。これにより、フィルムコンデンサの容量を小さくしながら、スイッチング素子 I G B T - r ~ I G B T - t のスイッチング動作に伴うスイッチングノイズを要求されるノイズレベルまで低減できる。言い換えると、接続されるべき雑防回路を小型化できるように雑防専用端子を構成できる。

20

【 0 1 3 1 】

なお、図 1 に示す 3 相リアクトル 8 i は、例えば、各相のラインに対して直列に挿入されたリアクトル L 1 ~ L 3 と抵抗 R 1 ~ R 3 との並列接続を有し、基本の形態における 3 相リアクトル 8 (図 8 参照) と同様に機能する。

30

【 0 1 3 2 】

図 1 に示す入力コンデンサ 9 i は、例えば、各相のライン間を接続するコンデンサ C 1 ~ C 3 を有し、基本の形態における入力コンデンサ 9 (図 8 参照) と同様に機能する。

図 1 に示す直流リアクトル 2 及びコンデンサ 10 は、基本の形態における直流リアクトル 2 及びコンデンサ 10 (図 8 参照) と同様に機能する。

【 0 1 3 3 】

なお、ダイオード D 16 は、絶縁パッケージ P C K の外部に設けられていてもよい。

【 0 1 3 4 】

(実施の形態 2)

40

次に、実施の形態 2 にかかる 3 相スイッチング整流回路 160 j について説明する。以下では、実施の形態 1 と異なる部分を中心に説明する。

【 0 1 3 5 】

実施の形態 1 では、3 相スイッチング整流回路 160 j を 1 つの絶縁パッケージ P C K で実装しているが、実施の形態 2 では、3 相スイッチング整流回路 160 j を 2 つの絶縁パッケージ P C K 101、102 で実装する。

【 0 1 3 6 】

具体的には、図 4 及び図 5 に示すように、に示す 3 相スイッチング整流回路 160 j は、パワーモジュール P M 100 として実装される。パワーモジュール P M 100 において、絶縁パッケージ P C K 101 は、全波整流回路 4 i (図 1 参照) における R 相及び S 相

50

に対応した部分と双方向スイッチ回路 3 j (図 1 参照)における R 相及び S 相に対応した部分とを機械的に一体的に收容する。絶縁パッケージ PCK 1 0 1 は、例えば、スイッチング素子 IGBT - r、IGBT - s 及びダイオード D 1 j ~ D 8 を機械的に一体的に收容する。

【 0 1 3 7 】

また、絶縁パッケージ PCK 1 0 1 は、入力端子 MIT - r、MIT - s、出力端子 MOT - p 1、MOT - n 1、グランド端子 GND - r、GND - s、及び雑防専用端子 NR - r、NR - s を外部に引き出す。すなわち、絶縁パッケージ PCK 1 0 1 には、図 5 に示すように、端子ピン PIN 1、PIN 2、PIN 4、PIN 5、PIN 9、PIN 10、PIN 1 2 j、PIN 1 3 j、PIN 7 1、PIN 8 1 が設けられている。端子ピン PIN 7 1 は、出力端子 MOT - p 1 に電氣的に接続されている。端子ピン PIN 8 1 は、出力端子 MOT - n 1 に電氣的に接続されている。

10

【 0 1 3 8 】

絶縁パッケージ PCK 1 0 2 は、全波整流回路 4 i (図 1 参照)における T 相に対応した部分と双方向スイッチ回路 3 j (図 1 参照)における T 相に対応した部分とを機械的に一体的に收容する。絶縁パッケージ PCK 1 0 2 は、例えば、スイッチング素子 IGBT - t 及びダイオード D 9 j ~ D 1 2、D 1 6 を機械的に一体的に收容する。

【 0 1 3 9 】

また、絶縁パッケージ PCK 1 0 2 は、入力端子 MIT - t、出力端子 MOT - p 2、MOT - n 2、グランド端子 GND - t、及び雑防専用端子 NR - t を外部に引き出す。すなわち、絶縁パッケージ PCK 1 0 2 には、図 5 に示すように、端子ピン PIN 3、PIN 6、PIN 1 1、PIN 1 4 j、PIN 7 2、PIN 8 2 が設けられている。端子ピン PIN 7 2 は、出力端子 MOT - p 2 に電氣的に接続されている。端子ピン PIN 8 2 は、出力端子 MOT - n 2 に電氣的に接続されている。

20

【 0 1 4 0 】

このように、実施の形態 2 では、3 相スイッチング整流回路 1 6 0 j を 2 つの絶縁パッケージ PCK 1 0 1、1 0 2 で実装する。これにより、3 相スイッチング整流回路 1 6 0 j を 1 つの絶縁パッケージ PCK で実装する場合に比べて、実装に要するコストを低減でき、3 相スイッチング整流回路 1 6 0 j の製造コストを低減できる。

【 0 1 4 1 】

なお、実施の形態 2 では、R 相及び S 相に対応した構成を絶縁パッケージ PCK 1 0 1 に收容し T 相に対応した構成を絶縁パッケージ PCK 1 0 2 に收容する場合を例示しているが、S 相及び T 相に対応した構成を絶縁パッケージ PCK 1 0 1 に收容し R 相に対応した構成を絶縁パッケージ PCK 1 0 2 に收容してもよいし、R 相及び T 相に対応した構成を絶縁パッケージ PCK 1 0 1 に收容し T 相に対応した構成を絶縁パッケージ PCK 1 0 2 に收容してもよい。

30

【 0 1 4 2 】

また、ダイオード D 1 6 は、絶縁パッケージ PCK 1 0 2 の代わりに絶縁パッケージ PCK 1 0 1 に收容されていてもよい。あるいは、ダイオード D 1 6 は、絶縁パッケージ PCK 1 0 1、PCK 1 0 2 のそれぞれに收容されていてもよい。あるいは、ダイオード D 1 6 は、各絶縁パッケージ PCK 1 0 1、PCK 1 0 2 の外部に設けられていてもよい。

40

【 0 1 4 3 】

(実施の形態 3)

次に、実施の形態 3 にかかる 3 相スイッチング整流回路 1 6 0 j について説明する。以下では、実施の形態 1 と異なる部分を中心に説明する。

【 0 1 4 4 】

実施の形態 1 では、3 相スイッチング整流回路 1 6 0 j を 1 つの絶縁パッケージ PCK で実装しているが、実施の形態 3 では、3 相スイッチング整流回路 1 6 0 j を 3 つの絶縁パッケージ PCK 2 0 1 ~ PCK 2 0 3 で実装する。

【 0 1 4 5 】

50

具体的には、図 6 及び図 7 に示すように、3 相スイッチング整流回路 160j は、パワーモジュール PM200 として実装される。パワーモジュール PM200 において、絶縁パッケージ PCK201 は、全波整流回路 4i (図 1 参照) における R 相に対応した部分と双方向スイッチ回路 3j (図 1 参照) における R 相に対応した部分とを機械的に一体的に収容する。絶縁パッケージ PCK201 は、例えば、スイッチング素子 IGBT-r 及びダイオード D1j ~ D4 を機械的に一体的に収容する。

【0146】

また、絶縁パッケージ PCK201 は、入力端子 MIT-r、出力端子 MOT-p3、MOT-n3、グランド端子 GND-r、及び雑防専用端子 NR-r を外部に引き出す。すなわち、絶縁パッケージ PCK201 には、図 7 に示すように、端子ピン PIN1、PIN4、PIN9、PIN12j、PIN73、PIN83 が設けられている。端子ピン PIN73 は、出力端子 MOT-p3 に電氣的に接続されている。端子ピン PIN83 は、出力端子 MOT-n3 に電氣的に接続されている。

10

【0147】

絶縁パッケージ PCK202 は、全波整流回路 4i (図 1 参照) における S 相に対応した部分と双方向スイッチ回路 3j (図 1 参照) における S 相に対応した部分とを機械的に一体的に収容する。絶縁パッケージ PCK202 は、例えば、スイッチング素子 IGBT-s 及びダイオード D5j ~ D8 を機械的に一体的に収容する。

【0148】

また、絶縁パッケージ PCK202 は、入力端子 MIT-s、出力端子 MOT-p1、MOT-n1、グランド端子 GND-s、及び雑防専用端子 NR-s を外部に引き出す。すなわち、絶縁パッケージ PCK202 には、図 7 に示すように、端子ピン PIN2、PIN5、PIN10、PIN13j、PIN71、PIN81 が設けられている。端子ピン PIN71 は、出力端子 MOT-p1 に電氣的に接続されている。端子ピン PIN81 は、出力端子 MOT-n1 に電氣的に接続されている。

20

【0149】

絶縁パッケージ PCK203 は、全波整流回路 4i (図 1 参照) における T 相に対応した部分と双方向スイッチ回路 3j (図 1 参照) における T 相に対応した部分とを機械的に一体的に収容する。絶縁パッケージ PCK203 は、例えば、スイッチング素子 IGBT-t 及びダイオード D9j ~ D12、D16 を機械的に一体的に収容する。

30

【0150】

また、絶縁パッケージ PCK203 は、入力端子 MIT-t、出力端子 MOT-p2、MOT-n2、グランド端子 GND-t、及び雑防専用端子 NR-t を外部に引き出す。すなわち、絶縁パッケージ PCK203 には、図 7 に示すように、端子ピン PIN3、PIN6、PIN11、PIN14j、PIN72、PIN82 が設けられている。端子ピン PIN72 は、出力端子 MOT-p2 に電氣的に接続されている。端子ピン PIN82 は、出力端子 MOT-n2 に電氣的に接続されている。

【0151】

このように、実施の形態 3 では、3 相スイッチング整流回路 160j を 3 つの絶縁パッケージ PCK201 ~ PCK203 で実装する。これにより、3 相スイッチング整流回路 160j を 1 つの絶縁パッケージ PCK で実装する場合に比べて、実装に要するコストを低減でき、3 相スイッチング整流回路 160j の製造コストを低減できる。

40

【0152】

なお、ダイオード D16 は、絶縁パッケージ PCK203 の代わりに絶縁パッケージ PCK201 又は絶縁パッケージ PCK202 に収容されていてもよい。あるいは、ダイオード D16 は、絶縁パッケージ PCK201 ~ PCK203 のそれぞれに収容されていてもよい。あるいは、ダイオード D16 は、各絶縁パッケージ PCK201 ~ PCK203 の外部に設けられていてもよい。

【0153】

上記の実施の形態 1 ~ 実施の形態 3 では、各スイッチング素子 IGBT-r ~ IGBT

50

- t が N P N 型の絶縁ゲートバイポーラトランジスタ (I G B T) である場合について例示的に説明しているが、各スイッチング素子 I G B T - r ~ I G B T - t は、N P N 型の絶縁ゲートバイポーラトランジスタに限定されない。

【 0 1 5 4 】

例えば、上記の説明でコレクタとエミッタとを入れ替えれば、本願発明の考え方は、各スイッチング素子 I G B T - r ~ I G B T - t が P N P 型の絶縁ゲートバイポーラトランジスタである場合についても同様に適用できる。この場合、例えば、各グランド端子 G N D - r ~ G N D - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のコレクタに接続されている。例えば、各雑防専用端子 N R - r ~ N R - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のエミッタに接続されている。

10

【 0 1 5 5 】

あるいは、例えば、上記の説明でコレクタをドレインに置き換え、エミッタをソースに置き換えれば、本願発明の考え方は、各スイッチング素子 I G B T - r ~ I G B T - t が N 型の電界効果トランジスタ (F E T) である場合についても同様に適用できる。この場合、例えば、各グランド端子 G N D - r ~ G N D - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のソースに接続されている。例えば、各雑防専用端子 N R - r ~ N R - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のドレインに接続されている。

【 0 1 5 6 】

あるいは、例えば、上記の説明でコレクタをソースに置き換え、エミッタをドレインに置き換えれば、本願発明の考え方は、各スイッチング素子 I G B T - r ~ I G B T - t が P 型の電界効果トランジスタである場合についても同様に適用できる。この場合、例えば、各グランド端子 G N D - r ~ G N D - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のドレインに接続されている。例えば、各雑防専用端子 N R - r ~ N R - t は、対応するスイッチング素子 I G B T - r ~ I G B T - t のソースに接続されている。

20

【産業上の利用可能性】

【 0 1 5 7 】

以上のように、本発明にかかる 3 相スイッチング整流回路は、電力変換に有用である。

【符号の説明】

【 0 1 5 8 】

30

- 2 直流リアクトル
- 3、3 j 双方向スイッチ回路
- 4、4 i 全波整流回路
- 5 スwitchングパターン発生器
- 6 駆動回路
- 7 制御部
- 8、8 i 3 相リアクトル
- 9、9 i 入力コンデンサ
- 10 コンデンサ
- 11 パターン信号発生器
- 12 電圧設定器
- 13 相電圧判別器
- 14 R ~ 14 T コンパレータ
- 15 R ~ 15 T コンパレータ
- 16 R ~ 16 T A N D 回路
- 17 R ~ 17 T A N D 回路
- 18 R ~ 18 T A N D 回路
- 19 R ~ 19 T O R 回路
- 40 R、40 S、40 T コンパレータ
- 41 R、41 S、41 T A N D 回路

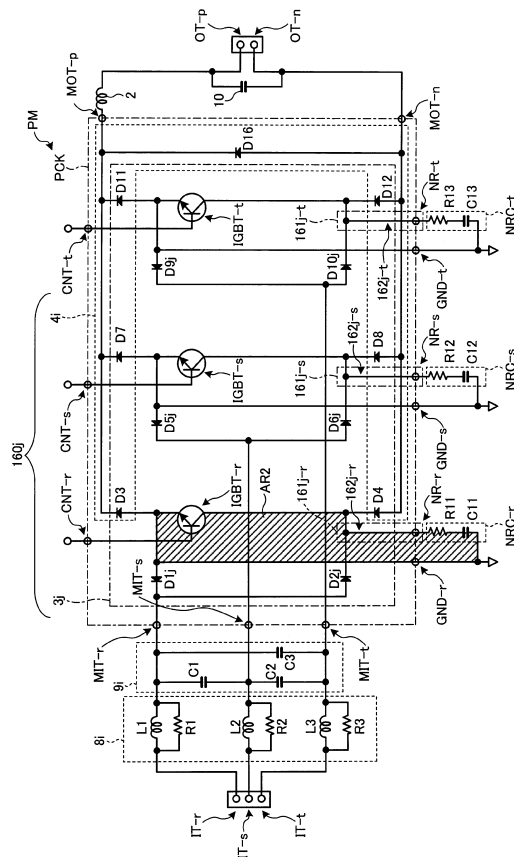
40

50

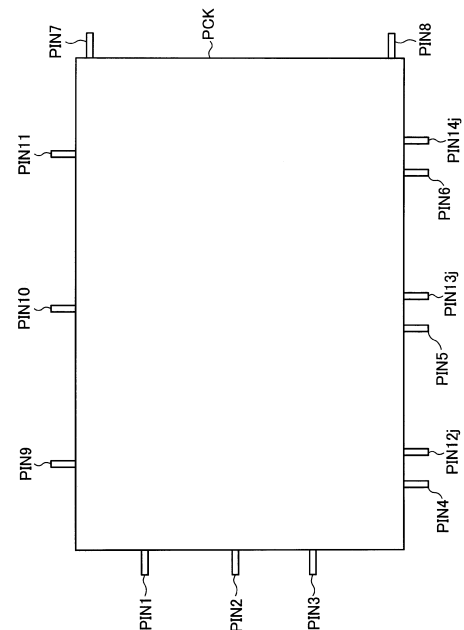
4 2 R、4 2 S、4 2 T AND回路
 4 3 R、4 3 S、4 3 T NOR回路
 1 0 0 3相整流器
 1 6 0、1 6 0 i、1 6 0 j 3相スイッチング整流回路
 1 6 1 j - r ~ 1 6 1 j - t 雑防補助回路
 1 6 2 j - r ~ 1 6 2 j - t ライン
 D 1 ~ D 1 6、D 1 j ~ D 1 0 j ダイオード
 GND - r ~ GND - t グランド端子
 IGBT - r ~ IGBT - t トランジスタ
 MIT - r ~ MIT - t 入力端子
 NR - r ~ NR - t 雑防専用端子
 NRC - r ~ NRC - t 雑防回路
 NRC 9 0 0 雑防回路
 MOT - p ~ MOT - n 3 出力端子
 PCK、PCK 1 0 1、PCK 1 0 2、PCK 2 0 1 ~ PCK 2 0 3 絶縁パッケージ
 PCK 9 0 0 絶縁パッケージ
 PM、PM 1 0 0、PM 2 0 0 パワーモジュール
 PM 9 0 0 パワーモジュール

10

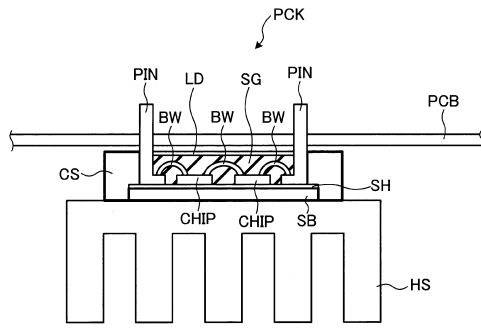
【図 1】



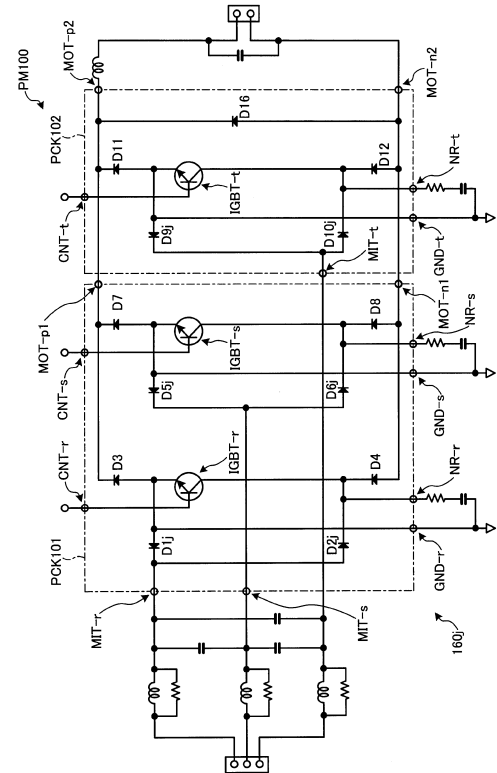
【図 2】



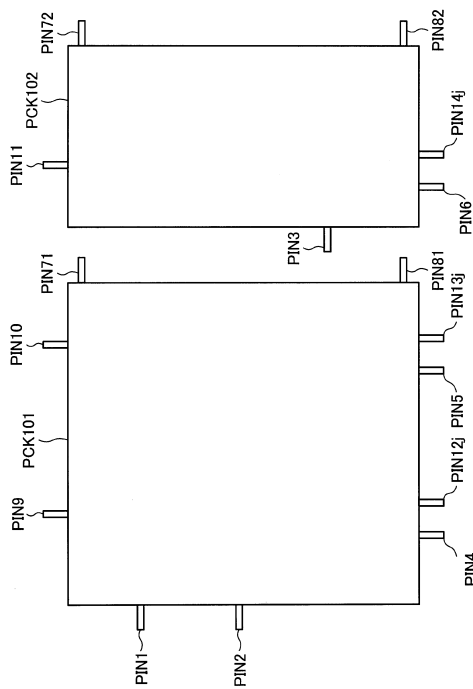
【図 3】



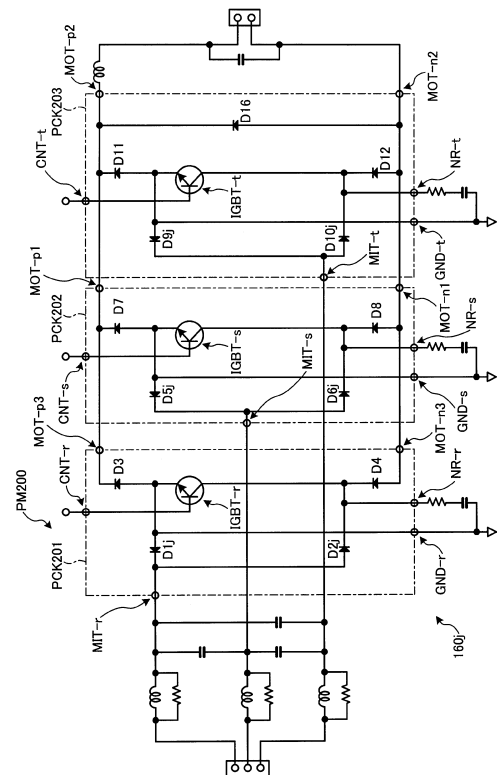
【図 4】



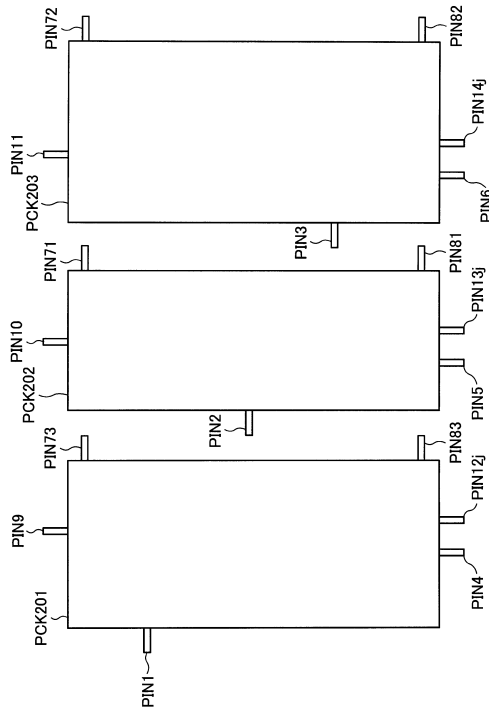
【図 5】



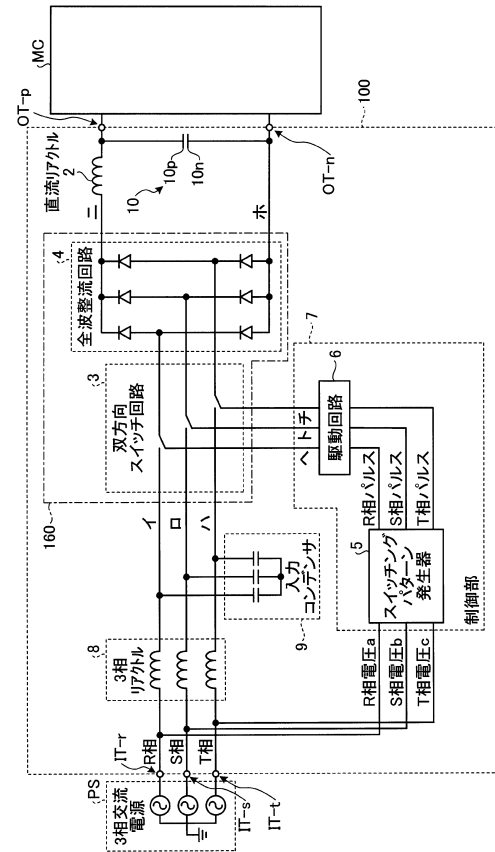
【図 6】



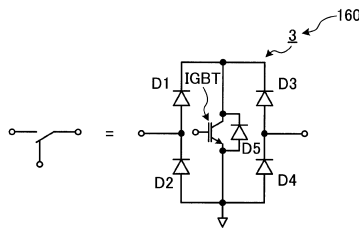
【図 7】



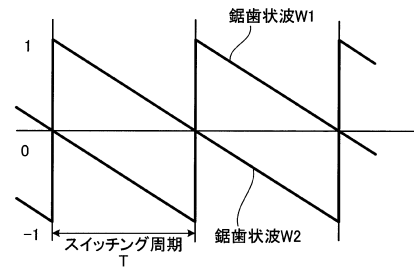
【図 8】



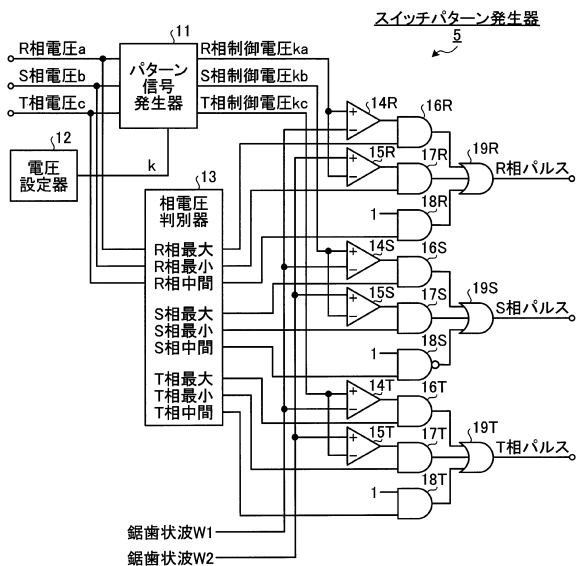
【図 9】



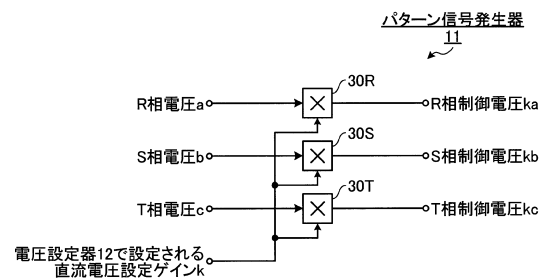
【図 11】



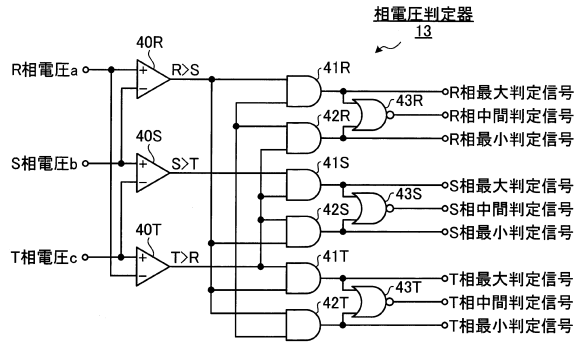
【図 10】



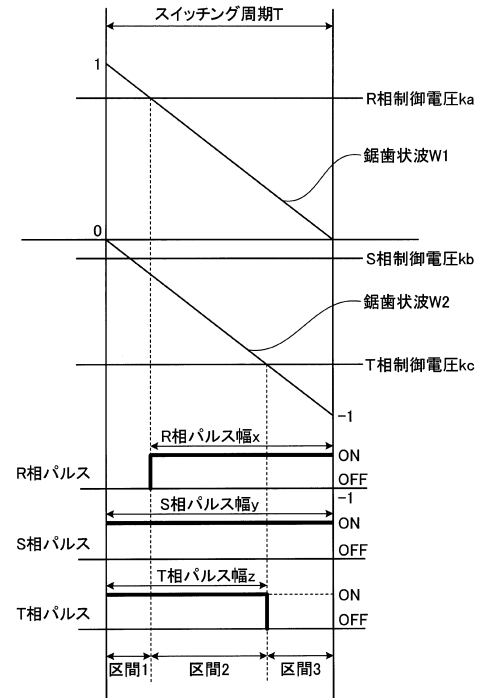
【図 12】



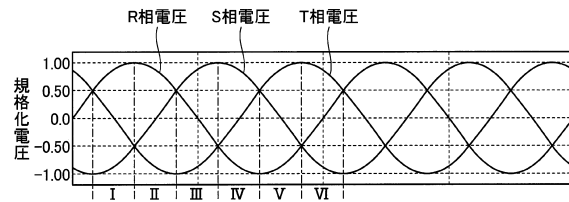
【図13】



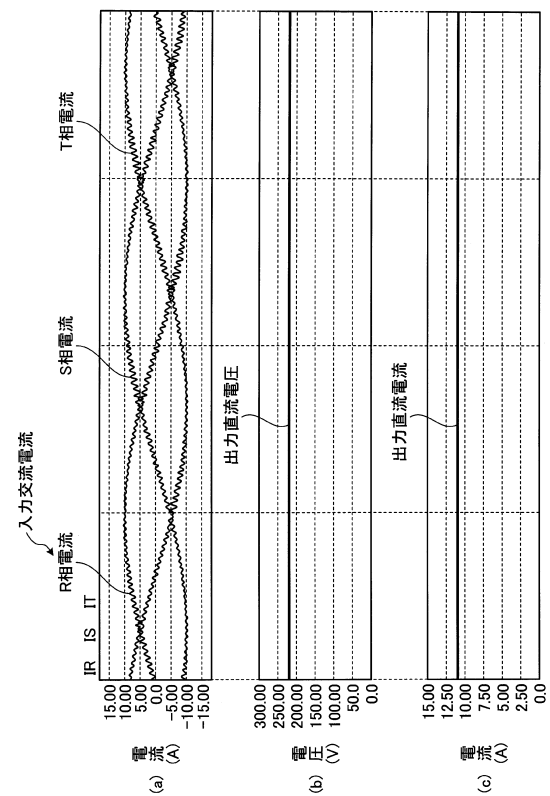
【図15】



【図14】



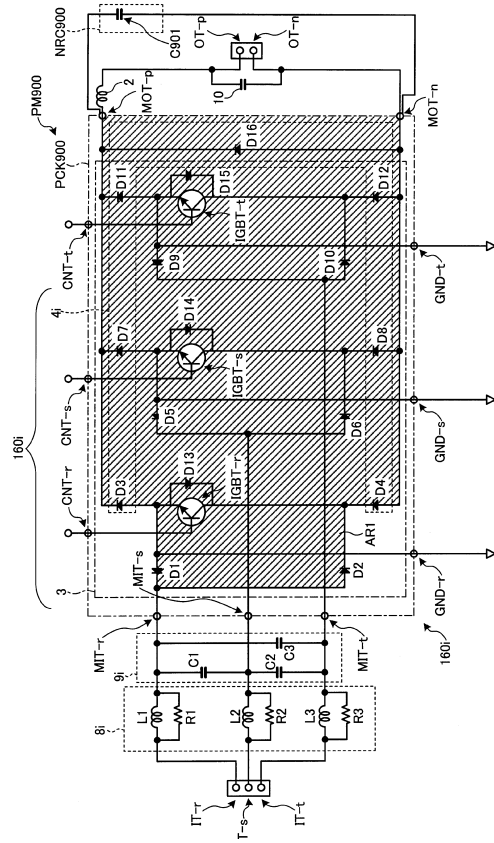
【図16】



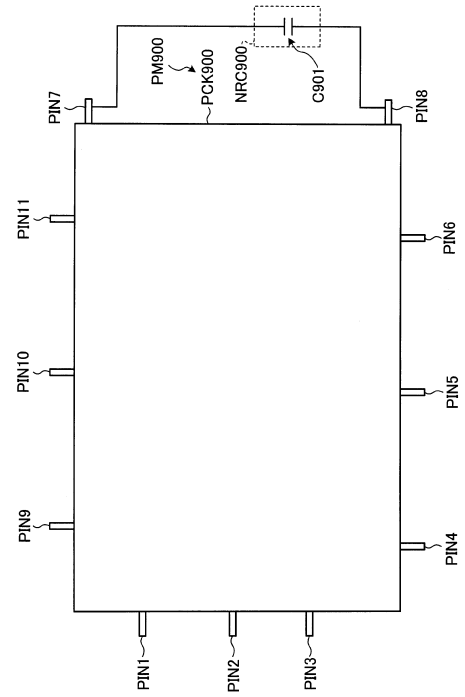
【図17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2004-215407(JP,A)
特開2002-095267(JP,A)
特開2001-045763(JP,A)
米国特許出願公開第2003/0039134(US,A1)

(58)調査した分野(Int.Cl., DB名)
H02M 7/12