

十一、圖式：

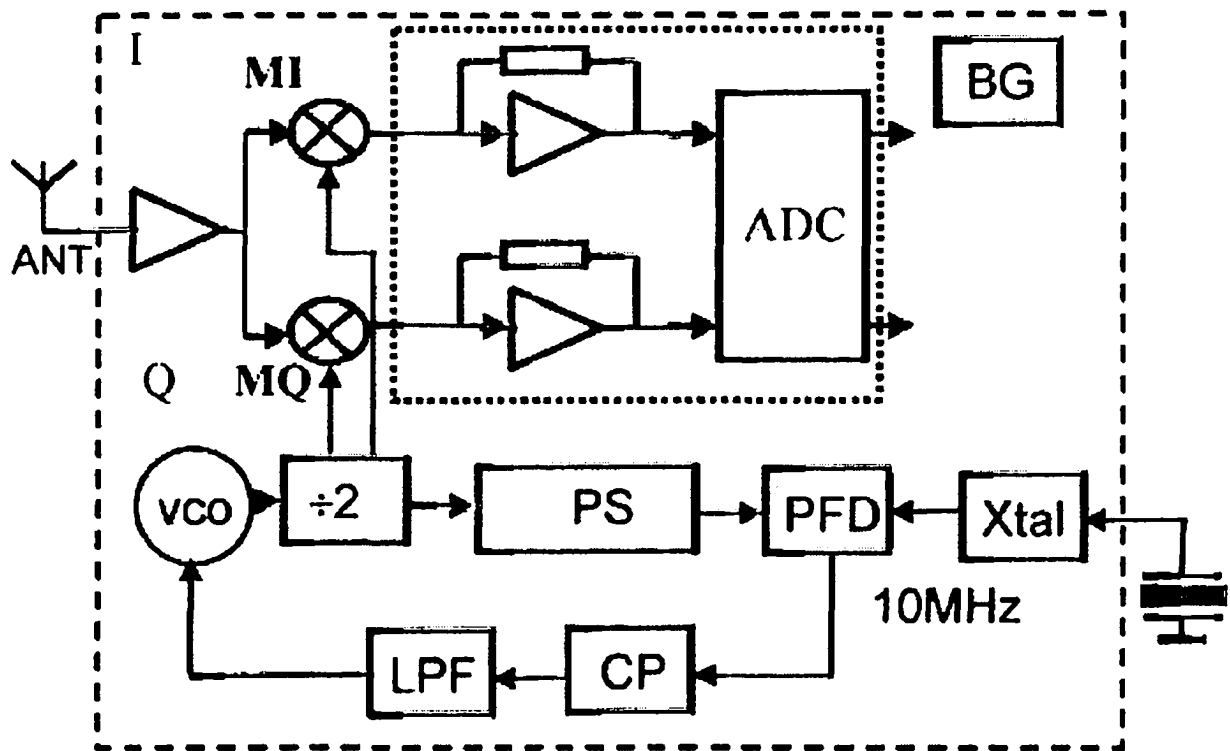


圖 1

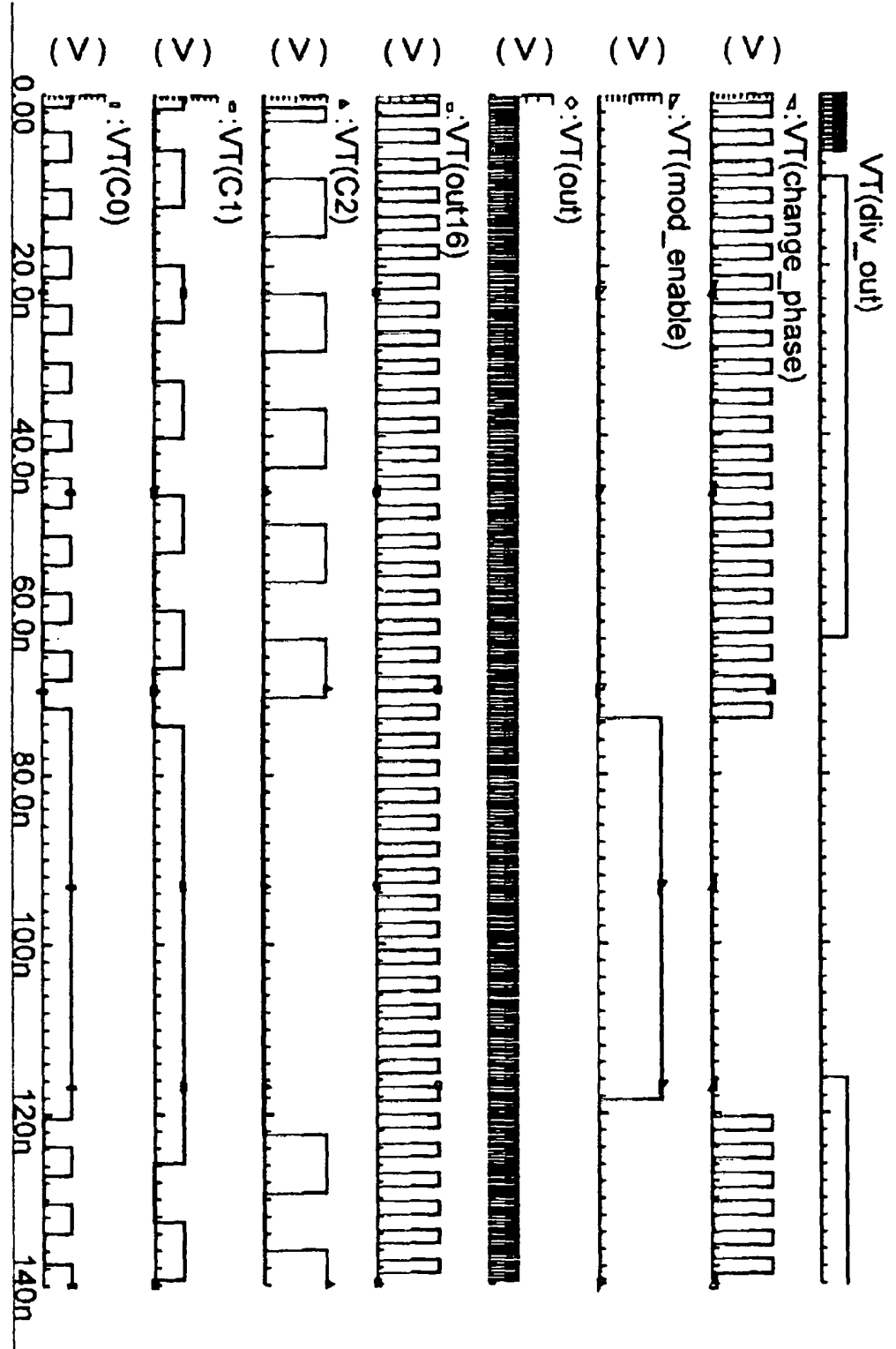


圖 6

修正
補充
93年3月31日

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9312967J

※申請日期：93.9.30

※IPC 分類：H03K 23/00 (2006.01)

一、發明名稱：(中文/英文)

相位切換之雙模數預定標器

PHASE-SWITCHING DUAL MODULUS PRESCALER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID：

意法易利信股份有限公司 / ST-ERICSSON SA

代表人：(中文/英文)

喬傑生 莉莎 K. / JORGENSEN, LISA K.

住居所或營業所地址：(中文/英文)

瑞士歐特斯-普蘭·少女田野路 39 號

Chemin du Champ-des-Filles 39, CH-1228 Plan-les-Ouates,
Switzerland

國籍：(中文/英文)

瑞士 / SWITZERLAND

99年11月2日修正替換頁

三、發明人：(共 3 人)**姓 名：(中文/英文)**

1. 多明尼克 馬丁納司 威和莫司 李那特

LEENAERTS, DOMINICUS MARTINUS WILHELMUS

2. 尼那得 帕華歐維克

PAVLOVIC, NENAD

3. 凱登 密司崔

MISTRY, KETAN

國 籍：(中文/英文)

1. 荷蘭 THE NETHERLANDS

2. 南斯拉夫 YUGOSLAVIA

3. 英國 UNITED KINGDOM

99年11月2日修正替換頁

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 歐洲專利機構；2003年10月01日；03103631.2

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

99年11月2日修正替換頁

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種相位切換之雙模數預定標器，以及一種頻率合成器。

【先前技術】

頻率合成之鎖相迴路(phase-locked loop; PLL)方法係在現代通訊設備中產生高頻振盪的最常用方法。可程式化頻率合成器係能夠產生具有從一頻率範圍內選擇之頻率的信號之裝置。可程式化頻率合成器使用數位鎖相迴路電路(其使用電壓控制振盪器VCO)以產生輸出信號。PLL包含監視合成器輸出信號頻率之回授及控制迴路，比較其頻率與參考信號之頻率並控制VCO以調整合成器輸出信號之頻率。VCO之輸出信號通常在迴路之回授部分由數位分頻器(亦稱為預定標器)分割，以便回授信號包含作為合成器輸出信號之選定分數的頻率。在整數N除法器之情形中，除法器針對每n個輸入脈衝產生輸出信號，以便輸入頻率除以n。比較回授信號之相位與穩定參考信號之相位，其差異定義一回授至VCO之誤差信號。VCO調整合成器之頻率，以便減少誤差信號。通常，參考信號具有比合成器輸出信號更低的頻率。

分頻器(以選定之除法器數分割合成器之輸出信號)之可程式性決定合成器輸出信號之頻率選擇能力。此選定除法器數係選擇成等於合成器輸出信號之期望頻率除以參考信號之頻率。因此，選擇不同除法器數導致合成器輸出信號

99年11月2日修正替換頁

之頻率的變化。

以完全頻率工作之頻率合成器的兩個區塊為VCO及預定標器。如上所述，預定標器以特定比率分割VCO之輸出頻率，以便得到較低頻率信號。接著PLL將此信號鎖定至穩定參考頻率。為實現較佳頻率解析度，分割比率通常為 $N/N+1$ 形式之變數，即此除法器稱為雙模數預定標器。可程式化預定標器係具有實現 $N+1$ 分割之脈衝吞嚥電路的 N 固定預定標器。藉由以較小整數步幅改變 N 值控制VCO之輸出頻率。

為實現用於高頻率之適當合成器，需要使用高速邏輯之較大除法器比率。然而，由於需要較大晶片大小，此較大除法器非常昂貴。另外，此一較大迴路除法器汲取極大電流，因此其不適用於可攜式應用之行動。

傳統高速雙模數預定標器包含用於較大分割數之同步除法器，有時包含非同步除法器，然而，此類高速同步雙模數除法器需要大量功率消耗。

J. Craninckx在比利時魯汶大學的博士論文中提出了相位切換雙模數預定標器的概念。兩個除以2除法器與相位選擇單元一起使用，以便實施 $4/5$ 分割。隨後額外128除法器用於產生分割數512。此概念可應用於(例如)IEEE 802.11a。對於UNII頻帶操作頻率從5,15 GHz至5,35 GHz，通道間隔為20 MHz。在零IF (ZIF)結構之情形中，通常20 MHz之參考頻率即足夠，但對於接近ZIF，通常選擇10 MHz之參考頻率。另外上述電路包含模數控制單元，其具有五位元控制

99年11月2日修正替換頁

信號，使其可吞嚥至多32個脈衝，以便可實現512與544間的任何比率。因此，整數N預定標器結構具有515至535間之分割比率。

若將10 MHz之參考頻率應用於上述電路，則10 MHz x 516等於5,16 GHz，其構成從5,15 GHz至5,17 GHz之第一通道之中心，通道寬度為20 MHz。下一通道則距第一通道之中心20 MHz，即5,17 GHz至5,19 GHz，中心為5,18 GHz。關於10 MHz之參考頻率此中心可藉由518之分割比率獲得。最後或最大通道從5,33 GHz至5,35 GHz，其可藉由534之分割比率實現。

然而，由於從相位選擇信號至多產生128個分割信號，此會影響此電路之速度。

1999年4月26日由HKUST之電氣與電子工程部的Kan Kwok Kei、Toby等人所著「用於頻率合成器之CMOS 8/9分頻」中顯示經修改之相位切換雙模數預定標器之範例。此一預定標器由以全速輸入頻率操作之第一高頻除以2電路組成。第一除以2電路後跟第二除以2電路，其具有四個相位輸出信號，其相位彼此相差90°。相位選擇電路選擇第二除以2電路的四個相位輸出信號之一。相位選擇電路包含兩個可切換放大器及三個NAND閘極。在可切換放大器中，放大同相(I)及正交(Q)信號，並依據控制信號C1、C2選擇輸入信號之正或負放大。可切換放大器之速度構成此預定標器之最大速度的限制因素。相位選擇電路基本上實施多工器，即將第二除以2電路的四個相位輸出信號之一選擇為其

輸出。依據第三控制信號C0，將兩個可切換放大器的輸出之一選擇為輸出。在最終輸出之每一正邊緣改變控制信號，實現關於當前信號之 90° 延遲。由於相位選擇電路發生於兩個除以2電路，當需要實施 $N+1$ 分割比率時 90° 延遲實際上對應於預定標器之輸入信號之一週期。

使用此電路實現1,85 GHz之工作速度。然而，對於類似於無線資料網路之應用，需要更高操作頻率。

IEEE固態電路期刊，2000年7月，第7期，第35卷，第1019頁至1024頁，Krishnapura等人所著的「用於 $0,25\ \mu\text{ CMOS}$ 內HiPerLAN之5,3 GHz可程式化除法器」中，顯示基於5,3 GHz操作頻率之分頻器。分頻器使用相位切換，並包含第一除以2電路及具有四個相位輸出信號之第二除以2電路。第二除以2電路之輸出信號輸入重新計時電路，其依據來自解碼器之控制信號從該等四個輸出信號之一切換至另一個。第二除以2電路之四個輸出信號彼此分離 90° 。在任何給定時間，僅該等輸出之一透過多工器連接至隨後除法器。藉由切換至滯後於當前信號 90° 的第二除以2電路之輸出實現一週期之吞嚥，從而將分頻器總計數增大1。為實現任意分割因數，可藉由適當改變多工器之控制輸入吞嚥輸入週期。若無相位切換，除法器包含 $4 \times N$ 之分割因數。然而，若在除法器之輸出的每個週期內將相位切換 K 次，則吞嚥 K 個輸入週期，分割因數增大 K 。藉由改變 K ，可實現可程式化分頻器。每一輸出週期脈衝產生器產生 K 個脈衝，其中 K 由脈衝產生器之程式化輸入設定。4分頻計數器用作控

制多工器之解碼器的輸入信號。此除以4計數器之時脈由脈衝產生器的輸出脈衝計算，並且在四個狀態中循環，其各對應於多工器中四個可能連接之一。為提供無脈衝干擾之切換，必須在第二除以2電路之 0° 及 90° 輸出皆較高時執行切換。另外，為確保時脈信號以及控制信號同時到達多工器之輸入，在時脈線內實施緩衝器，其具有與控制信號產生器相同之延遲，以便修正計時誤差。

【發明內容】

因此本發明之一目的係提供改良的高速預定標器。

藉由如請求項1之相位切換雙模數預定標器以及如請求項8之頻率合成器解決此目的。

因此，提供具有雙模數除法器之相位切換雙模數預定標器。該除法器包含第一及第二除以2電路(A；B)，其中該第二除以2電路(B)耦合至該第一除以2電路(A)之輸出，以及至少該第二除以2電路(B)包含各以 90° 分離之一四相位輸出。提供用於選擇該第二除以2電路(B)的四個相位輸出 I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq} 之一的相位選擇單元(phase selection unit；PSU)。此外，提供用於對相位選擇單元提供控制信號(C_0 、 NC_0 ； C_1 、 NC_1 ； C_2 、 NC_2)之相位控制單元，其中相位選擇單元PSU依據控制信號 C_0 、 NC_0 ； C_1 、 NC_1 ； C_2 、 NC_2 執行四個相位輸出 I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq} 之選擇。根據直接邏輯實施該相位選擇單元(PSU)。

與可切換放大器之實施相比，基於直接邏輯的相位選擇

99年11月2日修正替換頁

單元之實施提供更高速度並節省晶片上的面積。

依據本發明之一方面，依據以下邏輯編碼實施相位選擇單元PSU之輸出OUT：

$$OUT = \overline{NC0 \cdot NC1 \cdot INi} + \overline{NC0 \cdot C1 \cdot INni} + \overline{C0 \cdot NC2 \cdot INnq} + \overline{C0 \cdot C2 \cdot INq}$$

其中⁺、[•]、⁻分別代表OR-、AND與NAND函數。藉由此配置使除法器輸出信號中控制信號C0、C1、C2之正確信號表示成為可能。

依據本發明之另一方面，提供耦合至相位選擇單元PSU之輸出的除以4電路UA。該除以4電路UA包含第六及第七除以2電路F、G，其各具有分離90°之一四相位輸出I_p、I_n、Q_p、Q_n。該第七除以2電路G耦合至第六除以2電路F之正交輸出Q_p、Q_n。

依據本發明之另一方面，該相位控制單元(RTU)包含第四及第五除以2電路D、E，其各具有分離90°之一四相位輸出I_p、I_n、Q_p、Q_n。該第四及第五除以2電路D、E以串聯方式耦合。第五除以2電路E之同相輸出I_p、I_n對應於控制信號C0。第四除以2電路D之同相輸出I_p、I_n對應於控制信號C1。第四除以2電路E之正交相位輸出Q_p、Q_n對應於控制信號C2。

依據本發明之另一方面，該相位控制單元RTU進一步包含耦合至第五除以2電路E之輸入的D型鎖存器DL。該D型鎖存器DL接收第七除以2電路G之同相輸出I_p、I_n的先前狀態以及指示相位切換之次數的信號「modul」作為輸入信號。

依據本發明之較佳方面，該預定標器進一步包含耦合至

99年11月2日修正替換頁

雙模數除法器10之同步迴路，其用於重新計算雙模數除法器10之時脈。

【實施方式】

圖1顯示可用於IEEE 802.11a標準之接收器的方塊圖。圖1之較高部分顯示連接至低雜訊放大器LNA之天線ANT，低雜訊放大器LNA連接至第一及第二混波器MI、MQ，其進而連接至類比數位轉換器ADC。圖1之較低部分顯示PLL電路之實施。PLL電路包含電壓控制振盪器VCO、第一除以2電路、預定標器PS、相位頻率偵測器PFD、參考晶體Xtal、充電幫浦CP及低通濾波器LPF。除以2電路之輸出耦合至第一及第二混波器MI、MQ。

以下將詳細說明預定標器PS。

圖2顯示圖1之預定標器的方塊圖。可程式化預定標器包含16/17除法器10、緩衝器20、除法器30、決策單元40、同步單元50及D型正反器60。16/17除法器10連接至緩衝器20，其進而連接至除法器30。除法器30具有五個輸出信號，即/2、/4、/8、/16及/32以及零偵測輸出「零」。該等五個輸出信號輸入決策單元40及同步單元50。決策單元40另外接收5位元控制信號b0、b1、b2、b3及b4，並且決策單元40之輸出形成對同步單元50之輸入。同步單元50之輸出輸入至D型正反器60之時脈輸入。其輸入「資料」連接至供電電壓VDD。除法器30之輸出信號「零」連接至D型正反器60之CD輸入。D型正反器60之輸出信號回授至16/17除法器10並輸入至其「重新計算時脈」輸入。

99年11月2日修正替換頁

除法器30產生信號/2、/4、/8、/16及/32，其輸入決策單元40。該等信號用於產生指示應吞嚥多少脈衝1、2、...、32之信號。根據5位元控制信號b0、b1、b2、b3及b4執行此步驟。

藉由延遲一或多個脈衝執行一個脈衝之吞嚥，即執行關於輸入信號之頻率分割。吞嚥一個脈衝與除以2相同。

若同步單元偵測到(例如)11111，則致動D型正反器60之時脈輸入，並且若在除法器30之「零」輸出偵測到0，則重新計算16/17除法器10之時脈。從而實施同步脈衝，以便重新計算電路之時脈並移除由於鎖存器引起之延遲。因此，實現可將輸入信號除以512與544間任何整數之可程式化預定標器，因為 $16*32=512$ 且至多可吞嚥32個脈衝，產生 $512+32=544$ 。

圖3顯示圖2之16/17除法器10的方塊圖。除法器10包含第一及第二除以2電路A、B。第二除以2電路B之輸入連接至第一除以2電路A之同相輸出 I_p 、 I_n 。第三除以2電路C連接至第一除以2電路A之正交輸出 Q_p 、 Q_n ，第三除以2電路C之輸出 I_p 、 I_n 、 Q_p 、 Q_n 連接至負載 L_d 。此外，除法器10包含相位選擇單元PSU、重新計時單元RTU及除以4單元UA。重新計時單元RTU產生三個控制信號C0、C1、C2，其用於控制相位選擇單元PSU內之相位切換。第二除以2電路B之四個相位輸出信號輸入至相位選擇單元PSU。依據重新計時單元RTU所提供之控制信號C0、C1、C2，相位選擇單元PSU選擇第二除以2電路B的四個相位輸出信號之一，並將此信

號輸出至除以4單元UA。所提供之第三除以2電路C用於適當負載。

所提供之重新計時單元RTU用於驅動相位選擇單元PSU以及藉由控制信號C0、C1、C2控制相位切換。重新計時單元RTU包含第四及第五除以2電路D、E及吞嚥單元SU。吞嚥單元決定需要吞嚥多少脈衝。

除以4單元UA包含第六及第七除以2電路F、G。第六除以2電路F之輸入連接至相位選擇單元PSU之輸出，其同相輸出信號 I_p 、 I_n 連接至負載 L_d ，而其正交輸出 Q_p 、 Q_n 連接至第七除以2電路之輸入。最後，第七除以2電路G之同相輸出信號構成16/17除法器10之輸出。

若未出現週期滑移，可實現16之總分割，因為此情形中四個除以2電路A、B、F、G以串聯方式連接。因此，若出現週期滑移，可用除法器10實現17分割。

相位選擇單元PSU接收作為輸入信號之第二除以2電路B的四個相位輸出信號。由於該等信號之相位彼此相差 90° ，相位選擇單元PSU之輸入提供以下信號： $IN_i(0^\circ, I_p)$ 、 $IN_q(90^\circ, Q_p)$ 、 $IN_n(180^\circ, I_n)$ 及 $IN_{nq}(270^\circ, Q_n)$ 。相位選擇單元PSU依據三個控制信號C0、C1及C2以及其反轉選擇四個相位輸出信號之一。

若假定相位選擇單元PSU之輸出最初連接至 IN_i ，則輸出將連接至 IN_i 之上升邊緣後的 IN_q 。因此，相位選擇單元PSU之輸出延遲相位選擇單元PSU之輸入信號的 $1/4 T$ 週期。然而，由於相位選擇單元PSU之輸入信號已由兩個除以2電路

99年1月2日修正替換頁

分割，T將為 $4 \cdot T_0$ ，其中 T_0 為16/17除法器10之輸入信號的週期。因此，藉由相位選擇延遲輸入信號之一個完整週期 T_0 ，即相位切換導致延遲除法器10之輸入信號的一個完整週期。

波形 I_p 、 Q_p 、 I_n 、 Q_n 分別對應於第二除以2電路B之相位 0° 、 90° 、 180° 、 270° ，即其週期T等於 $4 \cdot T_0$ (16/17除法器之輸入信號的週期)。如上所述，若藉由16/17除法器實現16分割，則不會發生週期滑移及相位切換，即PSU之輸出對應於除以4。然而，若需要實現17分割，則會發生相位切換。切換以固定序列發生，較佳的係以I、Q、nI、nQ之序列，即 0° 、 90° 、 180° 、 270° 。因此，若輸入信號 I_{Ni} ，即 I_p ，最初連接至相位選擇單元PSU之輸出，則選擇輸入信號 I_{Nq} ，即 Q_p ，並形成相位選擇單元PSU之輸出。一旦此切換發生，在PSU之輸出引入 90° 之額外延遲，其對應於16/17除法器之輸入信號之一週期，即PSU之輸出對應於除以5。換言之，相位選擇單元PSU對其輸入信號引入延遲或額外週期滑移。

圖4顯示圖3之相位選擇單元PSU的電路圖。電路包含22個電晶體T1至T22以及四個電阻器R。此電路係以下邏輯編碼之特定實施：

$$OUT = \overline{NC0 \cdot NC1 \cdot INi} + \overline{NC0 \cdot C1 \cdot INni} + \overline{C0 \cdot NC2 \cdot INnq} + \overline{C0 \cdot C2 \cdot INq},$$

其中 $+$ 、 \cdot 、 $\overline{\quad}$ 分別代表OR-、AND與NAND函數。

OUT代表相位選擇單元PSU之輸出信號， I_{Ni} 、 I_{Nni} 、 I_{Nnq} 、 I_{Nq} 代表相位選擇單元PSU的四個輸入信號。 $C0$ 、 $C1$

99年1月2日修正替換頁

及C2代表控制信號，NC0、NC1及NC2代表其反轉。信號C1在輸入信號 IN_i 與 IN_{ni} 間(0° 與 180° 間)選擇。信號C2在 IN_q 與 IN_{nq} 間(90° 與 270° 間)選擇。依據控制信號C1之選擇結果為 P_i ，控制信號C2之選擇結果為 P_q 。控制信號C0在結果 P_i 及 P_q 間選擇。輸入信號 IN_i 輸入電晶體T17，輸入信號 IN_{ni} 輸入電晶體T18，輸入信號 IN_q 輸入電晶體T20，輸入信號 IN_{nq} 輸入電晶體T19。在下一列電晶體中，即T9至T16，依據C1及C2之狀態執行選擇，以便實現選定的信號 P_i 、 P_q 。下一列電晶體，即T1至T8，用於依據控制信號C0之狀態選擇兩個選擇信號 P_i 、 P_q 之一。

上述邏輯編碼包含OR-連接的四個分支。第一分支由電晶體T1、T9及T17實現。第二分支由電晶體T1、T11及T18實現。第三分支由電晶體T3、T13及T19實現。第四分支由電晶體T3、T15及T20實現。

AND邏輯函數，例如第一分支 $NC_0 \cdot NC_1 \cdot IN_i$ 藉由電流切換差動地實施。NAND邏輯藉由切換當電流域內之輸入差動地實施。OR邏輯藉由增加負載R內NAND邏輯之輸出電流來實施。此一實施方案之優點係由於電流域內之差動實施而引起的增加速度。

圖5顯示圖3之相位選擇單元PSU及重新計時單元RTU的方塊圖。如上所述，藉由第四及第五除以2電路D、E實施重新計時單元RTU。藉由D型鎖存器DL實施吞嚥單元SU。D型鎖存器DL接收16/17除法器10之輸出「out」作為資料輸入以及接收調變器信號「modul」作為時脈輸入。D型鎖存

99年11月2日修正替換頁

器DL之輸出信號 Q 、 nQ 輸入至第四除以2電路E，其提供相位各相差 90° 的四個相位輸出信號。該除以2電路E之同相輸出信號 I_p 、 I_n 構成控制信號 $C0$ 、 $NC0$ 。其正交輸出 Q_p 、 Q_n 輸入至第四除以2電路D。第四除以2電路D之同相輸出信號 I_p 、 I_n 構成控制信號 $C1$ 、 $NC1$ ，正交輸出信號 Q_p 、 Q_n 構成控制信號 $C2$ 、 $NC2$ 。如上所述，該等三個控制信號 $C0$ 、 $C1$ 及 $C2$ 輸入至用於控制其中之相位選擇的相位選擇單元PSU。調變器脈衝代表應發生之相位切換次數。信號「out」代表相位選擇單元PSU之先前狀態，即 I 、 nI 、 Q 、 nQ 。相位切換以固定序列執行，即從 I 至 Q ，再至 nI 及 nQ ，即 0° 、 90° 、 180° 及 270° 。然而，亦可能有替代序列。

圖6顯示除法器之時序圖。頂端波形，即 $VT(\text{div_out})$ 對應於除法器之輸出。最低三個波形，即 $VT(C0)$ 、 $VT(C1)$ 、 $VT(C2)$ 分別對應於控制信號 $C2$ 、 $C1$ 、 $C0$ 。波形 $VT(\text{mod_enable})$ 對應於重新計時單元RTU之D型鎖存器DL的調變器輸入「modul」。波形 $VT(\text{out})$ 對應於相位選擇單元PSU之輸出。波形 $VT(\text{out16})$ 對應於第七除以2電路F之輸出，即16/17除法器10之輸出。

從控制信號 $C0$ 、 $C1$ 、 $C2$ 之波形可看出 $C2$ 之波形關於 $C1$ 之波形偏移 90° ，因為 $C1$ 及 $C2$ 分別對應於第四除以2電路D之輸出的同相及正交相位。由於第四除以2電路D之額外除以2操作，信號 $C1$ 、 $C2$ 之週期兩倍於信號 $C0$ 之週期。

綜上所述，並未使用4/5除法器作為基礎，而係選擇單一固定16/17分頻器，後跟可程式化5級整數2除法器(即用5位

99年11月2日修正替換頁

元控制)。優點係相位選擇器後之區塊現在僅需要產生信號/2、/4、/8、/16及/32。原則上，32/33除法器可結合4級整數2除法器執行工作，然而，32/33(16/17除法器亦同)之輸入以5 GHz操作，其使得實現32/33除法器很困難。需要包括最終D型正反器之同步器來執行時間同步。同步器及D型正反器產生最終輸出信號，即除以512與544間任何整數之輸入信號，並產生同步脈衝，以重新計算電路之時脈並移除由於鎖存器引起之延遲。

應注意，以上提及的具體實施例係用以說明本發明而非限制本發明，熟習此項技術者可設計多種替代具體實施例，而不致背離隨附申請專利範圍之範疇。在申請專利範圍中，任何置於括號之間的參考符號不應視為限制該申請專利範圍。該用語「包含」並不排除那些在申請專利範圍所列出之外的元件或步驟。在一元件之前的該用語「一」並不排除複數個這種元件的存在。在該裝置中，列舉數個裝置的申請專利範圍，數個這些裝置可由一個或相同項目的硬體來實施。某些度量並未在相互不同的相關申請專利範圍中加以陳述的僅有事實，並非指示不能突出優點地使用該等度量之組合。

另外，申請專利範圍內的任何參考符號不應視為限制申請專利範圍之範疇。

【圖式簡單說明】

上文已參考附圖詳細說明本發明以及其具體實施例，其中：

99年11月2日修正替換頁

圖1顯示接收器之方塊圖；

圖2顯示依據本發明之圖1的可程式化預定標器PS之方塊圖；

圖3顯示依據本發明的圖2之16/17除法器；

圖4顯示依據本發明之圖3的相位選擇單元之電路圖；

圖5顯示依據本發明的圖4之重新計時單元及相位選擇單元，以及

圖6顯示依據本發明之除法器的時序圖。

【主要元件符號說明】

10	16/17除法器
20	緩衝器
30	除法器
40	決策單元
50	同步單元
60	D型正反器

99年11月2日修正替換頁

五、中文發明摘要：

本發明揭示一種具有一雙模數除法器的相位切換之雙模數預定標器。該除法器包含一第一及第二除以2電路(A；B)，其中該第二除以2電路(B)耦合至該第一除以2電路(A)之輸出，以及至少該第二除以2電路(B)包含各以90°分離之一四相位輸出。提供用於選擇該第二除以2電路(B)的該等四相位輸出(I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq})之一的一相位選擇單元(phase selection unit；PSU)。此外，提供用於對該相位選擇單元提供控制信號(C_1 、 NC_0 ； C_2 、 NC_2 ； C_3 、 NC_3)之一相位控制單元，其中該相位選擇單元(PSU)依據該等控制信號(C_0 、 NC_0 ； C_1 、 NC_1 ； C_2 、 NC_2)執行選擇該等四相位輸出(I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq})。根據直接邏輯實施該相位選擇單元(PSU)。基於直接邏輯的該相位選擇單元之該實施提供一更高速度並可節省該晶片上的面積。

六、英文發明摘要：

十、申請專利範圍：

1. 一種相位切換之雙模數預定標器，其包含

一雙模數除法器(10)，其包含：

- 一第一及第二除以2電路(A；B)，其中該第二除以2電路(B)耦合至該第一除以2電路(A)之輸出，以及至少該第二除以2電路(B)包含各以90°分離之四個相位輸出(I_p、I_n、Q_p、Q_n；IN_i、IN_{ni}、IN_q、IN_{nq})；
- 一相位選擇單元(PSU)，其用於選擇該第二除以2電路(B)的該等四個相位輸出(I_p、I_n、Q_p、Q_n；IN_i、IN_{ni}、IN_q、IN_{nq})之一；
- 一相位控制單元(RTU)，其用於對該相位選擇單元(PSU)提供控制信號(C1、NC0；C2、NC2；C3、NC3)，其中該相位選擇單元(PSU)依據該等控制信號(C0、NC0；C1、NC1；C2、NC2)執行選擇該等四個相位輸出(I_p、I_n、Q_p、Q_n；IN_i、IN_{ni}、IN_q、IN_{nq})；以及
- 該相位選擇單元(PSU)係根據直接邏輯實施，其中
- 該相位選擇單元(PSU)之輸出(OUT)係依據以下邏輯編碼實施：

$$OUT = \overline{NC0 \cdot NC1 \cdot INi} + \overline{NC0 \cdot C1 \cdot INni} + \overline{C0 \cdot NC2 \cdot INnq} + \overline{C0 \cdot C2 \cdot INq}$$

- +、•、⁻分別代表OR-、AND與NAND函數。

2. 如請求項1之預定標器，其進一步包含

- 一除以4電路(UA)，其耦合至該相位選擇單元(PSU)之該輸出，該除以4電路(UA)包含一第六及第七除以2電路(F、G)，其各具有分離90°之四個相位輸出(I_p、I_n、

99年11月2日修正替換頁

- Q_p 、 Q_n)，該第七除以2電路(G)耦合至該第六除以2電路之正交輸出(Q_p 、 Q_n)。
3. 如請求項1之預定標器，其中
 - 該相位控制單元(RTU)包含一第四及第五除以2電路(D、E)，其各具有分離 90° 之四個相位輸出(I_p 、 I_n 、 Q_p 、 Q_n)，該第四及第五除以2電路(D、E)以串聯方式耦合，
 - 該第五除以2電路(E)之該同相輸出信號(I_p 、 I_n)對應於該控制信號(C0)，
 - 該第四除以2電路(D)之該同相輸出信號(I_p 、 I_n)對應於該控制信號(C1)，
 - 該第四除以2電路(E)之該正交相位輸出信號(Q_p 、 Q_n)對應於該控制信號(C2)。
 4. 如請求項3之預定標器，其中
 - 該相位控制單元(RTU)進一步包含耦合至該第五除以2電路(E)之輸入的一D型鎖存器(DL)，
 - 該D型鎖存器(DL)接收該第七除以2電路(G)之同相輸出(I_p 、 I_n)的先前狀態以及指示相位切換之次數的一信號(modul)作為輸入信號。
 5. 如請求項2之預定標器，其中該雙模數除法器(10)為一16/17除法器。
 6. 如請求項1之預定標器，其進一步包含耦合至該雙模數除法器(10)之一同步迴路，其用於重新計算該雙模數除法器(10)之時脈。
 7. 一種包含如請求項1之一預定標器的頻率合成器。
 8. 一種相位切換之雙模數預定標器，其包含：

- 一雙模數除法器(10)，其包含：
- 一第一及第二除以2電路(A；B)，其中該第二除以2電路(B)耦合至該第一除以2電路(A)之輸出，以及至少該第二除以2電路(B)包含各以 90° 分離之四個相位輸出(I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq})；
- 一相位選擇單元(PSU)，其用於選擇該第二除以2電路(B)的該等四個相位輸出(I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq})之一；
- 一相位控制單元(RTU)，其用於對該相位選擇單元(PSU)提供控制信號(C_1 、 NC_0 ； C_2 、 NC_2 ； C_3 、 NC_3)，其中該相位選擇單元(PSU)依據該等控制信號(C_0 、 NC_0 ； C_1 、 NC_1 ； C_2 、 NC_2)執行選擇該等四個相位輸出(I_p 、 I_n 、 Q_p 、 Q_n ； IN_i 、 IN_{ni} 、 IN_q 、 IN_{nq})；以及
- 該相位選擇單元(PSU)係根據直接邏輯實施，其中
- 該相位控制單元(RTU)包含一第四及第五除以2電路(D、E)，其各具有分離 90° 之四個相位輸出(I_p 、 I_n 、 Q_p 、 Q_n)，該第四及第五除以2電路(D、E)以串聯方式耦合，
- 該第五除以2電路(E)之該同相輸出信號(I_p 、 I_n)對應於該控制信號(C_0)，
- 該第四除以2電路(D)之該同相輸出信號(I_p 、 I_n)對應於該控制信號(C_1)，
- 該第四除以2電路(E)之該正交相位輸出信號(Q_p 、 Q_n)對應於該控制信號(C_2)。

9. 如請求項8之預定標器，其中

- 該相位控制單元(RTU)進一步包含耦合至該第五除以2

99年11月2日修正替換頁

- 電路(E)之輸入的一D型鎖存器(DL)，
- 該D型鎖存器(DL)接收該第七除以2電路(G)之同相輸出(I_p 、 I_n)的先前狀態以及指示相位切換之次數的一信號(modul)作為輸入信號。
10. 如請求項8之預定標器，其中該雙模數除法器(10)為一16/17除法器。
 11. 如請求項8之預定標器，其進一步包含耦合至該雙模數除法器(10)之一同步迴路，其用於重新計算該雙模數除法器(10)之時脈。
 12. 一種包含如請求項8之一預定標器的頻率合成器。

99年11月2日修正替換頁

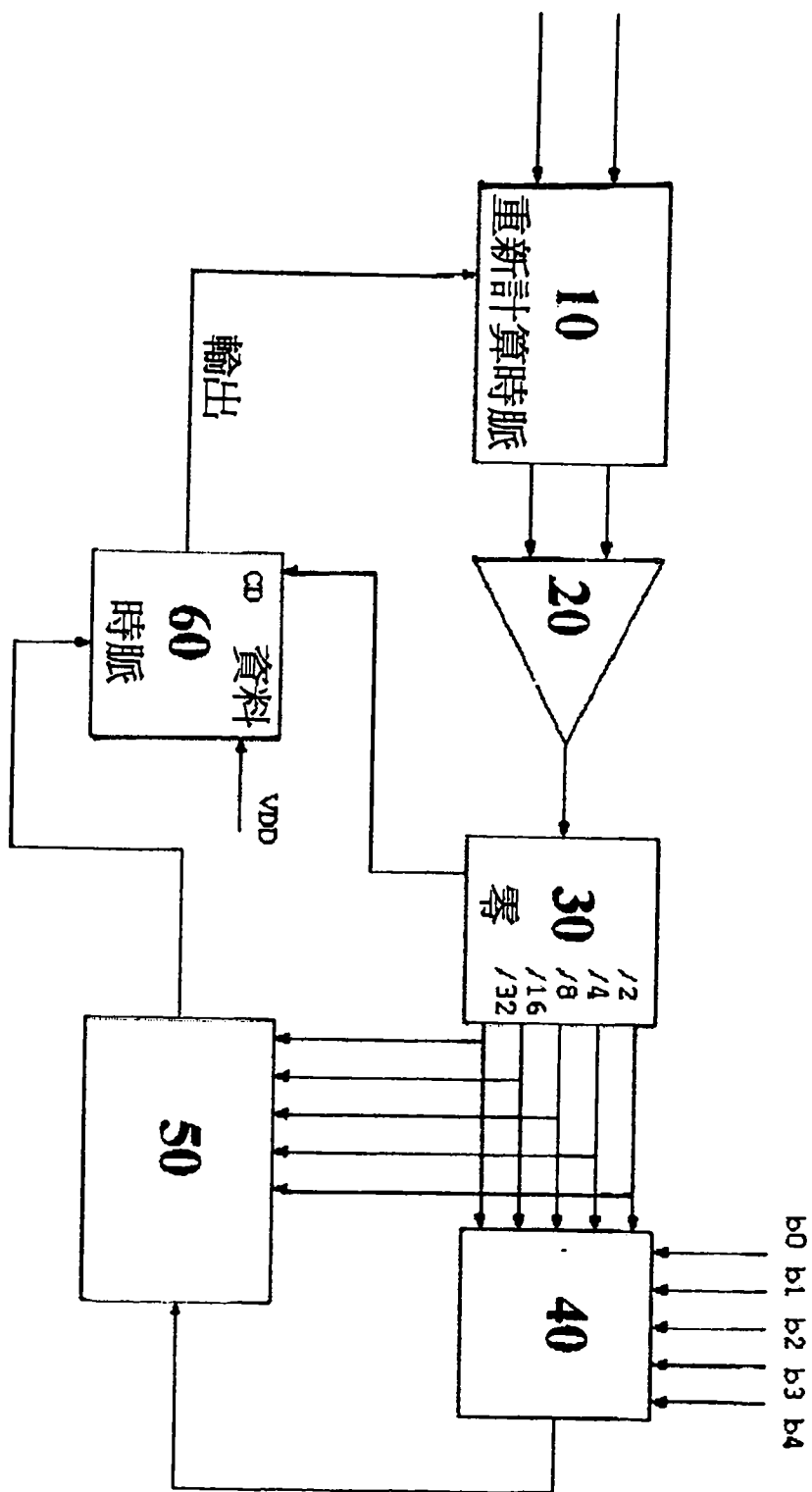


圖 2

99年11月2日修正替換頁

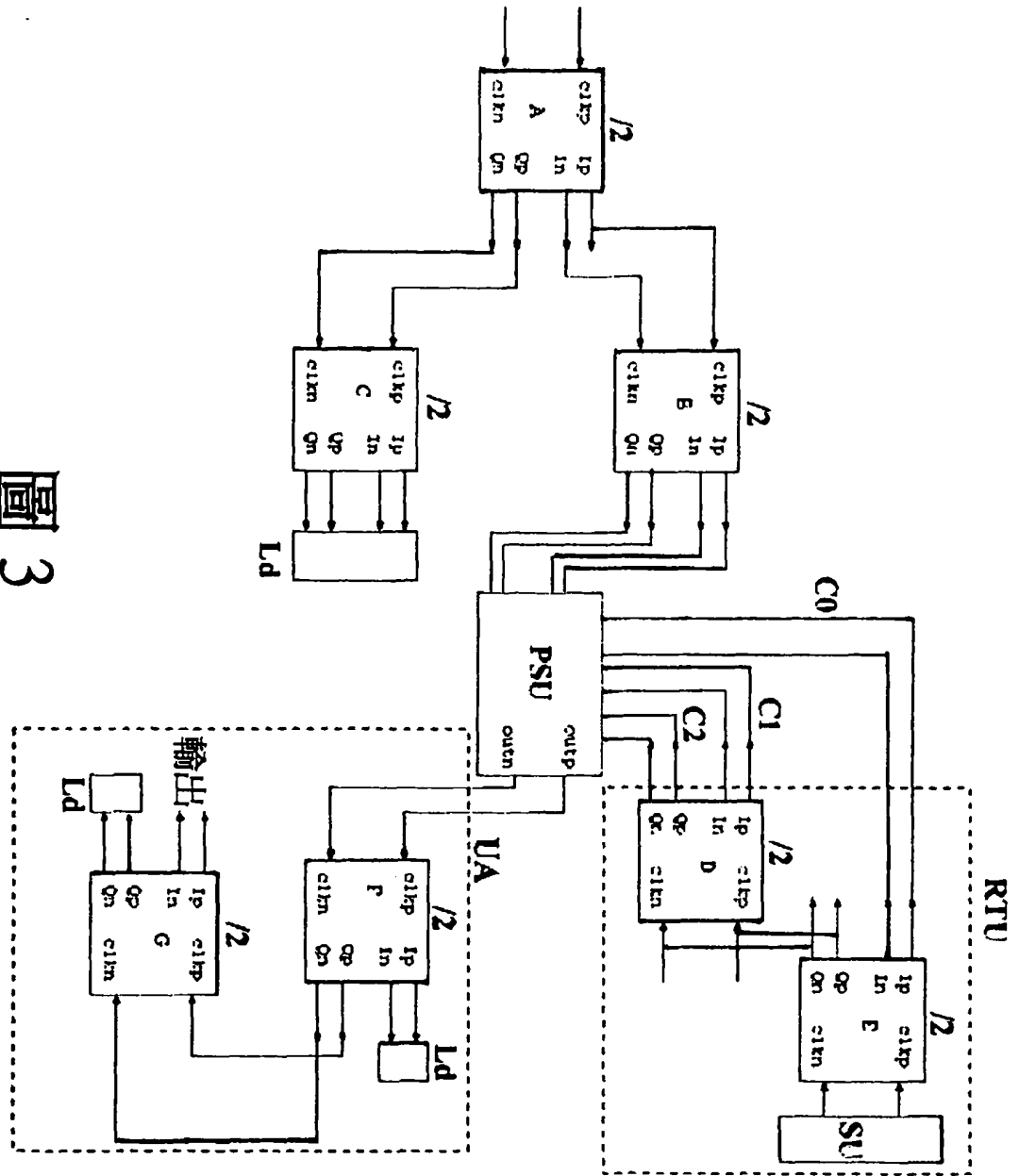


圖 3

99年11月2日修正替換頁

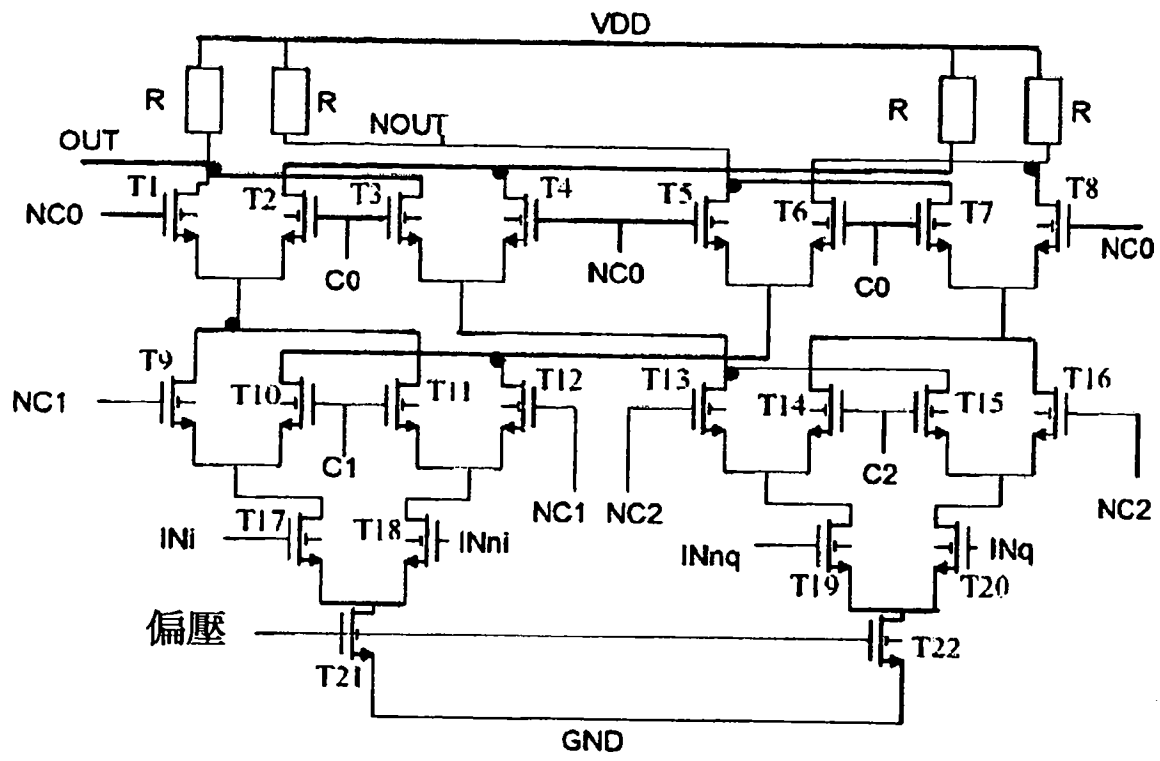


圖 4

99年11月2日修正替換頁

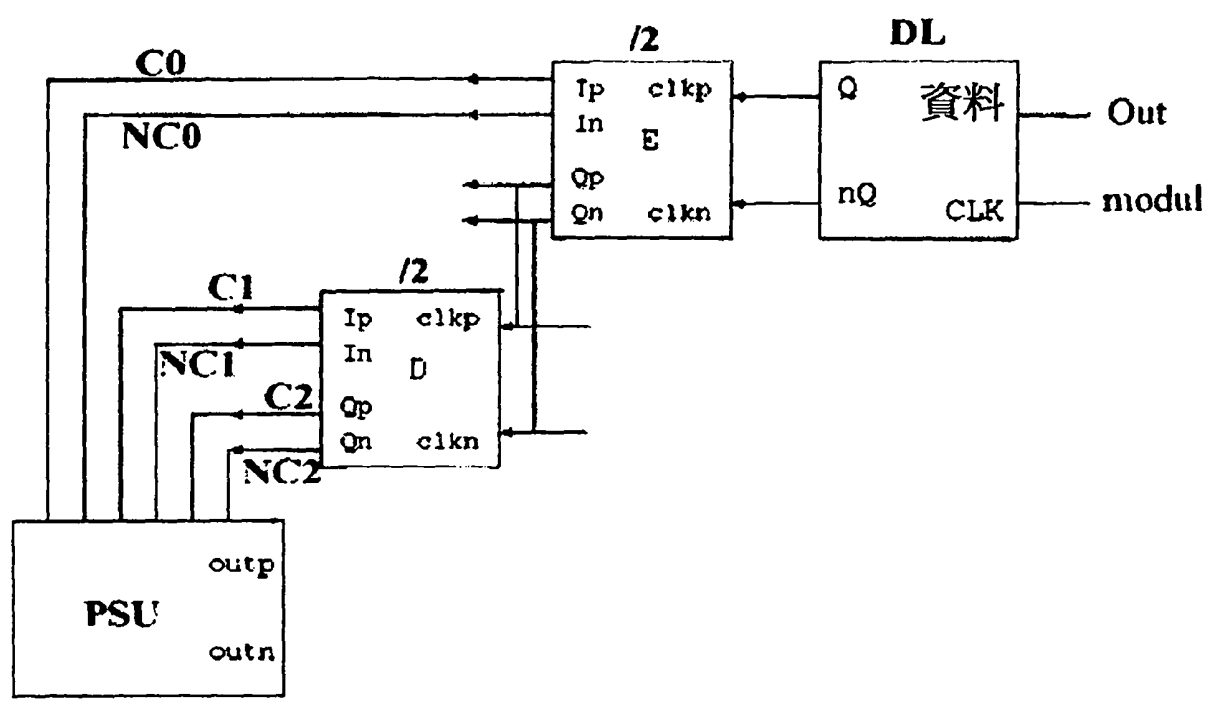


圖 5

99年11月2日修正替換頁

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10	16/17除法器
20	緩衝器
30	除法器
40	決策單元
50	同步單元
60	D型正反器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)