



[12] 发明专利申请说明书

[21] 专利号 ZL 90103768

[51]Int.Cl⁵

G06F 12/02

[45]授权公告日 1993年3月3日

[24]颁证日 93.1.3

[21]申请号 90103768.0

[22]申请日 90.5.24

[30]优先权

[32]89.5.31 [33]US [31]07 / 358807

[73]专利权人 国际商业机器公司

地 址 美国纽约

[72]发明人 拉尔夫 M·贝根 帕特里克 M·

布兰德 马克 E·迪安

[74]专利代理机构 中国国际贸易促进委员会专利

代理部

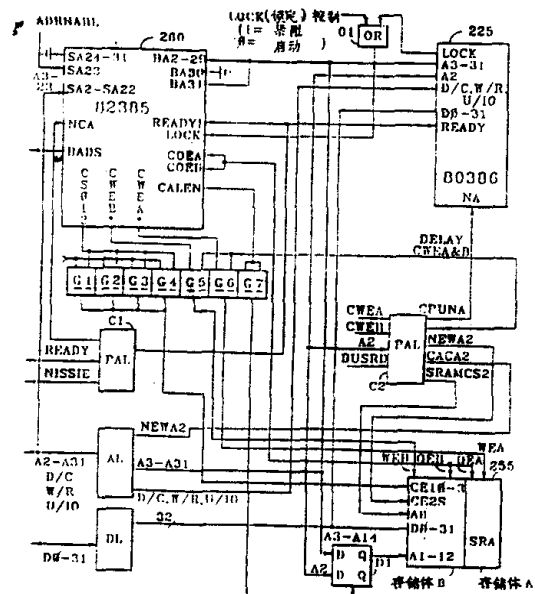
代理人 冯庚璠

说明书页数: 附图页数:

[54]发明名称 使用地址位移机制以增加所支持的高速缓冲存储器容量的微计算机系统

[57]摘要

高速缓冲存储器控制器所支持的高速缓冲存储器容量可以通过位移 CPU 地址输出端与高速缓冲存储器控制器的地址输入端之间的关系及相应地加倍高速缓冲存储器线大小来进行扩充。在某些情况下，附加的逻辑生成一个隐藏的存储器周期以便从存储器中取出等于新线大小的数目的字节而与数据总线的宽度无关。这一隐藏的存储器周期是由一次读未命中与生成一个并非 CPU 生成的存储器地址的附加逻辑启动的。这一隐藏的存储器周期对 CPU 及高速缓冲存储器控制器是透明的。



>39<

权利要求书

1.一种多总线微计算机系统包括:

以一条 CPU 本地总线连接在一起的一个 GPU 及一个高速缓冲存储器子系统,所述高速缓冲存储器子系统包括一个高速缓冲存储器控制器及一个高速缓冲存储器,系统总线装置将所述高速缓冲存储器控制器连接到一个随机访问存储器与多个可寻址的功能单元;

其中所述 CPU 有寻址输出端及所述高速缓冲存储器控制器有寻址输入端;

其特征在于:

所述 CPU 具有将某些所述 CPU 寻址输出端连接到所述高速缓冲存储器控制器的某些所述寻址输入端的装置,使得 CPU 寻址输出端不连接到所述高速缓冲存储器控制器的对应寻址输入端上。

2.权利要求 1 中所述的一种多总线微计算机系统,

其特征在于:

所述多总线微计算机系统还包括地址逻辑生成器装置用于向所述随机访问存储器生成寻址输入,这些寻址输入不是所述 CPU 生成的,以及将所述 CPU 的至少一个寻址输出连接到所述地址逻辑生成器装置的装置。

3.权利要求 1 或 2 中所述的一种多总线微计算机系统,

其特征在于:所述高速缓冲存储器控制器是一个 82385 及所述高速缓冲存储器至少有 64K 字节容量。

4.权利要求 2 中所述的一种多总线微计算机系统:

其特征在于:

隐藏周期启动装置响应一次高速缓冲存储器读未命中以生成一个隐藏的存储器读周期。

5.权利要求 2 中所述的一种多总线微计算机系统:

其特征在于:

CPU 寻址输出端 A3 至 A30 是连接到所述高速缓冲存储器控制器的寻址输入端 BA2 至 BA29 上的,且 CPU 寻址输出端 A2 是连接到所述地址逻辑生成器装置的。

6.权利要求 1 中所述的一种多总线微计算机系

统;

其特征在于:

所述多总线微计算机系统还包括地址逻辑生成器装置用于向所述高速缓冲存储器生成寻址输入,这些寻址输入不是所述 CPU 生成的,以及将所述 CPU 的至少一个寻址输出连接到所述地址逻辑生成器装置的装置。

7.权利要求 6 中所述的一种多总线微计算机系统,

其特征在于:

所述地址逻辑生成器装置包括向所述随机访问存储器生成寻址输入的功能,这些寻址输入不是所述 CPU 所生成的。

本发明涉及微计算机系统,特别涉及使用一个具有 82385 高速缓冲存储器控制器的高速缓冲存储器子系统的微计算机系统,该高速缓冲存储器子系统至少包括 64KB 高速缓冲存储器。

本申请与下列共同未决的申请相关,并已全部转让给本发明的受让人。

美国专利申请号 198,893“使用 82385 高速缓冲存储器控制器选择性地指派写周期的方法与装置”,1988 年 5 月 26 日以拉尔夫 M.贝根(Ralph M.Begun),派脱里克 M.布兰特(Patrick M.Bland)和马克 E.迪安(Mark E.Dean)的名义提出;

美国专利申请号 198,895“在具有仲裁的 80386/82385 微计算机系统中运行的 80386 的系统总线争用”,1988 年 5 月 26 日以派脱里克 M.布兰特,马克 E.迪安和菲利浦 E.米灵(Philip E.Milling)的名义提出;

美国专利申请号 198,894“采用 80386 微处理器与 82385 高速缓冲存储器控制器动态确定总线大小的微计算机系统的水流作业操作控制”,1988 年 5 月 26 日以派脱里克 M.布兰特,拉尔夫 M.贝根和马克 E.迪安的名义提出;以及

美国专利号 198,890“在具有 80386 与 82385 的双总线微计算机系统延迟高速缓冲存储器写启动电路”,1988 年 5 月 26 日以拉尔夫 M.贝根,派脱克 M.布兰特和马克 E.迪安的名义提出。

上述公开在此引用作为对比文件。

在微计算机系统中使用高速缓冲存储器子系统引发了若干吸引人的操作优点。由于这些从使用高速缓冲存储器子系统引发的优点部分地取决于高速缓冲存储器的大小,便产生了增加高速缓冲存储器大小的愿望使用高速缓冲存储器子系统的微计算机系统实际上是双总线微计算机系统。CPU与高速缓冲存储器子系统是通过可称为CPU本地总线相连接的。与CPU本地总线相分离的是一条系统总线,在这上面可以连接其它设备(I/O设备,增加的存储器等)。高速缓冲存储器子系统的存在,在一定程度上缓和了系统总线的任何读存储器访问,以至所寻找的信息也同时可在高速缓冲存储器子系统中找到。由于并非所有要求的信息都可在高速缓冲存储器子系统中找到,而写操作又通常既指向高速缓冲存储器子系统又指向存储器,所以在系统总线与CPU本地总线之间必须有某种连接。

将来自存储器设备的数据进行高速缓冲存储以支持来自一台给定的UPU的快速访问时间,并不是一个新概念。许多包含第一与第二级高速缓冲存储器的系统已经开发并上市。由于CPU时钟速度不断增加,这又不断地减少最小周期时间,正在为个人计算机系统研究高速缓冲存储器,以最大限度地提高它们的性能。许多公司(英特尔、日立、日本电气、东芝等)正在研制并出售高速缓冲存储器控制器片及子系统。大多数因受可利用的标记随机存储器的数量的限制,而只能支持最多32KB的高速缓冲存储数据随机访问存储器(RAM)。

双总线微计算机中流行的一类包含82385高速缓冲存储器控制器。制造厂商所出售的高速缓冲存储器控制器仅限于控制最多32KB的高速缓冲存储器。提高这种微计算机系统的高速缓冲存储器的容量到32KB以上是大家所希望的。82385的规格与功能,说明可以在英特尔“微处理器与外部设备手册”与82385高性能32位高速缓冲存储器控制器”(1987)中查到。也可参看英特尔的“80386概论”与80386硬件参考手册(1886)。

因此,本发明的一个主要目的是提供一个使用82385高速缓冲存储器控制器的双总线微计算机系统,其中,高速缓冲存储器超过32KB。另一个目的是当高速缓冲存储器控制器本身无法支持这些增加的高速缓冲存储器容量时,提供装置以增加所支持的高速缓冲存储器。

如下文将要描述的,本发明提供一种体系结构与/或一种方法,用于将一个82385高速缓冲存储器控制器所能支持的高速缓冲随机访问存储器提高到至少64KB。这一体系结构也能用于任何设计成支持一定量的高速缓冲随机访问存储器的高速缓冲存储器控制器,并提供至少将该高速缓冲随机访问存储器加倍的能力。这里所描述的增加或加倍高速缓冲随机访问存储器的技术,并不需要额外的标记随机访问存储器而只需要最少量的附加支持逻辑。

82385内部包括四个部件,82385包括一个与微计算机系统总线接口的82385本地总线接口,一个与80386控制总线接口的处理器接口;一个具有来自80386地址总线及“窥探(Snoop)”总线的输入端的高速缓冲存储器目录;以及最后,实际上控制该高速缓冲存储器的一个高速缓冲存储器控制。由于高速缓冲存储器处于82385的外部,实际改变高速缓冲存储器的大小只受高速缓冲存储器目录的构造的禁止,该目录处于82385的内部,因而是不能改变的。

高速缓冲存储器内部目录提供1024个标志的空间。在一个32KP的高速缓冲存储器中,每一个标记表示32字节。由于数据总线是32位的,单一的一次主存储器引用能够(并且事实上)访问不是一个字节而是四个字节;所访问的四个字节称作一行。因而,每一个标记表示八行。由于高速缓冲存储器目录是在高速缓冲存储器控制器内部,因而是不能改变的;按照本发明,高速缓冲存储器容量是以增加行的大小来增加的。在一个较佳实施例中,行的大小从四字节加倍到八字节,即64位。加倍行的大小以后,标记仍然表示八行,但是每行是八字节,而不是四字节。

因为标记目录容量不能地加,所以每一标记必须表示64字节,而不是32字节。这是通过将标记构造中的地址线的有效位移一位完成的。

在制造厂商的文档中,地址总线线是以连接到CPU上的对应地址输出脚来进行描述的。地址线是连接到高速缓冲存储器控制器的对应地址输入脚上的,以这种方式CPU的一个地址输出脚被连接到高速缓冲存储器控制器的对应地址输入脚上。为了精确地描述本发明,由于地址线的移位,将使用不同的术语。具体地说,CPU的地址输出脚将用

前缀“A”来标识，地址总线的对应地址线带有相同的参照字符（这是约定的），而高速缓冲存储器控制器的地址输入脚则以“CC”前缀来标识，系统总线地址线以“BA”前缀标识且系统总线数据线以“BD”前缀标识。

更具体地说，来自 80386 的地址脚 A3—A30 连接到 82385 中的地址脚 CCA2—CCA29（82385 的地址输入端 CCA30 接地而 80386 的地址输出端 CCA31 连接到 82385 的输入端 A31）。同时，64KB 高速缓冲存储器的行大小从四字节增加到八字节。既然单个读周期的容量 32 位（在一台 80386 / 82385 机器中），就必需为每一次读未命中建立一个额外的读周期。需要这一额外的读周期来维护 80386 对系统的接口。换言之，80386 与 82385 是设计成每一次读未命中周期访问一行。因为新行是八字节（不是四字节），为了维护这一接口，某些改变是必要的。起作用的改变是生成一个第二读周期（对于 82385 与 80386 都是透明的），来访问该行上的第二个四字节。第一个读周期抽取新行大小的一半（四字节），而第二个读周期抽取该行大小的另外四字节（剩下的 32 位）。在这两个读周期中的一个中，由增加的逻辑电路生成一个地址，该地址不是 CPU 所供给的。更具体地，地址线 A1（来自 80386）被反转并用于取存储在高速缓冲随机存储器中的一个初始的四个字节。此后，线 A2（未反转的）再度传递给系统，以寻址第二组 32 位。在该第二读周期中读出的数据被提供给处理器，并且也存储在高速缓冲随机存储器中。这个第二周期是以生成另外一个地址选通信号（/MISS1）来建立的。系统总线接口单元（微通道（TM）或其他系统总线）和本地总线存储器接口将 /MISS1 作为另一个 /BADS 信号使用（82385 地址选通）。在系统接口看来，第二个周期像是一个流水线处理器周期。所以，/BADS 或者 /MISS1 两者都能启动一个总线周期。作为生成一个第二读周期的替代，到存储器设备的数据接口可以从 32 位增加到 64 位。然而这一替代会要求快速 DRAM 与 SRAM，因为需要一个额外的跨接缓冲器来将正确的数据选通到 80386。这一变形能显著地改进 82385 高速缓冲存储器接口上的性能。

此外，并根据一个较佳实施例，将 82385 与

80386 的就绪（READY）信号，一直保持激活到第二读未命中中总线周期的结束。第一个 32 位（第一个读周期）以触发 SRAMCS2 片选存储在高速缓冲随机访问存储器中。这一信号被连接在一个激活的 SRAM 的高电平片选输入上。SRAMCS2 正常是激活的，而在一个高速缓冲存储器的第一读周期或一个读未命中的末尾变成不激活的。一个 CLK2 时钟周期以后，它又变成激活的。

为了供给窥探（SNOOP）操作，窥探地址也必须移位一位。这是将系统总线地址信号 BA3—BA23 分别连接到 82385 窥探地址端 SA2—SA22 上来实现的。信号 ADRNABLE 连接到 82385 窥探地址信号 SA23。对于所有小于 16 兆字节的窥探地址，ADRNABLE 都是低电平，而对于所有大于等于 16 兆字节的窥探地址，是高电平。这使得高速缓冲存储器无效周期对于适用 24 位寻址或 32 位寻址的系统主机都能够正常工作。使用 ADRNABLE 作为一个窥探地址，的确将最大可窥探存储器空间限制到 32 兆字节。因为只驱动 24 位地址的系统主机并不驱动 SA24—SA31，它将限制可窥探地址空间在 16 兆字节上，所以 ADRNABLE 有必要作为 82385 的一个输入。82385 上这些输入端（SA24—SA31）接地（或者低电平）。

CPU 地址输出与高速缓冲存储器控制器之间的关系的位置技术，可用于为 82385 以外的高速缓冲存储器控制器，增加所支持的高速缓冲存储器容量，也是明显的。

从而，相对于一个方面而言，本发明提供一个多总线微计算机系统包括：

靠一条 CPU 本地总线连接在一起的一台 CPU 及一个高速缓冲存储器子系统，所述高速缓冲存储器子系统包括一高速缓冲存储器控制器与一个高速缓冲存储器；一个系统总线装置将所述高速缓冲存储器控制器连接到一个随机访问存储器与多个可寻址的功能单元。

其中所述 CPU 具有寻址输出端，及所述高速缓冲存储器控制器具有寻址输入端，

将所述 CPU 的一些寻址输出端连接到所述高速缓冲存储器控制器的某些所述寻址输入端的装置，从以使 CPU 寻址输出端不连接到所述高速缓冲存储器控制器的对应寻址输入端，以及

将所述 CPU 的至少一个寻址输出端连接到地址逻辑生成器装置的装置，该地址逻辑生成器装置是用于向所述随机访问存储器生成不是所述 CPU 所生成的寻址输入的。

按照本发明的一个具体实施例，CPU 寻址输出端 A3—A30 被连接到高速缓冲存储器控制器的寻址输入端 A2—A29，而 CPU 寻址输出端 A2 则连接到地址逻辑生成器装置。

在根据本发明的一个具体实施例中，82385 高速缓冲存储器控制器和按照本发明所增加的逻辑电路，提供了一个支持 64KB 高速缓冲存储器的系统。

图 1 是应用本发明的一个典型的微计算机系统的一个总体三维视图；

图 2 是应用本发明的一个典型的微计算机系统的大多数部件的详细方框图；

图 3 为展示一个高速缓冲存储器控制器（例如 82385）的内部构造的方框图；

图 4 示出了图 3 中的高速缓冲存储器目录中的一个典型标记寄存器的内容，它是用于一种先有技术的直接映射高速缓冲存储器构造的；

图 5 示出了图 3 的高速缓冲存储器目录中一个典型标记寄存器的内容，它是用于采用本发明时直接映射高速缓冲存储器构造的；

图 6 示出了图 3 的高速缓冲存储器目录的目录 A 与目录 B 中典型标记寄存器的内容，它是用于一种先有技术两路组合高速缓冲存储器构造的；

图 7 表示图 3 的高速缓冲存储器目录的目录 A 与目录 B 中的典型标记寄存器的内容，它是用于采用本发明的两路组合高速缓冲存储器构造的；

图 8 是图 2 的部分详细方框图，示出 CPU 225，高速缓冲存储器控制器 260，高速缓冲存储器 255 之间的互相连接，系统总线以及所增加的逻辑电路 C1、C2 与 G1—G7；以及

图 9 是采用本发明的原理时 CPU 执行三条存储器读命令的一个例子。

图 1 示出了可以应用本发明的一个典型微计算机系统。如图所示，该微计算机系统 10 包括若干互连的部件。更具体地，一个系统单元 30 耦合于并驱动一台监视器 20（例如一台普通的视频显示器）。该系统单元 30 同时耦合于输入设备，例如一个键盘 40 与一个鼠标 50。一台输出设备，例如

一台打印机 60 也可以连接到系统单元 30 上。最后，系统单元 30 可能包括一个或多个磁盘驱动器，例如磁盘驱动器 70。下面将要说明，系统单元 30 响应输入设备（例如键盘 40 与鼠标 50）以及输入/输出设备（例如磁盘驱动器 70），提供信号来驱动输出设备（例如监视器 20 与打印机 60）。当然，熟悉这一技术的人员知道，其他常用部件也可以连接到系统单元 30，与之进行交互作用。按照本发明，微计算机系统 10 包括（下面将要更具具地描述）一个高速缓冲存储器子系统，且有一 CPU 本地总线互连一台处理器，一个高速缓冲存储器控制器及一个高速缓冲存储器，这一 CPU 本地总线经由一个缓冲器耦合于一条系统总线。该系统总线连接于并交互作用于 I/O 设备例如键盘 40，鼠标 50，磁盘驱动器 70，监视器 20 及打印机 60。此外，根据本发明，系统单元 30 可能还包括一条第三总线，该总线包括一个微通道（Micro Channel）（TM）总线，用于互连系统总线与其它（选用的）输入/输出设备，存储器等。

图 2 是一个高层方框图，展示根据本发明的一个典型微计算机系统的各种部件。一条 CPU 本地总线 230（包括数据，地址与控制部分）提供一台微处理器 225（例如 80386），一个高速缓冲存储器控制 260（它可能包括一个 82385 高速缓冲存储器控制器）以及一个随机访问高速缓冲存储器 255 之间的连接。在 CPU 本地总线 230 上还耦合有一个缓冲器 240。该缓冲器 240 本身连接到包括地址、数据与控制部分的系统总线 250。系统总线 250 延伸在缓冲器 240 与另一个缓冲器 253 之间。

系统总线 250 同时连接到一个总线控制与定时元件 265 以及一个 DMA（直接存储器访问）控制器 325。一条仲裁控制总线 340 将该总线控制与定时元件 265 和一个中央仲裁元件 335 相耦合。存储器 350 同样连接到系统总线 250 上。存储器 350 包括一个存储器控制元件 351，一个地址多路转换器 352 及一个数据缓冲器 353。这些元件与存储元件 361 至 364 互连，如图 2 所示。

另一个缓冲器 267 耦合在系统总线 250 与一平面型总线 270 之间。平面型总线 270 分别包括地址、数据与控制部分。沿平面型总线 270 耦合的有各种 I/O 适配器与其它部件，诸如显示器适配器 275（用于驱动监视器 20）、时钟 280、附加

随机访问存储器 285、一个 RS232 适配器 290 (用于串行 I/O 操作)、打印机适配器 295 (可用于驱动打印机 60)、定时器 300、软盘适配器 305 (与磁盘驱动器 70 协作)、一个中断控制器 310 及只读存储器 315。缓冲器 253 提供系统总线 250 与一条选用的特征总线, 例如微通道 (TM) 总线 320 之间的接口; 该微通道总线 320 以微通道 (TM) 插座表示。诸如存储器 331 等设备可以耦合到总线 320 上。用于高速缓冲存储器写入的数据可从存储器 350 发出, 但这些数据也可能从其它存储器例如安装在微通道 (TM) 总线上的存储器发出。

图 3 是一个方框图, 它取自英特尔 (Intel) 出版物“82385 高性能 32 位高速缓冲存储器控制器” (1987)。图 3 示出了 82385 内部包括四个部件: 一个本地总线接口; 一个处理器接口; 一个高速缓冲存储器控制以及一个高速缓冲存储器目录。对于本发明的目标, 增加高速缓冲存储器容量, 有特殊意义的是高速缓冲存储器目录是 82385 内部的这一事实。这意味着高速缓冲存储器目录的容量是不能改变的。此外, 同样有特殊意义的是在高速缓冲存储器目录的内容与从 80386 地址总线作用在高速缓冲存储器目录上的信息之间不能有任何改动。

先有技术论证了许多用于组织一个高速缓冲存储器与选择高速缓冲存储器与主存储器之间的关系的技术。一种流行的技术称作直接映射, 另一种流行技术称作两路组合 (two-way set associative)。80386 的地址总线是 32 位宽, 从而 82385 具有寻址输入端 CCA0—CCA31。在直接映射模式中, 高速缓冲存储器目录包括 1024 个 26 位寄存器。1024 个寄存器中的每一个被划分成图 4 所示的各部分。位 0—7 (8 位) 由高速缓冲存储器控制元件建立。这些为线有效位, 每一位用于高速缓冲存储器中的一条线。英特尔对 82385 使用一个 32KB 高速缓冲存储器 (最大容许量) 的推荐技术标准, 将一个直接映射标记域目录中的一个入口与八条线的数据相关联, 其中每线为四个字节。位 8 是标记有效位, 它也是由高速缓冲存储器控制 (元件) 建立的。位 9—25 对应于地址位 A31—A51, 它们是将 80386 地址总线上所提供的信号直接存储起来的。在英特尔推荐的体系结构中, 来自 80386 的寻址输出位 A2—A31 直接连接到 82385

的对应地址输入端, 即 CCA2—CCA31。然而, 如下文将描述的, 依照本发明, 这一推荐技术标准是不被遵守的, 且事实上, 在某些 80386 地址输出位与 82385 的地址总线输入端之间有一个“位移量”或移位。

地址 A14—A5 是用于寻址标记随机访问存储器目录的。熟悉本技术的人将能理解这十位对于从 1024 个寄存器中选出一个是足够的。地址 A4—A2 (三位) 用于从 8 条线中选取一条。

图 6 示出了两路组合组织的高速缓冲存储器目录组织。在这一组织中将 1024 个寄存器分成两半, 以提供 512 个 27 位寄存器在目录 A 中, 并将另外 512 个 27 位寄存器提供在目录 B 中。先参见目录 A 中的典型寄存器, 位 0—7 又是八个线有效位。由高速缓冲存储器控制器建立并存储在高速缓冲存储器目录中。每一个线有效位代表一条四字节线。位 8 还是一个标记有效位, 而位 9—26 对应于 80386 地址位 A31—A14, 它们是直接存储以指明一个选中的页的。地址位 A13—A5 (九位) 足以从目录中的 512 个寄存器中选取一个。目录 B 是以类似的方式组织的。与图 4 中所描述的组织的情形一样, 地址位 A2—A4 (三位) 足以从标记所代表的八条线中选取一条 (一条线还是四个字节)。最后, 每一个标记对有一个 LRU 位 (最近最少使用的)。这一位由高速缓冲存储器控制器设置或消除来指示下一个入口是否应当在目录 A 或者在目录 B 中对应构成。

给定了这一固定的组织与高速缓冲存储器目录的固定容量, 并给定了在 80386 寻址输出位与主存储器之间维持一个不变关系的必要性。本发明的目标是构成一个支持 64KB 高速缓冲存储器的体系结构。使用直接映射标记体系结构, 1024 个目录入口中的每一个表示 8 条线。由于每一条线是 4 个字节, 熟悉这一技术的人员不难知道采用这一体系结构的高速缓冲存储器的最大容量为 32KB。两路组合体系结构 (图 6) 给出相同的结果。

按照本发明, 线大小已从四字节变为八字节。图 5 示出了一个直接映射标记域的对应高速缓冲存储器目录组织。如图 5 所示, 位 0—7 仍然代表八个线有效位; 这些位由高速缓冲存储器控制 (元件) 写入和重新写入, 对于每一条线现在所代表的是八字节而不是四字节这一事实是完全透明的。位

8 仍然是一个标记有效位。现在是用位 A3—A5 来选择一条线而不是用 A2—A4。结果是，位 A6—A15 被用于在高速缓冲存储器目录中寻址寄存器（不同于图 4 中所示的使用位 A5—A14）。从而，该目录现在包括了一个 16 位标记域，位 A16—A31。上述的数据则占用位位置 0—24，位位置 25 空着。图 7 示出了对于图 6 的一种类似于图 5 对图 4 的关系。更具体地，每一个标记寄存器仍然有八个线有效位，虽然这些八个线有效位各代表 8 字节线而不是 4 字节线。位 A3—A5 用于选取一条给定的 8 字节线。位 8 仍然是标记有效位。位 A6—A14 现在用于寻址标记寄存器（不同于图 6 中使用位 A5—A13）。相应地，位 A15—A31（而不是 A14—A31）直接存储以指示所选择的页。

现在参见图 8，这是图 2 的一部分的详细方框图，展示相关信号的关系以及图 8 中所示的若干部件之间的互连。更具体地，图 8 示出了 CPU225，高速缓冲存储器控制器 260，地址锁存器 AL 与数据锁存器 DL，缓冲器 240 的部件（见图 2），高速缓冲存储器 255 以及若干附加逻辑部件。这些附加的逻辑部件中包括 PALC1，PALC2，一组两个输入端与门 G1—G7，一个或门 O1 及锁存器 D1。

虽然图 8 示出了具体的逻辑元件 C1、C2、O1 及 G1—G7，熟悉本技术的人员应能理解以不同的具体元件来组装不同的逻辑功能具有广阔的天地。图 8 中的特定展示其目的更着重在说明与描述，而指导如何在不同的具体元件中组装逻辑功能则是次要的。

图 8 中的体系结构与 82385 的制造厂商所推荐的体系结构之间的两个主要区别，在于高速缓冲存储器 225 及 CPU225 与高速缓冲存储器控制器 260 的输出端之间的关系上。更具体地，尽管 82385 的制造厂商清楚地表明高速缓冲存储器 255 的最大容量是 32KB，高速缓冲存储器 255（或静态随机访问存储器—SRAM）具有至少 64K 字节的容量，分成 32KB 存储体 A 与一个类似的 32KB 存储体 B。

如图 8 中顶部所示，CPU225 的地址输出位 A3—A31 连接到高速缓冲存储器控制器 260 的寻址输入端 CCA2—CCA29 及 CCA31 上。更具体地，图 8 意在表示位 A3—A30 是连接到 CCA2—

CCA29 上而端 A31 是连接到端 CCA31 上的。如图 8 所示，端 CCA30 接地。地址位 A2 形成对 PALC2 与锁存器 D1 的一个输入。PALC2 的一个输出是一个信号 NEWA2，这是输入到地址锁存器 AL 的，从而使地址锁存器能够输出位 BA2—BA31，其中输出位 BA3—BA31 完全相同地对应于输入位 A3—A31 而输出位 B2 则对应于输入位 NEWA2。

因为高速缓冲存储器目录与微计算机系统地址结构之间的关系已经被位移了，所以对窥探总线也必须注意。熟悉本技术的人员知道为了保持高速缓冲存储器的协调性。高速缓冲存储器控制器 260 必须对存储器写功能具有能见度。当然，它对于起源于 CPU225 的存储器写功能是具有能见度的，由于它与 CPU225 的寻址与控制输出是连接的。然而，在典型的微计算机系统中，其它设备也可能写入存储器，因此高速缓冲存储器控制器 260 提供有窥探功能，以监视其它设备对主存储器的写入。为了维护已经位移了的关系，高速缓冲存储器控制器 260 的窥探输入端 SA2—SA22 是连接到地址位 BA3—BA23 上的，如图 8 所示。

虽然在前面各图中没有明确示出，一个 32KB 高速缓冲存储器（以 4 字节入口配置）需要 13 个寻址位，而 64KB 高速缓冲存储器 255 则需要 14 个寻址位。图 8 中所示的寻址信息是由锁存器 D1（12 位，A3—A14）的输出所提供的。此外，高速缓冲存储器 255 寻址输入 AO/（一个第 13 位）是从 C2 的 CACA2 输出提供的。最后，第十四位的作用是由高速缓冲存储器控制器生成或者高速缓冲存储器启动 A（COEA 或 CWEA）或者高速缓冲存储器启动 B（CDEB 或 CWEB）来建立的存储体选择。

采用高速缓冲存储器控制器的典型微计算机系统使用至少 4 字节行大小，部分地由于数据总线的宽度，即 32 位。数据总线的宽度意味着在一个给定的存储器周期中，从存储器中可以抽取 32 位，从而在响应一个高速缓冲存储器读未命中中，4 个字节即一行更新过的信息能够在给定的读周期上写入该高速缓冲存储器。将行大小从 4 字节改变到 8 字节的后果，如本发明中的情形，提出为了维护在一个高速缓冲存储器读未命中上更新一整行，必须还要作其他的改动。在本发明的一个较佳实施例

中，由 PAL C1 与 PAL C2 所提供的附加的逻辑提供了一个第二或隐藏的存储器周期。这一存储器周期隐藏得使 CPU225 与高速缓冲存储器控制器 260 都觉察不到。从而，一次读未命中生成两个存储器周期。在这两个存储器周期的第一个中，地址输出 A2 被反转 (NEWA2) 并与地址位 A3—A31 一起用于一次 32 位存储器取出。这一存储器周期中的数据存储在高速缓冲存储器 255 中。而后，输出 A2 的作用再度传递给系统 (NEWB2) 与高速缓冲随机存储器 255 (位侠 A3—A31 一起)。然而，在这一周期上，A2 的作用并不反转而从存储中寻址第二组 32 位。在第二周期中读取的数据送至处理器 225，并且也存储在高速缓冲存储器 255 中。这一附加周期是以生成一个替代地址选通信号 (MISS1) 来建立的。系统总线接口单元 (微通道 (TM) 或其他系统总线) 与本地总线存储器接口将 MISS1 用作一个替代的 BADS (82385 地址选通) 信号。这一附加的或隐藏的周期在系统接口看来好象是一个流水线处理器周期，所以 BADS 或 MISS1 两者都能启动一个总线周期。

虽然按照本发明的较佳实施例，MISS1 用于建立一个附加的或隐藏的周期，也可以用一种代替的配置来提供一个 64 位宽度的数据总线，因而附加的或隐藏的周期是不必要的，即一个单一的存储器周期能够取出对应于一条 8 字节行的 64 位数据。使用一个 64 位存储器接口的一个缺点是需要更快的 DRAM 与 SRAM，因为需要一个额外的跨接缓冲器来将适当的数据选通到 CPU225。

为了保持该隐藏的周期对于 CPU225 及高速缓冲存储器控制器 260 是透明的，将 BREADY (来自系统) 保持激活，直到第二读未命中总线周期结束 (包括 BADS 所建立的周期与 MISS1 所建立的附加周期两者)。在第一读周期上读取的第一个 32 位数据组以 (在 PAL C2 中所形成的) 产生脉冲 SRAMCS2 (片选) 存储在高速缓冲存储器 255 中。这一信号结合在高速缓冲存储器 255 的激活高片选输入上。SRAMCS2 是常激活的，而在一个可高速缓冲的读未命中的第一个读周期结束时变成可激活的。在一个 CLK2 时钟周期以后又变成激活的。

信号 NEWA2, / MISS1, / NEWLA2, / CPUNA, SRAMCS2, / CACA2, 及

NACACHE 以下列 8 个逻辑式定义；

上文中曾引用过的逻辑式将紧接着在下面重新给出。在本材料中所用的符号有下列相关意义；

符号	定义
/	求反
:=	寄存器中存储的项,等于
=	组合项,等于
&	逻辑与
+	逻辑式
\$	逻辑异式(XOR)

```

NEWA2 = CA2 $ (NCA & / CWR & MISS1
& SRAMCS2)
/ MISS1 :=
MISS1 & BUSCYC385 & CPUNA & / BADS
& / (BW / R) & CLK & NCA

+ MISS1 & / BUSCYC385 & / BADS
& / (BW / R) & CLK & NCA & / BREADY
+ / MISS1 & / CLK
+ / MISS1 & BREADY

/ NEWLA2 := / CA2 & MISS1 & CPUNA &
CLK
+ MISS1 & / BUSCYC385 & / BADS
& / (BW / R) & CLK & NCA & / BREADY
/ CA2
+ / NEWLA2 & / MISS1 & CLR
+ / NEWLA2 & MISS1 & / CPUNA & CLK
& BREADY
+ / NEWLA2 & CLK
+ / NEWLA2 & MISS1 & / CPUNA & CLK
& BVSCYC385

/ CPUNA := / MISS1 & CLK & CPUNA
& / NACAHE
+ MISS1 & CLK & CPUNA & / BREADY
/ BUSCYC385
+ / CPUNA & / CLK
+ / CPUNA & / MISS1 & CLK
+ / CPUNA & CLK & BREADY
+ / CPUNA & CLK & BUSCYC385 &
NACACHE

```

```

SRAMCS2:=
SRAMCS2 & /MISS1 & /BREADY
&/BUSCYC385 & CLK

/CACA2 = /NEWLA2 & /CPUNA &
MISS1
+NEWLA2 & /MISS1
+ /CA2 & MISS1 & /CPUNA & CLK
+ /NEWLA2 & MISS1 & CPUNA & /CLK
+ /NEWLA2 & MISS1 & /CPUNA &
/CA2

/NACACHE = /CASGATE
= /MISS1 & /CMD
+RESET

```

其中:

/CASGATE 指明激活主存储器周期, 激活低电平, 而 /CMD 指明在系统总线以外的一条总线上的一个激活周期 (例如微通道), 激活低电平。

在上文中:

BREADY 是来自系统总线 (激活低电平) 的信号, 指明该总线上的周期已经完成。

CA2 表示 CPU 225 的 A2 输出;

BADS 是英特尔定义的来自高速缓冲存储器控制器 260 的地址选通 (激活低电平);

CLK 表示一个英特尔定义的时钟信号;

RESET 是英特尔定义的复位信号 (激活高电平);

NCA 表示一个非高速缓冲存储器访问, 如在共同未决申请中所定义的;

BUSCYC385 是在共同未决申请案中所定义的另一个信号。

图 9 是若干 CPU 读命令, 在高速缓冲存储器目录上产生的结果, 及特别是线有效位, 以及所产生的操作的一个例子。图 9 中的例子是在假定步骤 1 以前已经倒空了高速缓冲存储器的情况下提供的, 所以在步骤 1 以前整个目录是无效的。

步骤 1 示出 CPU255 在地址 0 执行一条读命令。在结果列中, 图 9 示出发生了两次存储器取。在一次存储器取中, 双字 0 (4 字节) 被取出并存储在高速缓冲存储器中。尔后, 另一次存储器取双字 4 (又是 4 个字节) 也被完成并存储在高速缓冲

存储器中。高速缓冲存储器目录 (见第二列) 设置目录地址 0 的标记有效位, 并且线有效字节在彼高速缓冲存储器控制器更新以后是 11111110。

步骤 2 是 CPU 所执行的一条读存储器地址 4 的命令。根据先有技术, 这将是一次高速缓冲存储器未命中由于原先的存储器取 (步骤 1 处) 只取来 4 个字节 (0-3)。然而, 根据本发明, 作为步骤 1 的结果所实现的两个读存储器周期现在已向高速缓冲存储器提供了所寻址的存储器位置的内容。相应地, 这一命令的结果是一次高速缓冲存储器命中, 对高速缓冲存储器目录不作变动, 并且不从主存储器读入更多的数据, 因为该数据是从高速缓冲存储器中访问的。

步骤 3 示出了对地址 8 的一次 CPU 读。这又一次产生两个存储器周期, 第一个双字 8 (4 个字节) 以及以后的双字 C_H (另一个 4 字节)。高速缓冲存储器目录中的行有效字节更新成如图 9 中行有效字节列中所示。

参见图 8 及 NEWA2 的逻辑式, 首先从图 8 中可以看出, 从地址锁存器 AL 输出的在地址总线 (BA2-BA31) 上的信号包括直接来自 CPU225 的寻址位 A3-A31, 以及在 A2 导线上的信号 NEWA2。这一信号 NEWA2 是在 PAL C2 中生成的, 且第一个逻辑式定义这一信号。熟悉本技术的人员将会从上文描述中了解信号 MISS1 在隐藏的存储器读周期中是一种状态, 而在隐藏的读周期之外的其它周期中是另外一种状态。结果是, 当项 CA2 可能是常量时, 信号 NEWA2 在隐藏的读周期中是一种状态, 而在其它读周期中则是另一种状态。这便提供了在隐藏周期中一个反转的 A2 位和在其它存储器读周期中的一个非反转的 A2 位。换言之, 以 C2 处理 NEWA2 向系统地址总线 (AL 的 BA2-BA31 输出) 加载一个不是由 CPU225 生成的地址。具体说, 在隐藏的周期中 NEWA2 = /A2, 这不是 CPU255 生成的一个地址位。

从上文中可以看出, 由一次高速缓冲存储器未命中产生 (与由 /MISS1 实现) 隐藏的读周期的必要性, 是数据总线的宽度不足以供应新的行大小 (8 个字节) 这一事实导致的结果。从而, 如果数据总线足以供应行大小, 则可以消除该隐藏的总

线周期。/MISS1 式中的前两项示出了生成“隐藏的”周期的条件。/NCA 高电平说明所要求的地址是可高速缓冲存储的。/BADS 激活说明或者是一次高速缓冲存储器未命中或者是一次非高速缓冲存储的周期。然而，NCA 和 /BADS 的共同激活的与是专指一次高速缓冲存储器未命中的。最后 / (BW / R) 激活表明一次读。从而这三个信号的结合专指一次高速缓冲存储器读未命中，正是建立该“隐藏的”周期的条件。第一项用于非流水线周期 (CPUNA) 而第二项则用于流水线周期 (BREADY)。最后两项用于在适当的时候终止 /MISS1。

正如 NEWA2 在来自 CPU 的一次给定的读未命中上反转以建立两个地址，一个在“隐藏的”周期上而另一个用于 CPU 所启动的读未命中 (一个地址是以 NEWA2 高电平建立的而另一个地址是以 NEWA2 低电平建立的)，同样的高速缓冲存储器 255 的寻址也必须反转。换言之一次高速缓冲存储器读未命中将导致一次高速缓冲存储器写。由于 CPU255 与高速缓冲存储器控制器 260 只看见一个周期所以只会建立单一的高速缓冲存储器地址。来自 CPU 的 A2 地址位并不直接到达高速缓冲存储器 255 的地址输入端。反之，A2 上的作用是由 CACA2 位再生的。然而，这一位也将像 NEWA2 反转在系统总线上的地址那样地反转。NEWLA2 是被建立来再生 CPU 的 A2 位的。CACA2 的反转发生在 MISS1 改变状态时。

为了同样的理由，同时建立 SRAMCS2。除了建立输入到高速缓冲存储器的一个附加的地址以外 (一个不同 CPU 建立的地址)，也有必要从高速缓冲存储器控制器所建立的一个单一周期中构造出两个对高速缓冲存储器 255 的控制周期。这是 SRAMCS2 的功能。SRAMCS2 正当第一个即“隐藏的”周期结束时反转以启动对高速缓冲存储器 255 的第二个周期。

如在共同未决申请中所定义的，当提出 CPUNA 时，该信号启动 CPU 流水线操作一个周期。MISS1 参与 CPUNA 的形成以保证，“隐藏的”周期完成后不允许提出 CPUNA。这一操作防止 CPU 在读未命中序列 (包括两个周期) 的第二个一半能够完成以前在一个流水线周期上离开。

虽然本发明的较佳实施例是结合 82385 高速

缓冲存储器控制器描述的，熟悉本技术的人员能够理解，应用本发明的原理，用其它高速缓冲存储器控制器支持的高速缓冲存储器也能够用这里所描述的技术来扩充，即将 CPU 地址输出与高速缓冲存储器控制器地址输入之间的关系移位。这一对所支持的高速缓冲存储器的扩充并不要求将内部高速缓冲存储器目录或高速缓冲存储器控制器的其它内部部件改动到这样的程序以至以扩充线大小来扩充所支持的高速缓冲存储器容量。在数据总线能够以新的线大小支持单一周期传送的微计算机系统中，便不需要使用本发明的其它技术。即隐藏的读周期。另一方面，如果扩充所支持的高速缓冲存储器容量要求将线大小增加到超出数据总线的宽度，则引入一个隐藏的读周期这一技术，如这里所描述的，也能用于克服这一问题。同样清楚的是，在理论上，没有理由只采用一个单一的隐藏读周期。换言之，以适当的地址位移及多个隐藏周期，所支持的高速缓冲存储器容量可以增加这里所描述的 100% (从 32KB 到 64KB) 以上。从上文的观点来看，清楚地表明在本发明的精神与范围内，对这里所描述的较佳实施例可以做出多种改变，以扩充一个给定的高速缓冲存储器控制器所支持的高速缓冲存储器容量，从而，不能用这里所描述的例子来直接解释本发明的精神与范围，而是只能用这里所附的权利要求来解释。

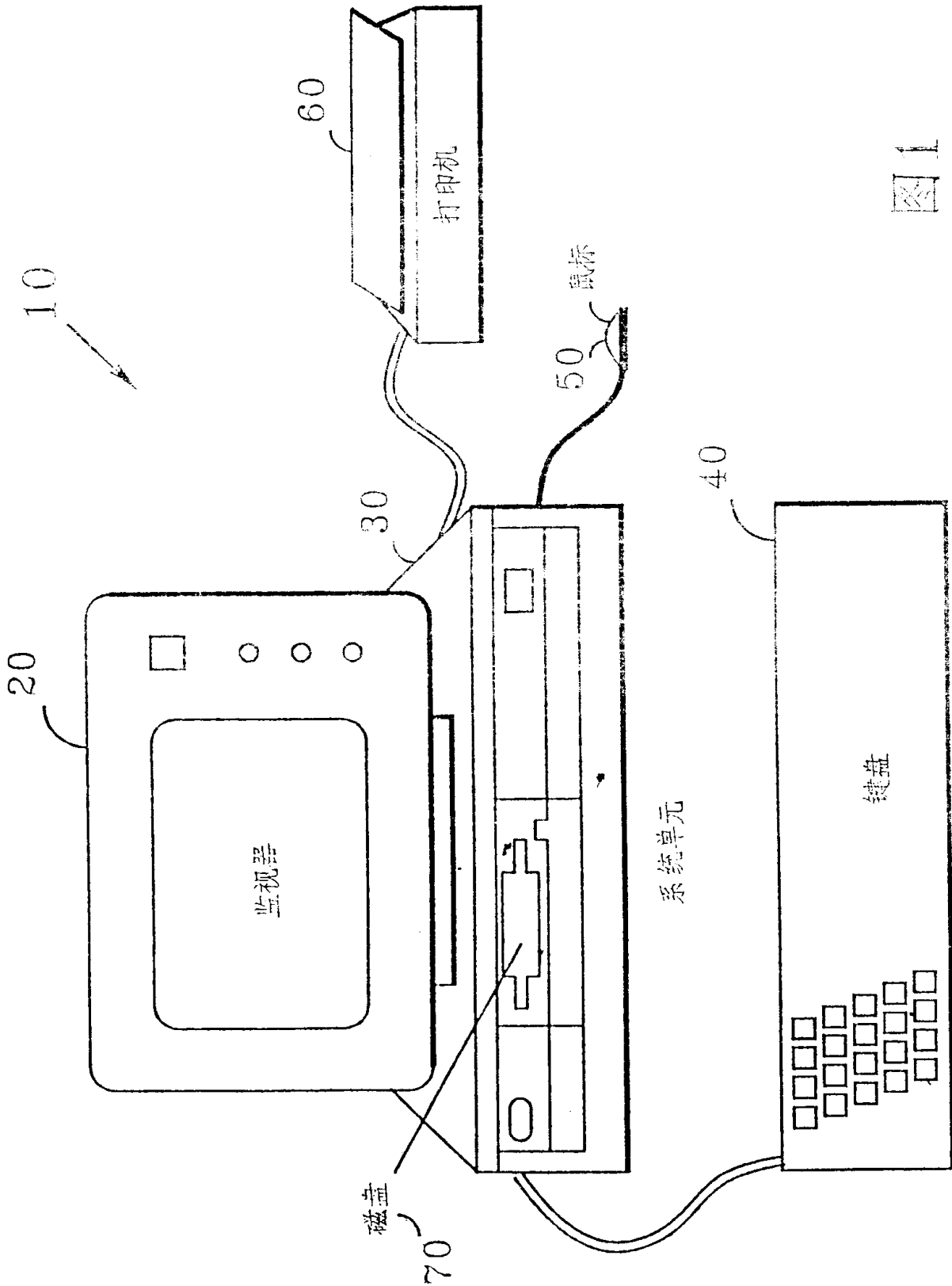


图1

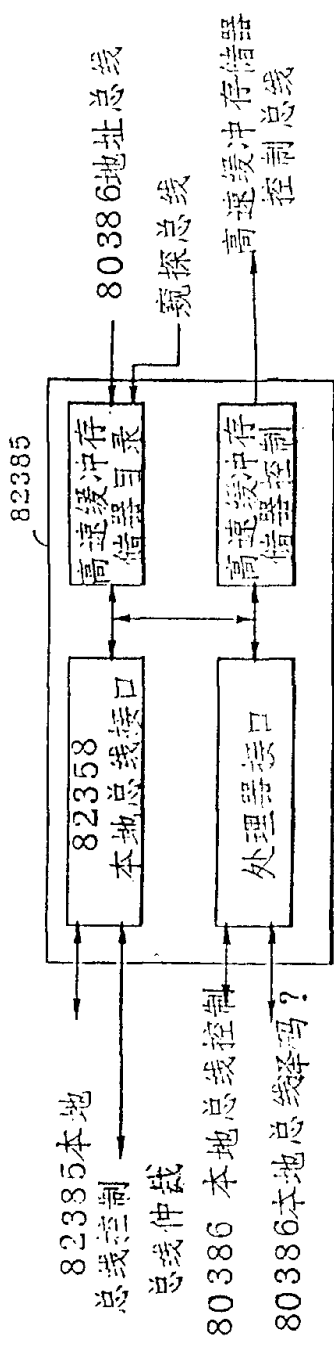


图 3

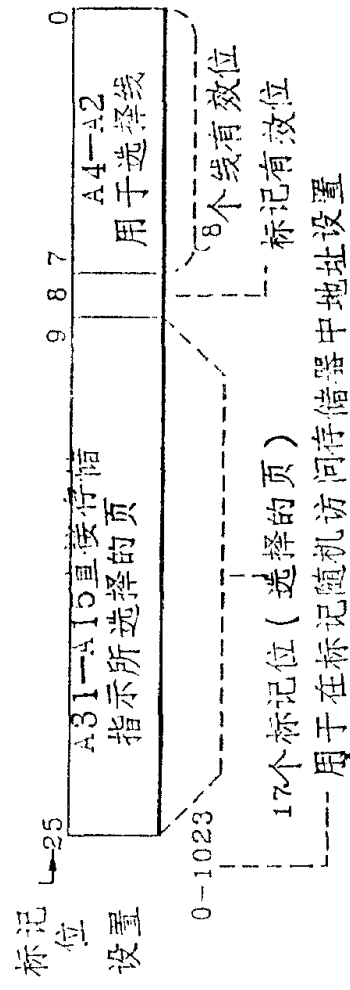
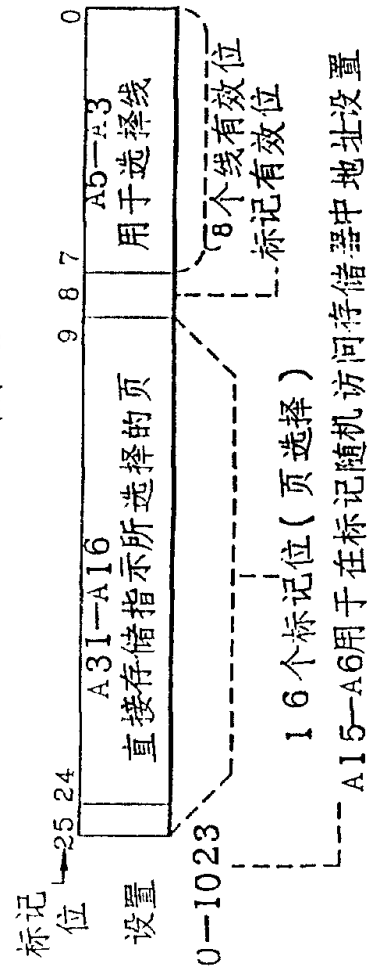


图 4



直接 映射 标记 域

图 5

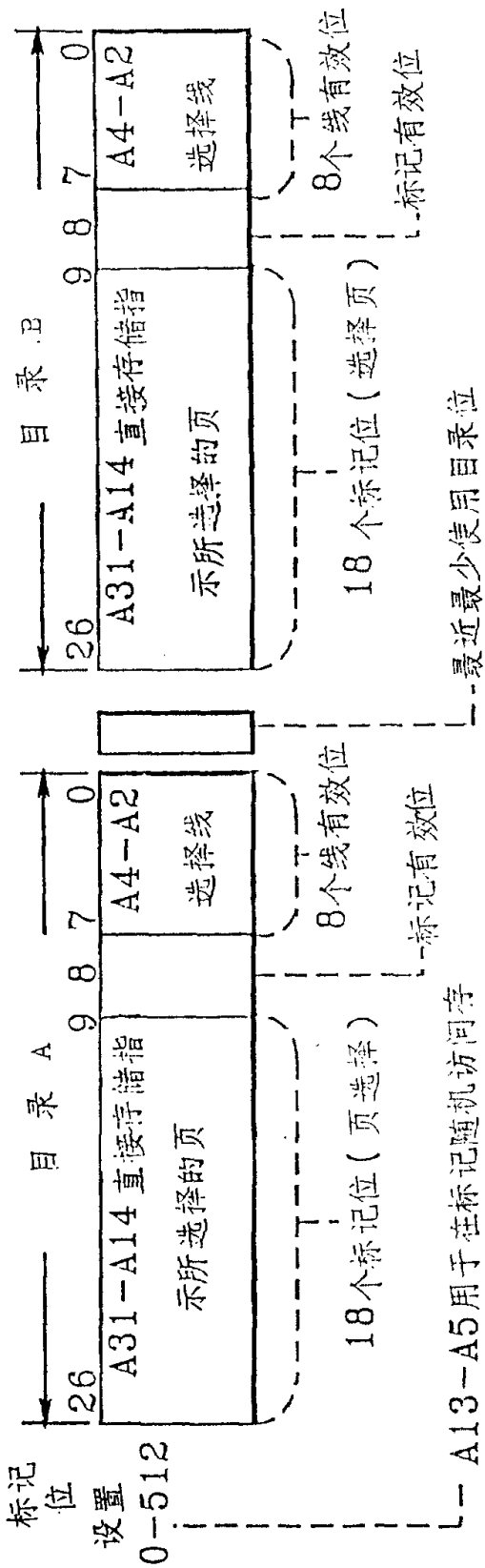


图6

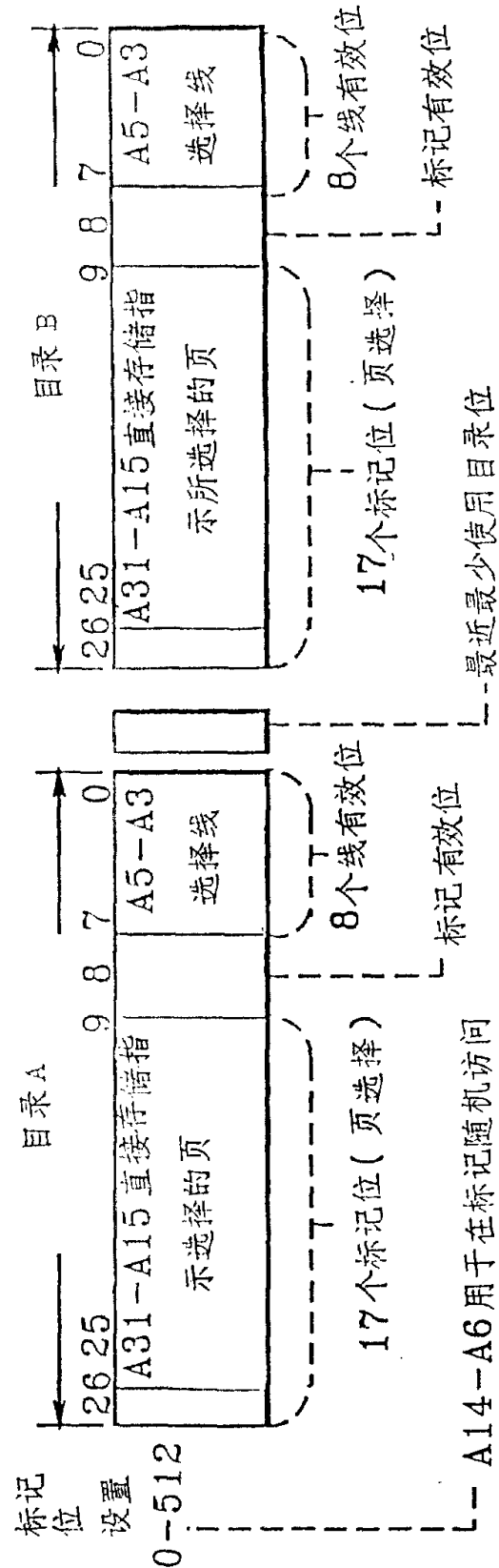


图7

存储器中的地址设置

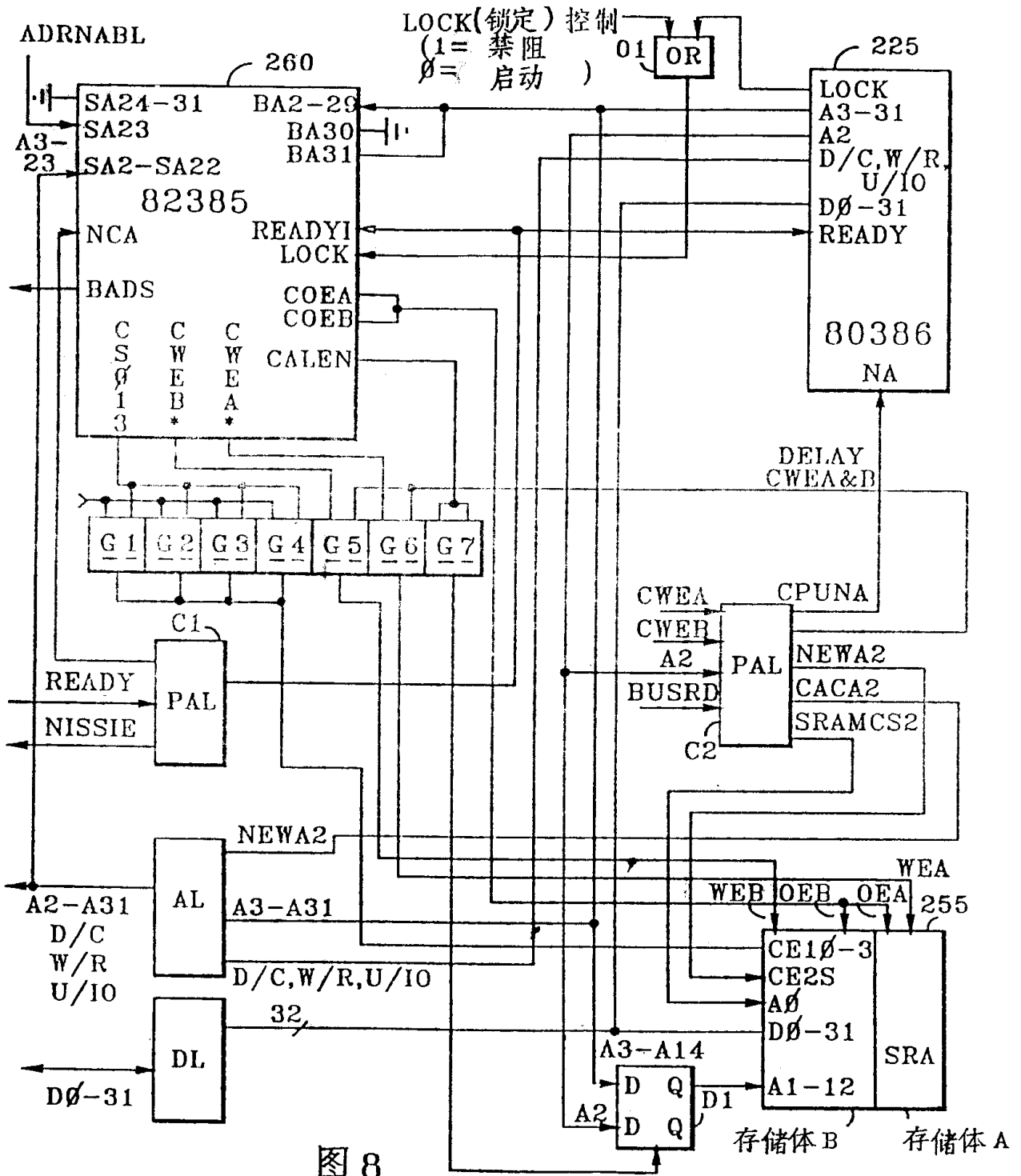


图 8

〔高速缓冲存储器初始倒空〕

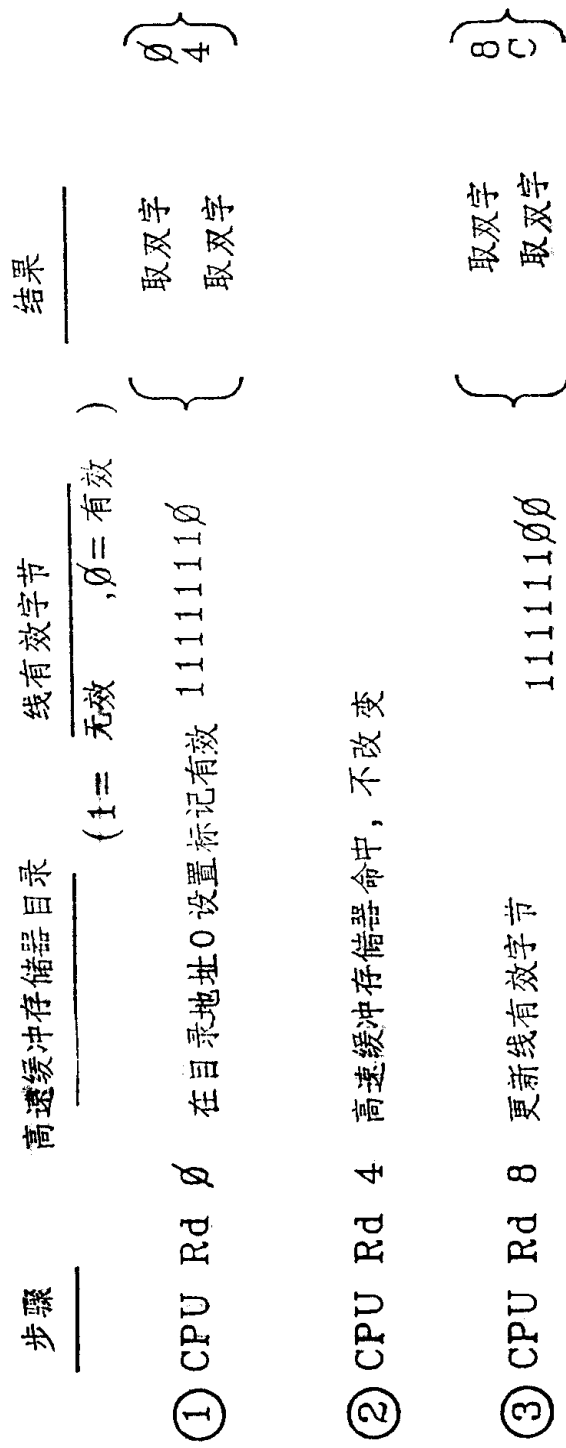


图9