

申請日期: 91.4.1

案號: 91106527

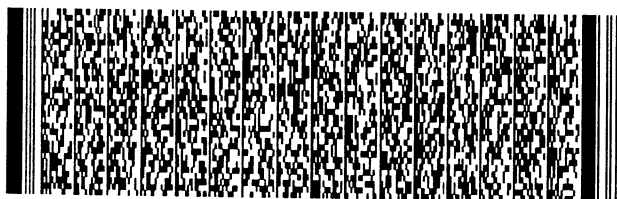
類別:

H03K 17/12

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	MOSFET負荷開關中控制衝流之多級控制電路
	英 文	A Multiple-Stage Control Circuit To Control Rush Current In A MOSFET Load Switch
二、 發明人	姓 名 (中文)	1. 提摩·文浩·余
	姓 名 (英文)	1. Tim Wen Hui Yu
	國 籍	1. 美國
	住、居所	1. 美國加利福尼亞州94086森尼維耳市橡地大道1250號310室 (1250 Oakmead Parkway, Suite 310, Sunnyvale, California 94086, United States of America)
三、 申請人	姓 名 (名稱) (中文)	1. 先進類比科技股份有限公司
	姓 名 (名稱) (英文)	1. ADVANCED ANALOGIC TECHNOLOGIES, INC.
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國加利福尼亞州94086森尼維耳市橡地大道1250號310室 (1250 Oakmead Parkway, Suite 310, Sunnyvale, California 94086, United States of America)
	代表人 姓 名 (中文)	1. 理查·威廉斯
	代表人 姓 名 (英文)	1. Richard K. Williams



本案已向

國(地區)申請專利
美國 US

申請日期
2001/04/12 09/834, 582

案號

主張優先權
有

有關微生物已寄存於

寄存日期
寄存號碼

無



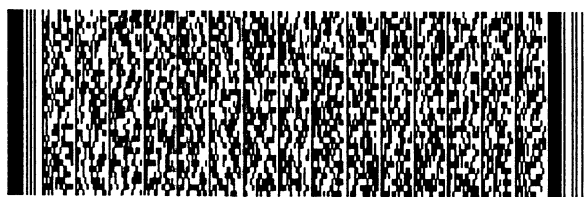
五、發明說明 (1)

有許多設備透過功率MOSFET開關將電力傳輸給電氣系統或負荷。通常一單一電源驅動數個負荷，每一負荷有其自有功率MOSFET開關。若一功率MOSFET快速接通，電壓變化連同功率MOSFET之慣常為低的接通電阻

(on-resistance) 能導致一大電流突波 (稱為一“衝流”) 流經此功率MOSFET到達負荷。該衝流能導致電壓起伏且很可能促使負荷電路工作失常。明確地說，電源電壓之起伏能導致其他負荷電路回應於電壓不足停工保護計劃而斷開。因此，使衝流最小化對負荷電路之可靠運作而言相當重要。

大多數習知技藝著眼於在負荷內納入保護電路以處理在開關過程中產生的衝流。然而，更有效且更合期望的方式為減少產生的衝流及全然防止一大電流到達負荷。使衝流最小化之一方式為在一有限接通時間內將功率MOSFET開關之電力傳輸能力逐漸加大。

第一圖A為一控制功率MOSFET衝流之習知電路100的電路圖。一p型功率MOSFET 105有一標示為VOUT的汲極，一標示為VIN的源極，一閘極130，和一體部。一如功率MOSFET所共通，源極和體部短路相接以防功率MOSFET 105固有之寄生雙極接面電晶體接通。一第一電阻器115耦接於功率MOSFET 105之閘極130與源極之間。一電容器125耦接於功率MOSFET 105之閘極130與汲極之間。一n型控制MOSFET 110之汲極耦接於功率MOSFET 105之閘極130。一控制信號加諸於控制MOSFET 110之一閘極 (標示為ON/OFF



五、發明說明 (2)

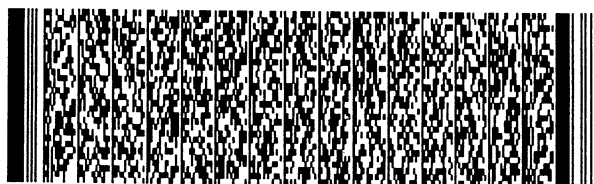
)。一第二電阻器120耦接於控制MOSFET 110之源極與接地極(標示為GND)之間。在電路100內,在VIN加上一電源(圖中未示),且由VOUT驅動一負荷(圖中未示)。

在該控制信號為ON時,將一“高”電壓(例如5V)施於控制MOSFET 110之閘極,藉此接通控制MOSFET 110並讓其傳導電流。當該控制信號為OFF,將一“低”電壓(例如0V)施於控制MOSFET 110之閘極,藉此使控制MOSFET 110斷開並禁止其傳導電流。

在功率MOSFET 105之斷開狀態中,施於控制MOSFET 110之閘極的控制信號為低(OFF),且控制MOSFET 110為斷開。由於沒有電流通過控制MOSFET 110,功率MOSFET 105之閘極130處的電壓等於電源電壓VIN(舉例來說可為5V)。跨電容器125之電壓為 $|V_{IN} - V_{OUT}|$ 。

當控制MOSFET 110之閘極處的控制信號切換為ON(高),控制MOSFET 110接通且開始傳導電流。電流沿著從VIN經過電阻器115、經過控制MOSFET 110、且經過電阻器120到GND的路徑流動。功率MOSFET 105之閘極130上的電壓開始緩慢降低,因為其受電容器125之充電量限制。

第一圖B為第一圖A習知技藝電路100之功率MOSFET 105的閘極電壓對時間標繪圖。此標繪圖顯示出在有限接通時間(例如1.6 ms)期間在功率MOSFET 105之查及130的閘極電壓曲線150。在 $t=0$ ms,閘極130之電壓為VIN(亦即5V)。如該圖所示,功率MOSFET 105之閘極130的電壓在起始階段152內緩慢降低。



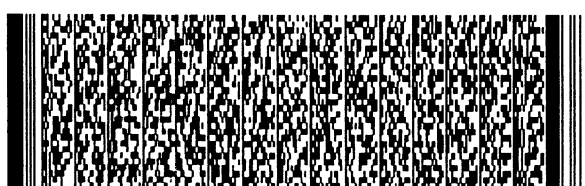
五、發明說明 (3)

功率MOSFET 105在閘極130至源極(VIN)電壓下降至功率MOSFET 105之閾電壓以下時開始接通。舉例來說，若功率MOSFET 105之閾電壓為 $V_T = -1\text{ V}$ ，功率MOSFET 105在閘極130電壓到達4V而 $V_{IN} = 5\text{ V}$ (此在第一圖B中為稍早於 $t = 0.2\text{ ms}$)時開始接通。閘極130之電壓降低的起始階段152在該有限接通時間內是一“呆滯時間(dead time)” ，因為功率MOSFET 105並不導電。

功率MOSFET 105之閘極130的電壓持續降低經過一中間階段154，如第一圖B所示。在此期間，功率MOSFET 105的接通電阻非線性地降低。當閘極130至源極(VIN)電壓達到功率MOSFET 105之閾電壓的兩倍，功率MOSFET 105實質上為完全接通。舉實例來說，在 $V_{IN} = 5\text{ V}$ 且 $V_T = -1\text{ V}$ 的條件下此發生在閘極130之電壓達到3V，在第一圖B中為接近 $t = 0.6\text{ ms}$ 。

在此時點之後，閘極130之電壓經過一最終階段156的降低，如第一圖B所示，直到有限接通時間結尾 $t = 1.6\text{ ms}$ 閘極130之電壓約為0V時，功率MOSFET 105達到最大驅動為止。此由電阻比電阻器120大之電阻器115達成。在此實例中到達最大驅動的時間大約為 $t = 1\text{ ms}$ 。在此時間當中，功率MOSFET 105的接通電阻變化非常小且為非線性的。因此，由VOUT驅動的負荷得到電源電壓VIN供應。

第一圖C為一電流對時間標繪圖，其繪出通過第一圖A習知技藝電路100之功率MOSFET 105的電流量。一電流曲線180有兩個明顯特徵。一比一最終電流186大得多的衝流



五、發明說明 (4)

182。衝流182對充電電容器125供應起始電流。

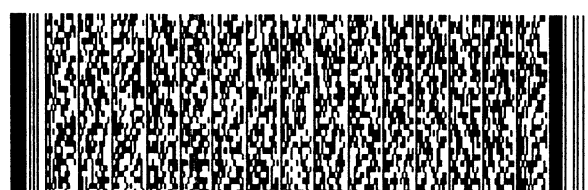
當控制MOSFET 110之閘極處的控制信號切換為OFF (低)，控制MOSFET 110停止傳導電流。功率MOSFET 105之閘極130的電壓透過電阻器115和電容器125放電。

習知技藝電路100的目標是對功率MOSFET 105之閘極130施加一恆定力以控制衝流。然而，習知技藝電路100有數項缺點。首先，電路100在功率MOSFET 105接通並開始導電之前有一段相當長的呆滯時間。第二，電路100在功率MOSFET 105接通之後需要一段相當長的時間方能達到最大驅動 (亦即閘極130之電壓達0V之時)。第三，當控制MOSFET 110接通，電路100傳導一大靜態電流 (quiescent current)，從而消費高功率。第四，當控制MOSFET 110斷開，電路100需要一段長時間方能讓閘極130之電壓再次提升至VIN。

閘極130電壓改變成一閾電壓然後改變成最大驅動的緩慢變化速率是不合期待的，因為其並未提供最佳衝流控制。運用此恆定驅動力技術之習知技藝電路必須在接通時間和驅動力之間做妥協，導致非最佳的衝流控制。

因此，明顯需要一種能最佳化施予一功率MOSFET 開關之閘極的驅動力以使經由該功率MOSFET傳往一負荷之衝流最小化的電路。

本發明提出限制從一電源經由一功率MOSFET開關傳往一負荷之衝流的電路及方法。該功率MOSFET可為一p-型功率MOSFET或一n-型功率MOSFET。在一範例電路排列中，該



五、發明說明 (5)

電源有一功率端子和一接地端子。該功率MOSFET之一第一端子耦接於該等電源端子其中之一。該負荷耦接於該功率MOSFET之一第二端子。

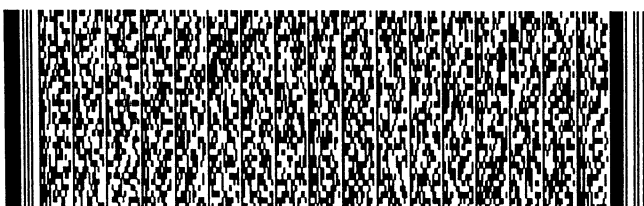
該電路排列亦包含一有至少三個輸入（其中第一個是一致能信號）及至少三個輸出的控制電路。該控制電路適於以對該控制電路之輸入為基準控制施予該功率MOSFET閘極之驅動力，控制該功率MOSFET之接通及限制通過該功率MOSFET之衝流。

該電路排列亦包含一感測電路，該感測電路有至少一耦接於該功率MOSFET閘極之輸入，一耦接於該控制電路之第二輸入的第一輸出，及一耦接於該控制電路之第三輸入的第二輸出。該感測電路適於感知該功率MOSFET何時受一第一電平及一第二電平增強。

該電路排列亦包含一斷流電路，該斷流電路有一耦接於該控制電路之第三輸出的輸入及一耦接於該功率MOSFET閘極的輸出。該斷流電路適於在需要時使該功率MOSFET斷開。

該電路排列亦包含一第一驅動電路，該第一驅動電路有一耦接於該控制電路之第一輸出的輸入及一耦接於該功率MOSFET閘極的輸出。該第一驅動電路適於以一第一速率調整施予該功率MOSFET閘極之電壓。

該電路排列亦包含一第二驅動電路，該第二驅動電路有一耦接於該功率MOSFET閘極的輸出。該第二驅動電路適於以一低於該第一速率的第二速率調整施予該功率MOSFET



五、發明說明 (6)

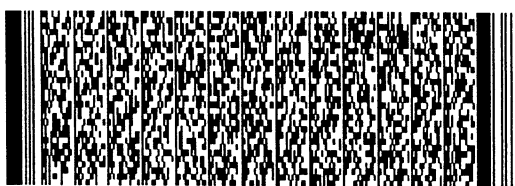
閘極之電壓。

該電路排列亦包含一第三驅動電路，該第三驅動電路有一耦接於該控制電路之第二輸出的輸入及一耦接於該功率MOSFET閘極的輸出。該第三驅動電路適於以一高於該第二速率之第三速率將施予該功率MOSFET閘極之電壓調整成該電源容許之一最大電平。

在一控制一功率MOSFET開關內之衝流的範例方法中，該功率MOSFET開關（包含一閘極端子）當作一電源與一負荷間之開關。在一致能信號之斷開狀態中，該功率MOSFET斷開使該負荷斷電。在該致能信號之接通狀態中，感測該功率MOSFET之增強以控制對該功率MOSFET之閘極端子施加三個驅動力使該功率MOSFET在一有限接通時間內接通。

一第一驅動力施加於該功率MOSFET之閘極端子。該第一驅動力適於在該功率MOSFET受一第一電平增強之前以第一速率調整施予該功率MOSFET閘極端子之電壓。一第二驅動力施加於該功率MOSFET之閘極端子。該第二驅動力適於在該功率MOSFET受一第二電平增強之前以一低於該第一速率之第二速率調整施予該功率MOSFET閘極端子之電壓。該第二驅動力更適於限制經由該功率MOSFET傳往該負荷的衝流。一第三驅動力施加於該功率MOSFET之閘極端子。該第三驅動力以一高於該第二速率之第三速率調整施予該功率MOSFET之閘極端子的電壓，使該功率MOSFET得到該電源所容許之最大增強。

因此，本發明提出感測功率MOSFET開關之增強以及容



五、發明說明 (7)

許在接通之不同階段中以不同驅動力施加於功率MOSFET開極的電路和方法。與習知技藝解決方式相比，本發明之接通方案最能滿足轉動速率控制的要求且使在接通過程中從電源經由功率MOSFET傳往負荷的衝流最小化。

圖式簡單說明

參照以下說明和圖式會更為瞭解本發明，圖式中：

第一圖A為一控制衝流之習知技藝電路。

第一圖B為一第一圖A習知技藝電路之功率MOSFET的開極電壓對時間標繪圖。

第一圖C為一第一圖A習知技藝電路之功率MOSFET的電流對時間標繪圖。

第二圖A為一依據本發明一實施例限制通過一功率MOSFET開關之衝流的電路的簡圖。

第二圖B為一第二圖A電路之功率MOSFET的開極電壓對時間標繪圖。

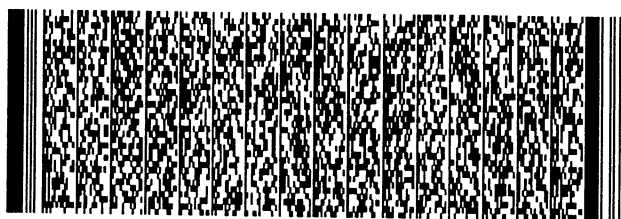
第三圖A為一比較第一圖A和第二圖A電路之功率MOSFET之開極電壓的開極電壓對時間標繪圖。

第三圖B為一比較通過第一圖A和第二圖A電路之功率MOSFET之電流的電流對時間標繪圖。

第四圖為一依據本發明限制通過一功率MOSFET開關之衝流的電路的方塊圖。

第五圖為一依據本發明另一實施例限制通過一功率MOSFET開關之衝流的電路的方塊圖。

在所有圖式中，相同或相似部件通常標以相同參考數



五、發明說明 (8)

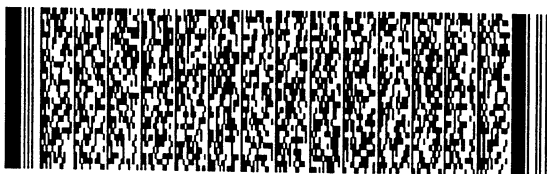
字。

發明詳細說明

依據本發明，第四圖為一限制經由做為開關之一p-型功率MOSFET 421a或一n-型功率MOSFET 421b分別傳往一負荷210a或一負荷210b之衝流的電路400的方塊圖。電路400包含一電源202，該電源有一VCC端子204（亦稱為一功率端子）及一接地端子206。

在p-型功率MOSFET 421a之案例中，功率MOSFET 421a之體部和源極耦接於VCC端子204。負荷210a耦接於功率MOSFET 421a之汲極。負荷210a可能也耦接於接地端子206，或者負荷210a可耦接於一替代接地參考源（圖中未示）。一感測電路410耦接於功率MOSFET 421a之一閘極270。圖中顯示感測電路410耦接於VCC端子204和接地端子206以與功率MOSFET 421a共享功率和接地參考軌。然而，有可能感測電路410從替代源（圖中未示）接收功率和接地參考電壓。

感測電路410之輸出耦接於一控制電路405的二個輸入。一致能信號208對控制電路405而言亦為一輸入。一第一驅動力411耦接於控制電路405之一第一輸出與功率MOSFET 421a的閘極270之間。一第二驅動力412耦接於功率MOSFET 421a之閘極270。一第三驅動力413耦接於控制電路405之一第二輸出與功率MOSFET 421a的閘極270之間。一斷流電路415耦接於控制電路405之一第三輸出與功率MOSFET 421a的閘極270之間。斷流電路415係用來在致



五、發明說明 (9)

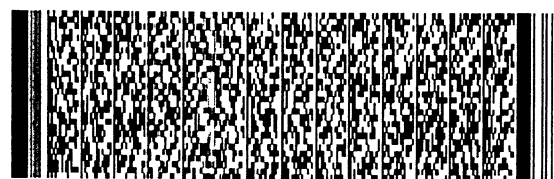
能信號208之斷開狀態期間快速斷開功率MOSFET 421a。

n-型功率MOSFET 421b以與p-型功率MOSFET 421a類似的方式耦接於電路400內。明確地說，功率MOSFET 421a和421b之閘極連接與第四圖所示相似。因此，為避免贅述，吾人將著重於n-型功率MOSFET 421b之連接差異做討論。n-型功率MOSFET 421b之體部和源極耦接於接地端子206。負荷210b耦接於功率MOSFET 421b之汲極。負荷210b可能也耦接於VCC端子204，或者負荷210b可耦接於一替代VCC參考源（圖中未示）。

電路400對p-型功率MOSFET 421a和n-型功率MOSFET 421b之運作相似。為避免混淆，以下說明係就p-型功率MOSFET 421a做出，然亦可應用於n-型功率MOSFET 421b。對兩功率MOSFET 421a和421b之作業差異在適當處加以強調。

第二驅動力412耦接為在一有限接通時間全程中作用於功率MOSFET 421a之閘極270。在收到致能信號208以接通功率MOSFET 421a後，控制電路405於一起始接通階段內對功率MOSFET 421a之閘極270施加第一驅動力411。第一驅動力411強於第二驅動力412，是以第一驅動力411壓倒第二驅動力412使功率MOSFET 421a之閘極270對源極（VCC）電壓快速充電。p-型功率MOSFET 421a之閘極270對源極（VCC）電壓為負充電，而n-型功率MOSFET 421b之閘極270對源極（VCC）電壓為正充電。

感測電路410感知功率MOSFET 421a何時受一第一電平



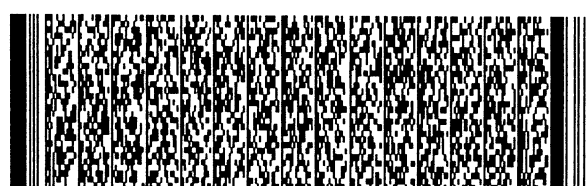
五、發明說明 (10)

增強。此可能發生在功率MOSFET 421a之閘極270對源極(VCC)電壓已到達(例如)一個閾電壓。此時控制電路405斷開第一驅動力411,讓第二驅動力412逐漸線性地接通功率MOSFET 421a。控制電路405在此中間接通階段期間保持第一驅動電路411和第三驅動電路413為斷開。

感測電路410感知功率MOSFET 421a何時受一第二電平增強。此可能發生在功率MOSFET 421a之閘極270對源極(VCC)電壓已到達(例如)二倍閾電壓。此時控制電路405對功率MOSFET 421a之閘極270施加第三驅動力413。第三驅動力413強於第二驅動力412使其壓倒第二驅動力412以在一最終接通階段內讓功率MOSFET 421a之增強最大化並使其接通電阻最小化。

這個由控制電路405掌控的計劃在中間接通階段期間幾乎運用所有的指派接通時間線性控制p-型功率MOSFET 421a或n-型功率MOSFET 421b之增強。此控制計劃在有限接通時間內提供最佳的轉動速率控制並使通過功率MOSFET 421a或功率MOSFET 421b的衝流最小化。

第二圖A為一依據本發明一實施例限制通過做為一開關之p-型功率MOSFET 421a傳導至負荷210a之衝流的電路200的簡圖。對應於第四圖電路400所標出區塊之電路200電路元件以虛線描繪且據此標示。電路200包含提供一電壓VCC之電源202(圖中所示為一電池)。該電池具有標示為VCC之VCC端子204(亦稱為一功率端子)以及標示為GND之接地端子206。功率MOSFET 421a之源極和體部耦接於



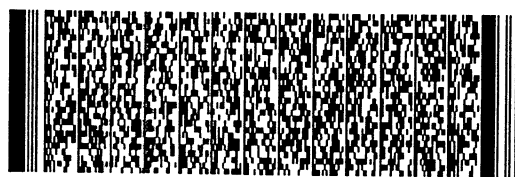
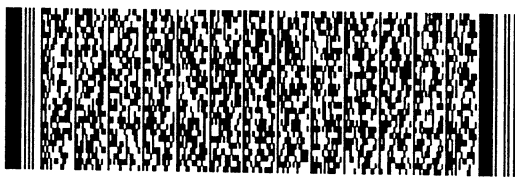
五、發明說明 (11)

VCC 端子204。負荷210a在本實施例中為耦接於功率MOSFET 421a之汲極與接地端子206之間。然而，負荷210a有可能耦接在功率MOSFET 421a之汲極與一替代接地參考電壓源（圖中未示）之間。

一第二pMOSFET 222用來在需要時將功率MOSFET 421a斷開。第二pMOSFET 222之源極和體部耦接於VCC端子204。第二pMOSFET 222之汲極耦接於功率MOSFET 421a之閘極270。

能施加於功率MOSFET 421a之閘極270的三個不同驅動力係由一第四nMOSFET 214和一第一電流源（current source）242、一第二電流源244、及一第三nMOSFET 213供應。第一電流源242從第四nMOSFET 214之源極耦接至接地端子206。第四nMOSFET 214之汲極耦接於功率MOSFET 421a之閘極270。第四nMOSFET 214之體部耦接於接地端子206。第二電流源244從功率MOSFET 421a之閘極270耦接至接地端子206。第三nMOSFET 213之源極和體部耦接於接地端子206。第三nMOSFET 213之汲極耦接於功率MOSFET 421a之閘極270。第一電流源242強於第二電流源244，此意味著第一電流源242能比第二電流源244供應一更大電流。

一第三pMOSFET 223與一第一nMOSFET 211一同構成一第一感測反相器276感測功率MOSFET 421a何時受一第一電平增強。第三pMOSFET 223之體部和源極耦接於VCC端子204。第一nMOSFET 211之體部和源極耦接於接地端子

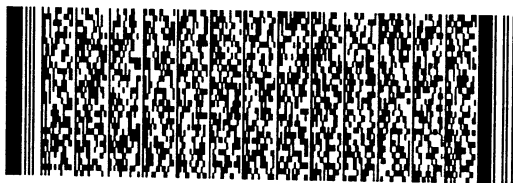


五、發明說明 (12)

206。第三pMOSFET 223之汲極〔第一感測反相器276之輸出（標示為b）〕耦接於第一nMOSFET 211之汲極。第三pMOSFET 223之閘極耦接於第一nMOSFET 211之閘極以及功率MOSFET 421a之閘極270。

第一nMOSFET 211與第三pMOSFET 223相比為一弱電晶體。這代表第三pMOSFET 223會主導第一感測反相器276的行為。由此二電晶體構成之第一感測反相器276的輸出（標示為b）會在該二電晶體之閘極電壓充分降低使第三pMOSFET 223之閘極對源極電壓低於第三pMOSFET 223之閾電壓時拉高。第三pMOSFET 223設計為有一約等於功率MOSFET 421a之閾電壓的閾電壓。因此，第一感測反相器276在功率MOSFET 421a之閘極270對源極（VCC端子204）電壓約為一個閾電壓時跳脫。

一第四pMOSFET 224、一第五pMOSFET 225及一第二nMOSFET 212一同構成一第二感測反相器278感測功率MOSFET 421a何時受一第二電平增強。第四pMOSFET 224之體部和源極耦接於VCC端子204。第四pMOSFET 224之閘極以一“二極體接法（diode connection）”耦接於第四pMOSFET 224之汲極。第五pMOSFET 225之體部和源極耦接於第四pMOSFET 224之汲極和閘極。第二nMOSFET 212之體部和源極耦接於接地端子206。第五pMOSFET 225之汲極〔第二感測反相器278之輸出（標示為a）〕耦接於第二nMOSFET 212之汲極。第五pMOSFET 225之閘極耦接於第二nMOSFET 212之閘極以及功率MOSFET 421a之閘極270。

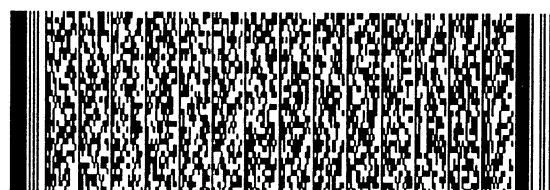
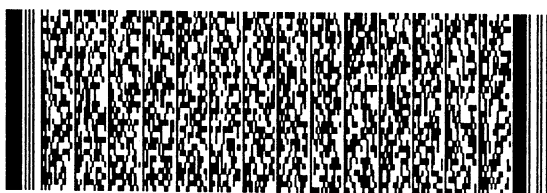


五、發明說明 (13)

第二nMOSFET 212與第五pMOSFET 225及第四pMOSFET 224相比為一弱電晶體。這代表第五pMOSFET 225和第四pMOSFET 224會主導第二感測反相器278的行為。由這三個電晶體構成之第二感測反相器278的輸出（標示為a）會在第五pMOSFET 225之閘極電壓充分降低時拉高。此會發生在第五pMOSFET 225之閘極與VCC端子204間的電壓差低於第五pMOSFET 225與第四pMOSFET 224之閾電壓的和。第五pMOSFET 225和第四pMOSFET 224皆設計為具有約等於功率MOSFET 421a之閾電壓的閾電壓。因此，第二感測反相器278在功率MOSFET 421a之閘極270對源極（VCC端子204）電壓約為兩倍閾電壓時跳脫。

舉實例來說，可藉由將第一nMOSFET 211和第二nMOSFET 212設計為其寬度比第三、第四和第五pMOSFET 223, 224和225小的方式使第一nMOSFET 211和第二nMOSFET 212製作成比第三pMOSFET 223、第四pMOSFET 224及第五pMOSFET 225弱。藉此使第三、第四和第五pMOSFET 223, 224和225主導第一感測反相器276和第二感測反相器278的行為。舉例來說，一旦第三pMOSFET 223接通，其將第一感測反相器276之輸出拉高，即使如此第一nMOSFET 211也仍然完全暢通。第二感測反相器278的運作方式與第一感測反相器276相似。

對電路200實施例之邏輯控制係由四個反相器和四個雙輸入及閘（two-input AND gate）提供。一反相器之邏輯機能為輸出輸入之反相結果。若輸入為“高”（例如



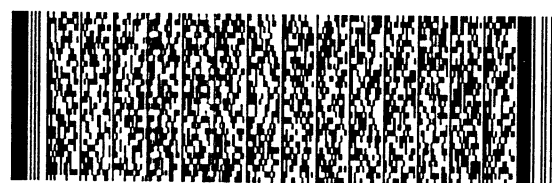
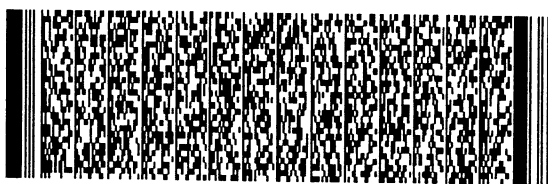
五、發明說明 (14)

VCC)，則輸出為“低”（例如0V或GND）。一雙輸入及閘之邏輯機能為在兩輸入皆為高時輸出高值，在此之外皆輸出一低值。

一第一反相器251之輸入耦接於第三pMOSFET 223和第一nMOSFET 211之汲極，此二者為第一感測反相器276之輸出（標示為b）。第一反相器251之輸出耦接於一第二反相器252之輸入以及一第三及閘263之第一輸入。第二反相器252之輸出耦接於一第一及閘261之第一輸入。一第三反相器253之輸入耦接於第五pMOSFET 225和第二nMOSFET 212之汲極，此二者為第二感測反相器278之輸出（標示為a）。第三反相器253之輸出耦接於一第四反相器254之輸入以及第三及閘263之第二輸入。第四反相器254之輸出耦接於第一及閘261之第二輸入。第一及閘261之輸出耦接於一第二及閘262之第二輸入。第二及閘262之輸出耦接於第三nMOSFET 213之閘極。第三及閘263之輸出耦接於一第四及閘264之第二輸入。第四及閘264之輸出耦接於第四nMOSFET 214之閘極。

致能信號208（標示為EN）觸發電路200行為之變化。致能信號208得以許多方式提供。舉例來說，其可由一外界開關或一在電流源202內部之開關產生。致能信號208耦接於第二pMOSFET 222之閘極、第二及閘262之第一輸入以及第四及閘264之第一輸入。

當致能信號208為低，功率MOSFET 421a處於一斷開狀態。施加於第二和第四及閘262, 264之第一輸入的低致能

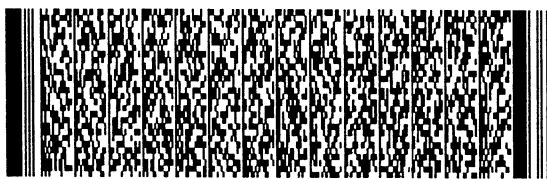


五、發明說明 (15)

信號208造成第二和第四及閘262, 264之低輸出。由於第二和第四及閘262, 264分別控制第三和第四nMOSFET 213和214之閘極電壓，這會使第三和第四nMOSFET 213和214斷開。施加於第二pMOSFET 222之閘極的低致能信號208使第二pMOSFET 222接通。一電流從VCC端子204流經第二pMOSFET 222和第二電流源244。此將第二pMOSFET 222之汲極和功率MOSFET 421a之閘極270拉高到VCC端子204之高電壓。這使功率MOSFET 421a斷開並隔絕負荷210a。因此，在致能信號208正要從低轉高之前，功率MOSFET 421a之閘極270處的電壓與VCC端子204非常近似，亦即為高。

在致能信號208從低轉高之後，功率MOSFET 421a在受控制電路405內之邏輯電路系統控制的三階段內接通。一高致能信號208使第二pMOSFET 222斷開。一開始時，由於功率MOSFET 421a之閘極270電壓始於邏輯高位，對第一感測反相器276和第二感測反相器278之輸入亦為高。因此，第一感測反相器276之輸出b和第二感測反相器278之輸出a皆為邏輯低位。低輸出b和a分別施予第一反相器251和第三反相器253做為輸入，造成第一反相器251和第三反相器253之高輸出。

第一反相器251和第三反相器253之高輸出分別施予第二反相器252和第四反相器254做為輸入，造成第二反相器252和第四反相器254之低輸出。第二反相器252和第四反相器254之低輸出施予第一及閘261做為輸入，造成第一及閘261之一低輸出。第一及閘261之低輸出連同高致能信號



五、發明說明 (16)

208 施予第二及閘262做為輸入，造成第二及閘262之一低輸出，其保持第三nMOSFET 213為斷開。

第一反相器251和第三反相器253之高輸出亦施予第三及閘263做為輸入，造成第三及閘263之一高輸出。第三及閘263之高輸出連同高致能信號208施予第四及閘264做為輸入，造成第四及閘264之一高輸出，其使第四nMOSFET 214接通。

當第四nMOSFET 214接通，功率MOSFET 421a之閘極270電壓透過與第二電流源244（弱）併聯之第一電流源242（強）的作用而快速降低。第二圖B為第二圖A電路200之功率MOSFET 421a的閘極電壓對時間標繪圖。此標繪圖顯示於一有限接通時間（例如1.6 ms）期間在功率MOSFET 421a閘極270的閘極電壓曲線350。在 $t=0$ ms，閘極270處之電壓為VCC，舉例來說為5V。如該圖所示，功率MOSFET 421a之閘極270處的電壓在功率MOSFET 421a開始接通之一起始階段352內快速降低。

功率MOSFET 421a之閘極270電壓在功率MOSFET 421a之閘極270對源極（VCC端子204）電壓達到一個閾電壓之前持續降低。閘極270之電壓亦為第一和第二感測反相器276, 278之輸入。由於第三pMOSFET 223有一與功率MOSFET 421a相似的閾電壓，第三pMOSFET 223接通將第一感測反相器276之輸出b拉高。第二感測反相器278之輸出a仍為低。高輸出b透過邏輯電路系統傳播，造成第一反相器251、第三及閘263和第四及閘264之低輸出，這使第四



五、發明說明 (17)

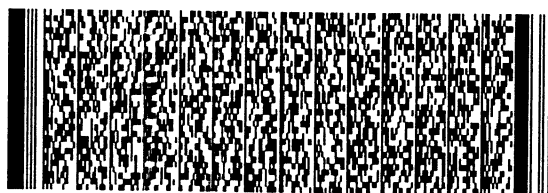
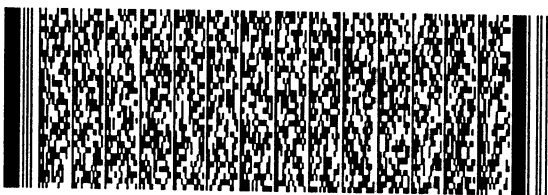
nMOSFET 214 斷開。

當第四nMOSFET 214 斷開，功率MOSFET 421a之閘極270電壓由一第二電流源244緩慢降低。如第二圖B所示，舉實例來說，以 $V_{CC}=5V$ 且閾電壓 $V_T=-1V$ 來說，功率MOSFET 421a在閘極270電壓達到4V時受一個閾電壓增強，這時接近 $t=0.05\text{ ms}$ 。然後，在一中間階段354內，功率MOSFET 421a之閘極270電壓回應於第二電流源244緩慢且線性地降低。

功率MOSFET 421a之閘極270電壓在功率MOSFET 421a之閘極270對源極（VCC端子204）電壓達到功率MOSFET 421a之閾電壓的兩倍之前持續降低。在有一兩倍閾電壓（功率MOSFET 421a之閘極對源極電壓）之輸入的條件下，第二感測反相器278之第四和第五pMOSFET 224和225接通，將輸出拉抬成一高值。第一感測反相器276之輸出b仍為高。高輸出a透過邏輯電路系統傳播，造成第三反相器253之一低輸出以及第四反相器254、第一及閘261、和第二及閘262之高輸出，從而使第三nMOSFET 213接通。

當第三nMOSFET 213接通，功率MOSFET 421a之閘極270電壓快速拉至接地端子206，從而對功率MOSFET 421a施加對大驅動。此功率MOSFET 421a接通之一最終階段356見於第二圖B，以 $V_{CC}=5V$ 且閾電壓 $V_T=-1V$ 來說此時為閘極270電壓達到3V，這時接近 $t=1.5\text{ ms}$ 。

此接通計劃總括於表一內，該表列出在不同範圍之閘極270對源極（VCC端子204）電壓條件下輸出a和b之邏輯



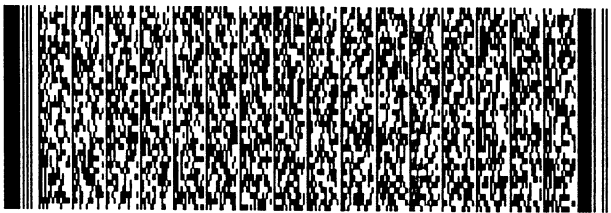
五、發明說明 (18)

狀態、nMOSFET 213 和 214 之狀態、以及施予功率 MOSFET 421a 之閘極 270 的驅動力。回應於致能信號 208，控制電路系統識別出功率 MOSFET 421a 之三個接通階段並依此改變施予功率 MOSFET 421a 之閘極 270 的驅動。在起始階段 352 內，閘極 270 對源極（VCC 端子 204）電壓高於一個閾電壓。在此情況中，功率 MOSFET 421a 之閘極 270 電壓因第一電流源 242（強）而快速降低。在中間階段 354 內，閘極 270 對源極（VCC 端子 204）電壓介於一個閾電壓和兩倍閾電壓之間。在此情況中，功率 MOSFET 421a 之閘極 270 電壓因第二電流源 244（弱）而緩慢降低。在最終階段 356 內，閘極 270 對源極（VCC 端子 204）電壓低於兩倍閾電壓。在此情況中，功率 MOSFET 421a 之閘極 270 電壓因第三 nMOSFET 213 而快速降低至接地端子 206。

表 一

$V_{GS}=V_G-V_{CC}$	a	b	214	213	施予閘極 270 之驅動力
$V_T < V_G - V_{CC}$	0	0	接通	斷開	第一電流源 242（強）和 第二電流源 244（弱）
$2V_T < V_G - V_{CC} < V_T$	0	1	斷開	斷開	第二電流源 244（弱）
$V_G - V_{CC} < 2V_T$	1	1	斷開	接通	nMOSFET 213 和 第二電流源 244（弱）

第三圖A之標繪圖比較了習知技藝電路100（參見第一圖A）之功率MOSFET 105的閘極電壓曲線150與依據本發明實施例之電路200（參見第二圖A）之功率MOSFET 421a的



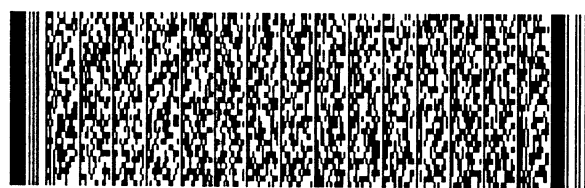
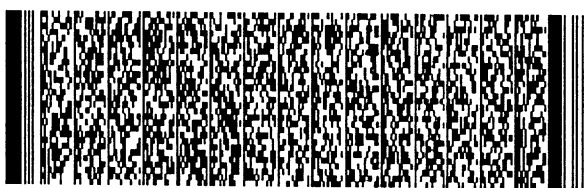
五、發明說明 (19)

閘極電壓曲線350。呆滯時間為功率MOSFET之閘極對源極電壓達到第一電平（例如一個閾電壓）之前的時間。在功率MOSFET 421a開始在電路200內導電以前之接通起始階段352內的呆滯時間比起習知技藝電路100之起始階段152明顯減少。此外，在該等功率MOSFET已受第二電平（亦即兩倍閾電壓）增強以後，使電路200內閘極驅動最大化之接通最終階段356的持續時間比起習知技藝電路100之最終階段156同樣明顯減少。

由於功率MOSFET 421a之接通起始階段352和最終階段356的持續時間都減至最小，電路200將幾近所有的容許轉動速率控制接通時間用在中間階段354。在中間階段354內，功率MOSFET 421a線性且緩慢地接通，造成功率MOSFET 421a之導電率有一線性增加。因此，本發明所揭示之控制計劃達成一比習知技藝解決方式更緩慢且更為線性的p-型功率MOSFET 421a接通，限制了通過p-型功率MOSFET 421a之衝流以及對電源202之電壓干擾。

第三圖B之標繪圖比較了習知技藝電路100之功率MOSFET 105的電流曲線180與依據本發明實施例之電路200之功率MOSFET 421a的電流曲線380。在達到一最終電流386之前，以使用電路200通過功率MOSFET 421a之一尖峰衝流382除習知技藝電路100之尖峰電流182會得到大於二的商。因此，一更受控制的電流傳輸給電路200的負荷210a。

第五圖為一依據本發明另一實施例設計為限制透過當



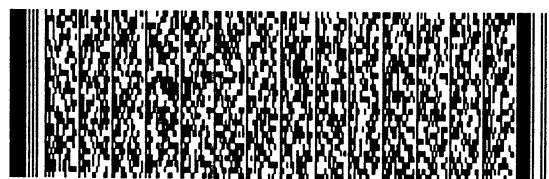
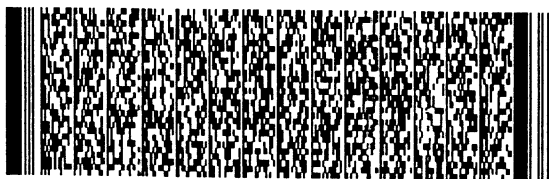
五、發明說明 (20)

作開關之n-型功率MOSFET 421b傳導至負荷210b之銜流的電路500的簡圖。對應於第四圖電路400所標出區塊之電路500電路元件以虛線描繪且據此標示。第五圖之電路500與第二圖A之電路200相似。因此，為避免贅述，吾人將著重於電路200與電路500間的差異進行討論。

n-型功率MOSFET 421b之源極和體部耦接於接地端子206。在本實施例中，負荷210b耦接於功率MOSFET 421b之汲極與一替代VCC端子（圖中未示）之間。然而，有可能讓負荷210b耦接於功率MOSFET 421b之汲極與VCC端子204之間。

電路500之斷流電路415耦接於功率MOSFET 421b之閘極270與接地端子206（不同於第二圖A之電路200為耦接於VCC端子204）之間，。電路500之斷流電路415包含一第二nMOSFET 522以其汲極耦接於功率MOSFET 421b之閘極270以在需要時將閘極270電壓拉至與第二nMOSFET 522之體部和源極耦接的接地端子206。

電路500之第一驅動力411、第二驅動力412及第三驅動力413耦接於功率MOSFET 421b之閘極270與VCC端子204（不同於第二圖A之電路200為耦接於接地端子206）之間。第一驅動力411包含一第四pMOSFET 514以其汲極耦接於功率MOSFET 421b之閘極270且以其體部耦接於VCC端子204，以及一耦接於VCC端子204與第四pMOSFET 514源極之間的第一電流源242。第二驅動力412包含耦接於VCC端子204與功率MOSFET 421b閘極270之間的第二電流源244。第



五、發明說明 (21)

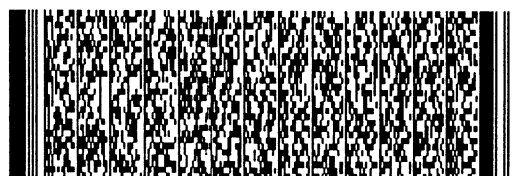
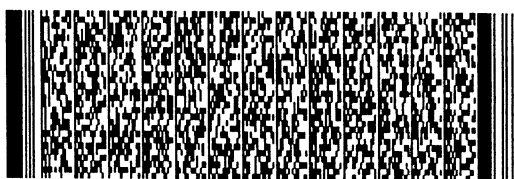
三驅動力413包含一第三pMOSFET 513以其汲極耦接於功率MOSFET 421b之閘極270且以其源極和體部耦接於VCC端子204。在電路500中，第一電流源242比第二電流源244強，與第二圖A之電路200相似。

第五圖電路500之感測電路410包含一第一感測反相器576和一第二感測反相器578，其與第二圖A電路200之感測反相器276和278作用相似。一第三nMOSFET 523和一第一pMOSFET 511一同構成第一感測反相器576感測功率MOSFET 421b何時受一第一電平增強。一第四nMOSFET 524、一第五nMOSFET 525及一第二pMOSFET 512一同構成第二感測反相器578感測功率MOSFET 421b何時受一第二電平增強。

第一pMOSFET 511和第二pMOSFET 512之源極和體部端子耦接於VCC端子204。第三nMOSFET 523和第四nMOSFET 524之源極和體部端子耦接於接地端子206。第四nMOSFET 524之閘極和汲極一同以二極體接法耦接於第五nMOSFET 525之源極和體部。

第三nMOSFET 523和第一pMOSFET 511之汲極耦接在一起構成第一感測反相器576之輸出（標示為b），該輸出耦接於控制電路405之一第二輸入。第五nMOSFET 525和第二pMOSFET 512之汲極耦接在一起構成第二感測反相器之輸出（標示為a），該輸出耦接於控制電路405之一第三輸入。

感測反相器576和578之輸入（包含第一pMOSFET 511、第二pMOSFET 512、第三nMOSFET 523和第五nMOSFET



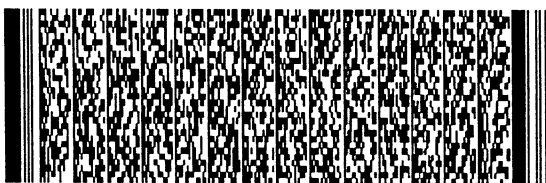
五、發明說明 (22)

525 之閘極) 耦接在一起接於功率MOSFET 421b之閘極 270。雖然在第二圖A電路200中將nMOSFET設計為比感測反相器276和278之pMOSFET弱，在第五圖電路500中為相反。電路500之感測反相器576和578設計為比nMOSFET弱(亦即寬度較窄)，使該等nMOSFET會主導感測反相器576和578的行為。

第三nMOSFET 523、第四nMOSFET 524和第五nMOSFET 525皆設計為有一約等於功率MOSFET 421b之閾電壓的閾電壓。因此，由第一感測反相器576感測的第一電平約等於功率MOSFET 421b之閾電壓，且由第二感測反相器578感測的第二電平約等於功率MOSFET 421b之閾電壓的兩倍。

電路500之邏輯控制係由五個反相器、兩個雙輸入反及閘和兩個雙輸入或閘在控制電路405內提供。一雙輸入反及閘之邏輯機能為在兩輸入皆為高時輸出低值，在此之外皆輸出一高值。一雙輸入或閘之邏輯機能為在兩輸入中任一輸入為高時輸出一高值。

一第一和第三反相器251和253之輸入分別耦接於第一和第二感測反相器576和578之輸出(分別為b和a)。第一和第三反相器251和253之輸出分別耦接於第二和第四反相器252和254之輸入以及一第一反及閘561之輸入。第二和第四反相器252和254之輸出耦接於一第二反及閘563之輸入。第一和第二反及閘561和563之輸出分別耦接於一第一或閘562和一第二或閘564之第一輸入。致能信號208耦接於一第五反相器555之輸入，該第五反相器有一耦接於第



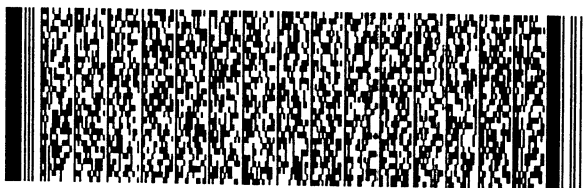
五、發明說明 (23)

一和第二或閘562和564之第二輸入以及斷流電路415之第二nMOSFET 522之閘極的輸出。第二或閘564之輸出耦接於第一驅動力411之第四pMOSFET 514的閘極。第一或閘562之輸出耦接於第三驅動力413之第三pMOSFET 513的閘極。

當致能信號為低，功率MOSFET 421b處於一斷開狀態。低致能信號208經第五反相器555反相並施加於第一和第二或閘562和564之第二輸入，造成使第三和第四pMOSFET 513和514斷開的高輸出。施於第二nMOSFET 522閘極之反相致能信號208使第二nMOSFET 522接通。一電流從VCC端子204流經第二電流源244和第二nMOSFET 522，其將功率MOSFET 421b之閘極拉至接地端子206使功率MOSFET 421b斷開並隔絕負荷210b。

在致能信號208從低轉高之後，功率MOSFET 421b以三階段接通。此接通由控制電路405以一類似於在第二圖A電路200（以適當極性考量）接通p-型功率MOSFET 421a的計劃控制。該接通計劃總括於表二內，該表列出在不同範圍之閘極270對源極（VCC端子204）電壓條件下輸出a和b之邏輯狀態、pMOSFET 513和514之狀態、以及施予功率MOSFET 421b之閘極270的驅動力。

回應於致能信號208，控制電路系統識別出功率MOSFET 421b之三個接通階段並依此改變施予功率MOSFET 421b之閘極270的驅動。在一起始階段內，閘極270對源極（GND端子206）電壓低於一個閾電壓。在此情況中，功率MOSFET 421b之閘極270電壓因第一電流源242（強）而快



五、發明說明 (24)

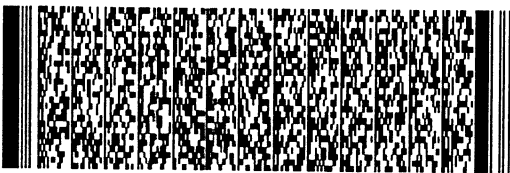
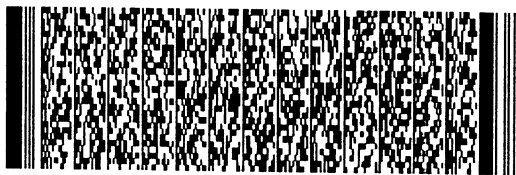
速提高。在一中間階段內，閘極270對源極（GND端子206）電壓介於一個閾電壓和兩倍閾電壓之間。在此情況中，功率MOSFET 421b之閘極270電壓因第二電流源244（弱）而緩慢提高。在一最終階段內，閘極270對源極（GND端子206）電壓高於兩倍閾電壓。在此情況中，功率MOSFET 421b之閘極270電壓因第三pMOSFET 513而快速提高至VCC端子204。

就第五圖之電路500來說，功率MOSFET 421b之接通起始階段和最終階段的持續時間減至最少。類似於第二圖A之電路200，電路500幾乎將所有的容許轉動速率控制接通時間用在中間階段內，功率MOSFET 421b在此期間線性且緩慢地接通，造成功率MOSFET 421b之導電率有一線性增加。因此，本發明所揭示之控制計劃達成一比習知技藝解決方式更緩慢且更為線性的n-型功率MOSFET 421b接通，限制了通過n-型功率MOSFET 421b之衝流以及對電源202之電壓干擾。

表二

$V_{GS}=V_G-V_{GND}$	a	b	514	513	施予閘極 270 之驅動力
$V_G-V_{GND}<V_T$	1	1	接通	斷開	第一電流源 242（強）和 第二電流源 244（弱）
$V_T<V_G-V_{GND}<2V_T$	1	0	斷開	斷開	第二電流源 244（弱）
$2V_T<V_G-V_{GND}$	0	0	斷開	接通	pMOSFET 513 和 第二電流源 244（弱）

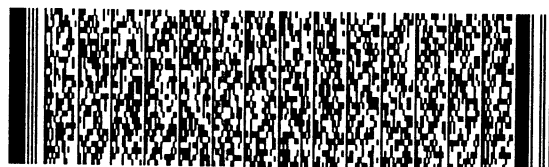
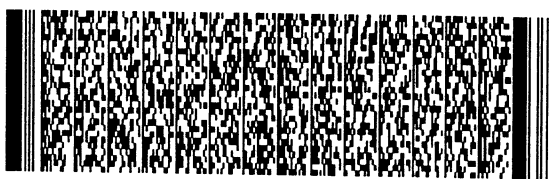
第二圖A和第五圖所示實施例可以至少兩種方式施



五、發明說明 (25)

行。在一第一施行方案中，得將不連續封裝的組件適切地緊密安置在一電路板上並電耦接。在此情況中，邏輯閘門可為以一或多個封裝於一封裝體 (package)。感測反相器 276, 278, 576 和 578 以及電流源 242 和 244 可為各自在不連續封裝體內。個別 MOSFET 例如功率 MOSFET 421a、第二 pMOSFET 222、第三 nMOSFET 213 及第四 nMOSFET 214 可為以一或多個封裝於一封裝體。相似地，功率 MOSFET 421b、第二 nMOSFET 522、第三 pMOSFET 513 及第四 pMOSFET 514 可為以一或多個封裝於一封裝體。在一第二施行方案中，電路 200 或電路 500 之電路元件可為製造於一共同基板 (舉例來說，利用一 CMOS 或 BiCMOS 程序) 成為單一積體電路 (IC)。

以上實施例係為範例說明，並非對本發明之廣泛原則的限制。熟習此技藝者會明瞭許多其他實施例。特定言之，感測、控制、斷流、和三個驅動電路明顯有替代施行方案。本發明僅受以下申請專利範圍限制。



圖式簡單說明

第一圖A為一控制衝流之習知技藝電路。

第一圖B為一第一圖A習知技藝電路之功率MOSFET的開極電壓對時間標繪圖。

第一圖C為一第一圖A習知技藝電路之功率MOSFET的電流對時間標繪圖。

第二圖A為一依據本發明一實施例限制通過一功率MOSFET開關之衝流的電路的簡圖。

第二圖B為一第二圖A電路之功率MOSFET的開極電壓對時間標繪圖。

第三圖A為一比較第一圖A和第二圖A電路之功率MOSFET之開極電壓的開極電壓對時間標繪圖。

第三圖B為一比較通過第一圖A和第二圖A電路之功率MOSFET之電流的電流對時間標繪圖。

第四圖為一依據本發明限制通過一功率MOSFET開關之衝流的電路的方塊圖。

第五圖為一依據本發明另一實施例限制通過一功率MOSFET開關之衝流的電路的方塊圖。

元件符號說明

100、400：電路

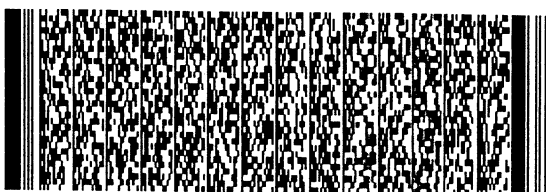
105、421a：p型功率MOSFET

110、421b：n型控制MOSFET

115：第一電阻器

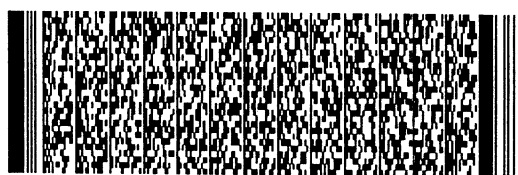
120：第二電阻器

125：電容器



圖式簡單說明

- 130、270：閘極
- 182：衝流
- 186：最終電流
- 202：電源
- 204：VCC 端子
- 206：接地端子
- 208：致能信號
- 210a、210b：負荷
- 211：第一nMOSFET
- 212：第二nMOSFET
- 213：第三nMOSFET
- 214：第四nMOSFET
- 222：第二pMOSFET
- 223：第三pMOSFET
- 224：第四pMOSFET
- 225：第五pMOSFET
- 242：第一電流源 (current source)
- 244：第二電流源
- 251：第一反相器
- 252：第二反相器
- 253：第三反相器
- 254：第四反相器
- 261：第一及閘
- 262：第二及閘



圖式簡單說明

263 : 第三及閘

264 : 第四及閘

276 : 第一感測反相器

278 : 第二感測反相器

405 : 控制電路

410 : 感測電路

411 : 第一驅動力

412 : 第二驅動力

413 : 第三驅動力

415 : 斷流電路

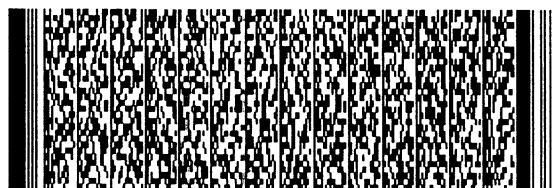
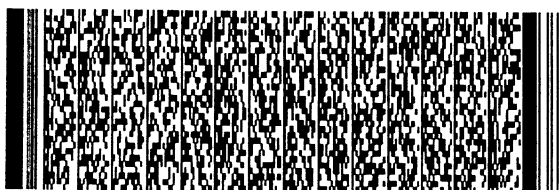


四、中文發明摘要 (發明之名稱：MOSFET負荷開關中控制衝流之多級控制電路)

本發明揭示接通一功率MOSFET開關同時限制傳往一負荷之衝流的電路和方法。在一範例實施例中，一感測電路感知該功率MOSFET何時受一第一電平及一第二電平增強。一控制電路控制三個驅動力回應於該感測電路對該功率MOSFET之閘極的施加。第一驅動力以一第一速率調整施予該閘極之電壓。第二驅動力以一高於該第一速率之第二速率調整施予該閘極之電壓。第三驅動力以一低於該第二速率之第三速率調整施予該閘極之電壓。該電路運用大部分的指派接通時間以線性方式控制功率MOSFET增強，提供最佳轉動速率控制並限制傳往該負荷之衝流。

英文發明摘要 (發明之名稱：A Multiple-Stage Control Circuit To Control Rush Current In A MOSFET Load Switch)

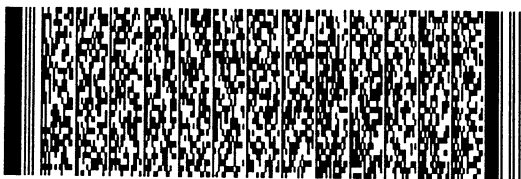
Circuits and methods to turn-on a power MOSFET switch while limiting rush current delivered to a load are disclosed. In an exemplary embodiment, a sense circuit senses when the power MOSFET is enhanced by a first level and a second level. A control circuit controls application of three drive forces to the gate of the power MOSFET in response to the sense circuit. The first drive force adjusts the voltage applied to the gate at a first rate. The second drive force adjusts the



四、中文發明摘要 (發明之名稱：MOSFET負荷開關中控制衝流之多級控制電路)

英文發明摘要 (發明之名稱：A Multiple-Stage Control Circuit To Control Rush Current In A MOSFET Load Switch)

voltage applied to the gate at a second rate less than the first rate. The third drive force adjusts the voltage applied to the gate at a third rate greater than the second rate. The circuit utilizes most of the allotted turn-on time to linearly control the power MOSFET enhancement, providing optimal slew rate control and limiting the rush current delivered to the load.



六、申請專利範圍

1. 一種電路排列，其包括：

一電源，其包括一功率端子和一接地端子；

一功率MOSFET，其包含一閘極、一第一端子、一第二端子、和一第一閾電壓，其中該功率MOSFET之第一端子耦接於該電源之該功率端子和該接地端子其中之一；

一負荷，其耦接於該功率MOSFET之該第二端子；

一控制電路，其包括至少一第一輸入、一第二輸入、和一第三輸入、以及至少一第一輸出、一第二輸出、和一第三輸出，其中該控制電路之第一輸入耦接於一致能信號，該控制電路適於控制施予該功率MOSFET之該閘極的驅動力以控制該功率MOSFET之一接通並限制一通過該功率MOSFET之衝流；

一感測電路，其包括至少一輸入、一第一輸出、和一第二輸出，其中該感測電路之輸入耦接於該功率MOSFET之該閘極，該感測電路之第一輸出耦接於該控制電路之該第二輸入，且該感測電路之第二輸出耦接於該控制電路之該第三輸入，該感測電路適於感測該功率MOSFET於何時受一第一電平增強及何時受一第二電平增強；

一斷流電路，其包括一輸入和一輸出，其中該斷流電路之該輸入耦接於該控制電路之該第三輸出且該斷流電路之該輸出耦接於該功率MOSFET之該閘極，該斷流電路適於在需要時使該功率MOSFET斷開；

一第一驅動電路，其包括一輸入和一輸出，其中該第一驅動電路之該輸入耦接於該控制電路之該第一輸出且該第



六、申請專利範圍

一 驅動電路之該輸出耦接於該功率MOSFET之該閘極，該第一驅動電路適於以一第一速率調整施予該功率MOSFET之該閘極的電壓；

一 第二驅動電路，其包括一耦接於該功率MOSFET之該閘極的輸出，其中該第二驅動電路適於以一小於該第一速率之第二速率調整施予該功率MOSFET之該閘極的電壓；及

一 第三驅動電路，其包括一輸入和一輸出，其中該第三驅動電路之該輸入耦接於該控制電路之該第二輸出且該第三驅動電路之該輸出耦接於該功率MOSFET之該閘極，該第三驅動電路適於以一大於該第二速率之第三速率將施予該功率MOSFET之該閘極的該電壓調整成該電源可容許之一最大電平。

2. 如申請專利範圍第1項之電路排列，其中該功率MOSFET為一p-型功率MOSFET且更包含一耦接於該第一端子之體部。

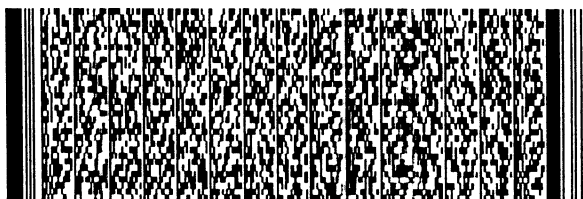
3. 如申請專利範圍第2項之電路排列，其中該控制電路更包括：

一 第一反相器，其包含一輸入和一輸出，其中該第一反相器之該輸入耦接於該控制電路之該第二輸入；

一 第二反相器，其包含一輸入和一輸出，其中該第二反相器之該輸入耦接於該第一反相器之該輸出；

一 第三反相器，其包含一輸入和一輸出，其中該第三反相器之該輸入耦接於該控制電路之該第三輸入；

一 第四反相器，其包含一輸入和一輸出，其中該第四反



六、申請專利範圍

相器之該輸入耦接於該第三反相器之該輸出；

一第一及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一及閘之該第一輸入耦接於該第二反相器之該輸出且該第一及閘之該第二輸入耦接於該第四反相器之該輸出；

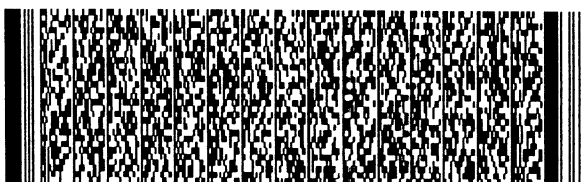
一第二及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二及閘之該第一輸入耦接於該控制電路之該第一輸入，該第二及閘之該第二輸入耦接於該第一及閘之該輸出，且該第二及閘之該輸出耦接於該控制電路之該第二輸出；

一第三及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第三及閘之該第一輸入耦接於該第一反相器之該輸出且該第三及閘之該第二輸入耦接於該第三反相器之該輸出；

一第四及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第四及閘之該第一輸入耦接於該控制電路之該第一輸入，該第四及閘之該第二輸入耦接於該第三及閘之該輸出，且該第四及閘之該輸出耦接於該控制電路之該第一輸出。

4. 如申請專利範圍第2項之電路排列，其中該斷流電路更包括：

一第二p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第二p-型MOSFET之該汲極耦接



六、申請專利範圍

於該斷流電路之該輸出，且該第二p-型MOSFET之該閘極耦接於該斷流電路之該輸入。

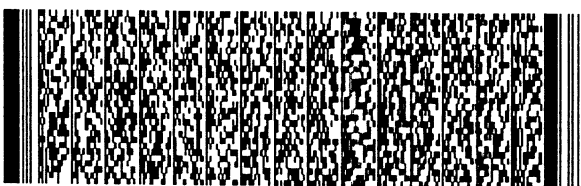
5. 如申請專利範圍第2項之電路排列，其中該感測電路更包括：

一 第三p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，且該第三p-型MOSFET之該閘極耦接於該感測電路之該輸入，該第三p-型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一 第四p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，且該第四p-型MOSFET之該閘極耦接於該第四p-型MOSFET之該汲極，該第四p-型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一 第五p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第五p-型MOSFET之該源極和該體部耦接於該第四p-型MOSFET之該汲極，且該第五p-型MOSFET之該閘極耦接於該感測電路之該輸入，該第五p-型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一 第一n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第一n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第一n-型MOSFET之該閘極耦接於該第三p-型MOSFET之該閘極並耦接於該感測電路之該輸入，該第一n-型MOSFET之該汲極耦接於該第三p-型MOSFET



六、申請專利範圍

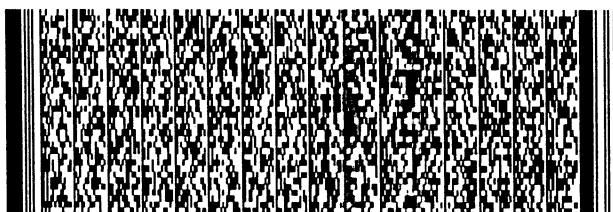
之該汲極並耦接於該感測電路之該第一輸出，該第一n-型MOSFET比該第三p-型MOSFET弱，且該第三p-型MOSFET與該第一n-型MOSFET構成一第一感測反相器對一在該感測電路之該輸入對應於該功率MOSFET受該第一電平之增強的一電壓產生回應；及

一第二n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第二n-型MOSFET之該閘極耦接於該第五p-型MOSFET之該閘極並耦接於該感測電路之該輸入，且該第二n-型MOSFET之該汲極耦接於該第五p-型MOSFET之該汲極並耦接於該感測電路之該第二輸出，該第二n-型MOSFET比該第五p-型MOSFET弱，且該第四p-型MOSFET、該第五p-型MOSFET、和該第二n-型MOSFET構成一第二感測反相器對一在該感測電路之該輸入對應於該功率MOSFET受該第二電平之增強的一電壓產生回應。

6. 如申請專利範圍第2項之電路排列，其中該第一驅動電路更包括：

一第四n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四n-型MOSFET之該體部耦接於該電源之該接地端子，該第四n-型MOSFET之該汲極耦接於該第一驅動電路之該輸出，且該第四n-型MOSFET之該閘極耦接於該第一驅動電路之該輸入；及

一第一電流源，其耦接在該第四n-型MOSFET之該源極與該電源之該接地端子之間。



六、申請專利範圍

7. 如申請專利範圍第2項之電路排列，其中該第二驅動電路更包括：

一第二電流源，其耦接在該第二驅動電路之該輸出與該電源之該接地端子之間，該第二電流源比該第一電流源弱。

8. 如申請專利範圍第2項之電路排列，其中該第三驅動電路更包括：

一第三n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第三n-型MOSFET之該汲極耦接於該第三驅動電路之該輸出，且該第三n-型MOSFET之該閘極耦接於該第三驅動電路之該輸入。

9. 如申請專利範圍第2項之電路排列，其中該第一電平等於該功率MOSFET之該第一閾電壓。

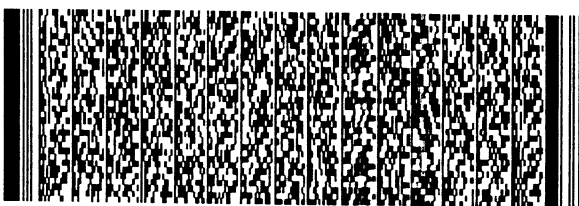
10. 如申請專利範圍第2項之電路排列，其中該第二電平等於該功率MOSFET之該第一閾電壓的兩倍。

11. 如申請專利範圍第1項之電路排列，其中該功率MOSFET為一n-型功率MOSFET且更包含一耦接於該第一端子之體部。

12. 如申請專利範圍第11項之電路排列，其中該控制電路更包括：

一第一反相器，其包含一輸入和一輸出，其中該第一反相器之該輸入耦接於該控制電路之該第二輸入；

一第二反相器，其包含一輸入和一輸出，其中該第二反



六、申請專利範圍

相器之該輸入耦接於該第一反相器之該輸出；

一第三反相器，其包含一輸入和一輸出，其中該第三反相器之該輸入耦接於該控制電路之該第三輸入；

一第四反相器，其包含一輸入和一輸出，其中該第四反相器之該輸入耦接於該第三反相器之該輸出；

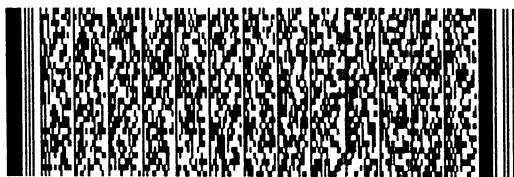
一第五反相器，其包含一輸入和一輸出，其中該第五反相器之該輸入耦接於該控制電路之該第一輸入；

一第一反及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一反及閘之該第一輸入耦接於該第三反相器之該輸出且該第一反及閘之該第二輸入耦接於該第一反相器之該輸出；

一第二反及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二反及閘之該第一輸入耦接於該第二反相器之該輸出，且該第二反及閘之該第二輸入耦接於該第四反相器之該輸出；

一第一或閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一或閘之該第一輸入耦接於該第一反及閘之該輸出，該第一或閘之該第二輸入耦接於該第五反相器之該輸出，且該第一或閘之該輸出耦接於該控制電路之該第二輸出；

一第二或閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二或閘之該第一輸入耦接於該第二反及閘之該輸出，該第二或閘之該第二輸入耦接於該第五反相器之該輸出，且該第二或閘之該輸出耦接於該控制電路之該第



六、申請專利範圍

一輸出。

13. 如申請專利範圍第11項之電路排列，其中該斷流電路更包括：

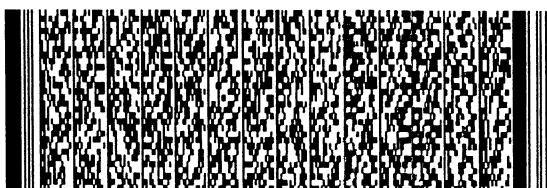
一第二n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第二n-型MOSFET之該汲極耦接於該斷流電路之該輸出，且該第二n-型MOSFET之該閘極耦接於該斷流電路之該輸入。

14. 如申請專利範圍第11項之電路排列，其中該感測電路更包括：

一第三n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，且該第三n-型MOSFET之該閘極耦接於該感測電路之該輸入，該第三n-型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一第四n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，且該第四n-型MOSFET之該閘極耦接於該第四n-型MOSFET之該汲極，該第四n-型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一第五n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第五n-型MOSFET之該源極和該體部耦接於該第四n-型MOSFET之該汲極，且該第五n-型MOSFET之該閘極耦接於該感測電路之該輸入，該第五n-型MOSFET有一



六、申請專利範圍

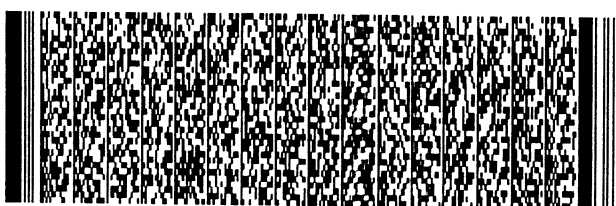
約等於該功率MOSFET之該第一閾電壓的閾電壓；

一第一p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第一p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第一p-型MOSFET之該閘極耦接於該第三n-型MOSFET之該閘極並耦接於該感測電路之該輸入，該第一p-型MOSFET之該汲極耦接於該第三n-型MOSFET之該汲極並耦接於該感測電路之該第一輸出，該第一p-型MOSFET比該第三n-型MOSFET弱，且該第三n-型MOSFET與該第一p-型MOSFET構成一第一感測反相器對一在該感測電路之該輸入對應於該功率MOSFET受該第一電平之增強的一電壓產生回應；及

一第二p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第二p-型MOSFET之該閘極耦接於該第五n-型MOSFET之該閘極並耦接於該感測電路之該輸入，且該第二p-型MOSFET之該汲極耦接於該第五n-型MOSFET之該汲極並耦接於該感測電路之該第二輸出，該第二p-型MOSFET比該第五n-型MOSFET弱，且該第四n-型MOSFET、該第五n-型MOSFET、和該第二p-型MOSFET構成一第二感測反相器對一在該感測電路之該輸入對應於該功率MOSFET受該第二電平之增強的一電壓產生回應。

15. 如申請專利範圍第11項之電路排列，其中該第一驅動電路更包括：

一第四p-型MOSFET，其包含一汲極、一閘極、一源極、



六、申請專利範圍

和一體部，其中該第四p-型MOSFET之該體部耦接於該電源之該功率端子，該第四p-型MOSFET之該汲極耦接於該第一驅動電路之該輸出，且該第四p-型MOSFET之該閘極耦接於該第一驅動電路之該輸入；及

一第一電流源，其耦接在該電源之該功率端子與該第四p-型MOSFET之該源極之間。

16. 如申請專利範圍第11項之電路排列，其中該第二驅動電路更包括：

一第二電流源，其耦接在該電源之該功率端子與該第二驅動電路之該輸出之間，該第二電流源比該第一電流源弱。

17. 如申請專利範圍第11項之電路排列，其中該第三驅動電路更包括：

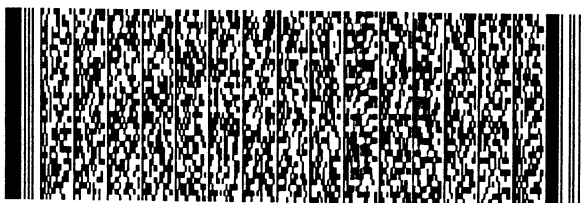
一第三p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第三p-型MOSFET之該汲極耦接於該第三驅動電路之該輸出，且該第三p-型MOSFET之該閘極耦接於該第三驅動電路之該輸入。

18. 如申請專利範圍第11項之電路排列，其中該第一電平等於該功率MOSFET之該第一閾電壓。

19. 如申請專利範圍第11項之電路排列，其中該第二電平等於該功率MOSFET之該第一閾電壓的兩倍。

20. 一種電路排列，其包括：

一電源，其包括一功率端子和一接地端子；



六、申請專利範圍

一 p- 型功率 MOSFET，其包含一汲極、一閘極、一源極、一體部、和一第一閾電壓，其中該功率 MOSFET 之該源極和該體部耦接於該電源之該功率端子；

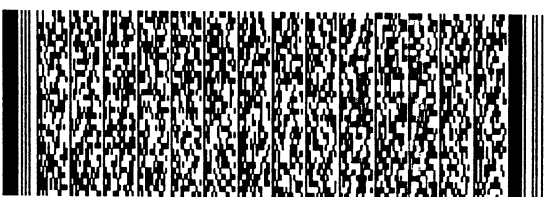
一 負荷，其耦接於該功率 MOSFET 之該汲極，該功率 MOSFET 做為該電源與該負荷間之一開關；

一 第二 p- 型 MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二 p- 型 MOSFET 之該源極和體部耦接於該電源之該功率端子，該第二 p- 型 MOSFET 之該汲極耦接於該功率 MOSFET 之該閘極，且該第二 p- 型 MOSFET 之該閘極耦接於一致能信號；

一 第三 p- 型 MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三 p- 型 MOSFET 之該源極和該體部耦接於該電源之該功率端子，且該第三 p- 型 MOSFET 之該閘極耦接於該功率 MOSFET 之該閘極，該第三 p- 型 MOSFET 有一約等於該功率 MOSFET 之該第一閾電壓的閾電壓；

一 第四 p- 型 MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四 p- 型 MOSFET 之該源極和該體部耦接於該電源之該功率端子，且該第四 p- 型 MOSFET 之該閘極耦接於該第四 p- 型 MOSFET 之該汲極，該第四 p- 型 MOSFET 有一約等於該功率 MOSFET 之該第一閾電壓的閾電壓；

一 第五 p- 型 MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第五 p- 型 MOSFET 之該源極和該體部耦接於該第四 p- 型 MOSFET 之該汲極，且該第五 p- 型 MOSFET 之該閘極耦接於該功率 MOSFET 之該閘極，該第五 p- 型 MOSFET 有



六、申請專利範圍

一 約等於該功率MOSFET之該第一閾電壓的閾電壓；

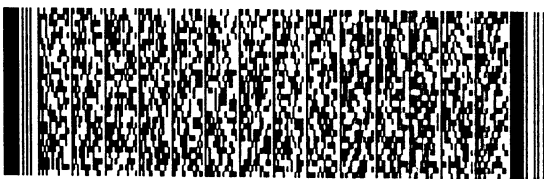
一 第一n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第一n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第一n-型MOSFET之該閘極耦接於該第三p-型MOSFET之該閘極並耦接於該功率MOSFET之該閘極，且該第一n-型MOSFET之該汲極耦接於該第三p-型MOSFET之該汲極，該第一n-型MOSFET比該第三p-型MOSFET弱；

一 第二n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第二n-型MOSFET之該閘極耦接於該第五p-型MOSFET之該閘極並耦接於該功率MOSFET之該閘極，且該第二n-型MOSFET之汲極耦接於該第五p-型MOSFET之該汲極，該第二n-型MOSFET比該第五p-型MOSFET弱；

一 第三n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三n-型MOSFET之該源極和該體部耦接於該電源之該接地端子，該第三n-型MOSFET之汲極耦接於該功率MOSFET之該閘極；

一 第四n-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四n-型MOSFET之該體部耦接於該電源之該接地端子，該第四n-型MOSFET之該汲極耦接於該功率MOSFET之該閘極；

一 第一電流源，其耦接在該第四n-型MOSFET之該源極與



六、申請專利範圍

該電源之該接地端子之間；

一第二電流源，其耦接在該功率MOSFET之該閘極與該電源之該接地端子之間，該第二電流源比該第一電流源弱；

一第一反相器，其包含一輸入和一輸出，其中該第一反相器之輸入耦接於該第三p-型MOSFET之該汲極並耦接於該第一n-型MOSFET之該汲極；

一第二反相器，其包含一輸入和一輸出，其中該第二反相器之該輸入耦接於該第一反相器之該輸出；

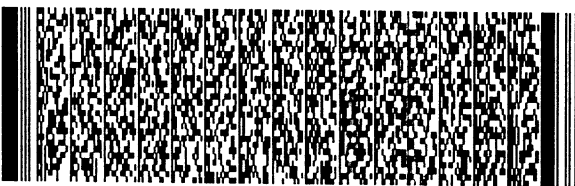
一第三反相器，其包含一輸入和一輸出，其中該第三反相器之該輸入耦接於該第五p-型MOSFET之該汲極並耦接於該第二n-型MOSFET之該汲極；

一第四反相器，其包含一輸入和一輸出，其中該第四反相器之該輸入耦接於該第三反相器之該輸出；

一第一及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一及閘之該第一輸入耦接於該第二反相器之該輸出且該第一及閘之該第二輸入耦接於該第四反相器之該輸出；

一第二及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二及閘之該第一輸入耦接於該致能信號，該第二及閘之該第二輸入耦接於該第一及閘之該輸出，且該第二及閘之該輸出耦接於該第三n-型MOSFET之該閘極；

一第三及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第三及閘之該第一輸入耦接於該第一反相器之該輸出且該第三及閘之該第二輸入耦接於該第三反相器之



六、申請專利範圍

該輸出；及

一第四及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第四及閘之該第一輸入耦接於該致能信號，該第四及閘之該第二輸入耦接於該第三及閘之該輸出，且該第四及閘之該輸出耦接於該第四n-型MOSFET之該閘極。

21. 如申請專利範圍第20項之電路排列，其中該第一電流源適於以一第一速率降低在該功率MOSFET之該閘極的電壓。

22. 如申請專利範圍第21項之電路排列，其中該第二電流源適於以一小於該第一速率之第二速率線性地降低在該功率MOSFET之該閘極的電壓。

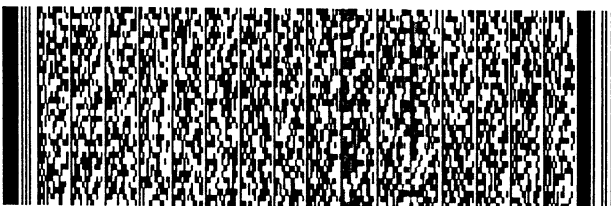
23. 如申請專利範圍第20項之電路排列，其中該第三p-型MOSFET與該第一n-型MOSFET構成一第一感測反相器對一施於該第一感測反相器對應於該功率MOSFET受一第一電平之增強的輸入電壓產生回應。

24. 如申請專利範圍第20項之電路排列，其中該第四p-型MOSFET、該第五p-型MOSFET、和該第二n-型MOSFET構成一第二感測反相器對一施於該第二感測反相器對應於該功率MOSFET受一第二電平之增強的輸入電壓產生回應。

25. 如申請專利範圍第23項之電路排列，其中該第一電平等於該功率MOSFET之該第一閾電壓。

26. 如申請專利範圍第24項之電路排列，其中該第二電平等於該功率MOSFET之該第一閾電壓的兩倍。

27. 一種電路排列，其包括：



六、申請專利範圍

一 電源，其包括一功率端子和一接地端子；

一 n -型功率MOSFET，其包含一汲極、一閘極、一源極、一體部、和一第一閾電壓，其中該功率MOSFET之該源極和該體部耦接於該電源之該接地端子；

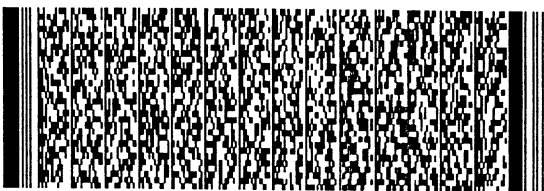
一 負荷，其耦接於該功率MOSFET之該汲極，該功率MOSFET做為該電源與該負荷間之一開關；

一 第二 n -型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二 n -型MOSFET之該源極和該體部耦接於該電源之該接地端子，且該第二 n -型MOSFET之該汲極耦接於該功率MOSFET之該閘極；

一 第三 n -型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三 n -型MOSFET之該源極和該體部耦接於該電源之該接地端子，且該第三 n -型MOSFET之該閘極耦接於該功率MOSFET之該閘極，該第三 n -型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一 第四 n -型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四 n -型MOSFET之該源極和該體部耦接於該電源之該接地端子，且該第四 n -型MOSFET之該閘極耦接於該第四 n -型MOSFET之汲極，該第四 n -型MOSFET有一約等於該功率MOSFET之該第一閾電壓的閾電壓；

一 第五 n -型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第五 n -型MOSFET之該源極和該體部耦接於該第四 n -型MOSFET之該汲極，且該第五 n -型MOSFET之該閘極耦接於該功率MOSFET之該閘極，該第五 n -型MOSFET有



六、申請專利範圍

一 約等於該功率MOSFET之該第一閾電壓的閾電壓；

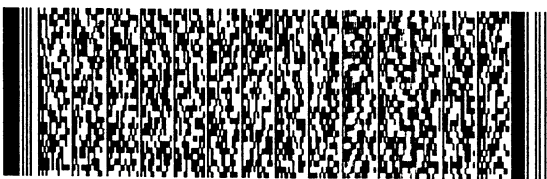
一 第一p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第一p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第一p-型MOSFET之該閘極耦接於該第三n-型MOSFET之該閘極並耦接於該功率MOSFET之該閘極，且該第一p-型MOSFET之該汲極耦接於該第三n-型MOSFET之該汲極，該第一p-型MOSFET比該第三n-型MOSFET弱；

一 第二p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第二p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第二p-型MOSFET之該閘極耦接於該第五n-型MOSFET之該閘極並耦接於該功率MOSFET之該閘極，且該第二p-型MOSFET之該汲極耦接於該第五n-型MOSFET之該汲極，該第二p-型MOSFET比該第五n-型MOSFET弱；

一 第三p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第三p-型MOSFET之該源極和該體部耦接於該電源之該功率端子，該第三p-型MOSFET之該汲極耦接於該功率MOSFET之該閘極；

一 第四p-型MOSFET，其包含一汲極、一閘極、一源極、和一體部，其中該第四p-型MOSFET之該體部耦接於該電源之該功率端子，該第四p-型MOSFET之該汲極耦接於該功率MOSFET之該閘極；

一 第一電流源，其耦接在該電源之該功率端子與該第四



六、申請專利範圍

p-型MOSFET之該源極之間；

一第二電流源，其耦接在該電源之該功率端子與該功率MOSFET之該閘極之間，該第二電流源比該第一電流源弱；

一第一反相器，其包含一輸入和一輸出，其中該第一反相器之該輸入耦接於該第三n-型MOSFET之該汲極並耦接於該第一p-型MOSFET之該汲極；

一第二反相器，其包含一輸入和一輸出，其中該第二反相器之該輸入耦接於該第一反相器之該輸出；

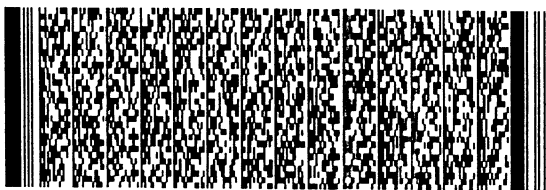
一第三反相器，其包含一輸入和一輸出，其中該第三反相器之該輸入耦接於該第五n-型MOSFET之該汲極並耦接於該第二p-型MOSFET之該汲極；

一第四反相器，其包含一輸入和一輸出，其中該第四反相器之該輸入耦接於該第三反相器之該輸出；

一第五反相器，其包含一輸入和一輸出，其中該第五反相器之該輸入耦接於一致能信號，且該第五反相器之該輸出耦接於該第二n-型MOSFET之該閘極；

一第一反及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一反及閘之該第一輸入耦接於該第三反相器之該輸出且該第一反及閘之該第二輸入耦接於該第一反相器之該輸出；

一第二反及閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二反及閘之該第一輸入耦接於該第二反相器之該輸出，且該第二反及閘之該第二輸入耦接於該第四反相器之該輸出；



六、申請專利範圍

一第一或閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第一或閘之該第一輸入耦接於該第一反及閘之該輸出，該第一或閘之該第二輸入耦接於該第五反相器之該輸出，且該第一或閘之該輸出耦接於該第三p-型MOSFET之該閘極；及

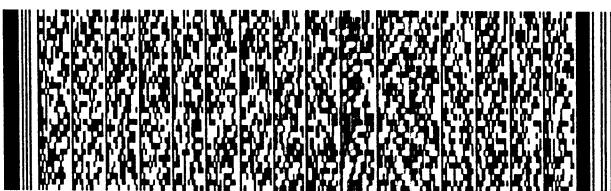
一第二或閘，其包含一第一輸入、一第二輸入、和一輸出，其中該第二或閘之該第一輸入耦接於該第二反及閘之該輸出，該第二或閘之該第二輸入耦接於該第五反相器之該輸出，且該第二或閘之該輸出耦接於該第四p-型MOSFET之該閘極。

28. 如申請專利範圍第27項之電路排列，其中該第一電流源適於以一第一速率提高在該功率MOSFET之該閘極的電壓。

29. 如申請專利範圍第28項之電路排列，其中該第二電流源適於以一小於該第一速率之第二速率線性地提高在該功率MOSFET之該閘極的電壓。

30. 如申請專利範圍第27項之電路排列，其中該第三n-型MOSFET與該第一p-型MOSFET構成一第一感測反相器對一施於該第一感測反相器對應於該功率MOSFET受一第一電平之增強的輸入電壓產生回應。

31. 如申請專利範圍第27項之電路排列，其中該第四n-型MOSFET、該第五n-型MOSFET、和該第二p-型MOSFET構成一第二感測反相器對一施於該第二感測反相器對應於該功率MOSFET受一第二電平之增強的輸入電壓產生回應。



六、申請專利範圍

32. 如申請專利範圍第30項之電路排列，其中該第一電平等於該功率MOSFET之該第一閾電壓。

33. 如申請專利範圍第31項之電路排列，其中該第二電平等於該功率MOSFET之該第一閾電壓的兩倍。

34. 如申請專利範圍第1、20或27項之電路排列，其中該電路排列製造為安裝在一電路板上的不連續組件。

35. 如申請專利範圍第1、20或27項之電路排列，其中該電路排列製造為一積體電路。

36. 一種控制功率MOSFET開關內之接通銜流的方法，其包括以下步驟：

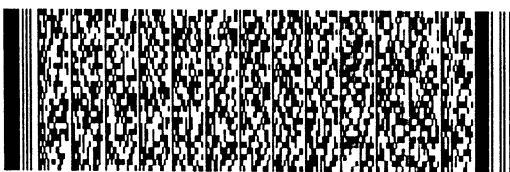
提供一包含一閘極端子之功率MOSFET，該功率MOSFET做為一電源與一負荷間之一開關；

在一致能信號之斷開狀態下使該功率MOSFET斷開讓該負荷隔絕；

在該致能信號之接通狀態下感測該功率MOSFET之增強以控制三個驅動力對該功率MOSFET之該閘極端子的施加讓該功率MOSFET在一有限接通時間內接通；

對該功率MOSFET之該閘極端子施加一第一驅動力，該第一驅動力適於在該功率MOSFET受一第一電平增強之前以一第一速率調整施予該功率MOSFET之該閘極端子的電壓；

對該功率MOSFET之該閘極端子施加一第二驅動力，該第二驅動力適於在該功率MOSFET受一第二電平增強之前以小於該第一速率之第二速率調整施予該功率MOSFET之該閘極端子的電壓，該第二驅動力更適於限制經由該功率



六、申請專利範圍

MOSFET 傳往該負荷之衝流；且

對該功率MOSFET之該閘極端子施加一第三驅動力，該第三驅動力適於以一大於該第二速率之第三速率調整施予該功率MOSFET之該閘極端子的電壓使該功率MOSFET得到該電源容許之最大增強。

37. 如申請專利範圍第36項之方法，其中該感測步驟包括以下步驟：

利用一第一感測反相器感測該功率MOSFET何時受該第一電平增強；且

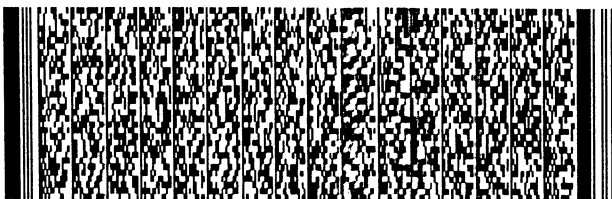
利用一第二感測反相器感測該功率MOSFET何時受該第二電平增強。

38. 如申請專利範圍第36項之方法，其中該施加一第一驅動力包括對該功率MOSFET之該閘極端子耦接一第一電流源。

39. 如申請專利範圍第36項之方法，其中該施加一第二驅動力包括對該功率MOSFET之該閘極端子耦接一第二電流源，該第二電流源比該第一電流源弱。

40. 如申請專利範圍第36項之方法，其中該施加一第三驅動力包括接通一耦接在該功率MOSFET之該閘極端子與該電源之一端子間的一MOSFET。

41. 如申請專利範圍第36項之方法，其更包括利用一包含至少二個反相器和至少二個及閘之控制電路控制該施加一第一驅動力、該施加一第二驅動力、以及該施加一第三驅動力。



六、申請專利範圍

42. 如申請專利範圍第36項之方法，其更包括利用一包含至少二個反相器和至少二個反及閘之控制電路控制該施加一第一驅動力、該施加一第二驅動力、以及該施加一第三驅動力。

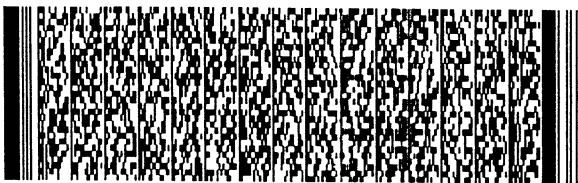
43. 如申請專利範圍第38項之方法，其中該施加一第一驅動力更包括在一第一持續時間之後將該第一電流源與該功率MOSFET之該閘極端子解耦。

44. 如申請專利範圍第43項之方法，其中該施加一第二驅動力更包括在一大於該第一持續時間之第二持續時間之後將該第二電流源與該功率MOSFET之該閘極端子解耦。

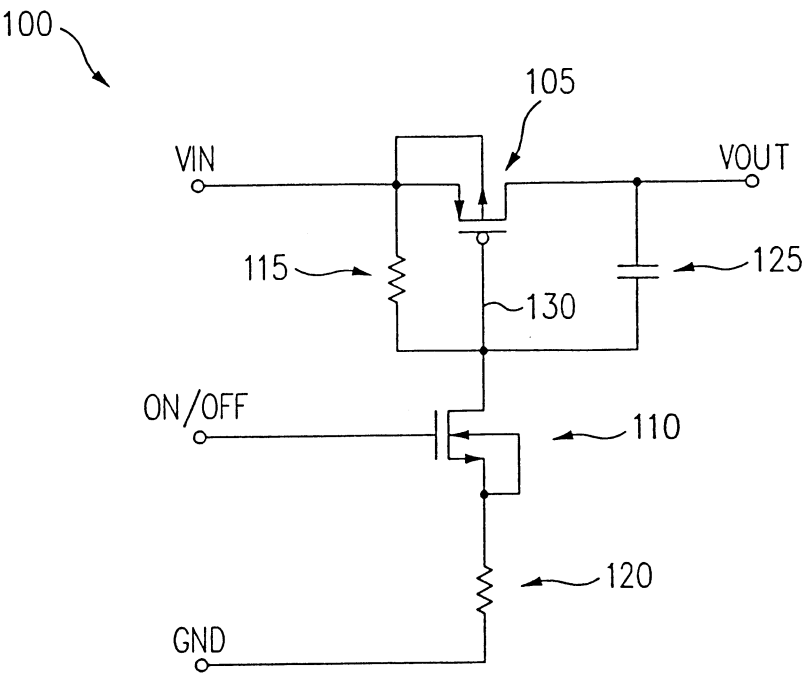
45. 如申請專利範圍第44項之方法，其中該施加一第三驅動力更包括在一小於該第二持續時間之第三持續時間之後將耦接在該功率MOSFET之該閘極端子與該電源之一端子間的該MOSFET斷開。

46. 如申請專利範圍第36項之方法，其中該第一電平等於該功率MOSFET之該第一閾電壓。

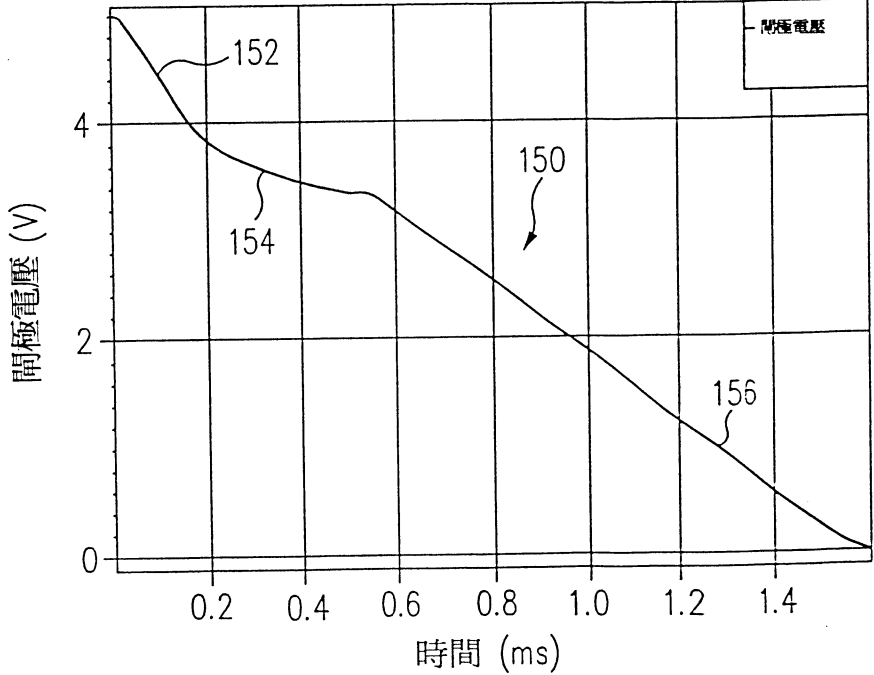
47. 如申請專利範圍第36項之方法，其中該第二電平等於該功率MOSFET之該第一閾電壓的兩倍。



圖式

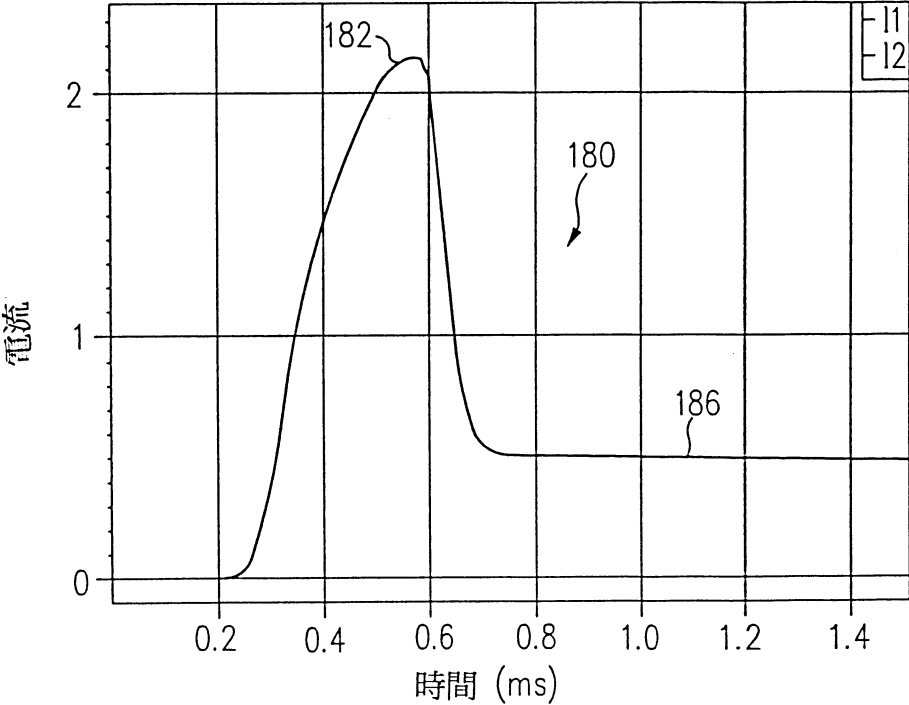


第一圖A



第一圖B

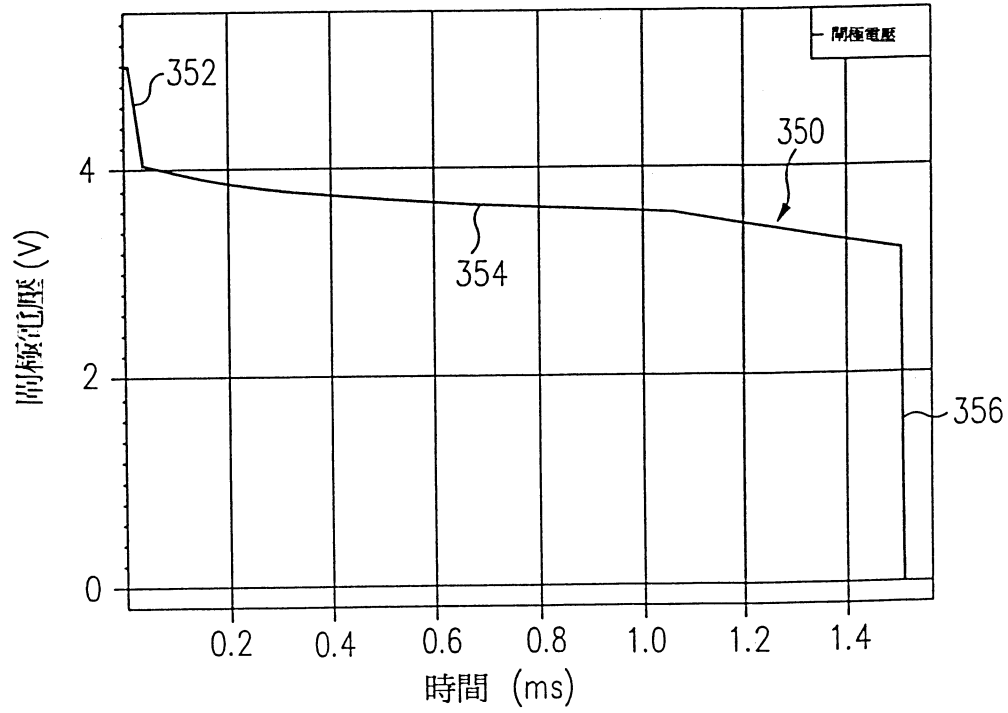
圖式



第一圖C

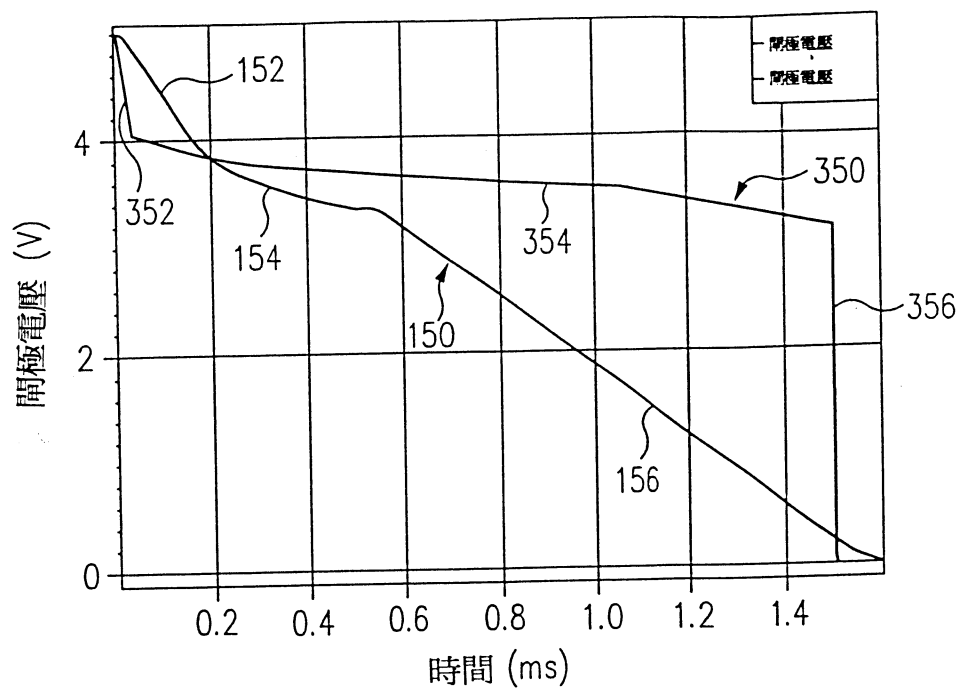


圖式

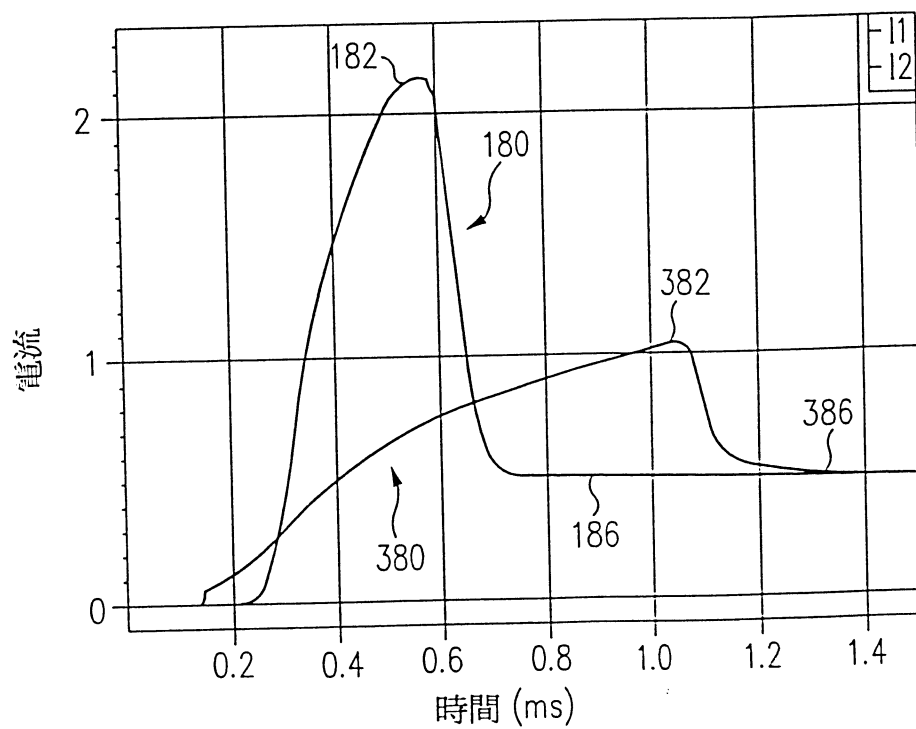


第二圖B

圖式



第三圖A



第三圖B





第五圖