

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成24年7月26日(2012.7.26)

【公開番号】特開2011-4471(P2011-4471A)

【公開日】平成23年1月6日(2011.1.6)

【年通号数】公開・登録公報2011-001

【出願番号】特願2009-143559(P2009-143559)

【国際特許分類】

H 0 2 M 3/155 (2006.01)

【F I】

H 0 2 M 3/155 H

【手続補正書】

【提出日】平成24年6月11日(2012.6.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力電圧よりも低い出力電圧を生成する降圧型コンバータであって、
入力電圧と第 1 の基準電位との間に直列に接続された第 1 および第 2 の MOS トランジスタと、

第 1 および第 2 の MOS トランジスタを接続する接続ノードに接続されたインダクタと、

少なくとも第 1 の MOS トランジスタのオン時間を制御するスイッチング制御回路と、
前記インダクタから前記接続ノードおよび第 2 の MOS トランジスタを介して第 1 の基準電位に流れる電流を検出する電流検出回路と、

を含み、

前記電流検出回路が電流を検出したことに応答して、前記スイッチング制御回路が第 1 の MOS トランジスタのオン時間が短くなるように第 1 の MOS トランジスタのスイッチングを制御する、降圧型コンバータ。

【請求項 2】

請求項 1 に記載の降圧型コンバータであって、

前記電流検出回路が、前記接続ノードに接続された第 1 の入力と第 2 の基準電位に接続された第 2 の入力から印加される各電圧を比較することで電流の検出を行う第 1 のコンパレータを含み、

前記スイッチング制御回路が、第 1 のコンパレータの検出結果に基づき第 1 の MOS トランジスタのオン時間を短くする、
降圧型コンバータ。

【請求項 3】

請求項 2 に記載の降圧型コンバータであって、

前記電流検出回路が、更に、第 1 のコンパレータに接続されたカウンターを含み、
前記カウンターが、第 1 のコンパレータの検出結果が予め決められた回数に到達したときに電流の検出を示す信号を前記スイッチング制御回路に出力する、
降圧型コンバータ。

【請求項 4】

請求項 1 に記載の降圧型コンバータであって、

前記スイッチング制御回路が、
第 1 のノードと第 2 のノードとからそれぞれ印加される各電圧を比較することにより第 1 の MOS トランジスタのオン時間を決定する第 2 のコンパレータと、
第 1 のノードに接続されかつ第 1 のノードの電圧を可変する可変回路と、
第 2 のノードに接続されかつ前記接続ノードからの電荷を充電可能なコンデンサと、
を含み、
前記電流検出回路が電流を検出したことに応答して、前記可変回路が第 1 のノード電圧を降下させ、
第 2 のコンパレータが第 1 の MOS トランジスタのオン時間を短くする、
降圧型コンバータ。

【請求項 5】

請求項 4 に記載の降圧型コンバータであって、
前記可変回路が、第 1 のノードと第 3 の基準電位との間に接続された第 3 の MOS トランジスタを含み、
第 3 の MOS トランジスタのゲートが前記電流検出回路の出力に接続される、
降圧型コンバータ。

【請求項 6】

請求項 4 に記載の降圧型コンバータであって、
第 1 のノードが、前記インダクタに接続される出力電圧と第 3 の基準電位との間に直列に接続された第 1 および第 2 の抵抗の接続点であり、
前記可変回路が、第 1 のノードと第 3 の基準電位との間に直列に接続された第 3 の抵抗と第 3 の MOS トランジスタとを含む、
降圧型コンバータ。

【請求項 7】

請求項 6 に記載の降圧型コンバータであって、
第 1 の MOS トランジスタのオン時間の短縮が、第 1 のノードの電圧降下量によって決定され、
電圧降下量が、第 1、第 2、第 3 の抵抗によって決定される、
降圧型コンバータ。

【請求項 8】

請求項 1 乃至 7 の何れかに記載の降圧型コンバータであって、
前記スイッチング制御回路は、前記電流検出回路が電流を検出したことに応答して第 2 の MOS トランジスタをオフさせる回路を含む、
降圧型コンバータ。

【請求項 9】

請求項 1 乃至 8 の何れか 1 つに記載の降圧型コンバータと、
前記インダクタに接続された出力コンデンサと、
前記インダクタに接続された出力電圧をフィードバックさせるフィードバックループと、
を含む、スイッチングレギュレータであって、
前記スイッチング制御回路が、フィードバックされた出力電圧に基づき前記第 2 のノードの電位を制御する、
スイッチングレギュレータ。

【請求項 10】

請求項 9 に記載のスイッチングレギュレータであって、
前記スイッチング制御回路が、
出力電圧に基づき生成されたフィードバック電圧と第 4 の基準電位とを比較する第 3 のコンパレータと、
第 3 のコンパレータの比較結果に基づき前記第 2 のノードに接続されたコンデンサの充放電を制御するトランジスタと、

を含む、
スイッチングレギュレータ。

【請求項 1 1】

第 1 の電源端子と入力ノードとの間に接続された第 1 のトランジスタと、
第 2 の電源端子と上記入力ノードとの間に接続された第 2 のトランジスタと、
上記入力ノードと出力ノードとの間に接続されたインダクタ素子と、
上記出力ノードに接続された出力コンデンサと、
出力電圧に応じた第 1 の電圧と第 1 の基準電圧とを比較して当該比較結果に応じた第 1 の信号を出力する第 1 の比較回路と、
上記第 1 のトランジスタのオン時間を制御するための第 2 の信号を出力する時間幅制御回路と、
上記入力ノードに流れる逆電流を検出する逆電流検出回路と、
上記第 1 の信号と上記第 2 の信号とに応答して上記第 1 のトランジスタの導通を制御するための第 1 の制御信号を出力する第 1 の論理回路と、
上記第 1 の制御信号と上記逆電流検出回路の検出信号とに応答して上記第 2 のトランジスタの導通を制御するための第 2 の制御信号を出力する第 2 の論理回路と、
上記検出信号と上記第 2 の制御信号とに応答して上記第 1 のトランジスタのオン時間を短くするための調整信号を出力する時間幅調整回路と、
を含み、
上記時間幅制御回路が、上記第 1 の制御信号に応答して上記第 2 の信号を出力し、そして、上記調整信号を受けると、上記第 1 のトランジスタのオン時間が短くなるように上記第 2 の信号の出力タイミングを制御する、
降圧型コンバータ。

【請求項 1 2】

請求項 1 1 に記載の降圧型コンバータであって、
上記時間幅制御回路が、上記第 1 の制御信号に応答して、経時的に変化する電圧信号と第 2 の基準電圧とを比較して当該比較結果に応じて上記第 2 の信号を出力する第 2 の比較回路を含み、
上記逆電流検出回路が、上記入力ノードの電位と第 3 の基準電圧とを比較して当該比較結果に応じた上記検出信号を出力する第 3 の比較回路を含み、
上記時間幅調整回路が、上記検出信号と上記第 2 の制御信号との論理積信号を出力する論理積回路と、上記論理積信号が連続して N 回入力された際に上記調整信号を出力するカウンタ回路とを含む、
降圧型コンバータ。

【請求項 1 3】

請求項 1 2 に記載の降圧型コンバータであって、
上記時間幅制御回路が、
上記出力ノードに接続され、当該出力ノードの電圧を分圧した電圧を上記第 2 の基準電圧として出力する第 1 の抵抗分圧回路と、
上記第 1 の抵抗分圧回路に接続され、上記調整信号に応答して上記第 2 の基準電圧を変化させるための第 3 のトランジスタと、
経時的に変化する充電電圧を上記電圧信号として供給する第 1 のコンデンサと、
上記コンデンサに並列に接続され、上記第 1 の制御信号に応答して上記コンデンサの電荷を放電させる第 4 のトランジスタと、
を更に含む、
降圧型コンバータ。