(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H01L 21/8234 (2006.01)
H03K 19/0185 (2006.01)
H01L 21/82 (2006.01)

(11) 공개번호 10-2006-0110220
(43) 공개일자 2006년10월24일

(21) 출원번호 10-2006-0034915
(22) 출원일자 2006년04월18일

(30) 우선권주장 JP-P-2005-00120605 2005년04월19일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도꾜도 지요다구 마루노우찌 2-쪼메 4-1

(72) 발명자 칸노 유스케
일본국 동경 코다이라시 죠스이미나미쵸 3-20-6
타나카 카즈오
일본국 하치오지시 다이마치 2쵸메 13-7 403
토요시마 ??스케
일본국 동경 히가시무라야마시 온타쵸 1쵸메 59-2 그린 돔 A210
토바 타케오
일본국 동경 히가시무라야마시 온타쵸 1쵸메 59-2 그린 돔 B302

(74) 대리인 이종일

심사청구 : 없음

(54) 반도체집적회로장치

요약

본 발명은 반도체집적회로장치에 관한 것으로서 I/O회로에 있어서 I/O전압 (vcc) (예를 들면 3.3 V)를 (vcc_18)(예를 들면 1.8 V)으로 저전압화한 경우에 속도 열화를 일으키는 부분이 레벨 변환부와 메인의 대형 버퍼를 구동하기 위한 프리버퍼 부분인 것에 주목해 레벨업 컨버터 (LUC)와 프리버퍼 (PBF)의 회로에 고전압(전압 (vcc)을 인가함으로써 저비용으로 저전압 고속 동작이 가능한 I/0 회로를 실현하는 기술을 제공한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치의 주된 구성을 나타내는 블럭도이다.

도 2a, 도 2b는 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 출력측의 I/0 회로의 구성예를 나타내는 도이다.

도 3은 도 2의 출력측의 I/O회로의 동작을 나타내는 파형도이다.

도 4는 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치로 이용하는 트랜지스터(MISFET)의 구조를 나타내는 도이다.

도 5는 도 2의 I/O회로의 레이아웃예와 그 단면 구조를 나타내는 도이다.

도 6은 도 2의 I/O회로의 다른 레이아웃예와 그 단면 구조를 나타내는 도이다.

도 7a, 도 7b는 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 출력측의 I/0 회로의 다른 구성예를 나타내는 도이다.

도 8은 도 7의 메인 버퍼의 다른 구성예를 나타내는 도이다.

도 9는 도 7의 I/O회로의 레이아웃예와 그 단면 구조를 나타내는 도이다.

도 1Oa, 도 10b는 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 전원결선 구조의 일례를 나타내는 블럭도이다.

도 11은 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 패키지상에서의 전원결선 구조의 일례를 나타내는 도이다.

도 12는 본 발명을 복수의 I/O전원을 가지는 반도체 집적회로 장치에 적용한 경우의 구성예를 나타내는 블럭도이다.

도 13은 본 발명을 복수의 I/O전원을 가지는 반도체 집적회로 장치에 적용한 경우의 다른 구성예를 나타내는 블럭도이다.

도 14는 도 13의 I/O회로(내압 완화 회로)의 구성예를 나타내는 회로도이다.

도 15는 도 14의 I/O회로의 동작을 나타내는 파형도이다.

도 16은 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 레벨 변환 회로의 구성예를 나타내는 회로도이다.

도 17은 본 발명을 SSTL2에 적용한 경우의 입력 회로의 구성예를 나타내는 블럭도이다.

도 18은 도 17의 차동앰프의 구성예를 나타내는 회로도이다.

도 19는 도 17의 차동앰프의 구성예를 나타내는 회로도이다.

도 20은 도 17의 입력 회로의 동작을 나타내는 파형도이다.

도 21은 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치에 있어서 입력 회로의 종단 저항의 구성예를 나타내는 블럭도이다.

주요부위를 나타내는 도면부호의 설명

ANLG 아날로그 회로

CL 외부 부하 용량

CT 콘택트

DNW 깊은 N웰

ESD1 ·ESD2·ESD3 보호 소자

IFC1· IFC2 ·SDRAMIF 입출력 회로

IBF 입력 버퍼

(INV1) · (INV_2) · (INV_2)1 · (INV_22) 인버터

LSI 반도체 집적회로 장치

IIOC· IO18C· IO18C2 ·IO25C· IO25C2 ·IO33C· IO33C2 ·OIOC I/O회로

LDC 레벨 다운 컨버터

LGC ·CLGC 논리 회로(로직부)

LUC ·LSC 레벨업 컨버터

MBF 메인 버퍼

MN1~MN40 MP1~MP40 트랜지스터(MISFET)

M0 메탈 제 0층

M1 메탈 제 1층

N1 N형 확산층

NW N웰

PBF 프리버퍼

PAD_I 입력 패드

PAD_O 출력 패드

PL P형 확산층

PSWC1· PSWC2 제어 회로

PW P웰

P-sub P형 반도체 기판

SA 차동앰프

STBYC 스탠바이 회로

VB 기판 전극

VG 게이트 전극

VS 소스 전극

VD 드레인 전극

poly12 ·(poly33) 폴리 실리콘

(vcc) · (vcc)전원

(vcc_18) (vcc_18)전원

(vdd) (vdd)전원

(vss) (vss)전원

(vssc) (vssc) 전원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 장치에 관계되는 특히 휴대 기기용 시스템 LSI 또는 마이크로 프로세서 등의 반도체 집적회로 장치에 적용해 유효한 기술에 관한다.

본 발명자가 검토한 기술로서 예를 들면 휴대 기기용 시스템 LSI 또는 마이크로 프로세서등의 반도체 집적회로 장치에 있어서는 이하의 기술을 생각할 수 있다.

최근의 휴대 기기에 있어서는 I/0(입출력)전압의 다양화가 진행되고 있다. 보다 저소비 전력을 요구하기 위한 저전압화와 기존의 자산을 유효하게 활용하기 위해서 종래부터의 고전압으로 동작하는 인터페이스를 사용하기 위함이다. 저전압화에 관해서는 특히 범용적인 기억소자인 랜덤·액세스·메모리 (DRAM)의 인터페이스부에 대해서의 저전력화 지향이 강하고 이것이 저전압 I/0의 표준화를 견인하고 있다. 예를 들면 휴대 기기에 있어서는 SDRAM이나 DDR-SDRAM 등의 인터페이스 전압은 현재의 업계표준인 3.3 V와 비교해 저전압인 1.8 V가 표준이 되고 있다.

한편 종래부터의 인터페이스를 보지하는 것도 중요하다. 탈착 가능한 비휘발성 메모리(플래시등) 등은 고전압(3.3 V)로 동작하도록 설계되어 하이 인터페이스 사양도 업계에서 표준화되고 있기 때문이다. 이러한 종래형의 인터페이스는 제품 세대가 다른 여러가지 기종에 대해서 채용되고 있어 양산 효과에 의한 코스트 저감의 메리트가 있다. 따라서 이러한 종래부터의 I/0도 계속해 계속 사용하자는 요망이 높다.

따라서 코스트와 저전력을 생각한 경우 LSI에 탑재되는 모든 I/O회로(입출력 회로)의 전원을 단일화하는(예를 들면 1.8 V 전압으로 통일한다)것은 현단계에서는 극히 어렵다.

그런데 지금까지는 저전압(1.8 V) 계의 I/O는 그다지 고속 동작의 요구가 없었다. 그 때문에 1.8 V계의 I/O는 표준적인 전압(예를 들면 3.3 V)로 동작시키는 것을 전제로 한 트랜지스터를 저전압(1.8 V) 동작시켜 사용하는 것이 가능했다.그러나 최근의 휴대 기기에서는 어플리케이션의 기능이 충실해 다량의 데이터를 고속으로 전송하는 필요성이 높아지고 있다. 그 때문에 저전압 동작의 I/0에 있어서도 고속화의 요구는 높아져 향후는 1.8 V계의 I/O의 고속화가 필수가 된다.

[특허 문헌 1]미국 특허 제 5969542호 명세서

[특허 문헌 2]일본국 특개2003-152096호 공보

그런데 상기와 같은 기술에 대해서 본 발명자가 검토한 결과 이하와 같은 것이 분명해졌다.

현재 주류의 SoC (System-on-a-Chip) 용 LSI는 CPU등의 논리 회로를 구성하는 트랜지스터로의 공급 전압인 코어 전압(예를 들면 1.2 V)과 외부 기기와 합하기 위한 I/O 전압(예를 들면 3.3 V)로 동작시키는 것을 전제로서 MISFET의 게이트 절연막 두께를 2 종류로서 설계된다. 이러한 설계상의 경계 조건 아래에서 1.8 V의 I/O를 설계하는 경우 상기 3.3 V용의 MISFET를 이용해 1.8 V동작시키는 것을 생각할 수 있다. 이 경우 MISFET의 포화 전류 (Ids)가 게이트 전압 (V)g와 한계치 전압 (Vth) 차의 2승에 비례하는($Ids \propto (Vg- Vth)^2$)라고 하는 이른바 MISFET의 전류- 전압 관계로부터 분명한 바와 같이 3.3 V동작시의 포화 전류와 1.8 V동작시의 포화 전류에는 Vth=0.7 V로 가정하는 경우에 약 6배 정도의 차이가 생겨 지연 시간(Tpd)으로 환산하면 지연 시간이 전원 전압 (V)와 게이트 용량 (C)의 곱을 Ids로 나눈 값($Tpd \fallingdotseq C\times V/Ids$)인 것으로부터 대략 3배 정도 늦어지는 것을 알 수 있다. 따라서 3.3 V용의 트랜지스터를 이용해 1.8 V에서의 고속 동작은 어렵다.

1.8 V동작을 고속화하기 위해서 3.3 V용의 MISFET를 인프라 공정의 추가에 의한 낮은 한계치의 MISFET를 이용해 설계하는 것도 생각할 수 있지만 낮은 한계치 MISFET를 레벨 변환 회로로부터 프리버퍼 메인 버퍼에 도달하는 저전력용 I/O 회로 전체에 사용하면 리크 전류량이 증대해 휴대 기기에서 필수가 되는 저전력성이 없어져 버리는 디메리트가 발생한다.

또 1.2 V로 동작하는 논리 회로용의 MISFET를 이용해 1.8 V동작의 I/O를 설계하는 방법도 생각할 수 있다. 이것은 특허 문헌 1에 기재되는 예가 있다. 하이 문헌의 경우 1.8 V디바이스를 이용해 2.5 V의 I/0을 구성하는 것이 개시되고 있다. MISFET에 최대 인가 전압을 완화하는 내압 완화 기술을 이용한다.그러나 이러한 예를 응용해 1.2 V용의 MISFET에서 1.8 V의 I/O회로를 구축하는 경우 1.2 V용의 MISFET는 이른바 스케일링 법칙에 의해 일반적으로 한계치를 낮게 설정하지 않을 수 없기 때문에 리크 전류의 증대라고 하는 과제가 있다. 또한 정전 파괴에 대한 대책(ESD 대책)도 신규로 실시하지 않으면 안되어 추가의 공정수 및 코스트가 들게 된다.

상기의 예는 LSI의 제조 프로세스 및 마스크 매수에 대해서 타격이 적은 방법이지만 하이 점을 의식하지 않아도 좋은 경우는 게이트 절연막 두께가 다른 복수의 MISFET를 이용하여 구성하는 방법도 있다. 1.8 V로 전류가 많이 취할 수 있도록 게이트 절연막 두께에서 설계된 MISFET를 사용하면 MISFET의 온 전류는 게이트 절연막 두께가 역수에 비례하는 관계가 있기 때문에 이러한 특별한 MISFET를 추가할 수 있으면 고속화를 달성할 수 있다. 이 경우 리크 전류는 문제가 되지 않지만 게이트 절연막 두께를 3 종류 작성하기 위해서 제조 프로세스의 복잡화와 마스크 매수의 증대나 품질 관리의 공정수 증대는 피하지 못하고 제조 코스트가 증가해 버린다.

휴대 기기를 시작으로 하는 민생 기기는 경합 타사와의 경쟁에 하이겨내기 위해서 코스트 의식이 높은 제품이다. 따라서 SoC용의 LSI를 제조할 때의 디바이스 종류를 짜서 사용하는 마스크수를 삭감시켜 프로세스 스텝을 간이화하는 것이 바람직하고 있다. 따라서 휴대 기기용의 I/O회로로서는 저비용인 1.8 V 고속 I/O를 3.3 V용의 트랜지스터를 이용해 설계하는 것이 과제이다.

거기서 본 발명의 목적은 저비용으로 저전압 고속 동작이 가능한 I/0 회로를 갖춘 반도체 집적회로 장치를 제공하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 신규 특징은 본 명세서의 기술 및 첨부 도면으로부터 밝혀질 것이다.

발명이 이루고자 하는 기술적 과제

본원에 있어서 개시되는 발명 가운데 대표적이지만 개요를 간단하게 설명하면 다음대로이다.

본 발명에서는 I/0 회로로 I/0 전압 (vcc)가 저전압화한 경우에 속도 열화를 일으키는 부분이 레벨 변환부와 메인의 대형 버퍼를 구동하기 위한 프리버퍼 부분인 것에 주목해 하이 부분의 회로에 고전압을 인가하는 것으로 상기 과제인 저비용으로 저전압 고속 동작 I/0을 실현시킨다.

즉 본 발명에 의한 반도체 집적회로 장치는 제 1의 전원 전압으로 동작하는 회로와 상기 제 1의 전원 전압보다 높은 제 2의 전원 전압으로 동작하는 출력 회로를 가지는 반도체 집적회로 장치로서 상기 제 1의 전원 전압으로 동작하는 회로로부터

상기 제 2의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 있어서 상기 제 2의 전원 전압보다 높은 제 3의 전원 전압에 신호 전압 진폭을 한 번 증폭해 그 후 상기 제 2의 전원 전압의 진폭을 가진 신호로 변환하는 수단을 가지는 것을 특징으로 하는 것이다.

발명의 구성 및 작용

이하 본 발명의 실시의 형태를 도면에 근거해 상세하게 설명한다. 또한 실시의 형태를 설명하기 위한 전도에 있어서 동일 부재에는 원칙으로서 동일한 부호를 교부해 그 반복의 설명은 생략한다.

도 1은 본 발명의 하나의 실시의 형태에 의한 반도체 집적회로 장치의 주된 구성을 나타내는 도이다. 본 실시의 형태는 LSI (반도체 집적회로 장치) 내부의 논리 회로로부터 LSI 외부에 신호를 송출하기 위한 출력 버퍼에 있어서 우선 인터페이스부에 사용되는 전원 전압보다 높은 전압 진폭의 신호로 변환해 그 후 인터페이스용 전원 전압 진폭으로 변환하는 것이 특징이다.

도 1에는 LSI 내부의 CPU등의 논리 회로(논리부) LGC로 사용하는 전원 (vdd) (예를 들면 1.2 V·제 1의 전원 전압)과 표준 인터페이스용 전원 (Vcc ·예를 들면 3.3 V· 제 3의 전원 전압)과 저전압 인터페이스용 전원 (vcc_18) (예를 들면 1.8 V·제 2의 전원 전압)이 공급된 LSI를 나타냈다. 1.8 V의 인터페이스 신호가 LSI에 입력되어 그 신호가 내부의 논리로 처리되어 LSI로부터 출력되는 경로를 블럭도로 나타내고 있다. 입력 패드 (PAD_I)로부터 입력된 신호는 입력 버퍼 (IBF)를 경유해 I/O (입출력)전압(1.8 V)으로부터 논리 회로의 전원 (vdd)로의 신호 레벨 변환 회로(레벨 다운 컨버터 ·LDC)를 개입시켜 내부의 논리 회로 (LGC)에 전달된다.

한편 논리 회로 (LGC)로부터 외부로의 신호는 논리 회로의 전원 전압 (vdd)로부터 I/O용의 전원 (vcc_18)에 신호 레일을 변환할 필요가 있다. 그 때 본 실시의 형태의 특징은 일단 레벨업 컨버터 (LUC)로 보다 고전압인 (vcc) 레벨에 신호 진폭을 증폭해 그 후 그 신호를 프리버퍼 (PBF)로 증폭해 최종단의 메인 버퍼 (MBF)에서 인터페이스 전압 (vcc_18)로 변환해 송출하는 것이다. 이것에 의해 동작 속도의 열화를 일으키고 있던 레벨 변환부와 프리버퍼부를 고속으로 동작시킬 수가 있기 때문에 고내압 MISFET를 이용하면서도 저전압으로 고속 동작이 가능해진다. 여기서 사용하는 레벨 변환 회로는 예를 들면 특허 문헌 2에 기재의 레벨 변환 회로를 사용하면 실현될 수 있다.

또 레벨업 컨버터 (LUC)를 저전압 (vcc_18)용 I/O와 고전압 (vcc)용 I/0으로 공용할 수 있는 것은 레벨 변환 회로의 재설계가 불필요해지기 때문에 설계 공정수를 삭감할 수 있는 효과도 있다. 특허 문헌 2에 기재의 레벨업 컨버터는 보다 저전압(1 V이하)의 신호 진폭을 고전압(3.3 V) 진폭으로 고속으로 변환시키는 회로이고 구조가 다소 복잡하기 때문에 레벨업 컨버터를 모든 I/0 회로(입출력 회로)로 공용할 수 있으면 설계 코스트를 삭감할 수 있는 효과가 있다.

그런데 본 실시의 형태는 신호 진폭을 (vdd)전원 레벨로부터 (vcc_18)전원 레벨로 변환할 때에 도중에 레벨 변환 포화회로 및 프리버퍼에서 신호 진폭을 승압해 구동시키기 때문에 소비 전력의 증가가 우려된다. 그러나 일반적인 I/0 회로에서는 그 I/0 회로가 구동하는 부하가 내부의 트랜지스터의 게이트 용량 등에 비교해 현격한 차로 크기 때문에 문제가 되지 않는다. 예를 들면 사양에서 외부의 출력 부하 (CL)이 15 pF로 매우 큰 것이 규정되고 있다. 한편 I/O회로의 게이트는 꽤 1OO μm정도이고 그 용량은 수백 fF정도이다. 따라서 소비 전력은 최종단의 메인 버퍼 (MBF)에 의해 부하 용량 (CL)를 충방전 하는 전력이 지배적이고 레벨업 컨버터 (LUC) 및 프리버퍼 (PBF)로 소비되는 전력은 무시할 수 있는 레벨인 것을 알 수 있다.

또 리크 전류에 관해서도 무시할 수 있는 레벨에 있다. 그것은 리크 전류는 드레인·소스간 전압에 비례하는 경향이 있기 때문에 1.8 V 인가시에 비해 증대하지만 원래 고내압 MISFET는 한계치가 높게 설정되어 있기 때문에 SoC 칩 전체의 리크 전류를 고려한 경우에 무시할 수 있는 양이 되기 때문이다.

또한 본 실시의 형태는 저전압용의 I/0 회로와 고전압용의 I/0 회로로 레벨업 컨버터와 프리버퍼를 공용하기 위해 I/0 회로의 특성을 결정하는 레벨업 컨버터와 프리버퍼의 구성이 거의 최종단의 전압에 의존하지 않고 결정할 수 있는 것에 있다. 그 때문에 특성의 결점 조정 및 어느 정도의 미조정을 1 종류의 전압 사양(예를 들면 고전압의 3.3 V의 경우 하이들의 마진으로서 (예를 들면 10 % 삭감을 전망한 전압값인 3 V)만으로 실시할 수 있다. 그 때문에 안정된 성능을 단(短)TAT 또한 저비용으로 실현될 수 있는 효과도 있다.

따라서 본 실시의 형태에 의한 반도체 집적회로 장치에 의하면 레벨 변환부와 프리버퍼부를 고전압 구동하는 것으로 1.8 V I/O의 동작 속도를 고속화할 수 있다.

또 레벨 변환부와 프리버퍼부가 3.3 V I/O와 1.8 V I/O로 공통화할 수 있어 한층 더 인가 전압을 공통의 3.3 V로 하면 부품의 공통화와 셀 특성의 추출이 용이해진다.

도 1에 있어서 입력 회로의 접지 전위와 출력 회로의 레벨 변환 회로의 접지 전위가 내부의 논리 회로와 같은 (vss)로 하고 있다. 그 이유는 출력 회로의 메인 버퍼 (MBF)가 매우 큰 트랜지스터로 구성되기 때문에 그 트랜지스터가 온·오프 하는 것으로 출력 회로의 프리버퍼 (PBF)와 메인 버퍼 (MBF)의 접지 전위 (vssc)에는 큰 노이즈가 실릴 우려가 있다. 입력 회로나 레벨 변환 회로는 이러한 노이즈를 수중에 넣지 않게 해 두면 동작 속도의 열화나 신호 품질의 향상 등의 효과가 있다. 또한 이러한 상황이 일어날 수 없는 제품이 있는 경우에는 입력 회로나 레벨 변환 회로에도 I/0용의 접지 전위 (vssc)를 이용해 설계하는 것도 가능하다.

다음에 출력측의 I/O회로 (OIOC)의 구성에 대해서 말한다. 도 2는 출력측의 I/O회로 (OIOC)의 구성을 나타낸 것이다. 도 2a는 출력측의 I/O회로 (OIOC)의 개략이고 도 2b는 그 트랜지스터의 각 단자의 전원을 나타낸 것이다.

우선 도 2a를 이용해 출력측의 I/O회로 (OIOC)의 개략을 설명한다. 레벨업 컨버터 (LUC)는 신호 진폭을 증가시키는 기능을 가진 회로이고 내부의 논리 회로로 사용하는 (vdd)전원과 고전위인 (vcc)전원을 인가해 동작시킨다. 프리버퍼 (PBF)는 고전압 (vcc)로 구동한다.

최종단의 메인 버퍼 (MBF)는 인터페이스 전원인 (vcc_18)전원으로 구동된다. 도 2에는 하이 메인 버퍼 (MBF)의 구성으로서 P형 MISFET의 기판 단자가 (vcc)에; 소스 단자를 (vcc_18)에 접속된 예를 나타냈다. 또 그 P형 MISFET의 한계치 전압을 작게 설정한 경우를 적었다.

여기에서는 도시하지 않지만 메인 버퍼 (MBF)의 P형 MISFET로서 한계치 전압의 차이 MISFET를 이용하지 않고 구성하는 경우는 게이트폭 (W)를 크게 취하는 것에 의해 이 P형 MISFET의 구동 전류를 확보하도록 하면 좋다.

그러나 일반적인 프로세스에 있어서는 믹스드·시그널을 취급하는 아날로그용의 트랜지스터가 설정되는 경우가 많아 그 많은 경우에서 그 트랜지스터는 한계치 전압이 작은 MISFET로 구성된다. 그 때문에 이러한 MISFET를 이용하면 프로세스 스텝 수와 마스크 매수를 늘리는 경우 없이 고속의 저전압 I/0 회로가 실현될 수 있기 때문에 여기에서는 주로 그 실시 형태를 설명한다.

도 2b는 도 2a로 나타낸 프리버퍼 (PBF)와 메인 버퍼 (MBF)의 회로도이다. 일반적으로 I/0 회로는 이너블 신호나 구동배력 변환 신호등이 있어 복잡하지만 여기에서는 가장 심플한 증폭 회로로서의 인버터로 설명한다. 인버터 이외의 복잡한 기능을 가진 I/0 회로에도 본 실시의 형태는 적용할 수 있다.

프리버퍼 (PBF)는 (vcc) 인가를 상정한 MISFET로 구성되고 있고 그 한계치전압도 (vcc)가 공급되는 회로의 표준적인 것으로 설계되고 있다.

한편 메인 버퍼 (MBF)의 N형 MISFET는 프리버퍼와 같은 MISFET를 이용하지만 P형 MISFET는 MISFET의 채널의 인플라를 변경해 이른바 MISFET의 한계치 전압을 작게 한 MISFET를 이용한다. 이 P형 MISFET는 기판 전극 (VB)의 전위가 (vcc)이고 소스 전극 (VS)가 (vcc_18)이기 때문에 기판 바이어스 효과가 발생한다. 또 전단의 프리버퍼 (PBF)는 동작 전압이 (vcc)이기 때문에 그 출력은 하이 출력 상태가 (vcc) 레벨이 된다. 따라서 메인 버퍼 (MBF)의 P형 MISFET가 오프하는 조건(P형 MISFET의 게이트 전압이 (vcc)의 경우)에 있어서는 기판 바이어스 효과와 함께 이른바 네가티브 게이트 전압 효과(여기에서는 P형 MISFET이므로 게이트 전압이 소스 전압보다 높은 값이기 때문에 강하며 오프한다)로 상승해 저리크화가 가능하다.

도 3은 도 2에 나타낸 출력측의 I/O회로의 동작 파형도이다. 내부의 논리 회로 (LGC)로부터의 출력 노드 (nd1)은 (vdd)전압의 진폭을 갖고 시각 (T1)로 로우레벨(vss) 레벨)로부터 하이레벨(vdd) 레벨)로 천이하는 경우를 설명한다. 하이후 여기서의 천이의 정의는 신호가 진폭의 절반값을 횡단할 때 시각으로 한다. 노드 (nd1)은 그 후 레벨업 컨버터 (LUC)에 입력되어 거기서 신호 진폭을 (vcc) 레벨로 변환된다. 레벨업 회로의 지연 시간이 있으므로 레벨업 회로의 출력 노드 (nd2)는 시각 (T2)로 로우레벨(vssc) 레벨)로부터 하이레벨(vcc) 레벨)로 천이한다. 이예는 버퍼형의 레벨업 컨버터를 상정했기 때문에 노드 (nd1)와 (nd2)의 논리가 일치하고 있지반 인버터형의 레벨업 컨버터를 이용하는 경우는 논리가 반전하는 것을 제외하면 같은 신호 레벨 변환이 실시된다. 그 후 노드 (nd2)는 프리버퍼 (PBF)에 입력되어 메인 버퍼 (MBF)를 구동하는데 충분한 구동력까지 구동력의 증폭이 된다. 프리버퍼 (PBF)도 (vcc)전원으로 동작시키기 때문에 프리버퍼 (PBF)의 출력 노드 (nd3)의 신호 진폭은 노드 (nd2)와 같은 (vcc)전원의 진폭이다. 이예에서는 프리버퍼 (PBF)의 지연량을 고려해

시각 (T3)으로 로우레벨(vssc) 레벨)로부터 하이레벨(vcc) 레벨)에 천이하는 경우를 나타냈다. 그 후 노드 (nd3)는 메인 버퍼 (MBF)에 입력되어 메인 버퍼 (MBF)는 출력 패드 (PAD_O)를 통해서 외부의 고부하를 구동한다. 메인 버퍼 (MBF)는 (vcc_18)전원으로 구동되기 때문에 출력 노드 (nd4)의 진폭은 (vcc_18)전원의 진폭이 된다. 또 이예에서는 외부의 부하가 크기 때문에 메인 버퍼 (MBF)의 출력 파형이 완만해 있는 모습을 나타내고 시각 (T4)로 로우레벨(vssc) 레벨)로부터 하이레벨(vcc_18) 레벨)에 변화하는 예를 나타냈다.

다음에 시각 (T5)로 하이레벨(vdd) 레벨)로부터 로우레벨(vss) 레벨)에 천이 하는 경우를 설명한다. 노드 (nd1)은 그 후 레벨업 컨버터 (LUC)에 입력되어 거기서 신호 진폭을 (vcc) 레벨로 변환된다. 레벨업 회로의 지연 시간이 있으므로 레벨업 회로의 출력 노드 (nd2)는 시각 (T6)으로 하이레벨(vcc) 레벨)로부터 로우레벨(vssc) 레벨)에 천이한다. 이예는 버퍼형의 레벨업 컨버터를 상정했기 때문에 노드 (nd1)와 (nd2)의 논리가 일치하고 있지만 인버터형의 레벨업 컨버터를 이용하는 경우는 논리가 반전하는 것을 제외하면 같은 신호 레벨 변환이 실시된다. 그 후 노드 (nd2)는 프리버퍼 (PBF)에 입력되어 메인 버퍼 (MBF)를 구동하는데 충분한 구동력까지 구동력의 증폭이 이루어진다. 프리버퍼 (PBF)도 (vcc)전원으로 동작시키기 때문에 프리버퍼 (PBF)의 출력 노드 (nd3)의 신호 진폭은 노드 (nd2)와 같은 (vcc)전원의 진폭이다. 이예에서는 프리버퍼 (PBF)의 지연량을 고려해 시각 (T7)로 하이레벨(vcc) 레벨)로부터 로우레벨(vssc) 레벨)에 천이하는 경우를 나타냈다. 그 후 노드 (nd3)는 메인 버퍼 (MBF)에 입력되어 메인 버퍼 (MBF)는 출력 패드 (PAD_O)를 통해서 외부의 고부하를 구동한다. 메인 버퍼 (MBF)는 (vcc_18)전원으로 구동되기 때문에 출력 노드 (nd4)의 진폭은 (vcc_18)전원의 진폭이 된다. 또 이 예에서는 외부의 부하가 크기 때문에 메인 버퍼 (MBF)의 출력은 둔한 예를 나타내고 시각 (T8)로 하이레벨(vcc_18) 레벨)로부터 로우레벨(vssc) 레벨)에 변화하는 예를 나타냈다.

도 4는 본 실시의 형태로 사용하는 MISFET의 예를 그 단면도와 함께 나타낸 것이다. 여기서 VG는 게이트 전극; VD는 드레인 전극 ;VS는 소스 전극;VB는 기판 전극을 나타낸다. 이 도에는 게이트 전극의 심볼이 선분으로 나타난 게이트 절연막 두께가 얇은 MISFET와 게이트 전극이 네모진 박스로 나타난 게이트 절연막 두께가 두꺼운 MISFET를 N형과 P형 한계치 전압의 대소로 분류해 표시했다.

내부의 논리 회로로 사용되는 MISFET의 게이트 절연막 두께는 예를 들면 2 nm정도의 두께로 설계되는데 대해 I/O회로로 이용되는 게이트 절연막 두께가 두꺼운 MISFET는 내부 논리 회로의 MISFET의 S게이트 절연막 두께보다 두껍고 예를 들면 6~7 nm정도의 두께로 설계되고 있다.

TNS-NMISFET는 내부의 논리 회로로 이용되는 박막 표준 한계치 전압 N형 MISFET로 ; TNS-PMISFET는 박막 표준 한계치 전압 P형 MISFET이다.

TNL-NMISFET는 내부의 논리 회로로 이용되는 박막 저한계치 전압 N형 MISFET로 ; TNL-PMISFET는 박막 저한계치 전압 P형 MISFET이다.

TCS-NMISFET는 I/O회로로 이용되는 막두께 표준 한계치 전압 N형 MISFET로 ; TCS-PMISFET는 막두께 표준 한계치 전압 P형 MISFET이다.

TCL-NMISFET는 I/O회로로 이용되는 막두께 저한계치 N형 MISFET로; TCL-PMISFET는 막두께 저한계치 P형 MISFET이다.

이들의 트랜지스터는 P형 반도체 기판 P-sub상에 깊은 N웰 (DNW)를 만들어 넣고 그 위에 P형 MISFET를 구성하기 위한 N웰 (NW)와 N형 MISFET를 구성하기 위한 P웰 (PW)를 만들어 넣은 이른바 3겹 웰 구성의 경우에 대해서 설명하고 있지만 이 깊은 N웰 (DNW)를 이용하지 말고 N웰 (NW); P웰 (PW)만의 2겹 웰 구성도 가능하다. 저한계치 전압 MISFET는 트랜지스터의 채널부에 추가 인프라를 박아넣어 MISFET의 한계치 전압을 작게 하고 있다. N형 확산층 (NL)은 N형 MISFET의 확산층 인프라 영역 및 P형 MISFET의 기판 급전용 확산층 인프라 영역이고; P형 확산층 (PL)은 P형 MISFET의 확산층 인프라 영역 및 N형 MISFET의 기판급전용 확산층 인프라 영역이다.

도 5에 I/O회로의 레이아웃예를 나타냈다. 이 레이아웃예는 도 2에 기재의 출력측의 I/O회로를 상정하고 있고 레이아웃 영역을 크게 4개의 영역으로 나누어 나타내었다. 여기에서는 레이아웃의 평면 개념도를 하부에 도안에 나타낸 A-A' 사이의 단면도를 상부에 나타냈다. 도 5에는 간략화를 위하여 각 영역에 2개의 셀이 앞뒤 맞추어 레이아웃되고 있는 예(N형 MISFET와 P형 MISFET의 조가 2조로 구성되어 있는 예)를 나타냈다. 실제의 레이아웃은 세로 방향 및 횡 방향의 제약으로부터 각 영역의 크기를 결정하면 좋고 여기에 나타낸 이외의 조의 수로 실현되어도 괜찮다.

제 1의 영역 (AREA1)은 내부의 논리 회로의 공급 전원인 (vdd)가 인가된 영역이고 (vdd)와 (vss)의 전원이 공급되고 있다.

제 2의 영역 (AREA2)는 (vcc)가 인가되는 영역이고 (vcc)전원과 (vssc) 전원이 인가된다.

제 3의 영역 (AREA3)는 vcc_18이 인가되는 영역이고 vcc_18과 (vssc)가 인가된다.

제 4의 영역 (AREA4)는 제 1의 영역과 제 2 및 제 3의 영역을 전기적으로 분리하기 위한 웰 분리 영역이다. 이 제 4의 영역은 2겹 웰 구조를 이용하는 경우는 면적을 작게 할 수가 있다. 제 2 및 제 3의 영역의 그랜드 레벨 전원 (vssc)가 제 1의 영역의 그랜드 레벨 전원 (vss)와 동일로 하는 경우 깊은 N웰 (DNW)를 설치하지 않아도 LSI를 구성하는 것이 가능하다. (vcc)와 (vdd)의 기판의 분리는 P웰 (PW)만으로 실시 가능하기 때문에 웰 분리 영역은 불필요해진다. 그러나 깊은 N웰 (DNW)는 노이즈 분리에 유효하기 때문에 제 1의 영역과 전원 노이즈가 가장 심한 제 2 및 제 3의 영역의 전원을 분리하는 것은 노이즈 내성이 향상하는 등의 효과가 있다.

제 1의 영역은 I/0 회로의 제어 논리나 레벨업 컨버터와 레벨 다운 컨버터의 (vdd) 인가부가 레이아웃된다. 제 2의 영역은 레벨업 컨버터의 (vcc) 인가부와 프리버퍼가 레이아웃된다. 제 3의 영역은 레벨 다운 컨버터의 (vcc_18) 인가부와 메인 버퍼와 ESD 보호 소자가 레이아웃된다.

(vcc_18)이 인가되는 제 3의 영역 (AREA3)는 메인 버퍼 (MBF)의 P형 MISFET만 전원과 기판 전원이 다르기 때문에 제 2의 영역 (AREA2)와 레이아웃이 일부 다르다. 이 예에서는 셀내의 전원 배선을 메탈 제 1층에서 실시하는 것을 염두에 두어 두었기 때문에 (vcc)전원 1개와 (vcc_18)전원 2개로 레이아웃 한 예를 나타냈다. (vcc)전원은 P형 MISFET의 기판에만 공급하기 때문에 전류 공급량은 (vcc_18)에 비해 적고 좋기 때문에 이 레이아웃에서는 가는 메탈 배선으로 충분하다.

이어서 단면 구조를 설명한다. 도 5의 상부에는 도 중에 나타낸 A-A' 사이의 단면을 모식적으로 나타냈다. 여기에 나타낸 것은 이른바 3겹 웰 구조의 경우이고 P형 반도체 기판 P-sub상에 깊은 N웰 (DNW)를 만들어 그 위에 P형 MISFET용의 N웰 (NW)와 N형 MISFET용의 P웰 (PW)를 만드는 것으로 MISFET를 구성한다. 내부의 논리 회로용 트랜지스터는 게이트 절연막 두께가 얇은 MISFET로 구성되고 이 MISFET는 폴리 실리콘 (polu12)를 게이트 전극으로서 구성된다. I/O용의 게이트 절연막 두께가 두꺼운 MISFET로 구성되고 이 MISFET는 폴리 실리콘 (poly33)을 게이트 전극으로서 구성된다. 각 트랜지스터의 기판과 소스로의 급전은 메탈 제 1층 (M1)를 이용해 실시되고 기판 및 소스에는 메탈 제 1층 (M1)로부터 콘택트 (CT)를 통해서 급전된다. 여기에서는 기판으로의 급전만을 도시했지만 MISFET의 소스 전극으로의 급전도 당업자에게 주지의 방법으로 급전하면 좋다.

도 6은 도 5 기재의 레이아웃의 변형예이고 전원 배선에 2층의 메탈 배선을 사용할 수 있는 경우의 실시 형태이다. 도 중의 B-B' 사이의 단면도 맞추어 도시했다. 도 5와 동일하게 메탈 제 1층 (M1)로 전원 배선이 실시되지만 그 밖에 메탈 제 0층 (M0)를 이용해 전원이 강화된다. 이와 같이 2층의 전원 배선을 이용하면 메탈 제 0층 (M0)의 배선으로 기판급전을 실시하고 메탈 제 1층 (M1)의 배선으로 MISFET의 소스에 급전하는 것이 가능해져 면적 삭감 효과나 배선 자유도의 향상 등의 효과가 있다. 도 6에 나타낸 예에서는 메인 버퍼 (MBF)의 P형 MISFET의 기판과 소스 전극을 다른 배선층에서 배선하고 있는 것을 나타내고 있다.

도 6 으로부터 알 수 있듯이 이 레이아웃은 각 셀에는 메탈 제 1층의 전원이 2개로 끝나는 것이다. (vcc_18)이 인가되는 부분은 단면도에 나타난 바와 같이 (vcc_18)과 (vcc)전원을 분리시키기 위해서 메탈 제 1층 (M1)와 메탈 제 0층 (M0)간의 콘택트 (CT)가 없는 것이다. 그 외의 전원은 메탈 제 1층 (M1)와 메탈 제 0층 (M0)간을 콘택트 (CT)로 결선한다. 이러한 레이아웃을 실시하는 것으로 메탈 제 1층 (M1)의 배선 자유도가 높아져 레이아웃이 용이화 한다고 하는 효과가 있다.

도 7은 본 발명의 다른 실시 형태를 나타내는 도이다. 도 2와 동일하게 출력측의 I/O회로를 나타낸 것이다. 도 7a는 출력측의 I/O회로의 개략이고 ; 도 7b는 그 트랜지스터의 각 단자의 전원을 나타냈다.

우선 도 7a를 이용해 출력측의 I/O회로의 개략을 설명한다. 레벨 업 컨버터(LUC)는 신호 진폭을 증가시키는 기능을 가진 회로이고 내부의 논리 회로로 사용하는 (vdd)전원과 고전위인 (vcc)전원을 인가해 동작시킨다. 프리버퍼 (PBF)는 고전압 (vcc)로 구동한다. 최종단의 메인 버퍼 (MBF)는 인터페이스 전원인 (vcc_18)전원으로 구동된다. 도 7에는 도 2와 달리 메인 버퍼의 구성으로서 P형 MISFET의 기판 전극 (VB)가 (vcc_18)에 접속되어 그 P형 MISFET를 표준 한계치 전압의 MISFET로 구성한 경우를 적었다.

도 7b는 도 7a로 나타낸 프리버퍼 (PBF)와 메인 버퍼 (MBF)의 구성을 나타낸 것이다. 일반적으로 I/0 회로는 이너블 신호나 구동배력 변환 신호 등이 있어 복잡하지만 여기에서는 가장 심플한 증폭 회로로서의 인버터 회로로 설명한다. 인버터 이외의 복잡한 기능을 가진 I/0 회로에도 본 실시의 형태는 적용할 수 있다. 프리버퍼 (PBF)는 (vcc) 인가를 상정한 MISFET로 구성되고 있어 그 한계치 전압도 (vcc)를 공급시키는 회로의 표준적인 것으로 설계되고 있다. 한편 메인 버퍼 (MBF)의 N형 MISFET는 프리버퍼 (PBF)와 같은 MISFET를 이용한다. 이 P형 MISFET는 기판 전극의 전위가 (vcc_18)이고 ; 소스 전극 (VS)가 (vcc_18)이기 때문에 이 P형 MISFET가 오프하는 조건(P형 MISFET의 게이트 전압이 (vcc)의 경우)에 있어서는 네가티브 게이트 전압 효과로 저리크화가 가능하다.

도 8은 메인 버퍼 (MBF)의 다른 실시 형태이다. 여기에서는 도 7에 나타낸 메인 버퍼의 P형 MISFET에 한계치전압이 작은 MISFET를 이용하는 것이 특징이다. 이것에 의해 P형 MISFET의 구동력이 높아지기 때문에 출력 노드의 풀업이 고속으로 되어 결과적으로 출력측의 I/0 회로의 고속화를 생기는 효과가 있다.

또 여기에는 도시하지 않지만 MISFET의 게이트 길이 (LG)를 짧게 하는 것도 고속화를 위해서는 효과가 있다. MISFET의 전류는 게이트 길이의 역수에 거의 비례하기 때문이다.

도 9는 도 7의 구성의 레이아웃예이다. 이 레이아웃예는 도 7에 기재의 출력측의 I/O회로를 상정하고 있어 레이아웃 영역을 크게 5개의 영역으로 나누어 가리켰다. 레이아웃의 평면 개념도를 하부에 ; 도 중에 나타낸 C-C' 사이의 단면도를 상부에 나타냈다. 도 9에는 간략화를 위해 각 영역에 2개의 셀이 앞뒤 맞추어 레이아웃되고 있는 예(N형 MISFET와 P형 MISFET의 조가 2조로 구성되고 있는 예)를 나타냈다. 실제의 레이아웃은 세로 방향 및 횡방향의 제약으로부터 각 영역의 크기를 결정하면 좋고 여기에 나타낸 이외의 조의 수로 실현되어도 괜찮다. 이들 5개의 영역은 MISFET의 기판 전원에 의해 나눌 수 있다.

제 1의 영역 (AREA1)은 내부의 논리 회로의 공급 전원인 (vdd)가 인가된 영역이고 (vdd)와 (vss)의 전원이 공급되고 있다. 제 2의 영역 (AREA2)는 (vcc)가 인가되는 영역이고 ; (vcc)전원과 (vssc) 전원이 인가된다. 제 3의 영역 (AREA3)는 (vcc_18)이 인가되는 영역이고 (vcc_18)과 (vssc)가 인가된다. 제 4의 영역 (AREA4)는 제 1의 영역과 제 2 및 제 3의 영역을 전기적으로 분리하기 위한 웰 분리 영역이다. 제 5의 영역 (AREA5)는 제 2의 영역과 제 3의 영역을 전기적으로 분리하기 위한 웰 분리 영역이다. 왜냐하면 메인 버퍼 (MBF)의 P형 MISFET의 기판 전위와 프리버퍼 (PBF) 및 레벨업 컨버터 (LUC)의 P형 MISFET의 기판 전위가 다르기 때문에 메인 버퍼 (MBF)와 프리버퍼 (PBF)간에 기판의 절연이 필요하기 때문이다.

이 제 4 및 제 5의 영역은 2겹 웰 구조를 이용하는 경우는 면적을 작게 할 수가 있다. 제 5 영역은 깊은 N웰 (DNW)를 설정하지 않는 경우는 (vcc)와 (vcc_18)의 기판 분리에 있어서 P웰 (PW)만으로 실시할 수 있기 때문에 깊은 N웰 (DNW)의 분리가 필요없기 때문이다. 이 깊은 N웰 (DNW)는 제 2 및 제 3의 영역의 그랜드 레벨 전원 (vssc)가 제 1의 영역의 그랜드 레벨 전원 (vss)와 동일로 하는 경우에는 설정하지 않아도 좋다.그러나 깊은 N웰 (DNW)는 노이즈 분리에 유효하기 때문에 제 1의 영역과 전원 노이즈가 가장 심한 제 2 및 제 3의 영역의 전원을 분리하는 것은 노이즈 내성이 향상하는 등의 효과가 있다.

여기에서는 전원 배선을 메탈 제 1층 (M1)로 배선하는 경우를 나타내고 있지만 예를 들면 도 6에 나타난 바와 같이 메탈 제 0층 (M0)와 메탈 제 1층 (M1)를 이용한 2층 이상의 메탈 배선층을 이용해 배선하는 것도 가능하다. 이 경우 레이아웃 용이화나 소면적화등의 효과가 있다.

도 10은 본 발명을 이용하는 바와 같은 LSI의 전원 구성(전원 할당하고)을 나타낸 도이다. 도 10에는 (vdd)전원과 (vcc1)전원과 (vcc2)전원과 (vcc_18)전원으로 구성된 예를 나타냈다. (vdd)전원은 예를 들면 1.2 V이고 (vcc1)은 예를 들면 2.5 V이고 (vcc2)는 예를 들면 3.3 V이고 (vcc_18)은 예를 들면 1.8 V이다. 또한 접지 레벨 전원은 생략했다. 도 10a는 SDRAM으로의 입출력 회로 SDRAMIF에 (vcc2)와 (vcc_18)을 급전한 도; 도 10b는 SDRAM으로의 입출력 회로 SDRAMIF에 (vcc1)와 (vcc_18)을 급전한 도를 나타낸다. 상기 도 1에 나타낸 입력 버퍼 (IBF) ;프리버퍼 (PBF) ;메인 버퍼 (MBF) 등은 입출력 회로 SDRAMIF안에 설치된다.

우선 (vdd)전원을 이용하는 회로 블럭은 CPU등의 논리부 (Logic)와 온 칩의 기억소자인 SRAM를 들 수 있다. 이들은 복수 집적되는 구성으로서도 좋다. 또 여기에는 도시하지 않지만 이들의 회로는 다른 전원 전압(예를 들면 (vdd)2=0.9 V)등으로 동작시켜도 구성하는 MISFET의 내압 이하면 좋다. (vcc1)은 아날로그 회로 (ANLG)나 오프 칩의 기억소자인 플래쉬 메모리등으로의 입출력 회로 (IFC1·IFC2)등으로 구성된다. (vcc2)전원이 공급되는 것은 칩이 스탠바이 상태에 들어가 예를 들면 (vdd)가 인가되는 회로 블럭이 칩외 혹은 온 칩의 전원 스윗치로 차단되었을 경우에도 칩의 제어를 실시하는 스

탠바이 회로 (STBYC)나 온 칩의 전원 차단 스윗치의 제어 회로 (PSWC1 ·PSWC2)등이다. (vcc_18)전원을 이용하는 것은 외부의 기억소자인 SDRAM으로의 입출력 회로 SDRAMIF이다. 하이 SDRAMIF에는 (vcc_18)보다 높은 전압이 공급된다. 도 10a에서는 가장 높은 전압인 (vcc2)를 이용하고 있다. 사양에 따라서는 도 10b에 나타나는 바와 같이 (vcc1)를 이용해도 (vcc2)와 비교하여 늦지만 그런데도 고속화의 효과가 있다.

다수의 경우로 아날로그 회로 (ANLG) ;플래쉬 메모리등으로의 입출력 회로 (IFC1·IFC2); 스탠바이 회로 (STBYC); 전원 차단 스윗치의 제어 회로 (PSWC1 ·PSWC2· SDRAM로의 입출력 회로 SDRAMIF를 구성하는 MISFET는 게이트 절연막이 두꺼운 MISFET로 구성된다. 또 그 게이트 절연막 두께가 설계값은 같다. 이것은 제조 코스트를 삭감한다고 하는 효과가 있다.

도 11은 LSI의 I/O회로 및 전원 단자의 결선을 나타내는 개념도이다. 도 11은 LSI 칩의 상면으로부터 전원을 취하는 볼 그리드형 전원 배선을 나타낸 도이다. 제조 프로세스의 미세화에 수반해 LSI 내부의 전원 공급은 칩의 상부로부터 직접 본딩해 전압강하를 피하는 방법이 주류가 되고 있다. 그 때 저전압으로 구동하는 1.8 V I/O의 근방에 칩 상부로부터 (vcc_18)과 (vssc) 및 (vcc)전원을 배치하면 전원 공급 능력도 가장 효과가 있고 또한 레이아웃이 용이하게 된다고 하는 효과가 있다. 도 11에서는 (vss)와 (vdd)가 거의 균등하게 되도록 볼 그리드의 배치를 실시했지만 LSI에 따라서는 전력 소비에 편향이 있는 경우도 있으므로 그 경우는 가장 전류를 소비하는 회로 블럭상에 많은 전원이 취해지도록 전원용 볼 그리드를 배치하면 좋다.

도 12는 I/O회로의 다른 실시 형태이다. 여기에서는 3 종류의 I/O회로가 기재되어 있다. 간단하기 때문에 내부의 논리 회로 (CLGC)로부터 칩 외부로의 출력계만 기재했다. 각 I/O회로는 가장 저전압(예를 들면 1.8 V)으로 동작시키는 I/O회로 (IO18C)와 가장 높은 전압(예를 들면 3.3 V)로 동작시키는 I/O회로 (IO33C)와 이들의 회로의 중간 전압(예를 들면 2.5 V)으로 동작시키는 I/O회로 (IO25C)로 구성된다.

I/O회로 (IO33C)는 동작 전압으로서 (vdd)와 (vcc) 및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD1)을 가진다.

I/O회로 (IO25C)는 동작 전압으로서 (vdd)와 (vcc_25)와 (vcc) 및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD1)를 가진다.

I/O회로 (IO18C)는 동작 전압으로서 (vdd)와 (vcc_18)과 (vcc) 및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD1)를 가진다. 또한 상기 도 1에 나타낸 I/O회로가 I/O회로 (IO18C)에 해당한다.

이들의 I/O회로를 구성하는 MISFET는 (vdd)전원으로 동작하도록 설계된 게이트 절연막 두께가 MISFET와 (vcc)전원으로 동작하도록 설계된 게이트 절연막 두께가 두꺼운 MISFET의 2 종류로 구성된다.

보호 소자 (ESD1)은 모두 같은 회로로 구성되고 있어 능동 소자로서는 (vcc)로 동작할 수 있는 MISFET등이 사용된다.

이러한 회로를 채용하는 것으로 보호 소자의 공통화가 가능하고 설계 코스트를 삭감할 수 있다고 하는 효과가 있다.

도 13은 도 12의 변형예이고 I/O회로의 다른 실시 형태이다. 여기에서는 3 종류의 I/O회로가 기재되어 있다. 간단하기 때문에 내부의 논리 회로 (CLGC)로부터 칩 외부로의 출력계만 기재했다. 각 I/O회로는 가장 저전압(예를 들면 1.8 V)으로 동작시키는 I/O회로 (IO18C2)와 가장 높은 전압(예를 들면 3.3 V)로 동작시키는 I/O회로 (IO33C2)와 이들의 회로의 중간 전압(예를 들면 2.5 V)로 동작시키는 I/O회로 (IO25C2)로 구성된다.

I/O회로 (IO33C2)는 동작 전압으로서 (vdd)와 (vcc)· (vcc_25) 및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 이 회로는 도 12에 기재의 IO33C와 달리 구성되는 MISFET가 (vcc_25)전원으로 동작시키는 것을 전제로 작성되는 MISFET이다. (vcc_25)로 동작시키는 MISFET는 (vcc)로 동작시키는 MISFET보다 게이트 절연막 두께가 얇은 것이 특징이다. 따라서 (vcc)용의 MISFET로 구성한 경우보다 저전압(예를 들면 2.5 V)으로 고속 동작이 가능하다. 다만 이 MISFET를 그대로 (vcc)전원을 인가시켜 동작시켜 버리면 게이트 절연막의 내압을 넘어 버리기 때문에 MISFET의 파괴로 이어진다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD2)를 가진다. 이 ESD2는 ESD1와 달리 능동 소자로서 (vcc_25)로 동작시키는 MISFET등을 이용한다. 다만 이 MISFET를 그대로 (vcc)전압을 인가하면 게이트 절연막의 파괴가 일어난다. 그 때문에 이 ESD2 회로는 최대 인가 전압을 억제하기 위한 회로적인 대책이 필요하다.

I/O회로 (IO25C2)는 동작 전압으로서 (vdd)와 (vcc_25)및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 이 회로는 도 12에 기재의 IO25C와 같지만 (vcc_25)를 인가하는 MISFET의 게이트 절연막 두께가 IO25C로 사용되는 MISFET에 비해 얇다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD3)를 가진다. 이 ESD3는 ESD1와 달리 능동 소자로서 (vcc_25)로 동작시키는 MISFET등을 이용한다.

I/O회로 (IO18C)는 동작 전압으로서 (vdd)와 (vcc_18)과 (vcc_25)및 그러한 접지 레벨인 (vss)·(vssc)로 구성된다. 이 회로는 도 12에 기재의 I/O회로 (IO18C)와 같지만 (vcc_25)및 (vcc_18)을 인가하는 MISFET의 게이트 절연막 두께가 I/O회로 (IO18C)로 사용되는 MISFET에 비해 얇다. 또 외부로부터의 정전기등에서 LSI 내부를 보호하는 보호 소자 (ESD3)를 가진다. 이 ESD3는 ESD1와 달리 능동 소자로서 (vcc_25)로 동작시키는 MISFET등을 이용한다. 또한 상기 도 1에 나타낸 I/O회로가 I/O회로 (IO18C2)에 해당한다.

이들의 I/O회로를 구성하는 MISFET는 (vdd)전원으로 동작하도록 설계된 게이트 절연막 두께가 얇은 MISFET와 (vcc)전원으로 동작하도록 설계된 게이트 절연막 두께가 두꺼운 MISFET의 2 종류로 구성된다. 또한 IO33C2의 회로에 있어서는 (vcc)전원을 (vcc_25)전원용으로 설계된 MISFET를 이용할 때에 게이트 절연막의 파괴를 피할 필요가 있다.

본 회로를 이용하면 고내압 MISFET로서 (vcc_25)전압 인가에서 최적화된 MISFET를 사용할 수 있기 때문에 (vcc_25)전원을 인가하는 회로도 고속으로 동작시키는 것이 가능하다.

도 14는 도 13에 나타낸 I/O회로 (IO33C2)의 하나의 실시의 형태이다. 도 1±에는 레벨업 컨버터 (LSC)와 프리버퍼 (PBF)와 메인 버퍼 (MBF)를 나타낸다. 여기에서 사용하는 MISFET는 내부의 논리 회로로 사용하는 게이트 절연막 두께가 얇은 MI상관 ET와 I/O용으로서 (vcc_25)전압으로 최적화된 MISFET를 이용하는 것이 특징이다. 도 14에는 도 4에 나타낸 MISFET의 기호와 같은 기호를 이용해 설명하지만 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압은 (vcc_25)로 한다.이 MISFET를 사용하는 것으로 (vcc)전원을 인가하는 것을 염두에 두어 설계된 게이트 절연막 두께가 것보다 두꺼운 MISFET와 비교해 (vcc_25)전압하에서의 고속 동작이 가능하다.

그런데 이 MISFET에는 (vcc)전원을 직접 인가하는 것은 할 수 없다. 그것은 이 MISFET의 게이트 절연막 두께가 (vcc)의 인가에 견딜만큼의 충분한 두께를 가지고 있지 않기 때문이다. 그 때문에 (vcc)전원으로 동작시키기 위해서는 이 MISFET로의 걸리는 최대 인가 전압을 (vcc_25)전압 이하에 억제하지 않으면 안 된다. 거기서 본 실시의 형태에서는 (vcc) 동작을 가능하게 하기 위한 MISFET로의 최대 인가 전압을 (vcc_25)에 억제하기 위해 후술 하는 내압 완화 기구를 설치하고 있다.

우선 이 회로의 접속 관계를 설명한다. 레벨업 컨버터 (LUC)의 입력은 LUC_B에 우선 입력되어 여기서 (vdd)전원과 (vss)전원간의 진폭을 가지는 신호를 (vcc_25)전원과 (vss)전원간의 진폭을 가지는 신호로 변환된다. 이 회로는 상보 신호 nd11와 nd11b를 출력한다. 이들의 출력 신호는 LUC_A에 입력되어 여기서 (vcc)전원과 (vdd)전원의 진폭을 가지는 신호로 변환된다. LUC_A의 출력은 신호 nd12b이다. LUC_A와 LUC_B의 출력인 nd11와 nd12는 계속해 프리버퍼 (PBF)에 입력된다. 프리버퍼 (PBF)는 도시한 것처럼 PBF_A와 PBF_B로 구성된다. PBF_A는 전원 (vdd)와 전원 (vcc)간을 천이하는 신호의 구동력을 증폭하고 PBF_B는 전원 (vssc)와 전원 (vcc_25)간을 천이하는 신호의 구동력을 증폭시킨다. 프리버퍼 (PBF)의 출력은 PBF_A로부터의 신호 nd16 ; PBF_B로부터의 신호 nd15이고 그들은 메인 버퍼 (MBF)에 입력된다.

여기서 MN1 ·MN2 ·MN3 ·MN4 ·MN9 ·MN10·MN5 ·MP5는 MISFET의 한계치 전압이 작은 MISFET를 이용한다. 그것은 이들의 MISFET가 내압 완화 용도에 이용되기 때문에 게이트·소스간 전압이 작기 때문이다. 동작 속도가 다소 늦어져도 문제가 없는 경우는 이들의 MISFET를 표준적인 한계치 전압을 가진 MISFET로 하는 것도 가능하다. 그 경우 제조 프로세스가 간이화하여 저비용화하는 효과가 있다.

다음에 도 14에 나타낸 회로의 동작을 설명한다.

입력 신호 i가 하이레벨(vdd)의 경우를 설명한다.

이 때 LUC_B내에서 인버터 (INV1)의 출력은 MISFETMN1·MN7MP1· MP9에 입력되어 인버터 (INV1)의 출력 신호를 받는 인버터 (INV2)의 출력이 MISFETMN2 ·MN8 ·MP2· MP10에 입력된다. 그 결과 nd11이 로우레벨(vss)이 되므로 MP7이 온 하고 MP9가 온 하고 있기 때문에 nd11b이 하이레벨(vcc_25)이 된다.

nd11이 로우레벨(vss) ; nd1lb이 하이레벨(vcc_25)이 되면 LUC_A내에서 MP3가 오프; MN9가 온 하고; MP4가 온 ;MN10이 오프 한다. MP11이 오프하고; MN3가 온 하고 있기 때문에 nd12가 로우레벨(vdd)이 되고 ; MP12가 온 하고 ; nd12b이 하이레벨(vcc)이 된다. MP13와 MP14는 항상 온 하고 있다. 이 MISFETMP13 ; MP14는 전류 억제용의 목적으로 이용되는 것으로 신호 레벨 변환시에 로우레벨로 고속으로 천이시키는 목적이 있다. 이들의 MISFET가 없어도 원하는 성능이 나오는 경우는 MP13 ; MP14는 이용하지 않고 구성할 수 있다. 그 경우 소면적화의 효과가 있다. 이상에 의해 레벨 변환 회로의 동작은 확정한다.

레벨업 컨버터 (LUC)로 신호 진폭을 변환시킨 2개의 신호는 프리버퍼 (PBF)로 최종단의 메인 버퍼 (MBF)를 구동하는데 충분한 구동력까지 버퍼링 된다. 이때 nd11은 로우레벨이기 때문에 nd15는 로우레벨(vssc)이다. 한쪽의 nd12는 하이레벨(vcc)이므로 nd16은 로우레벨(vdd)이 된다. 이들 프리버퍼 (PBF)로부터의 출력은 메인 버퍼 (MBF)에 입력된다. 메인 버퍼 (MBF)내에서는 nd15가 로우레벨이므로 MN16은 오프 하고; MP6은 온 한다. 그 때문에 nd13은 (vcc_25)전위가 되고 MN5의 게이트 전위가 (vcc_25) 전원이기 때문에 MN5도 오프 한다. 한편 nd16이 로우레벨(vdd)이므로 MP13은 온하고 MN6은 오프 한다. 그 때문에 nd14는 (vcc)전위가 되고 MP5의 게이트 전위가 (vdd)이기 때문에 MP5도 온 상태이다. 따라서 출력 (o)는 (vcc) 레벨이 된다.

입력 신호 i가 로우레벨(vss)의 경우를 설명한다.

이때 LUC_B내에서 인버터 (INV1)의 출력은 MISFETMN1 · MN7 ·MP1 ·MP9에 입력되고 인버터 (INV1)의 출력 신호를 받는 인버터 (INV_2)의 출력이 MISFETMN2; MN8; MP2; MP10에 입력된다. 그 결과 nd11b이 로우레벨(vss)이 되므로 MP8이 온 하고 MP10이 온 하고 있기 때문에 nd11이 하이레벨 (vcc_25)이 된다.

nd11b이 로우레벨(vss); nd11이 하이레벨 (vcc_25)이 되면 LUC_A내에서 MP4가 오프 ; MN10이 온하고 ; MP3가 온; MN9가 오프한다. 그 결과 MP12가 오프한다. MN4가 온 하고 있기 때문에 nd12가 로우레벨(vdd)이 되어 그 결과 MP11이 온 하고 nd12가 하이레벨(vcc)이 된다. 이때 MP13과 MP14는 항상 온 하고 있다. 이 MISFETMP13; MP14는 전류 억제용의 목적으로 이용되는 것으로 신호 레벨 변환시에 로우레벨로 고속으로 천이시키는 목적이 있다. 이들의 MISFET가 없어도 원하는 성능이 나오는 경우는 MP13; MP14는 이용하지 않고 구성할 수 있다. 그 경우 소면적화의 효과가 있다.

이상에 의해 레벨 변환 회로의 동작은 확정한다.

레벨업 컨버터 (LUC)로 신호 진폭을 변환시킨 2개의 신호는 프리버퍼 (PBF)로 최종단의 메인 버퍼 (MBF)를 구동하는데 충분한 구동력까지 버퍼링 된다. 이때 nd11은 하이레벨 (vcc_25)이기 때문에 nd15는 하이레벨 (vcc_25)이다. 한쪽의 nd12는 로우레벨(vdd)이므로 nd16은 하이레벨(vcc)이 된다. 이들 프리버퍼 (PBF)로부터의 출력은 메인 버퍼 (MBF)에 입력된다. 메인 버퍼 (MBF)내에서는 nd15가 하이레벨이므로 MN16은 온 하고 MP6은 오프 한다. 그 때문에 nd13은 (vssc) 전위가 되고 N5의 게이트 전위가 (vcc_25)전원인 것으로부터 MN5도 온 한다. 한편 nd16가 노 하이레벨(vcc)이므로 MP13는 오프 해 MN6은 온 한다. 그 때문에 nd14는 (vdd)전위가 되어 MP5의 게이트 전위가 (vdd)이므로 MP5도 오프 상태이다. 따라서 출력 (o)는 (vssc) 레벨이 된다.

도 15에 도 14의 I/O회로의 주요 노드의 동작 파형도를 나타낸다.

다음에 내압 완화에 대해서 설명한다. 도 14에 나타낸 MN1~6 ; MP1~6으로 나타낸 MISFET가 내압 완화 기구를 구성한다. MN1의 게이트 전압이 로우레벨의 경우 MP1이 온 하고 MN1의 소스측은 (vdd)가 된다.이 때의 전압 관계를 본다.

MN7에 관해서는 게이트 전압이 (vss) ; 소스 전압이 (vss) ;드레인 전압이 (vdd)이기 때문에 게이트 절연막 두께가 얇은 MISFET의 최대 인가 전압 이내에 있다.

MP1에 관해서는 게이트 전압이 (vss) ; 소스 전압이 (vdd) ; 드레인 전압이 (vdd)이기 때문에 게이트 절연막 두께가 얇은 MISFET의 최대 인가 전압 이내에 있다.

MN1에 관해서는 게이트 전압이 (vss) ; 소스 전압이 (vdd) ; 드레인 전압이 (vcc_25)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

한편 MN1의 게이트 전압이 하이레벨(vdd)의 경우 MP1이 오프하여 MN1의 소스측은 (vss)가 된다. 이때의 전압 관계를 본다.

MN7에 관해서는 게이트 전압이 (vdd) ; 소스 전압이 (vss) ;드레인 전압이 (vss)이기 때문에 게이트 절연막 두께가 얇은 MISFET의 최대 인가 전압 이내에 있다.

MP1에 관해서는 게이트 전압이 (vdd) ; 소스 전압이 (vdd); 드레인 전압이 (vss)이기 때문에 게이트 절연막 두께가 얇은 MISFET의 최대 인가 전압 이내에 있다. MN1에 관해서는 게이트 전압이 (vdd) ; 소스 전압이 (vss) ;드레인 전압이 (vss) 이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

여기에서는 MN7의 최대 인가 전압을 위에서 설명한 바와 같이 (vdd) 이하에 억제하는 것을 목적으로 하고 있다. MN8 ; MN2; MP2에 대해서도 동일한 기능을 갖고 MN8의 최대 인가 전압을 (vdd) 이하로 억제할 수 있다.

다음에 LUC_A를 구성하는 내압 완화 기구에 대해서 설명한다.

nd11이 로우레벨(vss)의 경우에 대해서 설명한다.

이 때 MN10에 관해서는 게이트 전압이 (vss) ; 소스 전압이 (vdd); 드레인 전압이 (vcc_25)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

MP4에 관해서는 게이트 전압이 (vss) ; 소스 전압이 (vcc_25); 드레인 전압이 (vcc_25)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

MN4에 관해서는 게이트 전압이 (vcc_25); 소스 전압이 (vcc_25); 드레인 전압이 (vcc)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다

nd11이 하이레벨(vcc_25)의 경우에 대해서 설명한다.

MN10에 관해서는 게이트 전압이 (vcc_25) ;소스 전압이 (vdd); 드레인 전압이 (vdd)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

MP4에 관해서는 게이트 전압이 (vcc_25); 소스 전압이 (vcc_25); 드레인 전압이 (vdd)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

MN4에 관해서는 게이트 전압이 (vcc_25); 소스 전압이 (vdd) ;드레인 전압이 (vdd)이기 때문에 게이트 절연막 두께가 두꺼운 MISFET의 최대 인가 전압 이내에 있다.

여기에서는 MN10의 최대 인가 전압을 위에서 설명한 바와 같이(vcc- vcc_25) 이하로 억제되는 것을 목적으로 하고 있다. MN9; MN3; MP3에 대해서도 동일한 기능을 갖고 MN8의 최대 인가 전압을(vcc-vcc_25) 이하로 억제할 수 있다.

이상 고내압의 MISFET를 이용하면서 그 MISFET의 내압보다 낮은 전압으로 고속으로 동작시키는 I/0 회로에 대해서 말했지만 동작 속도가 도 1에서 나타낸 실시 형태보다 늦어져도 좋은 경우에는 레벨업 컨버터를 변경하는 것도 생각할 수 있다.

도 16은 (vcc)전원으로 동작시키는 MISFET를 이용하면서 그보다 낮은 전원 (vcc_18)으로 동작시키기 위한 다른 실시 형태이다. 여기에서는 레벨업 컨버터를 나타내고 있고 프리버퍼 및 메인 버퍼는 종래와 같은 회로를 이용한다. 이 경우는 전원을 2 종류 배선할 필요가 없기 때문에 설계의 복잡도를 낮게 할 수 있는 효과가 있다.

다음에 이 회로(레벨업 컨버터)를 설명한다. 이 레벨업 컨버터는 게이트 절연막 두께가 얇은 MISFET로 MN21 ; MN22 ; MP21 ; MP22 라고 인버터 (INV_2)1이 구성되어 그 이외의 MN23 ; MN24 ; MN25 ; MN26 ; MP23 ; MP24 ; MP25 ;MP26 및 인버터 (INV_22)는 (vcc)전원을 인가 가능한 게이트 절연막 두께가 두꺼운 MISFET로 구성된다.

이 회로는 표준적인 레벨 변환 회로와 같은 크로스 커플형의 레벨 변환 회로이지만 본 실시예의 특징은 전류 제어용의 MP23 및 MP24가 MP25· MP26보다 작은 한계치 전압의 MISFET로 구성되고 MN23 및 MN24가 MN25· MN26보다 한계치 전압이 낮은 MISFET로 구성되고 있는 것이다. 또한 MN25 및 MN26은 전원 차단시의 상태 보지나 안정 동작을 위한 래치로서 기능한다. 이 게이트 절연막 두께가 두꺼운 MISFET는 (vcc) (예를 들면 3.3 V)로 동작시키는 것을 전제로 설

계되고 있기 때문에 (vcc_18) (예를 들면 1.8 V)로 동작시키는 경우에 MISFET의 포화 전류가 적게 되어 버린다. 레벨업 컨버터는 MN21 ; MN22의 MISFET로 전류를 뽑아내는 것으로 신호 진폭의 변환을 실현하기 때문에 예를 들면 입력 신호가 로우로부터 하이로 변환하는 중 에 MP23를 오프하는 제어를 실시하는 것으로 고속으로 변환할 수 있다. 그 때문에 레벨 변환시의 (vcc_18)전원으로의 전류 경로를 제한하는 목적으로 MP23 및 MP24는 효과가 있다. 그러나 원래 (vcc)로 동작시키도록 설계된 MISFET를 (vcc_18)전원으로 동작시키기 때문에 입력 i가 하이레벨이 되었을 때에 MP23의 드레인을 (vcc_18)전원 레벨로 끌어올릴 때의 구동 전류가 적게 되어 동작이 늦어져 버린다. 거기서 이들 MP23 ; MP24의 한계치 전압을 작게 하는 것으로 (vcc_18) 레벨로의 인상을 고속화시키는 것이 가능해진다. 또한 보다 동작 전원 전압이 낮은 경우에 있어서도 레벨업 컨버터의 동작을 고속화할 수 있는 효과가 있다. MN25 ; MN26에 대해서도 동일하게 게이트 절연막이 두꺼운 MISFET로 구성하는 것에 의한 동작 지연을 막기 위하여 한계치 전압을 작게 하고 있다. 본 실시예에서는 MN25 및 MN26의 소스 측에 전류 제어를 목적으로 한 게이트에 (vcc_18) 전원을 인가한 N형 MISFET를 이용하고 있다. 이 MISFET에 의해 MN25 및 MN26의 구동능력이 제한되어 레벨 변환 회로의 고속동작이 가능해진다. 이 MISFET의 게이트 길이를 길게 하면 실효적으로 한계치가 올라 전류 억제 효과가 커진다. 이 N형 MISFET는 필수는 아니고 이 N형 MISFET가 없어도 원하는 성능이 채워지면 이 N형 MISFET를 생략해 설계하는 것도 가능하다. 그 경우 면적이 작아지는 등의 효과가 있다.

이하 본 발명과 관련되는 인터페이스로 사용하는 전원보다 높은 전압으로 구동하는 I/0 회로를 SSTL에 대해서 적용한 예에 대해서 설명한다.

도 17은 1.8 V의 SSTL2 규격의 사양을 채우는 입력 회로의 하나의 실시의 형태이다. 1.8 V의 SSTL2 규격은 입력 신호가 완전한 0 V와 (vcc_18)의 사이를 천이 하는 이른바 풀 진폭 신호는 아니고 기준 전압(VREF)으로서 (vcc_18)의 절반의 전압(vcc_18이 1.8 V이면 VREF=0.9 V)를 진폭의 중심으로 한 최대 진폭이 1.8 V미만의 진폭의 신호로 전달된다. 본 실시의 형태의 특징은 입력에 차동앰프 (SA)를 설치해 그 차동앰프 (SA)의 전원을 (vcc)전원으로 구동하는 것이다. 이것에 의해 (vcc)전원의 인가를 전제로 한 트랜지스터를 이용해도 저전압인 1.8 V진폭의 신호를 고속 또한 안정하게 증폭하는 것이 가능해져 후단으로의 품질의 높은 신호를 전달하는 것이 가능해진다. 차동앰프 (SA)의 출력은 풀 진폭의 신호로서 입력 버퍼 (IBF)에 입력되어 레벨 변환 회로를 거쳐 내부 로직으로 전달된다.

또한 (vdd)전압이 낮고 예를 들면 1 V인 경우는 VREF로서 (vdd)를 사용할 수도 있다. 이 회로에는 접지 레벨을 모두 내부의 논리 회로로 사용하고 있는 접지 전원 (vss)로 하고 있다. 그 이유는 출력 버퍼로 발생하는 큰 전원선 위의 노이즈를 입력 회로측에서 차단하기 위함이다.

도 18은 도 17의 차동앰프 (SA)의 회로예를 나타내는 도이다. 도 18에는 차동형 증폭기를 이용한 차동앰프 (SA)를 나타내고 있다. 이 회로의 특징은 입력 신호의 전원 레벨이 1.8 V인 경우에 그 입력 신호를 받는 센스 앰프 회로의 전원을 1.8 V는 아니고 3.3 V라고 하는 고전압으로 움직이는 것으로 3.3 V용으로 최적화된 트랜지스터를 사용해 고속으로 또한 안정되게 동작하는 회로를 제공할 수 있는 것이다. 이 실시 형태에 나타낸 차동앰프 (SA)는 일반적인 차동형 온 앰프의 예를 나타내고 있다. 이 회로의 입력 신호 레벨과 VREF (vcc_18/2=0.9 V)의 전압 레벨이 낮기 때문에 P형 MISFET에서 전압을 센스 하는 방식을 잡고 있다. 그 이유는 게이트 전압이 1 V정도로 낮기 때문에 P형 MISFET의 소스·드레인간 전압 및 소스·게이트간 전압을 3.3 V화하는 것으로 크게 하는 것으로 이른바 트랜지스터의 포화 영역에서 동작시키기 때문에 있다.

하이 차동앰프 (SA)는 전류 증폭형의 증폭기라고 하는 회로 특성상 전압 레벨을 센스 하기 위해서 항상 전류를 흘려 둘 필요가 있다. 저전력화를 위해서는 비동작시에 하이 전류를 삭감하는 것이 필요하다. 그 때문에 제어 신호 (CTL)을 로우레벨로 하는 것에 의해 센스 앰프의 전류 제어 P형 MISFET를 오프하고 온 앰프에 흐르는 전류를 컷 한다. 이 때 센스 앰프의 출력 (O1)은 플로팅이 되기 때문에 후단의 회로로 관통 전류의 우려가 있다. 거기서 이 CTL 신호를 로우로 하는 것으로 NAND의 출력이 하이 고정되고 이 NAND 회로에서의 관통 전류를 저지한다.

도 19는 도 16의 입력 회로의 다른 실시 형태이다. 이 회로는 온 앰프의 전류 제어용 P형 MISFETMP30의 게이트에 바이어스 전압을 인가시켜 온 앰프의 게인이나 오프셋의 특성을 향상시키는 것을 생각한 것이다. 통상 일반적인 온 앰프에서는 바이어스 발생 회로로부터 발생된 전압을 이 P형 MISFET에 인가하지만 I/O회로 에 있어서는 하이 바이어스 발생 회로를 설치하는 것이 어려운 경우가 있다. 그 때 온 앰프내의 노드 (ND30)이 일종의 바이어스 발생 회로가 되는것에 주목하여 하이 전압을 바이어스 전압으로서 사용하는 것이 특징이다. 이 회로에 있어서도 비동작시에 불필요한 소비 전류를 억제할 필요가 있기 때문에 제어 신호 (CTL)로 소비 전류 삭감 제어를 할 필요가 있다. 제어 신호 (CTL)를 로우로 하는 것으로 MN33 ; MP33로 구성되는 트랜스미션 게이트가 오프하고 ND30과 MP30의 게이트가 차단되어 동시에 MP37의 P형 MISFET가 온 하기 위한 MP30의 게이트 전압이 (vcc)가 되어 온 앰프의 전원이 차단된다. 이때 온 앰프의 전원이 차단되는 것에 수반하여 온 앰프의 출력에 부정이 발생하지만 이때 MN32가 온 하기 위한 후단의 회로로 관통 전류를 회피하는 것이 가능하다. 도 19에서는 내부의 회로로 하이 신호를 송출해 온 앰프를 정지시키는 것도 이 CTL 신호로 실시하고 있다.

도 20에 도 17의 회로의 동작 파형을 나타낸다. SSTL18의 입력 레벨은 1.8 V의 풀 진폭은 아니고 VREF를 중심으로 한 0.4~1 V정도의 진폭의 신호이다. 여기서 VREF는 (vcc_18) 전원의 절반의 전압이 규격으로 결정되어 있다. 우선 로우레벨로부터 하이레벨로의 변환에 대해서 설명한다. 시각 (T1)로 입력이 로우레벨로부터 하이레벨로 변화하면 시각 (T1)로 입력 신호가 VREF를 횡단하기 때문에 센스 앰프의 출력이 변화한다. 센스 앰프는 하이 입력 신호 I와 VREF의 차이를 증폭해 0 V와 (vcc)의 진폭의 신호로 변환한다. 여기에서는 시각 T2로 센스 앰프의 출력을 받은 입력 버퍼에 의해 파형 정형되는 것으로 하고 있다. 그 후 레벨 변환 회로에 의해 (vdd) 진폭의 신호로 변환되어 시각 (T3)에서 하이레벨로 천이한다.

다음에 하이레벨로부터 로우레벨로의 변환에 대해서 설명한다. 시각 T4에서 입력이 하이레벨로부터 로우레벨로 변화하면 시각 T4로 입력 신호가 VREF를 횡단하기 때문에 센스 앰프의 출력이 변화한다. 센스 앰프는 하이 입력 신호 I와 VREF의 차이를 증폭해 0 V와 (vcc)의 진폭의 신호로 변환한다. 여기에서는 시각 (T5)로 센스 앰프의 출력을 받은 입력 버퍼에 의해 파형 정형되는 것으로 하고 있다. 그 후 레벨 변환 회로에 의해 (vdd) 진폭의 신호로 변환되어 시각 (T6)에서 0 V에 변화한다.

도 21은 입력 회로의 종단 저항의 하나의 실시의 형태를 나타내는 도이다. 여기서 종단 저항은 ESD 회로내의 MP40 ; MN40로 구성된다. 이들의 MISFET는 입력 I와 VTT 전원의 사이에 설치된다. VTT 전원은 SSTL등으로는 (vcc_18/2)의 값으로 설정된다. 이들의 MISFET의 게이트 신호는 P형 MISFET측은 CTL1에 N형 ;MISFET측은 CTL2에 각각 결선된다. CTL1 및 CTL2는 (vcc)전압의 인가에 견딜 수 있는 MISFET를 이용해 구성되고 있고 이들의 신호는 (vcc)전원 전압으로 구동된다. MN40을 이와 같이 구성하면 트랜지스터의 온 저항이 작은 곳으로 사용할 수 있기 때문에 면적 삭감이 가능하다고 하는 효과가 있다. 예를 들면 종단 저항을 50Ω으로 한 경우 1.8 V로 구동하는 경우에는 MISFET의 온 저항이 단위폭(1 마이크로 미터)당 2.5KΩ으로 가정하면 50μm 필요하지만 3.3 V로 구동하는 경우에 MISFET의 온 저항이 단위폭 근처 1KΩ가 된다고 가정하면 20μm의 MISFET로 실현될 수 있다. 이와 같이 MISFET의 소형화를 실현가능하고 나아가서는 면적의 소형화가 가능해진다. 또 CTL1 ; CTL2의 제어 전압이 높기 때문에 특히 N형 MISFET의 제어에 있어서 충분히 높은 게이트 전압을 인가할 수 있기 때문에 이 N형 MISFET를 충분한 포화 영역에서 동작이 가능하기 때문에 제어 전압의 약간의 변동에 대해서도 온 저항의 격차 상태로의 영향을 충분히 작게 할 수 있다고 하는 효과도 있다.

또한 여기에서는 P형 MISFET에 대해서는 생략이 가능하여 N형 MISFET만으로 구성하는 것도 가능하다.

본 실시의 형태는 SSTL에 대해서 주로 말했지만 일반 저진폭 I/O의 종단 저항에도 적용 가능하다.

이상 본 발명자에 의해 된 발명을 그 실시의 형태에 근거해 구체적으로 설명했지만 본 발명은 상기 실시의 형태로 한정되는 것은 아니고 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

본 발명은 휴대 기기용 시스템 LSI 또는 마이크로 프로세서등의 반도체장치에 대해서 적용 가능하다.

발명의 효과

본원에 있어서 개시되는 발명 가운데 대표적인 것에 의해 얻을 수 있는 효과를 간단하게 설명 이하와 같다.

즉 I/O 회로를 갖춘 반도체 집적회로 장치에 있어서 저비용으로 저전압 고속 동작이 가능해진다.

(57) 청구의 범위

청구항 1.

제 1의 전원 전압으로 동작하는 회로와,

상기 제 1의 전원 전압보다 높은 제 2의 전원 전압으로 동작하는 출력 회로를 가지는 반도체 집적회로 장치로서,

상기 제 1의 전원 전압으로 동작하는 회로로부터 상기 제 2의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 있어서 상기 제 2의 전원 전압보다 높은 제 3의 전원 전압으로 신호 전압 진폭을 한 번 증폭하고, 그 후 상기 제 2의 전원 전압의 진폭을 가진 신호로 변환하는 변환 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 2.

청구항 1 기재의 반도체 집적회로 장치에 있어서,

상기 변환 회로는,

상기 회로로부터의 신호의 전압 진폭을 상기 제 3의 전원 전압의 전압 진폭으로 증폭하는 레벨 변환부와,

상기 레벨 변환부에서 증폭된 신호를 상기 제 2의 전원 전압으로 동작하는 회로를 구동하기 위해서 충분한 구동력까지 구동력을 증폭하는 상기 제 3의 전원 전압으로 동작하는 프리버퍼부와,

상기 프리버퍼부의 출력을 받아 상기 제 2의 전원 전압의 전압 진폭을 가진 신호로 변환하여 출력하는 메인 버퍼부를 구비하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 3.

청구항 2 기재의 반도체 집적회로 장치에 있어서,

상기 제 1의 전원 전압으로 동작하는 제 1의 트랜지스터와,

상기 제 2의 전원 전압으로 동작하는 제 2의 트랜지스터와,

상기 제 3의 전원 전압으로 동작하는 제 3의 트랜지스터를 갖고,

상기 제 1의 트랜지스터는 제 1의 막두께 게이트 절연막을 갖고,

상기 제 2 및 제 3의 트랜지스터는 상기 제 1의 막두께 보다도 두꺼운 제 2의 막두께 게이트 절연막을 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 4.

청구항 3 기재의 반도체 집적회로 장치에 있어서,

상기 제 2의 트랜지스터의 기판 전위와 상기 제 3의 트랜지스터의 기판 전위가 동일하고,

상기 제 2의 트랜지스터중 고전위를 동작 전원으로 하는 제 1 도전형의 트랜지스터의 한계치 전압이 상기 제 3의 트랜지스터 중 상기 제 1 도전형의 트랜지스터의 한계치 전압보다 작은 값인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 5.

청구항 3 기재의 반도체 집적회로 장치에 있어서,

상기 제 2의 트랜지스터의 기판 전위와 상기 제 3의 트랜지스터의 기판 전위가 다르고,

상기 제 2의 트랜지스터 중 고전위를 동작 전원으로 하는 제 1 도전형의 트랜지스터의 한계치 전압이 상기 제 3의 트랜지스터 중 상기 제 1 도전형의 트랜지스터의 한계치 전압과 같은 값인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 6.

청구항 3 기재의 반도체 집적회로 장치에 있어서,

상기 제 2의 트랜지스터의 기판 전위와 상기 제 3의 트랜지스터의 기판 전위가 다르고,

상기 제 2의 트랜지스터 중 고전위를 동작 전원으로 하는 제 1 도전형의 트랜지스터의 한계치 전압이 상기 제 3의 트랜지스터 중 상기 제 1 도전형의 트랜지스터의 한계치 보다 작은 값인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 7.

청구항 1 기재의 반도체 집적회로 장치에 있어서,

상기 반도체 집적회로 장치의 외부로부터의 정전 파괴를 방지하기 위한 ESD 회로를 갖고,

상기 ESD 회로를 구성하는 트랜지스터는 상기 제 3의 전원 전압으로 동작하는 입출력 회로를 구성하는 트랜지스터와 같은 종류의 것을 특징으로 하는 반도체 집적회로 장치.

청구항 8.

제 1의 전원 전압으로 동작하는 회로와, 상기 제 1의 전원 전압보다 높은 제 2의 전원 전압으로 동작하는 출력 회로와, 상기 제 2의 전원 전압보다 높은 제 3의 전원 전압으로 동작하는 출력 회로와, 상기 제 2의 전원 전압과 상기 제 3의 전원 전압의 중간의 전압인 제 4의 전원 전압으로 동작하는 출력 회로를 가지는 반도체 집적회로 장치로서,

상기 제 1의 전원 전압으로 동작하는 회로로부터 상기 제 3의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 있어서는 상기 제 1의 전원 전압으로부터 상기 제 3의 전원 전압에 신호 진폭을 변환해 출력하고,

상기 제 1의 전원 전압으로 동작하는 회로로부터 상기 제 2의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 있어서는 상기 제 1의 전원 전압의 신호 진폭으로부터 상기 제 3의 전원 전압의 신호 진폭으로 변환한 후 상기 제 2의 전원 전압의 신호 진폭으로 변환해 출력하고,

상기 제 1의 전원 전압으로 동작하는 회로로부터 상기 제 4의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 있어서는 상기 제 1의 전원 전압의 신호 진폭으로부터 상기 제 3의 전원 전압의 신호 진폭으로 변환한 후 상기 제 3의 전원 전압 진폭의 신호로 변환하는 변환 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 9.

청구항 8 기재의 반도체 집적회로 장치에 있어서,

상기 제 1의 전원 전압으로 동작하는 회로에 이용되는 제 1의 전계 효과형 트랜지스터와,

상기 제 1의 전계 효과형 트랜지스터의 게이트 절연막 두께보다 게이트 절연막 두께가 두껍고 상기 제 3의 전원 전압의 인가에 견딜 수 있는 제 2의 전계 효과형 트랜지스터를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 10.

제 1의 전원 전압으로 동작하는 회로와 상기 제 1의 전원 전압보다 높은 전압으로 동작하는 복수의 출력 회로를 갖고,

상기 출력 회로의 전원 전압 가운데 가장 낮은 전압이 제 2의 전원 전압이고 상기 출력 회로의 전원 전압 가운데 가장 높은 전압이 제 3의 전원 전압이고,

상기 제 1의 전원 전압으로 동작하는 회로로부터 상기 제 3의 전원 전압으로 동작하는 출력 회로로의 신호 전달에 대해서 상기 제 1의 전원 전압으로부터 직접 상기 제 3의 전원 전압으로 신호 진폭을 증폭하고,

상기 제 3의 전원 전압보다 낮은 전원 전압으로 동작하는 출력 회로에 대해서는 상기 제 1의 전원 전압으로부터 상기 제 3의 전원 전압으로 신호 진폭을 변환한 후 상기 제 3의 전원 전압보다 낮은 전압 진폭으로 변환하는 변환 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 11.

청구항 10 기재의 반도체 집적회로 장치에 있어서,

상기 제 1의 전원 전압으로 동작하는 회로에 이용되는 제 1의 전계 효과형 트랜지스터와,

상기 제 1의 전계 효과형 트랜지스터의 게이트 절연막 두께보다 게이트 절연막 두께가 두껍고, 상기 제 3의 전원 전압의 인가에 견딜수 있는 제 2의 전계 효과형 트랜지스터를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 12.

제 1의 동작 전위를 공급시키는 회로와,

상기 제 1의 동작 전위보다 높은 제 2의 동작 전위를 공급시키는 제 1의 입출력 회로와,

상기 제 2의 동작 전위보다 높은 제 3의 동작 전위를 공급시키는 제 2의 입출력 회로와,

상기 제 2의 동작 전위보다 높고 상기 제 3의 동작 전위보다 낮은 제 4의 동작 전위를 공급시키는 제 3의 입출력 회로를 갖고,

상기 제 1 내지 제 3의 입출력 회로는 제 1의 막두께 게이트 산화막을 가지는 제 1 트랜지스터와, 상기 제 1의 막두께보다 두꺼운 게이트 산화막을 가지는 제 2 트랜지스터를 갖고,

상기 제 1 트랜지스터의 내압은 상기 제 1의 동작 전위이고 상기 제 2 트랜지스터의 내압은 상기 제 4의 동작 전위이고 상기 회로 들 상기 제 1의 입출력 회로로의 신호 전달에 있어서는 상기 제 1의 동작 전위의 신호 진폭을 상기 제 4의 동작 전위의 신호 진폭으로 변환한 후 상기 제 2의 동작 전위의 신호 진폭으로 변환해 출력하고,

상기 회로로부터 상기 제 3의 입출력 회로로의 신호 전달에 있어서는 상기 제 1의 동작 전위의 신호 진폭으로부터 상기 제 4의 동작 전위의 신호 진폭으로 변환해 출력하고,

상기 제 2의 입출력 회로는 상기 제 1 ·제 3 및 제 4의 동작 전위를 받아 상기 제 1의 동작 전위의 신호 진폭으로부터 상기 제 3의 동작 전위의 신호 진폭으로 변환해 출력하는 회로이고, 이 회로를 구성하는 상기 제 2 트랜지스터의 게이트 전극과 소스 전극 및 드레인 전극의 사이에 상기 제 3의 동작 전위가 인가되는 것을 피하는 내압 완화 회로를 가지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 13.

입력 신호를 받는 인버터 회로와

상기 입력 신호를 게이트에 받는 제 1의 N형 트랜지스터와,

상기 입력 신호를 게이트에 받고 드레인이 상기 제 1의 N형 트랜지스터의 드레인과 접속되는 제 1의 P형 트랜지스터와,

상기 입력 신호를 게이트에 받고 소스가 상기 제 1의 P형 트랜지스터의 드레인과 접속되는 제 2의 N형 트랜지스터와,

상기 입력 신호를 게이트에 받고 드레인이 상기 제 2의 N형 트랜지스터의 드레인과 접속되는 제 2의 P형 트랜지스터와,

상기 인버터의 출력 신호를 게이트에 받는 제 3의 N형 트랜지스터와,

상기 출력 신호를 게이트에 받고 드레인이 상기 제 3의 N형 트랜지스터와 접속되는 제 3의 P형 트랜지스터와

상기 출력 신호를 게이트에 받고 소스가 상기 제 3의 P형 트랜지스터의 드레인과 접속되는 제 4의 N형 트랜지스터와,

상기 출력 신호를 게이트에 받고 드레인이 상기 제 4 N형 트랜지스터의 소스와 접속되는 제 4의 P형 트랜지스터와,

게이트가 상기 제 2의 N형 트랜지스터의 드레인에 접속되고 드레인이 상기 제 4의 P형 트랜지스터의 소스에 접속되는 제 5의 P형 트랜지스터와,

게이트가 상기 제 4의 N형 트랜지스터의 드레인에 접속되고 드레인이 상기 제 2의 P형 트랜지스터의 소스에 접속되는 제 6의 P형 트랜지스터와,

게이트가 상기 제 5의 P형 트랜지스터의 게이트와 접속되고 소스가 상기 제 4의 N형 트랜지스터의 소스와 접속되는 제 5의 N형 트랜지스터와,

게이트가 상기 제 6의 P형 트랜지스터의 게이트와 접속되고 소스가 상기 제 2의 N형 트랜지스터의 소스와 접속되는 제 6의 N형 트랜지스터를 갖고,

상기 인버터 회로를 구성하는 트랜지스터와 상기 제 1 · 제 3의 N형 트랜지스터와, 상기 제 1· 제 3의 P형 트랜지스터의 게이트 절연막은 제 1의 막두께이고,

상기 제 2 ·제 4 ·제 5 ·제 6의 N형 트랜지스터와 상기 제 2 ·제 4 ·제 5 ·제 6의 P형 트랜지스터의 게이트 절연막은 상기 제 1의 막두께보다 두꺼운 제 2의 막두께이고,

상기 제 2 및 ·제 4의 P형 트랜지스터의 한계치 전압은 상기 제 5 및 제 6의 P형 트랜지스터의 한계치 전압보다 낮고,

상기 제 2 및 제 4의 N형 트랜지스터의 한계치 전압은 상기 제 5 및 제 6의 P형 트랜지스터의 한계치 전압보다 낮은 것을 특징으로 하는 반도체 집적회로 장치.

청구항 14.

제 1의 동작 전압으로 동작하는 회로와,

상기 제 1의 동작 전압보다 높은 제 2의 동작 전압으로 동작하는 입력 회로를 갖고,

상기 입력 회로는 상기 제 1의 동작 전압보다 높고 상기 제 2의 동작 전압보다 낮은 진폭의 신호의 입력을 받고 상기 입력된 신호를 상기 제 2의 동작 전압의 진폭으로 변환한 후 상기 제 1의 동작 전압의 진폭으로 변환하여 상기 회로에 입력하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 15.

청구항 14 기재의 반도체 집적회로 장치에 있어서,

상기 입력 회로는 센스 앰프 회로를 갖고,

상기 센스 앰프 회로는 상기 신호의 입력을 받아 상기 입력된 신호를 상기 제 2의 동작 전압의 진폭으로 변환하는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 16.

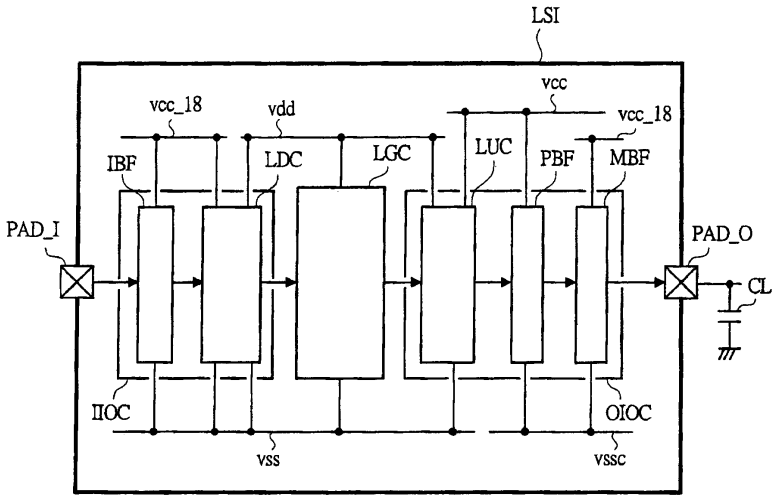
청구항 14 기재의 반도체 집적회로 장치에 있어서,

상기 입력 회로는 온 앰프를 갖고,

상기 온 앰프는 상기 신호의 입력을 받아 상기 입력된 신호를 상기 제 2의 동작 전압의 진폭으로 변환하는 것을 특징으로 하는 반도체 집적회로 장치

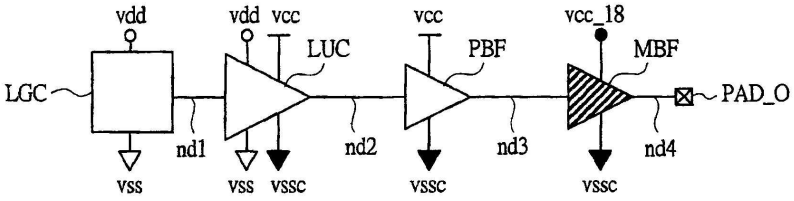
도면

도면1

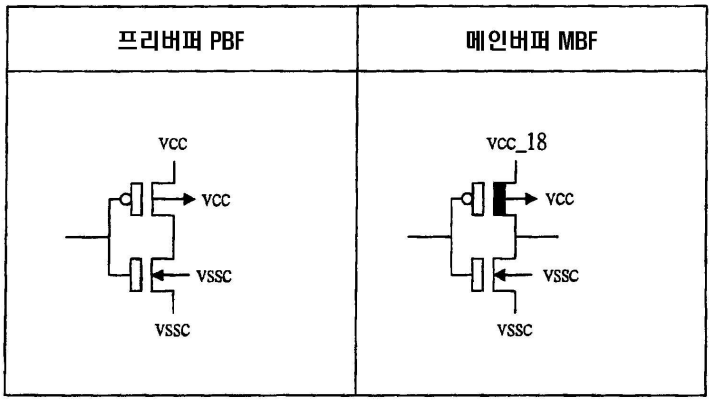


도면2

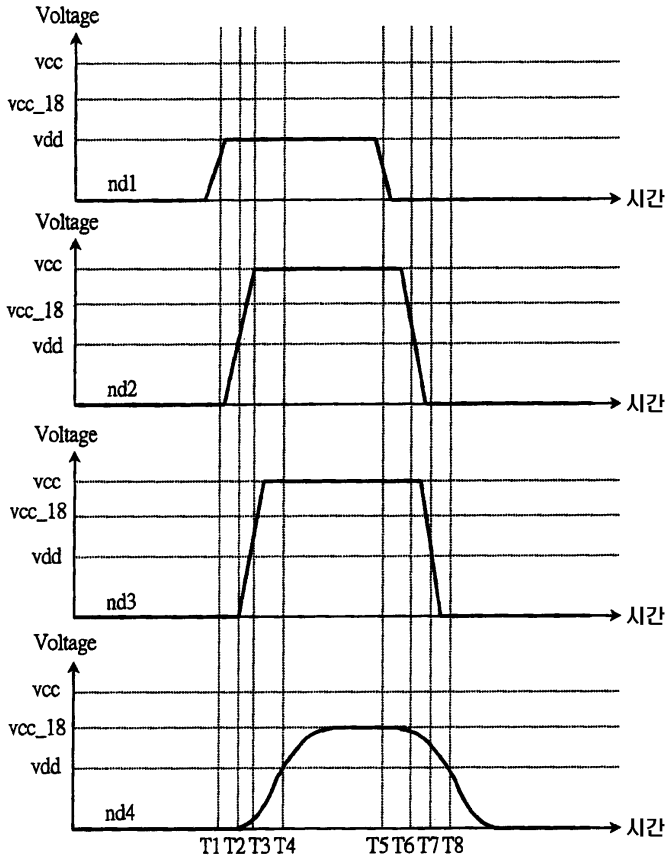
(a)


vdd
vdd vcc
LUC
vcc
PBF
vcc_18
MBF
LGC
PAD_O
nd1
nd2
nd3
nd4
vss
vss vssc
vssc
vssc

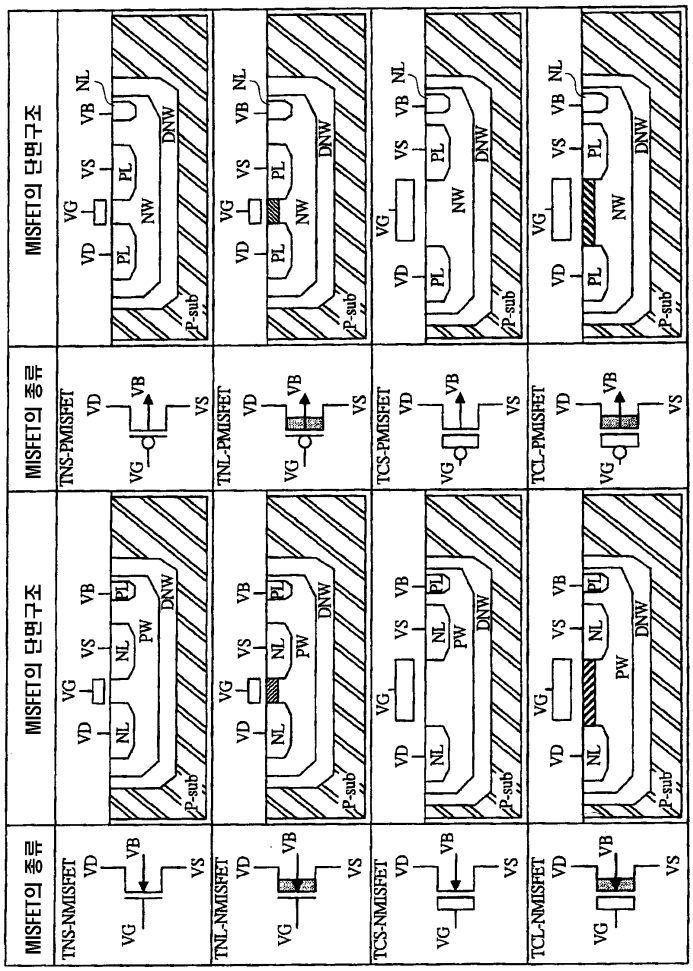
(b)


프리버퍼 PBF
메인버퍼 MBF
vcc
vcc
vssc
vssc
vcc_18
vcc
vssc
vssc

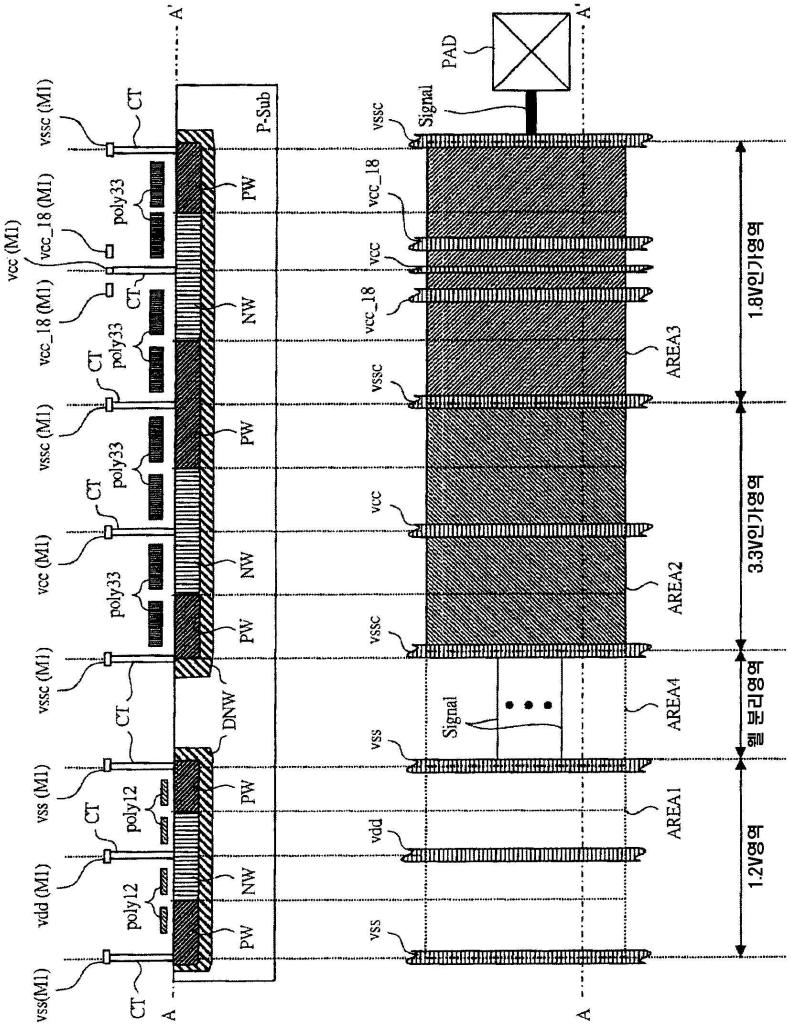
도면3


Voltage
vcc
vcc_18
vdd
nd1
시간
Voltage
vcc
vcc_18
vdd
nd2
시간
Voltage
vcc
vcc_18
vdd
nd3
시간
Voltage
vcc
vcc_18
vdd
nd4
시간
T1 T2 T3 T4
T5 T6 T7 T8

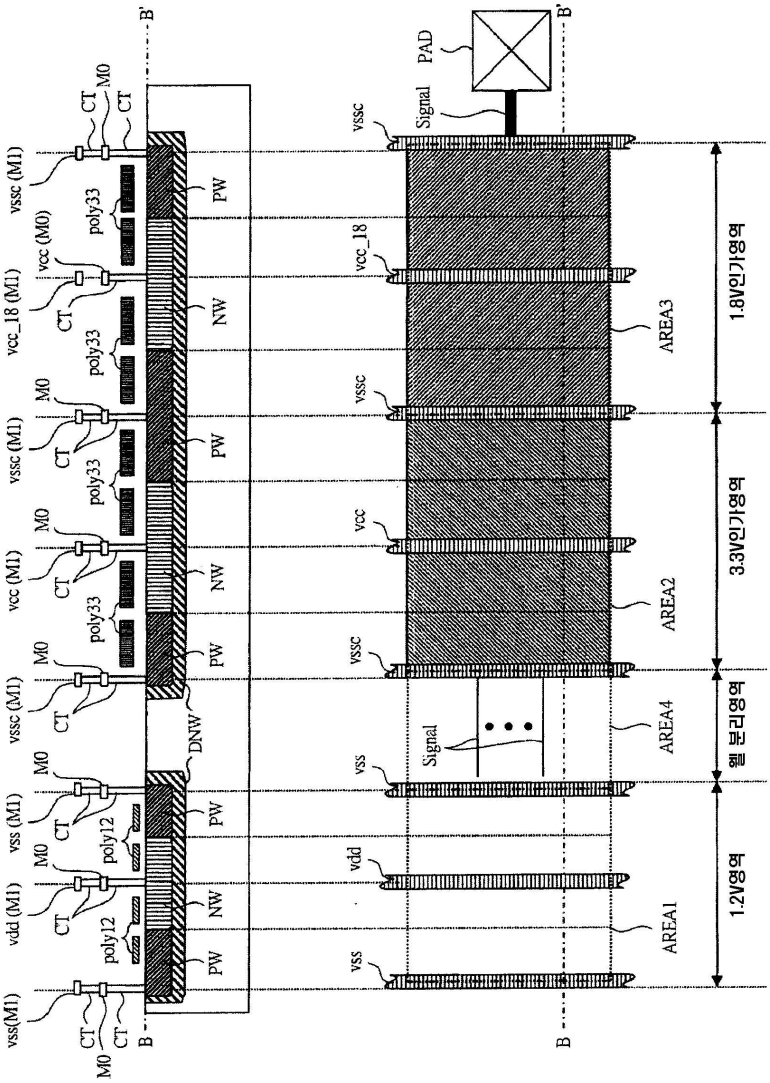
도면4


MISFET의 종류
MISFET의 단면구조
MISFET의 종류
MISFET의 단면구조
TNS-NMISFET
TNL-NMISFET
TCS-NMISFET
TCL-NMISFET
TNS-PMISFET
TNL-PMISFET
TCS-PMISFET
TCL-PMISFET
VD
VG
VS
VB
NL
PW
PL
NW
DNW
P-sub

도면5

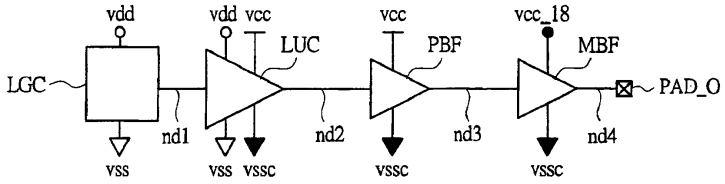

A
A'
P-Sub
PW
NW
DNW
CT
poly33
poly12
vssc (M1)
vcc_18 (M1)
vcc (M1)
vss (M1)
vdd (M1)
vss(M1)
PAD
Signal
vssc
vcc_18
vcc
vss
vdd
AREA1
AREA2
AREA3
AREA4
1.8V인가영역
3.3V인가영역
웰 분리영역
1.2V영역

도면6

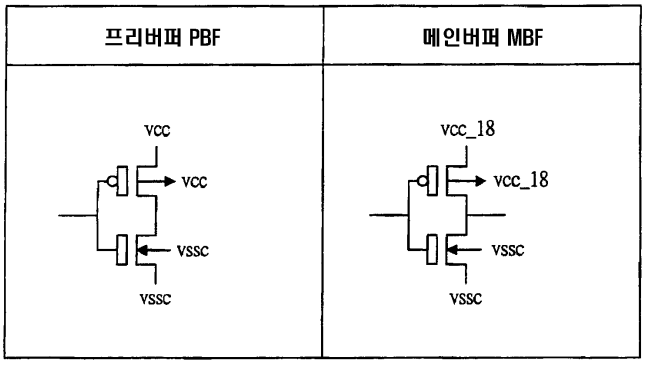

B'
PAD
Signal
vssc
vcc_18
vcc
vss
CT
M0
vssc (M1)
vcc (M0)
vcc_18 (M1)
vcc (M1)
vss (M1)
vdd (M1)
vss(M1)
poly33
poly12
PW
NW
DNW
AREA3
AREA2
AREA4
AREA1
1.8V인가영역
3.3V인가영역
웰 분리영역
1.2V영역
B

도면7

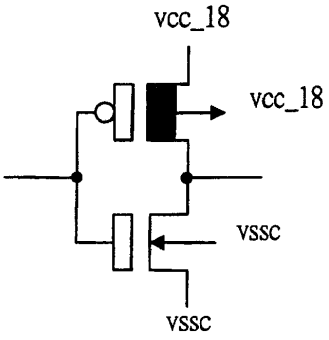
(a)


vdd
vdd vcc
vcc
vcc_18
LGC
LUC
PBF
MBF
PAD_O
nd1
nd2
nd3
nd4
vss
vss vssc
vssc
vssc

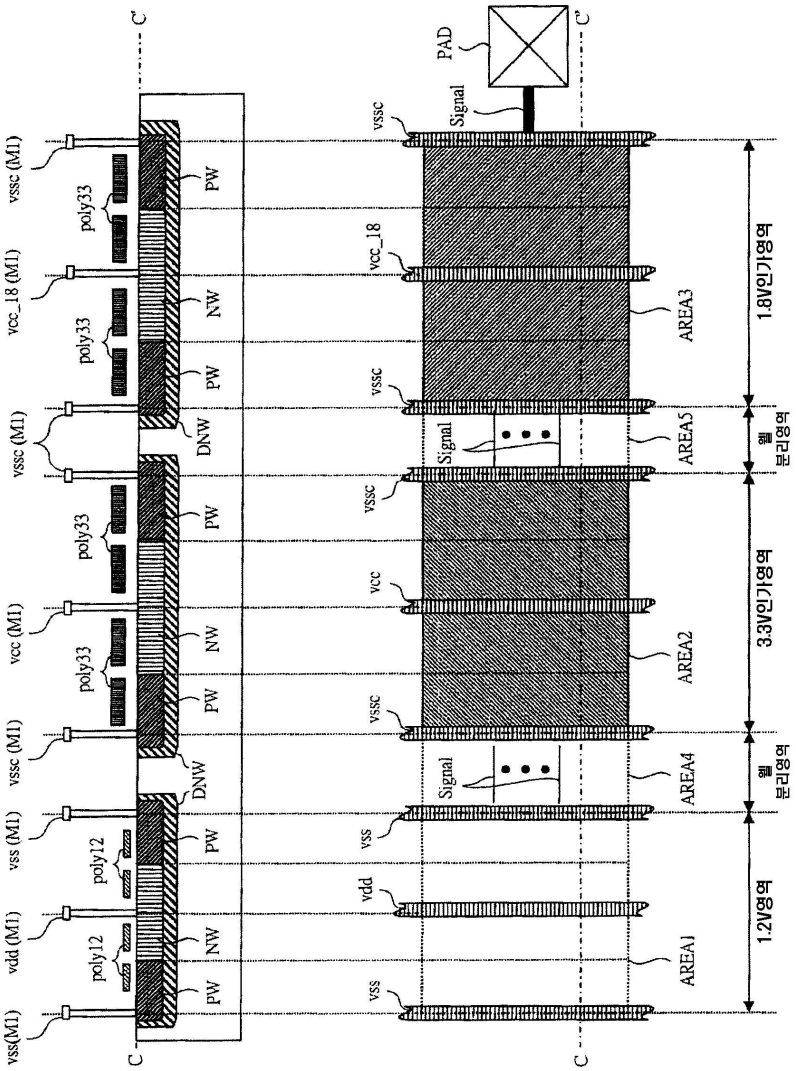
(b)


프리버퍼 PBF
메인버퍼 MBF
vcc
vcc
vssc
vssc
vcc_18
vcc_18
vssc
vssc

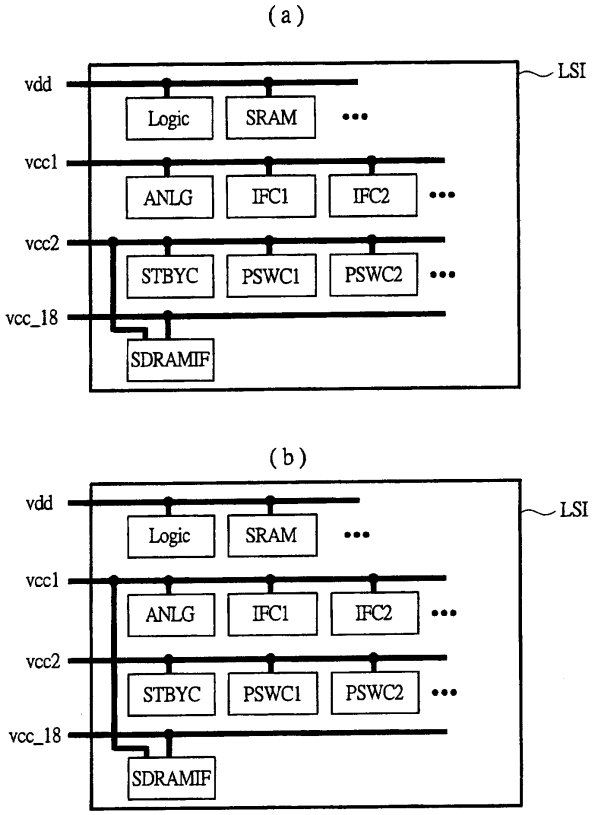
도면8


vcc_18
vcc_18
vssc
vssc

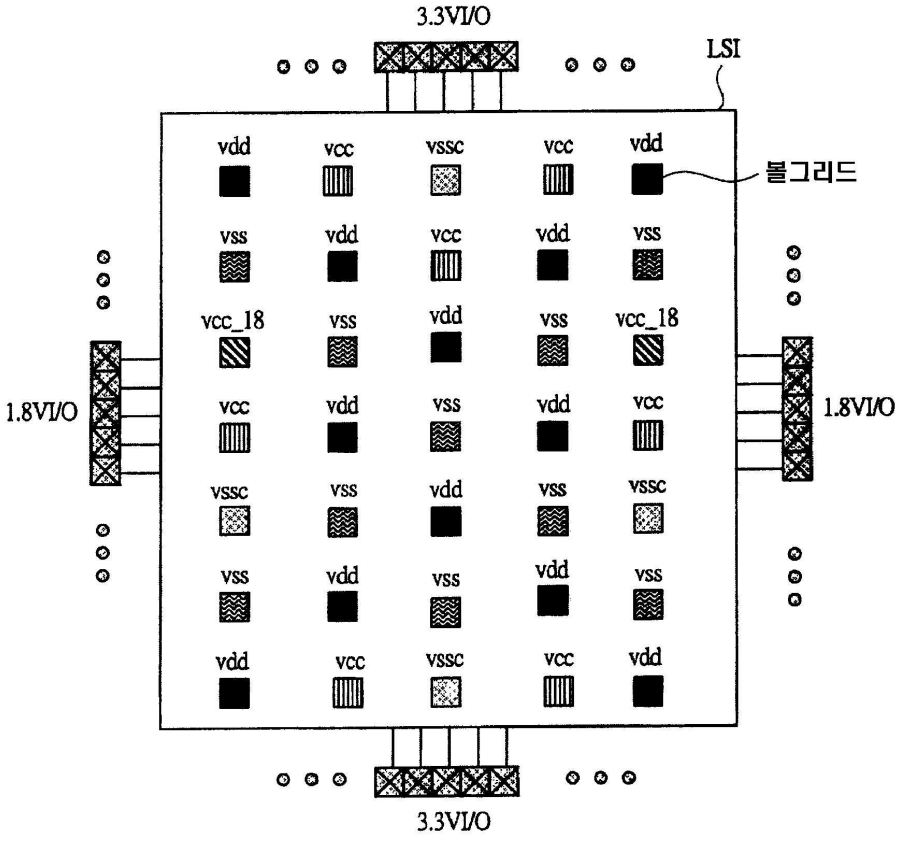
도면9


C'
PAD
Signal
vssc
vcc_18
vssc
Signal
vssc
vcc
vssc
Signal
vss
vdd
vss
AREA3
AREA5
AREA2
AREA4
AREA1
1.8V인가영역
웰 분리영역
3.3V인가영역
웰 분리영역
1.2V영역
C
vssc (M1)
poly33
PW
vcc_18 (M1)
poly33
NW
PW
vssc (M1)
DNW
poly33
PW
vcc (M1)
poly33
NW
PW
vssc (M1)
DNW
vss (M1)
poly12
PW
vdd (M1)
poly12
NW
PW
vss(M1)

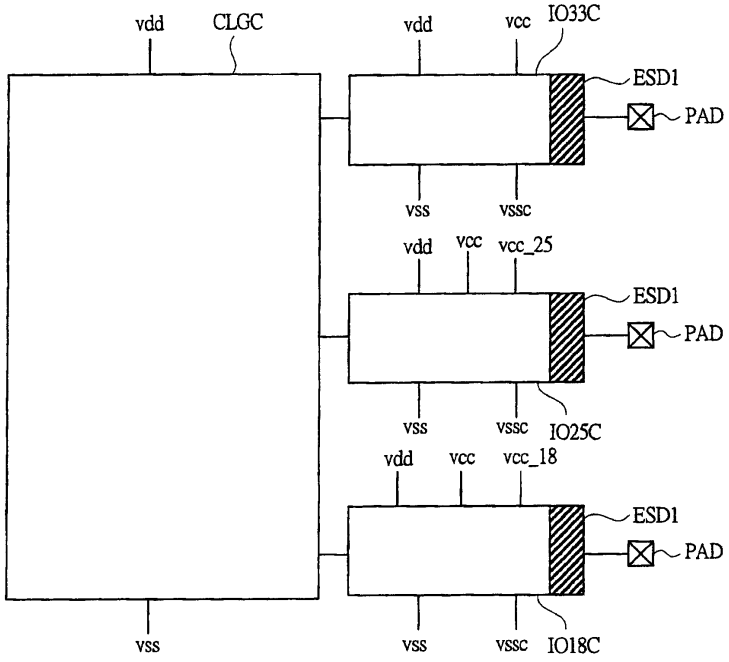
도면10


(a)
vdd
vcc1
vcc2
vcc_18
Logic
SRAM
ANLG
IFC1
IFC2
STBYC
PSWC1
PSWC2
SDRAMIF
LSI
(b)
vdd
vcc1
vcc2
vcc_18
Logic
SRAM
ANLG
IFC1
IFC2
STBYC
PSWC1
PSWC2
SDRAMIF
LSI

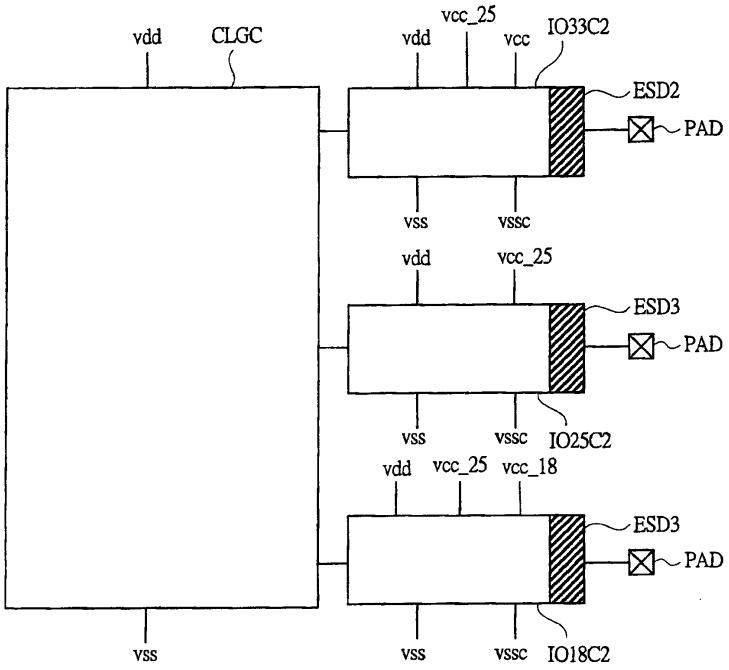
도면11


3.3VI/O
LSI
볼그리드
1.8VI/O
1.8VI/O
3.3VI/O
vdd
vcc
vssc
vss
vcc_18

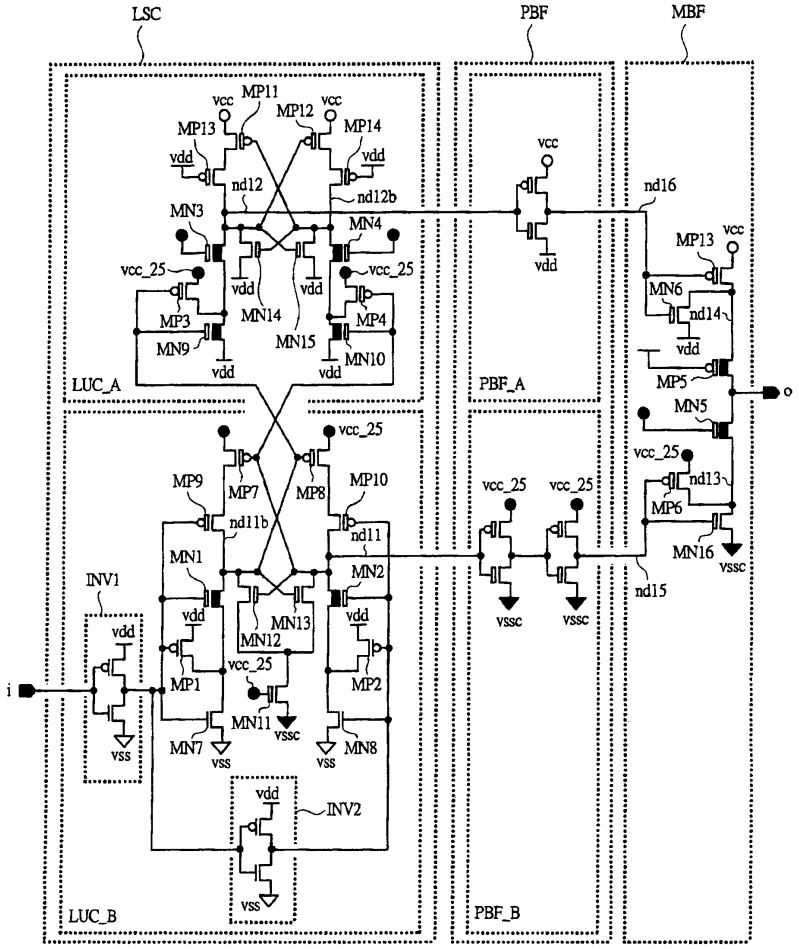
도면12


vdd
CLGC
vdd
vcc
IO33C
ESD1
PAD
vss
vssc
vdd
vcc
vcc_25
ESD1
PAD
vss
vssc
IO25C
vdd
vcc
vcc_18
ESD1
PAD
vss
vss
vssc
IO18C

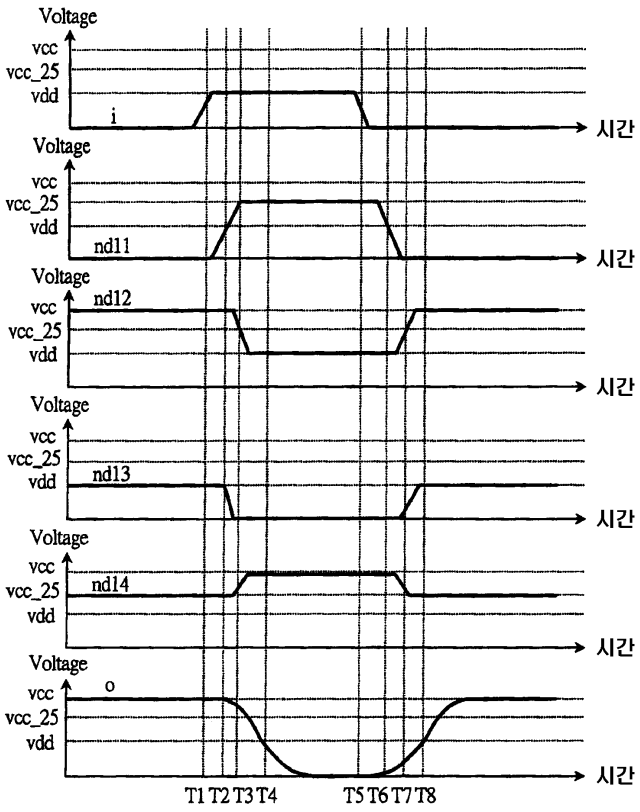
도면13


vdd
CLGC
vcc_25
vdd
vcc
IO33C2
ESD2
PAD
vss
vssc
vdd
vcc_25
ESD3
PAD
vss
vssc
IO25C2
vdd
vcc_25
vcc_18
ESD3
PAD
vss
vss
vssc
IO18C2

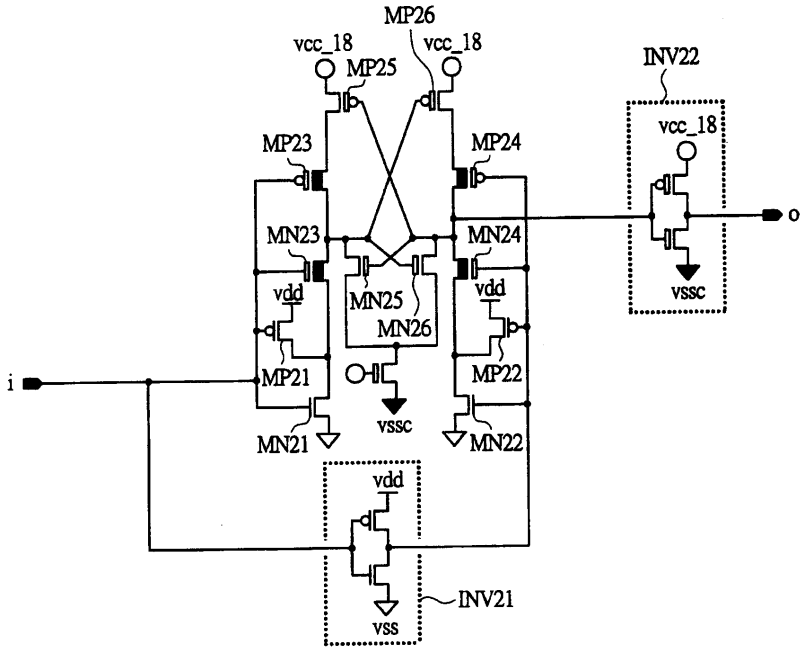
도면14


LSC
PBF
MBF
LUC_A
PBF_A
LUC_B
PBF_B
INV1
INV2
MP11
MP12
MP13
MP14
MP1
MP2
MP3
MP4
MP5
MP6
MP7
MP8
MP9
MP10
MN1
MN2
MN3
MN4
MN5
MN6
MN7
MN8
MN9
MN10
MN11
MN12
MN13
MN14
MN15
MN16
nd11
nd11b
nd12
nd12b
nd13
nd14
nd15
nd16
vcc
vcc_25
vdd
vss
vssc
i
o

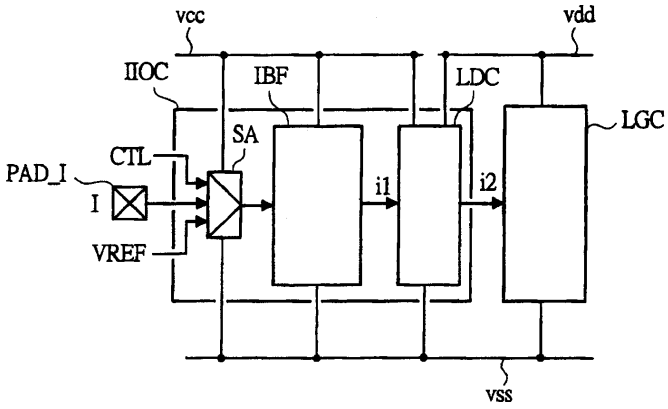
도면15


Voltage
vcc
vcc_25
vdd
i
nd11
nd12
nd13
nd14
o
시간
T1 T2 T3 T4
T5 T6 T7 T8

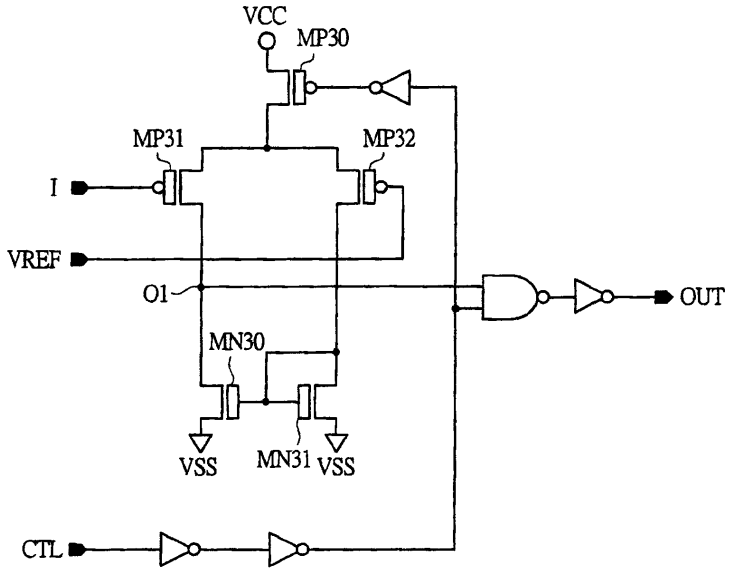
도면16


MP26
vcc_18
vcc_18
MP25
INV22
vcc_18
MP23
MP24
o
MN23
MN24
vdd
MN25
vdd
MN26
vssc
i
MP21
MP22
vssc
MN21
MN22
vdd
INV21
vss

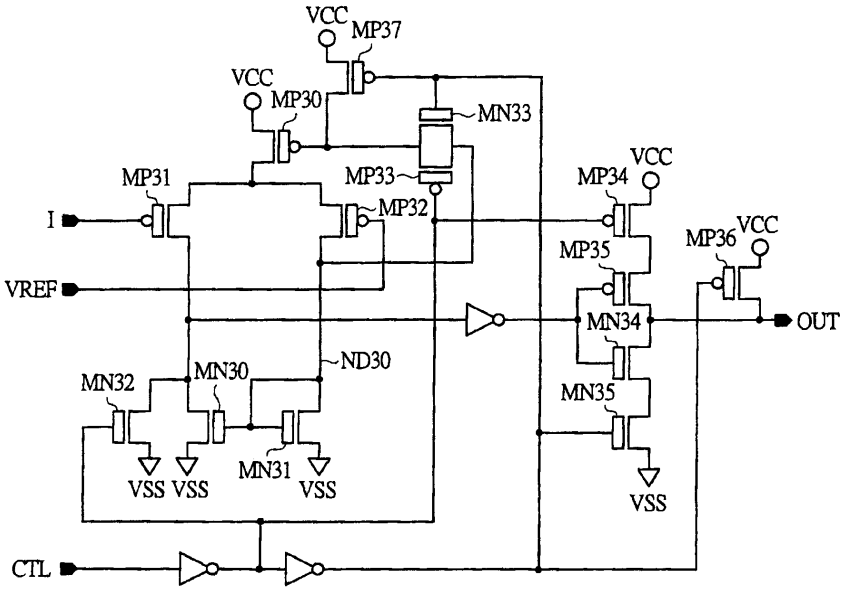
도면17


vcc
vdd
IIOC
IBF
LDC
LGC
SA
CTL
PAD_I
I
i1
i2
VREF
vss

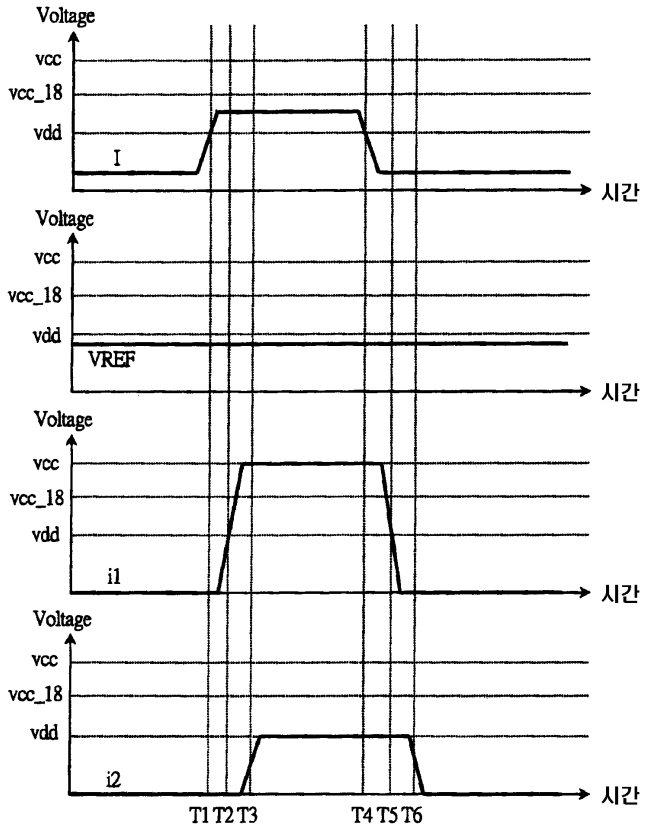
도면18


VCC
MP30
MP31
MP32
I
VREF
O1
OUT
MN30
VSS
MN31
VSS
CTL

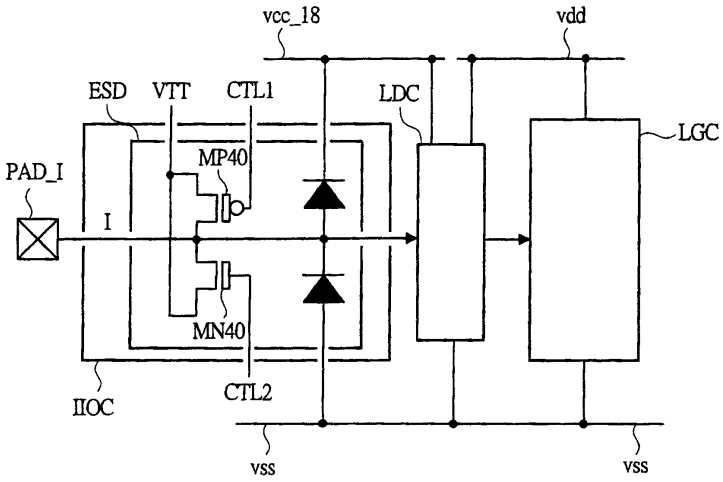
도면19


VCC
MP37
VCC
MP30
MN33
MP31
MP33
MP34
VCC
I
MP32
MP35
MP36
VCC
VREF
MN34
OUT
MN32
MN30
ND30
MN35
VSS
VSS
MN31
VSS
VSS
CTL

도면20


Voltage
vcc
vcc_18
vdd
I
시간
Voltage
vcc
vcc_18
vdd
VREF
시간
Voltage
vcc
vcc_18
vdd
i1
시간
Voltage
vcc
vcc_18
vdd
i2
시간
T1 T2 T3
T4 T5 T6

도면21


vcc_18
vdd
ESD
VTT
CTL1
LDC
LGC
PAD_I
MP40
I
MN40
IIOC
CTL2
vss
vss