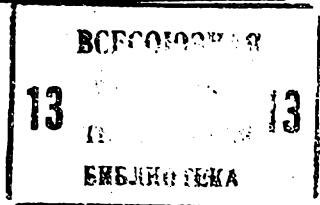




3 (5D) G 06 F 5/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3587051/18-24  
(22) 05.03.83  
(46) 23.09.84. Бюл. № 35  
(72) Г.В.Гончаренко, В.И.Жабин,  
В.И.Корнейчук, А.Е.Лысенко, В.А.Реп-  
ко и В.П.Тарасенко  
(53) 681.325(088.8)  
(56) 1. Авторское свидетельство СССР  
№ 526884, кл. G 06 F 5/02, 1972.  
2. Авторское свидетельство СССР  
№ 467343, кл. G 06 F 5/02, 1971  
(прототип).

(54). (57) ПРЕОБРАЗОВАТЕЛЬ  $p$ -ИЧНОГО  
ПОЗИЦИОННОГО КОДА В ДВОИЧНЫЙ КОД,  
содержащий накопительный сумматор,  
регистр основания, сумматор основа-  
ния и сдвиговый регистр, входы  $\log_2 p$   
старших разрядов которого, начиная  
со второго, соединены соответствен-  
но с разрядными выходами сумматора  
основания, первая группа входов кото-  
рого соединена с соответствующими  
выходами сдвигового регистра, а вто-  
рая группа входов сумматора основания  
с выходами регистра основания, о т -  
л и ч а ю щ и й с я тем, что, с целью  
упрощения преобразователя, он со-  
держит элемент И, элемент ИЛИ, пер-

вый и второй элементы задержки, ре-  
гистр константы, счетчик и триггер,  
счетный вход которого соединен с  
выходом переполнения счетчика, инфор-  
мационные входы которого соединены  
с выходами накопительного сумматора,  
информационные входы которого соеди-  
нены с выходами регистра константы,  
а управляющий вход накопительного  
сумматора - с нулевым выходом триг-  
гера, с входом сдвига влево сдвигово-  
го регистра и через первый элемент  
задержки - с первым входом элемента  
ИЛИ, второй вход которого соединен с  
единичным выходом триггера, с первым  
входом элемента И и входом сдвига  
вправо сдвигового регистра, вход  
старшего разряда которого соединен  
с выходом переноса сумматора основа-  
ния, а выход старшего разряда соеди-  
нен с вторым входом элемента И, выход  
которого соединен с входом записи  
сдвигового регистра, а третий вход  
элемента И - с тактовым входом пре-  
образователя и через второй элемент  
задержки - с тактовым входом сдвиго-  
вого регистра и счетным входом счет-  
чика, вход записи которого соединен  
с выходом элемента ИЛИ.

Изобретение относится к вычислительной технике и предназначено для преобразования целых  $K$ -разрядных двоично-кодированных чисел из позиционной системы счисления с любым основанием  $P \in P_{\max}$  в двоичную систему счисления.

Известен преобразователь кодов из позиционной системы счисления с основанием  $P > 2$  в двоичный код, содержащий сдвиговые регистры, много-разрядный вычислитель, блоки управления алгебраического суммирования, умножитель и элементы И и ИЛИ с соответствующими связями. Перевод числа из одной системы счисления в другую выполняется как многошаговая последовательность операций сдвига и коррекции [1].

Наиболее близким техническим решением к изобретению является преобразователь  $r$ -ичного кода в двоичный код, содержащий накопительный сумматор, регистр основания, сумматор основания и сдвиговой регистр, к входам старших разрядов которого, начиная со второго, подключены  $\lceil \log_2 P \rceil$  входов сумматора основания, а выходы этих разрядов регистра соединены с первой группой входов сумматора основания, вторая группа входов которого соединена с выходами регистра основания. Процесс преобразования осуществляется путем сдвига и суммирования кодов в накопительных сумматорах на каждом шаге [2].

Недостаток известных устройств - большая сложность.

Целью изобретения является упрощение преобразователя.

Поставленная цель достигается тем, что преобразователь  $r$ -ичного позиционного кода в двоичный код, содержащий накопительный сумматор, регистр основания, сумматор основания и сдвиговой регистр, входы  $\lceil \log_2 P \rceil$  старших разрядов которого, начиная со второго, соединены соответственно с разрядными выходами сумматора основания, первая группа входов которого соединена с соответствующими выходами сдвигового регистра, а вторая группа входов сумматора основания - с выходами сдвигового регистра основания, содержит элемент И, элемент ИЛИ, первый и второй элементы задержки, регистр константы, счетчик и триггер, счетный вход которого соединен с выходом переполнения счетчика, информационные входы которого соединены с выходами накопительного сумматора, информационные входы которого соединены с выходами регистра константы, а управляющий вход накопительного сумматора - с нулевым выходом триггера, с входом сдвига влево сдвигового регистра и через первый элемент задержки - с первым входом элемента ИЛИ, второй вход которого соединен с единичным выходом триггера, с первым входом элемента И и входом сдвига вправо сдвигового регистра, вход старшего разряда которого соединен с выходом переноса сумматора основания, а выход старшего разряда - с вторым входом элемента И, выход которого соединен с входом записи сдвигового регистра, а третий вход элемента И - с тактовым входом преобразователя и через второй элемент задержки - с тактовым входом сдвигового регистра и счетным входом счетчика, вход записи которого соединен с выходом элемента ИЛИ.

На чертеже изображена структурная схема преобразователя кодов. Преобразователь содержит сдвиговой регистр 1, сумматор 2 основания и регистр 3 основания. Регистр 3 основания и сумматор 2 имеют по  $m = \lceil \log_2 P_{\max} \rceil$  двоичных разрядов, где  $P_{\max}$  максимальное основание системы счисления, из которой осуществляется преобразование двоично-кодированных чисел в двоичную систему счисления. Регистр 1 является реверсивным сдвигающим регистром с цепями циклического сдвига из старшего разряда в младший (при сдвиге информации влево) и из младшего разряда в старший (при сдвиге вправо). Длина в двоичных разрядах регистра 1 определяется выражением  $m \cdot K + 1$ , где  $K$  - количество разрядов числа с основанием  $P_{\max}$ . Устройство также содержит регистр 4 константы, накопительный сумматор 5 и счетчик 6, имеющие по  $\lceil \log_2 (K - 1) \cdot m + 1 \rceil$  двоичных разрядов. Выход переноса (переполнения) счетчика 6 соединен с счетным входом триггера 7, нулевой выход которого подключен к первому управляющему входу регистра 1, к управляющему входу накапливающего сумматора 5 и к входу элемента 8 задержки. Единичный выход

На чертеже изображена структурная схема преобразователя кодов.

Преобразователь содержит сдвиговой регистр 1, сумматор 2 основания и регистр 3 основания. Регистр 3 основания и сумматор 2 имеют по  $m = \lceil \log_2 P_{\max} \rceil$  двоичных разрядов, где  $P_{\max}$  максимальное основание системы счисления, из которой осуществляется преобразование двоично-кодированных чисел в двоичную систему счисления. Регистр 1 является реверсивным сдвигающим регистром с цепями циклического сдвига из старшего разряда в младший (при сдвиге информации влево) и из младшего разряда в старший (при сдвиге вправо). Длина в двоичных разрядах регистра 1 определяется выражением  $m \cdot K + 1$ , где  $K$  - количество разрядов числа с основанием  $P_{\max}$ .

Устройство также содержит регистр 4 константы, накопительный сумматор 5 и счетчик 6, имеющие по  $\lceil \log_2 (K - 1) \cdot m + 1 \rceil$  двоичных разрядов. Выход переноса (переполнения) счетчика 6 соединен с счетным входом триггера 7, нулевой выход которого подключен к первому управляющему входу регистра 1, к управляющему входу накапливающего сумматора 5 и к входу элемента 8 задержки. Единичный выход

триггера 7 соединен с вторым управляющим входом регистра 1, с входом элемента И 9 и с одним входом элемента ИЛИ 10, другой вход которого соединен с выходом элемента 8 задержки, тактовый вход 11 преобразователя соединен с входом элемента И 9 элемента 12 задержки.

Узлы 1-6 устройства составляют его операционную часть, а элементы 7-12 - его управляющую часть. Первый и второй входы регистра 1 предназначены для управления направлением сдвига в регистре и являются потенциальными. Если единичный сигнал (потенциал) присутствует на первом управляющем входе, то в регистре 1 осуществляется сдвиг влево (в сторону старших разрядов), а при наличии единичного сигнала на втором управляющем входе - сдвиг информации вправо. Все остальные управляющие входы узлов 1, 5 и 6 устройства обеспечивают изменение их состояния при изменении уровня сигналов (для определенности, при переходе из "0" в "1"), т.е. по фронту сигналов.

Третий управляющий вход регистра 1 предназначен для сдвига информации в регистре на один разряд, а четвертый - для приема информации на регистр с выходов сумматора 2 основания (при этом информация принимается только в те разряды регистра 1, которые связаны с выходами сумматора 2 основания, значения остальных разрядов регистра при этом не изменяются). Управляющий вход накопительного сумматора 5 предназначен для разрешения суммирования содержимого сумматора и содержимого регистра 4 константы. Первый управляющий вход счетчика 6 является счетным, т.е. обеспечивает увеличение содержимого счетчика 6 на единицу, а второй управляющий вход предназначен для занесения в счетчик 6 информации параллельным кодом с выходом накапливающего сумматора 5. Длина счетчика, регистров и сумматоров устройства определяется максимальным основанием  $P_{\max}$ .

В исходном состоянии в регистре 3 основания записано основание  $P$  в двоичной системе счисления. Код основания имеет  $\lceil \log_2 P \rceil$  двоичных разрядов. Если  $\lceil \log_2 P \rceil < \lceil \log_2 P_{\max} \rceil$ , то код основания устанавливается в старших разрядах регистра 3, а остав-

шие младшие разряды - в нулевое состояние. В старшем разряде регистра 1 записан нуль, а справа от этого разряда записаны подряд  $r$ -ичные разряды преобразуемого числа (начиная со старшего).

В регистр 4 константы, накапливающий сумматор 5 и счетчик 6 записано в дополнительном коде двоичное число  $\lceil \log_2 P \rceil$ , равное числу двоичных разрядов, необходимых для представления одной  $r$ -ичной цифры.

Триггер 7 в исходном со стоянии установлен на нуль, т.е. регистр 1 подготовлен для циклического сдвига информации влево, так как единичный сигнал при этом поступает на первый управляющий вход этого регистра (цепи установки исходного со стояния устройства условно не показаны).

С началом работы преобразователя на вход 11 начинают поступать синхросигналы. Процесс работы устройства можно разбить на  $2K - 2$  цикла. В каждом нечетном цикле осуществляется циклический сдвиг информации в регистре числа 1 влево, а в каждом четном - вправо, причем в этом случае одновременно осуществляется и преобразование информации в регистре 1.

В первом цикле (как и в каждом последующем нечетном цикле) элемент И 9 закрыт нулевым сигналом с единичного выхода триггера 7, т.е. на четвертый управляющий вход регистра 1 сигналы не поступают.

Каждый синхросигнал с входа 11 через элемент 12 задержки поступает на третий управляющий вход регистра 1 и на второй управляющий вход счетчика 6. В регистре 1 при этом каждый раз осуществляется циклический сдвиг на один двоичный разряд влево, а в счетчике 6 - прибавление единицы к его содержимому. Поскольку в исходном состоянии в счетчике 6 было записано в дополнительном коде число  $\lceil \log_2 P \rceil$ , то после прихода такого же количества синхросигналов формируется сигнал переполнения счетчика 6, который, поступая на счетный вход триггера 7, изменяет его состояние на противоположное (в первом цикле на единичное). Положительный перепад потенциала, формирующийся на единичном выходе триггера 7, через элемент ИЛИ 10 поступает на второй управляющий вход счетчика 6 и осуще-

ствяет запись с выходов накопительного сумматора 5 в счетчик 6 дополнительного кода числа  $\lfloor \log_2 P \rfloor$ . На этом первый цикл заканчивается. Таким образом, после выполнения первого цикла в регистре 1 информация циклически сдвинулась на один  $p$ -ичный разряд (или на  $\lfloor \log_2 P \rfloor$  двоичных разрядов), а в счетчике 6, как и перед выполнением цикла, записано число  $\lfloor \log_2 P \rfloor$  в дополнительном коде. Поскольку триггер 7 находится в единичном состоянии, то перед выполнением второго (как и каждого четного) цикла регистр 1 подготовлен для циклического сдвига вправо.

Во втором цикле, если в старшем разряде регистра 1 находится единица, синхросигнал с входа 11 через элемент И 9 поступает на четвертый управляющий вход этого регистра. С помощью сумматора 2 основания  $k$  содержимому регистра 1 прибавляется основание  $P$ , записанное в регистре 3 основания, причем перенос, формирующийся на сумматоре, записывается в старший разряд регистра 1. Если в старшем разряде регистра 1 записан нуль, то суммирование не выполняется. Затем сигнал с выхода элемента 12 задержки осуществляет сдвиг на один двоичный разряд содержимого регистра 1 и прибавление единицы к счетчику 6. После поступления синхросигналов, как и в первом цикле, формируется сигнал переполнения счетчика 6, который изменяет состояние триггера 7 на нулевое. Положительный перепад потенциала с нулевого выхода триггера 7 поступает на управляющий вход сумматора 5, в результате чего к его содержимому прибавляется содержимое регистра 4 константы. Этот же положительный перепад через элемент задержки и элемент ИЛИ 10 поступает на второй управляющий вход счетчика 6 и осуществляет запись в счетчик кода, полученного на накапливающем сумматоре 5 (если этого требует используемая элементная база, то из перепада потенциала можно получить сигнал нужной длительности с помощью формирователей, например РС-цепочек). Следовательно, после выполнения второго цикла в счетчике 6 и накапливающем сумматоре 5 записан дополнительный код числа  $2 \lfloor \log_2 P \rfloor$ , а в регистре 1 произошло частичное преобразование информации.

Последующие циклы отличаются от указанных двух первых циклов только количеством тактов. В каждой последующей паре циклов число тактов на  $\lfloor \log_2 P \rfloor$  больше, чем в предыдущей, так как после каждого четного цикла содержимое счетчика 6 увеличивается на величину  $\lfloor \log_2 P \rfloor$ . После выполнения  $2K - 2$  циклов процесс преобразования заканчивается. Результаты преобразования (двоичное число) находятся в регистре 1.

Проиллюстрируем работу устройства на следующих примерах. Будем, для определенности, считать, что устройство предназначено для преобразования целых трехразрядных чисел с произвольным основанием  $P \leq 10$  в двоичную систему счисления, т.е.  $P_{\max} = 10$ ,  $k = 3$ . В этом случае регистр 1 числа содержит  $m \cdot K + 1 = \lfloor \log_2 10 \rfloor \cdot 3 + 1 = 13$  двоичных разрядов, регистр 3 основания и сумматор 2 основания по  $\lfloor \log_2 10 \rfloor = 4$  разряда, а счетчик 6, накапливающий сумматор 5 и регистр 4 константы - по  $\lfloor \log_2 \{(K-1) \cdot \lfloor \log_2 10 \rfloor + 1\} \rfloor = 4$  разряда. Пусть исходное двоично-десятичное число  $X_{(2-10)}$  равно 1001, 1001 1001 (т.е.  $X_{(10)} = 999$  в десятичной системе счисления). Тогда двоичное число  $X$  должно быть равно 1111100111. Обозначим через  $У1$ ,  $У2$ ,  $У3$  и  $У4$  управляющие сигналы, формирующиеся соответственно на выходе элемента 12 задержки, элемента И 9, элемента ИЛИ 10 и на нулевом выходе триггера 7. Процесс такого преобразования иллюстрируется таблицей.

Заметим, что старший разряд регистра 1 в процессе суммирования участия не принимает, так как он не подключен к входам сумматора 2 основания. В указанный разряд записывается перенос, формирующийся на сумматоре 2 основания.

В процессе преобразования в каждом нечетном цикле по сигналу  $У1$  осуществляется циклический сдвиг информации в регистре числа влево, а в каждом четном - вправо.

Обоснование технико-экономической эффективности проводится по отношению к базовому объекту.

Аппаратурные затраты на предлагаемое устройство оценим в суммарном числе двоичных разрядов регистров, сумматоров и счетчика, т.е. будем считать, что стоимость одного разря-

да регистра, сумматора и счетчика примерно одинакова.

Узлы предлагаемого устройства имеют следующую длину в двоичных разрядах: регистр 1 числа  $1 - m \cdot K + 1$ , сумматор 2 основания  $- m$ , регистр 3 основания  $- m$ , счетчик 6  $- \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor$ , накапливающий сумматор 5  $- \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor$ , регистр 4 константы  $- \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor$ .

Учитывая, что накапливающий сумматор 5 является композицией регистра и комбинационного сумматора, т.е. условная стоимость составляет  $2 \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor$ , для предлагаемого устройства получим  $C_2 = 2m + mK + 1 + 4 \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor$ .

Следовательно, введение новых элементов и конструктивных связей позволяет уменьшить аппаратные затраты

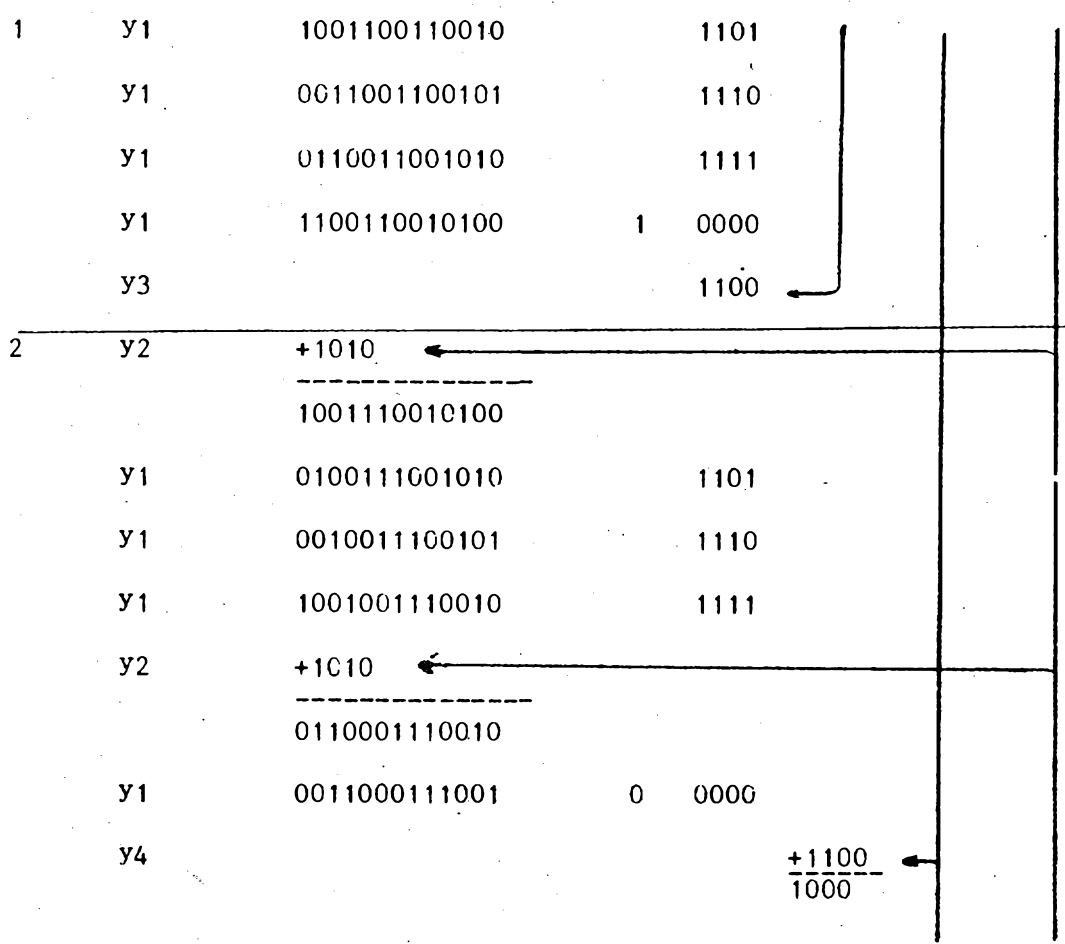
ты на построение устройства в  $N = \frac{C_1}{C_2} = \frac{3Km + \frac{K^2}{2} + \frac{K}{2} - 2m}{2m + mK + 1 + 4 \lfloor \log_2 \{ (K-1) \cdot m + 1 \} \rfloor}$  раз. Например, при построении преобразователя для перевода в двоичную систему счисления 10-разрядных чисел с основанием  $P \leq 15$ , т.е. при  $K = 10$  и  $m = 4$ , получим выигрыш в аппаратуре в

$$N = \frac{C_1}{C_2} = \frac{167}{73} \approx 2 \text{ раза.}$$

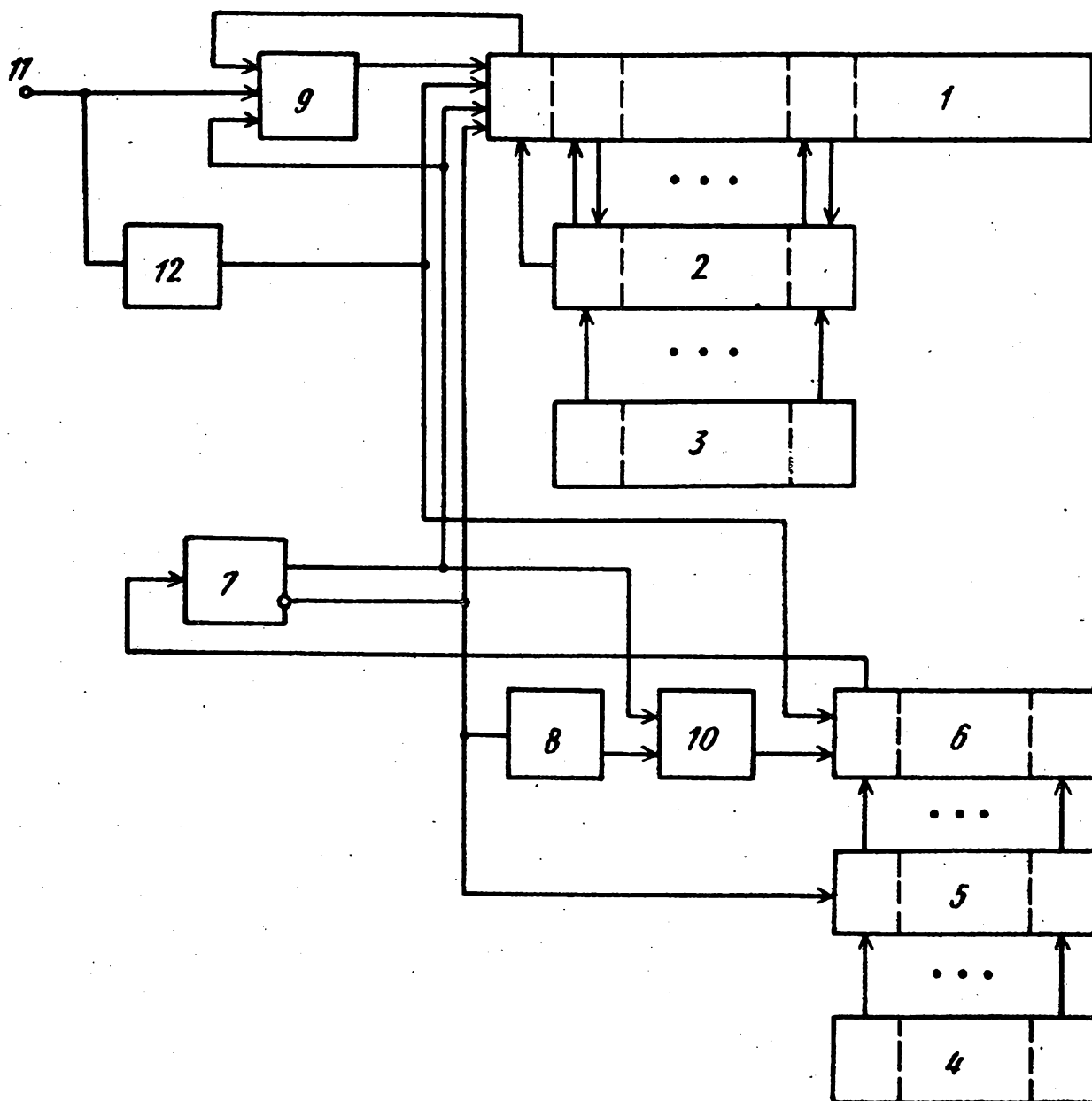
Оценка аппаратуры, выполнялась из предположения, что для построения устройств используются микросхемы с малой степенью интеграции.

При использовании средних и больших интегральных схем преимущества предлагаемого устройства проявляются в большей степени.

Исходное состояние	Регистр 1 числа							
	01001 9	1001 9	1001 9	0	1100 -4	1100 -4	1100 -4	1010 10







Составитель М.Аршавский

Редактор В.Данко Техред А.Бабинец Корректор М.Максимишинец

Заказ 6771/35 Тираж 698 Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4