

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7690308号
(P7690308)

(45)発行日 令和7年6月10日(2025.6.10)

(24)登録日 令和7年6月2日(2025.6.2)

(51)国際特許分類	F I			
H 1 0 F 39/12 (2025.01)	H 1 0 F 39/12			D
H 0 1 L 21/3205(2006.01)	H 0 1 L 21/88			J
H 0 1 L 21/768(2006.01)	H 0 1 L 21/88			T
H 0 1 L 23/522(2006.01)	H 0 1 L 21/88			Z
H 1 0 D 84/83 (2025.01)	H 1 0 D 84/83			E
請求項の数 19 (全21頁) 最終頁に続く				

(21)出願番号	特願2021-59052(P2021-59052)	(73)特許権者	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和3年3月31日(2021.3.31)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2022-155695(P2022-155695 A)	(74)代理人	100223941 弁理士 高橋 佳子
(43)公開日	令和4年10月14日(2022.10.14)	(74)代理人	100159695 弁理士 中辻 七朗
審査請求日	令和6年3月22日(2024.3.22)	(74)代理人	100172476 弁理士 富田 一史
		(74)代理人	100126974 弁理士 大朋 靖尚
		(72)発明者	大貫 裕介 東京都大田区下丸子3丁目30番2号キ 最終頁に続く

(54)【発明の名称】 光電変換装置、光電変換システム、および移動体

(57)【特許請求の範囲】

【請求項1】

複数の画素回路が配された画素領域および平面視で前記画素領域の外側に配された外周領域を含む第1半導体素子層と、第1配線層を含む第1配線構造と、を有する第1チップと、

電気回路が配された第2半導体素子層と、第2配線構造と、を有する第2チップと、を備え、

前記第1チップと前記第2チップとは積層されており、

前記第1半導体素子層を貫通するトレンチを有し、前記画素回路に基準電位を供給するパッド部が配され、

前記第1配線層は、前記基準電位が供給される第1配線パターンを有し、

平面視において、前記画素領域に重なる領域に配された前記第1配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第1配線パターンの配線密度よりも高く、前記第1チップと前記第2チップとは、前記第1半導体素子層と前記第2半導体素子層との間において複数の金属接合部で接合され、

前記第1配線層は、前記金属接合部を構成する配線パターンが配される配線層に隣接する配線層であり、

前記第1配線パターンは、前記複数の金属接合部のうちの一の金属接合部と重なる領域に配された部分を有し、

平面視において、前記一の金属接合部に重なる領域に配された前記第1配線パターンの配

線密度が、前記外周領域に重なる領域に配された前記第 1 配線パターンの配線密度よりも高いことを特徴とする光電変換装置。

【請求項 2】

複数の画素回路が配された画素領域および平面視で前記画素領域の外側に配された外周領域を含む第 1 半導体素子層と、第 1 配線層と第 2 配線層を含む第 1 配線構造と、を有する第 1 チップと、

電気回路が配された第 2 半導体素子層と、第 2 配線構造と、を有する第 2 チップと、を備え、

前記第 1 チップと前記第 2 チップとは積層されており、

前記第 1 半導体素子層を貫通するトレンチを有し、前記画素回路に基準電位を供給するパッド部が配され、

10

前記第 1 配線層は、前記基準電位が供給される第 1 配線パターンを有し、

平面視において、前記画素領域に重なる領域に配された前記第 1 配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第 1 配線パターンの配線密度よりも高く、

前記第 2 配線層は、前記第 1 配線パターンに接続する第 2 配線パターンを有し、

前記第 2 配線パターンは、前記画素領域に重なる領域に配された複数の第 1 部分配線と、前記外周領域に重なる領域に配され、前記複数の第 1 部分配線と接続する第 2 部分配線を有し、

前記複数の第 1 部分配線は、第 1 方向に沿った長さが前記第 1 方向と交差する第 2 方向に沿った長さよりも長くなるように延在しており、

20

前記第 2 部分配線は、前記第 1 方向に沿った長さよりも前記第 2 方向に沿った長さが長くなるように延在しており、

前記複数の第 1 部分配線のそれぞれの前記第 2 方向に沿った幅よりも、前記第 2 部分配線の前記第 1 方向に沿った幅が長い

ことを特徴とする光電変換装置。

【請求項 3】

前記パッド部はパッド電極を含み、

前記パッド電極は第 2 チップに配されることを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

30

前記外周領域に重なる領域において、前記パッド電極の一部は、前記第 1 配線パターンと重なって配されることを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合されることを特徴とする請求項 2 に記載の光電変換装置。

【請求項 6】

前記第 1 配線層は、前記金属接合部を構成する配線パターンが配される配線層に隣接する配線層であることを特徴とする請求項 5 に記載の光電変換装置。

【請求項 7】

40

前記複数の画素回路のそれぞれは、光電変換素子を含み、

前記複数の金属接合部は、1 つの前記光電変換素子に対して 1 つの前記金属接合部が配されていることを特徴とする請求項 1、5、6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記第 1 配線層は、前記第 1 配線構造において、前記パッド部のパッド電極が配される配線層であることを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 9】

前記画素領域に重なる領域は、3 以上の画素回路を含む第 1 領域であり、

前記外周領域に重なる領域は、前記第 1 領域と同じ面積である第 2 領域であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の光電変換装置。

50

【請求項 10】

前記第1配線パターンには前記基準電位として電源電圧又はGND電圧が供給されることを特徴とする請求項1乃至9のいずれか1項に記載の光電変換装置。

【請求項 11】

前記第1配線パターンには前記基準電位として電源電圧が供給されることを特徴とする請求項10に記載の光電変換装置。

【請求項 12】

前記第1配線層は、前記外周領域に重なる領域に配された第2配線パターンを含み、前記第2配線パターンにはGND電圧が供給されることを特徴とする請求項11に記載の光電変換装置。

10

【請求項 13】

前記画素領域に重なる領域において、前記第2配線パターンは配されていないことを特徴とする請求項12に記載の光電変換装置。

【請求項 14】

複数の画素回路が配された画素領域および平面視で前記画素領域の外側に配された外周領域を含む第1半導体素子層と、第1配線層を含む第1配線構造と、を有する第1チップと、電気回路が配された第2半導体素子層と、第2配線構造と、を有する第2チップと、を備え、

前記第1チップと前記第2チップとは積層されており、

前記第1半導体素子層を貫通するトレンチを有し、前記画素回路に基準電位を供給するパッド部が配され、

20

前記第1配線層は、前記基準電位が供給される第1配線パターンを有し、

平面視において、前記画素領域に重なる領域に配された前記第1配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第1配線パターンの配線密度よりも高く、前記第1配線パターンには前記基準電位として電源電圧が供給され、

前記第1配線層は、前記外周領域に重なる領域に配された第2配線パターンを含み、前記第2配線パターンにはGND電圧が供給され、

前記画素領域に重なる領域において、前記第2配線パターンは配されていないことを特徴とする光電変換装置。

【請求項 15】

30

前記第1配線パターンの主成分は銅であることを特徴とする請求項1乃至14のいずれか1項に記載の光電変換装置。

【請求項 16】

前記第1配線パターンは、前記画素領域に重なる領域において、メッシュ状に配されることを特徴とする請求項1乃至15のいずれか1項に記載の光電変換装置。

【請求項 17】

前記電気回路は、前記画素回路からの信号を処理する回路であることを特徴とする請求項1乃至16のいずれか1項に記載の光電変換装置。

【請求項 18】

請求項1乃至17のいずれか1項に記載の光電変換装置と、

40

前記光電変換装置によって得られた信号を処理する信号処理部と、を備えることを特徴とする光電変換システム。

【請求項 19】

請求項1乃至17のいずれか1項に記載の光電変換装置と、

前記光電変換装置からの信号に基づき、対象物までの距離情報を取得する距離情報取得手段と、

前記距離情報に基づいて移動体を制御する制御手段と、を有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、光電変換装置に関する。

【 背景技術 】

【 0 0 0 2 】

特許文献 1 には、複数の画素回路を有するチップと電気回路を有するチップとが積層された光電変換装置が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 文献 】 特開 2 0 1 9 - 6 8 2 6 5 号公報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

画素回路を有するチップと電気回路を有するチップとを積層し、画素回路と電気回路とを電氣的に接続した光電変換装置において、画素回路に供給される基準電位はパッドから供給される。基準電位とは、例えば、接地電圧 (G N D 電圧) や電源電圧 (V D D 電圧) である。

【 0 0 0 5 】

特許文献 1 には、基準電位が供給される配線パターンについて、画素領域と画素領域の外側の外周領域との具体的なレイアウトは開示されていない。

20

【 課題を解決するための手段 】

【 0 0 0 6 】

一形態に係る光電変換装置は、複数の画素回路が配された画素領域および平面視で前記画素領域の外側に配された外周領域を含む第 1 半導体素子層と、第 1 配線層を含む第 1 配線構造と、を有する第 1 チップと、電気回路が配された第 2 半導体素子層と、第 2 配線構造と、を有する第 2 チップと、を備え、前記第 1 チップと前記第 2 チップとは積層されており、前記第 1 半導体素子層を貫通するトレンチを有し、前記画素回路に基準電位を供給するパッド部が配され、前記第 1 配線層は、前記基準電位が供給される第 1 配線パターンを有し、平面視において、前記画素領域に重なる領域に配された前記第 1 配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第 1 配線パターンの配線密度よりも高く、前記第 1 チップと前記第 2 チップとは、前記第 1 半導体素子層と前記第 2 半導体素子層との間において複数の金属接合部で接合され、前記第 1 配線層は、前記金属接合部を構成する配線パターンが配される配線層に隣接する配線層であり、前記第 1 配線パターンは、前記複数の金属接合部のうちの一の金属接合部と重なる領域に配された部分を有し、平面視において、前記一の金属接合部に重なる領域に配された前記第 1 配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第 1 配線パターンの配線密度よりも高い。

30

また、別の形態に係る光電変換装置は、複数の画素回路が配された画素領域および平面視で前記画素領域の外側に配された外周領域を含む第 1 半導体素子層と、第 1 配線層と第 2 配線層を含む第 1 配線構造と、を有する第 1 チップと、電気回路が配された第 2 半導体素子層と、第 2 配線構造と、を有する第 2 チップと、を備え、前記第 1 チップと前記第 2 チップとは積層されており、前記第 1 半導体素子層を貫通するトレンチを有し、前記画素回路に基準電位を供給するパッド部が配され、前記第 1 配線層は、前記基準電位が供給される第 1 配線パターンを有し、平面視において、前記画素領域に重なる領域に配された前記第 1 配線パターンの配線密度が、前記外周領域に重なる領域に配された前記第 1 配線パターンの配線密度よりも高く、前記第 2 配線層は、前記第 1 配線パターンに接続する第 2 配線パターンを有し、前記第 2 配線パターンは、前記画素領域に重なる領域に配された複数の第 1 部分配線と、前記外周領域に重なる領域に配され、前記複数の第 1 部分配線と接続する第 2 部分配線を有し、前記複数の第 1 部分配線は、第 1 方向に沿った長さが前記第 1 方向と交差する第 2 方向に沿った長さよりも長くなるように延在しており、前記第 2 部

40

50

分配線は、前記第 1 方向に沿った長さよりも前記第 2 方向に沿った長さが長くなるように延在しており、前記複数の第 1 部分配線のそれぞれの前記第 2 方向に沿った幅よりも、前記第 2 部分配線の前記第 1 方向に沿った幅が長い。

【発明の効果】

【0007】

本発明によれば、複数の半導体素子層が積層された光電変換装置において、基準電位が供給される配線パターンについて画素領域と外周領域との具体的なレイアウトを提供することができる。

【図面の簡単な説明】

【0008】

【図 1】実施形態 1 における光電変換装置の構成を模式的に示す斜視図。

【図 2】実施形態 1 における画素の回路図。

【図 3】実施形態 1 におけるチップ 1 の平面模式図。

【図 4】実施形態 1 における光電変換装置の断面模式図。

【図 5 A】実施形態 1 における配線層の平面模式図。

【図 5 B】実施形態 1 における配線層の平面模式図。

【図 6 A】実施形態 2 における配線層の平面模式図。

【図 6 B】実施形態 2 における配線層の平面模式図。

【図 7】実施形態 3 におけるチップ 1 の平面模式図。

【図 8 A】実施形態 3 における配線層の平面模式図。

【図 8 B】実施形態 3 における配線層の平面模式図。

【図 9】実施形態 4 における光電変換システムのブロック図。

【図 10】実施形態 5 における光電変換システムおよび移動体の概念図。

【発明を実施するための形態】

【0009】

以下に示す形態は、本発明の技術思想を具体化するためのものであって、本発明を限定するものではない。各図面が示す部材の大きさや位置関係は、説明を明確にするために誇張していることがある。以下の説明において、同一の構成については同一の番号を付して説明を省略することがある。

【0010】

以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明では、必要に応じて特定の方向や位置を示す用語（例えば、「上」、「下」、「右」、「左」及び、それらの用語を含む別の用語）を用いる。それらの用語の使用は図面を参照した実施形態の理解を容易にするためであって、それらの用語の意味によって本発明の技術的範囲が限定されるものではない。

【0011】

本明細書において、「平面視」とは、後述する半導体素子層の光入射面に対して垂直な方向から視ることを指す。また、断面とは、半導体素子層の光入射面と垂直な方向における面を指す。なお、微視的に見て半導体素子層の光入射面が粗面である場合は、巨視的に見たときの半導体素子層の光入射面を基準として平面視を定義する。

【0012】

（実施形態 1）

図 1 乃至図 5 を参照しながら実施形態 1 の光電変換装置について説明する。図 1 は、本実施形態における光電変換装置の概略斜視図である。光電変換装置とは、例えば、イメージセンサーや、測光センサー、測距センサーとして用いることができる半導体デバイスである。

【0013】

光電変換装置は、チップ 1 とチップ 2 の積層体である。チップ 1 は、画素 10 に含まれる画素回路を含む半導体素子層 11（第 1 半導体素子層）と、M 層の配線層を含む配線構造 12（第 1 配線構造）と、を有する。本明細書において、「半導体素子層」とは、半導

10

20

30

40

50

体層のみではなく、半導体層と半導体層に形成されたトランジスタのゲートとを含む。配線構造の配線層は「半導体素子層」に含まれない。チップ2は、N層の配線層を含む配線構造24（第2配線構造）と、電気回路を含む半導体素子層23（第2半導体素子層）と、を有する。第1配線構造12及び第2配線構造24は、半導体素子層11と半導体素子層23との間に配されている。

【0014】

詳細は後述するが、画素10を構成する素子の少なくとも一部は、半導体素子層11に配される。なお、画素10の一部の構成が半導体素子層11に配され、他の一部の構成が半導体素子層23に配されてもよい。この場合、画素10のうちの半導体素子層11に配される画素回路の構成としては、フォトダイオードなどの光電変換素子が挙げられる。光電変換素子を含む画素回路は、半導体素子層11に平面視で2次元アレイ状に配される。半導体素子層11は、平面視で複数の画素回路が2次元アレイ状に配された画素領域を有する。図1では、半導体素子層11には、複数の画素回路を構成する複数の光電変換素子が行方向および列方向の2次元アレイ状に配されている。

10

【0015】

配線構造12は、M（Mは1以上の整数）層の配線層と層間絶縁材料を含む。配線構造24は、N（Nは1以上の整数）層の配線層と層間絶縁材料を含む。

【0016】

半導体素子層23は、電気回路を含む。説明の便宜上、図1において、チップ2の上面に図示された構成は半導体素子層23に配された構成である。電気回路とは、例えば、図1に示す、行走査回路20、列走査回路21、信号処理回路22等を構成するトランジスタのいずれか1つである。信号処理回路22とは、例えば、画素10の構成の一部、増幅回路、選択回路、論理演算回路、AD変換回路、メモリ、圧縮処理や合成処理等を行う回路の少なくともいずれか1つまたは複数の組合せである。画素10の構成の一部とは、例えば、増幅トランジスタ、選択トランジスタ、リセットトランジスタである。

20

【0017】

画素10は、画像を構成するために繰り返して配置される回路の最小単位を指しうる。そして、画素10に含まれ、半導体素子層11に配された画素回路は、少なくとも、光電変換素子を含んでいけばよい。画素回路には、光電変換素子以外の構成を含んでいてもよい。例えば、画素回路はさらに、転送トランジスタ、FD、リセットトランジスタ、増幅トランジスタ、容量付加トランジスタ、選択トランジスタの少なくともいずれか1つを含んでいてもよい。典型的には、選択トランジスタ及び当該選択トランジスタを介して信号線に接続された一群の素子が画素10を構成する。すなわち、選択トランジスタが画素回路の外縁でありうる。あるいは、光電変換素子と転送トランジスタの組が画素10を構成することもある。他にも、1つあるいは複数の光電変換素子と、1つの増幅回路あるいは1つのAD変換回路との組が画素10を構成してもよい。

30

【0018】

図2に、画素10を構成する画素回路の一例を示す。画素回路は、光電変換素子301A、301B、転送トランジスタ302A、302B、リセットトランジスタ304、増幅トランジスタ305、選択トランジスタ306A、306B、容量付加トランジスタ307A、307Bにより構成される。容量付加トランジスタ307Aは、スイッチトランジスタ309と容量308とを含む。画素回路には、基準電位が供給される。図2においては、増幅トランジスタ305のドレイン、リセットトランジスタ304のドレイン、容量308のゲートに基準電位として電源電圧（例えばVDD電圧）が供給されている。また、光電変換素子301A、301Bや、半導体素子層のウェルに基準電位として接地電圧（例えばGND電圧）が供給されている。VDD電圧とは例えば、3.3Vであり、GND電圧とは例えば0Vである。

40

【0019】

図2に示すように1つの画素回路に複数の光電変換素子が含まれていてもよいし、1つの画素回路に1つの光電変換素子が含まれていてもよい。

50

【 0 0 2 0 】

以下で画素回路に含まれる各構成について説明する。以下において、説明が共通する場合は、A, B等の添字を省略して説明する。

【 0 0 2 1 】

光電変換素子301は、光電変換により電子および正孔を生じる素子である。光電変換素子301としては、例えば、フォトダイオードを用いることができる。転送トランジスタ302は、光電変換素子301で生じた信号電荷をフローティングディフュージョン(FD)303に転送するか否かを制御する。リセットトランジスタ304は、FD303の電位や光電変換素子301の電位を基準電位としてVDD電圧に設定するか否かを制御する。容量付加トランジスタ307は、FD303に容量を付加するか否かを制御する。増幅トランジスタ305は、FDに転送された信号電荷に基づく信号を増幅して出力する。選択トランジスタ306は、増幅トランジスタ305と出力線17とに接続されている。そして、選択トランジスタ306がオンになると、増幅トランジスタ305から出力された信号が出力線17に伝達される。なお、画素回路が選択トランジスタを含まない場合は、増幅トランジスタのオンオフを制御することで信号線に信号を出力するかどうかを制御する。出力線17は、図1の信号処理回路22に接続されている。また、転送トランジスタ302、リセットトランジスタ304、増幅トランジスタ305、選択トランジスタ306、容量付加トランジスタ307のゲートには、図1の行走査回路20からの信号が供給される。これにより、各トランジスタのオンオフを制御している。

10

【 0 0 2 2 】

画素領域の一辺から、対向する一辺まで行ごと順次読み出しを行うローリングシャッター機能を搭載していてもよいし、画素領域の全体において同時に電荷を転送して蓄積するグローバルシャッター機能を搭載していてもよい。また、画素領域内において、複数の画素が含まれるブロック毎に露光時間が異なってもよい。

20

【 0 0 2 3 】

以下の実施形態では、図2に示す画素回路がチップ1に配されているものとして説明する。なお、チップ1の面積を大きくすることなく光電変換素子301の面積を確保できるように、画素の光電変換素子以外の構成はチップ2に配されていてもよい。

【 0 0 2 4 】

図3は、チップ1の半導体素子層11及び遮光膜13の平面模式図である。半導体素子層11には、画素領域100と、平面視で画素領域100の外側に配された外周領域102と、平面視で外周領域102と半導体素子層11の端との間に配されたパッド領域103と、を有する。図3では、平面視で画素領域100の上下に外周領域102及びパッド領域が配されるがこれに限定されない。外周領域102は、平面視で少なくとも画素領域100の一辺と半導体素子層11の端との間に配されていけばよい。

30

【 0 0 2 5 】

図3において、画素領域100は、複数のオプティカル・ブラック画素(OB画素)が配されたOB画素領域100Bと、遮光膜13が配されておらず光が入射する画素が配された有効画素領域100Aと、を有する。OB画素領域100Bには、光電変換素子へと入射する光を遮光する遮光膜13が配されている。遮光膜13は、外周領域102の近傍に配された複数の画素10に平面視で重なるように配置される。OB画素は、平面視で遮光膜13に重なる画素であり、黒レベルの基準値を検出する。なお、OB画素領域100Bは必須ではなく、有効画素領域100Aの隣に外周領域102が配されていてもよい。

40

【 0 0 2 6 】

外周領域102には、基準電位が供給される配線などが配されている。

【 0 0 2 7 】

パッド領域103には、電気信号の入出力を行うパッド部16を構成するトレンチが複数配されている。複数のパッド部16は、画素回路に供給するVDD電圧が供給されるパッド部16A、画素回路に供給するGND電圧が供給されるパッド部16Bを含む。

【 0 0 2 8 】

50

パッド領域 103 と外周領域 102 との境界は、例えば、遮光膜 13 で規定することができる。図 3 に示すように、光電変換素子が配されておらず遮光膜 13 が配された領域を外周領域 102 とし、遮光膜 13 の端から半導体素子層 11 の端までをパッド領域 103 とすることができる。また、例えば、半導体素子層 11 の裏面において、半導体素子層 11 の端からパッド部 16 を構成するトレンチの画素領域 100 の側の端までをパッド領域 103 とし、その内側を外周領域 102 としてもよい。図 3 に示すように外周領域 102 は OB 画素領域 100 B に光が入射しないよう遮光膜 13 が配されることが好ましいが必須ではない。また、外周領域 102 の全体に遮光膜 13 が配される必要はなく、OB 画素領域 100 B に近い側に遮光膜 13 が配され、遠い側には遮光膜 13 が配されていなくてもよい。

10

【0029】

図 4 は、光電変換装置の構造の概念を示すための、図 3 における A - A' 断面模式図である。チップ 1 とチップ 2 は、接合面 3 で貼り合されて積層されている。チップ 1 の半導体素子層 11 とチップ 2 の半導体素子層 23 との間に、チップ 1 の配線構造 12 とチップ 2 の配線構造 24 とが位置している。図 4 では、M 層の配線構造 12 は、配線層 120、121、122、123 の 4 層の配線層を有する。また、N 層の配線構造 24 は、配線層 240、241、242、243 の 4 層の配線層を有する。各配線層の数はこれに限定されず、これよりも多くても、少なくてもよい。

【0030】

各配線層は、1 つないし複数の配線パターンと、配線パターン間に配された絶縁材料とを有する。例えば、配線層 122 は、配線パターン 122 A (第 1 配線パターン) を含む。各配線層に含まれる配線パターンとは同じレイヤにある配線のパターンである。本明細書では、同じレイヤにある別個の 2 つの配線のパターンのことを、配線パターン X A、配線パターン X B ということがある。1 つの観点としては、配線パターン X A と配線パターン X B とは、それぞれ異なる電位を伝達する配線であってもよい。

20

【0031】

以下では、配線パターン 122 A が、リセットトランジスタや増幅トランジスタに供給する VDD 電圧を供給する配線であり、配線パターン 122 B が、半導体素子層 11 のウェルに供給する GND 電圧を供給する配線である場合を例にして説明する。

【0032】

配線層 120、121、122、123、240、241、242、243 の各配線パターンは金属材料で構成される。配線層 120、121、122、123、240、241、242、243 の各配線パターンの主成分は銅であることが好ましい。主成分が銅であるとは、全体の成分のうちの 50% を超える成分が銅であることを指す。配線層 120、121、122、123、240、241、242、243 の各配線パターンは、全体の成分のうち 90% を超える成分が銅であることが好ましい。なお、各配線層は、アルミニウムやタングステン等の金属により構成されていてもよい。また、金属接合部を構成する配線パターンを含む配線層 123、243 が銅を主成分として構成され、配線層 123、243 以外の配線層が、アルミニウムやタングステン等の金属を主成分として構成されていてもよい。各配線層を接続するビアプラグや、配線層とトランジスタのゲートまたは配線層と半導体素子層とを接続するコンタクトプラグも、銅、アルミニウム、タングステン等の金属により構成される。

30

40

【0033】

配線層 123、243 の各配線パターンは、層間絶縁層に形成された凹部に埋め込まれている。配線層 123、243 の各配線パターンは、ダマシンプロセスにより形成することができる。配線層 123 の配線パターンと、配線層 243 の配線パターンとは、両者が接合されることにより金属接合部 30 を構成する。また、配線層 123 を構成する絶縁材料と配線層 243 を構成する絶縁材料とは、接触して接合されている。

【0034】

本実施形態では、複数の金属接合部 30 は、半導体素子層 11 と半導体素子層 23 とを

50

接続する金属接合部（第 1 金属接合部）を少なくとも含む。複数の金属接合部 30 は、は半導体素子層 11 及び半導体素子層 23 の一方と接続され、他方と接続されない金属接合部（第 2 金属接合部）を含んでいてもよい。さらに、複数の金属接合部 30 は、半導体素子層 11 および半導体素子層 23 と接続されない金属接合部（第 3 金属接合部）を含んでいてもよい。

【0035】

図 4 において、各配線層は、絶縁材料中に配されたビアプラグを有する。ビアプラグを介してある配線層の配線パターンと、その上層又は下層の配線層の配線パターンと、が導通している。配線層 123 の絶縁材料中に配されたビアプラグ 124 は、金属接合部 30 と配線層 122 に含まれる配線パターンとの導通を行う。配線層 122 の絶縁材料中に配されたビアプラグ 125 は、配線層 122 の配線パターンと配線層 121 の配線パターンとの導通を行う。配線層 243 の絶縁材料中に配されたビアプラグ 244 は、金属接合部 30 を構成する配線層 243 の配線パターンと配線層 242 の配線パターンとの導通を行う。なお、ビアプラグは必須ではなく、ある層の配線層の配線パターンと、その上層または下層の配線層の配線パターンとが、ビアプラグを介することなく直接接して配されていてもよい。また、ビアプラグは、金属接合部 30 を構成する配線層 123 の配線パターンと一体に形成されてもよい。例えば、ビアプラグ 244 は、金属接合部 30 を構成する配線層 243 の配線パターンと一体に形成されてもよい。デュアルダマシンプロセスを用いることによって、配線パターンとビアプラグとを一体に形成することができる。デュアルダマシンプロセスは他の金属接合部にも適用できる。

【0036】

パッド部 16 は、トレンチおよび配線層に配された配線パターンの少なくとも一部を有する。図 4 では、チップ 2 の配線層 242 の配線パターン 242A が、VDD 電圧が供給されるパッド電極となる。図 4 には示していないが、配線層 242 には、同様に、GND 電圧が供給されるパッド電極が配される。

【0037】

トレンチは、チップ 1 および配線層 243 を貫通し、配線パターン 242A が露出する深さまで形成されている。トレンチは少なくとも半導体素子層 11 を貫通していればよい。配線パターン 242A は、例えば、A1 を含んで構成され得る。なお、パッド領域 103 には、パッド部 16 のトレンチとパッド電極の少なくとも一部が配される。つまり、パッド領域 103 には、パッド電極の一部が配され、他の一部が外周領域 102 に配されていてもよい。各平面模式図では、平面視でトレンチが配される領域を便宜的にパッド部 16 として示している。チップ 2 に形成された配線層 242 には、入出力電圧が伝達されるワイヤーボンディングが接続される。

【0038】

なお、図 4 では、ワイヤーボンディングの例を示したが、トレンチ内に金属が充填された貫通ビア（TSV）であってもよい。TSV を用いる場合は、図 4 に示すように金属接合部 30 を介して信号が伝達されてもよいし、金属接合部 30 を介さずにビアプラグを介して信号が伝達されてもよい。後者の場合は、絶縁材料により接合面 3 が構成され、その後 TSV によりチップ 1 の配線構造とチップ 2 の配線構造とが接続される。

【0039】

図 5A は、図 3 に示した半導体素子層 11 の平面模式図のパッド部 16A 及びパッド部 16B の付近を詳細に説明した平面模式図である。図 5A は主に配線層 122 の配線パターンを模式的に示している。また、図 5A は、外周領域 102 における、配線層 122 の配線パターンに接続されるビアプラグ 125、金属接合部 30、配線層 123 のビアプラグ 124 のレイアウトを示している。画素領域 100 に配された金属接合部 30 には、ビアプラグ 124、244 を示していないが、画素領域 100 において、少なくともいずれか 1 つの金属接合部 30 には、ビアプラグ 124 が接続されている。さらに、図 5A は、OB 画素領域 100B の遮光膜 13 を示している。

【0040】

10

20

30

40

50

図5Aにおいて、金属接合部30は平面視において四角形で示されているが、これに限定されず、四角形の角部が丸くなっているものや、円形であってもよい。ビアプラグ124は、配線層122の配線パターン122Aと金属接合部30とを接続している。

【0041】

図5Aにおいて、VDD電圧が供給されるパッド部16Aを構成する配線パターン242Aを一点鎖線で示す。また、GND電圧が供給されるパッド部16Bを構成する配線パターン242Bを配線パターン242Bとして点線で示す。パッド部16A、16Bは交互に配されていてもよい。

【0042】

図5Aに示すように、外周領域102においては、VDD電圧が供給される配線パターン242AとGND電圧が供給される配線パターン242Bとが配される。配線パターン242Aを介してVDD電圧が配線パターン122Aに供給され、配線パターン242Bを介してGND電圧が配線パターン122Bに供給されている。つまり、外周領域102において、配線層122は、VDD電圧が供給される配線パターン122AとGND電圧が供給される配線パターン122Bとが配される。一方で、画素領域100における配線層122の配線パターン122は、VDD電圧が供給される配線パターン122Aが配される。つまり、画素領域100において、配線層122は、配線パターン122Bが配されていない。言い換えると、画素領域100における配線層122の配線パターン122Aは、外周領域102における配線パターン122Aの配線密度よりも高くなっている。本明細書において、配線パターンの配線密度とは、単位面積当たりの配線パターンの配線総面積を指す。

【0043】

複数のパッド部16のうち、基準電位が供給されるパッド部16A、パッド部16Bは、電圧降下が少ない箇所と接合されることが好ましい。つまりパッド領域103に近い外周領域102に基準電位が供給される配線パターンが配されることが好ましい。そのため画素回路が配されたチップ1のパッド領域103の近傍では、GND電圧及びVDD電圧が供給される配線パターンに制約がある。一方で、チップ1でアレイ状に配列された画素領域においては、電気回路チップの電位変動によるカップリングの影響を低減するために、外周領域102よりも配線パターンの密度を高くすることが好ましい。これにより、低インピーダンスの配線パターンとすることができ、スミア及びシェーディングによる特性の劣化を低減し得るためである。

【0044】

本実施形態では、上述の通り、画素領域100における基準電位を供給する配線パターンの密度を、外周領域における基準電圧を供給する配線パターンの密度よりも高くしている。これにより、電圧降下の少ない箇所に基準電位が供給される配線パターンを配しながら、電気回路チップの電位変動によるカップリングの影響を低減することができる。

【0045】

なお、図4では、チップ2にパッド電極が配されており、チップ1の最下層の配線層である配線層123は金属接合部30を構成する配線パターンとなっている。したがって、その次にパッド電極に近い、配線層122において、上述のような配線密度の関係を満たす配線レイアウトとしている。つまり、金属接合部30を構成する配線層123に隣接する配線層122において配線密度の関係を上述のような関係としている。

【0046】

チップ2にパッド電極があり金属接合部30でチップ1とチップ2とが接合されている場合は、電圧降下の影響を少なくするために、パッド電極の近傍の金属接合部30と各配線パターン122A、122Bとを接続する必要がある。つまり、チップ2にパッド電極があり金属接合部30でチップ1とチップ2とが接合されている場合は、配線層122の配線パターンが制約されやすくなる。したがって、本実施形態による効果がより顕著となる。

10

20

30

40

50

【 0 0 4 7 】

なお、チップ 1 にパッド電極が配される場合には、パッド電極が配される配線層において、上述のような配線密度の関係を満たすことが好ましい。

【 0 0 4 8 】

図 5 A に示すように、パッド電極を構成する配線パターン 2 4 2 A は、平面視でパッド領域 1 0 3 から外周領域 1 0 2 に重なる位置まで連続的に配されている。つまり、平面視で外周領域 1 0 2 において、パッド電極を構成する配線パターン 2 4 2 A は、配線パターン 1 2 2 A と重なって配されている。配線パターン 2 4 2 A は、外周領域 1 0 2 において、ビアプラグ 2 4 4、金属接合部 3 0、及びビアプラグ 1 2 4 を介してチップ 1 の配線パターン 1 2 2 A と接続されている。同様に、配線層 2 4 2 において、GND 電圧が供給される配線パターン 2 4 2 B は、外周領域においてビアプラグ、金属接合部 3 0、及びビアプラグを介してチップ 1 の GND 電源を構成する配線パターンと接続される。このように、画素回路の基準電位は最短距離で接続されるため、パッド部 1 6 からの電圧降下がより少なくなり、電圧降下による影響を低減することができる。

10

【 0 0 4 9 】

実施形態 1 においては、画素領域 1 0 0 における配線パターン 1 2 2 A の幅を外周領域 1 0 2 における配線パターン 1 2 2 A の幅よりも太くして配線密度を高くしているが、これに限定されない。

【 0 0 5 0 】

画素領域 1 0 0 における配線密度は、外周領域 1 0 2 における配線密度と同じ面積で比較したときに密度が高くなっている。例えば、配線層 1 2 2 において、平面視で画素領域 1 0 0 において 3 以上の画素回路を含む第 1 領域と、外周領域 1 0 2 において第 1 領域と同じ面積の第 2 領域と、を比較する。3 以上の画素は、例えば、1 0 個の画素である。また、画素領域 1 0 0 において、 $1 0 0 0 \mu\text{m} \times 1 0 0 0 \mu\text{m}$ の領域を見たときの配線パターン 1 2 2 A の面積と、外周領域 1 0 2 において、 $1 0 0 0 \mu\text{m} \times 1 0 0 0 \mu\text{m}$ の領域を見たときの配線パターン 1 2 2 A の面積とを比較してもよい。

20

【 0 0 5 1 】

画素領域 1 0 0 における配線パターン 1 2 2 A の配線密度は、外周領域 1 0 2 における配線パターン 1 2 2 A の配線密度の、1.5 倍以上であることが好ましく、2 倍以上であることがさらに好ましい。

30

【 0 0 5 2 】

インピーダンスの低下及びチップ 2 の電位変動によるカップリング影響の低減の効果がより顕著となるように画素領域 1 0 0 において配線パターン 1 2 2 A が一様に配されることが好ましいが、これに限定されない。配線密度の関係を満たしていれば、画素領域 1 0 0 において一部に配線パターン 1 2 2 B が配されていてもよい。この場合でも、配線密度が同じ場合に比較すると、インピーダンスの低下及びチップ 2 の電位変動によるカップリングの影響の低減に対して一定の効果を得ることができるためである。また、画素領域 1 0 0 において、配線層 1 2 2 の一部に、画素回路からの信号が伝達される配線パターンが含まれていてもよい。

【 0 0 5 3 】

図 5 B は、配線層 1 2 1 の配線パターンの概略平面図を示している。外周領域 1 0 2 において、VDD 電圧が供給される配線パターン 1 2 1 A と GND 電圧が供給される配線パターン 1 2 1 B とが配されている。配線パターン 1 2 1 A は、ビアプラグ 1 2 5 を介して配線層 1 2 1 の配線パターン 1 2 1 A と接続されている。また、配線パターン 1 2 1 B は、ビアプラグ 1 2 5 を介して配線層 1 2 1 の配線パターン 1 2 1 B と接続されている。外周領域 1 0 2 において、パッド部 1 6 A から受けた電圧を、配線パターン 1 2 1 A によりチップの横方向に供給することができる。また同様に、外周領域 1 0 2 において、パッド部 1 6 B から受けた電圧を配線パターン 1 2 1 B によりチップの横方向に供給することができる。さらに配線パターン 1 2 1 B は、画素領域 1 0 0 においてメッシュ状に配されている。このように、画素領域 1 0 0 において、上下左右に連続した配線パターン 1 2 1

40

50

Bとすることにより、パッド部 16B から受けた電圧をチップの横方向に供給することができる。

【0054】

なお、図5A、図5Bにおいては、配線層122の配線パターン122AがVDD電圧を供給する配線であり、配線層121の配線パターン121BがGND電圧を供給する配線である場合について説明した。金属接合部30に近い配線層の方が比較的設計の制約が少ないため、パッド電極を構成する配線パターン242Aに近い側に、より電圧降下を抑制したいVDD電圧を配置し、遠い側にGND電圧を配置した。これにより、配線パターン122Aの幅を太くすることができ、配線抵抗を下げるため、高い電圧を供給することが可能となる。しかしながら、配線層122にGND電圧を供給する配線パターンが配され、配線層121にVDD電圧を供給する配線パターンが配されていてもよい。このような場合でも、配線層122の配線パターンにGND電圧が供給される配線である場合にも、配線のインピーダンスを下げ、チップ2の電位変動によるカップリングの影響を低減することができる。したがって、配線層122にGND電圧を供給する配線パターンが配される場合も本実施形態に含まれるものとする。

10

【0055】

(実施形態2)

図6A及び図6Bを参照しながら、実施形態2に係る光電変換装置について説明する。図6Aは、主に配線層122の配線パターンを示す平面模式図である。また、図6Aは、外周領域102における、配線層122の配線パターンに接続されるビアプラグ125、金属接合部30、配線層123のビアプラグ124のレイアウトを示している。画素領域100に配された金属接合部30には、ビアプラグ124、244を示していないが、画素領域100において、少なくともいずれか1つの金属接合部30には、ビアプラグ124が接続されている。さらに、図6Aは、遮光膜13を示している。図6Bは、主に配線層121の配線パターンを示す平面模式図である。

20

【0056】

実施形態2に係る光電変換装置は、平面視で画素領域100に重なる領域において、配線層122の配線パターンがメッシュ状に配される点の実施形態1とは異なる。この点及び以下で説明する以外の構成は、実施形態1と同様であるため、説明を省略することができる。

30

【0057】

配線パターンをダマシン法により形成する場合に、凹部に配線パターンを構成する銅を埋め込んだ後にCMPを行う。太い幅の凹部の場合、CMP工程において、銅の配線パターンが凹むような形成不良が起こり得る。これに対して、本実施形態によれば、画素領域100において配線パターン122Aをメッシュ状にレイアウトしているため、配線パターンにおける局所的な銅の密度を下げるため、CMP工程での形成不良を抑制することができる。

【0058】

また本実施形態では、OB画素領域100B及び有効画素領域100Aにおける配線層122を横方向にもつなげている。つまり、ある列の画素10に重なるように配された配線パターンと、隣接する列の画素に重なるように配された配線パターンとは、行方向で接続され、1つの配線パターン122Aを構成している。これにより、基準電位を供給する配線パターンにおけるインピーダンスをより下げることができる。そのため画素10に対するチップ2の電位変動によるカップリングの影響をより低減することができる。

40

【0059】

図6Bに示すように、外周領域102において、配線層121の配線パターン121A及び121Bは、横方向に接続されている。図6Bに示すように、外周領域102において、配線層121の配線パターン121A及び121Bは、メッシュ状に配されている。

【0060】

本実施形態によれば、実施形態1と同様に、電圧降下が生じにくい箇所に基準電位が供

50

給される配線パターンを配しながら、配線のインピーダンスを下げ、チップ 2 の電位変動によるカップリングの影響を低減することができる。また、実施形態 1 に比べて、インピーダンスを下げるのが可能となる。

【 0 0 6 1 】

(実施形態 3)

図 7、図 8 A 及び図 8 B を参照しながら、実施形態 3 に係る光電変換装置について説明する。図 7 は本実施形態における半導体素子層 1 1 及び遮光膜 1 3 の平面模式図を示している。図 7 では、水平方向に配された水平 O B 画素領域 1 0 0 C が示されている。図 8 A 及び図 8 B は、有効画素領域 1 0 0 A と水平 O B 画素領域 1 0 0 C との境界付近を詳細に記載した配線パターンの平面模式図である。図 8 A は、主に配線層 1 2 2 の配線パターンを示す平面模式図である。また、図 8 A は、外周領域 1 0 2 における、配線層 1 2 2 の配線パターンに接続されるビアプラグ 1 2 5、金属接合部 3 0、配線層 1 2 3 のビアプラグ 1 2 4 のレイアウトを示している。画素領域 1 0 0 に配された金属接合部 3 0 には、ビアプラグ 1 2 4、2 4 4 を示していないが、画素領域 1 0 0 において、少なくともいずれか 1 つの金属接合部 3 0 には、ビアプラグ 1 2 4 が接続されている。さらに、図 8 A は、遮光膜 1 3 を示している。図 8 B は、主に配線層 1 2 1 の配線パターンを示す平面模式図である。

10

【 0 0 6 2 】

本実施形態に係る光電変換装置は、水平 O B 画素領域 1 0 0 C と有効画素領域 1 0 0 A とで配線パターン 1 2 2 A が分断されている点の実施形態 2 とは異なる。この点及び以下で説明する以外の構成は、実施形態 2 と同様であるため、説明を省略することができる。

20

【 0 0 6 3 】

図 7 に示すように、水平 O B 画素領域 1 0 0 C は、図 7 では有効画素領域 1 0 0 A の左側に配されている。そして、遮光膜 1 3 は、水平 O B 画素領域 1 0 0 C にも配されている。水平 O B 画素領域 1 0 0 C は、配置される位置が異なる以外は、実施形態 1 で説明した O B 画素領域 1 0 0 B と同様である。

【 0 0 6 4 】

また図 7 に示すように、水平 O B 画素領域 1 0 0 C と半導体素子層 1 1 の端との間には、V D D 電圧が印加されるパッド部 1 6 C が配されている。なお、図 7 B ではパッド部 1 6 C は、水平 O B 画素領域 1 0 0 C の左側に配されているが、水平 O B 画素領域 1 0 0 C の下側に入れていてもよい。

30

【 0 0 6 5 】

本実施形態では、図 8 A に示すように、有効画素領域 1 0 0 A において、配線層 1 2 2 の配線パターン 1 2 2 A がメッシュ状に配されている。そして、このメッシュ状に配された配線パターン 1 2 2 A は、水平 O B 画素領域 1 0 0 C に配され、配線パターン 1 2 2 A と同電位が供給される配線パターン 1 2 2 C との間で分断されている。言い換えると、有効画素領域 1 0 0 A に配された配線パターン 1 2 2 A と水平 O B 画素領域 1 0 0 C に配された配線パターン 1 2 2 C とにはそれぞれ同電位が印加されるが、配線層 1 2 2 において各配線パターンはつながっていない。また、パッド部 1 6 も、有効画素領域 1 0 0 A に配された配線パターン 1 2 2 A に電圧を印加するパッド部 1 6 A と、水平 O B 画素領域 1 0 0 C に配された配線パターン 1 2 2 C に電圧を印加するパッド部 1 6 C とを分けている。各パッド部 1 6 A、1 6 C には、例えば、V D D 電圧が印加されており、各配線パターン 1 2 2 A、1 2 2 C には V D D 電圧が供給される。

40

【 0 0 6 6 】

また、図 8 B に示すように、外周領域 1 0 2 において、配線層 1 2 1 の V D D 電圧が印加される配線パターン 1 2 1 A と、水平 O B 画素の上下方向に配され、V D D 電圧が印加される配線パターン 1 2 1 C とを分けている。

【 0 0 6 7 】

有効画素領域 1 0 0 A の画素 1 0 に強い光が照射された場合、信号線の電圧が大きく低下し、定電流源の回路動作範囲が狭くなり、定電流源からの電流が遮断され得る。この場

50

合、VDD電圧が供給される配線パターン122を介して、水平OB画素領域100CのVDD電圧が供給される配線パターン122Cの電位が変動し、ダーク信号が入射光に依存して変動する可能性がある。ダーク信号が入射光に依存して変動すると、ダーク信号を用いた補正処理において、スミアなどの画質劣化が生じることがある。

【0068】

本実施形態においては、有効画素領域100Aのパッド部16Aと、水平OB画素領域100Cのパッド部と16Cとを分けている。また有効画素領域100AのVDD電圧が供給される配線パターン122A、121Aと、水平OB画素領域100CのVDD電圧が供給される配線パターン122C、121Cとを分けている。このため、強い光が照射され、有効画素領域100Aの画素10のVDD電圧が変動したとしても水平OB画素領域100Cへのダーク信号の電位変動を低減することができる。したがって、より精度の高い補正処理が可能となる。

10

【0069】

なお、水平OB画素領域100Cの周囲には、バイパスコンデンサなどが配されていることが好ましい。これにより、水平OB画素領域100CのVDD電圧の電位変動をより低減できる。この結果、入射光に影響されない安定したダーク信号を水平OB画素領域100Cから得ることができる。

【0070】

なお、上述の説明では、パッド部16C、16Aから供給される電圧がVDD電圧である場合を説明したが、パッド部16A、16Cから供給される電圧がGND電圧である場合も同様の効果を得ることができる。

20

【0071】

本実施形態によれば、実施形態2と同様に、電圧降下が生じにくい箇所に基準電位が供給される配線パターンを配しながら、配線のインピーダンスを下げ、チップ2の電位変動によるカップリングの影響を低減することができる。また、本実施形態によれば実施形態2に対して、スミアなどの画質劣化を低減し得る。

【0072】

(実施形態4)

図9は、本実施形態による光電変換システム500の構成を示すブロック図である。本実施形態の光電変換システム500は、上記の光電変換装置のいずれかの構成を適用した光電変換装置2000を含む。図9では、光電変換システム500として撮像システムを示している。撮像システム的具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。光電変換システム500は、光電変換装置2000、レンズ5020、絞り504、レンズ5020の保護のためのバリア506を有する。光電変換システム500は、光電変換装置2000から出力される出力信号の処理を行う信号処理部5080(画像信号生成部)を有する。信号処理部5080は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部5080は、光電変換装置2000より出力される出力信号に対してAD変換処理を実施する機能を備えていてもよい。光電変換システム500は、更に、画像データを一時的に記憶するためのバッファメモリ部510、外部コンピュータ等と通信するための外部インターフェース部(外部I/F部)512を有する。更に光電変換システム500は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体514、記録媒体514に記録又は読み出しを行うための記録媒体制御インターフェース部(記録媒体制御I/F部)516を有する。

30

40

【0073】

更に光電変換システム500は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部518、光電変換装置2000と信号処理部5080に各種タイミング信号を出力するタイミング発生部520を有する。光電変換装置2000は、画像用信号を信号処理部5080に出力する。信号処理部5080は、光電変換装置2000から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。

50

また、信号処理部 5 0 8 0 は、画像用信号を用いて、画像を生成する。

【 0 0 7 4 】

上述した各実施形態の光電変換装置を用いて光電変換システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【 0 0 7 5 】

(実施形態 5)

本実施形態の光電変換システム及び移動体について、図 1 0 を用いて説明する。本実施形態では、車載カメラに関する撮像システムの一例を示す。図 1 0 は、車両システムとこれに搭載される撮像システムの一例を示したものである。光電変換システム 7 0 1 は、光電変換装置 7 0 2、画像前処理部 7 1 5、集積回路 7 0 3、光学系 7 1 4 を含む。光学系 7 1 4 は、光電変換装置 7 0 2 に被写体の光学像を結像する。光電変換装置 7 0 2 は、光学系 7 1 4 により結像された被写体の光学像を電気信号に変換する。光電変換装置 7 0 2 は、上述の各実施形態のいずれかの光電変換装置である。画像前処理部 7 1 5 は、光電変換装置 7 0 2 から出力された信号に対して所定の信号処理を行う。光電変換システム 7 0 1 には、光学系 7 1 4、光電変換装置 7 0 2 及び画像前処理部 7 1 5 が、少なくとも 2 組設けられており、各組の画像前処理部 7 1 5 からの出力が集積回路 7 0 3 に入力されるようになっている。

10

【 0 0 7 6 】

集積回路 7 0 3 は、光電変換システム用途向けの集積回路であり、メモリ 7 0 5 を含む画像処理部 7 0 4、光学測距部 7 0 6、視差演算部 7 0 7、物体認知部 7 0 8、異常検出部 7 0 9 を含む。画像処理部 7 0 4 は、画像前処理部 7 1 5 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 7 0 5 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 7 0 6 は、被写体の合焦や、測距を行う。視差演算部 7 0 7 は、複数の光電変換装置 7 0 2 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う。物体認知部 7 0 8 は、車、道、標識、人等の被写体の認知を行う。異常検出部 7 0 9 は、光電変換装置 7 0 2 の異常を検出すると、主制御部 7 1 3 に異常を発報する。

20

【 0 0 7 7 】

集積回路 7 0 3 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

30

【 0 0 7 8 】

主制御部 7 1 3 は、光電変換システム 7 0 1、車両センサー 7 1 0、制御ユニット 7 2 0 等の動作を統括・制御する。なお、主制御部 7 1 3 を持たず、光電変換システム 7 0 1、車両センサー 7 1 0、制御ユニット 7 2 0 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取りうる。

【 0 0 7 9 】

集積回路 7 0 3 は、主制御部 7 1 3 からの制御信号を受け或いは自身の制御部によって、光電変換装置 7 0 2 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 7 0 3 は、光電変換装置 7 0 2 内の電圧スイッチを信号駆動させるための設定や、フレーム毎に電圧スイッチを切り替える設定等を送信する。

40

【 0 0 8 0 】

光電変換システム 7 0 1 は、車両センサー 7 1 0 に接続されており、車速、ヨーレート、舵角などの車両両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサー 7 1 0 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、光電変換システム 7 0 1 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 7 1 1 に接続されている。特に、衝突判定機能に

50

関しては、光電変換システム 701 や車両センサー 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

【0081】

また、光電変換システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

10

【0082】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム 701 で撮影する。図 10 (b) に、車両前方を光電変換システム 701 で撮像する場合の光電変換システム 701 の配置例を示す。

【0083】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、光電変換システム 701 は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

20

【0084】

（その他の実施形態）

以上、各実施形態について説明したが、本発明はこれらの実施形態に制限されるものではなく、様々な変更および変形が可能である。また、各実施形態は相互に適用可能である。

【符号の説明】

【0085】

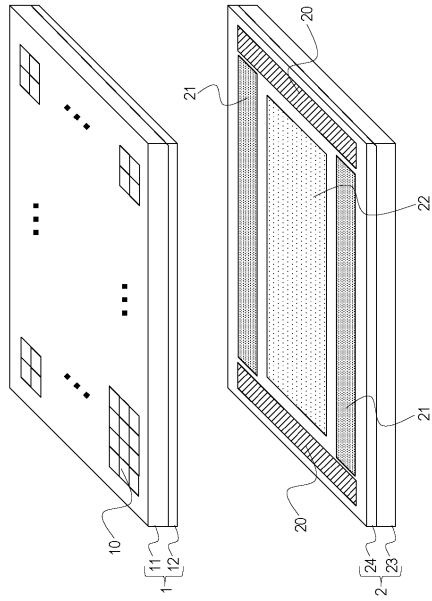
- 1 チップ 1
- 2 チップ 2
- 3 接合面
- 11 第 1 半導体素子層
- 23 第 2 半導体素子層
- 122A 配線パターン
- 100 画素領域
- 102 外周領域

30

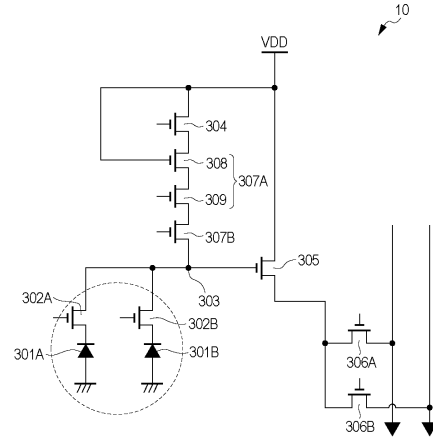
40

50

【図面】
【図 1】



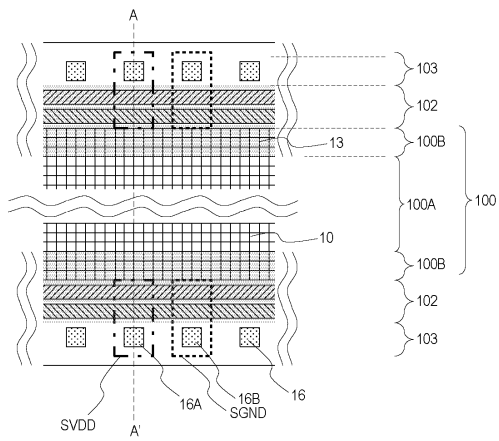
【図 2】



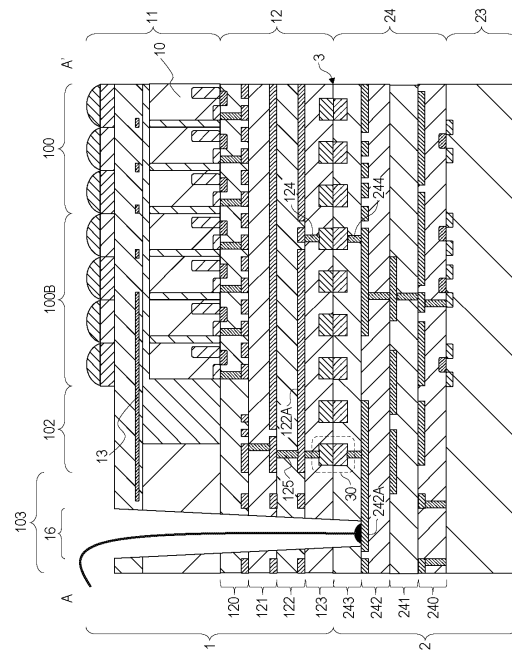
10

20

【図 3】



【図 4】

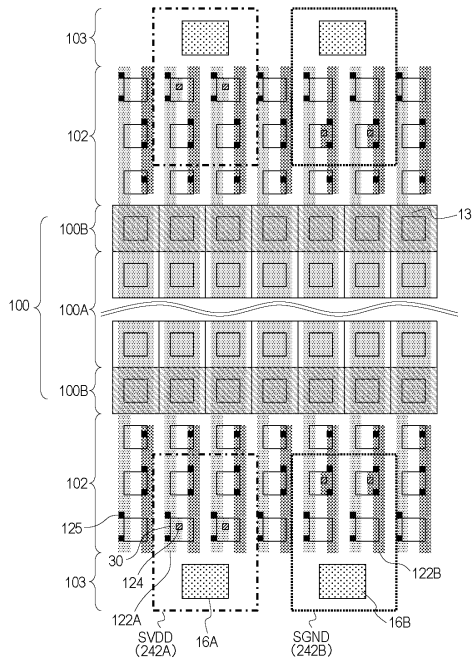


30

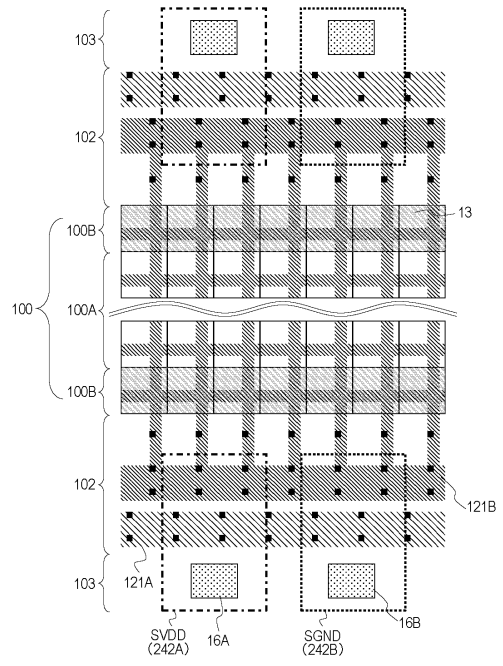
40

50

【図 5 A】



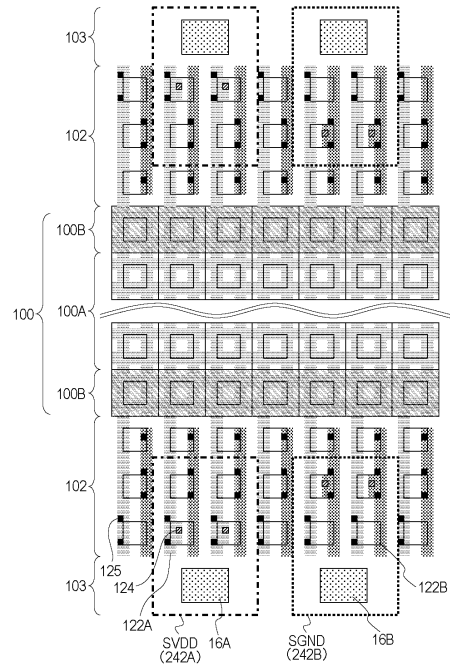
【図 5 B】



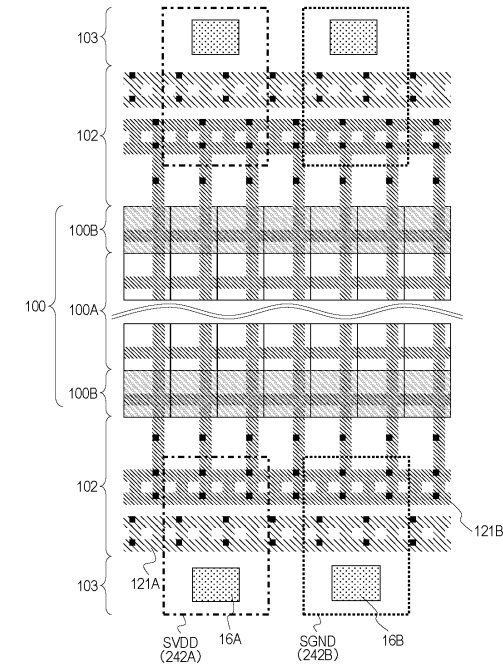
10

20

【図 6 A】



【図 6 B】

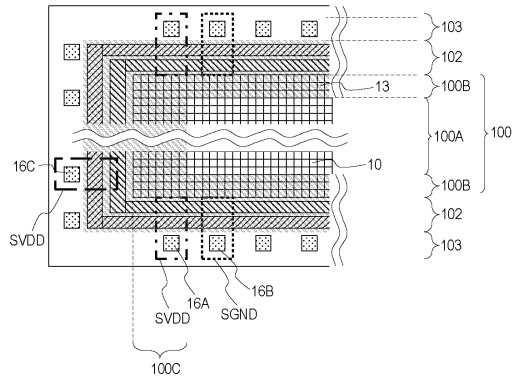


30

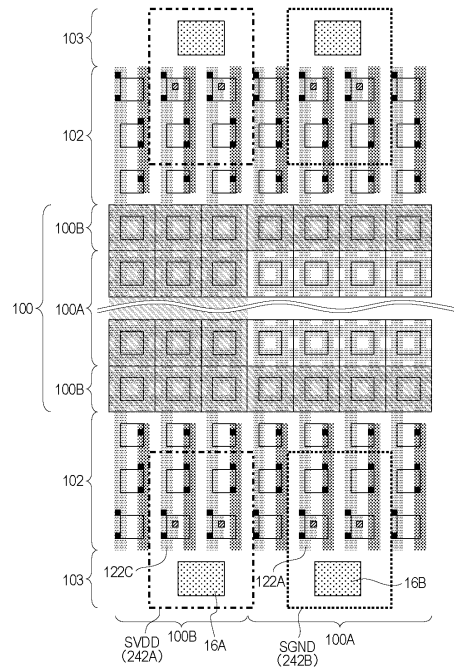
40

50

【図 7】



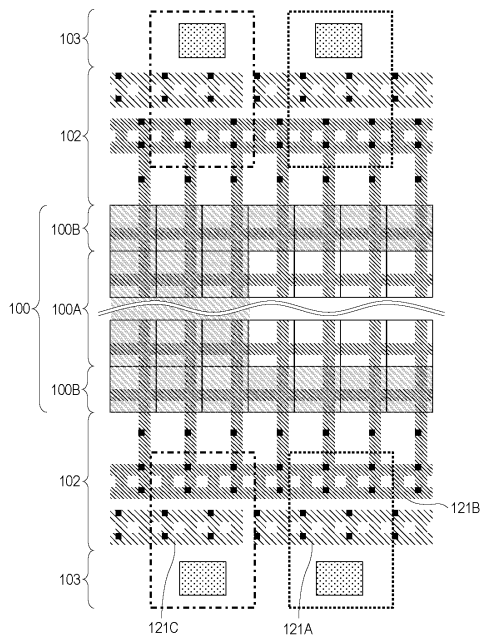
【図 8 A】



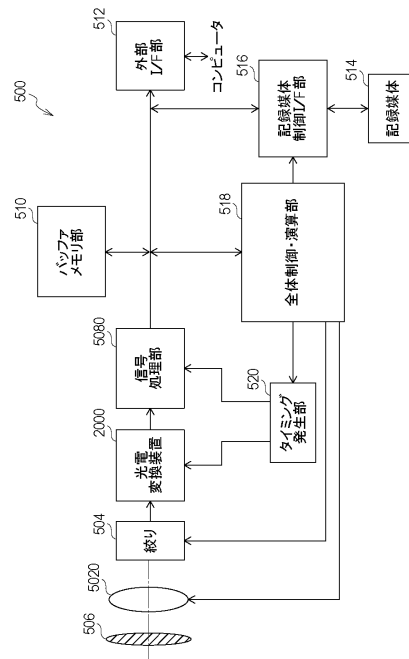
10

20

【図 8 B】



【図 9】

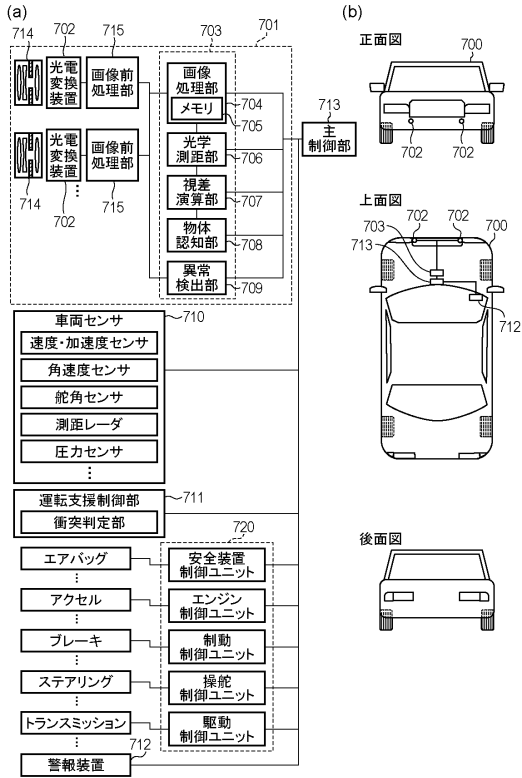


30

40

50

【図 10】



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
<i>H 1 0 D</i>	<i>88/00 (2025.01)</i>	<i>H 1 0 D</i>	<i>88/00</i>	<i>B</i>
<i>H 1 0 D</i>	<i>89/00 (2025.01)</i>	<i>H 1 0 D</i>	<i>89/00</i>	<i>1 0 1 D</i>
<i>H 1 0 D</i>	<i>89/10 (2025.01)</i>	<i>H 1 0 D</i>	<i>89/10</i>	<i>L</i>
<i>H 0 4 N</i>	<i>25/70 (2023.01)</i>	<i>H 0 4 N</i>	<i>25/70</i>	

ヤノン株式会社内

審査官 宮本 博司

- (56)参考文献
- 特開 2 0 1 9 - 1 4 0 2 5 3 (J P , A)
 - 特開 2 0 1 0 - 2 7 3 0 9 5 (J P , A)
 - 国際公開第 2 0 1 8 / 1 8 6 1 9 4 (W O , A 1)
 - 特開 2 0 1 9 - 1 4 0 2 3 7 (J P , A)
 - 特開 2 0 1 4 - 0 2 2 5 6 1 (J P , A)
 - 特開 2 0 1 1 - 1 5 9 9 5 8 (J P , A)

- (58)調査した分野 (Int.Cl., D B名)

H 1 0 F *3 9 / 1 2*
H 0 1 L *2 1 / 3 2 0 5*
H 0 1 L *2 1 / 7 6 8*
H 0 1 L *2 3 / 5 2 2*
H 1 0 D *8 4 / 8 3*
H 1 0 D *8 8 / 0 0*
H 1 0 D *8 9 / 0 0*
H 1 0 D *8 9 / 1 0*
H 0 4 N *2 5 / 7 0*