

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



(10) 国際公開番号

WO 2018/179265 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) H05B 33/02 (2006.01)
H01L 27/32 (2006.01) H05B 33/04 (2006.01)
H01L 51/50 (2006.01) H05B 33/06 (2006.01)

(21) 国際出願番号: PCT/JP2017/013355

(22) 国際出願日: 2017年3月30日(30.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者: 安部 薫 (ABE, Kaoru). 山渕 浩二 (YAMABUCHI, Koji). 川戸 伸一 (KAWATO, Shinichi).

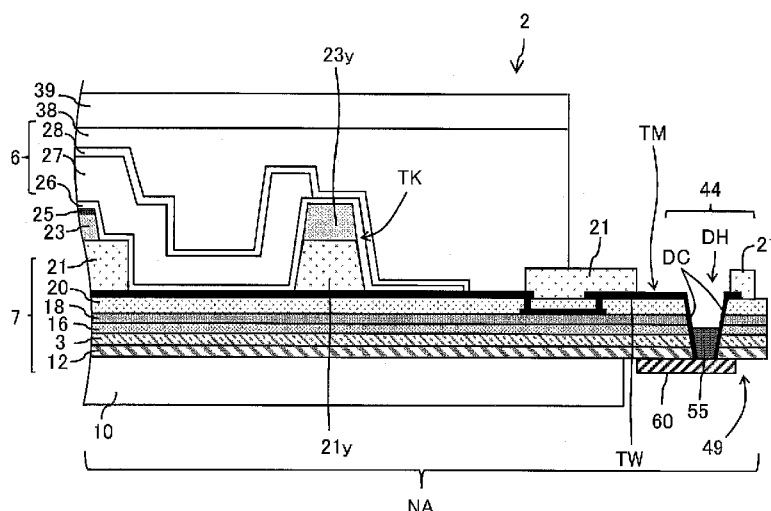
(74) 代理人: 特許業務法人 H A R A K E N Z O W O R L D P A T E N T & T R A D E M A R K (HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: DISPLAY DEVICE, METHOD FOR MANUFACTURING DISPLAY DEVICE, AND APPARATUS FOR MANUFACTURING DISPLAY DEVICE

(54) 発明の名称: 表示デバイス、表示デバイスの製造方法、表示デバイスの製造装置

図 3



(57) Abstract: This display device is provided with: a light emitting element layer (5); a terminal part (44) including a plurality of terminal electrodes (TM); a conduction hole (DH) extending from the terminal part (44) to a rear surface thereof; a conductive material (55) disposed inside the conduction hole (DH); and an electronic circuit substrate (60) disposed on the rear surface of the terminal part, wherein the terminal electrodes (TM) include conduction parts (DC) formed on an inner wall of the conduction hole, and the conductive material (55) contacts the conduction parts (DC) and

HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the electronic circuit substrate (60).

(57) 要約: 発光素子層 (5) と、複数の端子電極 (TM) を含む端子部 (44) と、端子部 (44) からその裏面に到る導通ホール (DH) と、導通ホール (DH) の内部に配された導電体 (55) と、端子部の裏面に配された電子回路基板 (60) とを備え、端子電極 (TM) は、導通ホールの内側壁に形成された導通部 (DC) を含み、導電体 (55) が導通部 (DC) および電子回路基板 (60) に接触している。

明 細 書

発明の名称：

表示デバイス、表示デバイスの製造方法、表示デバイスの製造装置

技術分野

[0001] 本発明は、表示デバイスに関する。

背景技術

[0002] 特許文献1には、有機EL素子を含むデバイスにフレキシブルプリント基板（FPC）を実装する構成が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国再公表特許公報「WO2013-99135号（2013年7月4日公開）」

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の手法では、FPC等の電子回路基板の実装領域を確保するために額縁部分が大きくなるという問題がある。

課題を解決するための手段

[0005] 本発明の一態様に係る表示デバイスは、下層部と、前記下層部よりも上層に形成される発光素子層とを備え、前記下層部には、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとが形成されている。

発明の効果

[0006] 本発明の一態様によれば、表示領域を取り囲む額縁部分を縮小することができる。

図面の簡単な説明

[0007] [図1]表示デバイスの製造方法の一例を示すフローチャートである。

[図2] (a) は、実施形態 1 の表示デバイス（表示領域）の製造途中の構成例を示す断面図であり、(b) は、実施形態 1 の表示デバイス（表示領域）の構成例を示す断面図である。

[図3] 実施形態 1 の表示デバイス（非表示領域）の構成例を示す断面図である。

[図4] 実施形態 1 での成膜工程および実装工程を示すフローチャートである。

[図5] 実施形態 1 での成膜工程および実装工程を示す平面図である。

[図6] 実施形態 1 での成膜工程および実装工程を示す断面図である。

[図7] 実施形態 1 の変形例を示す平面図である。

[図8] 実施形態 1 の変形例を示す断面図である。

[図9] 本実施形態の表示デバイス製造装置の構成を示すブロック図である。

[図10] 実施形態 2 での成膜工程および実装工程を示すフローチャートである。

[図11] 実施形態 2 での成膜工程および実装工程を示す平面図である。

[図12] 実施形態 2 での成膜工程および実装工程を示す断面図である。

[図13] 実施形態 2 における成膜工程および実装工程の別例を示す断面図である。

[図14] 実施形態 3 の表示デバイスの構成を示す平面図である。

[図15] 実施形態 3 の変形例を示す断面図である。

[図16] 実施形態 3 の表示デバイスの別構成を示す平面図である。

発明を実施するための形態

[0008] 図 1 は、表示デバイスの製造方法の一例を示すフローチャートであり、図 2 (a) は、実施形態 1 の表示デバイス（表示領域）の構成例を示す断面図であり、図 (b) は、実施形態 1 の表示デバイス（非表示領域）の構成例を示す断面図である。図 3 は、実施形態 1 の表示デバイス（非表示領域）の構成例を示す断面図である。

[0009] 図 1 および図 2 (a) に示すように、まず、透光性の支持体 50（例えば、ガラス基板）上に樹脂層 12 を形成する（ステップ S 1）。次いで、バリ

ア層 3 を形成する（ステップ S 2）。次いで、半導体膜 1 5、ゲート電極 G、ソース電極 S、ドレイン電極 D、および無機絶縁膜 1 6・1 8・2 0 を含む T F T 層 4 を形成する（ステップ S 3）。次いで、発光素子層（例えば、O L E D 素子層）5 を形成する（ステップ S 4）。次いで、無機封止膜 2 6・2 8 および有機封止膜 2 7 を含む封止層 6 を形成する（ステップ S 5）。次いで、封止層 6 上に接着層 8 を介して上面フィルム 9 を貼り付ける（ステップ S 6）。

[0010] 次いで、支持体 5 0 越しに樹脂層 1 2 の下面にレーザ光を照射する（ステップ S 7）。ここでは、支持体 5 0 の下面に照射され、支持体 5 0 を透過したレーザ光を樹脂層 1 2 が吸収することで、樹脂層 1 2 の下面（支持体 5 0 との界面）がアブレーションによって変質し、樹脂層 1 2 および支持体 5 0 間の結合力が低下する。次いで、支持体 5 0 を樹脂層 1 2 から剥離する（ステップ S 8）。次いで、樹脂層 1 2 の下面に、接着層 1 1 を介して下面フィルム 1 0（例えば、P E T）を貼り付ける（ステップ S 9）。次いで、下面フィルム付きの積層体を分断し、個片化する（ステップ S 1 0）。次いで、接着層 3 8 を介して機能フィルム 3 9 を貼り付ける（ステップ S 1 1）。次いで、T F T 層 4 の端子部の裏面に電子回路基板 6 0（例えば、F P C）を実装し、図 2（b）および図 3 に示す、個片化された表示デバイス 2 を得る（ステップ S 1 2）。なお、前記各ステップは表示デバイスの製造装置が行う。

[0011] 下面フィルム 1 0 の材料としては、例えばポリエチレンテレフタレート（P E T）が挙げられる。樹脂層 1 2 の材料としては、例えば、ポリイミド、エポキシ、ポリアミド、アクリル等が挙げられる。

[0012] バリア層 3 は、表示デバイスの使用時に、水分や不純物が、T F T 層 4 や発光素子層 5 に到達することを防ぐ層であり、例えば、C V D により形成される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。無機バリア層 3 の厚さは、例えば、5 0 n m ～ 1 5 0 0 n m である。

[0013] TFT層4は、半導体膜15と、半導体膜15の上側に形成される無機絶縁膜16（ゲート絶縁膜）と、ゲート絶縁膜16の上側に形成されるゲート電極Gと、ゲート電極Gの上側に形成される無機絶縁膜18と、無機絶縁膜18の上側に形成される、容量電極Cと、容量電極Cの上側に形成される無機絶縁膜20と、無機絶縁膜20の上側に形成される、ソース電極S、ドレイン電極Dおよび端子電極TMと、ソース電極Sおよびドレイン電極Dの上側に形成される有機層間膜21とを含む。半導体膜15、無機絶縁膜16、ゲート電極G、無機絶縁膜18・20、ソース電極Sおよびドレイン電極Dは、薄層トランジスタ（TFT）を構成する。

[0014] TFT層4の端部（非表示領域NA）に形成される複数の端子電極TMは、ICチップ、FPC等の電子回路基板との接続に用いられる。端子電極TMの端面は、有機層間膜21によって覆われている。

[0015] 半導体膜15は、例えば低温ポリシリコン（LPTS）あるいは酸化物半導体で構成される。ゲート絶縁膜16は、例えば、CVD法によって形成された、酸化シリコン（SiO_x）膜あるいは窒化シリコン（SiN_x）膜またはこれらの積層膜によって構成することができる。ゲート電極G、ソース電極S、ドレイン電極D、および端子は、例えば、アルミニウム（Al）、タングステン（W）、モリブデン（Mo）、タンタル（Ta）、クロム（Cr）、チタン（Ti）、銅（Cu）の少なくとも1つを含む金属の単層膜あるいは積層膜によって構成される。なお、図2では、半導体膜15をチャネルとするTFTがトップゲート構造で示されているが、ボトムゲート構造でもよい（例えば、TFTのチャネルが酸化物半導体の場合）。

[0016] 無機絶縁膜16・18・20は、例えば、CVD法によって形成された、酸化シリコン（SiO_x）膜あるいは窒化シリコン（SiN_x）膜またはこれらの積層膜によって構成することができる。

[0017] 有機層間膜21は、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。有機層間膜21は、発光素子層5の下地（平坦化膜）として機能する。また、有機層間膜21と、非表示領域の凸状構

造体 T K の下部 2 1 y は同一工程で形成される。

[0018] アノード電極 2 2 は、例えば I T O (Indium Tin Oxide) と A g または A l を含む合金との積層またはによって構成され、光反射性を有する。

[0019] 発光素子層 5 (例えば、O L E D 層) は、有機層間膜 2 1 の上側に形成されるアノード電極 2 2 と、表示領域 D A のサブピクセルを規定するバンク 2 3 と、アノード電極 2 2 の上側に形成される E L (エレクトロルミネッセンス) 層 2 4 と、E L 層 2 4 の上側に形成されるカソード電極 2 5 とを含む。

[0020] なお、表示領域のバンク 2 3 および非表示領域の凸状構造体 T K の上部 2 3 y は、ポリイミド、エポキシ、アクリル等の塗布可能な感光性有機材料を用いて、例えば同一工程で形成することができる。凸状構造体 T K は、無機絶縁膜 2 0 よりも上層に形成され、有機封止膜 2 7 のエッジを規定する。

[0021] E L 層 2 4 は、蒸着法あるいはインクジェット法によって、バンク 2 3 で規定された領域 (サブピクセル領域) に形成される。発光素子層 5 が O L E D (有機発光ダイオード) 層である場合、E L 層 2 4 は、例えば、下層側から順に、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層を積層することで構成される。カソード電極 2 5 は、I T O (Indium Tin Oxide)、I Z O (Indium Zincum Oxide) 等の透明金属または、M g A g 合金で構成することができる。

[0022] 発光素子層 5 が O L E D 層である場合、アノード電極 2 2 およびカソード電極 2 5 間の駆動電流によって正孔と電子が E L 層 2 4 内で再結合し、これによって生じたエキシトンが基底状態に落ちることによって、光が放出される。

[0023] なお、発光素子層 5 は、前記の O L E D 層に限られず、無機発光ダイオード層でもよいし、量子ドット発光ダイオード層でもよい。

[0024] 封止層 6 は、隔壁 2 3 c およびカソード電極 2 5 を覆う第 1 無機封止膜 2 6 と、第 1 無機封止膜 2 6 を覆う有機封止膜 2 7 と、有機封止膜 2 7 を覆う第 2 無機封止膜 2 8 とを含む。

[0025] 第 1 無機封止膜 2 6 および第 2 無機封止膜 2 8 はそれぞれ、例えば、マス

クを用いたCVDにより形成される、酸化シリコン膜、窒化シリコン膜、あるいは酸窒化シリコン膜、またはこれらの積層膜で構成することができる。有機封止膜27は、第1無機封止膜26および第2無機封止膜28よりも厚い、透光性の有機絶縁膜であり、ポリイミド、アクリル等の塗布可能な感光性有機材料によって構成することができる。例えば、このような有機材料を含むインクを第1無機封止膜26上にインクジェット塗布した後、UV照射により硬化させる。封止層6（特に、第1無機封止膜26および第2無機封止膜28）は、発光素子層5を覆い、水、酸素等の異物の発光素子層5への浸透を防いでいる。なお、封止層6を無機膜だけで構成することもできる。

[0026] なお、上面フィルム9は、接着剤8を介して封止層6上に貼り付けられ、支持体50を剥離した時の支持材として機能する。上面フィルム9の材料としては、PET（ポリエチレンテレフタレート）等が挙げられる。

[0027] 下面フィルム10は、支持体50を剥離した後に樹脂層12の下面に貼り付けることで、柔軟性に優れた表示デバイスを製造するためのものであり、その材料としては、PET等が挙げられる。

[0028] 機能フィルム39は、例えば、光学補償機能、タッチセンサ機能、保護機能等を有する。端子部44の裏面に配される電子回路基板60は、例えば、ICチップあるいはフレキシブルプリント基板である。

[0029] 図3に示すように、樹脂層12、バリア層3およびTF T層4を含む下層部7には、TF T層4の無機絶縁膜20上に位置する端子部44と、端子部44から、無機絶縁膜20、無機絶縁膜18、無機絶縁膜16、バリア層3、および樹脂層12を貫通し、端子部44の裏面49（樹脂層12の下面）に到る導通ホールDHとが形成される。

[0030] 端子部44は複数の端子電極TMを含み、端子電極TMは、導通ホールDHの内側壁（無機絶縁膜16・18・20、バリア層3および樹脂層12の貫通孔の内壁）に形成された導通部DCを含む。導通ホールDHの内部には導電体55が配され、導電体55が、端子部44の裏面49（樹脂層12の下面端部）に配された電子回路基板60および端子電極TMの導通部DCそ

れぞれと接触することで、端子電極 T M と電子回路基板 6 0 とが電氣的に接続される。

[0031] なお、導通ホール D H の形成手法としては、無機絶縁膜 1 6 ・ 1 8 ・ 2 0 および樹脂層 1 2 については、例えばフォトリソグラフィを用いたドライエッチングによってホール形成が可能である。樹脂層 1 2 についてはレーザ照射によってもホール形成が可能である。

[0032] 〔実施形態 1 〕

図 4 は、実施形態 1 での成膜工程および実装工程を示すフローチャートである。図 5 は、実施形態 1 での成膜工程および実装工程を示す平面図である。図 6 は、実施形態 1 での成膜工程および実装工程を示す断面図である。

[0033] まず、図 4 ・ 図 5 (a) ・ 図 6 (a) に示すように、端子部形成位置に導通ホール D H を形成する (ステップ S 4 a) 。導通ホール D H は、端子電極の形成位置ごとに設ける。導通ホール D H は順テーパ (底に向けて細る) 形状であり、無機絶縁膜 2 0 、無機絶縁膜 1 8 、無機絶縁膜 1 6 、バリア層 3 、および樹脂層 1 2 を貫通する。導通ホール D H のテーパ角は、 $30^{\circ} \sim 80^{\circ}$ が望ましい。

[0034] 次いで、図 4 ・ 図 5 (b) ・ 図 6 (b) に示すように、端子部 4 4 に、導通ホール D H の内側壁を通る端子電極 T M を形成する (ステップ S 4 b) 。すなわち、端子電極 T M は、導通ホール D H の内側壁に形成された導通部 D C を含む。

[0035] その後、支持体 5 0 を (樹脂層 1 2 から) 剥離する (ステップ S 8) 。これにより、図 5 (c) に示すように、端子電極 T M の導通ホール底面に位置する部分が除去される。

[0036] 次いで、図 4 ・ 図 6 (c) に示すように、下面フィルム 1 0 を貼り付ける (ステップ S 9) 。次いで、分断による個片化を行う (ステップ S 1 0) 。このステップでは、端子部 4 4 の裏側にあたる下面フィルム 1 0 を切断しておく。次いで、図 4 ・ 図 6 (d) に示すように、端子部の裏側にあたる下面フィルムを剥離する (ステップ S 1 2 a) 。

[0037] 次いで、図4・図6（e）に示すように、表示デバイス2を、開口（端子部に対応する位置に設けられている）を有するステージST1に載せ、電子回路基板60をステージST2に載せて電子回路基板60上に導電体55（導電性バインダー）を配置し、導電体55と導通ホール底面とが向かい合うように、ステージST2を端子部44の裏側に配置する（ステップS12b）。次いで、図4・図6（e）に示すように、圧着ヘッドAHを導通ホール上面（開口面）側に配してステージST2を上昇させて、電子回路基板60および圧着ヘッドAHによって導電体55に圧力をかけ、導電体55を導通ホールDH内に充填する（ステップS12c）。次いで、圧着ヘッドAHからの熱によって導通ホールDH内に充填された導電体55を硬化させる（ステップS12d）。

[0038] これにより、図4・図5（d）・図6（f）に示すように、導電性バインダーである導電体55が導通部DCおよび電子回路基板60に接触した状態で電子回路基板60が樹脂層12の下面に接着される。すなわち、端子電極TMおよび電子回路基板60が電氣的に接続され、電子回路基板60が、端子部44の裏面に実装される。

[0039] 図7は、実施形態1の表示デバイスの変形例を示す断面図である。図7は導通部DCが端子電極TMと同一プロセスで形成される（同じソース層に、かつ同材料で形成される）場合の端子部構成を示している。この場合、導通ホールDHが端子電極TMのエッジTeで囲まれる構成となる。また、無機絶縁膜20上には、一端が端子電極TMに繋がり、端子電極TMと同一材料で形成された端子配線TWが設けられており、端子配線TWの配線幅w1が、この配線幅w1と同方向に関する導通ホールDHのサイズw2よりも小さい。

[0040] なお、図2および図3では、端子電極TMがTF T層4のソース層（例えば、ソース電極）に接続されているがこれに限定されない。端子電極TMをTF T層4のゲート層（ゲート電極と同層）に接続することもできる。

[0041] 導通ホールDHの形状については、図8（a）に示すように、段階的に先

細となる構成でもよい。例えば、無機絶縁膜 16・18・20 の開口よりもバリア層 3 および樹脂層 12 の開口を小さくする。また、導通部 DC を、無機絶縁膜 16・18・20 およびバリア層 3 の貫通孔の内壁に形成する。

[0042] また、図 8 (b) のように、導通ホール DH の底面下に電子回路基板 60 を配するとともに、押さえ板 PZ に塗布した導電体 55 (導電性バインダー) を導通ホール DH の開口上に配し、圧着ヘッド AH を降下させて押さえ板 PZ および電子回路基板 60 間の導電体 55 に圧力を加えて導電体 55 を導通ホール DH 内に充填してもよい。

[0043] なお、図 9 に示すように、表示デバイス製造装置 70 は、成膜装置 76 と、分断装置 74 と、熱圧着ツール等を含む実装装置 80 と、これらの装置を制御するコントローラ 72 とを含んでおり、コントローラ 72 の制御を受けた成膜装置 76 が図 4 のステップ S4a～ステップ S4b を行い、コントローラ 72 の制御を受けた実装装置 80 が図 4 のステップ S12a～ステップ S12d を行う。

[0044] 実施形態 1 では、端子部 44 の裏面に電子回路基板 60 を実装することができるため、端子部上に実装した電子回路基板 (FPC 等) を裏面に折り曲げるような構成と比較して額縁部分を縮小することができる。また、電子回路基板を折り曲げる必要もないため、実装の信頼性も高められる。

[0045] [実施形態 2]

図 10 は、実施形態 2 での成膜工程および実装工程を示すフローチャートである。図 11 は、実施形態 2 での成膜工程および実装工程を示す平面図である。図 12 は、実施形態 2 での実装工程を示す断面図である。

[0046] まず、図 10・図 11 (a)・図 12 (a) に示すように、端子部形成位置に導通ホール DH を形成する (ステップ S4a)。導通ホール DH は順テーパ (底に向けて細る) 形状であり、無機絶縁膜 20、無機絶縁膜 18、無機絶縁膜 16、バリア層 3、および樹脂層 12 を貫通する。

[0047] 次に、図 10・図 11 (b) に示すように、端子部 44 に、端子電極 TM (ソース層) を形成する (ステップ S4b)。

- [0048] その後、図10に示すように、支持体50を（樹脂層12から）剥離し（ステップS8）、下面フィルムを貼り付ける（ステップS9）。次いで、分断による個片化を行う（ステップS10）。このステップでは、端子部44の裏側にあたる下面フィルムを切断しておく。次いで、図10に示すように、端子部の裏側にあたる下面フィルムを剥離する（ステップS12a）。
- [0049] 次いで、図10・図12（b）に示すように、電子回路基板60を、接着剤59によって端子部44の裏側に接着する（ステップS12b）。次いで、図10・図11（c）・図12（c）に示すように、インクジェット法により、端子電極TMおよび導通ホールDH内に導電体56を塗布する（ステップS12e）。導電体56は、例えば、銀ナノ粒子を含むインクジェット可能な導電材で構成され、端子電極TMおよび電子回路基板60に接触する。
- [0050] これにより、導電体56を介して端子電極TMおよび電子回路基板60が電氣的に接続され、電子回路基板60が、端子部44の裏面に実装される。
- [0051] なお、実施形態2においても、図12（x）・（y）に示すように、端子電極TMを導通ホールDHの内側壁に形成された導通部DCを含むように構成し、導通ホールDH内にインクジェット方式にて導電体56を打ち込むことで、導電体56を、端子電極TMおよび電子回路基板60に接触させる構成でもよい。
- [0052] 図11（a）～（c）の例では、導通ホールDHを端子電極TMごとに設けているが、図11（d）のように、複数の端子電極に1つの（共通の）導通ホールDHを設けてもよいし、すべての端子電極に対して1つの（共通の）導通ホールDHを設けてもよい。
- [0053] さらに、図13（a）（d）に示すように、複数の端子電極TMに対応する導通ホールDHに、端子電極TMごとに形成された樹脂ホール12kが含まれ、端子電極TMが、樹脂ホール12kの側壁に形成された導通部DCを含み、導通ホールDH内に配された異方性導電フィルム58（熱硬化樹脂58jおよび導電粒子58cを含む）が、端子電極TMの導通部DCと、樹脂

層 1 2 の下側に配された電子回路基板 6 0 とに接触している構成も可能である。図 1 3 (b) のように、圧着ヘッド A H から抑え板 P Z を介して異方性導電フィルム 5 8 に圧力および熱を加えることで、樹脂ホール 1 2 k 内に導電粒子 5 8 c が押し込まれ、導通部 D C と電子回路基板 6 0 とが導電粒子 5 8 c を介して接続される (図 1 3 (c) 参照) 。なお、端子電極 T M の並ぶ方向 (図 1 3 (d) の縦方向) には絶縁性が担保される。

[0054] 〔実施形態 3〕

実施形態 1 ・ 2 では、4 辺を有する平面視において矩形の表示デバイスの 1 辺 (1 つのエッジ) に対応して端子部 4 4 およびその裏面に電子回路基板 6 0 を設けているが、これに限定されない。例えば、図 1 4 のように、4 辺 (F A ・ F B ・ F C ・ F D) それぞれに対応して、端子部 4 4 およびその裏面に電子回路基板 6 0 を設けることもできる。こうすれば、引き回し配線の領域が削減され、額縁部分を縮小することができる。

[0055] 図 1 4 の構成では、向かい合う 2 辺に対応する端子部 4 4 およびその裏面の電子回路基板 6 0 を図 3 のように接続 (すなわち、端子電極 T M を T F T 層 4 のソース層に電氣的に接続) し、残りの 2 辺 (向かい合う 2 辺) に対応する端子部 4 4 およびその裏面の電子回路基板 6 0 を図 1 5 のように接続 (すなわち、端子電極 T M を T F T 層 4 のゲート層に電氣的に接続) することもできる。

[0056] なお、平面視における表示デバイス 2 のエッジは矩形に限られず、多角形、円形、楕円形等でもよい (例えば、表示デバイスのエッジ全体が楕円形状あるいは円形状でもよいし、エッジの一部が楕円形状あるいは円形状でもよい) 。図 1 6 に示すように、表示デバイス 2 のエッジの一部が曲率を有する湾曲部 F a であり、湾曲部 F a に沿って端子部 4 4 が形成されている構成でもよい。この場合、端子部 4 4 の裏面に設けられる電子回路基板 6 0 のエッジの一部が曲率を有していてもよい。

[0057] 本実施形態にかかる表示デバイスが備える電気光学素子は特に限定されるものではない。表示デバイスとしては、例えば、電気光学素子として O L E D

(Organic Light Emitting Diode : 有機発光ダイオード) を備えた有機 E L (Electro Luminescence : エレクトロルミネッセンス) ディスプレイ、電気光学素子として無機発光ダイオードを備えた無機 E L ディスプレイ、電気光学素子として Q L E D (Quantum dot Light Emitting Diode : 量子ドット発光ダイオード) を備えた Q L E D ディスプレイ等が挙げられる。

[0058] 〔まとめ〕

態様 1 :

下層部と、前記下層部よりも上層に形成される発光素子層とを備え、
前記下層部には、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとが形成されている表示デバイス。

態様 2 :

少なくとも一部が前記導通ホール内に位置する導電体が設けられ、前記導電体は、前記端子電極と、前記下層部よりも下側に配された電子回路基板とに接触している例えば態様 1 記載の表示デバイス。

態様 3 :

前記端子電極は、前記導通ホールの内側壁に形成された導通部を含み、前記導電体は、前記導通部および前記電子回路基板に接触している例えば態様 2 記載の表示デバイス。

態様 4 :

前記導通ホールと前記端子電極とが同一材料で形成され、
平面視において、前記導通ホールが、前記端子電極のエッジで囲まれている例えば態様 1 ～ 3 のいずれか 1 項に表示デバイス。

態様 5 :

前記下層部には、一端が前記端子電極に繋がり、前記端子電極と同一材料で形成された端子配線が設けられ、前記端子配線の配線幅は、前記配線幅と同方向に関する前記導通ホールのサイズよりも小さい例えば態様 4 に記載の表示デバイス。

態様 6 :

前記導通ホールは、順テーパー形状である例えば態様１～５のいずれか１項に記載の表示デバイス。

態様７：

前記導電体は、導電性バインダーである例えば態様２に記載の表示デバイス。

態様８：

前記導電体はインクジェット法で塗布可能な導電材を含む例えば態様２に記載の表示デバイス。

態様９：

前記下層部は、前記端子部が設けられたＴＦＴ層と、前記ＴＦＴ層の下層に形成されたバリア層と、前記バリア層の下層に形成された樹脂層とを含む例えば態様１～８のいずれか１項に記載の表示デバイス。

態様１０：

前記導通ホールは、前記端子部から、前記バリア層および前記樹脂層を貫通して前記下層部の下面に到る例えば態様９に記載の表示デバイス。

態様１１：

前記樹脂層に接着された下面フィルムを含み、

前記端子部の裏面においては前記下面フィルムが除去されている例えば態様９または１０に記載の表示デバイス。

態様１２：

前記端子電極は、前記ＴＦＴ層内のトランジスタの導通電極と同層に形成されている例えば態様９～１１のいずれか１項に記載の表示デバイス。

態様１３：

３辺以上を有する多角形状を有し、

複数の辺それぞれに対応して、前記端子部およびその裏面側に配された前記電子回路基板を備える例えば態様２に記載の表示デバイス。

態様１４：

前記表示デバイスのエッジの少なくとも一部が曲率を有する湾曲部であり

、前記湾曲部に沿って前記端子部が形成されている例えば態様１～１３のいずれか１項に記載の表示デバイス。

態様１５：

下層部と、前記下層部よりも上層に形成される発光素子層とを備える表示デバイスの製造方法であって、

前記下層部に、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとを形成する表示デバイスの製造方法。

態様１６：

少なくとも一部が前記導通ホール内に位置する導電体を設け、前記導電体を、前記端子電極と、前記下層部よりも下側に配された電子回路基板とに接触させる例えば態様１５記載の表示デバイスの製造方法。

態様１７：

前記導通ホールを、順テーパ形状とする例えば態様１４記載の表示デバイスの製造方法。

態様１８：

前記導電体は、導電性バインダーである例えば態様１５～１７のいずれか１項に記載の表示デバイスの製造方法。

態様１９：

圧力によって前記導電体を前記導通ホール内に充填する例えば態様１８記載の表示デバイスの製造方法。

態様２０：

前記導電体をインクジェット法で塗布する例えば態様１５～１７のいずれか１項に記載の表示デバイスの製造方法。

態様２１：

支持体の上側に、樹脂層と、バリア層と、前記端子部を含むＴＦＴ層とを形成する例えば態様１５～２０のいずれか１項に記載の表示デバイスの製造方法。

態様 2 2 :

前記支持体を前記樹脂層から剥離し、前記樹脂層に下面フィルムを貼り付ける例えば態様 2 1 に記載の表示デバイスの製造方法。

態様 2 3 :

前記下面フィルムの前記端子部の裏面にあたる部分を除去する例えば態様 2 2 に記載の表示デバイスの製造方法。

態様 2 4 :

下層部と、前記下層部よりも上層に形成される発光素子層とを備える表示デバイスの製造装置であって、

前記下層部に、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとを形成する表示デバイスの製造装置。

[0059] 本発明は上述した実施形態に限定されるものではなく、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

- [0060]
- | | |
|-----|---------|
| 2 | 表示デバイス |
| 4 | T F T 層 |
| 5 | 発光素子層 |
| 6 | 封止層 |
| 7 | 下層部 |
| 1 0 | 下面フィルム |
| 1 2 | 樹脂層 |
| 1 6 | 無機絶縁膜 |
| 1 8 | 無機絶縁膜 |
| 2 0 | 無機絶縁膜 |

- 2 1 有機層間膜
- 2 4 E L 層
- 2 6 第 1 無機封止膜
- 2 7 有機封止膜
- 2 8 第 2 無機封止膜
- 4 4 端子部
- 5 0 支持体
- 5 5 導電体
- 6 0 電子回路基板
- 7 0 表示デバイス製造装置
- 8 0 実装装置
- D H 導通ホール
- D C 導通部
- A H 圧着ヘッド
- T M 端子電極

請求の範囲

- [請求項1] 下層部と、前記下層部よりも上層に形成される発光素子層とを備え、
- 前記下層部には、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとが形成されている表示デバイス。
- [請求項2] 少なくとも一部が前記導通ホール内に位置する導電体が設けられ、前記導電体は、前記端子電極と、前記下層部よりも下側に配された電子回路基板とに接触している請求項1記載の表示デバイス。
- [請求項3] 前記端子電極は、前記導通ホールの内側壁に形成された導通部を含み、前記導電体は、前記導通部および前記電子回路基板に接触している請求項2記載の表示デバイス。
- [請求項4] 前記導通ホールと前記端子電極とが同一材料で形成され、平面視において、前記導通ホールが、前記端子電極のエッジで囲まれている請求項1～3のいずれか1項に表示デバイス。
- [請求項5] 前記下層部には、一端が前記端子電極に繋がり、前記端子電極と同一材料で形成された端子配線が設けられ、前記端子配線の配線幅は、前記配線幅と同方向に関する前記導通ホールのサイズよりも小さい請求項4に記載の表示デバイス。
- [請求項6] 前記導通ホールは、順テーパ形状である請求項1～5のいずれか1項に記載の表示デバイス。
- [請求項7] 前記導電体は、導電性バインダーである請求項2に記載の表示デバイス。
- [請求項8] 前記導電体はインクジェット法で塗布可能な導電材を含む請求項2に記載の表示デバイス。
- [請求項9] 前記下層部は、前記端子部が設けられたT F T層と、前記T F T層の下層に形成されたバリア層と、前記バリア層の下層に形成された樹脂層とを含む請求項1～8のいずれか1項に記載の表示デバイス。

- [請求項10] 前記導通ホールは、前記端子部から、前記バリア層および前記樹脂層を貫通して前記下層部の下面に到る請求項 9 に記載の表示デバイス。
- [請求項11] 前記樹脂層に接着された下面フィルムを含み、
前記端子部の裏面においては前記下面フィルムが除去されている請求項 9 または 10 に記載の表示デバイス。
- [請求項12] 前記端子電極は、前記 T F T 層内のトランジスタの導通電極と同層に形成されている請求項 9 ～ 11 のいずれか 1 項に記載の表示デバイス。
- [請求項13] 3 辺以上を有する多角形状を有し、
複数の辺それぞれに対応して、前記端子部およびその裏面側に配された前記電子回路基板を備える請求項 2 に記載の表示デバイス。
- [請求項14] 前記表示デバイスのエッジの少なくとも一部が曲率を有する湾曲部であり、前記湾曲部に沿って前記端子部が形成されている請求項 1 ～ 13 のいずれか 1 項に記載の表示デバイス。
- [請求項15] 下層部と、前記下層部よりも上層に形成される発光素子層とを備える表示デバイスの製造方法であって、
前記下層部に、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとを形成する表示デバイスの製造方法。
- [請求項16] 少なくとも一部が前記導通ホール内に位置する導電体を設け、前記導電体を、前記端子電極と、前記下層部よりも下側に配された電子回路基板とに接触させる請求項 15 に記載の表示デバイスの製造方法。
- [請求項17] 前記導通ホールを、順テーパ形状とする請求項 14 に記載の表示デバイスの製造方法。
- [請求項18] 前記導電体は、導電性バインダーである請求項 15 ～ 17 のいずれか 1 項に記載の表示デバイスの製造方法。
- [請求項19] 圧力によって前記導電体を前記導通ホール内に充填する請求項 18

記載の表示デバイスの製造方法。

[請求項20] 前記導電体をインクジェット法で塗布する請求項15～17のいずれか1項に記載の表示デバイスの製造方法。

[請求項21] 支持体の上側に、樹脂層と、バリア層と、前記端子部を含むTFT層とを形成する請求項15～20のいずれか1項に記載の表示デバイスの製造方法。

[請求項22] 前記支持体を前記樹脂層から剥離し、前記樹脂層に下面フィルムを貼り付ける請求項21に記載の表示デバイスの製造方法。

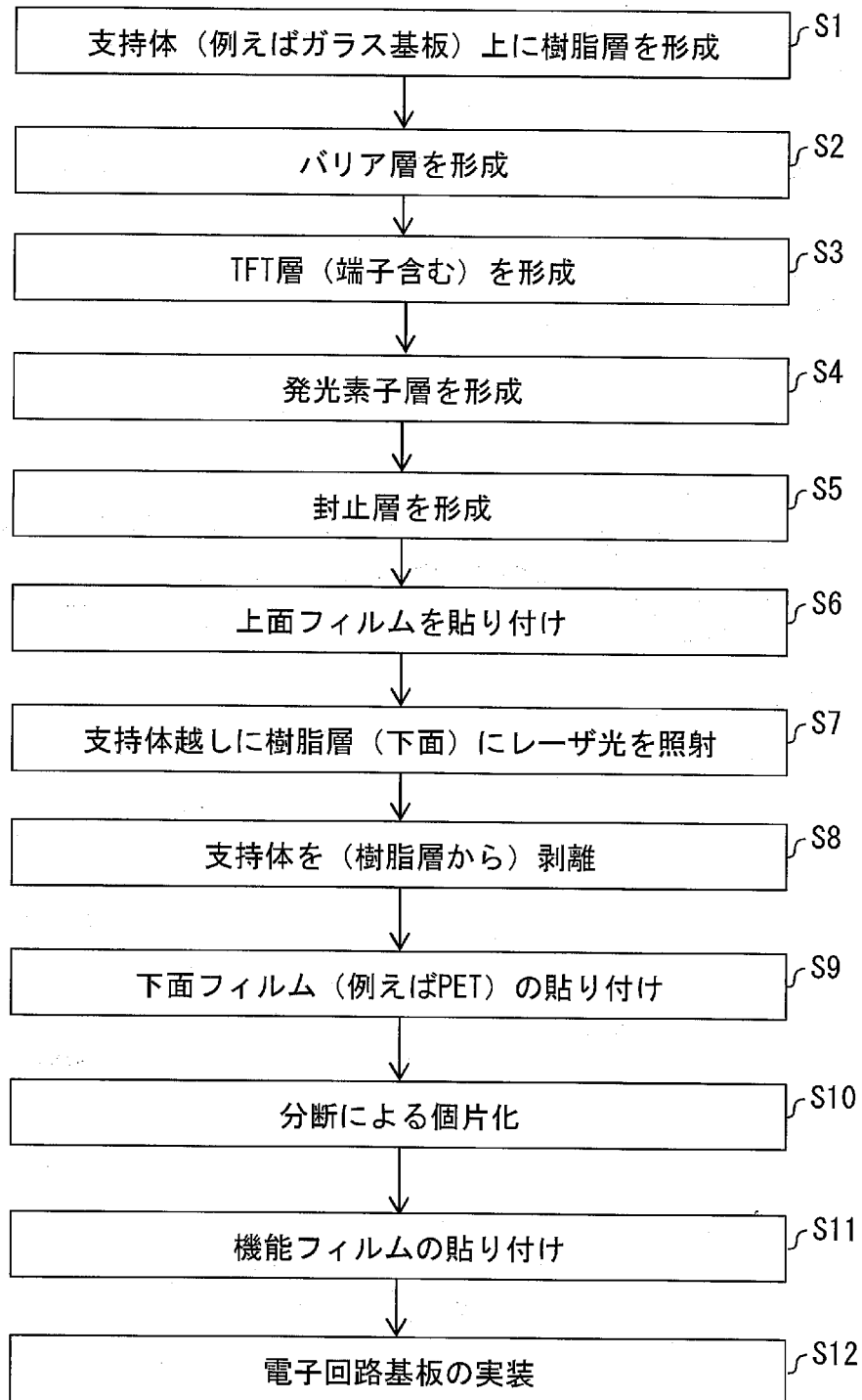
[請求項23] 前記下面フィルムの前記端子部の裏面にあたる部分を除去する請求項22に記載の表示デバイスの製造方法。

[請求項24] 下層部と、前記下層部よりも上層に形成される発光素子層とを備える表示デバイスの製造装置であって、

前記下層部に、端子電極を含む端子部と、前記端子部から、その裏面である前記下層部の下面に到る導通ホールとを形成する表示デバイスの製造装置。

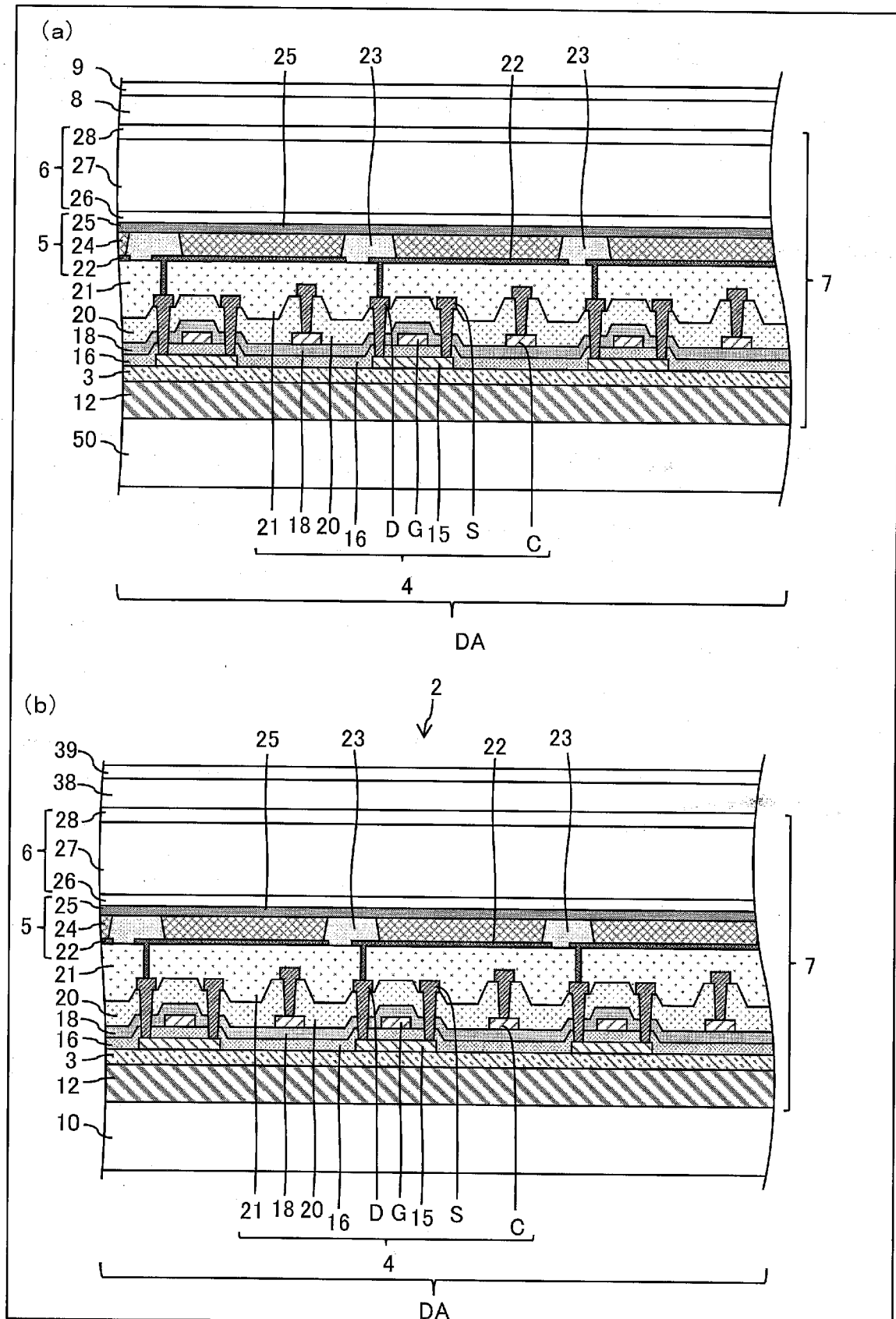
[図1]

図 1



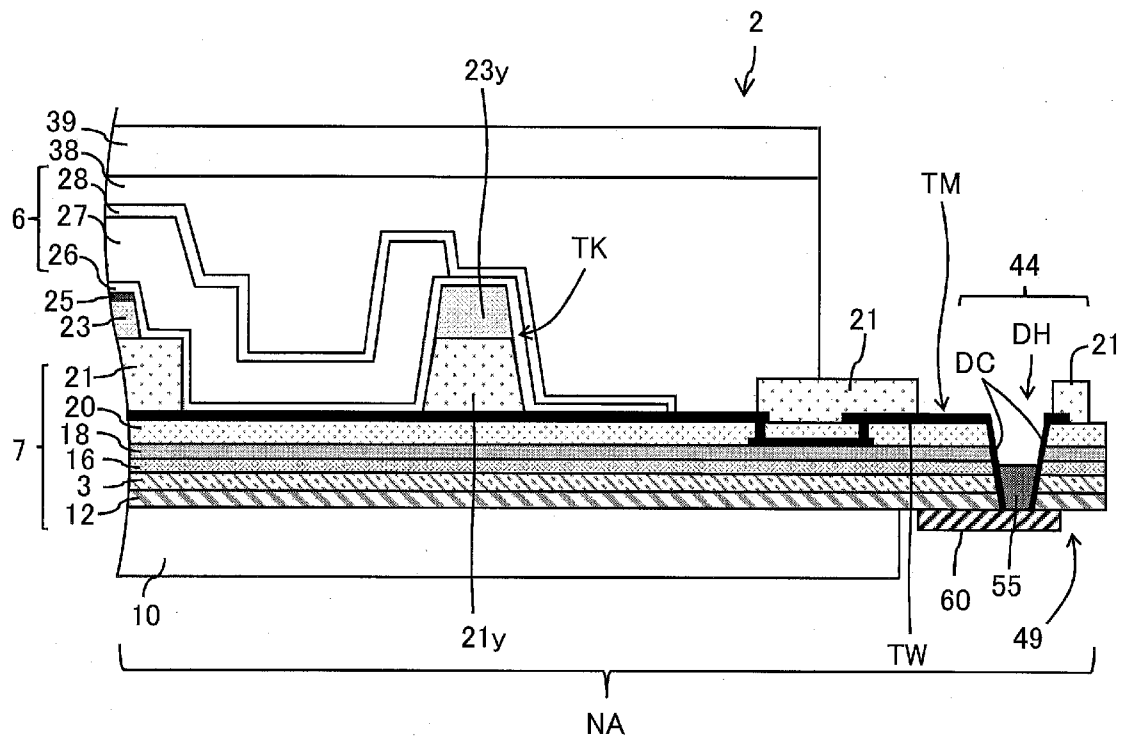
[図2]

図 2



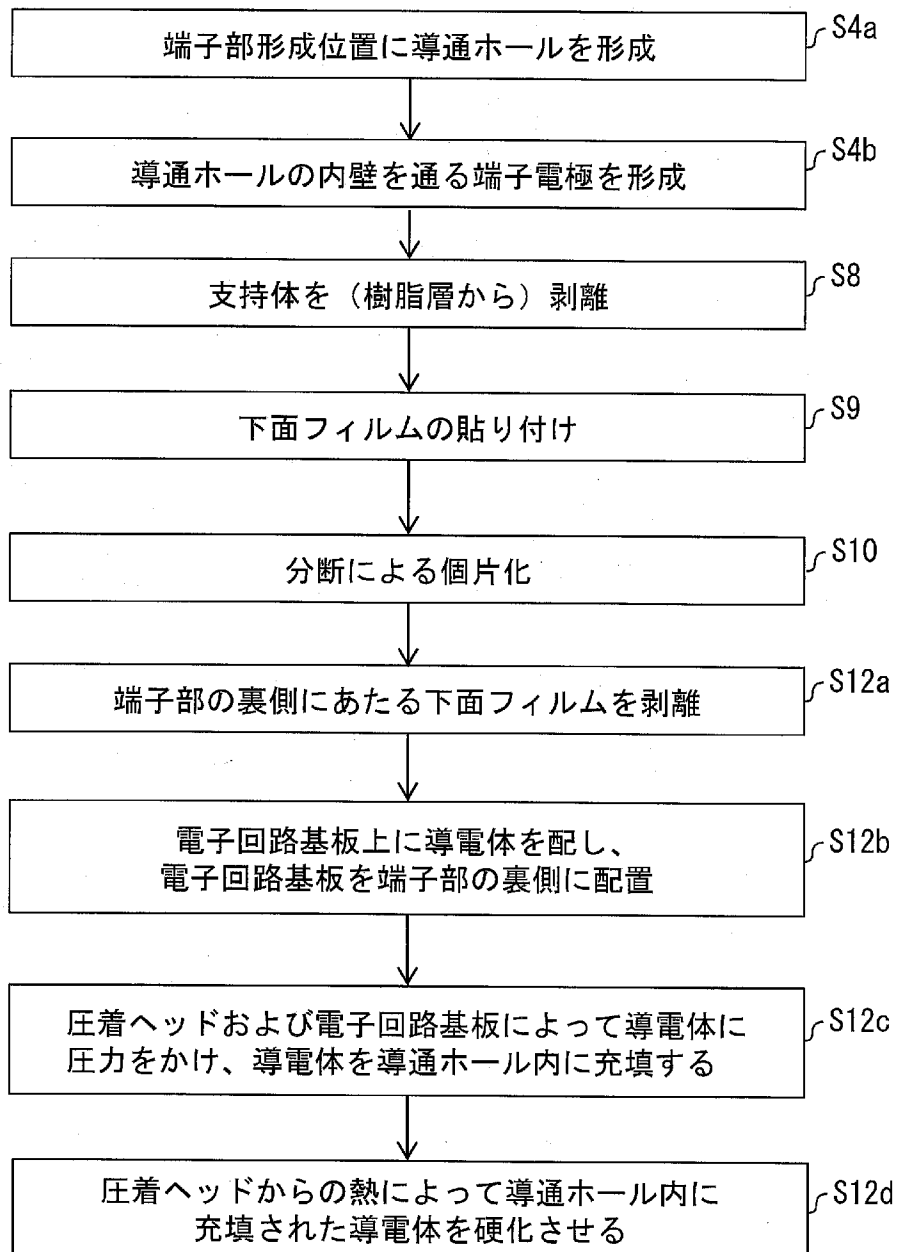
[図3]

図 3



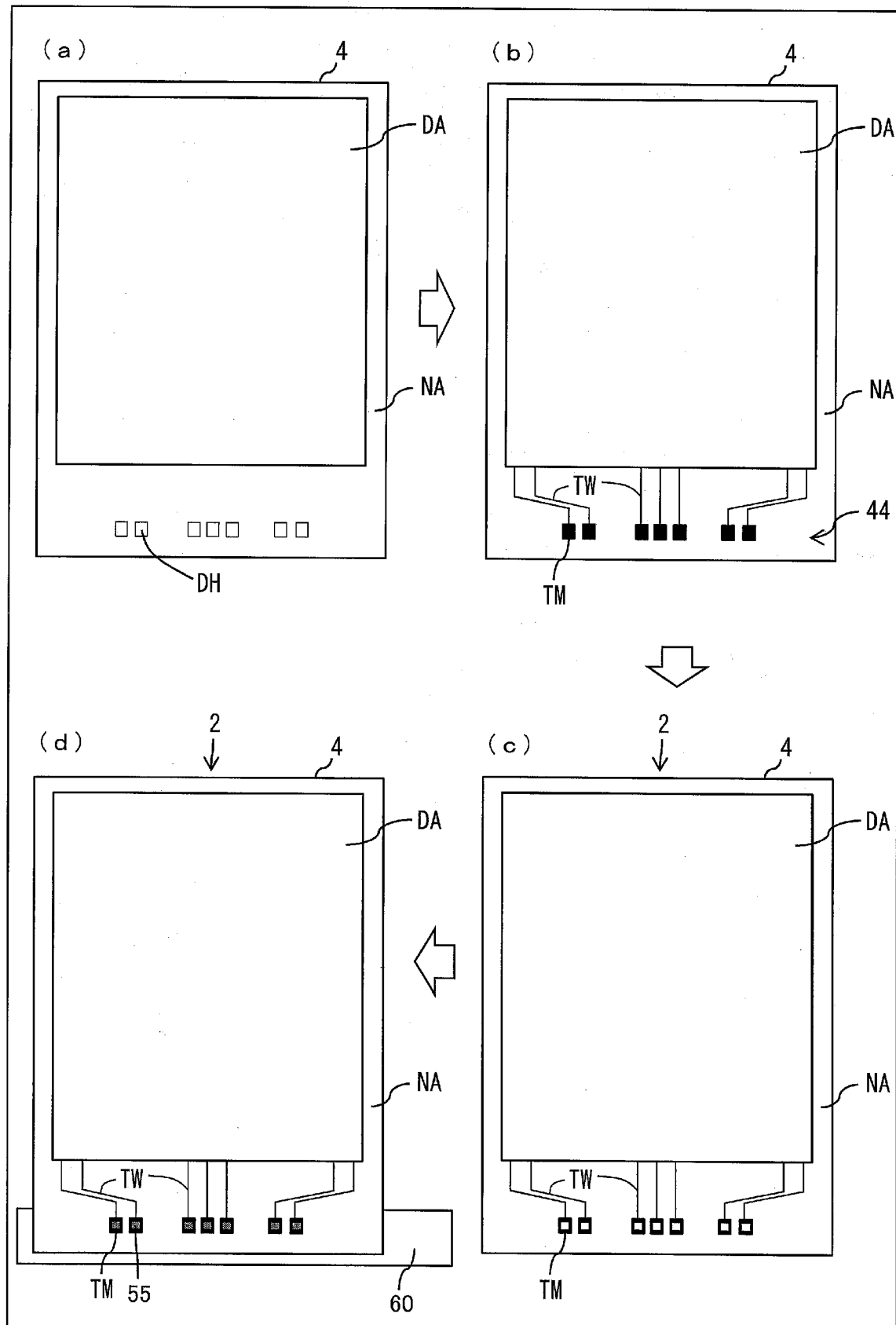
[図4]

図 4



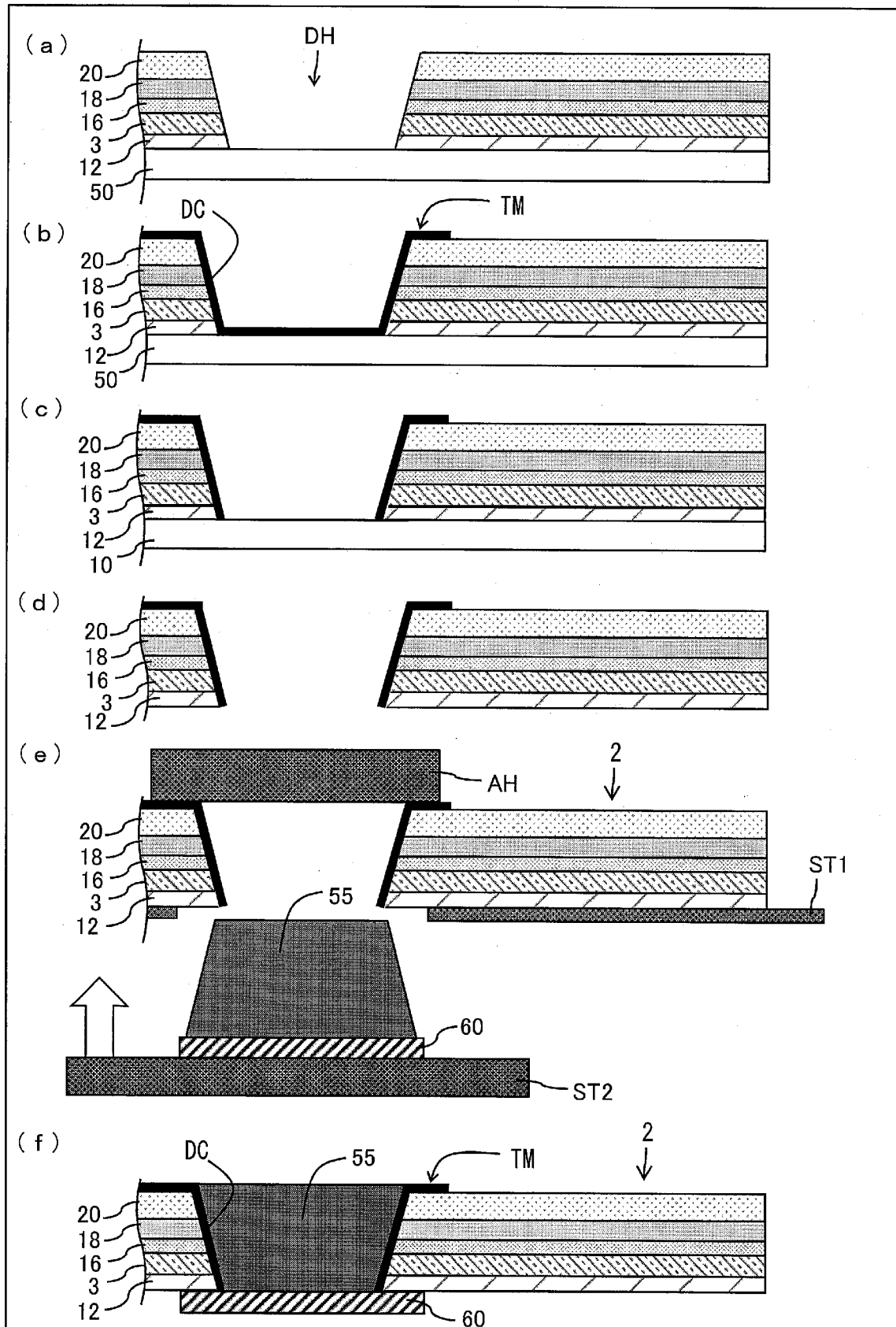
[図5]

図 5



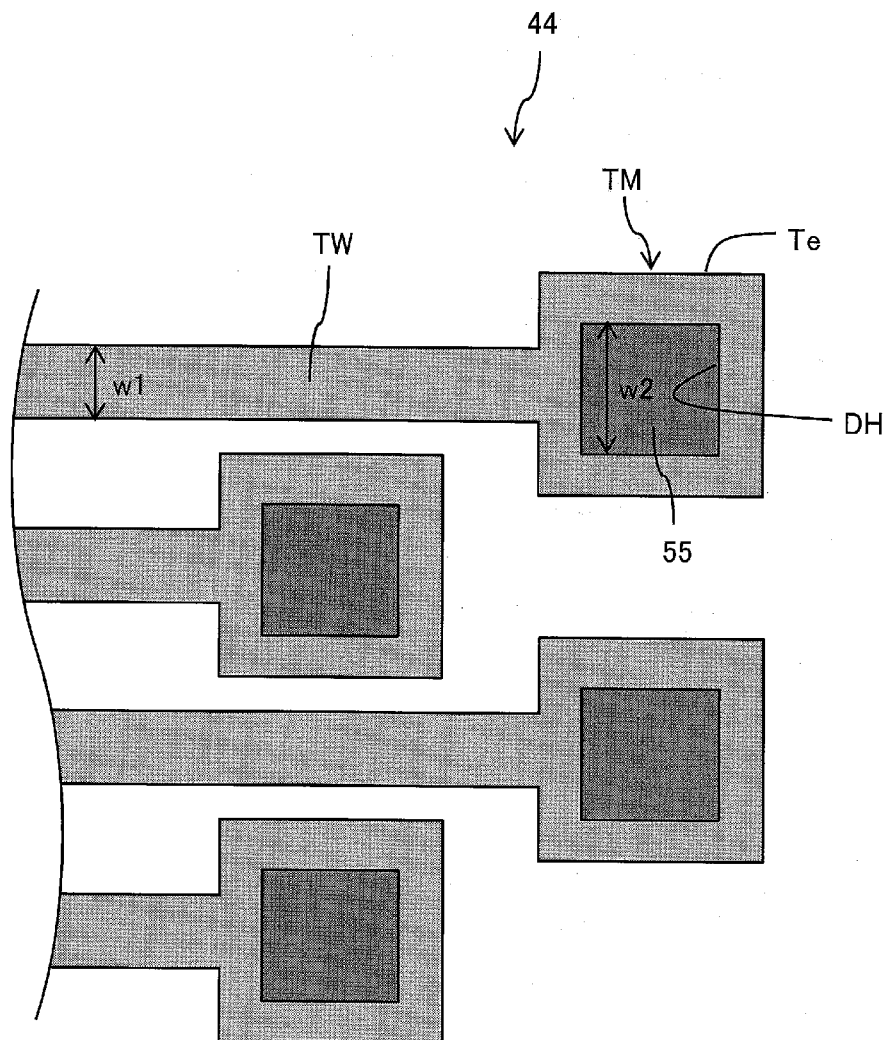
[図6]

図 6



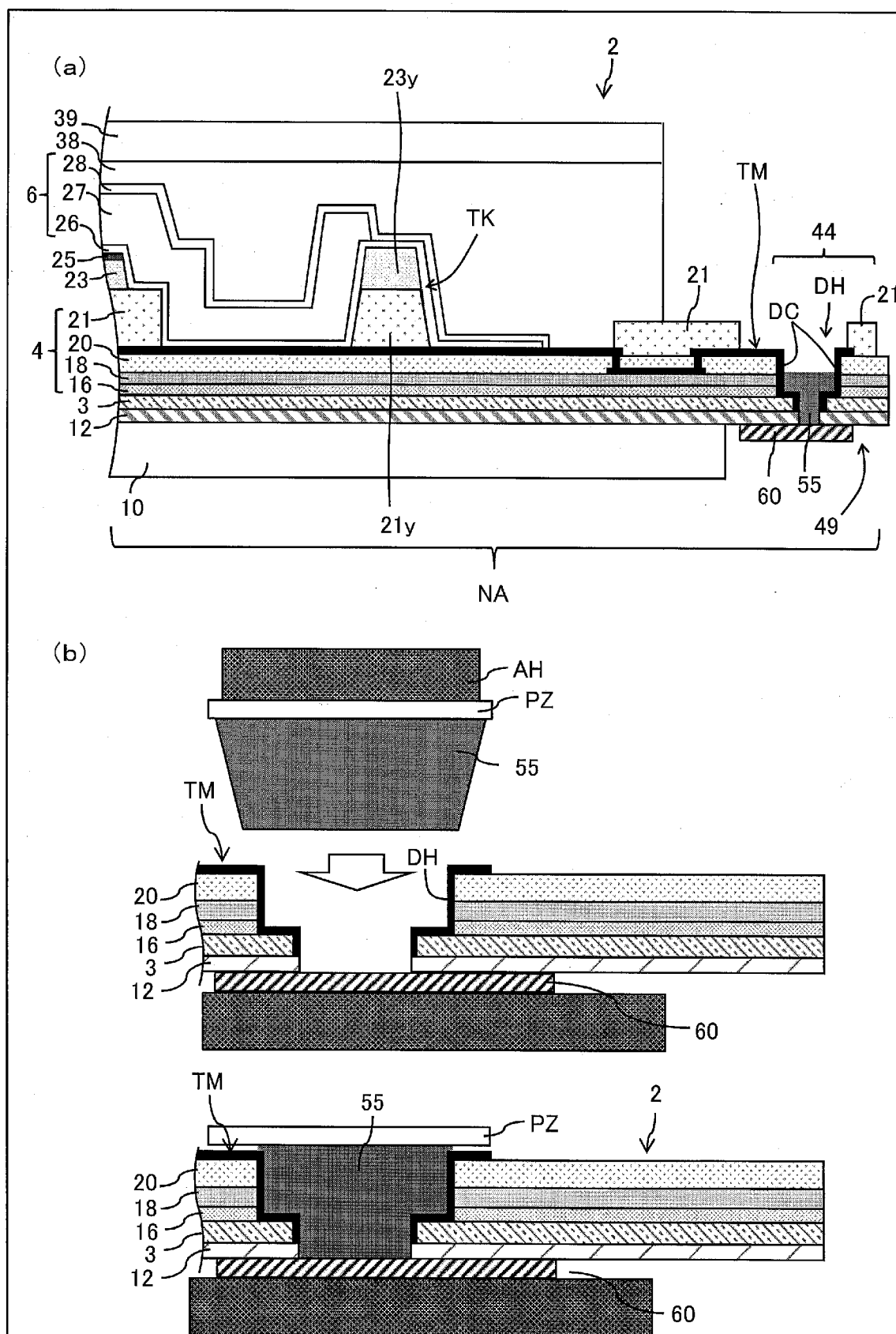
[図7]

図 7



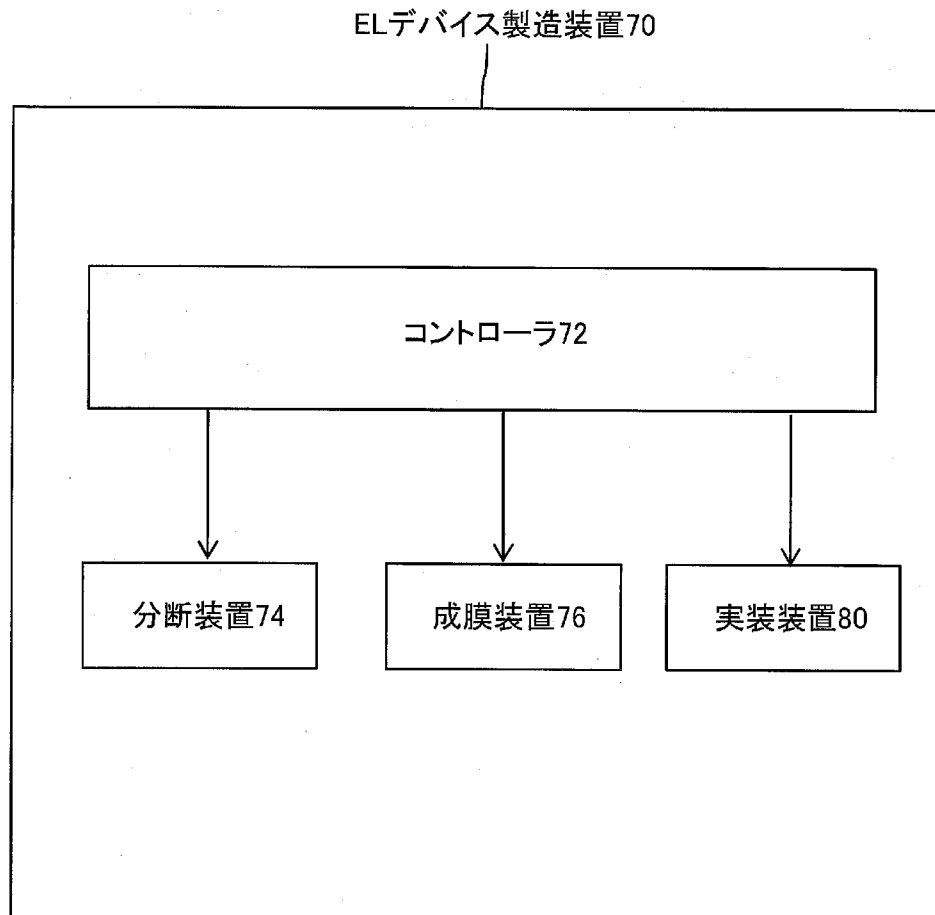
[図8]

図 8



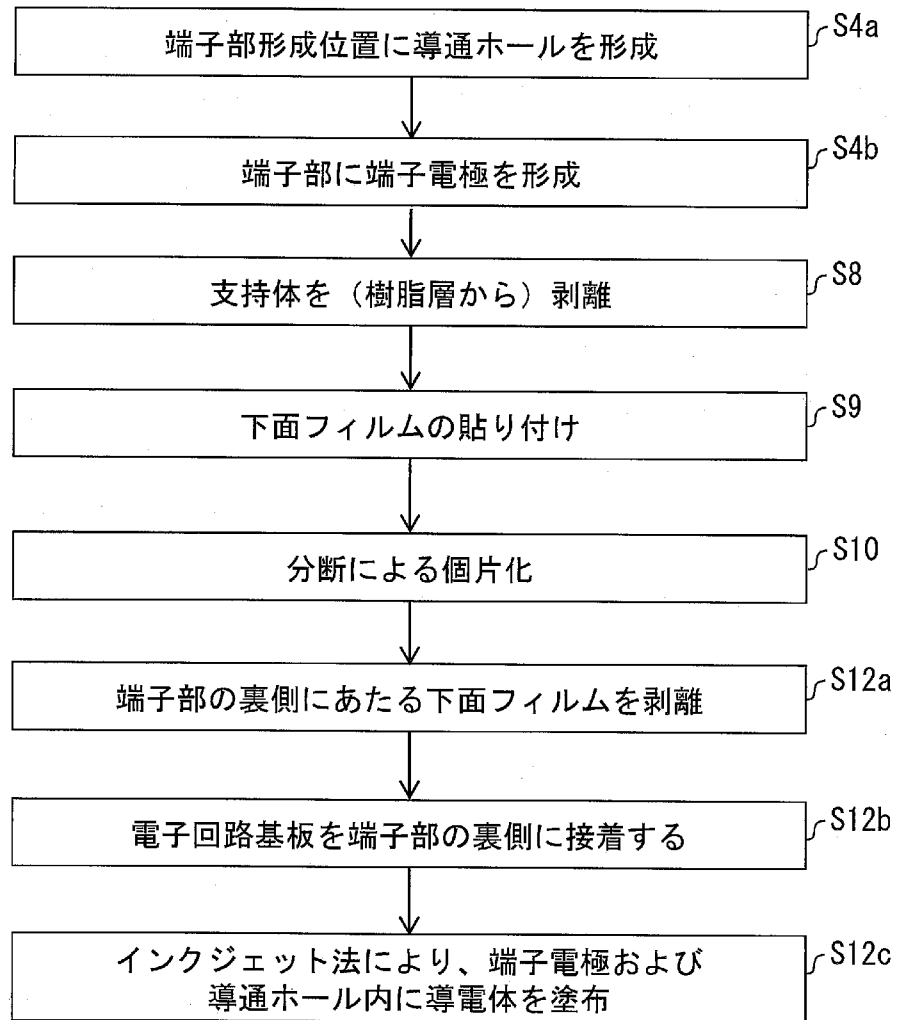
[図9]

図 9



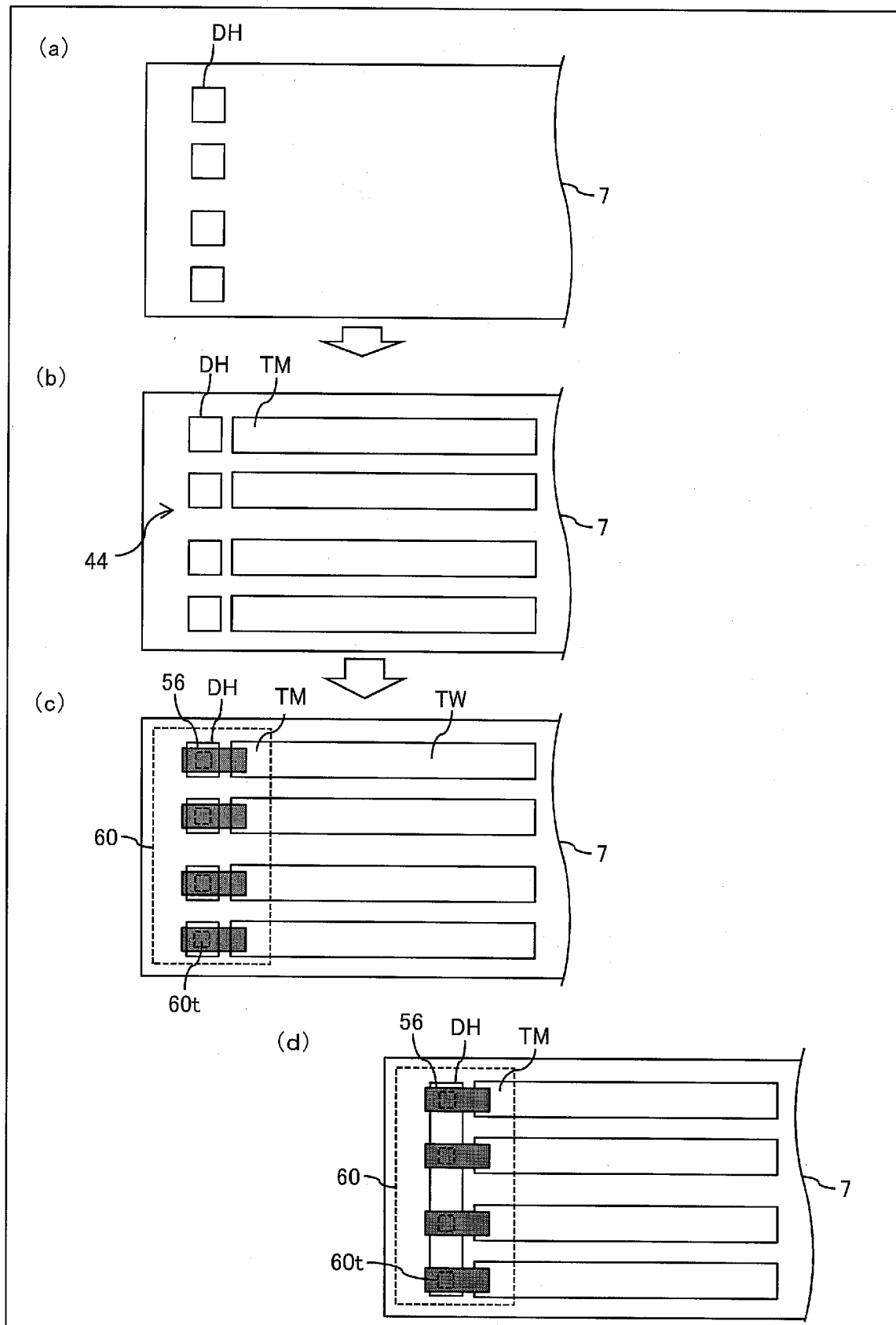
[図10]

図 10



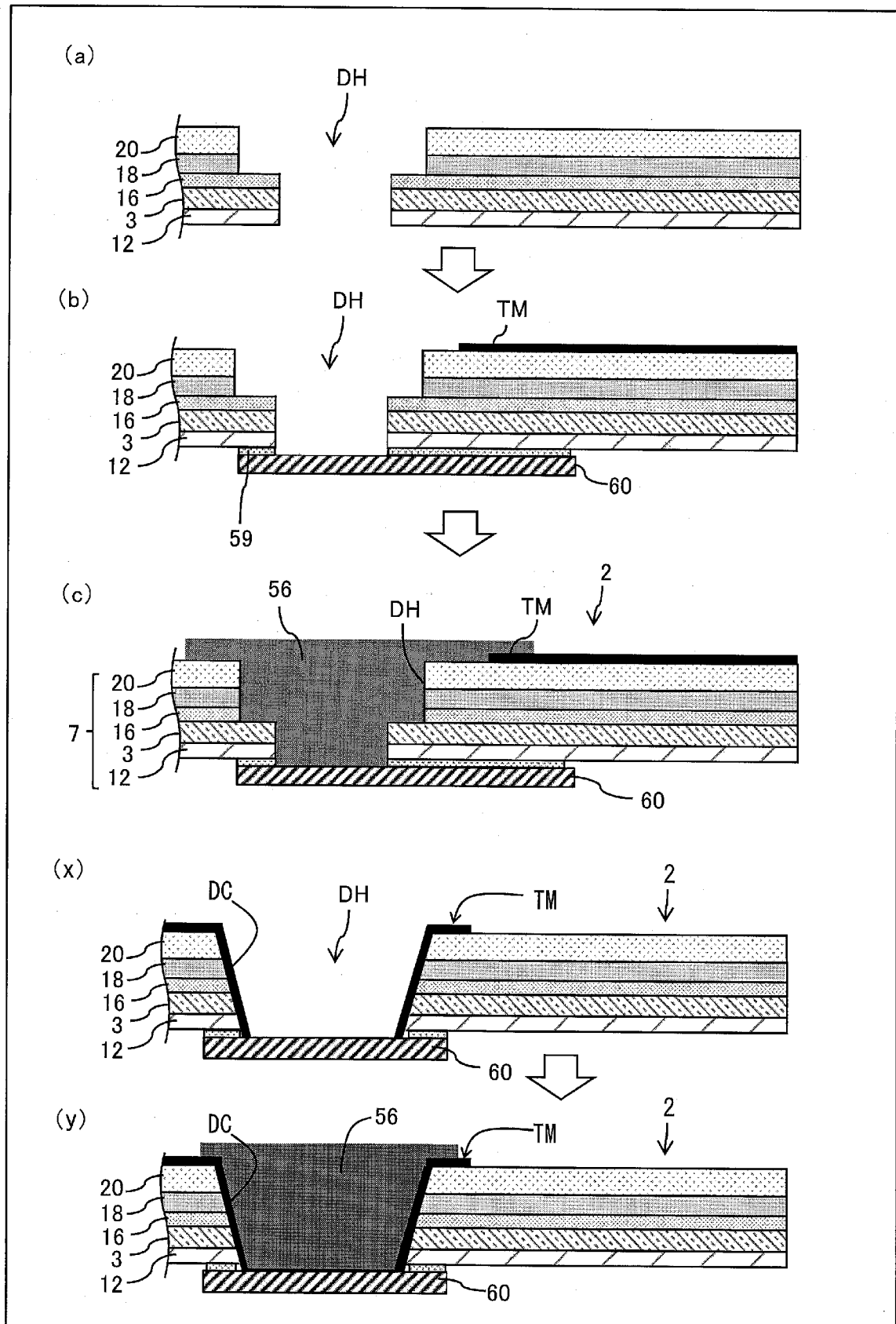
[図11]

図 11



[図12]

図 12



[図14]

図 14

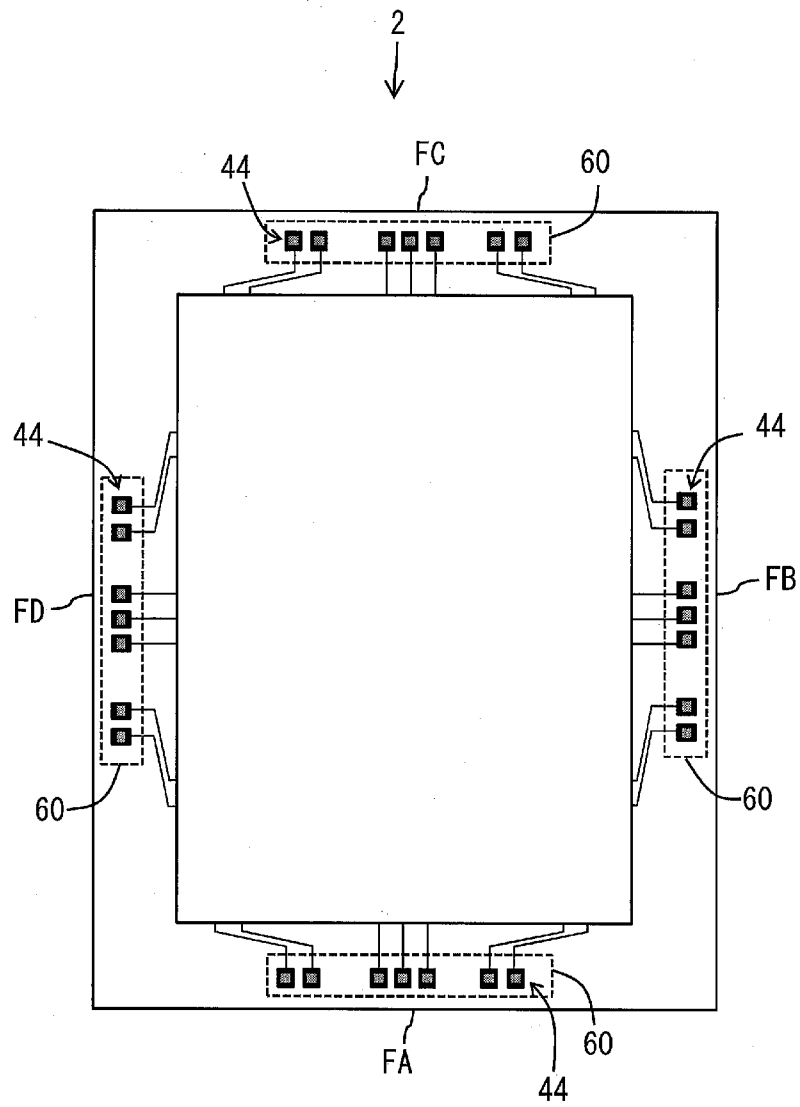
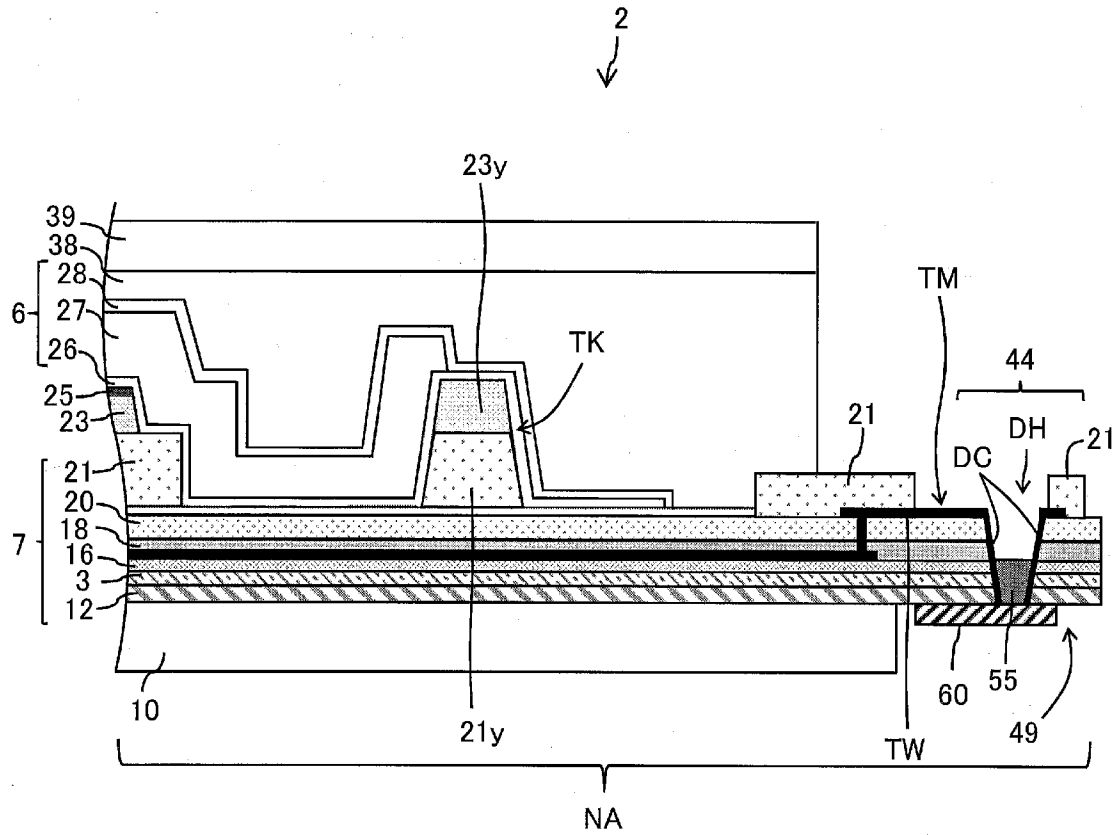
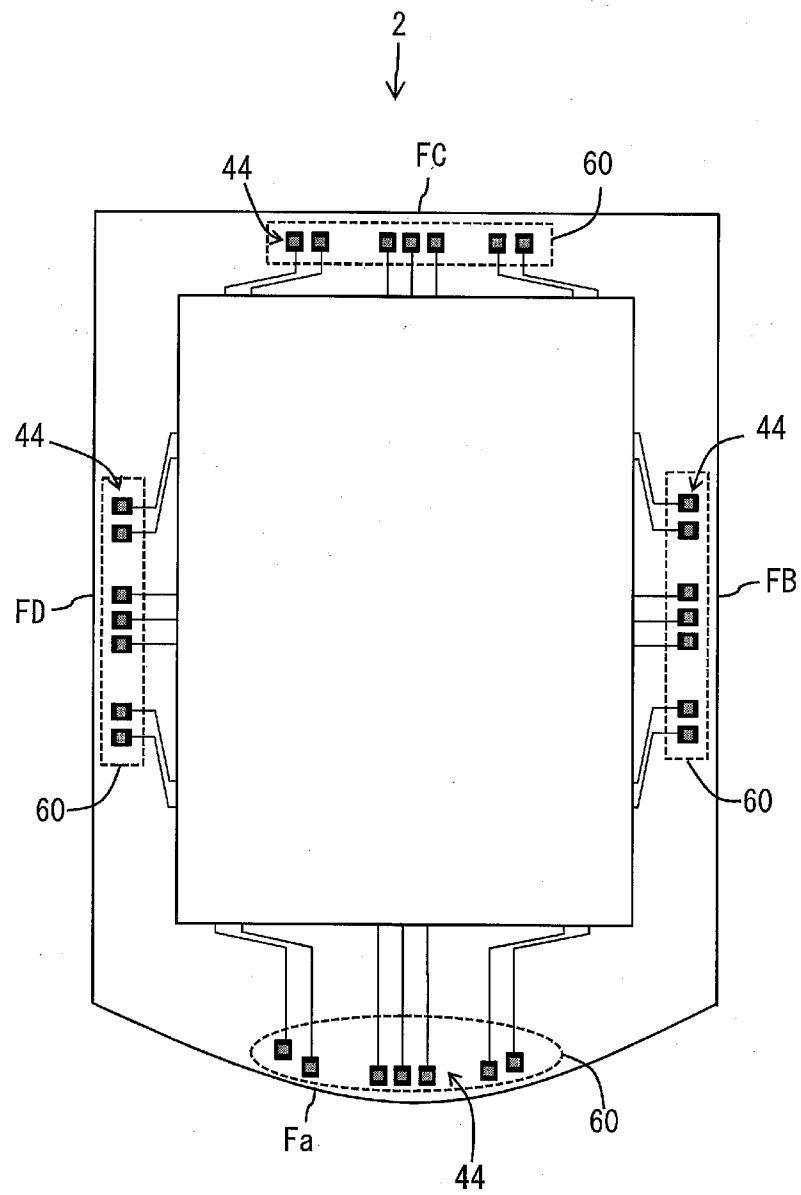


図 15



[図16]

図 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013355

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i, H05B33/04(2006.01)i, H05B33/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, H01L27/32, H01L51/50, H05B33/02, H05B33/04, H05B33/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-165673 A (Semiconductor Energy Laboratory Co., Ltd.), 29 July 2010 (29.07.2010), paragraphs [0020] to [0097]; fig. 1 to 2 & US 2010/0148209 A1 paragraphs [0026] to [0103]; fig. 1 to 2	1, 6, 15, 17, 24 2-5, 7-14, 16, 18-23
Y	JP 2001-298043 A (Mitsubishi Electric Corp.), 26 October 2001 (26.10.2001), paragraph [0049]; fig. 4(a) & US 6404059 B1 column 8, lines 46 to 54; fig. 4(a)	2-3, 7-8, 13, 16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 June 2017 (16.06.17)

Date of mailing of the international search report
27 June 2017 (27.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013355

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-77856 A (Sharp Corp.), 11 March 2004 (11.03.2004), paragraph [0006]; fig. 10 & US 2004/0036830 A1 paragraph [0007]; fig. 10	4-5
Y	JP 2010-8677 A (Sharp Corp.), 14 January 2010 (14.01.2010), paragraph [0030]; fig. 2 to 4 (Family: none)	7, 13
Y	JP 2003-157029 A (Sharp Corp.), 30 May 2003 (30.05.2003), paragraph [0207] & US 2003/0052869 A1 paragraph [0206]	8, 20
Y	WO 2017/002372 A1 (Sharp Corp.), 05 January 2017 (05.01.2017), paragraphs [0041] to [0077]; fig. 5 to 21 (Family: none)	9-12, 21-23
Y	WO 2016/158629 A1 (Sharp Corp.), 06 October 2016 (06.10.2016), fig. 1 to 2 (Family: none)	14
Y	JP 2011-99948 A (Panasonic Corp.), 19 May 2011 (19.05.2011), paragraphs [0043] to [0046]; fig. 5, 7 (Family: none)	18-19
A	JP 2015-125295 A (Japan Display Inc.), 06 July 2015 (06.07.2015), entire text; all drawings & US 2015/0187807 A1 entire text; all drawings	1-24
A	JP 2016-18758 A (Japan Display Inc.), 01 February 2016 (01.02.2016), entire text; all drawings & US 2016/0013442 A1 entire text; all drawings	1-24
A	JP 2004-349152 A (Seiko Epson Corp.), 09 December 2004 (09.12.2004), entire text; all drawings & US 2004/0245924 A1 entire text; all drawings	1-24
A	JP 2006-40581 A (AMS Ltd.), 09 February 2006 (09.02.2006), entire text; all drawings (Family: none)	1-24

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/30(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i, H05B33/04(2006.01)i, H05B33/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/30, H01L27/32, H01L51/50, H05B33/02, H05B33/04, H05B33/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-165673 A（株式会社半導体エネルギー研究所）2010.07.29, 段落0020-0097、図1-2 & US 2010/0148209 A1, 段落0026-0103、図1-2	1, 6, 15, 17, 24 2-5, 7-14, 16, 18-23
Y	JP 2001-298043 A（三菱電機株式会社）2001.10.26, 段落0049、図4（a） & US 6404059 B1, 第8欄第46行-第54行、図4（a）	2-3, 7-8, 13, 16

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.06.2017

国際調査報告の発送日

27.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 博之

電話番号 03-3581-1101 内線 3273

21

4072

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-77856 A (シャープ株式会社) 2004. 03. 11, 段落 0 0 0 6、図 1 0 & US 2004/0036830 A1, 段落 0 0 0 7、図 1 0	4-5
Y	JP 2010-8677 A (シャープ株式会社) 2010. 01. 14, 段落 0 0 3 0、図 2 - 4 (ファミリーなし)	7, 13
Y	JP 2003-157029 A (シャープ株式会社) 2003. 05. 30, 段落 0 2 0 7 & US 2003/0052869 A1, 段落 0 2 0 6	8, 20
Y	WO 2017/002372 A1 (シャープ株式会社) 2017. 01. 05, 段落 0 0 4 1 - 0 0 7 7、図 5 - 2 1 (ファミリーなし)	9-12, 21-23
Y	WO 2016/158629 A1 (シャープ株式会社) 2016. 10. 06, 図 1 - 2 (ファミリーなし)	14
Y	JP 2011-99948 A (パナソニック株式会社) 2011. 05. 19, 段落 0 0 4 3 - 0 0 4 6、図 5、7 (ファミリーなし)	18-19
A	JP 2015-125295 A (株式会社ジャパンディスプレイ) 2015. 07. 06, 全文、全図 & US 2015/0187807 A1, 全文、全図	1-24
A	JP 2016-18758 A (株式会社ジャパンディスプレイ) 2016. 02. 01, 全文、全図 & US 2016/0013442 A1, 全文、全図	1-24
A	JP 2004-349152 A (セイコーエプソン株式会社) 2004. 12. 09, 全文、全図 & US 2004/0245924 A1, 全文、全図	1-24
A	JP 2006-40581 A (株式会社エーエムエス) 2006. 02. 09, 全文、全図 (ファミリーなし)	1-24