(21) 申请号 200410096381.4
(22) 申请日 2004.11.26
(30) 优先权数据
2003-396649 2003.11.27 JP
(73) 专利权人 尔必达存储器股份有限公司
地址 日本东京
(72) 发明人 廖泽宏树
(74) 专利代理机构 中科专利商标代理有限责任公司 11021
代理人 汪惠民

(51) Int.Cl.
G11C 11/401 (2006.01)
G11C 11/409 (2006.01)
H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

(54) 发明名称
半导体集成电路装置

(57) 摘要
一种半导体集成电路装置，构成简单，可降低待机时间，包括：将外部时钟信号分频生成读出用时钟的控制电路，基于读出用时钟将对应第1～第4地址的读出数据放大的第1～第4放大电路，将输入和两个倍频以及两个倍数地址对应的各两个放大电路输出的在时间上分为前后的第1～第2以及第3，第4输出数据选择输出的第1，第2多路转接器；锁存并输出第1，第4输出数据的第1，第2锁存电路，分别输入第1，第3数据以及第2，第4数据，并按照读出地址顺序输出的第3，第4多路转接器，输入第3，第4多路转接器的输出的第1，第2寄存器，与输入信号的上升沿和下降沿同步输出第1，第2寄存器的各两个共计4个输出的第5多路转接器。
1. 一种半导体集成电路装置，其特征在于，

包括：控制电路，其基于将从半导体集成电路装置外部输入到所述半导体集成电路装置的时钟信号分频而生成的信号，生成激活的时序相位不同的第1及第2控制信号；和放大电路段，其具有4个放大电路，与所述4个放大电路相连接的第1及第2选择电路，与所述第1选择电路相连接的第1锁存电路及与所述第2选择电路相连接的第2锁存电路，所述4个放大电路分别接受从与4个地址对应的存储元件阵列中读出的数据信号，共同输入所述第1控制信号，响应所述第1控制信号，将与所述4个地址对应的数据信号分别放大输出；

接受所述4个地址中两个奇数地址的数据信号的所述第1选择电路，根据读出的开始地址，按先输出还是后输出来切换输出目的地的信号传送路径，接受所述两个奇数地址的数据信号中后输出的数据信号的所述第1锁存电路，响应所述第2控制信号，将该第1锁存电路的输出向对应的信号传送路径输出；

接受所述4个地址中两个奇数地址的数据信号的所述第2选择电路，根据所述读出的开始地址，按先输出还是后输出来切换输出目的地的信号传送路径，接受所述两个奇数地址的数据信号中后输出的数据信号的所述第2锁存电路，响应所述第2控制信号，将该第2锁存电路的输出向对应的信号传送路径输出；

还包括：第3选择电路，其输入从所述放大电路段分别传送到所述信号传送路径的、先输出的偶数地址的数据信号和后输出的奇数地址的数据信号，按照读出的顺序，分别供给第1输出寄存器的两个输入；和第4选择电路，其输入从所述放大电路段分别传送到所述信号传送路径的，后输出的偶数地址的数据信号和先输出的奇数地址的数据信号，按照读出的顺序，分别供给第2输出寄存器的两个输入；

还包括：第5选择电路，其输入所述第1输出寄存器的两个输出和所述第2输出寄存器的两个输出的共计4个输出，根据所输入的同步用时钟信号的上升沿和下降沿，作为按照读出地址顺序的串行数据传送路径输出信号输出。

2. 根据权利要求1所述的半导体集成电路装置，其特征在于，

还包括数据保持电路，其输入并保持来自所述第3选择电路中至少一个输出端的数据信号，其输出与在所述第3选择电路的输入端连接的信号传送路径相连接；

所述数据保持电路，与将写入所述信号传送路径的数据信号输出的数据输出电路共用。

3. 一种半导体集成电路装置，其特征在于，包括：

控制电路，其基于将从半导体集成电路装置外部输入到所述半导体集成电路装置的时钟信号分频而生成的信号，生成激活的时序相位不同的第1及第2控制信号；

信号传送路径，其将从与4个地址对应的存储元件阵列读出的第1至第4数据信号并行传送；

第1至第4放大电路，其分别接受传送到所述信号传送路径的第1至第4数据信号，共同输入所述第1控制信号，响应所述第1控制信号，分别放大输出所述第1至第4数据信号；

第1选择电路，其输入分别与所述4个地址中两个偶数地址对应的两个所述放大电路所输出的第1及第2数据信号，根据读出的开始地址，按两个输入与第1及第2输出中哪一个连接，切换输出目的地；
权利要求书

第2选择电路，其输入分别与所述4个地址中两个奇数地址对应的两个所述放大电路所输出的第3及第4数据信号，并根据所述读出的地址，按两个输入与第1及第2输出中的哪一个连接，切换输出目的地。

第1锁存电路，其接受来自所述第1选择电路的第2输出的数据信号，响应所述第2控制信号，输出锁存的数据信号；

第2锁存电路，其接受来自所述第2选择电路的第2输出的数据信号，响应所述第2控制信号，输出锁存的数据信号；

第1放大电路，其输入端与所述第1选择电路的第1输出端连接；

第2放大电路，其输入端与所述第1锁存电路的输出端连接；

第3放大电路，其输入端与所述第2选择电路的第1输出端连接；

第4放大电路，其输入端与所述第2锁存电路的输出端连接；

第3选择电路，其输入从所述第1及第3放大电路分别传送到2个信号传送路径的数据信号，按照读出顺序，将其输出的数据信号的输出目的地切换到第1或第2输出端；

第4选择电路，其输入从所述第2及第4放大电路分别传送到2个信号传送路径的数据信号，按照读出顺序，将其输出的数据信号的输出目的地切换到第1或第2输出端；

两列第1先入先出型寄存器，其并行输入从所述第3选择电路的第1及第2输出端输出的数据信号，并分别并行输出；

两列第2先入先出型寄存器，其并行输入从所述第4选择电路的第1及第2输出端输出的数据信号，并分别并行输出；和

第5选择电路，其接受所述第1先入先出型寄存器的两列并行输出和所述第2先入先出型寄存器的两列并行输出的合计4个输出，基于输入的时钟信号，对应两个周期的时钟脉冲的上升沿和下降沿，作为读出地址顺序的串行数据输出信号输出。

4. 根据权利要求3所述的半导体集成电路装置，其特征在于，

所述控制电路包括检测所述第2控制信号的激活期间的电路，接受读取指令，输入第1及第2读取用时钟信号，该第1及第2读取用时钟信号是将输入到所述半导体集成电路装置中的所述时钟信号2分频而生成的所述时钟信号的1个时钟周期量相位不同的时钟信号，基于第1及第2读取用时钟信号的迁移边沿，确定所述第1控制信号的激活期间；基于所述第1及第2读取用时钟信号分别延迟后的迁移边沿，确定所述第2控制信号的激活期间。

5. 根据权利要求3所述的半导体集成电路装置，其特征在于，

还包括数据保持电路，其输入并保持来自所述第3选择电路中至少一个输出端的数据信号，其输出与在所述第3选择电路的输入端连接的信号传送路径相连接；

所述数据保持电路，与将写入所述信号传送路径的数据信号输出的数据输出电路共用。

6. 一种半导体集成电路装置，其特征在于，

包括第1组信号传送路径，其将偶数地址的多个数据信号并行传送；第1组放大电路部，其分别接受所述偶数地址的多个数据信号；第2组信号传送路径，其将奇数地址的多个数据信号并行传送。
数据信号并行传送；第2组放大电路部，其分别接受从所述奇数地址读出的多个数据信号；第3组信号传送路径，其传送在所述第1组放大电路部分别放大的所述偶数地址的数据信号；和第4组信号传送路径，其传送在所述第2组放大电路部分别放大的所述奇数地址的数据信号；

所述第1及第2组放大电路部的每一个具有锁存电路，其相对于应先输出的数据，将应后输出的、至少一个其它数据锁存并输出，所述应后输出的、至少一个其他数据被延迟后向对应的信号传送路径输出；

还包括：

沿所述第3及第4组的信号传送路径并行传播的多个数据信号中应先输出多个数据信号，按照读出顺序切换，并向第1组输出寄存器的对应的输出寄存器输出的机构；

沿所述第3及第4组的信号传送路径并行传播的多个数据信号中应后输出多个数据信号，按照读出顺序切换，并向第2组输出寄存器的对应的输出寄存器输出的机构；和

接受所述第1及第2组输出寄存器分别输出的数据信号，根据地址信息，串行输出的输出电路。

7. 根据权利要求6所述的半导体集成电路装置，其特征在于，

包括控制电路，其输入将从半导体集成电路装置外部输入到所述半导体集成电路装置的时钟信号2分频而生成的相互不同相位的第1及第2读出用时钟，生成第1及第2控制信号；

所述第1组信号传送路径具有将所述奇数地址的第1及第2数据信号并行传送的第1及第2信号传送路径；

所述第2组信号传送路径具有将所述奇数地址的第3及第4数据信号并行传送的第3及第4信号传送路径；

第1组放大电路部包括：第1及第2主放大器，其输入所述第1及第2数据信号，基于所述第1控制信号进行放大；第1选择电路，其输入所述第1及第2主放大器的输出，基于读出开始地址，切换两个输入与第1及第2输出端之间的连接；第1锁存电路，其接受来自所述第1选择电路的第2输出端的数据信号，响应所述第1控制信号，输出锁存的数据信号；和第1及第2主放大器输出电路，其分别输入所述第1选择电路的第1输出和所述第1锁存电路的输出，使驱动输出；

第2组放大电路部包括：第3及第4主放大器，其输入所述第3及第4数据信号，基于所述第1控制信号进行放大；第2选择电路，其输入所述第3及第4主放大器的输出，基于读出开始地址，切换两个输入与第1及第2输出端之间的连接；第2锁存电路，其接受来自所述第2选择电路的第2输出端的数据信号，响应所述第2控制信号，输出锁存的数据信号；和第3及第4主放大器输出电路，其分别输入所述第2选择电路的第1输出和所述第2锁存电路的输出，使驱动输出；

所述第3组信号传送路径由将来自所述第1及第2主放大器输出电路的输出信号分别传送的第5、第6信号传送路径组成；

所述第4组信号传送路径由将来自所述第3及第4主放大器输出电路的输出信号分别传送的第7、第8信号传送路径组成；

还包括：第3选择电路，其输入被传送到所述第5、第7信号传送路径的数据信号，根据
读出的顺序，切换两个输入与第 1 及第 2 输出之间的连接；和第 4 选择电路，其输入被传送到所述第 6、第 8 信号传送路径的数据信号，根据读出的顺序，切换两个输入与第 1 及第 2 输出之间的连接；

所述第 1 组输出寄存器由第 1 及第 2 先入先出型寄存器构成；
所述第 2 组输出寄存器由第 3 及第 4 先入先出型寄存器构成；
所述第 3 选择电路的两个输出，分别输出到所述第 1 及第 2 先入先出型寄存器；
所述第 4 选择电路的两个输出，分别输出到所述第 3 及第 4 先入先出型寄存器；
所述输出电路包括：第 5 选择电路，其基于输入的时钟信号，对应两个周期的时钟脉冲的上升沿及下降沿，将所述第 1 至第 4 先入先出型寄存器的输出串行输出；和输出缓冲器，其接受来自所述第 5 选择电路的输出信号，将数据信号输出到外部数据端子。

8. 根据权利要求 6 所述的半导体集成电路装置，其特征在于，
在半导体芯片上具有沿着第 1 方向延伸的多条连接存储元件和读出放大器的位线、和沿着与所述第 1 方向垂直的第 2 方向延伸的多条用来激活特定的存储元件的字线，还具有对应所述多条位线和所述多条字线的交差部，多个存储元件被配置成阵列状的多个存储器阵列；

在所述存储器阵列的一侧沿着所述第 1 方向设置有用来选择要激活的字线的 X 译码器，在与所述存储器阵列的所述一侧垂直的一侧，具有 Y 译码器和主放大器，所述主放大器包含在所述第 1 及第 2 组放大电路部中，所述 Y 译码器用来选择与所述主放大器连接的所述读出放大器；

以周边电路为中心，将相面对的两个所述存储器阵列的所述 Y 译码器及所述主放大器互相邻接地对称配置；

在所述周边电路，配置成全局输入输出线的所述第 3 组及第 4 组信号传送路径，与对应于被选择的存储器簇的、所述第 1 组及第 2 组信号传送路径连接，所述全局输入输出线，通过输入寄存器、所述输出寄存器，借助输出缓冲器及输入缓冲器，与外部端子连接。

9. 根据权利要求 7 所述的半导体集成电路装置，其特征在于，
在半导体芯片上具有沿着第 1 方向延伸的多条连接存储元件和读出放大器的位线、和沿着与所述第 1 方向垂直的第 2 方向延伸的多条用来激活特定的存储元件的字线，还具有对应所述多条位线和所述多条字线的交差部，多个存储元件被配置成阵列状的多个存储器阵列；

在所述存储器阵列的一侧沿着所述第 1 方向设置有用来选择要激活的字线的 X 译码器，在与所述存储器阵列的所述一侧垂直的一侧，具有 Y 译码器和所述主放大器，所述 Y 译码器用来选择与所述主放大器连接的所述读出放大器；

以周边电路为中心，将相面对的两个所述存储器阵列的所述 Y 译码器及所述主放大器互相邻接地对称配置；

在所述周边电路，配置成全局输入输出线的所述第 3 组及第 4 组信号传送路径，与对应于被选择的存储器簇的、所述第 1 组及第 2 组信号传送路径连接，所述全局输入输出线，通过输入寄存器、所述输出寄存器，借助输出缓冲器及输入缓冲器，与外部端子连接。

10. 根据权利要求 8 所述的半导体集成电路装置，其特征在于，
所述第 1 及第 2 组的信号传送路径，成为共同输入输出线，将来自写入电路的写入数据
并行传送；

在所述全局输入输出线上，具有保持至少一个时钟周期的先传送的数据信号的构成，在所述写入电路内不需要设置保持先传送的数据信号保持的电路。

11. 根据权利要求9所述的半导体集成电路装置，其特征在于，

所述第1及第2组的信号传送路径，成为共同输入输出线，将来自写入电路的写入数据并行传送；

在所述全局输入输出线上，具有保持至少一个时钟周期的先传送的数据信号的构成，在所述写入电路内不需要设置保持先传送的数据信号保持的电路。
半导体集成电路装置

技术领域

[0001] 本发明涉及半导体集成电路装置，特别涉及具有数据传送电路的半导体装置，该数据传送电路具有将多位数据同时从存储元件中读出并串行输出的预取指令存储器。

背景技术

[0002] 这种预取指令存储器的数据传送方式，在时钟同步型半导体存储装置中，一般有利于动作频率的提高，实际上在 DDR (Double Data rate)-1SDRAM (Synchronous Dynamic Random Access Memory) 中为 2N (N = 1 ; 每个地址的 I/O 数目) 预取指令；在 DDR-2SDRAM 中为 4N 预取指令，通过提高预取指令的数目，可提高数据传送速率。但是，缩短芯片自身的读写时间是很困难。

[0003] 因此，随着动作频率的提高，通过增加等待 (latency) 时间，并不能改善读写时间，仅仅能提高数据传送的速率。

[0004] 实际上，DDR-1SDRAM 的数据传送速率是 266Mbps (Megabit/second)，与此相对，使用同步性能的设备，在 DDR-2SDRAM 中，可以实现 533Mbps 即两倍的数据传送速率。

[0005] 但是，等待时间在 DDR-1SDRAM 中是两个时钟，换算为读写时间为 15ns，与此相对，在 DDR-2SDRAM 中是 4 个时钟，读写时间和 15ns 相等。

[0006] 而且，在 DDR-2SDRAM 中，由于等待时间从两个时钟增到 4 个时钟，使数据总线复杂化，由于输出寄存器 (FIFO (First In First Out)) 的级数增加，也产生读后时间进一步延迟这样的问题。

[0007] 另外近年来，不仅要求提高数据传送速率，而且也要求读写时间 (等待时间) 同样提高。

[0008] 另外，在 DDR SDRAM 的读取单元电路中，对于执行 2N 预取指令动作的数据传送电路，例如可以参照下述专利文献 1。在该专利文献 1 中公开了如下构成：将读取出主输入输出线 (MIO 线) 的 32 位数据在主放大器电路中同时放大，为了降低在通过全输入输出线 (GIO 线) 并行地传送到输出寄存器时的峰值电流，将数据以 1st 输出数据和 2nd 输出数据错开时序输出。

[0009] 图 11 表示以往的 DDR-1SDRAM 的读取时的 2N 预取指令、数据传送电路的一典型案例。图 12 是表示图 11 所示构成的读出动作的一例的时序图。在图 11 所示的构成中，在与后述图 1（本发明的实施例的构成）之间的比较中可以明白，在 GIO 线上，没有将数据在 1 个时钟周期内保持的构成。DDR-1SDRAM 的构成，如图 12 所示，在外部时钟信号 CK 的所有上升沿，可以输入读取指令 (READ)，在 GIO 线上，如果在 1 个时钟周期内保持数据，将与下一个读取数据冲突，产生误动作。因此数据传送，从读取指令输入的时钟周期 (例如图 12 的 CK “0”) 开始，使用以单触发脉冲 (MAEO、MOEO) 生成的信号进行，到下 1 个时钟周期 (例如图 12 的 CK “1”) 的期间内，需要预先传送数据。

[0010] 另外，如图 11 和图 12 所示，输入由外部时钟信号 CK 生成的读取时钟 RCLKKO 并输出主放大器的输出控制信号 MAEO、MOEO 的 MA 控制电路 110A，根据读取时钟 RCLKKO 的上升
沿和延迟读取时钟 RCLK0 后的信号的上升沿，分别生成单触发脉冲（输出控制信号 MAE0、MOE0）。在图 11 中，选择电路 102，在偶数地址、奇数地址的读出数据中，根据开始地址，执行两个输出和两个输出连接的切换，使应该先输出的数据输出到 F-G10 线上，应该后输出的数据输出到 S-G10 线上。而且，锁存电路 103，在偶数地址、奇数地址的读取数据中，根据开始地址，延迟后输出的数据，输出到 S-G10 线。选择电路 108A，基于时钟信号 CK20（与外部时钟 CK 同一频率）的上升沿和下降沿，选择输出寄存器 (FIFO) 的两个输出，作为串行数据输出。4 级的锁存电路 106 的最后一级的输出（在时钟 CK15 的上升沿的输出），在时钟 CK20 的上升沿被选择，4 级的锁存电路 107 的最后一级的输出（在时钟 CK20 的上升沿输出），在时钟 CK20 的下降沿被选择。输出缓冲器 109，接受来自选择电路 108A 的输出，输出到外部数据端子 DQ。

[0011] 如图 11 所示，在以往的数据传送电路中，数据传送是从输入了读取指令的时钟开始，使用以单触发脉冲生成的信号而进行，在到达下一个时钟的期间内，需要预先进行数据的传送，因此，在 G10 线上，不能在多个时钟周期的期间内保持数据。

[0012] 因此，在预取指令数据传送中的流水线级“0” (Stage-0) 为到输出寄存器电路 (FIFO) 的第 1 级，输出寄存器的锁存电路 (106, 107) 需要 4 级。其结果存在读写时间难以缩短，随着动作频率的提高，等待时间增加这些的问题。

[0013] 而且，随着寄存器电路的复杂化，也存在芯片面积的增加，和消耗电流增加的问题。

[0014] 专利文献 1 ; 特开 2002-25265 号公报（第 7, 9 页，第 4,9 图）

发明内容

[0015] 本发明的主要目的在于，提供通过简化含有预取指令存储器构成的数据传送电路的构成，可以降低等待时间的半导体集成电路装置。

[0016] 本发明的另一目的在于，提供通过削减输出寄存器的锁存电路的级数，可以简化输出电路的控制，节省电路面积，降低电流消耗的半导体集成电路装置。

[0017] 如果对在本申请所公开的发明中具有代表性装置的概要进行简单说明，则其特征在于，在将多个数据同时读写的预取指令存储器中的，存储元件和数据焊盘之间的数据传送电路中，具有在数据总线上在多个时钟周期内保持数据的电路。

[0018] 有关本发明一方的半导体集成电路装置，包括：第 1 信号传送路径，其并行传送多个数据信号；多个放大电路部，其分别接受上述多个数据信号；第 2 信号传送路径，其传送由上述多个放大电路部分别放大的上述多个数据信号；多个寄存器，其分别接受经过上述第 2 信号传送路径被传送的上述多个数据信号；和输出部，其中根据同步用的时钟信号将分别保持在上述多个寄存器中的上述多个数据信号串行输出；上述多个放大电路部相对于上述多个数据信号中应先输出的其它数据信号，延迟应后输出的至少一个数据信号向上述第 2 信号传送路径的输出时刻；在上述第 2 信号传送路径上，将数据保持至少一个时钟周期期间。

[0019] 有关本发明另一方案的半导体集成电路装置，包括：控制电路，其基于将从半导体集成电路装置外部输入到上述半导体集成电路装置的时钟信号（也称为“外部时钟信号”）分频而生成的信号，生成激活的时序相位不同的第 1 及第 2 控制信号；和放大电路段，其具
有4个放大电路，与所述4个放大电路相连接的第1及第2选择电路，与所述第1选择电路相连接的第1锁存电路及与所述第2选择电路相连接的第2锁存电路，上述4个放大电路分别接受来自与4个地址对应的存储元件阵列中读出的数据信号，共同输入所述第1控制信号，响应上述第1控制信号，将与上述4个地址对应的数据信号分别放大输出；接受上述4个地址中两个偶数地址的数据信号的上述第1选择电路，根据读出的开始地址，按先输出还是后输出来切换输出目的的信号传送路径；接受上述两个奇数地址的数据信号中后输出的数据信号的上述第1锁存电路，响应上述第2控制信号，将锁存器输出向对应的信号传送路径输出，接受上述4个地址中两个奇数地址的数据信号的上述第2选择电路，根据上述读出的开始地址，按先输出还是后输出来切换输出目的的信号传送路径；接受上述两个奇数地址的数据信号中后输出的数据信号的上述第2锁存电路，响应上述第2控制信号，将锁存器输出向对应的信号传送路径输出，还包括：第3选择电路，其输入从上述放大电路段分别传送到上述信号传送路径的先输出的偶数地址的数据信号和先输出的奇数地址的数据信号，按照读出的顺序，分别供给第1输出寄存器的两个输入；和第4选择电路，其输入从上述放大电路段分别传送到上述信号传送路径的后输出的偶数地址的数据信号和后输出的奇数地址的数据信号，按照读出的顺序，分别供给第2输出寄存器的两个输入；还包括：第5选择电路，其输入上述第1输出寄存器的两个输出和上述第2输出寄存器的两个输出的共计4个输出，根据所输入的同步用时钟信号的上升沿和下降沿，作为按照读出地址顺序的串行数据输出信号输出。

【0020】根据本发明，在数据传送用的信号传送路径上，可以在相当于多个时钟周期的期间内保持数据，因此可以削减等待用的锁存器电路的级数，缩短数据传送时间。

【0021】根据本发明，通过削减输出寄存器的锁存器电路级数，简化输出电路的控制，同时可以实现节省电路面积。而且根据本发明可以降低电流消耗。

附图说明

【0022】图1是表示本发明一实施例的数据传送电路的构成图。

【0023】图2是表示本发明一实施例的存储装置的构成图。

【0024】图3是表示本发明的DDR SDRAM的一实施例的芯片整体布局构成图。

【0025】图4是表示本发明一实施例的MA控制电路的构成图。

【0026】图5是表示本发明一实施例的MA电路的构成图。

【0027】图6是用于说明本发明一实施例的读取动作的时序图。

【0028】图7是用于说明本发明一实施例的写入动作的时序图。

【0029】图8是表示本发明另一实施例的数据传送电路的构成图。

【0030】图9是表示图8的G10数据保持电路的构成图。

【0031】图10是用于说明本发明另一实施例的读出动作的时序图。

【0032】图11是表示以往的2N预取指令数据传送电路的构成图。

【0033】图12是用于说明以往的2N预取指令数据传输电路的动作的时序图。


具体实施方式

[0035] 下面，为了详细地说明本发明，参照附图，在说明本发明的构成原理之后，对实施例进行说明。

[0036] 图1表示依据本发明的预取指令方式的数据传送电路。本实施方式的数据传送电路，设有放大电路控制电路110，其输入对输入到半导体存储装置的时钟信号进行2分频而生成的相互不同相位的第1及第2读取用时钟信号RCLK0、RCLK1，生成相互不同相位的第1及第2控制信号MAEO、MOEO；第1至第4放大电路（主放大器）1011～1014，其分别从主输入输出线MIO输入从对应于4个地址的存储元件阵列中读取的数据，并共同输入第1控制信号MAEO，通过响应第1控制信号MAEO，而从从对应于上述4个地址的读取数据分别放大输出；第1至第4放大电路输出电路104, 104；选择电路1021，其输入分别与4个地址中的两个偶数地址对应的两个放大电路输出的第1及第2输出数据，根据读出开始地址，切换向两个输出中的哪一个输出的输出目的地；和第2选择电路1022，其输入分别与4个地址中的两个奇数地址对应的两个放大电路输出的第3及第4输出数据，根据上述读出开始地址，切换向两个输出中的哪一个输出的输出目的地。

[0037] 第1选择电路1021的第1输出端、第2选择电路1022的第1输出端，分别与第1和第3放大电路输出电路104, 104的输入端连接。本实施方式的数据传送电路还包括：第1锁存电路1031，其接受第1选择电路1021的第2输出所输出的输出数据，响应上述第2控制信号MOEO，将锁存输出供给到第2放大电路输出电路104的输入端；第2锁存电路1032，其接受第2选择电路1022的第2输出所输出的输出数据，响应第2控制信号MOEO，将锁存输出供给到第4放大电路输出电路104的输入端子；第3选择电路1051，其输入从第1和第3放大电路输出电路104, 104分别传送到第1和第3信号传送路径的输出数据，将上述输入的输出数据的输出目的地，按照读出顺序，切换到第1、第2输出端；第4选择电路1052，其输入从第2和第4放大电路输出电路104, 104分别传送到第2和第4信号传送路径的输出数据，将上述输入的输出数据的输出目的地，按照读出顺序，切换到第1、第2输出端；第1输出寄存器106, 106, 106, 106，其为将从第3选择电路1051的第1、第2输出端的输出数据并行输入输出的再列先入先出型；第2输出寄存器1071～1075，为将从第4选择电路1052的第1、第2输出端的输出数据并行输入输出的再列先入先出型；第5选择电路108，其输入上述第1输出寄存器的两列输出和上述第2输出寄存器的两列输出共计
4 列输出，与输入的时钟信号的上升沿和下降沿同步，作为对应于读出地址的串行数据信号输出；和输出缓冲器 109，其接受第 5 选择电路 108 的输出，驱动数据输出到数据焊接（端子 DQ）。

【0038】对于从主放大器电路 101 ～ 1014 按 FIFO（First In First Out）将 32 位的数据使用 F-GIO（全局输入输出）线和 S-GIO 线传送这样的构成，如图 1 所示。根据本发明，备有两种控制信号：一个是控制信号 MAE0，其控制到 F-GIO 线的数据输出电路；一个是控制信号 MEO，其控制到 S-GIO 线的数据输出电路。

【0039】主放大器控制电路 110，输入相互不同相位的两个读取时钟信号 RCLK0、RCLK1，输出第 1、第 2 输出控制信号 MAE0、MEO0。第 1 输出控制信号 MAE0 的上升沿由第 1 读取时钟信号 RCLK0 的上升沿生成，第 1 输出控制信号 MAE0 的下降沿由第 2 读取时钟信号 RCLK1 的下降沿生成。两个读取时钟信号 RCLK0/RCLK1，因为由外部时钟信号 CK 不同的边沿生成的，所以第 1 输出控制信号 MAE0 的周期，变为相当于多个时钟周期的长度。另一方面，第 2 输出控制信号 MEO0 的上升沿也同样，由第 1 读取时钟信号 RCLK0 的上升沿生成，但是与第 1 输出控制信号 MAE0 不同的时刻被控制（被延迟）。第 2 输出控制信号 MEO0 的下降沿也由第 2 读取时钟信号 RCLK1 的上升沿生成，第 2 输出控制信号 MEO0 的周期变为相当于多个时钟周期的长度。

【0040】由相关的构成，根据本发明的实施方式，可以在数据总线上，将数据保持多个时钟周期期间，可以削减 FIFO 部分等待用锁存电路的级数，从而缩短数据传送时间。

【0041】（实施例）

【0042】为了进一步详细说明本发明，参照附图对本发明的实施例进行说明。

【0043】图 2 表示有关本发明的 DDR SDRAM（Double Data Rate Synchronous DRAM）的一实施例的整体框图。参照图 2，控制输入信号包括行地址选通脉冲信号/RAS，列地址选通脉冲信号/CAS，写入使能信号/WE，片选信号/CS。这里“/”是对应着低电平表示有效电平的逻辑符号的上划线。X 地址信号和 Y 地址信号，与时钟信号 CK、/CK 同步，从共同的地址端子 Add，按时序列输入。控制输入信号/RAS、/CAS、/WE、/CS，被输入到输入电路 207，提供给指令译码器 208，指令译码器 208 基于所输入信号，译码器读取/写入指令等，控制读取单元、写入单元的控制电路 216、217，并且将控制信号输出到 X 轴控制电路、Y 轴控制电路 213、211。

【0044】通过地址缓冲器 209 输入的 X 地址信号和 Y 地址信号，分别取入到锁存电路 210。取入到锁存电路 210 的 X 地址信号供给到预译码器（X 轴控制电路）213，该输出信号被供给 X 译码器 202，形成字线 WL 的选择信号。根据字线的选择动作，在存储器阵列 201 的辅助位线 BL 上出现微小的读出信号，通过读取放大器 203 进行放大。取入到锁存电路 210 的 Y 地址信号，供给到预译码器（Y 轴控制电路）211，该输出信号被供给 Y 译码器 204，形成位线 BL 的选择信号。X 补救电路 215 和 Y 补救电路 212，进行不良地址的存储动作，比较被存储的不良地址和被取入的地址信号，如果一致，则指示 X 译码器 202 和 Y 译码器 204 选择预备的字线或者位线，并禁止正常的字线或正常的位线的选择动作。

【0045】在读取放大器 203 中被放大的存储信息，通过图中没有表示的列开关电路所选择的信号与共同输出输入线 M10 连接，传送到主放大器电路 225。该主放大器电路 225 没有特别限制，也可设置写入电路的写入放大器 222。也就是说，在读出动作时，放大通过 Y 开关电
路读出的读出信号，通过输出缓冲器（输出电路）227，使其从外部端子 DQ 输出。在写入动
作时，从外部端子 DQ 输入的写入信号通过输入缓冲器（输入电路）224 取入，通过写入电路
传送到共同输入输出线和选择位线，在选择位线中，通过取放大器 203 的放大动作输入
写入信号，在存储元件的电容器中保存着与其对应的电荷。
[0046] 时序发生电路 206，产生如对应时钟信号 CK、/CK 和信号 /RAS 和 /CAS 被输入的地址
信号的取入控制时序信号，和读取放大器动作时序信号等这样的存储元件选择动作所需的
各种时序信号。
[0047] 内部电压发生电路 218，接受从电源端子供给的高位测电源电压 VCC 和低位侧电
源电压 VSS 的动作电压，生成阳极电压、VCC/2 那样的预充电电压、内部升压电压 VPP、内部
降压电压 VDL、基板反馈偏置电压 VBB 等各种内部电压。
[0048] 刷新计数器 214，在成刷新模式时，产生刷新用的地址信号，用于 X 轴的选择动作。
[0049] 在图 2 中，由 M10、主放大器部 225、G10 线、FIFO226、输出电路（输出缓冲器）227
所构成的读出单元传送电路，对应着图 1 所示的数据传送电路。读取单元控制电路 216，生
成用于控制主放大器部 225 的信号，具有相当于图 1 的主放大器控制电路 110 的功能。而
且，输入电路（输出缓冲器）224、FIFO223、G10 线、写入放大器 222、M10 线构成写入单元
的数据传送电路。DQS 是数据选通脉冲信号的 I/O 端子。
[0050] 图 3 表示本发明的 DDR SDRAM 一实施例的芯片整体布局构成。参照图 3，该实施例
的 SDRAM，将构成多个存储器块（memory block）或簇（bank）的芯片作为整体分割为 8 分。
被分为 8 分的各个块分别具有同样的构成。沿著存储器阵列的一端设置 X 译码器 XDC，在与
其垂直方向的靠近芯片中央配置 Y 译码器 YDC 和主放大器 MA。8 个存储器块，按照 X 译码器
XDC 邻接那样，两个为一组在图中上下对称的配置，构成上述那样的 1 个存储器簇（memory
bank）。上述各个两组存储器块组成的 2 个存储器簇也在同一图中上下对称的配置。另外，
以设置在芯片横向中央的周边电路为中心，按照 Y 译码器 YDC、主放大器 MA 互相接那样，
上下对称地配置。
[0051] 1 个存储器块的存储器阵列部分采取下面的分级字线方式，即沿从 X 译码器 XDC 开始
在该图中沿横方向延伸的字线被分割为多个的阵列和将设置在各个阵列中的子字线，通过
连通多个阵列那样配置的主字线和子字线选择线进行选择。由此，减少与字线连接的存
储元件的数目，提高字线选择动作的速度。
[0052] 存储器块具有沿著从 Y 译码器 YDC 延伸的 Y 选择线分割为多个的阵列，按每个阵
列分割位线。由此，减少连接在位线上的存储元件的数目，确保从存储器被读取到位线上的
信号电压。存储元件由动态型存储元件构成，将存储电容器中有无电荷与信息的 1 和 0 对
应，通过存储电容器的电荷和位线的预充电电压之间的电荷耦合进行读出动作，因此通过
减少与位线连接的存储元件的数目，可以确保必要的信号量。
[0053] 在被分割的阵列的左右，配置子字线驱动器列，在阵列的上下（位线方向）配置读
取放大器列。在读取放大器列中，设置有列选择电路和位线预充电电路等，通过从字线（子
字线）选择的存储元件中读取数据，由读取放大器检测放大出现在各个位线上的微小电位
差。
[0054] 后述的主输入输出线 M10 没有特别的限制，在该图中，在字线字驱动器列上在纵向
方向延长。而且，沿着读取放大器阵列，配置局部输入输出线 L10，通过行类的选择信号将
局部输入输出线 LIO 和主输入输出线 MIO 连接。在周边电路中，配置上述全局输入输出线 G1O，与被选择的存储器簇对应的主输入输出线 MIO 连接。全局输入输出线 G1O 通过输入输出 FIFO，经由上述输出缓冲器和输入缓冲器，与连接于外部端子的焊盘 DQPAD 连接。

图中虽然没有表示，在芯片的中央部适当设置下面说明的周边电路。从地址输入端子供给的地址信号，在行地址缓冲器电路和列地址缓冲器中以多路复用的形式取入。供给的地址信号保存在各自的地址缓冲器。例如，行地址缓冲器和列地址缓冲器，在 1 个存储器时钟周期期间分别保存被取入的地址信号。而且，在芯片的中央部中也设置了由熔丝和进行地址比较的 MOSFET 等组成的补救电路。

行地址缓冲器在刷新动作模式中，取入刷新控制电路输出的刷新地址信号作为行地址信号。在本实施例中，虽然没有特别的限制，可以存储时序发生电路取入刷新地址信号作为行地址信号。取入到列地址缓冲器中的地址信号，作为预置数据提供给包含在控制电路中的列地址计数器。列地址计数器按照后述的指令等所指的亦部动作模式，将作为预置数据的列地址信号，或依次增加该列地址信号后的值，向 Y 译码器 YDC 输出。

控制电路，没有特别的限制，可以供给时钟信号、时钟使能信号、片选信号、列地址选通脉冲信号、行地址选通脉冲信号，写入使能信号、数据输入输出屏蔽控制信号等外部控制信号，和对应存储器簇的地址信号。基于这些信号电平的变化和时序等，形成 DDR SDRAM 动作模式等的各种控制信号，和与其对应的时序信号，因此设备有逻辑控制器和模式寄存器。

本实施例的 DDR SDRAM 中，在 1 个存储器簇的两个存储器阵列中，在主输入输出线 MIO 中，根据 Yo 和 Y1 地址，分为（对应参照图 1 的主输入输出线 MIO 和主放大器）：

0 地址 \((Y_0 = 0, Y_1 = 0)\)

1 地址 \((Y_0 = 1, Y_1 = 0)\)

2 地址 \((Y_0 = 0, Y_1 = 1)\)

3 地址 \((Y_0 = 1, Y_1 = 1)\)

在读取动作中进行以下这样 4N（这里，N 是 8:N = 每 1 个地址的 I/O 数目）的预取指令动作，对应地址信号，从各个存储器阵列中，以 8 位为单位，共选择 32 位，使用全局输入输出线 G1O，将 32 位数据输出。

而且，在输出电路中，与第 1 次时钟信号 CK 的上升沿同步输出“0 地址”的 8 位数据，与第 1 次时钟信号的下降沿同步输出“1 地址”的 8 位数据，与接着的第 2 次时钟信号的上升沿同步输出“2 地址”的 8 位数据，与第 2 次时钟信号的下降沿同步输出余下的“3 地址”的 8 位数据。

本发明也可以适用于具有大约 256M 位这样的大存储容量的 DDR SDRAM。芯片被分割成 8 个存储器块，以两个块构成 1 簇。1 个存储器块，被分割为 8×16 的阵列（子块），1 个子块为 512×512 位。也就是说，在一条子字线上连接 512 个存储元件，在位线中连接着 512 个存储元件。在以下的说明中，将主输入输出线 MIO 使用电路符号 MIO，简记为“MIO 线”，全局输入输出线 G1O，使用电路符号 G1O，简记为“G1O 线”。

在本实施例中，主放大器电路，主放大器输出电路，G1O 线，输出寄存器电路，分别被分割为 0/1/2/3/ 地址用。而且，如上述那样，主放大器→输出寄存器的数据传送，在 0/1/2/3/ 地址同时进行。即，将在 MIO 线中读取的 32 位组成的地址，用主放大器电路同时
取，再并行地传送到输出寄存器。根据开始地址 Y0、Y1，将输出寄存器中的数据与时钟的上升沿、下降沿同步输出。因此在该实施例中，主放大器电路和 G10 线，32 个同时动作。

[0067] 在图 1 中，表示有关本发明的 DDR SDRAM 的读取单元电路的一实施例的构成。参照图 1，该实施例中，如同所述，适用于 4N 预取指令动作。即对应读出地址，将从存储元件阵列读出到 M10 线的 32 组成的数据，在主放大器电路（MA 电路）101 ～ 101 中并接受，由于通过 G10 线并行传送到输出寄存器时频率的降低，所以前半 16(2N) 位输出数据（F-G10）和后半 16(2N) 位输出数据（S-G10）分开时序，输出由 G10 线传送的数据。

[0068] 而且，在本实施例中，由于削减了读写总线的控制级数（输出寄存器的锁存电路的级数），所以在 F-G10 和 S-G10 线上，可以在多个时钟周期内保持数据，这成为本发明的特征之一。作为该构成，在地址 0 数据用、地址 1 数据用、地址 2 数据用、地址 3 数据用中，将主放大器和该放大器输出电路以及 G10 线和输出地址，对应于输入输出端子 DQ0 ～ DQ7 及设定 8 个。而且，在放大输出电路中，设置 MA（主放大器）控制电路 110，其输出用于调整该输出时序的输出控制信号 MAEO、MOEO。

[0069] 对应开始地址信息，应该先输出的 16(2N) 位数据，直接通过 F-G10 线传送到输出寄存器（FIFO），应该后输出的 16(2N) 位数据，在锁存电路 103、103、通过 MA 控制电路 110 输出的输出控制信号 MOEO 锁存延迟后，再通过 S-G10 线，传送到输出数据（FIFO）。

[0070] 另外，输入到 MA 控制电路 110 而成为基本时钟的第 1、第 2 时钟信号 RCLK0、RCLK1，是由外部时钟信号 CK 之后的时钟脉冲的上升沿生成。读取时钟信号 RCLK0 和 RCLK1 的周期是外部时钟信号 CK 的时钟周期的 2 倍。

[0071] 在 MA 控制电路 110 中，F-G10 线的输出控制信号 MAEO 的上升沿，由第 1 读取时钟信号 RCLK0 生成，其下降沿由 RCLK1 生成。即，F-G10 线的数据输出期间为读取时钟信号 RCLK0 ～ RCLK1。因此，将数据传送的流水线级 0（stage-0）设为到 MA 电路，将级 1 可以设为 MA 电路输出部（104、104）～ FIFO 第 1 级（106、106）。另外，S-G10 线的数据输出期间也同样，为 RCLK0 ～ RCLK1。因而，可以将级 1（stage-1）设为 MA 电路输出部（104、104）～ FIFO 第 1 级（107、107）。

[0072] 输出寄存器的构成，在 F-G10 线中为锁存电路 3 级（106、106、106），在 S-G10 线中为锁存电路 4 级（107、107、107）。

[0073] 这是读取等待时间为“4”的情况，而在读取等待时间“5”或“3”的时候也同样，可以将级 1（Stage-1）设为 MA 电路输出部分～ FIFO 第 1 级。另外，例如被输入到输出寄存器 3 级的锁存电路 106、106 的时钟信号 CK1、CK25、CK35，对应等待时间 1、2、5、3、3、5，分别将 CK1 作为第 1 时钟脉冲的上升沿的时刻，对应第 2 时钟脉冲下降沿的时刻。选择电路（多路转接器）108，在时钟信号 CK4 的上升沿，选择并输出锁存电路 106B 的输出，在下一个循环的时钟信号 CK4 的上升沿，选择并输出锁存电路 107 的输出，在接下来的时钟信号 CK4 的下降沿，选择并输出锁存电路 107 的输出。

[0074] 在本实施例中，上述的 4N 预取指令 DDR SDRAM 可以将同时充放电的 G10 线由 32 条降低为 16 条。

[0075] 另外，根据本实施例，F-G10 线用的输出寄存器的级数可以从 4 级（参照图 11）降低为 3 级。

[0076] 这里，后 16(2N) 位输出数据，在时间上存在 1 个周期量的时间余度，因此，即使延
迟在 S-G10 线上的传送时间，也不会降低数据输出动作的性能。

[0077] 进一步，在 4N 预取指令中，读取指令（READ），因为在 2 个时钟内只输出 1 次，所以在 G10 线上，即使将数据保持 1 个时钟期间，也不会影响下一个读取指令的数据读取时间。

[0078] 图 4 中，在表示有关本发明的 DDR SDRAM 所使用的主放大器（MA）控制电路 110 的一实施例的电路构成。参照图 4，主放大器（MA）控制电路 110，根据由反相器 401 将 RCLKO 反相后的信号，生成单触发电脉冲（低电平）的电路（延迟电路 404、反相器 405、NAND 电路 406），基于第 1 读取时钟信号 RCLK1 的上升沿，置位 RS 触发器 407、408，RS 触发器 407、408 的输出被置位成高电平，通过反相器 411，反相器（反相驱动器）413，使输出控制信号 MAEO 上升为高电平。

[0079] 由第 2 读取时钟信号 RCLK1 的上升沿生成的单触发电脉冲电路（延迟电路 409、反相器 410、NAND 电路 417A），基于第 2 读取时钟信号 RCLK1 的上升沿复位 RS 触发器 407、408，让其输出呈低电平，将输出控制信号 MAEO 置为低电平。根据由反相器 401 将第 1 读取时钟信号 RCLK0 反相后并经延迟电路 414 延迟后的信号而生成单触发电脉冲（低电平）的电路（延迟电路 415、反相器 416、NAND 电路 417B），根据第 1 读取时钟信号 RCLK0 的上升沿置位 RS 触发器 418、419，将 RS 触发器 418、419 的输出置成高电平，通过反相器 424 和反相器（反相驱动器）425，使输出控制信号 MOEO 上升。从反相器 402 输出的 MIOEQO、从反相器 403 输出的 MAPGO、从 NAND 电路 412 输出的 MAEQO 是控制后述的主放大器（MA）101 动作的控制信号。

[0080] 图 5 是表示适用于本发明的主放大器电路的一实施例的构成。参照图 5，在该实施例中，对于应用于 4N 预取指令的 F-G10 线输出控制信号 MAEO 和 S-G10 线输出控制信号 MOEO 的控制电路为代表进行例示。而且，如图 4 所示，与 MIO 预充电控制信号 MIOEQO 的同时，生成 MA 控制信号 MAPGO、MAEQO。这些控制信号，由图 4 所示的电路生成。

[0081] 参照图 5，在主放大器电路 101 中，通过由 MA 控制信号 MAPGO 的低电平处于导通状态的 P 沟道型 MOSFET Q1 和 Q2，取出一对主输出输出线 M10T 和 M10B 信号。取出的信号由 CMOS 锁存电路放大，该 CMOS 锁存电路包括；栅极和漏极交差连接的 P 沟道型 MOSFET Q3、Q4 以及 N 沟道型 MOSFET Q5、Q6；设置在 N 沟道型 MOSFET Q5、Q6 的共同连接的源极和电路的接地电位之间并成为电流源的 N 沟道型 MOSFET Q7。

[0082] 即，按时序信号 MAPGO 低电平期间，进行输入信号的取入，确保期望的信号量，时序信号 MAPGO 变为高电平，分离主输出输出线 M10T、M10B 和 CMOS 锁存电路的输入输出端子，根据时序信号 MAEO 的高电平，CMOS 锁存电路开始放大动作。此时，CMOS 锁存电路的输入输出端子，因为具有大寄生电容的 M10 线被分离，所以 CMOS 电路将通过 M10 线传来的信号迅速放大到 CMOS 电平，传送到主放大器输出电路。另外，MOSFET Q12、Q13、Q14，是基于信号 M10EQO 对 M10 线对（MIOB、MIO）进行预充电均压的电路。另外，MOSFET Q15、Q16、Q17 是对主放大器输出电路侧的信号线对预充电均压。

[0083] 主放大器 MA00（例如对应图 1 的 101）的输出（反相器 501、502 的输出），通过根据 Y0、Y1 地址进行控制的 CMOS 总线门电路（并联设置的 2 个 CMOS 传输门 503、并联设置的两个三态反相器 504，构成图 1 的 MUX102），主放大器电路的输出信号被输出到 P 沟道型输出 MOSFET Q8 和 N 沟道型输出 MOSFET Q9 组成的输出电路（例如对应图 1 的 104），从而将取入主放大器电路的输出信号传送到 F-G10 线。
此时，F-G10 线的输出电路 Q8、Q9，在输出控制信号 MAEO 高电平期间，将主放大器的数据持续输出。

因此，输出控制信号 MAEO，由于根据成为基本时钟的第 1 读取时钟信号 RCLK0 的上升沿开始，在第 2 读取时钟信号 RCLK1 的上升沿期间变为高电平，因此 F-G10 线的输出电路，可以在 1 个时钟期间被激活。

另一方面，S-G10 线的输出电路 Q10、Q11，在输出控制信号 MOEO 高电平期间，持续输出主放大器的数据。这里，输出控制信号 MOEO，在将作为基本时钟的第 1 读取时钟信号 RCLK0 的上升沿在延迟电路（图 4 的 414）延迟一定时间之后，再将第 2 读取时钟信号 RCLK1 的上升沿，延迟一定期间变为高电平，因此 S-G10 线的输出电路（MOSFET Q10、Q11）在 1 个时钟期间被激活。

根据本实施例的构成，在 F-G10 和 S-G10 线上，关于同步用时钟信号 CK，可以将数据在多个时钟周期期间保持。另外，基于读取的开始地址，先输出主放大器 MA01 的输出，后输出主放大器 MA00 的输出的情况下，主放大器 MA00 的输出，根据由 Y0、Y1 地址控制的 CMOS 总线门电路（并联设置的 2 个 CMOS 传输门 507，并联设置的两个三态反相器 508）切换到 RS 锁存电路 510、511 及，再送到 S-G10 线输出电路 Q10、Q11，另一方面，主放大器 MA01 的输出通过 CMOS 总线门电路 503、504，再送到 F-G10 线输出电路 Q8、Q9。另外，RS 锁存电路 510、511 的输出，在输出控制信号 MOEO 为高电平时，通过 NAND 电路 512，再送到 PMOSFET Q10 的栅极，通过 NOR 电路 513，传送到 NMOSFET Q11 的栅极。在输出控制信号 MOEO 为低电平时，S-G10 线的输出电路 Q10、Q11 被设置为截止状态（输出高阻状态）。

以下关于本实施例的动作使用图的时序图进行说明。

读取指令（READ），与外部时钟信号 CK 的上升沿同步被输入。这里，在 4N 预取指令存储器中，读取指令和下一个读取指令之间的间隔，由规格定义为 2 个时钟以上。这样芯片内部的读取动作需要 2 个时钟期间进行，通过使用该技术，可实现 4N 预取指令存储器相对于 2N 预取指令存储器的动作频率提高大约 2 倍。

因此，在外部时钟信号 CK 的上升沿“0”处，读取指令被输入的情况下，下一个读取指令在外部时钟信号 CK 的上升沿“2”以后输入。

这里，第 1 读取时钟信号 RCLK0，由外部时钟信号 CK 的上升沿“0”和外部时钟信号 CK 的上升沿“2”生成。另一方面，第 2 读取时钟信号 RCLK1，由外部时钟信号 CK 的上升沿“1”和外部时钟信号 CK 的上升沿“3”生成。

在本实施例中，控制电路 110 使用第 1 及第 2 读取时钟信号 RCLK0、RCLK1，生成输入主放大器 101 的输出控制信号 MAEO 和 MOEO。

另一方面，输出寄存器的第一级锁存电路 106，106a 的锁存信号 CK1，以及第一级锁存电路 107，107a 的锁存信号 CK1D，由时钟信号 CK 的上升沿“1”生成。这是为了将数据在 F-G10 和 S-G10 线上保持 1 个时钟期间的原故。另外，输出寄存器的锁存信号 CK1、CK1D 的时钟周期，被设置为外部时钟 CK 的时钟周期的 2 倍。

关于本实施例的写入动作，根据图 7 所示的时序图进行。

即，如图 7 所示，在前半部分的两位数据向 DQ 焊盘～主放大器 (MA) 传送中，使用 S-G10 线，在后半部分的两位数据传送中，使用 F-G10 线。此时，S-G10 线的输出控制信号（图 7 的 S-G10 输出），在外部时钟信号 CK 的上升沿“3”处变为高电平，在外部时钟信号 CK
的下降沿“4”处变为低电平。S-G10 线的输出电路，在外部时钟信号 CK 的上升沿“3”～“4”期间动作。另一方面，F-G10 线的输出控制信号（图 7 的 F-G10 输出）在外部时钟信号 CK 的上升沿“4”处变为高电平，由单触发电脉冲（时钟信号 CK 的脉冲宽度）变为低电平。

【0096】根据相关构成的本实施例，将 S-G10 线的数据，可以在 S-G10 线上 1 个时钟的时间内保持，因此在写入用的主放大器部（图 2 的写入放大器部）中不需设置将 S-G10 线上的数据锁存的电路。

【0097】从上述的实施例中可以得到如下的作用效果。

【0098】（1）在读取时，在 F-G10 线和 S-G10 线上，通过将数据保持 1 个时钟期间，可以让 4N 预取指令存储器的流水线级 0 为到主放大器（MA）电路为止，让流水线级 1 为从主放大器（MA）输出部到 FIFO 的第 1 级，可以削减输出寄存器的锁存电路的级数，实现高速动作。

【0099】（2）在上述的基础上，通过削减输出寄存器的锁存电路的级数，简化输出电路的控制，并且可以减小电路面积。

【0100】（3）在上述（1）、（2）的基础上，通过削减输出寄存器的锁存电路级数，实现降低电流消耗。

【0101】（4）在写入时，通过在 S-G10 线上将数据保持 1 个时钟期间，削减主放大器部分的 S-G10 线的数据锁存电路，可以降低面积，减少电流消耗。

【0102】接着，对本发明第 2 实施例进行说明。本发明第 2 实施例的基本构成和上述实施例同样，但是关于在 G10 线上的数据保持，做了进一步改进。图 8 表示本发明第 2 实施例的构成图。在图 8 中，和图 1 同样的要素采用同一参照符号。参照图 8，本发明的第 2 实施例在输出寄存器部分备有 G10 线的数据保持电路 111。即，由有选择电路 105，的输出锁存的数据保持电路 111，数据保持电路 111 的输出通过输出缓冲器 112 与 F-G10 线连接。数据保持电路 111，在数据保持电路控制信号 GIOL 为高电平期间，保持 G10 线数据。

【0103】图 9 是表示本实施例的 G10 数据保持电路 111 的构成的一例的图。参照图 9，输出被共同连接的三态反相器 901、902 构成选择器，将输入写入时的数据的缓冲器（与图 2 的 221 对应）的输出 DinBuff 和 F-G10 输入，在读取时选择 F-G10；在写入时输入 DinBuff。选择器 901、902 的输出，被输入到三态反相器 903，三态反相器 903 的输出与触发器连接，该触发器由输入和输出互相连接的反相器 905 和三态反相器 904 组成。由三态反相器 903、904 和反相器 905 构成锁存电路。该锁存电路的输出，被分别输入到 NAND 电路 909 和 NOR 电路 910 的一个输入端，NAND 电路 909 和 NOR 电路 910 的输出分别输入到 PMOSFET911、NMOSFET912 的栅极；该 PMOSFET911，NMOSFET912 的源极分别与电源 VDD、VSS 连接；漏极之间连接在一起，并与 F-G10 连接。NAND 电路 909 的另一输入端输入 NOR 电路 906 的输出，并与反相器 907 的输出连接，NOR 电路 910 的另一输入端与反相器 908 的输出连接。概述图 9 所示的电路的动作，在数据保持电路控制信号 GIOL 为高电平期间，NOR 电路 906 的输出被设置为低电平，反相器 907 的输出为高电平，NAND 电路 909 将三态反相器 903 输出的反相信号传送到 PMOSFET911 的栅极，反相器 908 的输出被设置为低电平，NOR 电路 910 将反相器 903 输出的反相信号传送到 NMOSFET912 的栅极。另一方面，数据保持电路控制信号 GIOL 为低电平期间，NOR 电路 906 的输出被设置为高电平，反相器 907、908 的输出被设置为低电平，高电平，NAND 电路 909 的输出被设置为高电平，NOR 电路 910 的输出被设置为低电平，MOSFET911、MOSFET912 均成截止状态，输出处于高阻状态。
在图 9 的构成中，将输入用 F-G10 输出电路用于 F-G10 的读取时的数据保持。即通过将写入时对 F-G10 线的数据输出电路作为读取时的 F-G10 线数据保持电路使用，可以减少面积，并且防止 F-G10 线负载（扩散层电容）的增加，减少速度的降低。

另外，因为面积减少，一般将 G10 线作为读/写共有线使用，节省数据保持电路的面积。

图 10 是表示使用数据保持电路的本发明的第 2 实施例读取动作的时序的一例的图。如图 10 所示，F-G10 的输出信号 MAE0，根据外部时钟信号 CK 的上升沿“0”由单触发脉冲生成。因此主放大器的 F-G10 线输出期间是单触发的，但是输出寄存器部分的数据保持电路控制信号 G10L 从外部时钟信号 CK 的上升沿“0”开始到上升沿“1”期间变为高电平，将数据保持 1 个时钟期间。

因而，在本实施例中，如图 8 所示，4N 预取指令数据传送的流水线级 0 (Stage-0) 可以为到 MA, 流水线级 1 (Stage-1) 为 MA 输出部分～FIFO 第 1 级。另外，削减输出寄存器的锁存电路数目，可以收到高速动作的效果。

而且，根据本实施例，将数据保持电路 111 和输入用 F-G10 的输出电路共用，可以实现面积的增加几乎为零的效果。

以上，结合上述实施例对本发明进行说明，但是本发明并不局限于上述实施例，在遵循本发明的原理的范围内，本行业普通技术人员均可以进行各种变形和修正，显然这些也在本发明的范围内。
图 6
图9

写入单元信号：\text{G1O_L}
图 10