



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209739

(11)

(B1)

/22/ Přihlášeno 31 01 80
/21/ /PV 653-80/

(40) Zveřejněno 31 03 81

(45) Vydáno 15 07 82

(51) Int. Cl.³
G 06 F 13/00

(75)

Autor vynálezu

KORVAS ZDENĚK ing. CSc., KUČERA ADOLF ing. a ZAPLETAL ZDENĚK ing.,
PRAHA

(54) Zařízení pro styk mezi moduly

1

2

Vynález se týká zařízení pro styk mezi moduly číslicového počítače.

Dosavadní známá řešení řeší styk mezi moduly buď kruhovým přenosem, kde v každém modulu je do vedení mezi moduly vložen nový vysílač, nebo sběrnicovým způsobem, kde jeden z modulů, procesor, je řidičí, ostatní jsou podřízené. U jednoho počítače je mezimodulový styk řešen pomocí dvou okruhů, přičemž jeden z nich je řízen řadičem hlavní paměti, druhý servisním modulem. Společnou nevýhodou těchto řešení mezimodulového styku je, že neumožňují přímé spojení mezi libovolnými dvěma moduly, což vede v mnoha případech na složitější způsob styku. Nevýhodou styku s kruhovým přenosem je poměrně velké zpoždění vlivem zařazených vysílačů v sérii.

Nevýhody známých zapojení odstraňuje zapojení sestávající z datové sběrnice, adresové sběrnice a příznakové sběrnice, prvního až sedmého adaptoru pro připojení modulů ke sběrnicím a dále přidělovače sběrnic podle vynálezu, jehož podstatou je, že datové vstupy prvního až sedmého adaptoru i datové výstupy prvního až sedmého adaptoru jsou spolu spojeny datovou sběrnicí a adresové vstupy prvního až sedmého adaptoru i adresové výstupy prvního až šestého adaptoru jsou spolu spojeny adresovou sběrnicí, příznakové vstupy prvního až šestého adaptoru, příznakový vstup přidělovače a příznakové výstupy prvního až sedmého adaptoru jsou spolu propojeny příznakovou sběrnicí a výstup žádosti o přidělení sběrnice prvního adaptoru je připojen k prvnímu vstupu přidělovače sběrnic

a výstup žádosti o přidělení sběrnice druhého adaptoru je připojen ke druhému vstupu přidělovače a výstup žádosti o přidělení sběrnic třetího adaptoru je připojen ke třetímu vstupu přidělovače a výstup žádosti o přidělení sběrnic čtvrtého adaptoru je spojen se čtvrtým vstupem přidělovače a výstup žádosti o přidělení sběrnic pátého adaptoru je spojen s pátým vstupem přidělovače a výstup žádosti o přidělení sběrnic šestého adaptoru je připojen k šestému vstupu přidělovače a první výstup přidělovače je spojen se vstupem přidělovacího signálu prvního adaptoru a druhý výstup přidělovače je spojen se vstupem přidělovacího signálu druhého adaptoru a třetí výstup přidělovače je spojen se vstupem přidělovacího signálu třetího adaptoru a čtvrtý výstup přidělovače je spojen se vstupem přidělovacího signálu čtvrtého adaptoru a pátý výstup přidělovače je spojen se vstupem přidělovacího signálu pátého adaptoru a šestý výstup přidělovače je spojen se vstupem přidělovacího signálu šestého adaptoru, přičemž každý sestává z bloku přijímačů dat, bloku přijímačů adresy, bloku přijímačů příznaků, bloku vysílačů dat, bloku vysílačů adresy, bloku vysílačů příznaků, dále z porovnávacího obvodu adresy, porovnávacího obvodu dat, obvodu kontroly parity adresy, obvodu kontroly parity dat, registru přijatých příznaků, obvodu vyhodnocování chyb mezimodulového styku a řidičího a časovacího obvodu adaptoru, přičemž datový vstup adaptoru je spojen se vstupem bloku přijímačů dat, adresový vstup adaptoru je spojen se vstupem bloku přijímačů adresy, přízna-

kový vstup adaptoru je spojen se vstupem bloku přijímačů příznaků a dále výstup bloku přijímačů dat je spojen s prvním vstupem porovnávacího obvodu dat, se vstupem obvodu kontroly parity dat a dále s výstupem dat adaptoru do centrální části procesoru, výstup bloku přijímačů adresy je spojen s prvním vstupem porovnávacího obvodu adresy, se vstupem parity adresy, dále s prvním vstupem řídicího a časovacího obvodu adaptoru a konečně s výstupem adresy adaptoru do centrální části procesoru, výstup bloku přijímačů příznaků je spojen s prvním vstupem registru přijatých příznaků a se čtvrtým vstupem řídicího a časovacího obvodu adaptoru a výstup registru přijatých příznaků je spojen s výstupem příznaků adaptoru do centrální části procesoru, přičemž vstup dat z centrální části procesoru je spojen s druhým vstupem porovnávacího obvodu dat a s prvním vstupem bloku vysílačů dat, vstup adresy z centrální části procesoru je spojen s druhým vstupem porovnávacího obvodu adresy a s prvním vstupem bloku vysílačů adresy, přičemž výstup bloku vysílačů dat je spojen s datovým výstupem adaptoru a výstup bloku vysílačů adresy je spojen s adresovým výstupem adaptoru, dále vstup stavových a řídicích signálů z centrální části procesoru je spojen s druhým vstupem řídicího a časovacího obvodu adaptoru, vstup přidělovacího signálu adaptoru je spojen se třetím vstupem řídicího a časovacího obvodu adaptoru, přičemž první výstup řídicího a časovacího obvodu adaptoru je spojen s druhým vstupem registru přijatých příznaků a druhý výstup řídicího a časovacího obvodu adaptoru je spojen s výstupem ovládacích signálů centrální části procesoru a třetí výstup řídicího a časovacího obvodu adaptoru je spojen s výstupem žádosti o přidělení sběrnice adaptoru a čtvrtý výstup řídicího a časovacího obvodu adaptoru je spojen s prvním vstupem obvodu pro vyhodnocování chyb mezimodulového styku, pátý výstup řídicího a časovacího obvodu adaptoru je spojen s prvním vstupem bloku vysílačů příznaků a šestý výstup řídicího a časovacího obvodu adaptoru je spojen s druhým vstupem bloku vysílačů dat, přičemž výstup porovnávacího obvodu adresy je spojen s druhým vstupem obvodu pro vyhodnocování chyb mezimodulového styku a výstup porovnávacího obvodu dat je spojen s třetím vstupem obvodu pro vyhodnocování chyb mezimodulového styku a výstup obvodu kontroly parity adresy je spojen se čtvrtým vstupem obvodu pro vyhodnocování chyb mezimodulového styku a výstup obvodu kontroly parity dat je spojen s pátým vstupem obvodu pro vyhodnocování chyb mezimodulového styku, přičemž první výstup obvodu pro vyhodnocování chyb mezimodulového styku je spojen s výstupem chybových signálů adaptoru do centrální části procesoru a druhý výstup obvodu pro vyhodnocování chyb mezimodulového styku je spojen s druhým vstupem bloku vysílačů příznaků, přičemž výstup bloku vysílačů příznaků je spojen s příznakovým výstupem adaptoru.

Zapojení dle vynálezu je univerzální, umožňuje zprostředkovat přímý styk při spojení libovolných modulů navzájem i styk, kdy modul volá sám sebe. Tím se proti jiným řešením zjednoduší procedura např. při styku s hlavní pamětí, při zahajování operací vstupu a výstupu a odpadá nutnost druhého okruhu pro přenos servisních a diagnostických informací. Volání sama sebe je výhodné při diagnostice a oživování. Další výhodou zapojení dle vynálezu je

možnost zařazení kontrolních obvodů, jejichž stav lze vysílat na závěr spojení po příznakové sběrnici.

Zařízení pro styk mezi moduly realizuje výměnu informací mezi libovolnými dvěma moduly prostřednictvím jejich adaptorů, připojených ke společným sběrnicím. Modulem může být blok, zastávající funkci instrukčního procesoru, operační paměti, procesoru pro řízení přidavných zařízení nebo vnějších pamětí či funkcí jiného specializovaného procesoru. Většina těchto funkčních bloků potřebuje pro svou činnost výměnu informací s jiným blokem a proto adaptory pro připojení těchto bloků ke sběrnicím umožňují vyžadovat přidělení sběrnice od centrálního přidělovače sběrnice. Výjimku tvoří např. blok, zastávající funkci operační paměti, který při své činnosti nemusí vyžadovat přidělování sběrnice. To však nijak neomezuje tento blok z dvoustanných výměn informací s jinými funkčními bloky, pokud si je samy vyžádají. Přidělovač přiděluje sběrnice tomu modulu, jehož žádost má nejvyšší prioritu. Přidělení trvá po celou dobu styku.

Jedno z možných zapojení zařízení pro styk mezi moduly je znázorněno na připojených výkresech. Na obr. 1 je znázorněna konfigurace sedmi modulů, z nichž šest má adaptory upraveny tak, že mohou vyžadovat přidělení sběrnice. Obr. 2 znázorňuje příklad zapojení takového adaptoru.

Počet modulů zařízení pro styk mezi moduly může být samozřejmě větší nebo menší než je v uvedeném příkladě.

Zařízení pro styk mezi moduly sestává z datové sběrnice 001, adresové sběrnice 002, příznakové sběrnice 003, prvého až sedmého adaptoru 100 až 700 pro připojení modulů ke sběrnicím 001, 002 a 003 a přidělovače 800 sběrnice 001, 002, 003. Datové vstupy 101, 201, 301, 401, 501, 601, 701 prvého až sedmého adaptoru 100 až 700 a datové výstupy 102, 202, 302, 402, 502, 602, 702 prvého až sedmého adaptoru 100 až 700 jsou spolu spojeny datovou sběrnicí 001, adresové vstupy 103, 203, 303, 403, 503, 603, 703 prvého až sedmého adaptoru 100 až 700 a adresové výstupy 104, 204, 304, 404, 504, 604, prvého až šestého adaptoru 100 až 600 jsou spolu propojeny adresovou sběrnicí 002, příznakové vstupy 105, 205, 305, 405, 505, 605 prvého až šestého adaptoru 100 až 600, příznakový vstup 807 přidělovače 800 a příznakové výstupy 106, 206, 306, 406, 506, 606, 706 prvého až sedmého adaptoru 100 až 700 jsou spolu propojeny příznakovou sběrnicí 003, výstup 108 žádosti o přidělení sběrnice 001 až 003 prvého adaptoru 100 je připojen k prvému vstupu 801 přidělovače 800 a výstup 208 žádosti o přidělení sběrnice 001 až 003 druhého adaptoru 200 je připojen k druhému vstupu 802 přidělovače 800 a výstup 308 žádosti o přidělení sběrnice 001 až 003 třetího adaptoru 300 je připojen ke třetímu vstupu 803 přidělovače 800 a výstup 408 žádosti o přidělení sběrnice 001 až 003 čtvrtého adaptoru 400 je připojen ke čtvrtému vstupu 804 přidělovače 800 a výstup 508 žádosti o přidělení sběrnice 001 až 003 pátého adaptoru 500 je připojen k pátému vstupu 805 přidělovače 800 a výstup 608 žádosti o přidělení sběrnice 001 až 003 šestého adaptoru 600 je připojen k šestému vstupu 806 přidělovače 800 a první výstup 811 přidělovače 800 je připojen na vstup 107 přidělovacího signálu prvého adaptoru 100 a druhý výstup 812 přidělovače 800 je připojen na vstup 207 přidělovacího signálu druhého adaptoru 200 a třetí výstup 813 přidělovače 800 je připojen na vstup 307 přidělovacího signálu třetího adaptoru

300 a čtvrtý výstup 814 přidělovače 800 je připojen na vstup 407 přidělovacího signálu čtvrtého adaptoru 400 a pátý výstup 815 přidělovače 800 je připojen na vstup 507 přidělovacího signálu pátého adaptoru 500 a šestý výstup 816 přidělovače 800 je připojen na vstup 607 přidělovacího signálu šestého adaptoru 600 a první až šestý adaptor 100 až 600 jsou upraveny tak, že každý sestává z bloku přijímačů 1 dat, bloku přijímačů 2 adresy, bloku přijímačů 3 příznaků, bloku vysílačů 4 dat, bloku vysílačů 5 adresy, bloku vysílačů 6 příznaků, dále porovnávacího obvodu 7 adresy, porovnávacího obvodu 8 dat, obvodu 9 kontroly parity adresy, obvodu 10 kontroly parity dat, dále registru 11 přijatých příznaků, obvodu 12 pro vyhodnocování chyb mezimodulového styku a konečně řidičího a časovacího obvodu 13 adaptoru, přičemž datový vstup X01 je spojen se vstupem bloku přijímačů 1 dat a adresový vstup X03 je spojen se vstupem bloku přijímačů 2 adresy a příznakový vstup X05 je spojen se vstupem bloku přijímačů 3 příznaků a dále výstup bloku přijímačů 1 dat je spojen jednak s prvním vstupem porovnávacího obvodu 8 dat, jednak se vstupem obvodu 10 kontroly parity dat a dále s výstupem X11 dat do centrální části procesoru, výstup bloku přijímačů 2 adresy je spojen jednak s prvním vstupem porovnávacího obvodu 7 adresy, jednak se vstupem obvodu 9 kontroly parity adresy, dále s prvním vstupem řidičího a časovacího obvodu 13 adaptoru a konečně s výstupem X10 adresy do centrální části procesoru, výstup bloku přijímačů 3 příznaků je spojen jednak s prvním vstupem registru 11 přijatých příznaků, jednak se čtvrtým vstupem řidičího a časovacího obvodu 13 adaptoru, a výstup registru 11 přijatých příznaků je spojen s výstupem X12 příznaků do centrální části procesoru, přičemž vstup X21 dat z centrální části procesoru je spojen jednak s druhým vstupem porovnávacího obvodu 8 dat a jednak s prvním vstupem bloku vysílačů 4 dat, vstup X20 adresy z centrální části procesoru je spojen jednak se druhým vstupem porovnávacího obvodu 7 adresy, jednak s prvním vstupem bloku vysílačů 5 adresy, přičemž výstup bloku vysílačů 4 dat je spojen s datovým výstupem X02 a výstup bloku vysílačů 5 adresy je spojen s adresovým výstupem X04, dále vstup X22 stavových a řidičích signálů z centrální části procesoru je spojen s druhým vstupem řidičího a časovacího obvodu 13 adaptoru, vstup X07 přidělovacího signálu adaptoru je spojen se třetím vstupem řidičího a časovacího obvodu 13 adaptoru, přičemž první výstup řidičího a časovacího obvodu 13 adaptoru je spojen s druhým vstupem registru 11 přijatých příznaků a druhý výstup řidičího a časovacího obvodu 13 adaptoru je spojen s výstupem X13 ovládacích signálů centrální části procesoru a třetí výstup řidičího a časovacího obvodu 13 je spojen s výstupem X08 žádosti o přidělení sběrnice 001 až 003 adaptoru a čtvrtý výstup řidičího a časovacího obvodu 13 adaptoru je spojen s prvním vstupem obvodu 12 pro vyhodnocování chyb mezimodulového styku, pátý výstup řidičího a časovacího obvodu 13 adaptoru je spojen s prvním vstupem bloku vysílačů 6 příznaků a šestý výstup řidičího a časovacího obvodu 13 adaptoru je spojen s druhým vstupem bloku vysílačů 5 adresy a konečně sedmý výstup řidičího a časovacího obvodu 13 adaptoru je spojen s druhým vstupem bloku vysílačů 4 dat, přičemž výstup porovnávacího obvodu 7 adresy je spojen se druhým vstupem obvodu 12 pro vyhodnocování chyb mezimodulového styku a výstup porovnávacího

obvodu 8 dat je spojen se třetím vstupem obvodu 12 pro vyhodnocování chyb mezimodulového styku a výstup obvodu 9 kontroly parity adresy je spojen se čtvrtým vstupem obvodu 12 pro vyhodnocování chyb mezimodulového styku a výstup obvodu 10 kontroly parity dat je spojen s pátým vstupem obvodu 12 pro vyhodnocování chyb mezimodulového styku, přičemž první výstup obvodu 12 pro vyhodnocování chyb mezimodulového styku je spojen s výstupem X14 chybových signálů adaptoru do centrální části procesoru a druhý výstup obvodu 12 pro vyhodnocování chyb mezimodulového styku je spojen s druhým vstupem bloku vysílačů 6 příznaků a kde výstup bloku vysílačů 6 příznaků je spojen s příznakovým výstupem X06 adaptoru.

Z důvodu jednoduchosti je účelné popsat činnost zařízení pro styk mezi moduly zvlášť z hlediska činnosti adaptoru toho modulu, který je iniciátorem výměny informace, krátce volajícího modulu, a zvlášť z hlediska činnosti adaptoru toho modulu, s nímž provede volající modul výměnu informace, krátce volaného modulu.

Činnost adaptoru volajícího modulu je následující:

Vyžaduje-li určitý modul pro svoji činnost výměnu informace s jiným modulem, vytváří centrální část procesoru signál, který se přivádí přes vstup X22 řidičích a stavových signálů, z centrální části procesoru, na druhý vstup řidičího a časovacího obvodu 13 adaptoru. Obvod 13 generuje na svém třetím výstupu požadavkový signál, který se přes výstup X08 žádosti o přidělení sběrnice vede do přidělovače sběrnice 800. Přidělovač přidělí sběrnici tomu modulu, jehož žádost má nejvyšší prioritu. Signál o přidělení sběrnice modulu přichází z přidělovače 800 na vstup X07 přidělovacího signálu adaptoru, odkud se přivádí na třetí vstup řidičího a časovacího obvodu 13 adaptoru. Obvod 13 generuje na svém šestém výstupu hradlovací signál, který se přivádí na druhý vstup bloku vysílačů 5 adresy. Tento hradlovací signál ovládá vysílání adresy z bloku vysílačů 5 na adresový výstup X04 a tím také na adresovou sběrnici 002. Adresu připravuje centrální část procesoru a je k dispozici na vstupu X20 adresy z centrální části procesoru, odkud se přivádí na první vstup bloku vysílačů 5 adresy. Informace vyslaná na adresovou sběrnici 002 obsahuje řidičí údaje potřebné pro uskutečnění styku, například označuje modul, s nímž provede výměnu informace, určuje směr přenosu informace atd.

Pokud se při takto zahájeném styku mezi moduly bude přenášet informace z volajícího modulu do volaného, pak řidičí a časovací obvod 13 generuje též na svém sedmém výstupu hradlovací signál, který se přivádí na druhý vstup bloku vysílačů 4 dat, z jehož výstupu se data přes datový výstup X02 předávají na datovou sběrnici 001. Data k vysílání se přivádí přes vstup X21 dat z centrální části procesoru na první vstup bloku vysílačů 4 dat.

Informace vyslaná na adresovou sběrnici 001 je k dispozici všem modulům včetně vysílačího modulu. Signály z adresové sběrnice 002 se přes adresový vstup X03 volajícího modulu přivádí na vstup bloku přijímačů 2 adresy, z jehož výstupu se přijatá adresa vede mimo jiné na první vstup porovnávacího obvodu 7 adresy, který srovnává přijatou adresu s vysílanou, přivedenou na druhý vstup porovnávacího obvodu 7 adresy.

Výstupní signál porovnávacího obvodu 7 se vede na druhý vstup obvodu 12 pro vyhodnocování chyb mezimodulového styku, kde se

zaznamená a dále zpracovává. Okamžik záznamu je určen signálem na čtvrtém výstupu řidičího a časovacího obvodu 13 adaptoru, který se přivádí na první vstup obvodu 12. Podobně při vysílání dat z volacího modulu přichází informace na datové sběrnici 001 přes datový vstup X01 adaptoru volacího modulu na vstup bloku přijímačů 1 dat, z jehož výstupu se mimo jiné vedou na první vstup porovnávacího obvodu 8 dat. Zde se přijatá data porovnávají s vysílanými, která se přivádí na druhý vstup porovnávacího obvodu 8 dat.

Výstupní signál obvodu 8 se opět ve vhodnou dobu zaznamenává v obvodu 12 pro vyhodnocování chyb mezimodulového styku. Okamžik záznamu je opět řízen signálem na prvním vstupu obvodu 12, který se přivádí z řidičího a časovacího obvodu 13 adaptoru.

Z druhého výstupu obvodu 12 se vede signál o nesouhlasu vysílaných a přijatých informací na druhý vstup bloku vysílačů 6 příznaků, z jehož výstupu se vysílá informace o nesouhlasu přes příznakový výstup X06 na příznakovou sběrnici 003 a je tak opět k dispozici všem modulům.

Pokud se během styku mezi moduly přenášejí data z volaného do volacího modulu, pak ve volacím modulu hradlovací signál na druhém vstupu bloku vysílačů 4 dat vysíláče uzavírá a neprovádí se záznam výstupního signálu porovnávacího obvodu 8 dat do obvodu 12 pro vyhodnocování chyb mezimodulového styku. V tomto případě se informace na datové sběrnici 001 přivádí přes datový vstup X01 adaptoru volacího modulu na vstup bloku přijímačů 4 dat, z jejichž výstupu se vede jednak přes výstup X11 dat do centrální části procesoru a současně se zpracovávají v obvodu 10 kontroly parity dat. Výstupní signál obvodu 10 se zaznamenává v obvodu 12 pro vyhodnocování chyb mezimodulového styku. Záznam je řízen signálem na čtvrtém výstupu řidičího a časovacího obvodu 13.

Údaje o nesouhlasu vysílaných a přijatých informací případně chyb parity přijatých dat se vedoucí prvního výstupu obvodu 12 pro vyhodnocování chyb mezimodulového styku přes výstup X14 chybových signálů do centrální části procesoru pro následné zpracování.

Příznaková sběrnice 003 vede přes příznakový vstup X05 adaptoru volacího modulu na vstup bloku přijímačů 3 příznaků, z jehož výstupu se příznaky vedou jednak na čtvrtý vstup řidičího a časovacího obvodu 13 adaptoru a jednak na první vstup registru 11 přijatých příznaků. Obvod 13 vyhodnotí z příznaků konec mezimodulového styku a generuje na svém prvním výstupu hodinový impuls, který se přivádí na druhý vstup registru 11 přijatých příznaků. Zapsané příznaky se z výstupu registru 11 vedou přes výstup X12 příznaků do centrální části procesoru pro následné zpracování.

Činnost adaptoru volaného modulu je následující:

Informace vyslaná na adresovou sběrnici 002 volacím modulem přichází u všech modulů přes vstup adresy X03 na vstup bloku přijímačů 2 adresy.

Z výstupu bloku přijímačů 2 se adresa vede jednak na vstup obvodu 9 pro kontrolu parity adresy, jednak na první vstup řidičího a časovacího obvodu 13 adaptoru. V obvodu 13 tohoto modulu, s nímž se má uskutečnit výměna informací, se vyvolá činnost, předepsaná přijatou adresou. Výstupní signál obvodu 9 se zaznamenává v obvodu 12 pro vyhodnocování chyb mezimodulového styku.

Při přenosu informace z volacího do volaného modulu přichází data z datové sběrnice 001 přes vstup dat X01 adaptoru na vstup bloku přijímačů 1 dat, z jehož výstupu vedou jednak přes výstup X11 dat do centrální části procesoru k dalšímu zpracování, jednak se vedou na vstup obvodu 10 pro kontrolu parity dat. Výstupní signál obvodu 10 se zaznamenává v obvodu 12 pro vyhodnocování chyb mezimodulového styku. V centrální části procesoru se data zpracovávají na základě signálů z druhého výstupu řidičího a časovacího obvodu 13, přicházejících přes výstup X13 ovládacích signálů.

Při přenosu informace z volaného modulu do volacího vytváří řidičí a časovací obvod 13 na svém druhém výstupu signály, které se přes výstup X13 ovládacích signálů vedou do centrální části procesoru. Na základě těchto signálů dojde k přípravě požadované informace na vstupu dat X21 z centrální části procesoru, odkud se přivádí na první vstup bloku vysílačů 4 dat. Řidičí a časovací obvod 13 generuje na svém sedmém výstupu ve vhodný okamžik hradlovací signál, který se přivádí na druhý vstup bloku vysílačů 4 dat, z jehož výstupu se data přes výstup dat X02 předají na datovou sběrnici 001. Vyslaná data přicházejí z datové sběrnice 001 přes datový vstup X01 na vstup bloku přijímačů 1 dat, z jehož výstupu se vedou na první vstup porovnávacího obvodu 8 dat. V porovnávacím obvodu 8 se přijatá data srovnávají s daty vysílanými, která se přivádějí na druhý vstup porovnávacího obvodu 8. Výstupní signál porovnávacího obvodu 8 se zaznamenává v obvodu 12 pro vyhodnocování chyb mezimodulového styku.

Signály o chybě parity adresy nebo přijatých dat, resp. nesouhlasu vysílaných a přijatých dat se přivádějí z druhého výstupu obvodu 12 pro vyhodnocování chyb mezimodulového styku na druhý vstup bloku vysílačů 6 příznaků.

Z řidičího a časovacího obvodu 13 se přivádějí na první vstup bloku vysílačů příznaků signály, vyjadřující jednak stav volaného modulu při mezimodulovém styku, jednak signály, které označují konec probíhajícího styku. Příznaky z výstupu bloku vysílačů 6 příznaků vedou přes příznakový výstup X06 na příznakovou sběrnici 003.

Příznaky na příznakové sběrnici 003 vedou přes vstup 807 do přidělovače 800 sběrnic 001 až 003, kde se zpracovávají a vyhodnocuje se konec mezimodulového styku. Po ukončení probíhajícího styku přidělí přidělovač 800 sběrnici 001 až 003 opět tomu modulu, jehož žádost má nejvyšší prioritu.

P R E D M Ě T V Y N Á L E Z U

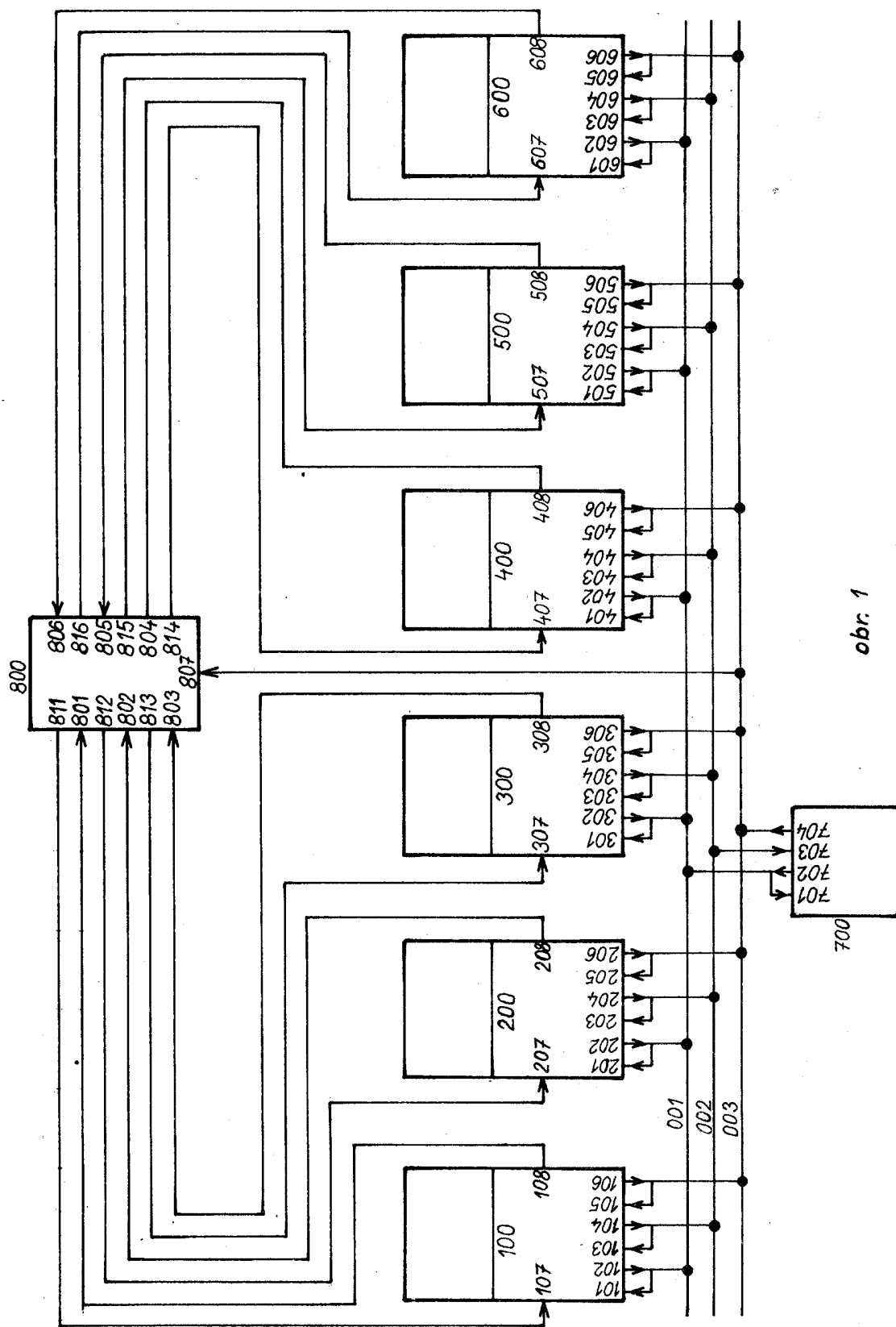
Zařízení pro styk mezi moduly sestává jící z datové sběrnice, adresové sběrnice, příznakové sběrnice, prvního až sedmého adaptoru pro připojení modulů ke sběrnici a přidělovače sběrnic, vyznačující se tím, že datové vstupy /101, 201, 301, 401, 501, 601, 701/ prvního až sedmého

adaptoru /100 až 700/ i datové výstupy /102, 202, 302, 402, 502, 602, 702/ prvního až sedmého adaptoru /100 až 700/ jsou spolu spojeny datovou sběrnici /001/, adresové vstupy /103, 203, 303, 403, 503, 603, 703/ prvního až sedmého adaptoru /100 až 700/ a adresové výstupy /104, 204, 304, 404, 504,

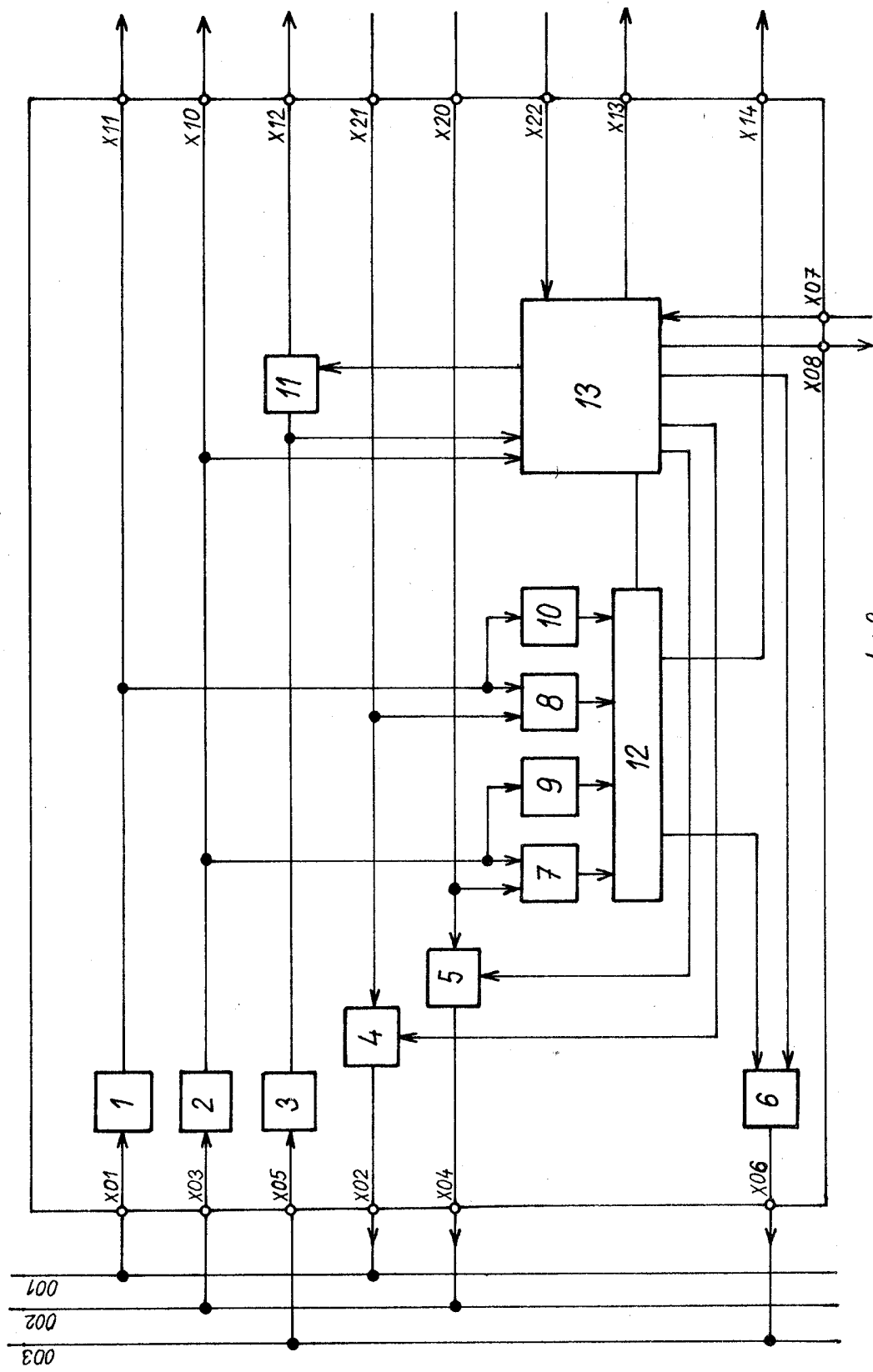
604/ prvního až šestého adaptoru /100 až 600/ jsou spolu propojeny adresovou sběrnicí /002/, příznakové vstupy /105, 205, 305, 405, 505, 605/ prvního až šestého adaptoru /100 až 600/, příznakový vstup /807/ přidělovače /800/ a příznakové výstupy /106, 206, 306, 406, 506, 606, 706/ prvního až sedmého adaptoru /100 až 700/ jsou spolu propojeny příznakovou sběrnicí /003/, výstup /108/ žádosti o přidělení sběrnic /001 až 003/ prvního adaptoru /100/ je připojen k prvnímu vstupu /801/ přidělovače /800/ a výstup /208/ žádosti o přidělení sběrnic /001 až 003/ druhého adaptoru /200/ je připojen ke druhému vstupu /802/ přidělovače /800/ a výstup /308/ žádosti o přidělení sběrnic /001 až 003/ třetího adaptoru /300/ je připojen ke třetímu vstupu /803/ přidělovače /800/ a výstup /408/ žádosti o přidělení sběrnic /001 až 003/ čtvrtého adaptoru /400/ je připojen ke čtvrtému vstupu /804/ přidělovače /800/ a výstup /508/ žádosti o přidělení sběrnic /001 až 003/ pátého adaptoru /500/ je připojen k pátému vstupu /805/ přidělovače /800/ a výstup /608/ žádosti o přidělení sběrnic /001 až 003/ šestého adaptoru /600/ je připojen k šestému vstupu /806/ přidělovače /800/ a první výstup /811/ přidělovače /800/ je připojen na vstup /107/ přidělovacího signálu prvního adaptoru /100/ a druhý výstup /812/ přidělovače /800/ je připojen na vstup /207/ přidělovacího signálu druhého adaptoru /200/ a třetí výstup /813/ přidělovače /800/ je připojen na vstup /307/ přidělovacího signálu třetího adaptoru /300/ a čtvrtý výstup /814/ přidělovače /800/ je připojen na vstup /407/ přidělovacího signálu čtvrtého adaptoru /400/ a pátý výstup /815/ přidělovače /800/ je připojen na vstup /507/ přidělovacího signálu pátého adaptoru /500/ a šestý výstup /816/ přidělovače /800/ je připojen na vstup /607/ přidělovacího signálu šestého adaptoru /600/, přičemž první až šestý adaptor /100 až 600/ každý sestává z bloku přijímačů /1/ dat, bloku přijímačů /2/ adresy, bloku přijímačů /3/ příznaků, bloku vysílačů /4/ dat, bloku vysílačů /5/ adresy, bloku vysílačů /6/ příznaků, dále porovnávacího obvodu /7/ adresy, porovnávacího obvodu /8/ dat, obvodu /9/ kontroly parity adresy, obvodu /10/ kontroly parity dat, dále registru /11/ přijatých příznaků, obvodu /12/ pro vyhodnocování chyb mezimodulového styku a konečně řídícího a časovacího obvodu /13/ adaptoru, přičemž datový vstup /X01/ adaptoru je spojen se vstupem bloku přijímačů /1/ dat a adresový vstup /X03/ adaptoru je spojen se vstupem bloku přijímačů /2/ adresy a příznakový vstup /X05/ adaptoru je spojen se vstupem bloku přijímačů /3/ příznaků a dále výstup bloku přijímačů /1/ dat je spojen s prvním vstupem porovnávacího obvodu /8/ dat, se vstupem obvodu /10/ kontroly parity dat a dále s výstupem /X11/ dat adaptoru do centrální části procesoru, výstup bloku přijímačů /2/ adresy je spojen s prvním vstupem porovnávacího obvodu /7/ adresy, se vstupem obvodu /9/ kontroly parity adre-

sy, dále s prvním vstupem řídícího a časovacího obvodu /13/ adaptoru s konečně s výstupem /X10/ adresy adaptoru do centrální části procesoru, výstup bloku přijímačů /3/ příznaků je spojen s prvním vstupem registru /11/ přijatých příznaků a se čtvrtým vstupem řídícího a časovacího obvodu /13/ adaptoru a výstup registru /11/ přijatých příznaků je spojen s výstupem /X12/ příznaků adaptoru do centrální části procesoru, přičemž vstup /X21/ dat z centrální části procesoru je spojen s druhým vstupem porovnávacího obvodu /8/ dat a s prvním vstupem bloku vysílačů /4/ dat, vstup /X20/ adresy z centrální části procesoru je spojen s druhým vstupem porovnávacího obvodu /7/ adresy a s prvním vstupem bloku vysílačů /5/ adresy, přičemž výstup bloku vysílačů /4/ dat je spojen s datovým výstupem /X02/ adaptoru a výstup bloku vysílačů /5/ adresy je spojen s adresovým výstupem /X04/ adaptoru, dále vstup /X22/ stavových a řídících signálů z centrální části procesoru je spojen s druhým vstupem řídícího a časovacího obvodu /13/ adaptoru, vstup /X07/ přidělovacího signálu adaptoru je spojen se třetím vstupem řídícího a časovacího obvodu /13/ adaptoru, přičemž první výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s druhým vstupem registru /11/ přijatých příznaků a druhý výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s výstupem /X13/ ovládacích signálů centrální části procesoru a třetí výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s výstupem /X08/ žádosti o přidělení sběrnic /001, 002, 003/ adaptoru a čtvrtý výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s prvním vstupem obvodu /12/ pro vyhodnocování chyb mezimodulového styku, pátý výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s prvním vstupem bloku vysílačů /6/ příznaků a šestý výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s druhým vstupem bloku vysílačů /5/ adresy a konečně sedmý výstup řídícího a časovacího obvodu /13/ adaptoru je spojen s druhým vstupem bloku vysílačů /4/ dat, přičemž výstup porovnávacího obvodu /7/ adresy je spojen s druhým vstupem obvodu /12/ pro vyhodnocování chyb mezimodulového styku a výstup porovnávacího obvodu /8/ dat je spojen s třetím vstupem obvodu /12/ pro vyhodnocování chyb mezimodulového styku a výstup obvodu /9/ kontroly parity adresy je spojen se čtvrtým vstupem obvodu /12/ pro vyhodnocování chyb mezimodulového styku a výstup obvodu /10/ kontroly parity dat je spojen s pátým vstupem obvodu /12/ pro vyhodnocování chyb mezimodulového styku, přičemž první výstup obvodu /12/ pro vyhodnocování chyb mezimodulového styku je spojen s výstupem /X14/ chybových signálů adaptoru do centrální části procesoru a druhý výstup obvodu /12/ pro vyhodnocování chyb mezimodulového styku je spojen s druhým vstupem bloku vysílačů /6/ příznaků, přičemž výstup bloku vysílačů /6/ příznaků je spojen s příznakovým výstupem /X06/ adaptoru.

2 výkresy



obr. 1



obr. 2