(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
14. Januar 2016 (14.01.2016)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2016/005464 A1

(51) Internationale Patentklassifikation:
H01L 21/768 (2006.01) *H01L 23/00* (2006.01)
H01L 23/482 (2006.01) *B81B 3/00* (2006.01)
H01L 21/3205 (2006.01) *B81B 7/00* (2006.01)
H01L 23/525 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2015/065629

(22) Internationales Anmeldedatum:
8. Juli 2015 (08.07.2015)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102014213390.4 9. Juli 2014 (09.07.2014) DE

(71) Anmelder: **FRAUNHOFER-GESELLSCHAFT ZUR FÖRDERUNG DER ANGEWANDTEN FORSCHUNG E.V.** [DE/DE]; Hansastraße 27c, 80686 München (DE).

(72) Erfinder: **GOEHLICH, Andreas**; Heideweg 51, 47509 Rheurdt (DE). **JUPE, Andreas**; Sudermannstr. 1, 44137 Dortmund (DE). **VOGT, Holger**; Rotdornbogen 28, 45481 Mühlheim (DE).

(74) Anwälte: **ZINKLER, Franz** et al.; Radlkoferstr.2, 81373 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

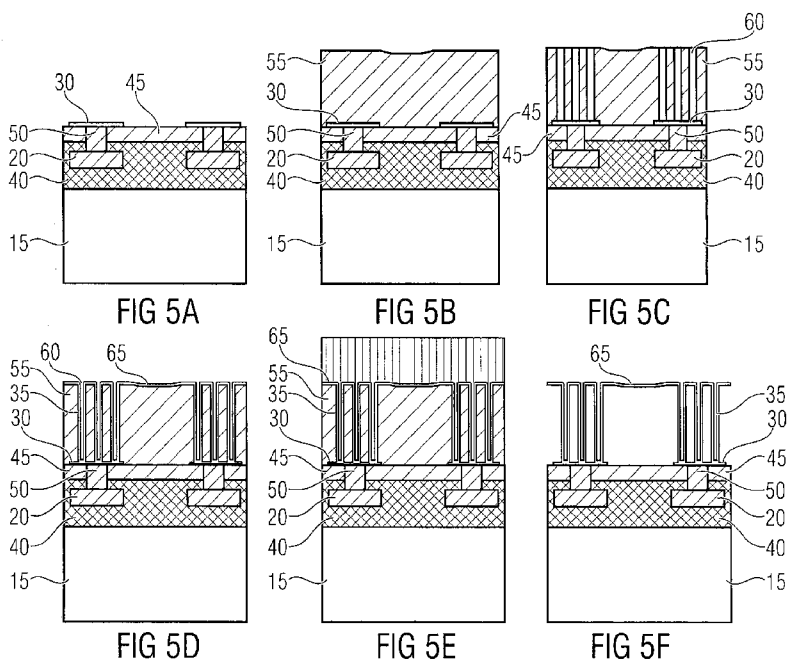
(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: DEVICE AND METHOD FOR PRODUCING A DEVICE WITH MICRO- OR NANOSTRUCTURES

(54) Bezeichnung : VORRICHTUNG UND VERFAHREN ZUR HERSTELLUNG EINER VORRICHTUNG MIT MIKRO- ODER NANOSTRUKTUREN



(57) Abstract: The invention relates to a method for producing a device by providing a substrate with an electrode which is exposed on a main side of the substrate. The method further has the steps of forming a micro- or nanostructure which has a spacer based on the electrode, said formation process having the following steps: depositing a sacrificial layer on the main side, said sacrificial layer containing amorphous silicon (a-Si) or silicon dioxide (SiO_2); structuring a hole and/or trench into the sacrificial layer by means of a DRiE process; coating the sacrificial layer by means of ALD or MOCVD such that the material of the nano- or microstructure is formed on the hole and/or trench, and removing the sacrificial layer.

(57) Zusammenfassung: Es wird ein Verfahren zur Herstellung einer Vorrichtung mit Bereitstellen eines Substrats mit einer Elektrode beschrieben, die an einer Hauptseite des Substrats freiliegt. Ferner umfasst das Verfahren das Bilden einer Mikro- oder Nanostruktur, die einen Abstandshalter aufweist, der auf der Elektrode fußt, wobei das Bilden folgende

[Fortsetzung auf der nächsten Seite]

WO 2016/005464 A1

Schritte aufweist: Abscheiden einer Opferschicht auf der Hauptseite, wobei die Opferschicht amorphes Silizium (a-Si) oder Siliziumdioxid (SiO_2) enthält; Strukturieren eines Loches und/oder Grabens in die Opferschicht mittels eines DRiE-Prozesses; Beschichten der Opferschicht mittels ALD oder MOCVD, so dass sich Material der Nano- oder Mikrostruktur an dem Loch und/oder Graben bildet sowie Entfernen der Opferschicht.

Vorrichtung und Verfahren zur Herstellung einer Vorrichtung mit Mikro- oder Nanostrukturen

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Vorrichtung mit zumindest einer Elektrode und einer darauf fußenden Mikro- oder Nanostruktur und ein Herstellungsverfahren zum Herstellen einer solchen Vorrichtung. Die Vorrichtung wird beispielsweise auf einem CMOS-Halbleitersubstrat integriert.

Bekannt sind sogenannte Template-Verfahren zur Herstellung von 3D-ALD-Nanostrukturen. ALD bedeutet hierbei: Atomic Layer Deposition. Dies ist eine Methode zur Abscheidung dünner konformer Schichten.

Ein Beispiel ist in der Publikation „Ru nanostructure fabrication using an anodic aluminum oxide nanotemplate and highly conformal Ru atomic layer deposition" von Woo-Hee Kim, Sang-Joon Park, Jong-Yeog Son and Hyungjun Kim in Nanotechnology 19 (2008) 045302 (8pp) beschrieben. Hier wurde ein anodisch oxidiertes selbst organisierendes Aluminium-Templat zur Abformung von Ru-Nanodrähten genutzt. Die angewendeten Herstellungsmethoden sind jedoch nicht in CMOS-Reinräumen verfügbar.

Die Herstellung von aufliegenden ALD-Nanostrukturen ist von Ra et al. [H.W. Ra, Kwang-Sung Choi, J-H.Kim,Y-B Hahn, Y.H.IM: "Fabrication of ZnO Nanowires Using Nanoscale Spacer Lithography for Gas Sensors", Small 2008, 4, No.8, 1105-1109] und sowie S. M. Sultan [Suhana Mohamed Sultan et al.: "Electrical Characteristics of Top-Down ZnO Nanowire Transistors Using Remote Plasma", IEEE Electron Device Letters, VOL. 33, NO. 2, February 2012 vorbekannt. In diesen Literaturstellen wird die sogenannte Spacer-Technologie zur Herstellung ALD-Nanodrähten genutzt. Hierbei werden ALD-Schichten auf strukturierte Oxid-Opferschichten abgeschieden und anisotrop zurückgeätzt, so dass „Sidewallspacer" entlang der Strukturen zurückbleiben. Diese Verfahren sind CMOS-kompatibel, liefern aber keine freitragenden Nano-Strukturen.

US 2011/0250706 A1 zeigt ein Verfahren zu Herstellung von MEMS und NEMS- Strukturen mittels verschiedener Prozessmodule wie z.B. surface micromachining (Oberflächen-Mikromaterialbearbeitung) auf einem (Halbleiter-) Substrat. Hierbei werden z.B. freitragende

Polysilizium-Strukturen auf einer Opferschicht aus Oxid hergestellt. Dieses Verfahren ist jedoch aufgrund der verwendeten hohen Prozesstemperaturen beim Abscheiden von Schichten, aus denen die Oberflächenstrukturen geformt werden, nicht CMOS integrierbar, da bestehende CMOS Schaltungen oder Bauteile im Substrat beschädigt oder zerstört werden können. Als alternativen Lösungsansatz zeigt US 2011/0250706 A1 das Bearbeiten des Substrats mittels bulk micromachining (Volumen-Mikromaterialbearbeitung). So können beispielsweise mittels DRIE (DRIE: Deep Reactive Ion Etch, dt.: reaktives Ionentiefätzen) Strukturen mit großem Aspektverhältnis in das Substrat geätzt werden. So wird jedoch durch das Ätzen in das Substrat wertvoller Platz des Substrats, der sonst für Halbleiterstrukturen oder Schaltungen verwendet werden könnte, verbraucht.

Wünschenswert wäre demnach eine Verbesserung der Mikro- und Nanostrukturen und deren Herstellungsverfahren.

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, eine Vorrichtung mit einer Mikro- oder Nanostruktur und ein Herstellungsverfahren dafür zu schaffen, die effektiver in Bezug auf beispielsweise Herstellbarkeit und/oder Kompaktheit sind und beispielsweise mit den üblichen Methoden der Halbleitertechnologie hergestellt werden können.

Diese Aufgabe wird durch den Gegenstand der unabhängigen Patentansprüche gelöst.

Der vorliegenden Erfindung liegt die Idee zugrunde, dass Mikro- oder Nanostrukturen durch DRIE-Ätzen (DRIE: Deep Reactive Ion Etch) in eine Opferschicht und anschließendem Beschichten mit einem ALD- oder MOCVD-Verfahren erzeugt werden können. Je nach Strukturierung bzw. Ätzen in die Opferschicht bleiben so nach dem Entfernen derselben Abstandshalter, wie z.B. dünne, freistehende Flächen bzw. U-Profile oder freistehende, gefüllte bzw. massive oder hohle Stifte zurück.

Gemäß einem Ausführungsbeispiel werden Opferschichtabscheidung, die DRIE-Strukturierung und die Beschichtung mit ALD- oder MOCVD mehrmals wiederholt um beispielsweise eine freitragende Mikro- oder Nanostruktur auszubilden, sodass eine freitragende Struktur der Mikro- oder Nanostruktur nach dem Entfernen der Opferschicht nach der mehrmaligen Wiederholung von Ätzung und Beschichtung freitragend an einem oder mehreren Abstandhaltern aufgehängt ist. So lässt sich beispielsweise ein Sensor, wie z.B. ein Gassensor herstellen. So können auch übereinander gestapelte Strukturen erstellt werden, so dass die Mikro- oder Nanostrukturen dreidimensional angeordnet sind. So kann

eine deutlich größere Oberfläche gebildet werden, was beispielsweise bei Sensoren, die auf Oberflächenreaktionen beruhen, vorteilhaft sein kann.

Weiterhin ist das Verfahren CMOS-kompatibel und ermöglicht so die Integration in bestehende CMOS Fertigungsschritte. Die CMOS Kompatibilität liegt u.a. darin begründet, dass die verwendeten Materialien nicht die CMOS Fertigungsschritte durch Verunreinigungen beeinträchtigen. Ferner kann insbesondere a-Si sehr selektiv gegenüber einer Passivierung des Substrats sowie der Elektrode mit dem DRIE-Prozess (sogenannter „Bosch"-Prozess) strukturiert, sowie ebenso selektiv mit SF_6 oder XeF_2 isotrop entfernt werden, ohne dass andere Elemente der Vorrichtung beschädigt werden. Weiterhin können alle benötigten Schritte bei (vergleichsweise) niedrigen Temperaturen durchgeführt werden, so dass CMOS-Schaltungen nicht beeinflusst, beschädigt oder zerstört werden. So lassen sich Opferschichten die a-Si oder SiO_2 aufweisen ebenso wie beispielsweise ALD Schichten bei Temperaturen abscheiden, die darunterliegende Schaltungen im Substrat, wie beispielsweise CMOS Schaltungen, nicht beeinflussen. Ferner können Opferschichten, die a-Si aufweisen beispielsweise mittels SF_6 (Schwefelhexafluorid) oder XeF_2 (Xenondifluorid) entfernt werden und Opferschichten, die SiO_2 aufweisen können mit HF-Dampf entfernt werden. Alle genannten Methoden, die Opferschichten zu entfernen sind CMOS kompatibel bzw. allgemein kompatibel zur Halbleiterherstellung, greifen also nicht das Substrat an und nutzen auch weder hohe Temperaturen zum Entfernen der Opferschichten noch entstehen beim Entfernen der Opferschichten hohe Temperaturen, die beispielsweise CMOS Schaltungen, CMOS Strukturen oder allgemein Halbleiterstrukturen beschädigen oder zerstören.

Vorteilhafte Ausgestaltungen der vorliegenden Anmeldung sind Gegenstand der abhängigen Patentansprüche. Bevorzugte Ausführungsbeispiele der vorliegenden Anmeldung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen

Fig. 1a eine schematische Darstellung einer Vorrichtung mit integriertem Bauteil und einem Substrat und einem an dem Substrat kontaktierten Abstandshalter,

Fig. 1b eine schematische Darstellung eines Querschnittes einer Vorrichtung mit integriertem Bauteil und das Bauteil kontaktierenden Abstandshaltern,

Fig. 2 eine schematische Darstellung der Verfahrensschritte zur Herstellung von Abstandshaltern,

Fig. 3a,b eine schematische Darstellung runder, röhrenförmiger Abstandshalter, die in einer Gruppe angeordnet sind,

Fig. 3c eine schematische Darstellung planarer Abstandshalter,

Fig. 4 ein Flussdiagramm als Verfahrensschritte zur Herstellung von freitragenden Elementen auf den Abstandshaltern,

Fig. 5 eine Schritt-für-Schritt-Darstellung im Querschnitt zur Herstellung der freitragenden Elemente,

Fig. 6a,b eine schematische Darstellung im Querschnitt eines freitragenden Elements bestehend aus zwei unterschiedlichen Materialien,

Fig. 7a,b eine schematische Darstellung einer resistiven Brücke als Beispiel eines Sensors angeordnet auf Interdigitalelektroden,

Fig. 8 eine schematische Darstellung eines Abstandshalters mit freitragendem Element, das auf einem weiteren freitragenden Element angeordnet ist und so einen gestapelten Sensor bilden kann,

Fig. 9 eine schematische Darstellung eines freitragenden Elements, das nur an einem Abstandshalter aufgehängt ist,

Fig. 10 eine schematische Darstellung von Nanodrähten zwischen Abstandshaltern,

Fig. 11 ein Flussdiagramm der Verfahrensschritte zur Bildung von Nanodrähten und Abstandshaltern,

Fig. 12a Bezeichnung der Prozessquerschnitte,

Fig. 12b-d schematisches Layout zur Darstellung von verschiedenen Prozessquerschnitten für die Erzeugung von Nanodrähten,

Fig. 13a,b eine schematische Darstellung eines Membransensors,

Fig. 13c eine schematische Darstellung einer freitragenden Membran, die als abstimmbares optisches Element auf einem CMOS Substrat eingesetzt ist,

Fig. 14 eine schematische Darstellung eines hermetisch abgeschlossenen Gehäuses, das die in dem Substrat integriertem Bauteil sowie die Abstandshalter und das freitragende Element hermetisch nach außen abschirmen,

Fig. 15 zeigt eine schematische Darstellung einer Vorrichtung mit zwei Abstandshaltern, wobei die Abstandshalter durch eine zusätzliche Schicht mechanisch auf dem Substrat verstärkt werden,

Fig. 16 zeigt eine Prinzipdarstellung eines Querschnitts eines Loches, das mit einem Boschprozess geätzt wurde.

In der nachfolgenden Beschreibung der Figuren werden gleiche oder gleichwirkende Elemente mit den gleichen Bezugszeichen versehen, so dass deren Beschreibung in den unterschiedlichen Ausführungsbeispielen untereinander austauschbar ist.

Fig. 1 zeigt eine Vorrichtung 10, die ein Wafersubstrat 15 und optional ein in demselben integriertes Bauteil 20 aufweist. An einer Hauptseite 25 des Wafersubstrats liegt ferner eine Elektrode 30 frei, die, sofern das integrierte Bauteil 20, z.B. ein Bauteil eines CMOS-Schaltkreises wie ein Transistor, ausgebildet ist, dasselbe mittels eines Verbindungselementes 33 elektrisch kontaktiert. Auf der Elektrode 30 ist eine Mikro- oder Nanostruktur angeordnet, die einen Abstandshalter 35 aufweist. Der Abstandshalter 35 kann in einem Opferschichtverfahren hergestellt werden, indem beispielsweise mittels eines DRIE-Prozesses z.B. eines Bosch- oder Kryo-Prozesses, eine Öffnung in eine Opferschicht, insbesondere a-Si- geätzt wird, welche mit einem superkonform abscheidenden Beschichtungsverfahren, beispielsweise dem ALD-Verfahren, beschichtet wird. Eine „ALD-Schicht" ist eine „superkonform" abscheidende Schicht, die Atomlage auf Atomlage abgeschieden werden kann. Ein weiterer Vorteil der ALD-Technologie kann darin bestehen, dass eine Vielzahl von Materialien durch Auswahl entsprechender chemischer Precursoren realisiert werden kann. Die Superkonformität gilt beispielsweise auch für sogenannte MOCVD-Schichten (Metall organische chemische Gasphasenabscheidung). Im Folgenden wird beschrieben, dass dieses Herstellungsverfahren beispielsweise für die Bildung von Sensoren vorteilhaft sein kann.

Fig. 1b zeigt eine schematische Darstellung eines Querschnittes der Vorrichtung 10 mit integriertem Bauteil 20 und das Bauteil kontaktierenden Abstandshaltern 35. Die Vorrichtung 10 kann beispielsweise ein Wafersubstrat 15 und darin integrierten Bauteilen 20 aufweisen oder daraus bestehen. Die integrierten Bauteile 20 können über zumindest eine Metalllage 40 und Vias 50 zu einer elektrischen Schaltung, beispielsweise einer Auslese- und Steuerschaltung, verbunden sein. Auf der zumindest einen Metalllage kann eine Passivierungsschicht 45 aufgebracht sein, auf derselben ferner eine Elektrode 30 die Abstandshalter 35 elektrisch kontaktiert. Die Elektrode 30 kann ferner über Vias 50 durch die Passivierungsschicht 45 mit der zumindest einen Metalllage 40 elektrisch verbunden sein. Ferner kann an der Hauptseite 25 der Vorrichtung 10 ein Anschlusspad 31 beispielsweise aus Aluminium vorhanden sein oder alternativ kann die Passivierung über dem Anschluss-Pad des Wafersubstrates geöffnet sein.

Der erfindungsgemäße Grundprozess 200 ist anhand einer im Anschluss an die Prozessschritte dargestellten Vorrichtung in Fig. 2a-f dargestellt und wird hier zunächst als Beispiel zur Herstellung von 3D-Nanoröhren z.B. für die Realisierung als Multielektrodenarray in der Medizintechnik beschrieben. Der Prozessablauf mit zusätzlichen Masken wird nachfolgend beschrieben.

Fig. 2a zeigt die Vorrichtung im Prozess 200 der auf einem Wafersubstrat 15, beispielsweise einem CMOS-Substrat, mit einer beispielsweise planarisierten Oberfläche, aufbaut. Die Vorrichtung ist dargestellt mit einer Metalllage 40 z.B. aus Aluminium und einer Passivierungsschicht 45, beispielsweise aus SiN und/oder Oxid. Es können jedoch auch abhängig von der Komplexität des integrierten Bauteils 20, z.B. bei Substraten mit einer CMOS-Schaltung, mehrere Metalllagen vorhanden sein. In der Oberfläche der Passivierung können Vias 50, z.B. sogenannte Wolframstöpsel ausgebildet sein, welche das Verbindungselement 33 bilden können. Die Vias 50 können elektrisch leitfähige Strukturen mit dem integrierten Bauteil 20, z.B. einer Auslese- oder Steuerschaltung oder einer elektrischen Leitung, im Wafersubstrat elektrisch verbinden. Die Auslese- und Steuerschaltung kann beispielsweise zur Datenverarbeitung oder Ansteuerung ausgebildet sein. Die elektrische Leitung kann ferner ausgebildet sein, um beispielsweise ein Anschlusspad elektrisch zu kontaktieren oder einen Potentialausgleich zwischen den Vias 50 herzustellen. Auf der Oberfläche des Wafersubstrats können auch Anschlusspads beispielsweise aus Aluminium vorhanden sein oder alternativ kann die Passivierung über den Anschluss-Pads des Wafersubstrates geöffnet sein.

Fig. 2b zeigt die Vorrichtung nach der Erzeugung von „Basiselektroden" 30 auf der Passivierungsschicht 45. Zur Erzeugung der Basiselektroden kann eine Elektrodenschicht aus einer leitfähigen Schicht, z.B. aus Ti und TiN aufgebracht, vorzugsweise aufgesputtered werden. Möglich ist z.B. auch eine Aluminiumschicht. Die typische Schichtdicke für die Basiselektrode kann ca. 20-200nm betragen. Die Basiselektrode kann durch eine erste Lithographie-Ebene beispielsweise mit einer Maske z.B. in kreisrunde Elektroden strukturiert werden.

Fig. 2c zeigt die Vorrichtung nach dem Aufbringen einer Opferschicht 55, beispielsweise aus amorphem-Silizium (a-Si), mit einer Dicke von beispielsweise einigen Mikrometern, auf die Basiselektroden. Ist die Opferschicht aus amorphem Silizium ausgebildet, kann vorteilhaft der sogenannte Bosch-Prozess als DRIE-Prozess genutzt werden. Es sind auch weitere Materialien, beispielsweise Siliziumdioxid (SiO_2), als Opferschicht denkbar, die selektiv zum Substrat, z.B. mit anderen Ätzverfahren, entfernt werden können. Ferner sollte die Opferschicht ein großes Aspektverhältnis, das ist das Verhältnis einer Höhe senkrecht zur Hauptseite des Substrats zu einer Breite parallel zur Hauptseite des Substrats, für in die Opferschicht eingebrachte Löcher bzw. Gräben ermöglichen, sowie kompatibel zum Substrat sein, d.h. dasselbe oder auch Bearbeitungsschritte desselben das Substrat nicht angreifen oder beschädigen.

Fig. 2d zeigt die Vorrichtung nach dem Einbringen von Löchern oder schmalen Gräben 60 mit einem hohen Aspektverhältnis (z.B. 1:10 bis 1:20) in die Opferschicht. Für das Einbringen der Löcher oder Gräben kann ein DRIE Prozess (DRIE: Deep Reactive Ion Etch) zum Ätzen des Opfermaterials, beispielsweise ein sogenannter Bosch-Prozess mit einer niedrigen Oberflächenrauigkeit („Low Scalloping") genutzt werden. Der Bosch-Prozess ist im Wesentlichen eine Abfolge von polymerisierenden Seitenwand-Passivierungsschritten mit C_4F_8, einem anisotropen Öffnungsschritt zur Entfernung der Passivierung am Boden (typisch durch Erhöhung der Ionenenergie erreicht) der geätzten Struktur und einem isotropen Silizium-Ätzschritt mit SF_6. Eine Alternative zum genannten Bosch-Prozess ist ein sogenannter Kryo-Prozess, der sehr glatte Oberflächen ermöglicht. Der DRIE-Prozess ist dabei so dimensioniert, dass die Ätzung auf der Grundelektrode 30 möglichst selektiv stoppt.

Fig. 2e zeigt die Vorrichtung nach der Füllung der geätzten Strukturen mit einer konform abscheidenden Schicht 65, beispielsweise hergestellt mit einer sogenannten Atomlagen-Abscheidung (ALD: Atomic Layer Deposition). Zur Herstellung von metallischen Elektroden sind beispielsweise Ruthenium ALD-Schichten geeignet, die sich vergleichsweise einfach und mit vergleichsweise hoher Abscheiderate mit Hilfe der ALD-Technologie herstellen

lassen. Diese Schichten haben den Vorteil, dass sie eine gute Qualität (z.B. keine /wenige „Pinholes"), eine gute mechanische Stabilität und eine hohe elektrische Leitfähigkeit aufweisen können. Durch die Abscheidezeit des ALD-Prozesses lassen sich insbesondere sehr dünne Schichten (1-100 nm) sehr genau realisieren. Die Schichtdicke kann so gewählt werden, dass die geätzten Löcher vollständig geschlossen sind – dann entstehen gefüllte, nadelartige Strukturen, oder dass nur die Wände der geätzten Löcher bedeckt sind, dann entstehen röhrenartige Strukturen. Wurden statt der Löcher Gräben geätzt, entstehen dünne, parallele Wände an den seitlichen Grabenbegrenzungen, die am Boden verbunden sein können und ein U-Profil ausbilden, oder alternativ eine gefüllte „Wand" in der Breite des Grabens. Im Bereich der Elektrodenarrays zur Nervenstimulation kann vorteilhaft Ruthenium eingesetzt werden, das biokompatibel ist und somit gut für Elektrodenstrukturen in der Medizintechnik geeignet ist. Nach dem Abscheiden der ALD-Schicht kann diese ganzflächig z.B. mit Hilfe von Ionenstrahlätzen unmaskiert an der Oberfläche wieder entfernt werden. Alternativ kann eine weitere Fototechnik zur Strukturierung der ALD-Schicht auf der a-Si Oberfläche eingesetzt werden, wie es in weiteren Ausführungsbeispielen gezeigt wird.

Fig. 2f zeigt die Vorrichtung nach dem Entfernen der Opferschicht. Die Opferschicht, beispielsweise aus a-Si, kann mit einem isotropen Ätzschritt in XeF_2 oder SF_6 Schritt entfernt werden. Wurde SiO_2 als Opferschicht verwendet, kann beispielsweise HF-Dampf zum entfernen genutzt werden. Dieser Ätzschritt entfernt das Opfermaterial sehr selektiv zu den übrigen Materialien, so dass z.B. Abstandshalter als 3D-Nanoröhren (sofern im DRIE-Schritt Löcher geätzt wurden) stehen bleiben. Wurden im DRIE Schritt dagegen Gräben geätzt, so entstehen auf diese Weise freitragende, senkrecht stehende Wände, die beispielsweise als kapazitive Elektroden in der Sensorik eingesetzt werden können (siehe z.B. Fig. 3c). Es kann vorteilhaft sein, die Wafer-Vereinzelung z.B. durch Sägen des Wafers vor dem isotropen Ätzen der a-Si Schicht durchzuführen, um den mechanischen Einfluss durch das Sägen auf die 3D-Strukturen gering zu halten. Die entstehenden 3D-Strukturen können elektrisch angeschlossen und mit einer elektrischen Spannung oder einem Strom beaufschlagt werden.

Ein Vorteil des erfindungsgemäßen Prozessablaufes bzw. der damit entwickelten Sensoren und Aktoren besteht darin, dass die erforderlichen Prozessschritte mit „üblichen" Gerätschaften der Halbleiterfertigung nach der Fertigung des CMOS-Substrates mit CMOS kompatiblen Schritten durchgeführt werden können (Post-CMOS Technologie). Dadurch können kostengünstige CMOS integrierte Sensoren oder Aktoren hergestellt werden.

Die Fig. 3a-c zeigen Ausführungsbeispiele des im Vorhinein beschriebenen Verfahrens. Fig. 3a zeigt Abstandshalter 35 in Gruppen auf einer Elektrode 30 angeordnet. Hierdurch kann

die Oberfläche jeder Basiselektrode vergrößert werden. Durch eine Variation des Layouts ist es z.B. möglich, dass einzelne Abstandshalter 35, beispielsweise ausgeführt als Nanonadeln, kontaktiert werden, so dass räumlich hochauflösende Elektrodenarrays möglich werden. Der minimale Abstand der einzelnen Nanonadeln 35 ist dadurch im Wesentlichen durch die Designregeln (insbesondere Abstand der Vias 50) des zugrunde liegenden CMOS-Prozesses begrenzt. Die Nanonadeln oder Abstandshalter können innen hohl und/oder massiv ausgeführt sein, d.h. dass beispielsweise der Abscheidevorgang einer ALD Schicht gestoppt wird, wenn eine Soll Schichtdicke erreicht ist, um z.B. Hohlnadeln zu formen oder dass beispielsweise der Abscheidevorgang so lange durchgeführt wird, dass das geätzte Loch (oder der geätzte Graben) in der Opferschicht vollständig gefüllt ist. Jeder Abstandshalter kann prinzipiell einzeln oder auch in kleinen Gruppen angeschlossen werden, so dass bildaufnehmende Elektrodenarrays möglich sind, die ortsauflösende Informationen oder Stimulationen ermöglichen. In anderen Worten kann ein Abstandshalter zusammen mit weiteren an der Hauptseite angeordneten und auf weiteren Elektroden fußenden Abstandshaltern regelmäßig in Form einer Matrix angeordnet sein. Ergänzend oder alternativ kann eine Mehrzahl von Abstandshaltern auch auf einer (einzigen) Elektrode angeordnet sein. Fig. 3b zeigt einen vergrößerten Ausschnitt aus Fig. 3a.

Fig. 3c zeigt eine alternative Ausführung freistehender kapazitiver Strukturen. Anstelle der Nadeln bzw. Röhren können die Abstandshalter beispielsweise auch als Wände bzw. Platten oder U-Profile ausgeführt sein. Diese Struktur kann genutzt werden, um Änderungen in der Dielektrizitätskonstante zu messen, beispielsweise in impedanzspektroskopischen Sensoren. Mit dieser Methode können nicht nur parallele, planare Elektroden, sondern beliebig geformte, planare 3 D Elektrodenstrukturen realisiert werden. Hiermit können beispielsweise elektronen- oder ionenoptische CMOS integrierte Elemente realisiert werden.

Fig. 4 zeigt einen weiteren erfindungsgemäßen Prozess 400. Dieser bildet aufbauend auf den im Vorhinein beschriebenen Abstandshaltern freitragenden Mikro- oder Nanostrukturen aus. Bis zum Abscheiden der ALD Schicht werden die bereits erläuterten Abstandshalter hergestellt, d.h. die Schritte 405-425 beschreiben die Prozessschritte, die bereits in Fig. 2a-e beschrieben sind. Auf dem Opfermaterial befindet sich nun immer noch eine dünne ALD-Schicht. Anstatt die ALD-Schicht beispielsweise mit einem selektiven Oberflächenätzprozess zu entfernen, wird dieselbe beispielsweise mit einem lithografischen Prozess, z.B. mittels eines RIE-Prozesses (RIE: Reactive Ion Etching) in die gewünschte Form eines freitragenden Elements strukturiert, d.h. nur teilweise entfernt. Dies kann beispielsweise mit einer weiteren Maske erfolgen. Das freitragende Element kann z.B. eine Verbindung zwischen zwei oder mehreren Abstandshaltern (Brücke) ausbilden oder nur mit einseitig

angeordneten Abstandshaltern verbunden sein, z.B. zum Bilden eines Cantilevers. Nach dem Ätzen des Opfermaterials ist das freitragende Element freitragend an dem oder den Abstandshaltern aufgehängt.

Fig. 5a-f zeigt eine schematische Darstellung im Querschnitt der Vorrichtung nach den Prozessschritten des Prozesses 400 zur Herstellung von freitragenden Strukturen 65 mit einer weiteren zusätzlichen Maske. Die Figuren sind analog zu den Schritten im Ablaufdiagramm in Fig. 4 dargestellt, wobei die Bereitstellung des Substrats 15 und die Strukturierung der Basis- bzw. Oberflächenelektrode 30 (Schritt 405 und 410) in Fig. 5a zusammengefasst sind. Die Schritte in Fig. 5a-d entsprechen weiterhin den Fig. 2a-e und wurden bereits detailliert beschrieben. Der Prozessablauf besteht aus den folgenden Schritten gemäß Fig. 4:

405: Bereitstellung des Substrates, insbesondere des CMOS-Substrates
410: Strukturierung der Basiselektroden (1. Maske) (Fig. 5a)
415: Abscheidung der a-Si Opferschicht (Fig. 5b)
420: Strukturierung der Opferschicht (2. Maske) (Fig. 5c)
425: Abscheiden der ALD-Schicht (Fig. 5d)
430: Strukturierung der ALD-Schicht mit RIE (3. Maske) (Fig. 5e)
435: Opfermaterial ätzen (Fig. 5f)

Fig. 5e zeigt die Vorrichtung nach dem Abscheiden der ALD-Schicht, die beispielsweise mit Hilfe einer zusätzlichen Maske auf dem a-Si, also der Opferschicht 55, strukturiert ist. Dadurch können elektrische und mechanische Verbindungen zwischen den beschichteten oder gefüllten Löchern oder den beschichteten oder gefüllten Gräben geschaffen werden. Das Layout kann dabei so gestaltet sein, dass die maskierte Fläche auf der ALD-Schicht Löcher oder Gräben überdecken kann. Auf diese Weise können freitragende, beidseitig elektrisch angeschlossene Strukturen 65 aus dem ALD-Material erzeugt werden. Beispiele hierzu sind freitragende Brücken aus dem ALD-Material. Werden diese Brücken zwischen den Kontakten aufgespannt, kann beispielsweise eine Mikro –bzw. Nanofuse (Sicherung) realisiert werden. Auf diese Weise kann beispielsweise Information durch die beiden Zustände der Sicherung (leitfähig oder nicht leitfähig) binär gespeichert werden. Hierzu kann z.B. ein metallisch leitfähiges Material wie Ruthenium als ALD-Material Anwendung finden.

Fig. 5f zeigt die Vorrichtung nach dem Entfernen der Opferschicht.

Fig 6a zeigt eine weitere Ausführungsform. Es kann günstig sein, die pfostenartigen Strukturen 35 aus einem anderen ALD-Material zu gestalten als die brückenartigen Strukturen 65, wie es in Fig. 6a gezeigt ist. Beispielsweise können die Röhren 35 aus einem leitfähigen ALD-Material als metallischer Anschluss z.B. aus Ru und die Brücke 65 aus einem sensorischem Material z.B. aus ZnO oder SnO_2 gestaltet sein. Hierzu kann das erste Material 35a (z.B. Ruthenium) vor dem Schritt 430 in Fig. 4 bzw. dem Schritt in Fig. 5e ganzflächig zurück geätzt werden, so dass die Schicht in den Löchern zurückbleibt und danach eine ALD-Schicht aus einem anderen Material (z.B. ZnO) aufgebracht werden kann. Danach befindet sich in den Löchern ein Schichtstapel aus den beiden Materialien (z.B. metallisches 35a und sensorisches 35b Material), wobei das sensorische Material durch das metallische Material elektrisch kurzgeschlossen ist. Die Brücke besteht dagegen beispielsweise nur aus dem sensorischen, insbesondere halbleitenden Material. Dadurch kann der elektrische Widerstand der Pfosten herabgesetzt und der Pfosten mechanisch gestärkt werden. Der Vorteil einer Materialkombination besteht in der Möglichkeit neuartige, resistive Sensorelemente mit halbleitenden Materialien zu erzeugen wie z.B. licht- oder IR-sensitive Elemente. Weiterhin können so auch sogenannte (Mikro-) Bolometer mit einer frei tragenden ALD-Membran hergestellt werden.

Fig. 6b zeigt ein weiteres Ausführungsbeispiel mit einem freitragenden Element 65 aus zwei verschiedenen Schichten, eine sog. Nanobrücke mit zwei ALD-Schichten. In anderen Worten kann das freitragende Element aus sich überlappenden Schichten unterschiedlicher Materialien aufgebaut sein. Dieses Schema benötigt im Vergleich zum Schema gemäß Abbildung 6a zwei Zusatzmasken. Nach der Strukturierung der Basiselektroden (mit FT 1, FT=Fototechnik) kann zunächst das linke Loch geätzt (mit FT2), ALD-Material 35a abgeschieden und strukturiert (FT 3) werden. Im Anschluss kann das rechte Loch geätzt (FT4) und Material 35b abgeschieden und strukturiert (FT 5) werden. Anschließend wird die Opferschicht, z.B. das a-Si entfernt. Dieses Schema bzw. die überlappenden Schichten unterschiedlicher Materialien können ausgebildet sein oder genutzt werden, um die sensorischen Eigenschaften des Interfaces z.B. von unterschiedlichen Materialen (z.B. Nutzung eines pn-Überganges bei unterschiedlich dotierten Materialien oder Ausnutzung des Seebeck-Effektes zur Realisierung von Thermopaaren/Thermosäulen bzw. Thermopiles) zu nutzen. Es ist auch möglich, hiermit lichtemittierende Strukturen zu erzeugen, wobei das Schichtinterface zwischen den ALD-Schichten beispielsweise eine Elektrolumineszenz ausbildet.

Ein Beispiel für einen Sensor ist eine resistive Brücke aus einem sensorisch wirkenden Material z.B. zur Realisierung von Gassensoren. In diesen Fall kann beispielsweise eine

ALD-Schicht aus ZnO oder SnO_2 sensorisch genutzt werden. In anderen Worten ausgedrückt kann angemerkt werden, dass adsorbierende Atome oder Moleküle die Leitfähigkeit von halbleitenden (z.B. poly- oder nanokristallinen) Halbleiterfilmen verändern. Zur Ausbildung der Poly- oder Nanokristallinität kann im Übrigen es auch notwendig sein, die ALD-Schichten geeigneten Temperbehandlungen zu unterziehen. Die Leitfähigkeitsveränderung beruht auf der Modulation der Raumladungszone durch Ladungsaustauschreaktionen mit den Adsorbaten. Hierfür können vorteilhafterweise ALD-Schichten eingesetzt werden. Diese können eine Schichtdicke aufweisen, die in einer Größenordnung mit der Raumladungszone liegt, wodurch eine Modulation der Raumladungszone vereinfacht wird. Diese Nanobrücken können vorteilhaft auf Fingerelektroden aufgebaut werden, um eine große sensitive Fläche mit einem großen Oberflächen-zu-Volumenverhältnis zu erreichen.

Die Fig. 7a,b zeigen eine mögliche Anordnung der Brücken. Durch die Anordnung wird eine Vielzahl von freitragenden Brücken 65 parallel geschaltet und die Sensorfläche dabei beispielsweise zur Vergrößerung der Sensorfläche quasi flächig aufgespannt (z.B. für einen Gassensor). Durch die Anzahl der Brücken kann ein gewünschter Widerstand realisiert werden. In diesem Beispiel ist jede Brücke über zwei Pfosten 35 mit den Fingerelektroden 30 verbunden. Es ist jedoch auch möglich die Brücken einzeln anzuschließen, um z.B. bildgebende Systeme zu erreichen. Jedes Pixel, repräsentiert durch ein freitragendes Element, kann dabei vergleichsweise klein sein. Die Pixelgröße ist im Wesentlichen durch die Designregeln der obersten Metalllage der Basistechnologie gegeben. Fig. 7b zeigt einen vergrößerten Ausschnitt aus Fig. 7a.

Fig. 8 zeigt ein Ausführungsbeispiel, bei dem auf dem freitragenden Element ein weiterer Abstandshalter sowie ein weiteres freitragendes Element angeordnet ist. Diese Option, den Prozess mehrlagig auszuführen, ist ein weiterer Vorteil der erläuterten Technologie. In einem iterativen Prozess können die Prozessschritte des Abscheidens der Opferschicht, das Strukturieren der Opferschicht, das Abscheiden der ALD-Schicht und das Strukturieren der ALD-Schicht beliebig oft wiederholt werden, um eine Vorrichtung aus mehreren gleichen bzw. unterschiedlichen Lagen bzw. Schichten zu erzeugen. Das Strukturieren der Opferschicht, also z.B. das Ätzen von Gräben oder Löchern in die Opferschicht kann derart ausgeführt werden, dass es auf die aktuelle Opferschicht begrenzt wird, d.h. dass Opferschichten, die in einem vorangehenden Iterationsschritt bereits bearbeitet wurden nicht oder nur kaum beeinflusst werden. Beispielsweise können Abstandshalter und/oder freitragende Elemente, also Elemente die nach dem Entfernen der Opferschicht freitragend sind, als Barriere für die Strukturierung, z.B. als Ätzstopp, dienen. Das Opferätzen

beispielsweise des amorphen Siliziums kann nach dem Stapeln der Ebenen aus Abstandshalter und freitragendem Element durchgeführt werden, sodass die nacheinander aufgetragenen Schichten der Opferschicht gemeinsam entfernt werden. Somit können Nanobrücken in mehreren Ebenen übereinander gestapelt werden, um eine weitere Vergrößerung der Oberfläche zu erreichen. Hierdurch lassen sich 3d-Netzwerke realisieren, die eine beliebige Anordnung von Abstandshaltern und freitragenden Elementen ermöglichen.

In anderen Worten weist das Verfahren zur Herstellung einer Vorrichtung 10 mit Mikro- oder Nanostrukturen eine wiederkehrende Abfolge folgender Schritte auf. Abscheiden einer Opferschicht auf der Hauptseite, Strukturieren eines Loches und/oder Grabens in die Opferschicht mittels eines DRIE-Prozesses und Beschichten der Opferschicht mittels ALD oder MOCVD, so dass sich Material der Nano- oder Mikrostruktur an den Wänden des Lochs und/oder des Grabens bildet.

In Fig. 9 ist ein Ausführungsbeispiel dargestellt, bei dem das freitragende Element 65 entgegen der bisherigen Darstellung an einem statt an zwei Abstandshaltern 35 aufgehängt ist. Somit lassen sich balkenartige Strukturen, z.B. „Cantilever" realisieren, die elektrostatisch angeregt werden können, indem beispielsweise zwischen den Elektroden ein elektrostatisches Feld erzeugt wird. Der Balken dieser Strukturen lässt sich beispielsweise mit Hilfe einer Überlagerung einer Gleich- und Wechselspannung zu resonanten mechanischen Schwingungen anregen. Die Resonanzfrequenz verringert sich bei Belegung der schwingenden Balkenstruktur mit einer zusätzlichen Masse. Vorzugsweise kann der bewegliche Balken mit einer selektiven „Fängerschicht" für Analyten belegt sein. So lassen sich massensensitive Sensoren realisieren. In anderen Worten kann die Vorrichtung 10 einen resonanten Sensor als freitragende Membranstruktur mit einer darunter befindlichen, feststehenden aufliegenden Elektrode zur elektrostatischen Aktuierung bilden.

Fig. 10 zeigt ein Flussdiagramm eines Prozesses 1000 zur Erzeugung von freitragenden Nanodrähten mit Hilfe der Spacer-Technologie. Die verwendeten Bezugszeichen der Vorrichtungsmerkmale und Masken beziehen sich auf die Bezugszeichen in Fig. 12a-d. Nach dem Bereitstellen des CMOS Substrates (Schritt 1005) und dem Aufbringen der Oberflächenelektroden 30 (Schritt 1010) mit einer ersten Maske 30a kann die Opferschicht aufgebracht werden (Schritt 1015). In die Opferschicht kann mit einer zweiten Maske 53a zunächst ein Graben eingebracht (Schritt 1020) und anschließend die Löcher für die Abstandshalter geätzt (Schritt 1025) werden (Maske 53b). Die Löcher sind hier eckig gezeichnet, diese können aber auch rund sein. Es ist auch möglich die beiden

Fototechniken, d.h. die Schritte 1020 und 1025 zu vertauschen. Anstatt den Graben in das Opfermaterial zu ätzen, ist es alternativ auch möglich, den Graben durch eine Zusatzschicht zu definieren (z.B. ein Oxid) und diese selektiv zum Opfermaterial zu strukturieren. Dieses zusätzliche Opfermaterial kann im Falle eines Oxids beispielsweise mit HF-Dampf entfernt werden. Über den Graben und die Löcher wird im nächsten Schritt 1030 eine ALD Schicht abgeschieden und im folgenden Schritt 1035 mit einer dritten Maske 53c strukturiert. Dabei können Teile der Oberfläche selektiv geätzt werden, sodass das ALD-Material an den Seitenwänden des Grabens die Nanodrähte ausbildet. Weiterhin kann die dritte Maske derart gewählt werden, dass am Abstandshalter ein Plateau oder eine Aufhängung für die Nanodrähte zurückbleibt und nicht entfernt wird. Abschließend wird das Opfermaterial entfernt.

Fig. 11 zeigt ein Ausführungsbeispiel zu dem in Fig. 10 beschriebenen Prozess 1000, bei dem Nanodrähte 80 zwischen zwei Abstandshaltern 35 aufgespannt sind.

Ergänzend zeigen Fig. 12c-d Prozessquerschnitte sowie 12b einen Prozesslängsschnitt in einem schematischen Layout. Die Querschnitte und der Längsschnitt sind in der Übersichtszeichnung in Fig. 12a markiert. Die Umrisse der Masken, die im Folgenden in Fig. 12b-d verwendet werden, sind in Fig. 12a in der Draufsicht zu sehen. Bezogen auf Fig. 10 zeigt Fig. 12b einen Prozesslängsschnitt der Vorrichtung nach den Schritten 1010, 1015, 1025, 1030, 1035 sowie 1040. Fig. 12c zeigt weiterhin Prozessquerschnitt der Vorrichtung nach den Schritten 1015, 1020, 1025, 1030, 1035 sowie 1040. Ferner zeigt Fig. 12d einen Prozessquerschnitt der Vorrichtung nach den Schritten 1020, 1030, 1035 sowie 1040. Schritt 1035 in Fig. 12d kann ohne Einsatz einer Maske im Bereich der Nanodrähte durchgeführt werden, da diese bei einem anisotropen Ätzschritt automatisch zurückbleiben. Lediglich der Bereich um die Abstandshalter, dargestellt in den Fig. 12b,c kann maskiert werden, um eine mechanische Verbindung zu den Nanodrähten zu ermöglichen und die Abstandshalter nicht zu beschädigen.

Durch die Ausbildung von Nanodrähten und die damit verbundene Erhöhung des Oberflächen zu Volumenverhältnisses wird die Empfindlichkeit der Struktur zusätzlich gesteigert. Hierzu kann die Spacer-Technologie mit der Erzeugung von freitragenden Brücken wie vorher beschrieben kombiniert werden.

Die Fig. 13a,b zeigen eine weitere Anwendung der erfindungsgemäßen Technologie, die die Herstellung von freitragenden Membranen 90 betrifft. Diese Strukturen können mit dem Prozessablauf gemäß Fig. 5a-f respektive mit dem Prozess 400 hergestellt werden. Ein

Ausführungsbeispiel ist in den Fig. 13a,b dargestellt. In diesem Fall kann ein geschlossener Ring als Abstandshalter 35 in die Opferschicht, z.B. das amorphe Silizium, geätzt werden. Der Ring umschließt eine Sensorfläche 95, die durch eine Kavität gebildet wird. Innerhalb der Kavität ist eine erste Elektrode 100 angeordnet. Innerhalb der Sensorfläche sind Zugangslöcher 105 zum Freiätzen der Kavität angeordnet. Mit derselben oder einer weiteren Fototechnik wird auch die zweite Elektrode 110 strukturiert. Dadurch entsteht eine elektrische Kapazität, die elektrostatisch aktuiert werden kann, indem zwischen die Elektroden eine Spannung angelegt wird. Die Struktur kann z.B. als Mikrophon oder als (Ultra-) Schallwandler genutzt werden (Resonatorstruktur). Eine andere Anwendung der resonanten Struktur betrifft die Massensensorik. Hierbei wird die Änderung der Resonanzfrequenz durch eine zusätzliche Massenbelegung gemessen. Wird die Oberfläche der schwingenden Membran gezielt chemisch oder biochemisch funktionalisiert, können gezielt Analyten nachgewiesen werden. Die Resonanzfrequenz der Membran kann durch den Durchmesser der Struktur eingestellt werden. Es sind viele andere Layout Varianten möglich. Andere Ausführungsformen betreffen z.B. kapazitiv angeregte Biegewellensensoren. Dazu werden unterhalb der freitragenden Membran gefingerte Elektroden angeordnet, welche in der Membran Biegewellen erzeugen. In anderen Worten kann das freitragende Element 35 einen Deckel 120 einer zusammen mit dem Abstandshalter 35 sowie dem Substrat 15 eingeschlossenen Kavität bilden. Eine Vergrößerung des Ausschnitts ist in Fig. 13b zu sehen.

Fig. 13c zeigt ein weiteres Ausführungsbeispiel mit einer freitragenden Membran 90, die als abstimmbares optisches Element auf einem CMOS Substrat 15 eingesetzt werden kann und so beispielsweise ein FPI (FPI: Fabry Perot Interferometer) formt. Das FPI kann aus zwei im Wesentlichen planparallelen teilverspiegelten Platten (z.B. teildurchlässigen Spiegeln) (Reflektion z.B. 90%) bestehen, deren Abstand (in diesem Fall typisch Submikrometer bis Mikrometerbereich) variiert werden kann. Ein Spiegel kann durch die aufliegende Basiselektrode 100, der zweite bewegliche Spiegel durch die membranartige Nanostruktur 90 realisiert sein. Durch Anlegen einer Spannung zwischen beiden Spiegeln 90 und 100 kann der obere Spiegel 90 aufgrund des elektrostatischen Druckes in Pfeilrichtung, d.h. in Richtung der feststehenden Basiselektrode 100 bzw. in Membrannormalenrichtung bewegt werden, wodurch eine Wellenlänge, für die das FPI sensitiv ist, eingestellt werden kann. Der bewegliche Spiegel kann mit ALD Technologie realisiert sein, beispielsweise wird ein transparentes leitfähiges Material (z.B. transparentes leitfähiges Oxid TCO) wie AZO (Aluminumdotiertes Zinkoxid) oder ITO (Indium Zinnoxid) benutzt, welches mit einer oder mehreren weiteren Schichten teilverspiegelt werden kann (z.B. teildurchlässige-Metallschicht oder Stapel aus dielektrischen Schichten). Die teilverspiegelte feststehende Basiselektrode

100 kann genauso realisiert sein. Unter der teilverspiegelten Basiselektrode 100 kann eine photoempfindliche Diode im CMOS-Substrat angeordnet sein. Das FPI kann so im Wesentlichen einstückig ausgebildet sein, d.h. der bewegliche Spiegel und der Abstandhalter sind im Wesentlichen aus einer Schicht ausgebildet und beispielsweise (ausschließlich) mit Methoden der Mikro- und Nanotechnologie hergestellt. Dies reduziert die Anzahl der Produktionsschritte gegenüber herkömmlichen Fabry-Perot Elementen, da beispielsweise ein Aufbringen einer Zwischenschicht für den Abstandshalter zwischen den halbdurchlässigen Spiegeln zum Einstellen der sensitiven Wellenlänge des FPI umgangen werden kann bzw. nicht nötig ist. In anderen Worten kann die Vorrichtung 10 ein optisch abstimmbares Fabry-Perot-Element mit einem eine ALD-Schicht enthaltenden beweglichen Spiegelelement bilden, welches elektrostatisch aktuierbar ist.

Der z.B. kreisförmige Abstandshalter 35, an dem beispielsweise die Membran 90 aufgehängt ist, kann z.B. an vier Stellen 102 Löcher aufweisen, sodass die Membran 90 an z.B. vier Stegen 104 am Abstandshalter aufgehängt ist. Die Stege 104 können beispielsweise beweglich sein. Somit kann auch die an dem Abstandshalter 35 aufgehängte Membran 90, d.h. der bewegliche Spiegel, beweglich sein. Ferner können die Stege 104 ausgebildet sein, eine Rückstellkraft auf die Membran 90 auszuüben, sodass die Membran 90 ohne äußere Druckeinwirkung in ihrem Grundzustand bzw. ihrem Ausgangszustand gehalten wird.

Fig. 13d zeigt einen Ausschnitt aus Fig. 13c mit einer ausgelenkten Membran 90. Die Stärke der Auslenkung wird durch die Skala beschrieben. Die Stege 104 können eine graduell abfallende Auslenkung aufweisen, beispielsweise eine große oder eine maximale Auslenkung bei dem Übergang zur Membran 90 und eine minimale oder keine Auslenkung bei dem Übergang zu den Abstandshaltern 35.Vorzugsweise bleibt die spiegelnde Fläche des beweglichen Spiegels im Wesentlichen planar, während die dünnen Stege sich durchbiegen. Auf dem beweglichen Element kann eine Schicht 92 aufgebracht werden, die beispielsweise als ein Schichtstapel für einen dielektrischen Spiegel ausgebildet ist und gleichzeitig versteifend wirkt, so dass der Spiegel im Wesentlichen planar bleibt.

Fig. 14 zeigt die Möglichkeit, die Vorrichtung hermetisch nach außen abzuschließen. Dabei werden die Strukturen in einem Chipscale Package (Gehäuse in der Größenordnung des Die) verpackt bzw. umschließt. Hierbei wird auf das Wafersubstrat ein die Struktur ringförmig umgebender Lötrahmen 115 aufgebracht, der mit einem auf einem Deckel (z.B. Silizium oder Glas) angeordneten zugeordneten Lötrahmen 120, beispielsweise in einen sogenannten SLID-Prozess hermetisch verlötet werden kann. Die eigentliche Vorrichtung wird durch den hermetischen Abschluss gegen Umwelteinflüsse geschützt und kann beispielsweise als

fertiges Bauelement zum Löten auf beispielsweise eine Platine verwendet werden. In anderen Worten kann die Vorrichtung 10 in einem Gehäuse angeordnet sein. Ein Deckel des Gehäuses kann z.B. Silizium oder Glas aufweisen und ein SLID-Lötrahmen kann einen Körper des Gehäuses bilden.

Fig. 15 zeigt ein weiteres Ausführungsbeispiel, beispielsweise das eines Bolometers, ähnlich dem Ausführungsbeispiel von Fig. 1 oder Fig. 6a. Zur Stabilisierung der Abstandshalter wird vor der Opferschicht eine Oxidschicht 125 auf das Wafersubstrat aufgebracht, die beim abschließenden Ätzen sehr selektiv zum Opfermaterial ist. Wird die Opferschicht entfernt, bleibt die Oxidschicht erhalten und stabilisiert die Abstandshalter zusätzlich. Entgegen der Darstellung in Fig. 15 können die Abstandshalter wie im Vorhinein bereits beschreiben nicht nur rund in Form eines Stiftes oder Hohlröhrchens ausgeführt sein sondern jede beliebige Form annehmen. Ferner ist die Nutzung von (dünnen) Nanoröhrchen bei Bolometern, wie sie durch den beschriebenen Prozess beispielsweise durch Abscheiden einer ALD Schicht an Wände einer mittels DRIE geätzte Öffnung einer Opferschicht erhalten werden können, vorteilhaft. Insbesondere bei einer kontinuierlichen Strahlungsmessung mittels eines Bolometers ist es vorteilhaft, eine Erwärmung des Bolometers durch die auftreffende Strahlung so weit wie möglich zu reduzieren. Durch die dünnen (ALD-) Schichten, die Schichtdicken im Bereich von einigen Atomlagen, beispielsweise im Bereich von 1nm bis 20nm, aufweisen können, weisen die Nanoröhrchen aber auch die Sensorstrukturen eine geringe Wärmekapazität bzw. eine geringe thermische Masse auf. Somit können derartige Bolometer effektiver gekühlt werden, als Bolometer mit einer höheren Wärmekapazität und ermöglichen so präzisere Messungen auch über einen längeren Zeitraum.

Wie im Vorhinein beschrieben kann auf die Hauptseite 25 des Substrats 15 eine (weitere) Oxidschicht aufgebracht werden, die durch das Strukturieren der Opferschicht ebenfalls strukturiert wird, jedoch durch das Entfernen der Opferschicht nicht entfernt wird. Dies hat den Vorteil, dass die Mikro- oder Nanostrukturen beispielsweise am Fuße einer Mikro- oder Nanostruktur, d.h. an dem Punkt, an dem die Mikro- oder Nanostruktur, z.B. ein Nanoröhrchen, auf die Elektrode fußt, verstärkt wird. So können Mikro- oder Nanostrukturen z.B. Scherkräften oder Kräften, die nicht in Dickenrichtung an die Mikro- oder Nanostruktur angreifen, besser standhalten, ohne beispielsweise umzuknicken oder zu verrutschen. Die Oxidschicht kann somit eine Verstärkung, Stützung oder Versteifung der Mikro- oder Nanostruktur darstellen. Nachfolgend ist ein Verfahren beschrieben, mit dem die Oxidschicht strukturiert werden kann, so dass dieselbe die Mikro- oder Nanostrukturen stützen kann. In Vorteilhafterweise kann der DRIE-Prozess zum Strukturieren der Opferschicht ein Bosch-Prozess sein, der –wie bereits erwähnt- eine wechselnden Abfolge von SF_6 und C_4F_8

Schritten aufweist. Durch Umschalten des DRIE-Prozess auf einen reinen C_4F_8-Ätzprozess bei Erreichen der Oxidschicht kann selbiges in derselben Ätzanlage strukturiert werden.

Fig. 16 zeigt links eine Prinzipdarstellung eines Querschnitts eines Loches in einer Opferschicht 55, das mit einem Boschprozess geätzt wurde, wobei die Details auch für DRIE allgemein gelten. Charakteristisch für den Boschprozess ist eine Welligkeit der Seitenwände, die durch den zyklischen Prozess des Ätzens, Passivierens und Entfernens der Passivierung auf dem Boden des bis dahin geätzten Loches in einem Sputterschritt resultieren kann. Fig. 16 zeigt somit einen Zwischenstand eines noch nicht durch die gesamte Opferschicht geätzten Loches. Die Ausprägung, wie z.B. die Standardabweichung des lateralen Profils, der Wellen der Wände kann durch eine geeignete Wahl der Prozessparameter beeinflusst, jedoch nie komplett vermieden werden. In Kombination mit dem ALD-Verfahren ergibt sich somit ein typisches Aussehen der Abstandshalter und sonstigen Teilen der Mikro- oder Nanostruktur wie z.B. der freitragenden Nanodrähte, das durch sehr steile, jedoch nicht glatte und sehr dünne Seitenwände als Negativ des Loches in der Opferschicht charakterisiert ist. Was in Fig. 16 links stellvertretend für ein Loch gezeigt wurde gilt natürlich auch für die Seitenwänden (in Fig. 16 rechts dargestellt) von anderen Teilen wie den im Vorhergehenden beschriebenen Teilen der Mikro- oder Nanostrukturen: auch Sie besitzen die Welligkeit. Diese Welligkeit bedeutet eine weitere Oberflächenvergrößerung der Struktur, was für viele sensorische Anwendungen vorteilhaft ist.

Mit dem in der vorliegenden Erfindung dargestellten Verfahren sowie der generellen Ausgestaltung der Vorrichtung lassen sich konkrete Anwendungsbeispiele herstellen. Im Folgenden werden nun einige Beispiele zur Ausgestaltung der Vorrichtung beschrieben.

Eine erste Anwendung kann ein Multielektrodenarray (MEA) zur Stimulation von Nerven und/oder Messung von biologischen Signalen sein. Multielektrodenarrays sind Vorrichtungen, wie z.B. Schnittstellen in Implantaten, die mehrere Nadeln wie beispielsweise Nanoröhrchen enthalten, durch die neuronale Signale aufgenommen oder abgegeben werden können. Sie dienen damit als neuronale Schnittstelle, die Nervenzellen mit elektronischen Schaltungen verbinden können. Als Elektroden bzw. Nadeln können dabei Röhren oder stabartige Elektronen dienen, die zum einen eine sehr gezielte Stimulation der Nerven ermöglichen, indem sie z. B. an einer Stromquelle betrieben werden. Anders herum können jedoch auch die Nerven als Stromquelle dienen, so dass das Multielektrodenarray eine Messung der Nervensignale oder allgemein von biologischen Signalen ermöglicht. Durch die Nanoskaligkeit, d. h. den geringen Abstand der einzelnen Abstandshalter, Nanoröhrchen, Nadeln oder Elektroden zueinander, in diesem Fall der Elektroden z.B.

Sensorelektroden bzw. Sensorelemente, kann eine sehr hohe Auflösung für die Messung der biologischen Signale erreicht werden. Ein besonderer Vorteil der gezeigten Multielektrodenarrays, wie auch allgemein aller weiteren Ausführungsbeispiele, stellt die direkte Anordnung der Abstandshalter oder Nanonadeln oder Nanoröhrchen auf dem CMOS Substrat dar, so dass (kleine) Messsignale weitestgehend ohne störende Impedanzen (durch eine im CMOS Substrat integrierte Schaltung) verstärkt werden können, da lange Signalübertragungswege, beispielweise durch Leitungen zu einem externen Verstärker, vermieden werden.

Weiterhin eignet sich das Verfahren hervorragend zur Bildung von Gassensoren. Als sensitiver Teil des Gassensors kann beispielsweise eine freitragende Brücke oder ein Nanodraht, z. B. aus einem Metalloxid, wie z. B. ZnO, SnO_2, In_2O_3 oder TiO_2, mittels einer ALD- oder MOCVD-Schicht ausgebildet werden. Es kann notwendig sein, die Materialeigenschaften der ALD-Schicht durch Temperbehandlungen zu optimieren. Die Aufhängung der sensitiven Schicht an den Abstandshaltern ermöglicht die bei Gassensoren oft benötigte Beheizung effektiv umzusetzen. Beispielsweise kann die Sensorfläche durch eine Beaufschlagung mit einem vergleichsweise kleinen Strom (wegen der Nanoskaligkeit der Strukturen) auf eine für Gassensoren übliche Temperatur von 200° bis 300° Celsius aufgeheizt werden. Dies wird beispielsweise durch die geringe thermische Masse ermöglicht. Sind die Abstandshalter weiterhin aus einem im Wesentlichen thermisch isolierenden Material gefertigt, hat der Gassensor keine oder nur eine geringe thermische Masse. In anderen Worten können die Abstandshalter ferner aus einem im Wesentlichen thermisch isolierenden Material gefertigt sein, wodurch die thermische Masse des Gassensors bzw. der Abstandshalter nochmals reduziert wird und eine thermische Entkopplung der Sensorfläche vom Substrat durch die Abstandshalter erreicht wird.

Ein weiteres Ausführungsbeispiel kann ein Biosensor sein. Auf einem freitragenden Element kann beispielsweise eine biologisch aktive Schicht bzw. eine Funktionalisierungsschicht zur Detektion von biologischen Stoffen (Biofunktionalisierungsschicht), eine sog. biologische Fängerschicht (gemäß Schlüssel Schloß-Prinzip z.B. Antikörper-Antigen), aufgetragen sein. Die biologische Fängerschicht reagiert auf Umwelteinflüsse mit einer Veränderung ihrer physikalischen Eigenschaften insbesondere des elektrischen Widerstands, die von dem Grundmaterial des freitragenden Elementes in ein elektrisches Signal umgewandelt werden können.

Weiterhin ist es möglich, kapazitive Feuchtesensoren auszubilden, die z. B. ein U-Profil als Sensorfläche nutzen. Dabei bilden zwei nebeneinander angeordnete U-Profile zwei

Elektroden, zwischen denen ein Dielektrikum angeordnet ist, das seine Dielektrizitätskonstante bei der Aufnahme oder Abgabe von Feuchtigkeit ändert, also beispielsweise ein feuchtigkeitssensitives Material aufweist. Somit wird ein Kondensator gebildet, dessen elektrisches Feld durch die sich ändernde Dielektrizitätskonstante beeinflusst wird. Dies ermöglicht bei geeigneter Kalibrierung des Sensors, eine absolute Feuchtigkeitsmessung. Weiterhin ist es auch möglich, drei oder mehr U-Profile nebeneinander anzuordnen, und die Zwischenräume zwischen den U-Profilen mit dem gleichen Dielektrikum aufzufüllen. Somit kann beispielsweise ein relativer Feuchtigkeitssensor gebildet werden, der z. B. einen Feuchtigkeitsgradienten messen kann.

Ebenso kann aus z.B. einem freitragenden Nanodraht eine Nanofuse/Nanosicherung nach dem Prinzip einer Schmelzsicherung hergestellt werden. Solange die Leistung begrenzt ist verhält sich der Nanodraht wie ein elektrischer Leiter. Liegt eine zu hohe Stromstärke über einen zu langen Zeitraum an, erhitzt sich der Nanodraht jedoch so stark, dass er durchbrennt und kein weiterer Stromfluss mehr möglich ist.

In anderen Worten beschreibt die vorliegende Erfindung in Ausführungsbeispielen CMOS integrierbare 3D-Nano- oder Mikrostruktur und Verfahren zur Herstellung derselben. Die Aufgabe der Erfindung ist die Herstellung von 3D-Mikro- und Nanostrukturen (im Folgenden als „Nanostrukturen" bezeichnet), die mit Methoden der Halbleiterherstellung realisiert und vorzugsweise direkt auf ein CMOS-Substrat (optional mit bereits integrierter Schaltung) „aufgesetzt" werden können. Die Nanostrukturen werden aus einer dünnen Schicht oder einem dünnen Schichtstapel als dreidimensionale Struktur mit Hilfe einer Opfertechnik aufgebaut. Die typischen Dimensionen senkrecht zur Dicke der erzeugten Nanostrukturen sind kleiner als ein 1 µm, typisch im Bereich von 200-400 nm, können aber auch einige 100 µm betragen (siehe hierzu auch die Ausführungsbeispiele), wobei die Dicke (von Seitenwänden) der erzeugten Nanostrukturen im Bereich von einigen Atomlagen liegen kann, beispielsweise im Bereich von 1nm bis 50nm, z. B. kleiner oder gleich 5nm, 10nm oder 50nm. Die mit dem erfindungsgemäßen Herstellungsprozess erzeugten Nanostrukturen können insbesondere zur Realisierung von 3D- Elektroden z.B. in sogenannten Multielektrodenarrays zum Messen oder zum Stimulieren von Nervenzellen in Implantaten eingesetzt werden. Die erfindungsgemäße Technologie erlaubt es jedoch durch die Nutzung einer weiteren Lithographie-Maske neben den Elektrodenstrukturen auch andere Sensor und Aktorstrukturen zu realisieren:

Beispiele zu den möglichen Strukturen sind:

- 3D- Nanoröhren als Elektroden Arrays, insbesondere als sogenannte Multielektrodenarray in der Medizintechnik oder der Biosensorik zur Kontaktierung von biologischen Materialien (insbesondere Zellen). Hierdurch können Nerven stimuliert oder Signale abgeleitet werden.

- freitragende 3D-Nanobrücken, z.B. als sensierende Widerstandsbrücken in der Gassensorik, als sensierende Widerstandsbrücke in der Biosensorik, als optische Sensorelemente oder als sogenannte Mikro- oder Nanosicherungen („Fuses"). Die freitragenden Brücken können insbesondere auch einzeln elektrisch angeschlossen werden, so dass bildgebende Arrays aufgebaut werden können.

- freitragende Membranen, die beispielsweise als Schallwandler (sensorisch oder aktorisch) oder als Massensensor genutzt werden können. Diese Membranen werden vorzugsweise durch eine Elektrode elektrostatisch zu mechanischen Schwingungen angeregt.

- Kapazitive 3D-Strukturen, die beispielsweise in Verbindung mit einem feuchtesensitiven Material z.B. einem Polyimid als Feuchtemesser ausgebildet sind oder als kapazitive Sensoren für impedanzspektrometrische Messungen in der Biosensorik.

Die Nutzung von ALD-Schichten für Sensoren und elektromechanische 3D-Strukturen hat mehrere Vorteile: durch die 3D-Anordnung kann eine sehr große Oberfläche erzeugt werden. Dies ist für Sensorik, die auf Oberflächenreaktionen beruht, vorteilhaft (z.B. Gas- Chemo-und Biosensoren). Da die ALD-Strukturen gezielt dünn abgeschieden werden können (nanoskalig) wird ein großes Oberflächen zu Volumenverhältnis erreicht. Der Begriff „ALD-Schicht" wird hier im Sinne einer „superkonform" abscheidenden Schicht genutzt. Dies gilt beispielsweise auch für sogenannte MOCVD-Schichten (Metall organische chemische Gasphasenabscheidung).

Zusammenfassend wird ein einfacher Prozess zur Herstellung von freitragenden 3D-Nano – und Mikrostrukturen offenbart, der CMOS-kompatibel ist und der mit den üblichen Gerätschaften der Halbleitertechnologie kostengünstig und monolithisch realisiert werden kann. Der Prozess kann dabei „Post-CMOS" modulartig auf ein vorbereitetes CMOS-Substrat aufgesetzt werden, so dass eine Vielzahl intelligenter Sensoren realisiert werden können.

Die Begriffe CMOS-Substrat, Wafersubstrat und Substrat sind nicht einschränkend bezüglich der jeweils anderen Begriffe zu betrachten und bezeichnen ferner eine Grundlage, auf der die Mikro- oder Nanostrukturen ausgebildet werden können und. Dies kann beispielsweise Silizium-Wafer oder auch ein bereits vereinzelter Chip sein.

Ausführungsbeispiele zeigen ein Verfahren zur Herstellung einer Vorrichtung 10 mit einem Schritt des Bereitstellens eines Substrats 15 mit einer Elektrode 30, die an einer Hauptseite 25 des Substrats freiliegt und mit Bilden einer Mikro- oder Nanostruktur, die einen Abstandshalter 35 aufweist, der auf der Elektrode 30 fußt. Dass der Abstandshalter 35 auf der Elektrode fußt meint beispielsweise, dass die Elektrode und der Abstandshalter elektrisch und/oder mechanisch miteinander verbunden sind. Das Bilden der Mikro- oder Nanostruktur kann folgende Schritte aufweisen. Abscheiden einer Opferschicht 55 auf der Hauptseite, wobei die Opferschicht 55 amorphes Silizium (a-Si) oder Siliziumdioxid (SiO2) enthält, Strukturieren eines Loches und/oder Grabens 60 in die Opferschicht mittels eines DRIE-Prozesses, Beschichten der Opferschicht mittels ALD oder MOCVD, so dass sich Material der Nano- oder Mikrostruktur an dem Loch und/oder Graben bildet sowie Entfernen der Opferschicht 55 um die Vorrichtung 10 zu erhalten.

Gemäß weiteren Ausführungsbeispielen wird eine Vorrichtung 10 gezeigt, die ein Substrat 15 und eine Mikro- oder Nanostruktur aufweist. Das Substrat kann eine Elektrode 30 aufweisen, die an einer Hauptseite 25 des Substrats 15 freiliegt. Die Mikro- oder Nanostruktur, kann einen Abstandshalter 35 aufweisen, der auf der Elektrode 30 fußt, wobei die Mikro- oder Nanostruktur mittels ALD oder MOCVD Beschichtung einer durch einen DRIE-Prozess strukturierten Opferschicht 55 auf der Hauptseite des Substrats und anschließender Entfernung der Opferschicht hergestellt ist, wobei die Opferschicht 55 amorphes Silizium (a-Si) oder Siliziumdioxid (SiO2) enthält.

Obwohl manche Aspekte im Zusammenhang mit einer Vorrichtung beschrieben wurden, versteht es sich, dass diese Aspekte auch eine Beschreibung des entsprechenden Verfahrens darstellen, sodass ein Block oder ein Bauelement einer Vorrichtung auch als ein entsprechender Verfahrensschritt oder als ein Merkmal eines Verfahrensschrittes zu verstehen ist. Analog dazu stellen Aspekte, die im Zusammenhang mit einem oder als ein Verfahrensschritt beschrieben wurden, auch eine Beschreibung eines entsprechenden Blocks oder Details oder Merkmals einer entsprechenden Vorrichtung dar.

Die oben beschriebenen Ausführungsbeispiele stellen lediglich eine Veranschaulichung der Prinzipien der vorliegenden Erfindung dar. Es versteht sich, dass Modifikationen und

Variationen der hierin beschriebenen Anordnungen und Einzelheiten anderen Fachleuten einleuchten werden. Deshalb ist beabsichtigt, dass die Erfindung lediglich durch den Schutzumfang der nachstehenden Patentansprüche und nicht durch die spezifischen Einzelheiten, die anhand der Beschreibung und der Erläuterung der Ausführungsbeispiele hierin präsentiert wurden, beschränkt sei.

Patentansprüche

1. Verfahren zur Herstellung einer Vorrichtung 10, mit

   Bereitstellen eines Substrats (15) mit einer Elektrode (30), die an einer Hauptseite (25) des Substrats freiliegt, und

   Bilden einer Mikro- oder Nanostruktur, die einen Abstandshalter (35) aufweist, der auf der Elektrode (30) fußt, wobei das Bilden folgende Schritte aufweist:

      Abscheiden einer Opferschicht (55) auf der Hauptseite, wobei die Opferschicht (55) amorphes Silizium (a-Si) oder Siliziumdioxid (SiO_2) enthält;

      Strukturieren eines Loches und/oder Grabens (60) in die Opferschicht mittels eines DRIE-Prozesses;

      Beschichten der Opferschicht mittels ALD oder MOCVD, so dass sich Material der Nano- oder Mikrostruktur an dem Loch und/oder Graben bildet;

      Entfernen der Opferschicht.

2. Verfahren zur Herstellung einer Vorrichtung 10, wobei das Substrat integrierte Bauteile (20) aufweist.

3. Verfahren gemäß einem der vorherigen Ansprüche, wobei das Verfahren vor dem Abscheiden der Opferschicht folgendes aufweist:

   Aufbringen einer Oxidschicht (125) auf die Hauptseite (25) des Substrats (15), die durch das Strukturieren der Opferschicht ebenfalls strukturiert, jedoch durch das Entfernen der Opferschicht nicht entfernt wird, wodurch der Abstandshalter zusätzlich stabilisiert wird.

4. Verfahren gemäß einem der vorherigen Ansprüche, wobei das Beschichten ein ganzflächiges Beschichten mit Beschichtungsmaterial aufweist, und das Verfahren nach dem Beschichten der Opferschicht folgendes aufweist:

   Entfernen des Beschichtungsmaterials auf einer dem Substrat abgewandten Seite der Opferschicht, sodass das Material der Mikro- oder Nanostruktur in dem Loch oder Graben zurückbleibt.

5. Verfahren gemäß Anspruch 4, wobei das Beschichtungsmaterial auf der Opferschicht strukturiert und nicht komplett entfernt wird, um ein freitragendes Element (65) der Mikro- oder Nanostruktur zu bilden.

6. Verfahren gemäß Anspruch 5, wobei das freitragende Element (65) einen Nanodraht (80) aufweist.

7. Verfahren gemäß einem der vorherigen Ansprüche, wobei die Opferschicht a-Si aufweist und mittels isotropem Ätzen mit SF_6 oder XeF_2 entfernt wird oder wobei die Opferschicht aus SiO_2 ist und mit HF-Dampf entfernt wird.

8. Verfahren gemäß einem der vorherigen Ansprüche, wobei der DRIE Prozess ein Bosch Prozess ist.

9. Verfahren gemäß einem der vorherigen Ansprüche, wobei das Verfahren eine wiederkehrende Abfolge folgender Schritte aufweist:

   Abscheiden einer Opferschicht auf der Hauptseite;

   Strukturieren eines Loches und/oder Grabens in die Opferschicht mittels eines DRIE-Prozesses;

   Beschichten der Opferschicht mittels ALD oder MOCVD, so dass sich Material der Nano- oder Mikrostruktur an den Wänden des Lochs und/oder des Grabens bildet.

10. Verfahren gemäß Anspruch 9, wobei die Opferschichten der Schritte der wiederkehrenden Abfolge gemeinsam entfernt werden.

11. Verfahren gemäß einem der vorherigen Ansprüche, wobei der DRIE Prozess einen zyklischer Prozess des Ätzens, Passivierens und Entfernens der Passivierung auf dem Boden eines bis dahin geätzten Loches umfasst, wodurch eine Welligkeit der Seitenwände des Loches und/oder Grabens (60) in der Opferschicht entsteht.

12. Verfahren gemäß einem der vorherigen Ansprüche, wobei der DRIE Prozess ein Bosch Prozess ist und einen zyklischer Prozess des Ätzens mit SF_6 oder C_4F_8, des Passivierens und des Entfernens der Passivierung auf dem Boden eines bis dahin geätzten Loches umfasst, wodurch eine Welligkeit der Seitenwände des Loches und/oder Grabens (60) in der Opferschicht entsteht.

13. Verfahren gemäß einem der vorherigen Ansprüche, mit:

Aufbringen eines Lötrahmens (115) auf das Substrat, wobei der Lötrahmen die Mikro- oder Nanostruktur umgibt;

Anordnen eines Deckels auf dem Lötrahmen;

Verlöten des Deckels mit dem Lötrahmen auf dem Wafersubstrat, um ein Chipscale Package zu erhalten, wobei das Chipscale Package die Mikro- oder Nanostrukturen verpackt.

14. Vorrichtung gemäß Anspruch 12, wobei das Verlöten mittels SLID ausgeführt wird.

15. Vorrichtung (10)

mit einem Substrat (15), das eine Elektrode (30) aufweist, die an einer Hauptseite (25) des Substrats (15) freiliegt,

einer Mikro- oder Nanostruktur, die einen Abstandshalter (35) aufweist, der auf der Elektrode (30) fußt, wobei die Mikro- oder Nanostruktur mittels ALD oder MOCVD Beschichtung einer durch einen DRIE-Prozess strukturierten Opferschicht (55) auf der Hauptseite des Substrats und anschließender Entfernung der Opferschicht hergestellt ist, wobei die Opferschicht (55) amorphes Silizium (a-Si) oder Siliziumdioxid (SiO_2) enthält.

16. Vorrichtung gemäß Anspruch 15, wobei der Abstandshalter (35) hohl ist.

17. Vorrichtung gemäß Anspruch 15, wobei der Abstandshalter (35) massiv ausgeführt ist.

18. Vorrichtung gemäß einem der Ansprüche 15-17, wobei die Mikro- oder Nanostruktur ferner ein freitragendes Element (65) aufweist, das an dem Abstandshalter freitragend aufgehängt ist.

19. Vorrichtung gemäß einem der Ansprüche 15-18, wobei der Abstandshalter ein Aspektverhältnis einer Höhe zu einer Breite des Abstandshalters von größer oder gleich 1 hat.

20. Vorrichtung gemäß einem der Ansprüche 18-19, wobei das freitragende Element (65) als Brücke zwischen dem Abstandshalter und einem weiteren Abstandshalter

ausgeführt ist, der auf einer weiteren Elektrode fußt, die auf dem Substrat ausgeführt ist.

21. Vorrichtung gemäß einem der Ansprüche 18-20, wobei das freitragende Element aus sich überlappenden Schichten unterschiedlicher Materialien aufgebaut ist.

22. Vorrichtung gemäß Anspruch 21, wobei die sich überlappenden Schichten unterschiedlicher Materialien unterschiedliche physikalische Eigenschaften aufweisen, die eine Grenzfläche zur Bildung eines Sensors bilden.

23. Vorrichtung gemäß einem der Ansprüche 18-22, wobei eine Schicht des freitragenden Elementes aus einem feuchtigkeitssensitiven Material besteht.

24. Vorrichtung gemäß einem der Ansprüche 18-23, wobei eine Schicht des freitragenden Elementes eine Funktionalisierungsschicht zur Detektion von biologischen Stoffen aufweist.

25. Vorrichtung gemäß einem der Ansprüche 18-24, wobei eine Schicht des freitragenden Elementes aus Ruthenium, ZnO, SnO_2 oder TiO_2 besteht.

26. Vorrichtung gemäß einem der Ansprüche 18-25, wobei auf dem freitragenden Element ein weiterer Abstandshalter angeordnet ist, an dem ein weiteres freitragendes Element freitragend aufgehängt ist.

27. Vorrichtung gemäß einem der Ansprüche 18-26, wobei das freitragende Element (35) einen Deckel (120) einer zusammen mit dem Abstandshalter (35) sowie dem Substrat (15) eingeschlossenen Kavität bildet.

28. Vorrichtung gemäß einem der Ansprüche 15-27, wobei die Mikro- oder Nanostruktur elektrisch leitfähig ist.

29. Vorrichtung gemäß einem der Ansprüche 15-28, wobei die Vorrichtung einen Sensor zur Detektion von Licht, Wärmestrahlung oder einer chemischen oder biologischen Zusammensetzung in einer an die Hauptseite angrenzenden Umgebung bildet.

30. Vorrichtung gemäß einem der Ansprüche 15-29, wobei der Abstandshalter aus Schichten unterschiedlicher Materialien gebildet ist.

31. Vorrichtung gemäß Anspruch 30, wobei eine Schicht des Abstandshalters aus einem Metall besteht.

32. Vorrichtung gemäß einem der Ansprüche 30-31, wobei eine Schichtdicke kleiner oder gleich 100 nm ist.

33. Vorrichtung gemäß einem der Ansprüche 15-32, wobei eine Höhe des Abstandshalters kleiner oder gleich 10µm ist.

34. Vorrichtung gemäß einem der Ansprüche 15-33, wobei der Abstandshalter zusammen mit weiteren an der Hauptseite angeordneten und auf weiteren Elektroden fußenden Abstandshaltern regelmäßig in Form einer Matrix angeordnet ist.

35. Vorrichtung gemäß Anspruch 34, wobei die Vorrichtung ein bildaufnehmendes Element ausbildet.

36. Vorrichtung gemäß einem der Ansprüche 34-35, wobei die Abstandshalter als parallel verlaufende U-Profile oder als in einem zweidimensionalen Array von der Hauptseite vorstehenden Nanohohlröhrchen ausgeführt sind.

37. Vorrichtung gemäß einem der Ansprüche 15-36, wobei eine Mehrzahl von Abstandshaltern auf einer Elektrode angeordnet sind.

38. Vorrichtung gemäß einem der Ansprüche 15-37, wobei die Vorrichtung in einem Gehäuse angeordnet ist.

39. Vorrichtung gemäß Anspruch 38, wobei ein Deckel des Gehäuses aus Silizium oder Glas besteht und ein SLID-Lötrahmen einen Körper des Gehäuses bildet.

40. Vorrichtung gemäß einem der Ansprüche 15-39, wobei die Vorrichtung ein Multielektrodenarray zur Stimulation von Nerven und/oder zur Messung von biologischen Signalen aus röhren- oder stabartigen Elektroden bildet.

41. Vorrichtung gemäß einem der Ansprüche 15-40, wobei die Vorrichtung einen Gassensor ausgestaltet als freitragende Brücke aus einem gassensitven Metalloxid bildet.

42. Vorrichtung gemäß Anspruch 41, wobei die Abstandshalter metallisch und die funktionale Schicht ein Metalloxid ist

43. Vorrichtung gemäß einem der Ansprüche 15-42, wobei die Vorrichtung als Bio Sensor ausgebildet ist, wobei die Nanodrahtstruktur mit einer biologischen Fängerschicht versehen ist.

44. Vorrichtung gemäß einem der Ansprüche 15-43, wobei die Vorrichtung einen kapazitiven Feuchtesensor aus U-profilförmigen Abstandshaltern und einem feuchtesensitiven Material bildet, welches eine Dielektrizitätskonstante mit Feuchtigkeitsaufnahme ändert, das in die Zwischenräume der Elektroden eingebracht wird.

45. Vorrichtung gemäß einem der Ansprüche 15-44, wobei die Vorrichtung eine freitragende, metallische Nanodraht-Struktur als Nanosicherung bildet, welche durch elektrische Belastung zerstört wird.

46. Vorrichtung gemäß einem der Ansprüche 15-45, wobei die Vorrichtung eine freitragende, metallische Nanodraht-Struktur als programmierbares Speicherelement (Nano ROM) bildet.

47. Vorrichtung gemäß einem der Ansprüche 15-46, wobei die Vorrichtung einen Biosensor mit freitragendem Nanodraht und einer als Biofunktionalisierung wirkenden Schicht bildet.

48. Vorrichtung gemäß einem der Ansprüche 15-47, wobei die Vorrichtung einen resonanten Sensor als freitragende Membranstruktur mit einer darunter befindlichen, feststehenden aufliegenden Elektrode zur elektrostatischen Aktuierung bildet.

49. Vorrichtung gemäß einem der Ansprüche 15-48, wobei die Vorrichtung ein optisch abstimmbares Fabry-Perot-Element mit einem eine ALD-Schicht enthaltenden beweglichen Spiegelelement bildet, welches elektrostatisch aktuierbar ist.

50. Vorrichtung gemäß einem der Ansprüche 15-49, wobei die Vorrichtung ein Bolometer bildet.

51. Vorrichtung gemäß einem der Ansprüche 15-50, wobei eine Schichtdicke der Mikro- oder Nanostruktur kleiner als 50 nm, kleiner als 10 nm oder kleiner als 5 nm ist.

52. Vorrichtung gemäß einem der Ansprüche 15-51, wobei die Mikro- oder Nanostruktur eine Seitenwand mit einer Welligkeit aufweist, wobei die Welligkeit durch das Beschichten von Seitenwänden eines Loches und/oder eines Grabens, der mittels eines DRIE-Prozesses in die Opferschicht geätzt ist, entsteht.

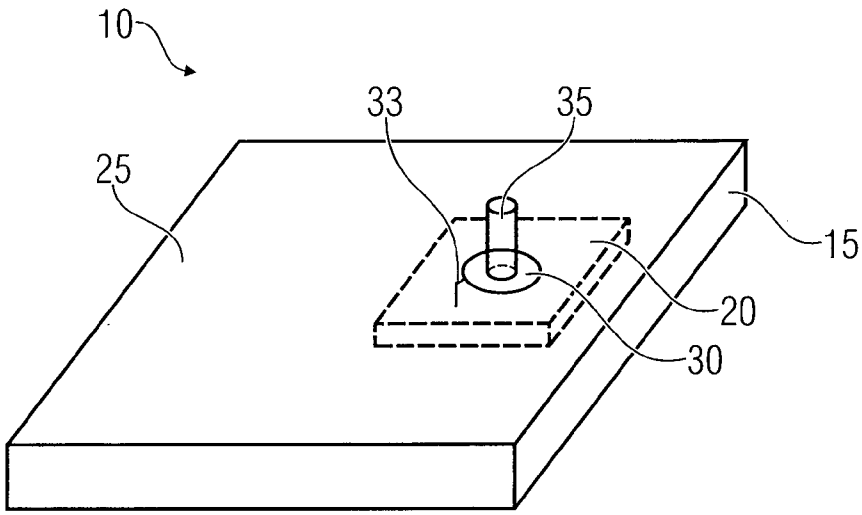


FIG 1A

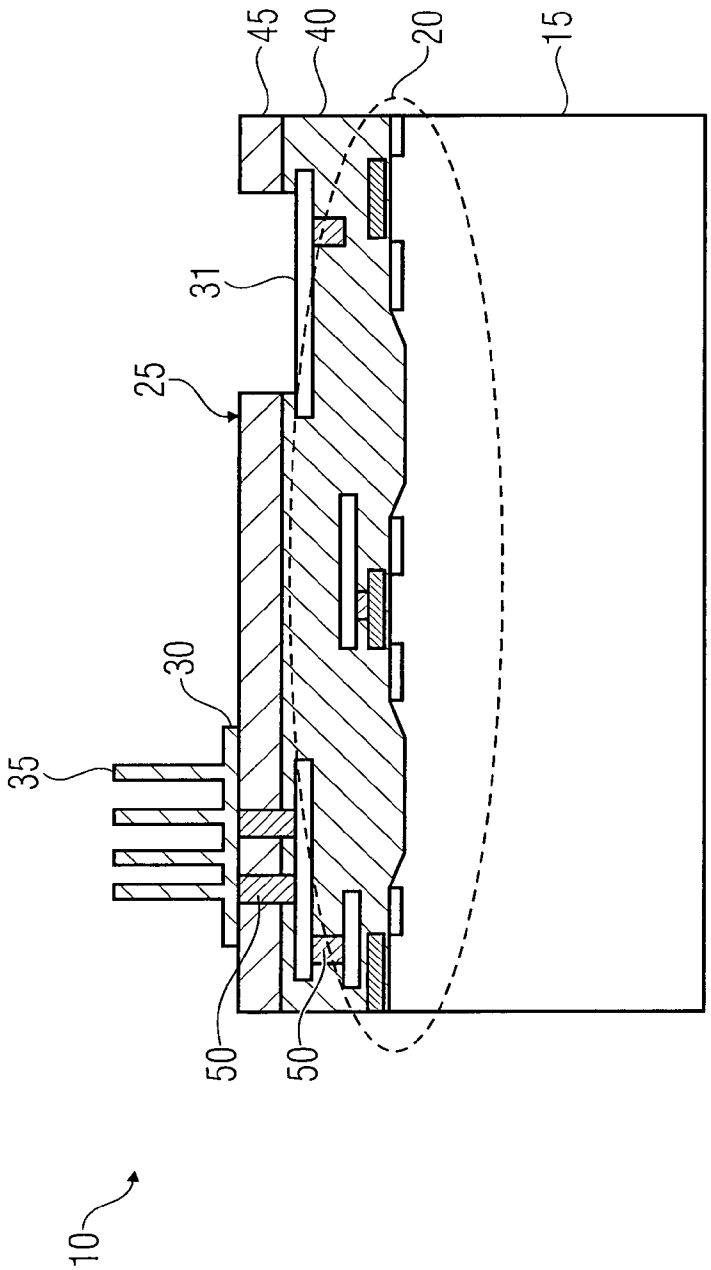


FIG 1B

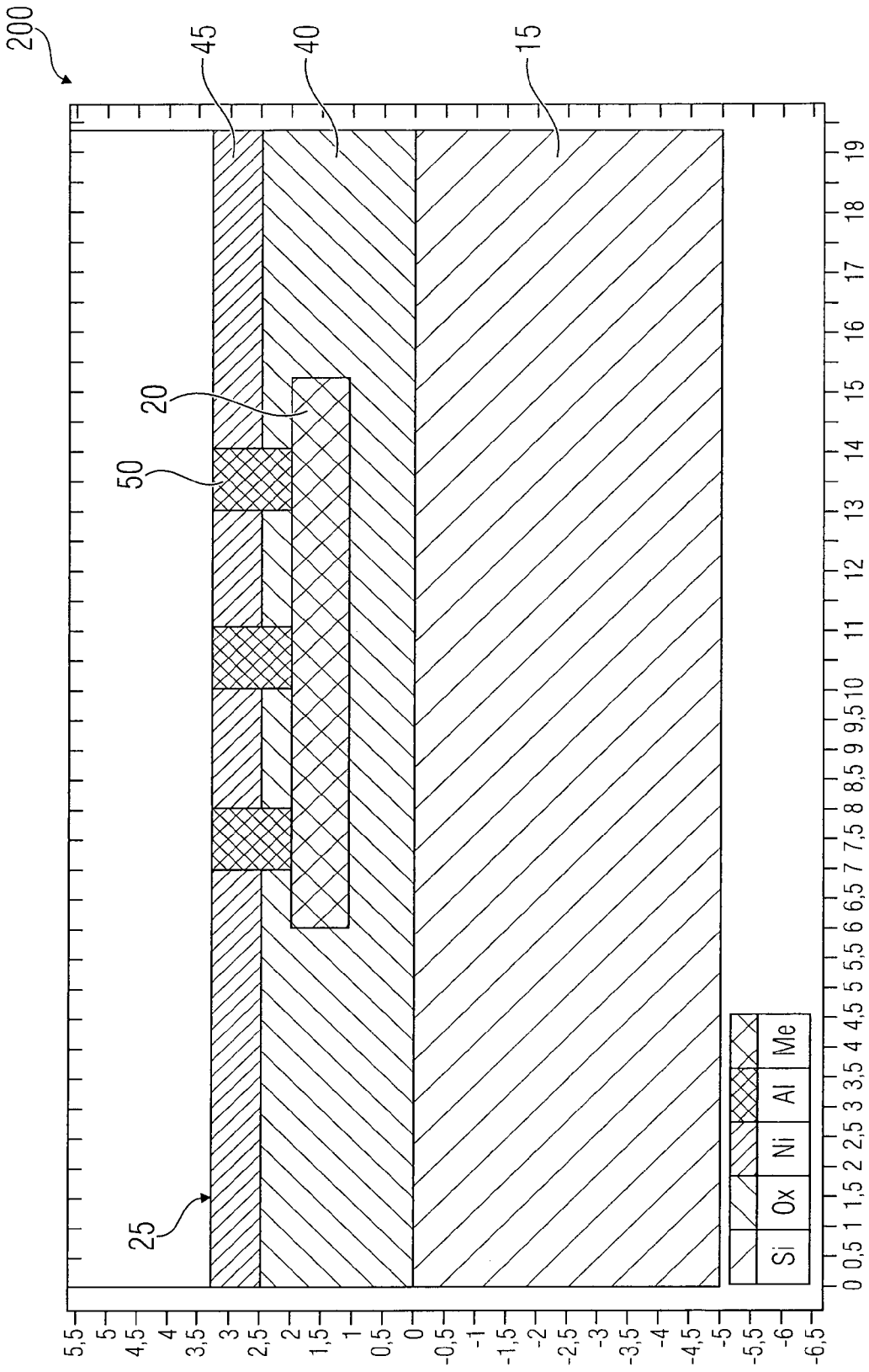


FIG 2A

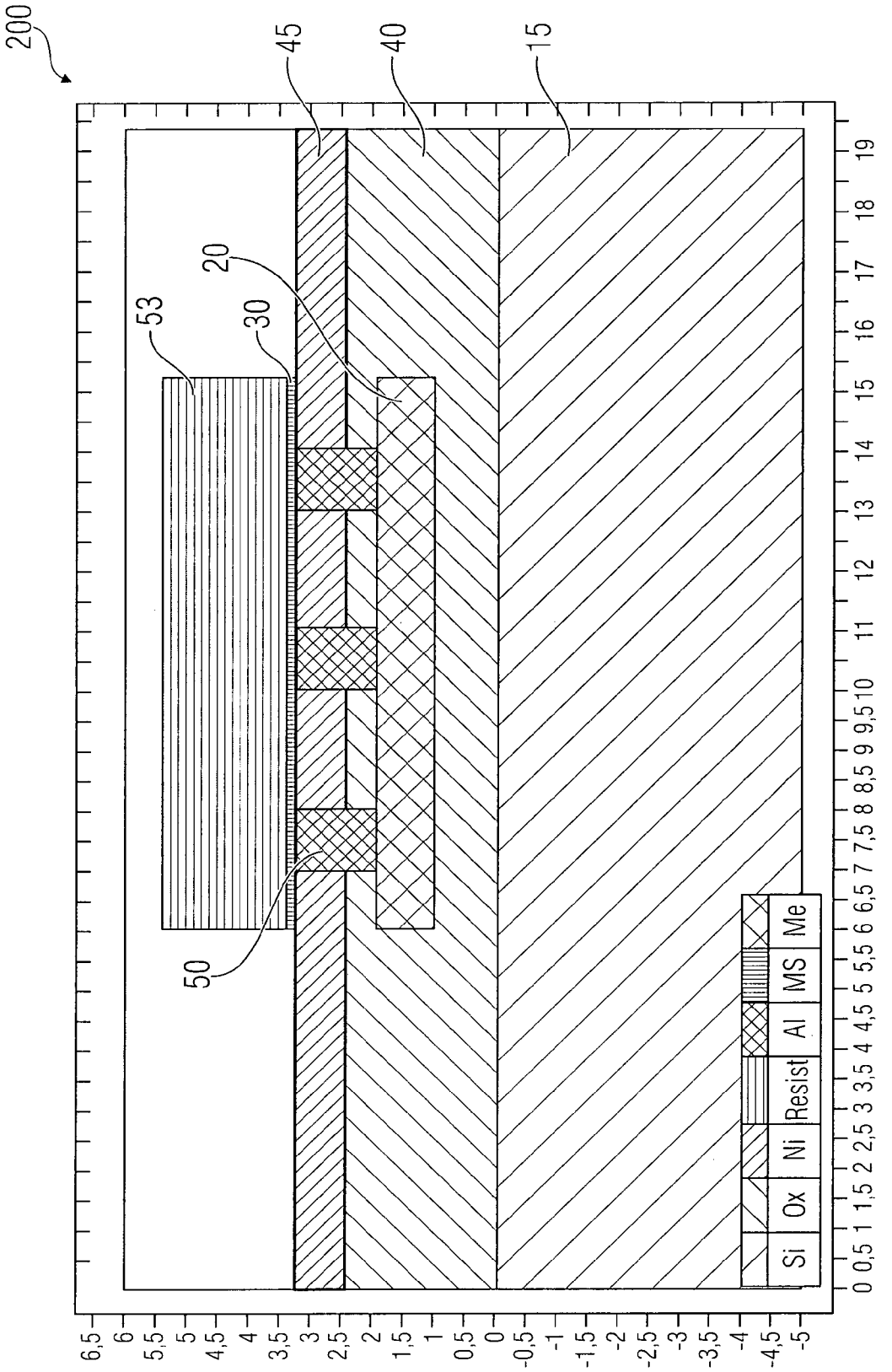


FIG 2B

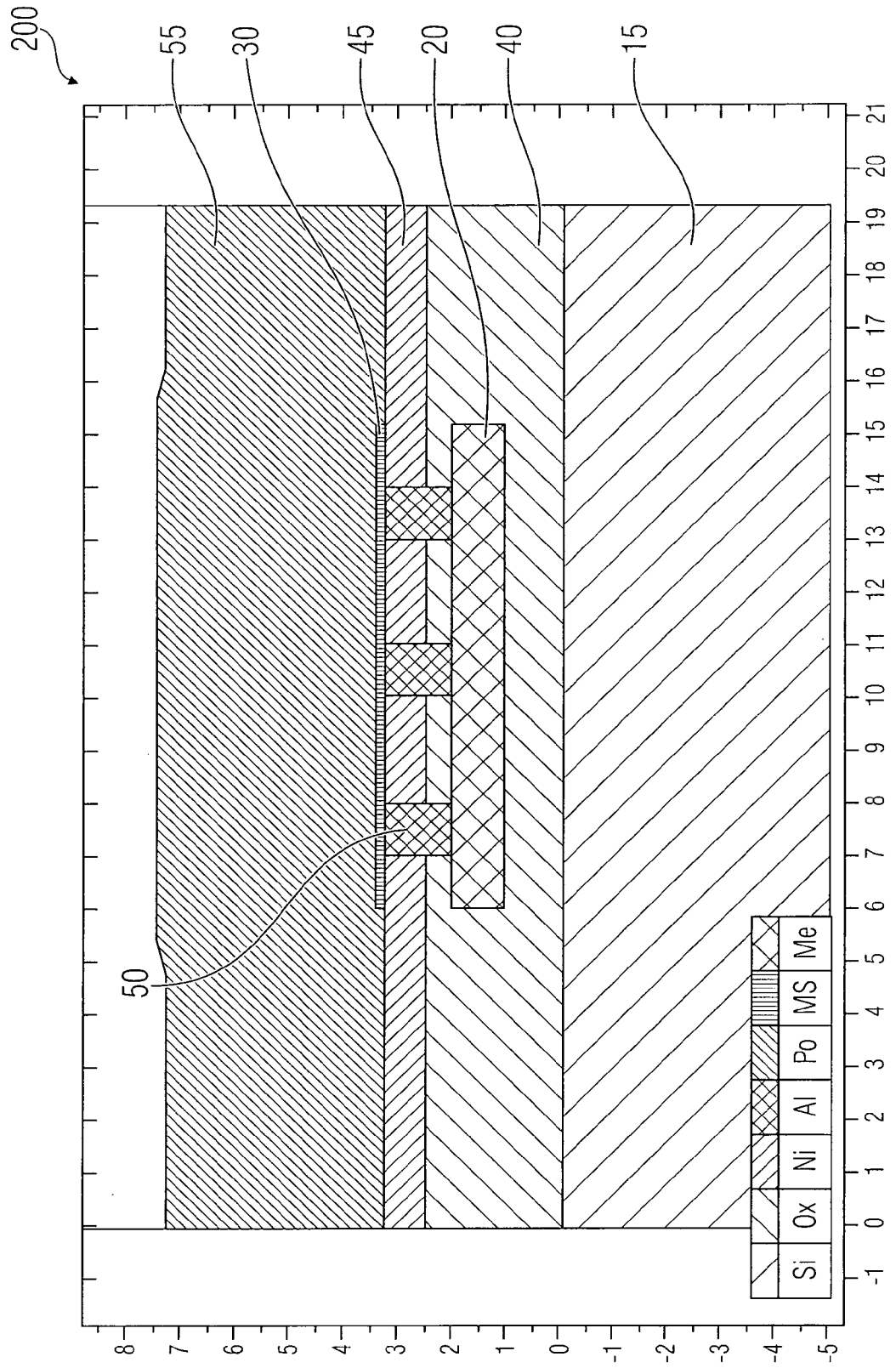


FIG 2C

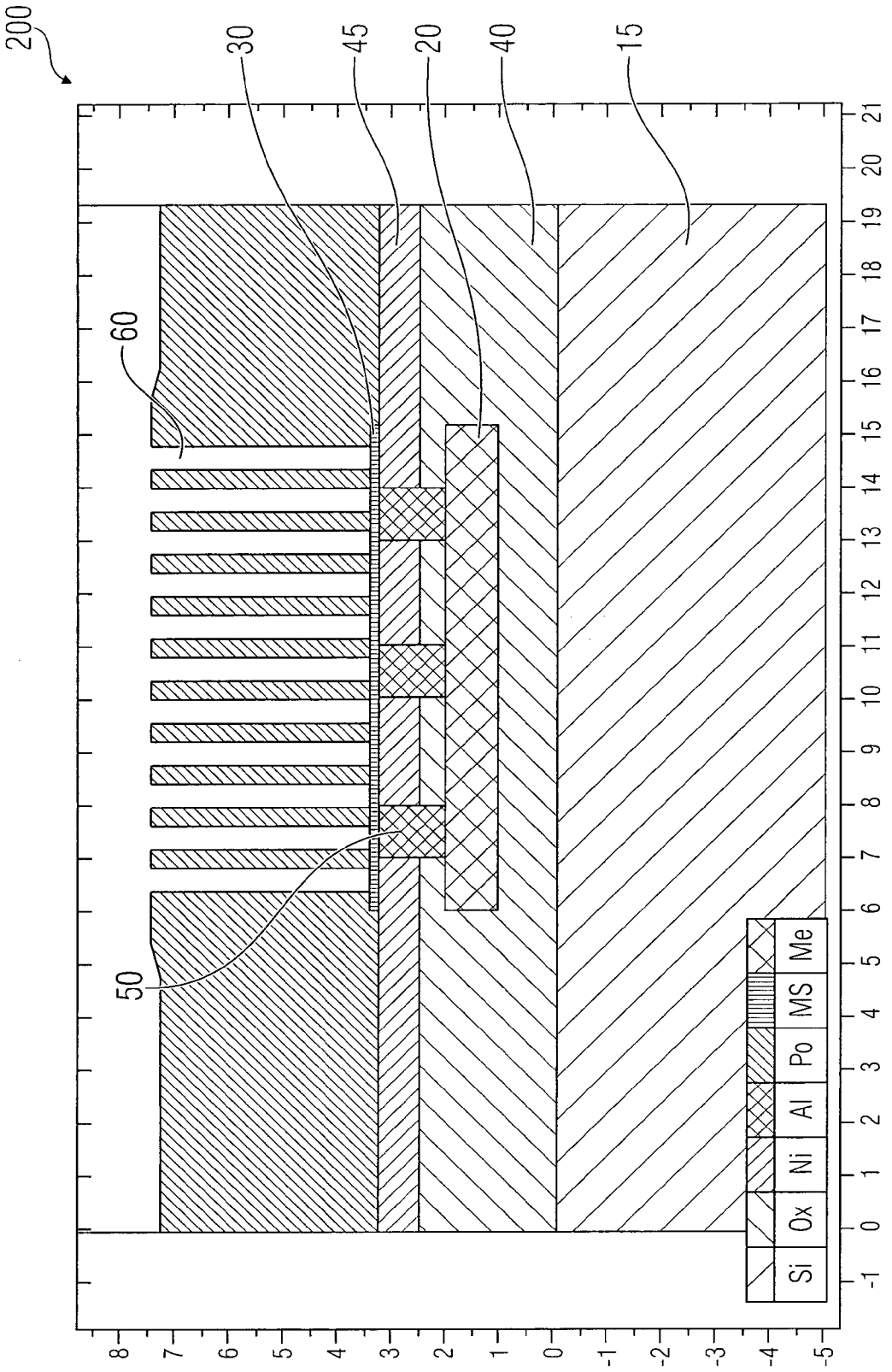


FIG 2D

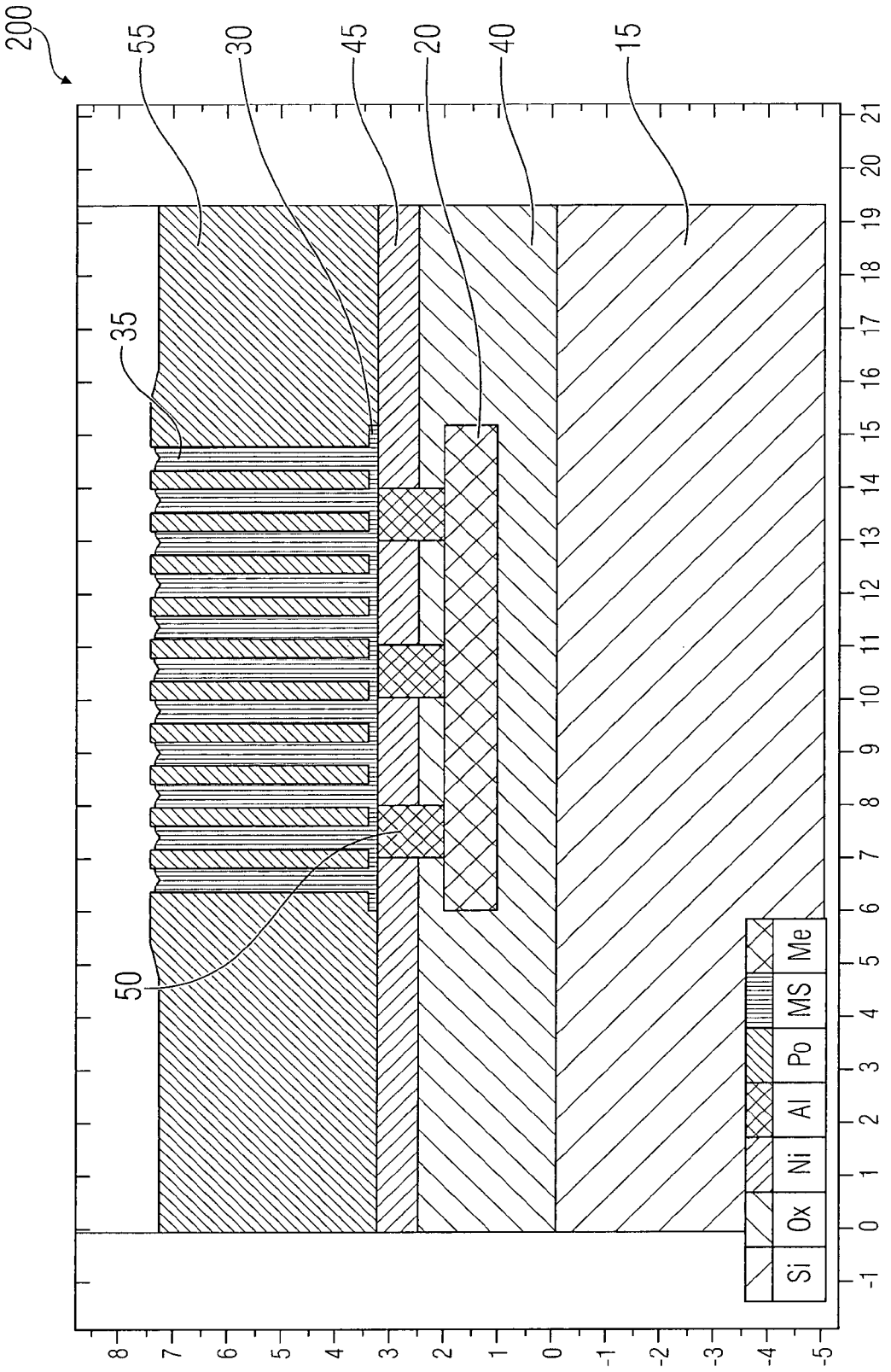


FIG 2E

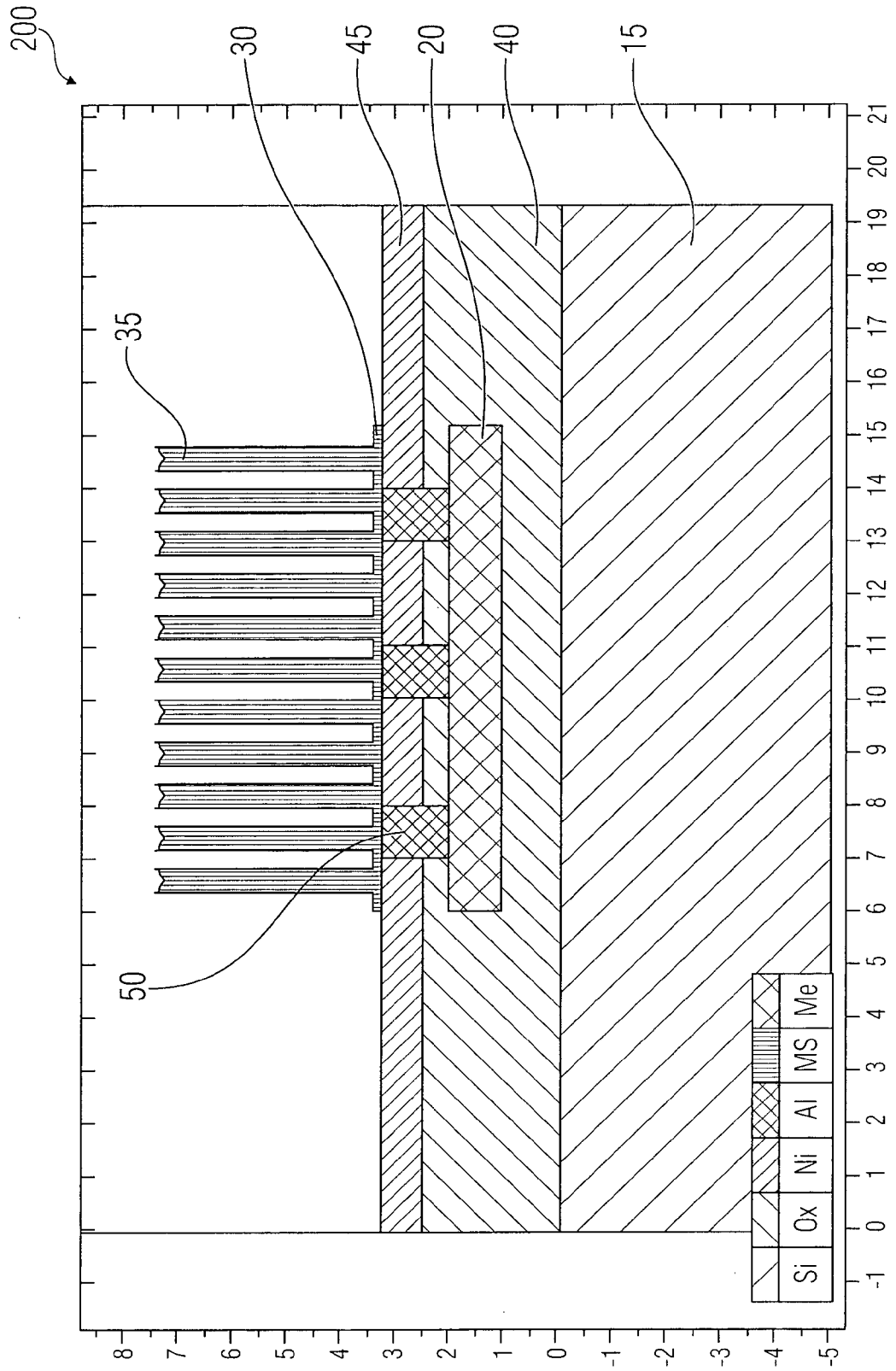


FIG 2F

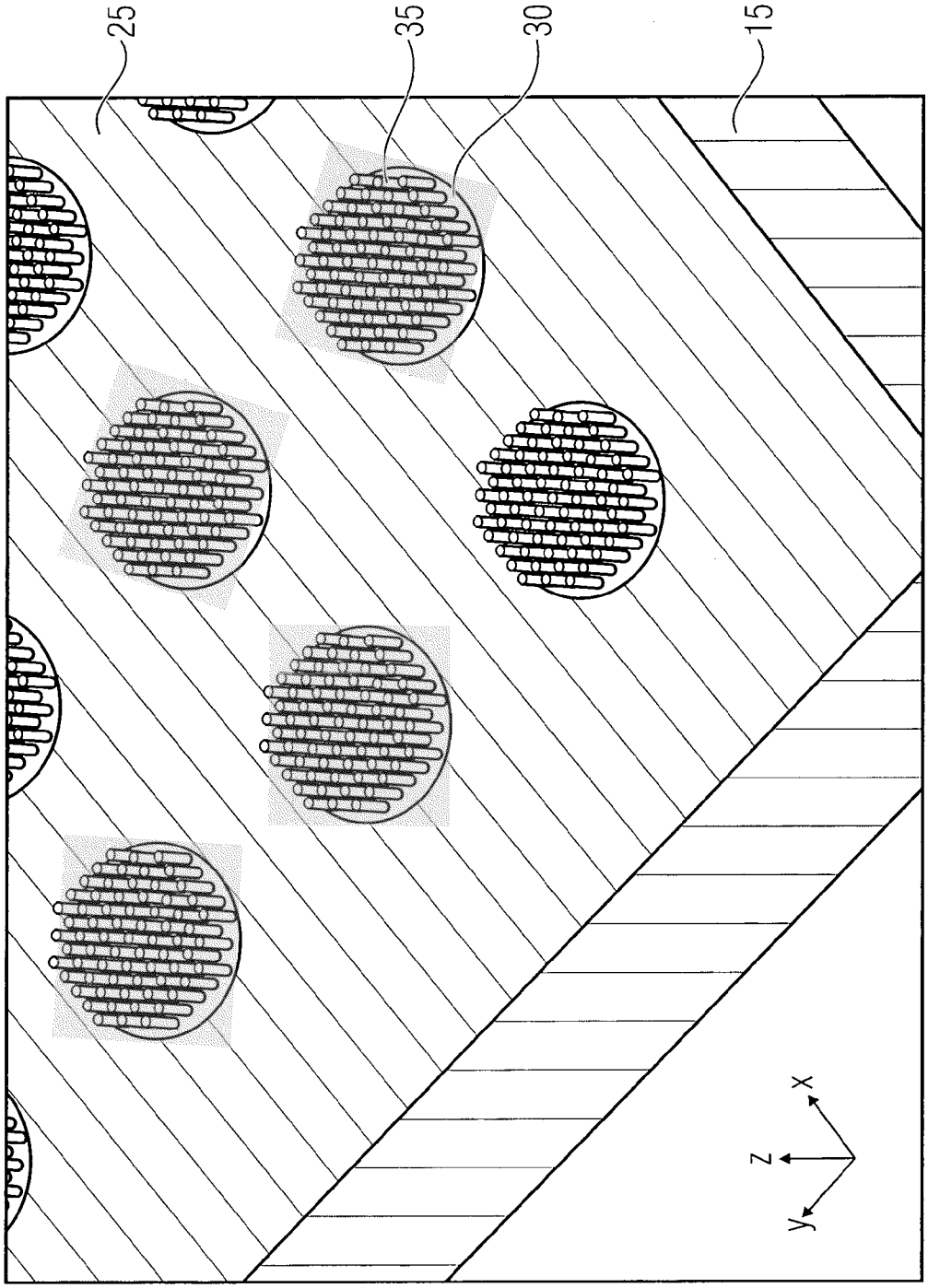


FIG 3A

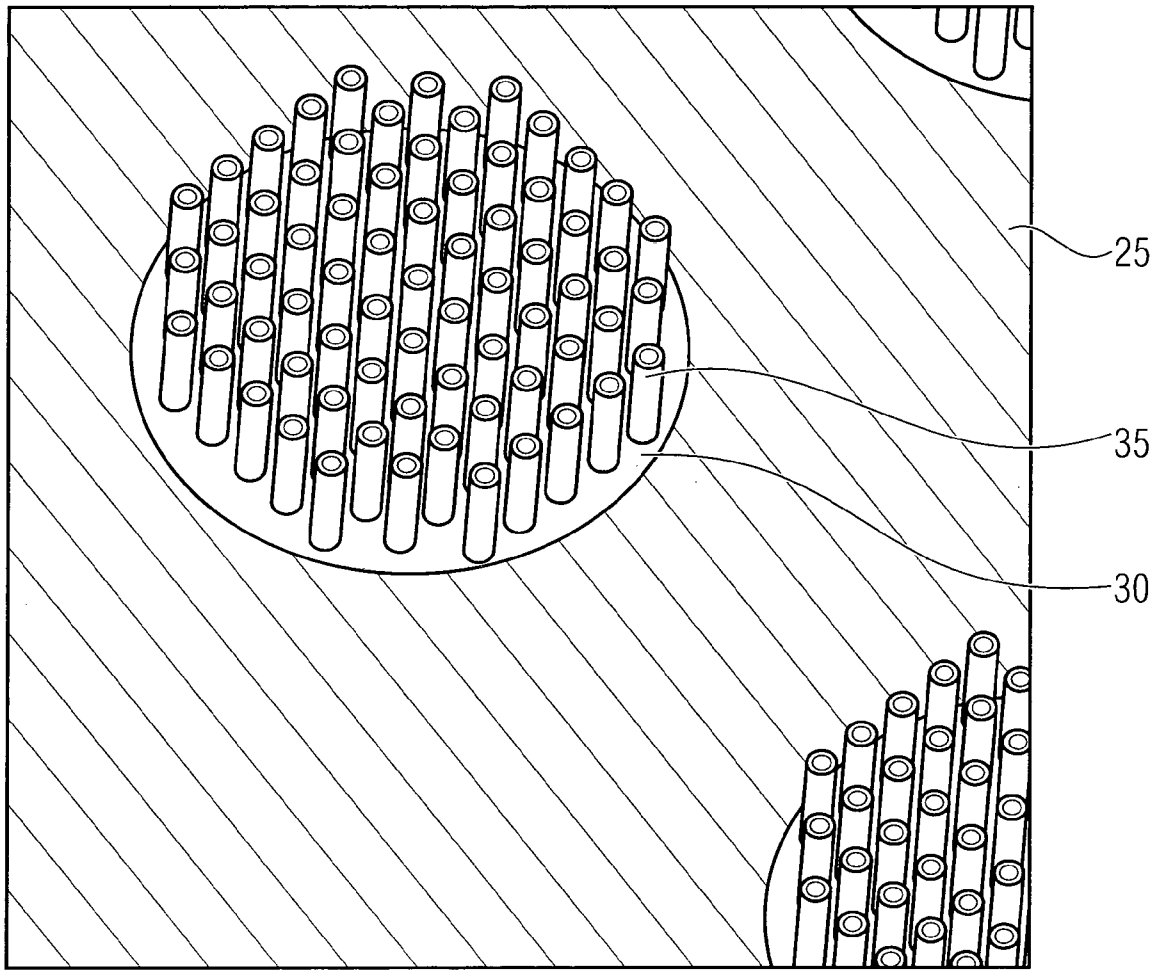


FIG 3B

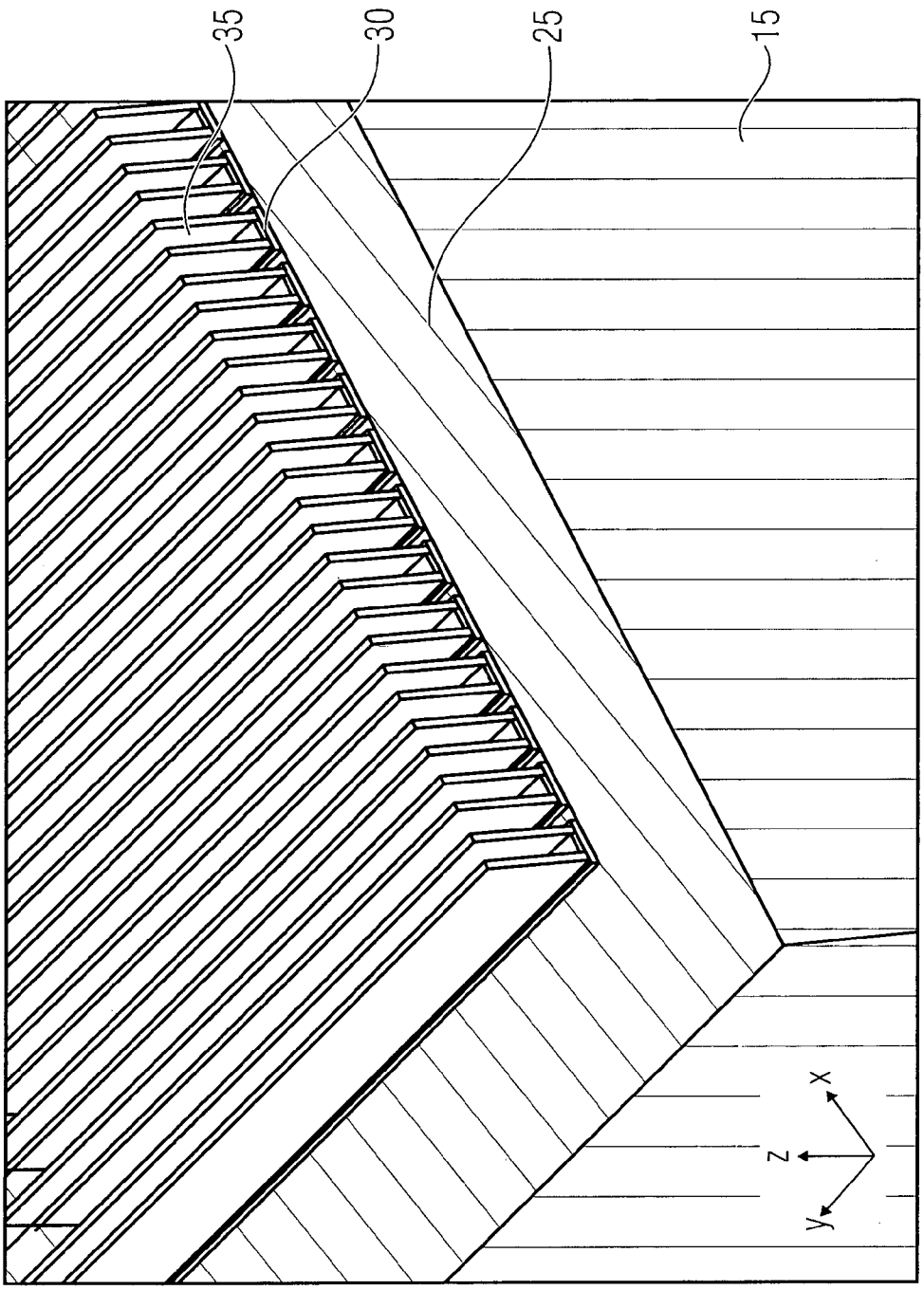


FIG 3C

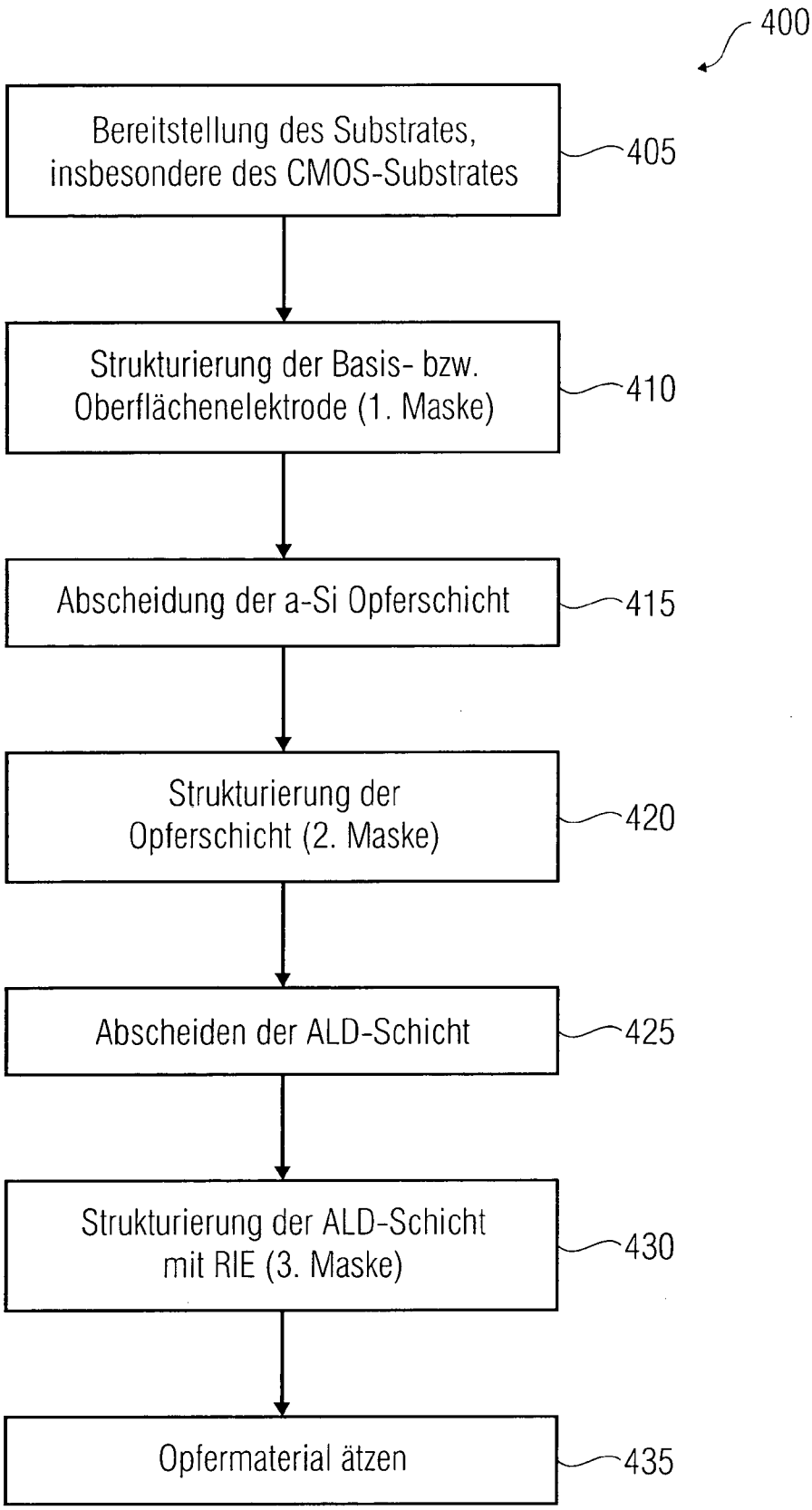

400
Bereitstellung des Substrates, insbesondere des CMOS-Substrates
405
Strukturierung der Basis- bzw. Oberflächenelektrode (1. Maske)
410
Abscheidung der a-Si Opferschicht
415
Strukturierung der Opferschicht (2. Maske)
420
Abscheiden der ALD-Schicht
425
Strukturierung der ALD-Schicht mit RIE (3. Maske)
430
Opfermaterial ätzen
435

FIG 4

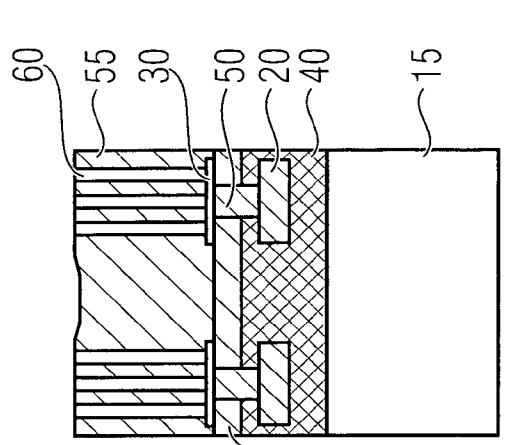


FIG 5C

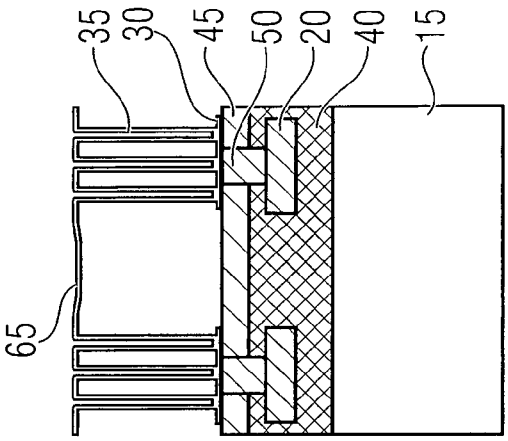


FIG 5F

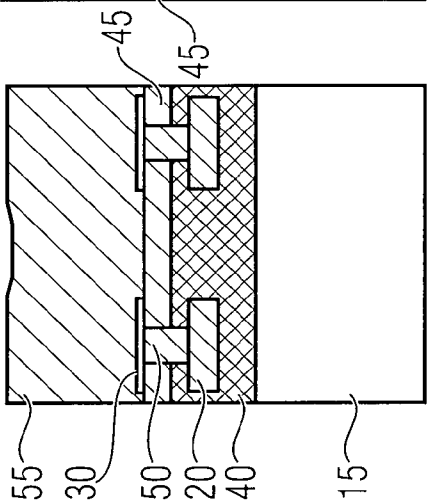


FIG 5B

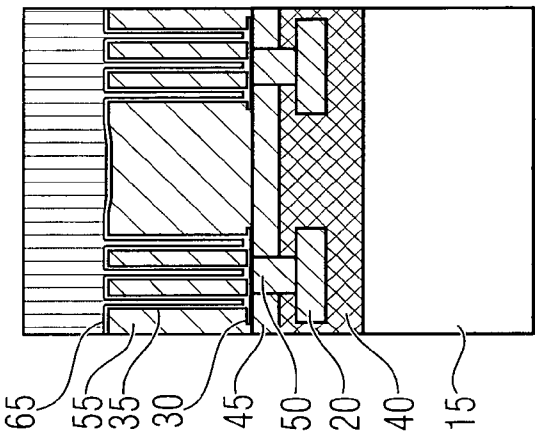


FIG 5E

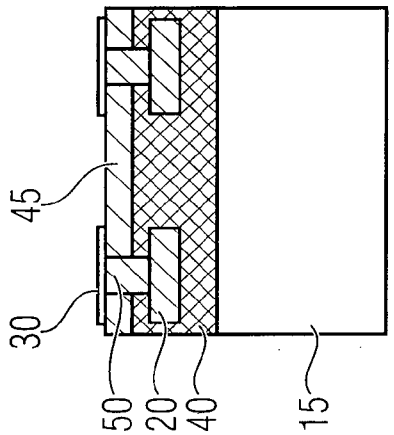


FIG 5A

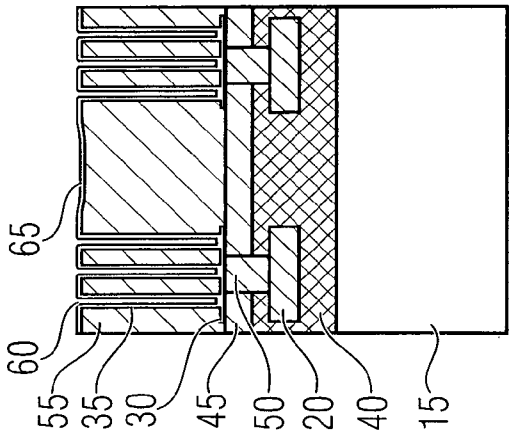


FIG 5D

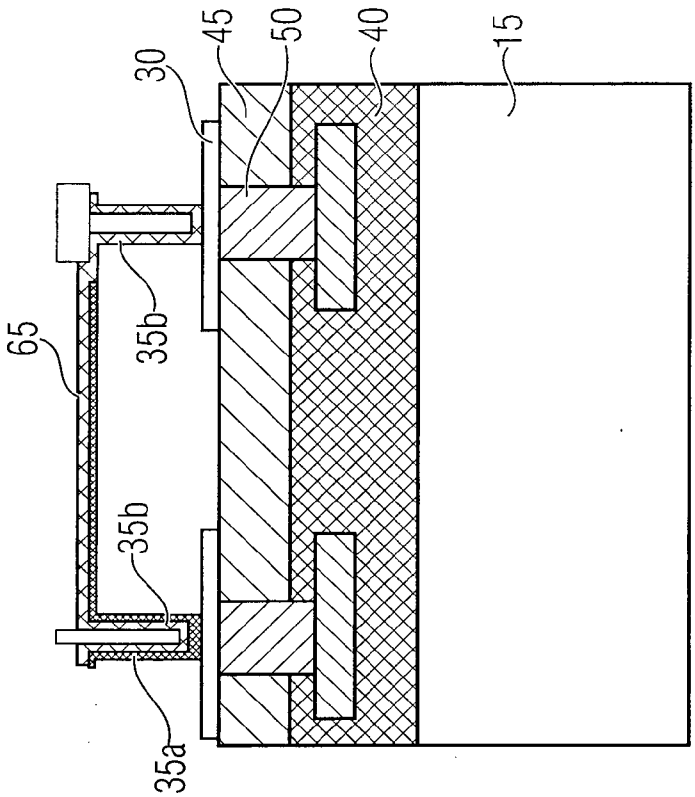


FIG 6B

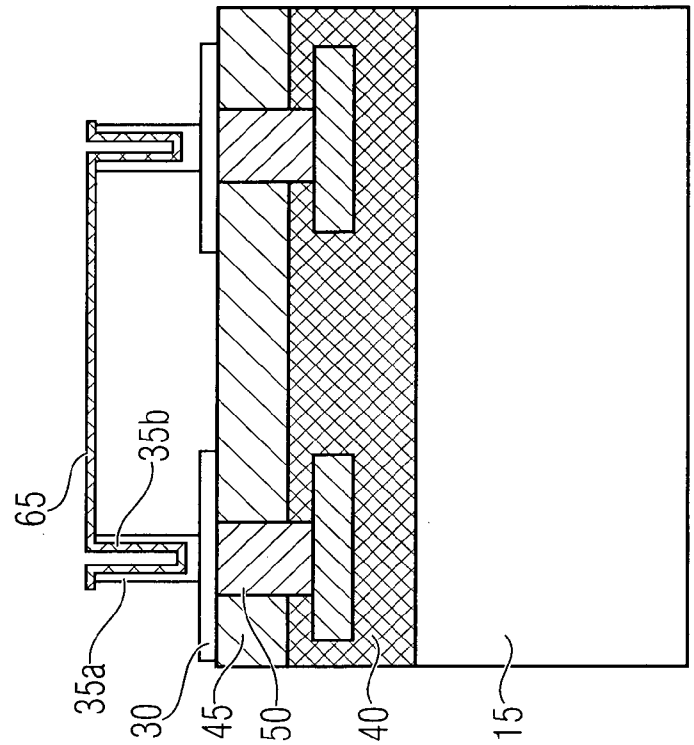


FIG 6A

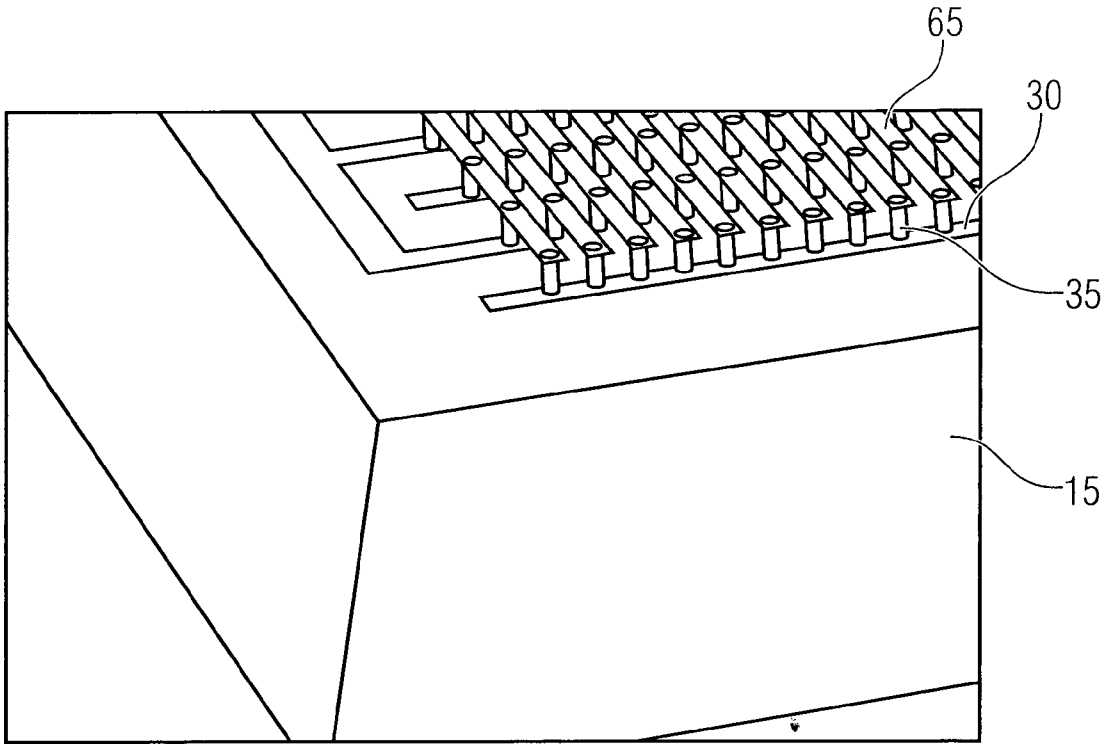


FIG 7A

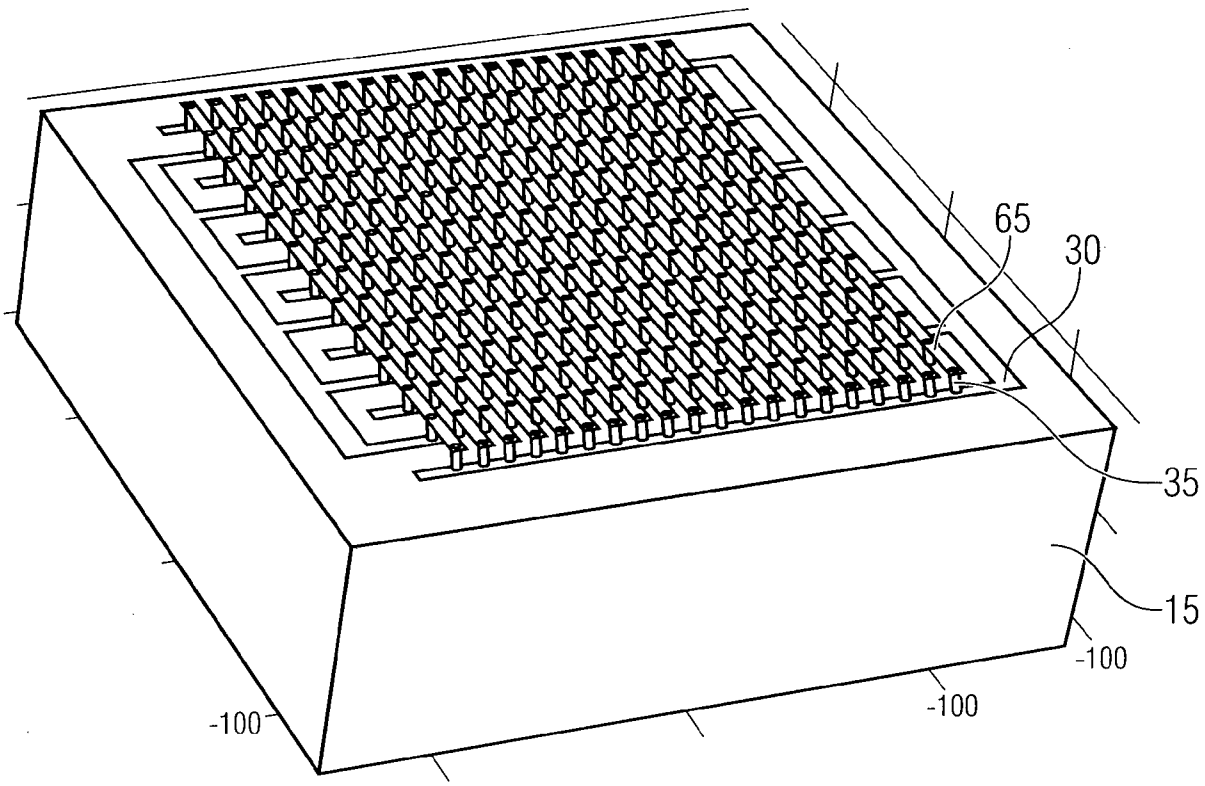


FIG 7B

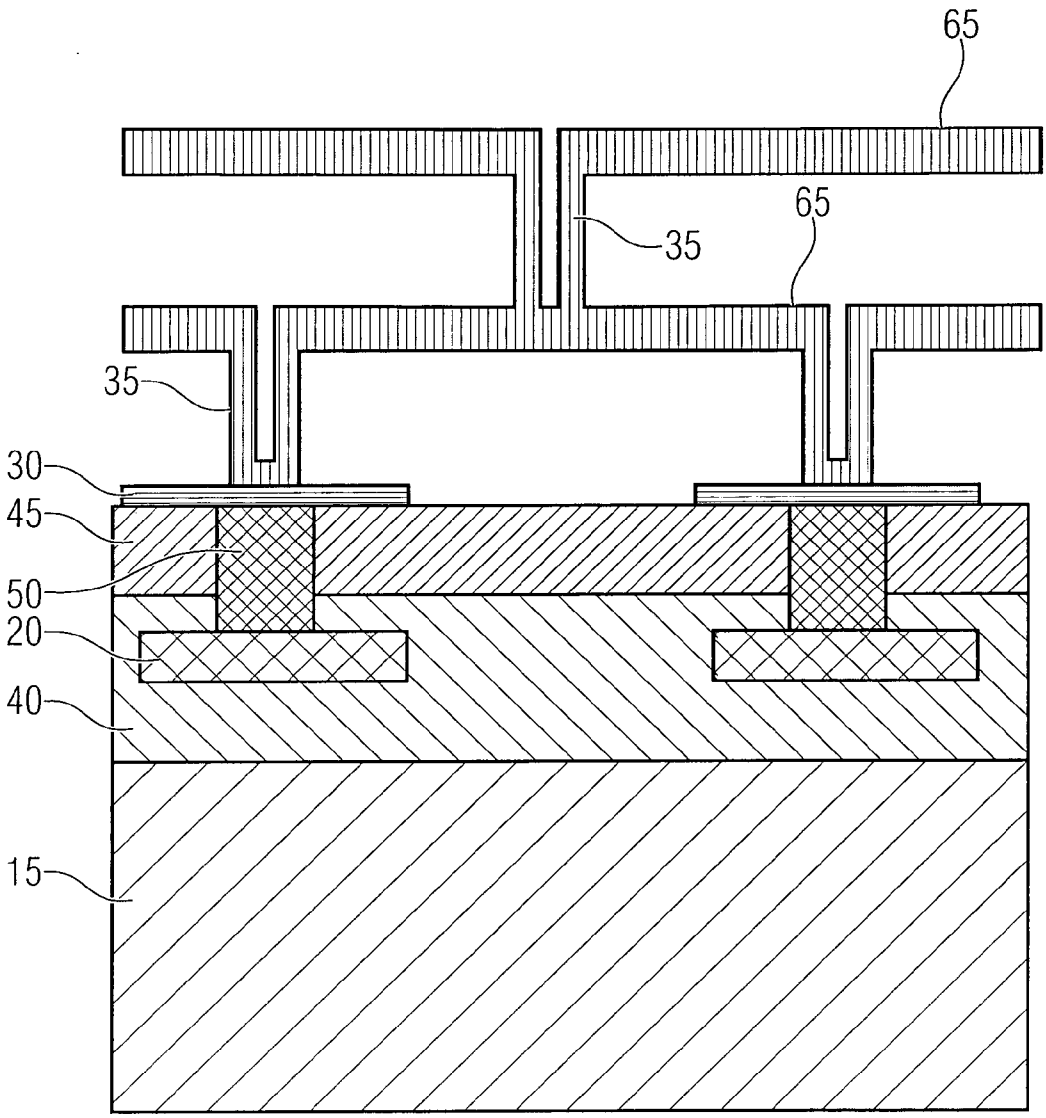


FIG 8

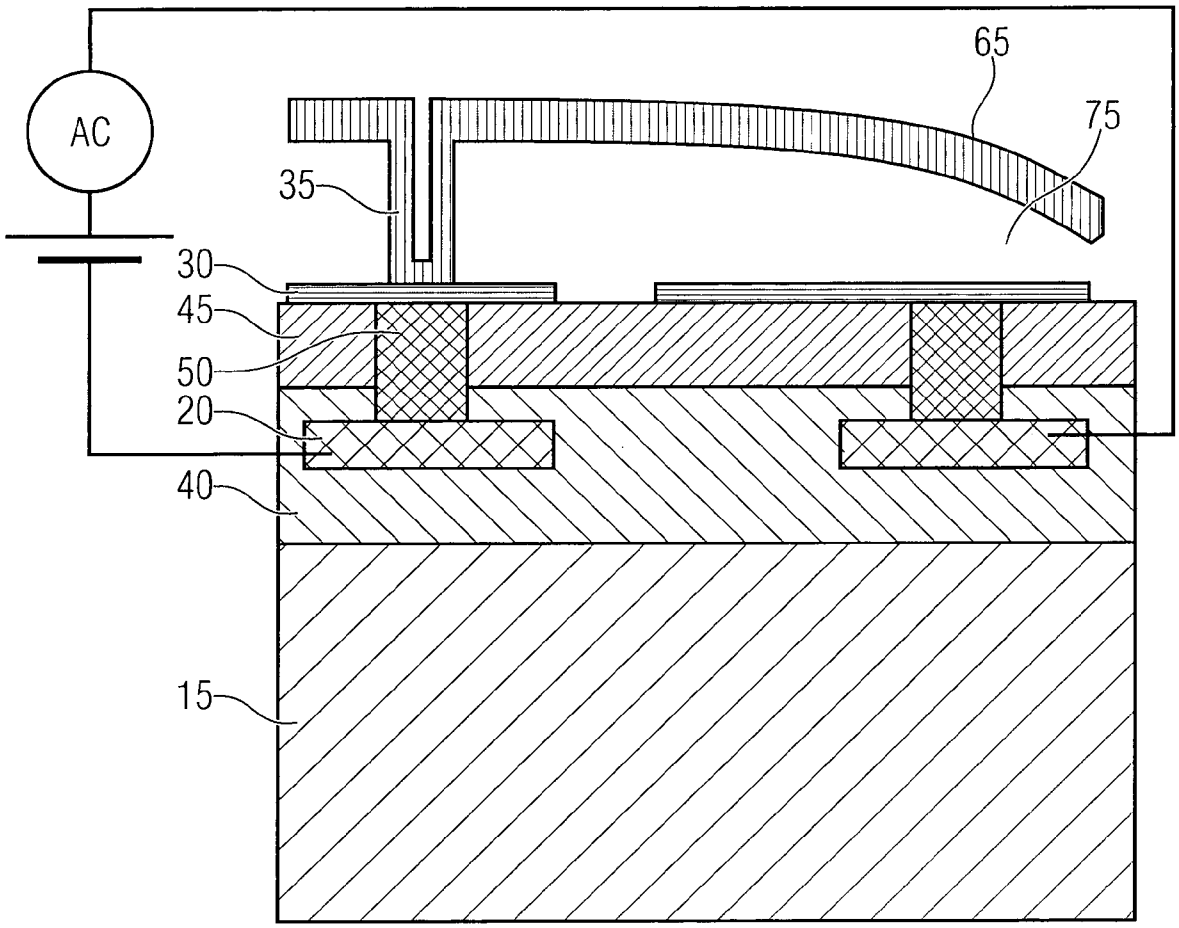


FIG 9

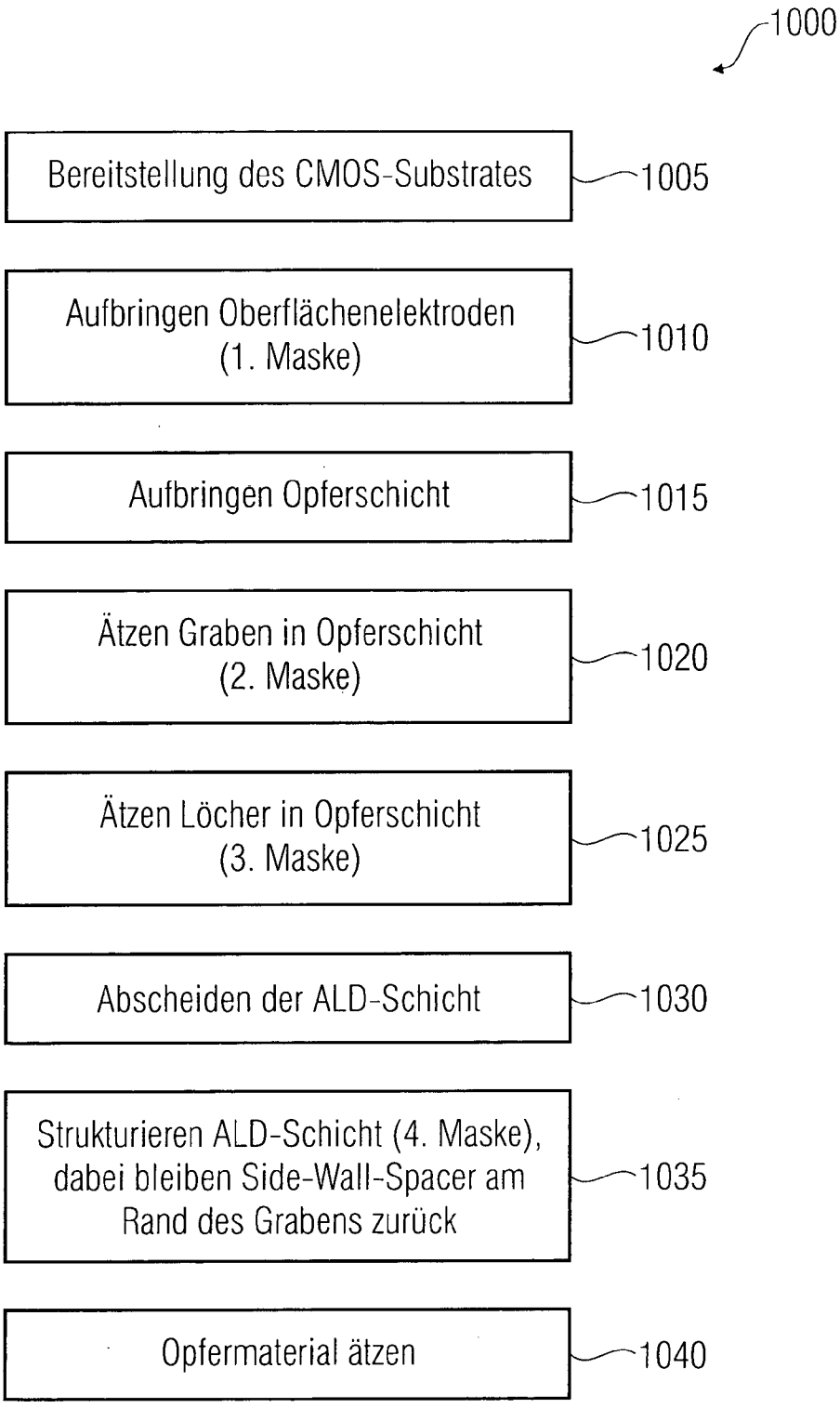

1000
Bereitstellung des CMOS-Substrates
1005
Aufbringen Oberflächenelektroden (1. Maske)
1010
Aufbringen Opferschicht
1015
Ätzen Graben in Opferschicht (2. Maske)
1020
Ätzen Löcher in Opferschicht (3. Maske)
1025
Abscheiden der ALD-Schicht
1030
Strukturieren ALD-Schicht (4. Maske), dabei bleiben Side-Wall-Spacer am Rand des Grabens zurück
1035
Opfermaterial ätzen
1040

FIG 10

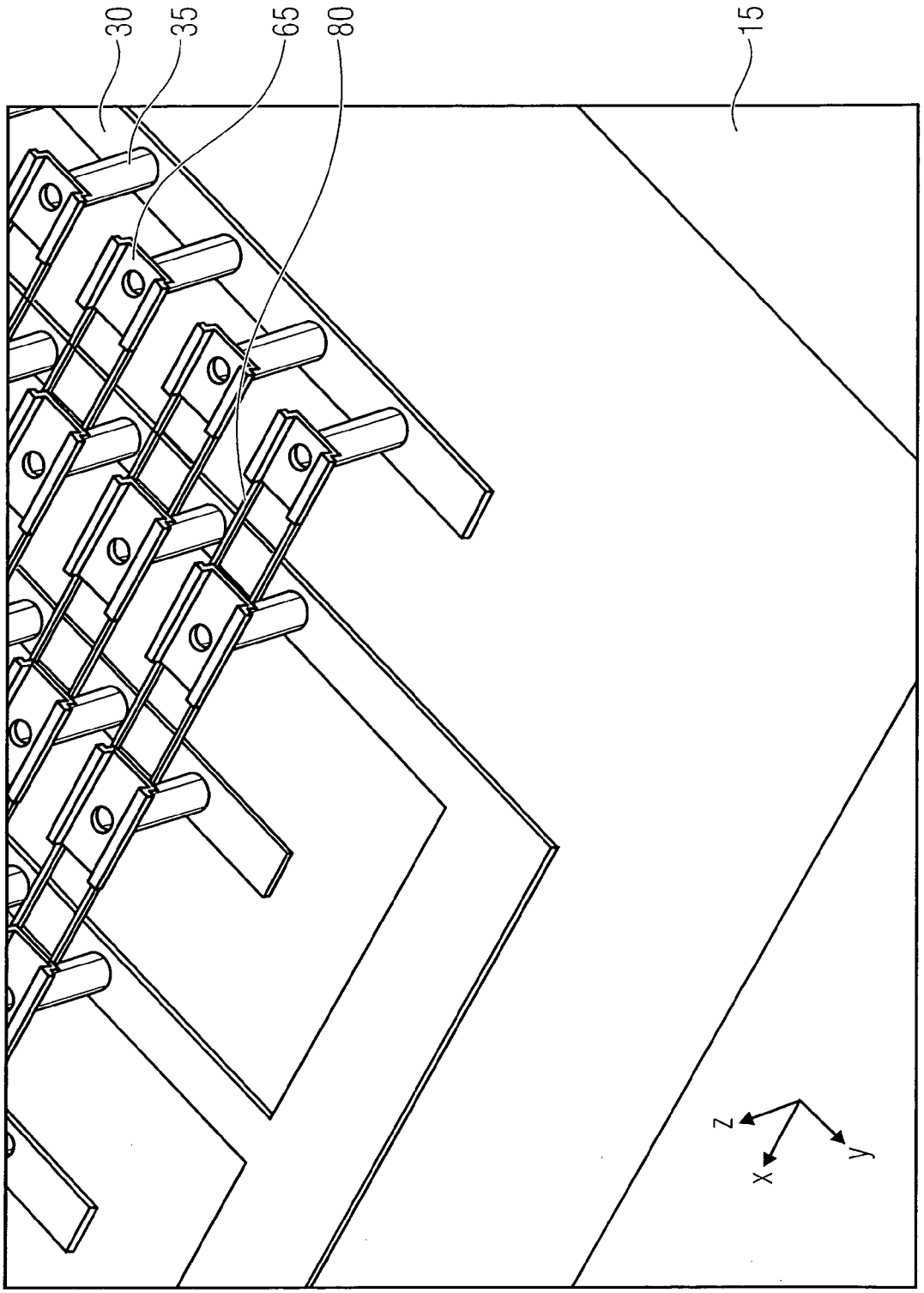


FIG 11

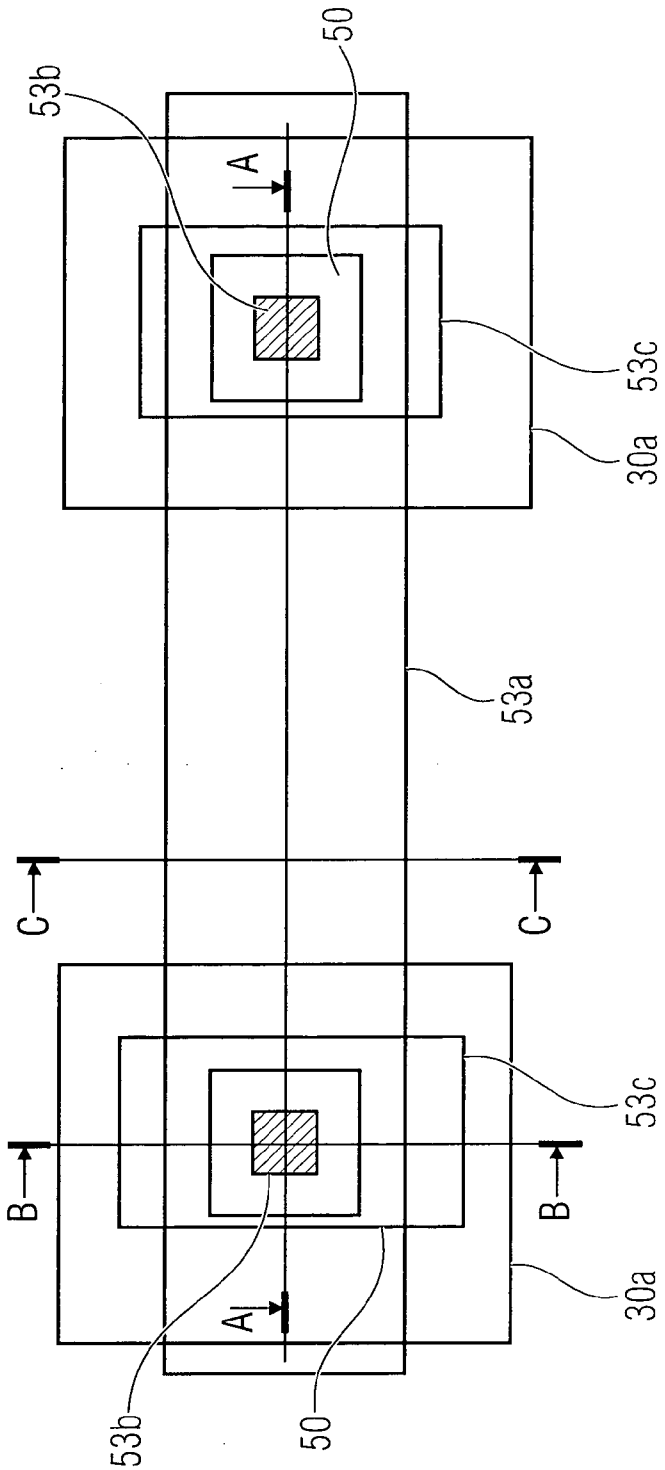


FIG 12A

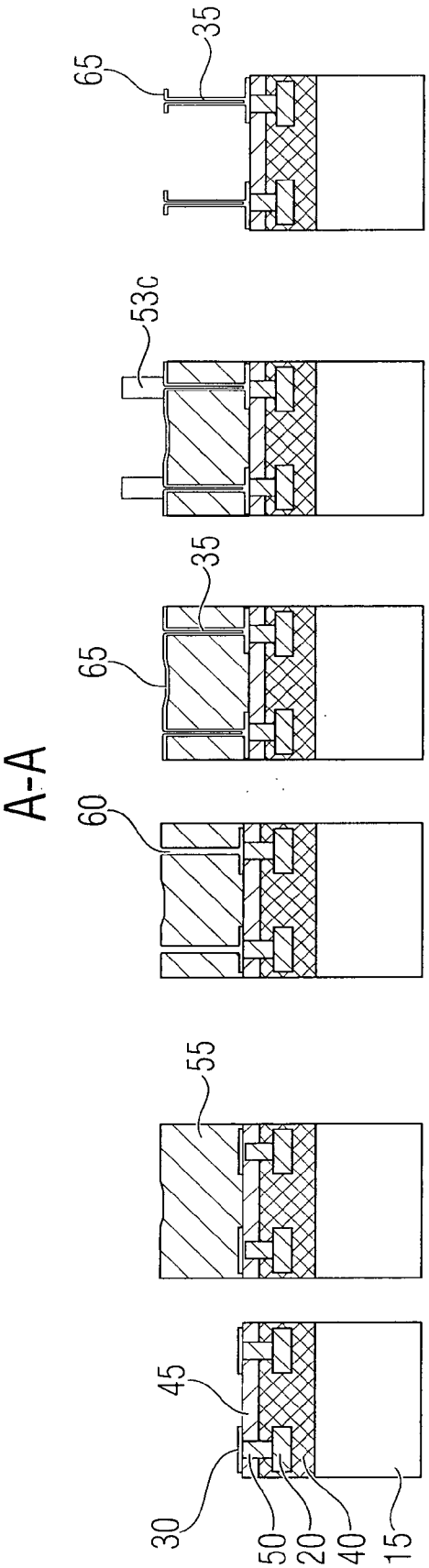


FIG 12B

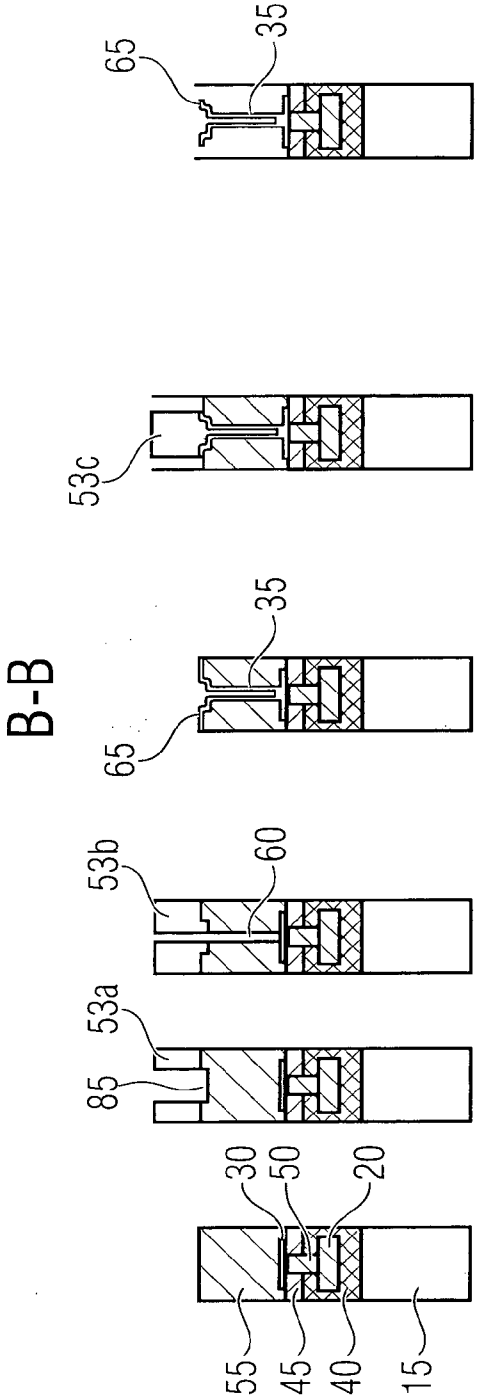


FIG 12C

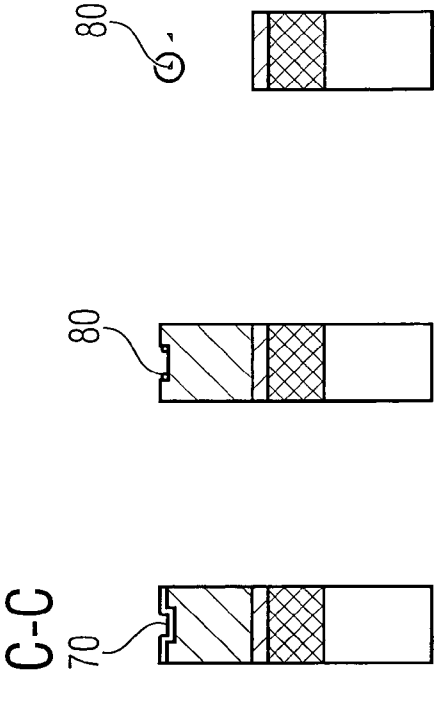


FIG 12D

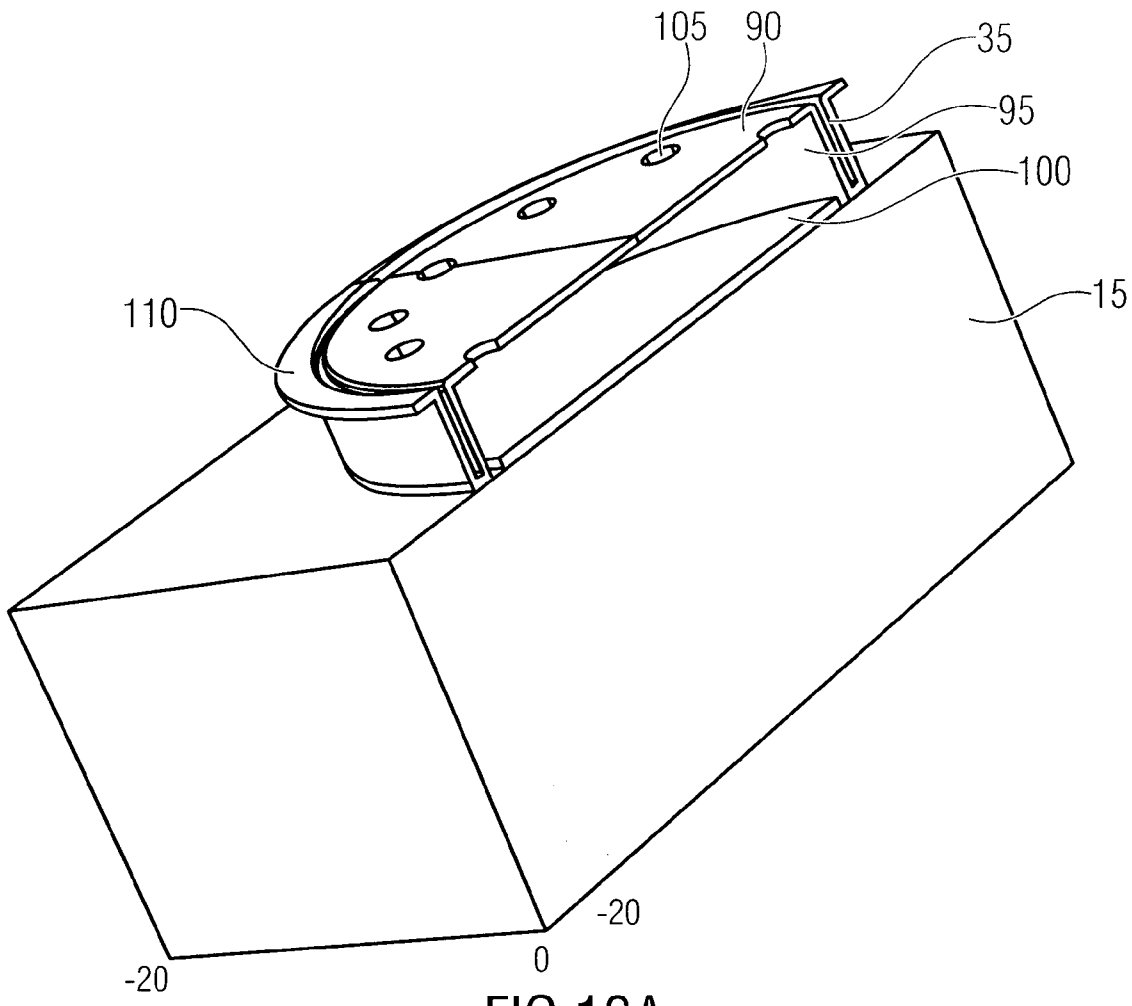


FIG 13A

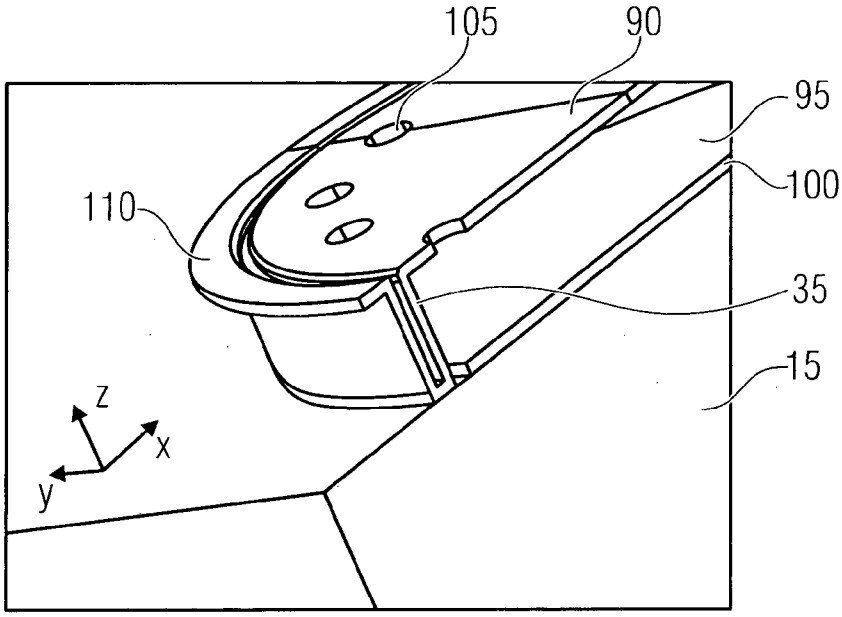


FIG 13B

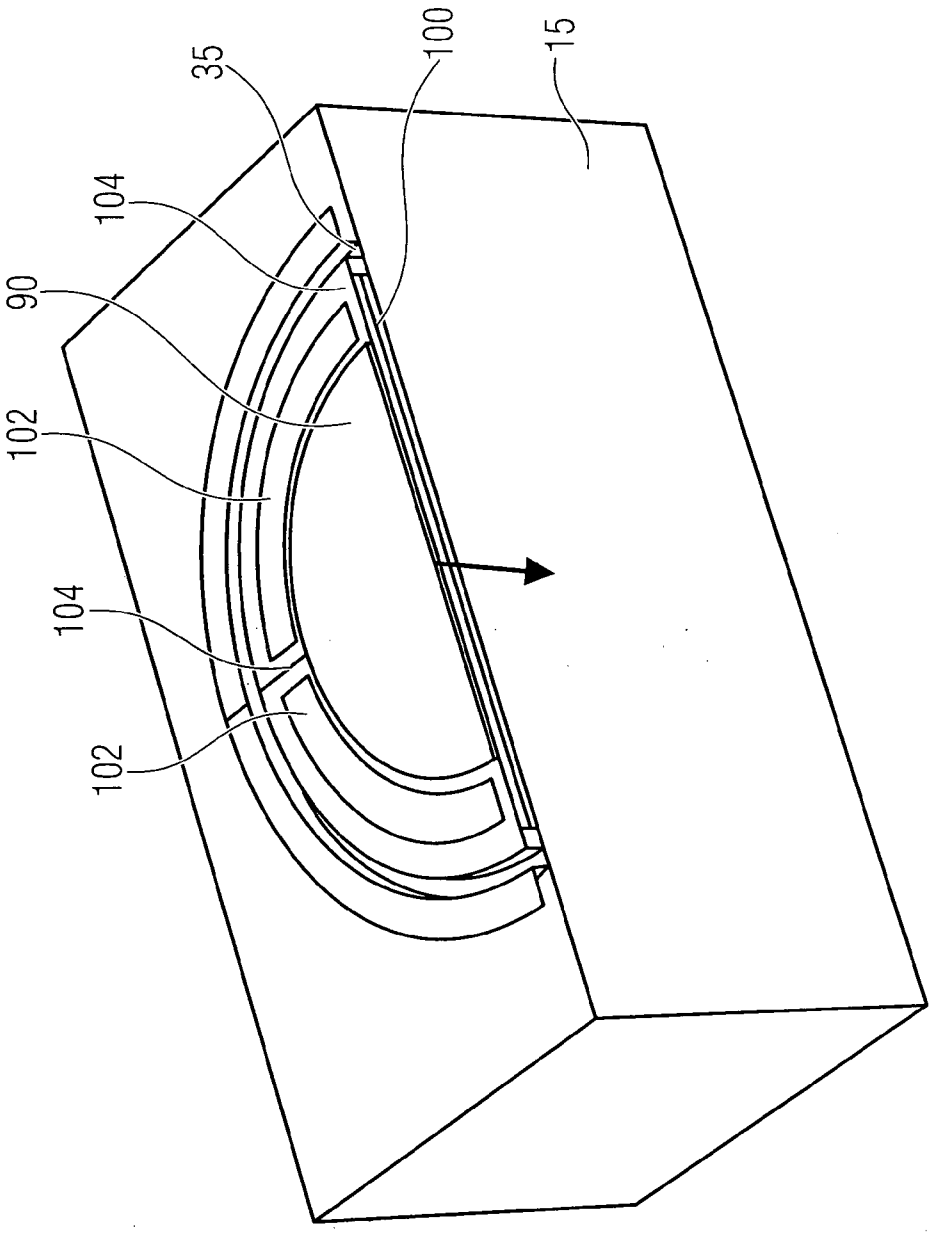


FIG 13C

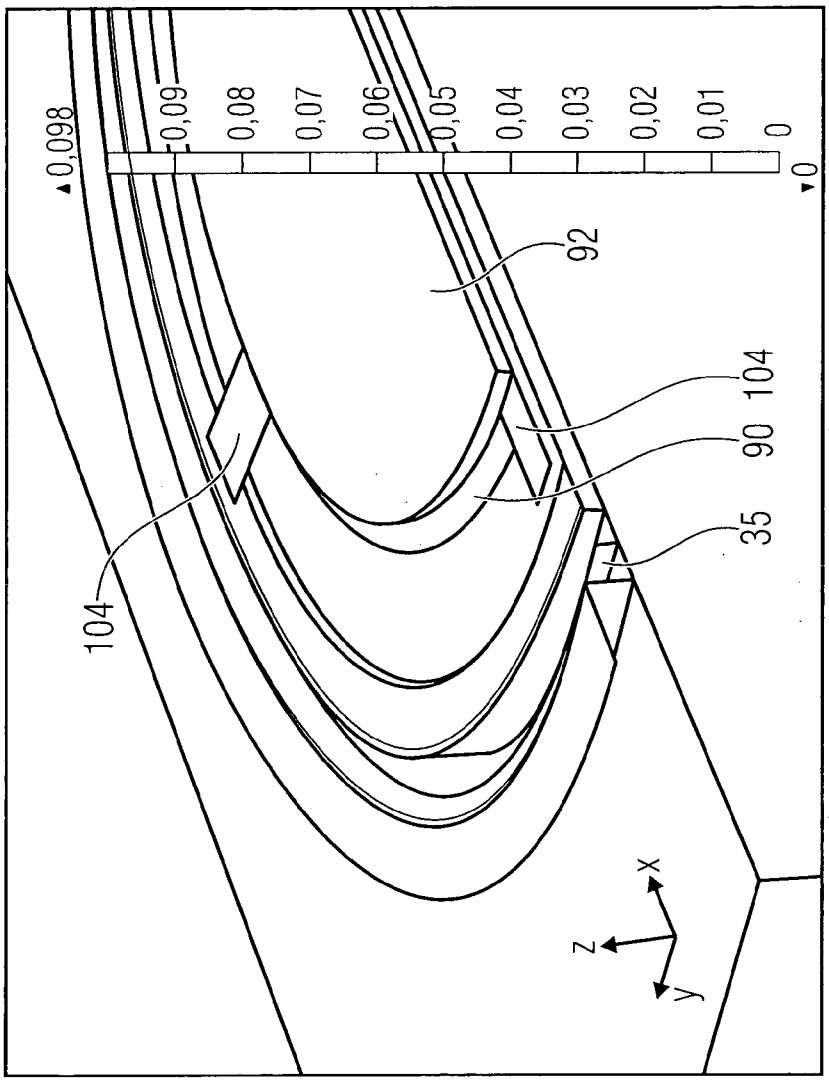


FIG 13D

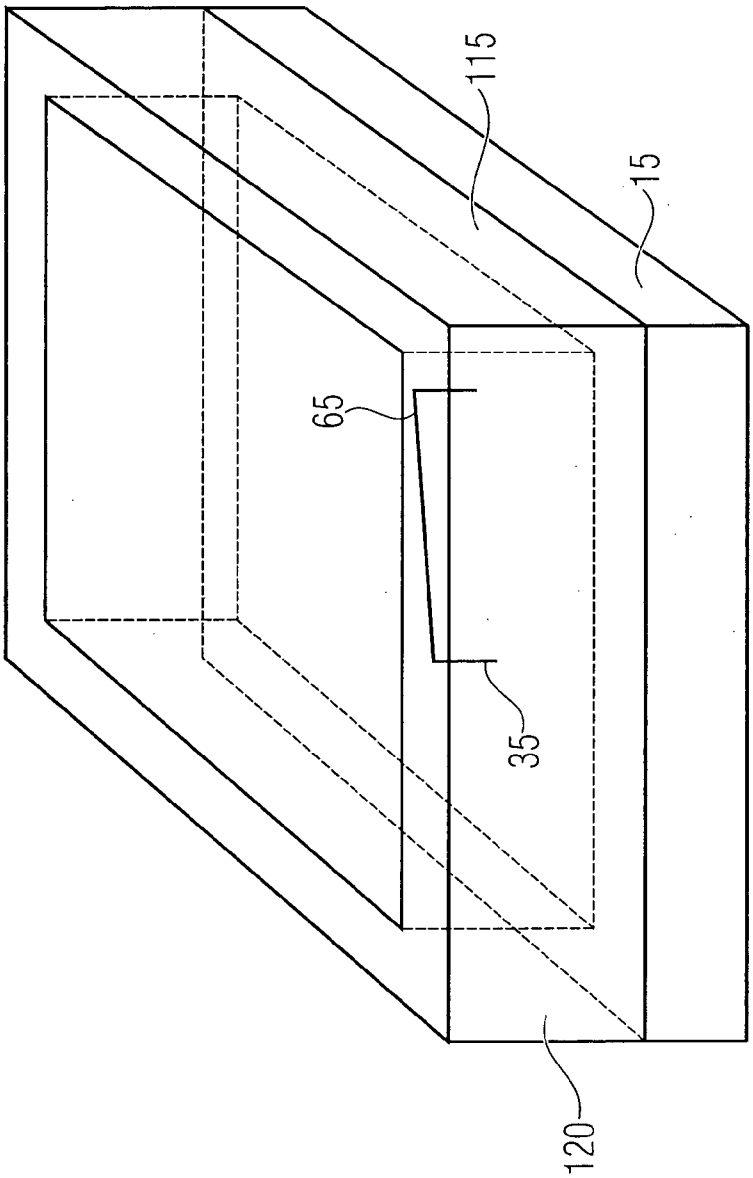


FIG 14

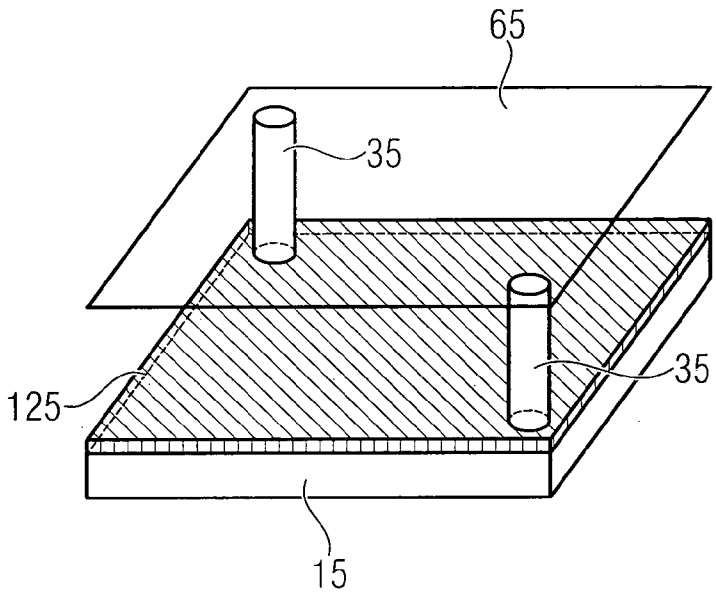


FIG 15

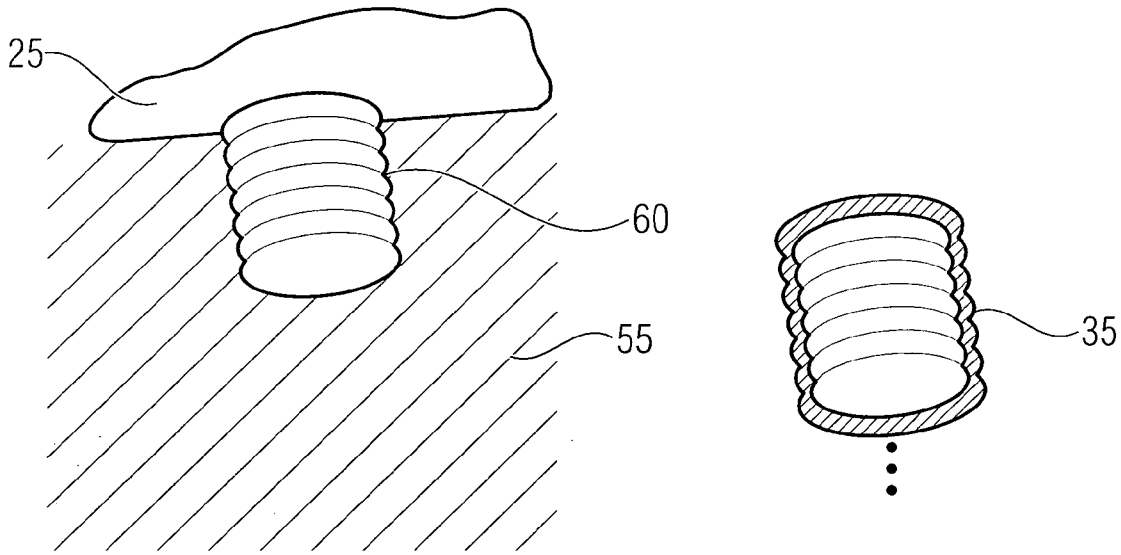


FIG 16

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/065629

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/768 H01L23/482 H01L21/3205 H01L23/525 H01L23/00
B81B3/00 B81B7/00
ADD.
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L B81B B81C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2012/319528 A1 (JAHNES CHRISTOPHER V [US] ET AL) 20 December 2012 (2012-12-20) abstract; claims; figures 2,4,7,8,10 paragraphs [0057], [0065]	1-52
Y	EP 1 452 481 A2 (DALSA SEMICONDUCTOR INC [CA]) 1 September 2004 (2004-09-01) abstract; claims; figures 2,3,5 paragraphs [0117], [0119], [0122], [0126], [0128], [0171] - [0186]	1-52
Y	WO 2009/149213 A2 (QUALCOMM MEMS TECHNOLOGIES INC [US]; WEBSTER JAMES RANDOLPH [US]; TU T) 10 December 2009 (2009-12-10) abstract; claims; figures	20,37

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 September 2015	09/10/2015

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Wirner, Christoph

Form PCT/ISA/210 (second sheet) (April 2005)

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	H.W. RA; KWANG-SUNG CHOI; J-H.KIM; Y-B HAHN; Y.H.IM: "Fabrication of ZnO Nanowires Using Nanoscale Spacer Lithography for Gas Sensors", SMALL, vol. 4, no. 8, 2008, pages 1105-1109, XP002744622, cited in the application abstract	6,25
A	JER-LIANG ANDREW YEH ET AL: "Integrated Polysilicon and DRIE Bulk Silicon Micromachining for an Electrostatic Torsional Actuator", JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, IEEE SERVICE CENTER, US, vol. 8, no. 4, 1 December 1999 (1999-12-01), XP011034886, ISSN: 1057-7157 abstract; figures	1-52
A	CHEN-KUEI CHUNG ET AL: "Fabrication and characterization of amorphous Si films by PECVD for MEMS; Fabrication and characterization of amorphous Si films by PECVD for MEMS", JOURNAL OF MICROMECHANICS & MICROENGINEERING, INSTITUTE OF PHYSICS PUBLISHING, BRISTOL, GB, vol. 15, no. 1, 1 January 2005 (2005-01-01), pages 136-142, XP020091350, ISSN: 0960-1317, DOI: 10.1088/0960-1317/15/1/021 abstract; figures	1-52
A	LEE S C ET AL: "Honeycomb-shaped deep-trench oxide posts combined with the SBM technology for micromachining single-crystal silicon without using SOI", SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, vol. 97-98, 1 April 2002 (2002-04-01), pages 734-738, XP004361675, ISSN: 0924-4247, DOI: 10.1016/S0924-4247(02)00013-4 abstract; figures	1-52
A	US 2014/065785 A1 (YOON JUNHO [KR] ET AL) 6 March 2014 (2014-03-06) abstract; figures	1-52
A	WO 2007/052039 A1 (CAVENDISH KINETICS LTD) 10 May 2007 (2007-05-10) abstract; claims; figures	1-52

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2015/065629

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012319528 A1	20-12-2012	CN 103917481 A	09-07-2014
		DE 112012001816 T5	30-01-2014
		GB 2505600 A	05-03-2014
		US 2012319528 A1	20-12-2012
		US 2014231936 A1	21-08-2014
		WO 2012177304 A2	27-12-2012
EP 1452481 A2	01-09-2004	DE 602004010729 T2	04-12-2008
		EP 1452481 A2	01-09-2004
		US 2004157426 A1	12-08-2004
		US 2006166403 A1	27-07-2006
WO 2009149213 A2	10-12-2009	CN 102046516 A	04-05-2011
		EP 2297026 A2	23-03-2011
		JP 2011525861 A	29-09-2011
		KR 20110014709 A	11-02-2011
		US 2009305010 A1	10-12-2009
		US 2011051224 A1	03-03-2011
		WO 2009149213 A2	10-12-2009
US 2014065785 A1	06-03-2014	CN 103681676 A	26-03-2014
		JP 2014049765 A	17-03-2014
		KR 20140028562 A	10-03-2014
		US 2014065785 A1	06-03-2014
WO 2007052039 A1	10-05-2007	CN 101277897 A	01-10-2008
		EP 1943184 A1	16-07-2008
		JP 2009515282 A	09-04-2009
		US 2010038731 A1	18-02-2010
		WO 2007052039 A1	10-05-2007

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2015/065629

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L21/768 H01L23/482 H01L21/3205 H01L23/525 H01L23/00
B81B3/00 B81B7/00
ADD.
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L B81B B81C

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 2012/319528 A1 (JAHNES CHRISTOPHER V [US] ET AL) 20. Dezember 2012 (2012-12-20) Zusammenfassung; Ansprüche; Abbildungen 2,4,7,8,10 Absätze [0057], [0065]	1-52
Y	EP 1 452 481 A2 (DALSA SEMICONDUCTOR INC [CA]) 1. September 2004 (2004-09-01) Zusammenfassung; Ansprüche; Abbildungen 2,3,5 Absätze [0117], [0119], [0122], [0126], [0128], [0171] - [0186]	1-52
Y	WO 2009/149213 A2 (QUALCOMM MEMS TECHNOLOGIES INC [US]; WEBSTER JAMES RANDOLPH [US]; TU T) 10. Dezember 2009 (2009-12-10) Zusammenfassung; Ansprüche; Abbildungen	20,37

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
17. September 2015	09/10/2015

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Wirner, Christoph

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	H.W. RA; KWANG-SUNG CHOI; J-H.KIM; Y-B HAHN; Y.H.IM: "Fabrication of ZnO Nanowires Using Nanoscale Spacer Lithography for Gas Sensors", SMALL, Bd. 4, Nr. 8, 2008, Seiten 1105-1109, XP002744622, in der Anmeldung erwähnt Zusammenfassung -----	6,25
A	JER-LIANG ANDREW YEH ET AL: "Integrated Polysilicon and DRIE Bulk Silicon Micromachining for an Electrostatic Torsional Actuator", JOURNAL OF MICROELECTROMECHANICAL SYSTEMS, IEEE SERVICE CENTER, US, Bd. 8, Nr. 4, 1. Dezember 1999 (1999-12-01), XP011034886, ISSN: 1057-7157 Zusammenfassung; Abbildungen -----	1-52
A	CHEN-KUEI CHUNG ET AL: "Fabrication and characterization of amorphous Si films by PECVD for MEMS; Fabrication and characterization of amorphous Si films by PECVD for MEMS", JOURNAL OF MICROMECHANICS & MICROENGINEERING, INSTITUTE OF PHYSICS PUBLISHING, BRISTOL, GB, Bd. 15, Nr. 1, 1. Januar 2005 (2005-01-01) , Seiten 136-142, XP020091350, ISSN: 0960-1317, DOI: 10.1088/0960-1317/15/1/021 Zusammenfassung; Abbildungen -----	1-52
A	LEE S C ET AL: "Honeycomb-shaped deep-trench oxide posts combined with the SBM technology for micromachining single-crystal silicon without using SOI", SENSORS AND ACTUATORS A, ELSEVIER SEQUOIA S.A., LAUSANNE, CH, Bd. 97-98, 1. April 2002 (2002-04-01), Seiten 734-738, XP004361675, ISSN: 0924-4247, DOI: 10.1016/S0924-4247(02)00013-4 Zusammenfassung; Abbildungen -----	1-52
A	US 2014/065785 A1 (YOON JUNHO [KR] ET AL) 6. März 2014 (2014-03-06) Zusammenfassung; Abbildungen -----	1-52
A	WO 2007/052039 A1 (CAVENDISH KINETICS LTD) 10. Mai 2007 (2007-05-10) Zusammenfassung; Ansprüche; Abbildungen -----	1-52

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2015/065629

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2012319528 A1	20-12-2012	CN 103917481 A	09-07-2014
		DE 112012001816 T5	30-01-2014
		GB 2505600 A	05-03-2014
		US 2012319528 A1	20-12-2012
		US 2014231936 A1	21-08-2014
		WO 2012177304 A2	27-12-2012
EP 1452481 A2	01-09-2004	DE 602004010729 T2	04-12-2008
		EP 1452481 A2	01-09-2004
		US 2004157426 A1	12-08-2004
		US 2006166403 A1	27-07-2006
WO 2009149213 A2	10-12-2009	CN 102046516 A	04-05-2011
		EP 2297026 A2	23-03-2011
		JP 2011525861 A	29-09-2011
		KR 20110014709 A	11-02-2011
		US 2009305010 A1	10-12-2009
		US 2011051224 A1	03-03-2011
		WO 2009149213 A2	10-12-2009
US 2014065785 A1	06-03-2014	CN 103681676 A	26-03-2014
		JP 2014049765 A	17-03-2014
		KR 20140028562 A	10-03-2014
		US 2014065785 A1	06-03-2014
WO 2007052039 A1	10-05-2007	CN 101277897 A	01-10-2008
		EP 1943184 A1	16-07-2008
		JP 2009515282 A	09-04-2009
		US 2010038731 A1	18-02-2010
		WO 2007052039 A1	10-05-2007