

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7590355号
(P7590355)

(45)発行日 令和6年11月26日(2024.11.26)

(24)登録日 令和6年11月18日(2024.11.18)

(51)国際特許分類

F I

H 0 1 L 33/36 (2010.01)

H 0 1 L 33/36

請求項の数 19 (全30頁)

(21)出願番号	特願2021-573972(P2021-573972)	(73)特許権者	506029004
(86)(22)出願日	令和2年5月14日(2020.5.14)		ソウル パイオシス カンパニー リミテ
(65)公表番号	特表2022-528297(P2022-528297		ッド
	A)		SEOUL VIOSYS CO., LTD.
(43)公表日	令和4年6月9日(2022.6.9)		大韓民国 ギョンギ - ド アンサン - シ
(86)国際出願番号	PCT/KR2020/006348		ダンウォン - グ サンダン - ロ 1 6 3 ベ
(87)国際公開番号	WO2020/235857		オン - ギル 6 5 - 1 6
(87)国際公開日	令和2年11月26日(2020.11.26)		6 5 - 1 6 , Sandan - ro 1 6 3
審査請求日	令和5年5月12日(2023.5.12)		Beon - gil , Danwon - gu
(31)優先権主張番号	62/850,674		, Ansan - si , Gyeonggi
(32)優先日	令和1年5月21日(2019.5.21)		- do , Republic of Kor
(33)優先権主張国・地域又は機関			ea
	米国(US)	(74)代理人	110000408
(31)優先権主張番号	15/930,979		弁理士法人高橋・林アンドパートナーズ
(32)優先日	令和2年5月13日(2020.5.13)		最終頁に続く
	最終頁に続く		

(54)【発明の名称】 ディスプレイ装置

(57)【特許請求の範囲】

【請求項1】

回路基板と、
前記回路基板上に整列した複数の発光素子と、を含み、
前記発光素子は、それぞれ
第1の導電型半導体層と第2の導電型半導体層とを含む第1のLED積層と、
前記第1のLED積層の下に位置し、第1の導電型半導体層と第2の導電型半導体層とを
含む第2のLED積層と、
前記第2のLED積層の下に位置し、第1の導電型半導体層と第2の導電型半導体層とを
含む第3のLED積層と、
前記第1のLED積層の前記第2の導電型半導体層上に配置される第1の透明電極と、
前記第2のLED積層の前記第2の導電型半導体層上に配置される第2の透明電極と、
前記第3のLED積層の前記第2の導電型半導体層上に配置される第3の透明電極と、
前記第2のLED積層と前記第3のLED積層の間に介在する第1のボンディング層と、
前記第1のLED積層と前記第2のLED積層の間に介在する第2のボンディング層と、
前記第1のLED積層と前記第3のLED積層の間に介在する下部絶縁層と、
前記第2のLED積層および前記下部絶縁層を貫通して前記第3のLED積層の前記第1
の導電型半導体層および前記第2の導電型半導体層にそれぞれ電氣的に接続された下部埋
立層と、
前記第1のLED積層および前記第2のボンディング層を貫通して前記下部埋立層に電気

的に接続された上部埋立層と、

前記第 1 の L E D 積層上に配置された複数の上部コネクタを含み、

前記上部コネクタは、それぞれ前記上部埋立層を覆って前記上部埋立層に電氣的に接続され、

前記発光素子の側面は、前記第 1 の L E D 積層から前記第 3 の L E D 積層に行くほど幅が広くなるように傾斜する、ディスプレイ装置。

【請求項 2】

前記上部埋立層は、前記下部埋立層より幅が狭い、請求項 1 に記載のディスプレイ装置。

【請求項 3】

前記上部埋立層は、それぞれ前記下部埋立層の上面上に位置する、請求項 2 に記載のディスプレイ装置。

10

【請求項 4】

前記第 3 の L E D 積層の前記第 1 の導電型半導体層に電氣的に接続する第 1 の電極パッドと、

前記第 3 の L E D 積層の前記第 2 の導電型半導体層上に配置された第 2 の下部電極パッドをさらに含み、

前記下部埋立層のうち第 1 および第 2 の下部埋立層は、それぞれ前記第 1 の電極パッドおよび第 2 の下部電極パッドに電氣的に接続された、請求項 1 に記載のディスプレイ装置。

【請求項 5】

前記下部埋立層のうち第 3 の下部埋立層は、前記下部絶縁層を貫通して前記第 2 の L E D 積層の前記第 1 の導電型半導体層に電氣的に接続し、

20

前記上部埋立層のうち第 1 の上部埋立層は、前記第 1 の L E D 積層および前記第 2 のボンディング層を貫通して、前記下部埋立層のうちの前記第 3 の下部埋立層に電氣的に接続し、前記上部コネクタのうち第 1 の上部コネクタは、前記上部埋立層のうちの前記第 1 の上部埋立層および前記下部埋立層のうちの前記第 3 の下部埋立層を介して、前記第 2 の L E D 積層の第 1 の導電型半導体層に電氣的に接続する、請求項 4 に記載のディスプレイ装置。

【請求項 6】

前記上部コネクタのうちの前記第 1 の上部コネクタは、前記第 1 の L E D 積層、前記第 2 の L E D 積層、および前記第 3 の L E D 積層の前記第 1 の導電型半導体層に電氣的に接続される、請求項 5 に記載のディスプレイ装置。

30

【請求項 7】

前記上部埋立層のうちの第 2 の上部埋立層は、前記第 1 の L E D 積層、前記第 2 のボンディング層および前記下部絶縁層を貫通して前記第 2 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続し、

前記上部コネクタのうちの第 2 の上部コネクタは、前記上部埋立層のうちの前記第 2 の上部埋立層に接続されて前記第 2 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続する、請求項 6 に記載のディスプレイ装置。

【請求項 8】

前記上部コネクタのうちの第 3 の上部コネクタは、前記第 1 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続された、請求項 7 に記載のディスプレイ装置。

40

【請求項 9】

前記第 1 の L E D 積層と前記上部コネクタのうちの前記第 3 の上部コネクタの間に配置された中間絶縁層をさらに含み、

前記上部埋立層のうちの第 3 の上部埋立層は、前記中間絶縁層を貫通して前記第 1 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続し、

前記上部コネクタのうちの前記第 3 の上部コネクタは、前記上部埋立層のうちの前記第 3 の上部埋立層を介して前記第 1 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続する、請求項 8 に記載のディスプレイ装置。

【請求項 10】

第 1、第 2、および第 3 のパンプパッドと共通パンプパッドをさらに含み、

50

前記共通バンパッドは、前記第 1、第 2、および第 3 の L E D 積層に共通して電氣的に接続され、

前記第 1、第 2、および第 3 のバンパッドは、それぞれ前記第 1、第 2、および第 3 の L E D 積層に電氣的に接続された、請求項 8 に記載のディスプレイ装置。

【請求項 1 1】

前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在し、前記第 1 の L E D 積層の下面にオーミック接触する第 1 の透明電極と、

前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在し、前記第 2 の L E D 積層の上面にオーミック接触する第 2 の透明電極と、

前記第 2 の L E D 積層と前記第 3 の L E D 積層の間に介在し、前記第 3 の L E D 積層の上面にオーミック接触する第 3 の透明電極をさらに含み、

10

前記第 2 および第 3 の透明電極はそれぞれ、前記第 2 の L E D 積層の前記第 2 の導電型半導体層および前記第 3 の L E D 積層の前記第 2 の導電型半導体層よりも面積が狭い、請求項 1 に記載のディスプレイ装置。

【請求項 1 2】

前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在し、前記第 1 の L E D 積層の下面にオーミック接触する第 1 の透明電極と、

前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在し、前記第 2 の L E D 積層の上面にオーミック接触する第 2 の透明電極と、

前記第 2 の L E D 積層と前記第 3 の L E D 積層の間に介在し、前記第 3 の L E D 積層の上面にオーミック接触する第 3 の透明電極と、

20

前記第 2 の透明電極上に配置されて前記第 2 の L E D 積層の前記第 2 の導電型半導体層に電氣的に接続する第 2 の上部電極パッド、をさらに含み、

上部埋立層の 1 つは、前記第 1 の L E D 積層を貫通して前記第 2 の上部電極パッドに電氣的に接続し、

前記上部コネクタの一つは前記上部埋立層の 1 つに接続されて前記第 2 の上部電極パッドに電氣的に接続される、請求項 1 に記載のディスプレイ装置。

【請求項 1 3】

前記下部埋立層の側壁を覆う第 1 の側壁絶縁層と、

前記上部埋立層の側壁を覆う第 2 の側壁絶縁層をさらに含む、請求項 1 に記載のディスプレイ装置。

30

【請求項 1 4】

前記第 1 の L E D 積層を覆う中間絶縁層をさらに含み、

前記下部埋立層の上面は前記下部絶縁層の上面と並んでおり、

前記上部埋立層の上面は中間絶縁層の上面と並んでいる、請求項 1 に記載のディスプレイ装置。

【請求項 1 5】

前記第 1、第 2、および第 3 の L E D 積層は独立して駆動でき、

前記第 1 の L E D 積層で生成された光は、前記第 2 の L E D 積層および前記第 3 の L E D 積層を透過して外部に放出され、

40

前記第 2 の L E D 積層で生成された光は、前記第 3 の L E D 積層を透過して外部に放出される、請求項 1 に記載のディスプレイ装置。

【請求項 1 6】

前記第 3 の L E D 積層の発光面積は前記第 1 の L E D 積層の発光面積よりも大きい、請求項 1 に記載のディスプレイ装置。

【請求項 1 7】

前記第 3 の L E D 積層の上面に対して前記発光素子の側面が成す傾斜角は、75度～90度である、請求項 1 に記載のディスプレイ装置。

【請求項 1 8】

前記第 1 の L E D 積層は前記第 2 の L E D 積層よりも長波長の光を放出し、前記第 2 の L

50

ＥＤ積層は前記第３のＬＥＤ積層よりも長波長の光を放出する、請求項１に記載のディスプレイ装置。

【請求項１９】

前記第１～第３のＬＥＤ積層の側面を覆う上部絶縁層をさらに含む、請求項１に記載のディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示は、ディスプレイ用発光素子およびディスプレイ装置に関するものであり、特に、複数のＬＥＤの積層構造を有するディスプレイ用発光素子およびそれを有するディスプレイ装置に関する。

10

【背景技術】

【０００２】

発光ダイオードは、無機光源であり、ディスプレイ装置、車両用ランプ、一般照明のような様々な分野で用いられている。発光ダイオードは、寿命が長く、且つ消費電力が低く、応答速度が速いという利点があるため、既存の光源を速い速度で置き換えている。

【０００３】

一方、従来の発光ダイオードは、ディスプレイ装置においてバックライト光源として主に使用されて来た。しかし、近年、発光ダイオードを用いて直接イメージを表示するＬＥＤディスプレイが開発されている。

20

【０００４】

ディスプレイ装置は、一般的に、青色、緑色および赤色の混合色を用いて多様な色を表示する。ディスプレイ装置は、多様なイメージを表示するために複数のピクセルを含み、各ピクセルは、青色、緑色および赤色のサブピクセルを備え、これらサブピクセルの色を通じて特定のピクセルの色が決められ、これらピクセルの組合せによってイメージが表示される。

【０００５】

ＬＥＤは、その材料によって多様な色の光を放出することができ、青色、緑色および赤色を放出する個別ＬＥＤチップを二次元平面上に配列してディスプレイ装置を提供することができる。しかし、各サブピクセルに一つのＬＥＤチップを配列する場合、ＬＥＤチップの個数が多くなるため実装工程に長い時間がかかる。

30

【０００６】

また、サブピクセルを二次元平面上に配列するため、青色、緑色および赤色サブピクセルを含む一つのピクセルが占有する面積が相対的に広くなる。よって、限られた面積内にサブピクセルを配列するためには、各ＬＥＤチップの面積を減らす必要がある。しかし、ＬＥＤチップの大きさを減少させることは、ＬＥＤチップの実装を困難にし、さらに、発光面積の減少を招く。

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本開示が解決しようとする課題は、限られたピクセル面積内で各サブピクセルの面積を増加させることができるディスプレイ用発光素子およびディスプレイ装置を提供することである。

40

【０００８】

本開示が解決しようとする他の課題は、実装工程時間を短縮することができるディスプレイ用発光素子およびディスプレイ装置を提供することである。

【０００９】

本開示が解決しようとする他の課題は、工程歩留まりを向上することのできるディスプレイ用発光素子およびディスプレイ装置を提供することである。

【課題を解決するための手段】

50

【 0 0 1 0 】

本開示の一実施形態にかかるディスプレイ用発光素子は、第 1 の L E D 積層；前記第 1 の L E D 積層の下に位置する第 2 の L E D 積層；前記第 2 の L E D 積層の下に位置する第 3 の L E D 積層；前記第 2 の L E D 積層と前記第 3 の L E D 積層の間に介在する第 1 のボンディング層；前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在する第 2 のボンディング層；前記第 2 のボンディング層と前記第 2 の L E D 積層の間に介在する下部絶縁層；前記下部絶縁層および前記第 2 の L E D 積層を貫通して前記第 3 の L E D 積層の第 1 の導電型半導体層および第 2 の導電型半導体層にそれぞれ電氣的に接続された第 1 の下部埋立層；前記第 1 の L E D 積層および第 2 のボンディング層を貫通して前記第 1 の下部埋立層に電氣的に接続された第 1 の上部埋立層；及び前記第 1 の L E D 積層上に配置された複数の上部コネクタを含み、前記上部コネクタは前記第 1 の上部埋立層を覆って前記第 1 の上部埋立層にそれぞれ電氣的に接続された上部コネクタを含む。

10

【 0 0 1 1 】

本開示の一実施形態にかかるディスプレイ装置は、回路基板、及び前記回路基板上に整列された複数の発光素子を含み、前記発光素子はそれぞれ上で説明した発光素子であり、前記バンプパッドは前記回路基板に電氣的に接続される。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】図 1 は、本開示の一実施形態にかかるディスプレイ装置を説明するための概略斜視図である。

20

【図 2】図 2 は、本開示の一実施形態にかかるディスプレイパネルを説明するための概略平面図である。

【図 3】図 3 は、本開示の一実施形態にかかる発光素子を説明するための概略平面図である。

【図 4 A】図 4 A は、図 3 の切り取り線 A - A'、B - B' 及び C - C' に沿って切り取った概略断面図である。

【図 4 B】図 4 B は、図 3 の切り取り線 A - A'、B - B' 及び C - C' に沿って切り取った概略断面図である。

【図 4 C】図 4 C は、図 3 の切り取り線 A - A'、B - B' 及び C - C' に沿って切り取った概略断面図である。

30

【図 5 A】図 5 A は、本開示の一実施形態にかかる成長基板上に成長した第 1 ~ 第 3 の L E D 積層体を説明するための概略断面図である。

【図 5 B】図 5 B は、本開示の一実施形態にかかる成長基板上に成長した第 1 ~ 第 3 の L E D 積層体を説明するための概略断面図である。

【図 5 C】図 5 C は、本開示の一実施形態にかかる成長基板上に成長した第 1 ~ 第 3 の L E D 積層体を説明するための概略断面図である。

【図 6 A】図 6 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 6 B】図 6 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

40

【図 7 A】図 7 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 7 B】図 7 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 8 A】図 8 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 8 B】図 8 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 9 A】図 9 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

50

【図 9 B】図 9 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 10 A】図 10 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 10 B】図 10 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 11 A】図 11 A は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

【図 11 B】図 11 B は、本開示の一実施形態にかかるディスプレイ用発光素子を製造する方法を説明するための概略平面図および断面図である。

10

【図 12】図 12 は、回路基板上に実装された発光素子を説明するための概略断面図である。

【図 13 A】図 13 A は、本開示の一実施形態にかかる発光素子を回路基板に転写する方法を説明するための概略断面図である。

【図 13 B】図 13 B は、本開示の一実施形態にかかる発光素子を回路基板に転写する方法を説明するための概略断面図である。

【図 13 C】図 13 C は、本開示の一実施形態にかかる発光素子を回路基板に転写する方法を説明するための概略断面図である。

【図 14】図 14 は、本開示の他の実施形態にかかる発光素子を回路基板に転写する方法を説明するための概略断面図である。

20

【発明を実施するための形態】

【0013】

以下、添付の図面を参照して本開示の実施形態を詳しく説明する。次に紹介する実施形態は、本開示の属する技術分野の通常の技術者に本開示の思想が十分に伝わるようにするために例として提供するものである。よって、本開示は以下で説明する実施形態に限定されるものではなく、他の形態に具現化することもできる。そして、図面において、構成要素の幅、長さ、厚さ等は便宜のために誇張して表現する場合もある。また、一つの構成要素が他の構成要素の「上部に」又は「上に」あると記載されている場合は、各部分が他の部分の「真上部」又は「真上に」ある場合だけでなく、各構成要素と他の構成要素の間にまた別の構成要素が介在する場合も含む。明細書全体に亘って、同じ参照番号は同じ構成要素を表す。

30

【0014】

本開示の一実施形態にかかるディスプレイ用発光素子は、第 1 の LED 積層；前記第 1 の LED 積層の下に位置する第 2 の LED 積層；前記第 2 の LED 積層の下に位置する第 3 の LED 積層；前記第 2 の LED 積層と前記第 3 の LED 積層の間に介在する第 1 のボンディング層；前記第 1 の LED 積層と前記第 2 の LED 積層の間に介在する第 2 のボンディング層；前記第 2 のボンディング層と前記第 2 の LED 積層の間に介在する下部絶縁層；前記下部絶縁層および前記第 2 の LED 積層を貫通して前記第 3 の LED 積層の第 1 の導電型半導体層および第 2 の導電型半導体層にそれぞれ電氣的に接続された下部埋立層；前記第 1 の LED 積層および第 2 のボンディング層を貫通して前記下部埋立層に電氣的に接続された上部埋立層；及び前記第 1 の LED 積層上に配置された複数の上部コネクタを含み、前記上部コネクタは、前記上部埋立層を覆って前記上部埋立層にそれぞれ電氣的に接続された上部コネクタを含む。

40

【0015】

本明細書では、説明の便宜上、第 1 の LED 積層の下に第 2 の LED 積層が配置され、第 2 の LED 積層の下に第 3 の LED 積層が配置されていると説明しているが、発光素子はフリップボンディングすることができ、よって、これら第 1 ～ 第 3 の LED 積層の上下位置が逆になり得るということに留意する必要がある。

【0016】

第 1 ～ 第 3 の LED 積層を相互積層することにより、ピクセル面積を増やさないと共に、

50

各サブピクセルの発光面積を増やすことができる。

【0017】

前記第1のLED積層は前記第2のLED積層よりも長波長の光を放出し、前記第2のLED積層は前記第3のLED積層よりも長波長の光を放出してもよい。例えば、前記第1、第2及び第3のLED積層は、それぞれ赤色光、緑色光および青色光を発してもよい。

【0018】

一方、前記第1～第3のLED積層は、独立して駆動することができ、前記第1のLED積層で生成された光は、前記第2のLED積層および前記第3のLED積層を透過して外部に放出され、前記第2のLED積層で生成された光は、前記第3のLED積層を透過して外部に放出してもよい。

10

【0019】

一実施形態において、前記上部埋立層は、前記下部埋立層よりも幅が狭くなってもよい。さらに、前記上部埋立層は、それぞれ前記下部埋立層の上面上に位置してもよい。しかし、本開示はこれに限定されるものではない。

【0020】

前記ディスプレイ用発光素子は、前記第3のLED積層の第1の導電型半導体層に電氣的に接続するn電極パッド；及び前記第3のLED積層の第2の導電型半導体層上に配置された下部p電極パッドをさらに含んでもよく、前記下部埋立層はそれぞれ前記n電極パッド及び下部p電極パッドに電氣的に接続してもよい。

【0021】

20

前記ディスプレイ用発光素子は、前記下部絶縁層を貫通して前記第2のLED積層の第1の導電型半導体層に電氣的に接続する下部埋立層；及び前記第1のLED積層および前記第2のボンディング層を貫通して前記下部埋立層に電氣的に接続する上部埋立層をさらに含んでもよく、前記上部コネクタの一つは、前記上部埋立層および前記下部埋立層を介して前記第2のLED積層の第1の導電型半導体層に電氣的に接続してもよい。

【0022】

さらに、前記上部コネクタの一つは、前記第1～第3のLED積層の第1の導電型半導体層に共通して電氣的に接続された上部共通コネクタであってもよい。

【0023】

前記ディスプレイ用発光素子は、前記第1のLED積層、前記第1のボンディング層および前記下部絶縁層を貫通して第2のLED積層の第2の導電型半導体層に電氣的に接続する上部埋立層をさらに含んでもよく、前記上部コネクタの一つは前記上部埋立層に接続されて前記第2のLED積層の第2の導電型半導体層に電氣的に接続してもよい。

30

【0024】

さらに、前記上部コネクタの一つは、前記第1のLED積層の第2の導電型半導体層に電氣的に接続されてもよい。

【0025】

また、前記ディスプレイ用発光素子は、前記第1のLED積層と前記上部コネクタの間に配置された中間絶縁層；及び前記中間絶縁層を貫通して前記第1のLED積層の第2の導電型半導体層に電氣的に接続する上部埋立層をさらに含んでもよく、前記上部コネクタの一つは、前記上部埋立層を介して前記第1のLED積層の第2の導電型半導体層に電氣的に接続されてもよい。

40

【0026】

前記ディスプレイ用発光素子は、前記上部コネクタ上に配置されたバンプパッドをさらに含んでもよく、前記バンプパッドは第1～第3のバンプパッドと共通バンプパッドを含み、前記共通バンプパッドは前記第1～第3のLED積層に共通して電氣的に接続され、前記第1～第3のバンプパッドはそれぞれ前記第1～第3のLED積層に電氣的に接続されてもよい。

【0027】

一方、前記ディスプレイ用発光素子は、前記第1のLED積層と前記第2のLED積層の

50

間に介在し、前記第 1 の L E D 積層の下面にオーミック接触する第 1 の透明電極；

【 0 0 2 8 】

前記第 1 の L E D 積層と前記第 2 の L E D 積層の間に介在し、前記第 2 の L E D 積層の上面にオーミック接触する第 2 の透明電極；及び前記第 2 の L E D 積層と前記第 3 の L E D 積層の間に介在し、前記第 3 の L E D 積層の上面にオーミック接触する第 3 の透明電極をさらに含んでもよく、前記第 1 ～ 第 3 の透明電極のいずれかは他の透明電極と異なる材料で形成してもよい。

【 0 0 2 9 】

例えば、前記第 1 の透明電極は I T O (i n d i u m - t i n - o x i d e) で形成され、前記第 2 及び第 3 の透明電極は Z n O で形成されてもよい。

10

【 0 0 3 0 】

一実施形態において、前記第 1 ～ 第 3 の透明電極は、それぞれ第 2 の導電型半導体層に接触し、前記第 2 の透明電極は、第 2 の L E D 積層の第 2 の導電型半導体層よりも面積が狭くなるように凹んでおり、前記第 3 の透明電極は第 3 の L E D 積層の第 2 の導電型半導体層よりも面積が狭くなるように凹んでいてもよい。

【 0 0 3 1 】

一方、前記ディスプレイ用発光素子は、前記第 2 の透明電極上に配置されて前記第 2 の L E D 積層の第 2 の導電型半導体層に電氣的に接続する上部 p 電極パッド；および前記第 1 の L E D 積層を貫通して前記上部 p 電極パッドに電氣的に接続する上部埋立層をさらに含んでもよく、前記上部コネクタの一つは前記上部埋立層に接続されて前記上部 p 電極パッドに電氣的に接続されてもよい。

20

【 0 0 3 2 】

さらに、前記ディスプレイ用発光素子は、前記下部埋立層の側壁を覆う第 1 の側壁絶縁層；および前記上部埋立層の側壁を覆う第 2 の側壁絶縁層をさらに含んでもよい。前記第 1 及び第 2 の側壁絶縁層は、A l 2 O 3 で形成してもよい。

【 0 0 3 3 】

本開示において、前記第 1 ～ 第 3 の L E D 積層は、成長基板から分離されてもよい。前記発光素子は、成長基板を保有しない。

【 0 0 3 4 】

前記ディスプレイ用発光素子は、前記第 1 の L E D 積層を覆う中間絶縁層をさらに含んでもよく、前記下部埋立層の上面は、前記下部絶縁層の上面と並んでおり、前記上部埋立層の上面は中間絶縁層の上面と並んでもよい。

30

【 0 0 3 5 】

本開示の一実施形態にかかるディスプレイ装置は、回路基板；及び前記回路基板上に整列された複数の発光素子を含み、前記発光素子はそれぞれ上で説明した発光素子であり、前記パンプパッドは前記回路基板に電氣的に接続される。

【 0 0 3 6 】

以下、図面を参照して本開示の実施形態について具体的に説明する。

【 0 0 3 7 】

図 1 は、本開示の実施形態にかかるディスプレイ装置を説明する概略斜視図である。

40

【 0 0 3 8 】

本開示の発光素子は、特に限定されるものではないが、特に、スマートウォッチ 1 0 0 0 a、V R ヘッドセット 1 0 0 0 b のような V R ディスプレイ装置、又は拡張現実眼鏡 1 0 0 0 c のような A R ディスプレイ装置内に使用される。

【 0 0 3 9 】

ディスプレイ装置内には、イメージを表示するためのディスプレイパネルが実装される。図 2 は、本開示の一実施形態にかかるディスプレイパネルを説明するための概略平面図である。

【 0 0 4 0 】

図 2 を参照すると、ディスプレイパネルは回路基板 1 0 1 及び発光素子 1 0 0 を含む。

50

【 0 0 4 1 】

回路基板 1 0 1 は、手動マトリックス駆動または能動マトリックス駆動のための回路を含んでもよい。一実施形態において、回路基板 1 0 1 は内部に配線および抵抗を含んでもよい。他の実施形態において、回路基板 1 0 1 は、配線、トランジスタ及びキャパシタを含んでもよい。回路基板 1 0 1 はまた、内部に配置された回路に電氣的接続を許すためのパッドを上面に有してもよい。

【 0 0 4 2 】

複数の発光素子 1 0 0 は、回路基板 1 0 1 上に整列される。それぞれの発光素子 1 0 0 は一つのピクセルを構成する。発光素子 1 0 0 は、パンプパッド 7 3 を有し、パンプパッド 7 3 が回路基板 1 0 1 に電氣的に接続される。例えば、パンプパッド 7 3 は回路基板 1 0 1 上に露出されたパッドにボンディングされてもよい。

10

【 0 0 4 3 】

発光素子 1 0 0 間の間隔は、少なくとも発光素子の幅よりも広くてもよい。

【 0 0 4 4 】

発光素子 1 0 0 の具体的な構成について、図 3、図 4 A、図 4 B 及び図 4 C を参照して説明する。図 3 は、本開示の一実施形態にかかる発光素子 1 0 0 を説明するための概略平面図であり、図 4 A、図 4 B 及び図 4 C は、それぞれ本開示の一実施形態にかかる発光素子 1 0 0 を説明するための図 3 の切り取り線 A - A'、B - B' 及び C - C' に沿って切り取った概略断面図である。

【 0 0 4 5 】

説明の便宜のために、パンプパッド 7 3 r、7 3 b、7 3 g、7 3 c が上側に配置されていることを図示および説明するが、発光素子 1 0 0 は、図 2 に示したように、回路基板 1 0 1 上にフリップボンディングされ、この場合、パンプパッド 7 3 r、7 3 b、7 3 g、7 3 c が下側に配置される。さらに、特定の実施形態において、パンプパッド 7 3 r、7 3 b、7 3 g、7 3 c は省略することもできる。

20

【 0 0 4 6 】

図 3、図 4 A、図 4 B 及び図 4 C を参照すると、発光素子 1 0 0 は、第 1 の LED 積層 2 3、第 2 の LED 積層 3 3、第 3 の LED 積層 4 3、第 1 の透明電極 2 5、第 2 の透明電極 3 5、第 3 の透明電極 4 5、n 電極パッド 4 7 a、下部 p 電極パッド 4 7 b、上部 p 電極パッド 3 7 b、下部埋立層 5 5 b、5 5 c b、5 5 c g、上部埋立層 6 5 r、6 5 b、6 5 g、6 5 c r、第 1 の側壁絶縁層 5 3、上部共通コネクタ 6 7 c、第 1 の上部コネクタ 6 7 r、第 2 の上部コネクタ 6 7 g、第 3 の上部コネクタ 6 7 b、第 1 のボンディング層 4 9、第 2 のボンディング層 5 9、下部絶縁層 5 1、中間絶縁層 6 1、上部絶縁層 7 1 及びパンプパッド 7 3 r、7 3 b、7 3 g、7 3 c を含んでもよい。さらに、発光素子 1 0 0 は、第 1 の LED 積層 2 3 を貫通する貫通ホール 2 3 h 1、2 3 h 2、2 3 h 3、2 3 h 4、2 3 h 5、第 2 の LED 積層 3 3 を貫通する貫通ホール 3 3 h 1、3 3 h 2 を含んでもよい。

30

【 0 0 4 7 】

図 4 A、図 4 B 及び図 4 C に示したように、本開示の実施形態は第 1 ~ 第 3 の LED 積層 2 3、3 3、4 3 が垂直方向に積層される。一方、各 LED 積層 2 3、3 3、4 3 は、互いに異なる成長基板上で成長したものだが、本開示の実施形態において成長基板は、最終発光素子 1 0 0 に残さず全て除去される。よって、発光素子 1 0 0 は成長基板を含まない。しかし、本開示が必ずしもこれに限定されるものではなく、少なくとも一つの成長基板が含まれてもよい。

40

【 0 0 4 8 】

第 1 の LED 積層 2 3、第 2 の LED 積層 3 3 及び第 3 の LED 積層 4 3 は、それぞれ第 1 の導電型半導体層 2 3 a、3 3 a、又は 4 3 a、第 2 の導電型半導体層 2 3 b、3 3 b、又は 4 3 b 及びこれらの間に介在した活性層（図示せず）を含む。活性層は、特に多重量子井戸構造を有してもよい。

【 0 0 4 9 】

50

第1のLED積層23の下に第2のLED積層33が配置され、第2のLED積層33の下に第3のLED積層43が配置される。第1～第3のLED積層23, 33, 43で生成された光は、最終的に第3のLED積層43を介して外部に放出される。よって、第1のLED積層23は第2および第3のLED積層33, 43に比べて長波長の光を放出してもよく、第2のLED積層33は第3のLED積層43に比べて長波長の光を放出してもよい。例えば、第1のLED積層23は赤色光を発する無機発光ダイオードで、第2のLED積層33は緑色光を発する無機発光ダイオードで、第3のLED積層43は青色光を発する無機発光ダイオードであってもよい。第1のLED積層23はAlGaInP系列の井戸層を含んでもよく、第2のLED積層33はAlGaInP系列またはAlGaInN系列の井戸層を含んでもよく、第3のLED積層43はAlGaInN系列の井戸層を含んでもよい。

10

【0050】

第1のLED積層23は、第2および第3のLED積層33, 43に比べて長波長の光を放出するため、第1のLED積層23で生成された光は、第2および第3のLED積層33, 43を透過して外部に放出することができる。また、第2のLED積層33は、第3のLED積層43に比べて長波長の光を放出するため、第2のLED積層33で生成された光は第3のLED積層43を透過して外部に放出することができる。

【0051】

一方、各LED積層23, 33又は43の第1の導電型半導体層23a, 33a, 43aはそれぞれ第1の導電型半導体層であり、第2の導電型半導体層23b, 33b, 43bは第2の導電型半導体層である。また、本実施形態において、第1のLED積層23の上面は第1の導電型半導体層23aであり、第2のLED積層33の上面は第2の導電型半導体層33bであり、第3のLED積層43の上面は第2の導電型半導体層43bである。つまり、第1のLED積層23の積層順序が第2のLED積層33及び第3のLED積層43の積層順序と逆になっている。第2のLED積層33の半導体層を第3のLED積層43の半導体層と同じ順序で配置することにより工程安定性を確保することができ、これについては製造方法を説明しながら下記で詳しく説明する。

20

【0052】

第2のLED積層33は、第2の導電型半導体層33bが除去されて第1の導電型半導体層33aの上面を露出させるメサエッチング領域を含む。図3及び図4Aに示したように、第2のLED積層33のメサエッチング領域を貫通して下部埋立層55b, 55cbが形成され、また、第2のLED積層33のメサエッチング領域上に下部埋立層55cgが形成される。

30

【0053】

第3のLED積層43もまた、第2の導電型半導体層43bが除去されて第1の導電型半導体層43aの上面を露出させるメサエッチング領域を含む。これに対し第1のLED積層23は、メサエッチング領域を含まなくてもよい。

【0054】

貫通ホール33h1, 33h2は、メサエッチング領域に露出した第1の導電型半導体層33aを貫通するように形成することができる。一方、貫通ホール23h1, 23h2, 23h3, 23h4, 23h5は、第1のLED積層23を貫通することができ、特に、第1及び第2の導電型半導体層23a, 23bを貫通してもよい。

40

【0055】

一方、第3のLED積層43は平坦な下部面を有してもよいが、これに限定されるものではない。例えば、第1の導電型半導体層43aの表面に凹凸を含んでもよく、この凹凸によって光抽出効率を向上させることができる。第1の導電型半導体層43aの表面の凹凸は、パターンニングされたサファイア基板を分離することによって形成されたものでもよいが、必ずしもこれに限定されるものではなく、成長基板を分離した後にテクスチャリングによって追加形成されたものでもよい。第2のLED積層33もまた、表面がテクスチャリングされた第1の導電型半導体層33aを有してもよい。

50

【 0 0 5 6 】

さらに、本実施形態において、第1のLED積層23、第2のLED積層33及び第3のLED積層43は、互いに重なり合って、また、ほぼ同じ大きさの発光面積を有してもよい。但し、貫通ホール23h1、23h2、23h3、23h4、23h5および貫通ホール33h1、33h2によって第1のLED積層23の発光面積が第2のLED積層33の発光面積よりも小さくてもよく、第2のLED積層33の発光面積が第3のLED積層43の発光面積よりも小さくてもよい。また、発光素子100の側面は、第1のLED積層23から第3のLED積層43に行くほど幅が広くなるように傾斜してもよく、これによって、第3のLED積層43の発光面積は第1のLED積層23の発光面積よりもさらに大きくてもよい。第3のLED積層43の上面に対して発光素子100の側面が成す傾斜角は、約75度～90度であってもよい。傾斜角が75度よりも小さいと、第1のLED積層23の発光面積が小さくなりすぎることから発光素子100の大きさを小さくすることが難しい。

10

【 0 0 5 7 】

第1の透明電極25は、第1のLED積層23と第2のLED積層33の間に配置される。第1の透明電極25は、第1のLED積層23の第2の導電型半導体層23bにオーミック接触し、第1のLED積層23で生成された光を透過させる。第1の透明電極25は、インジウムスズ酸化物(ITO)等の透明酸化物層や金属層を用いて形成することができる。第1の透明電極25は、第1のLED積層23の第2の導電型半導体層23bの前面を覆うことができ、その側面は第1のLED積層23の側面と並んで配置されてもよい。つまり、第1の透明電極25の側面は、第2のボンディング層59で覆われなくてもよい。さらに、貫通ホール23h1、23h2、23h3、23h4は、第1の透明電極25を貫通してもよく、よって、これら貫通ホールの側壁に第1の透明電極25が露出してもよい。一方、貫通ホール23h5は第1の透明電極25の上面を露出させる。しかし、本開示がこれに限定されるものではなく、第1のLED積層23の縁に沿って第1の透明電極25が部分的に除去されることにより、第1の透明電極25の側面が第2のボンディング層59で覆われてもよい。また、貫通ホール23h1、23h2、23h3、23h4が形成される領域で第1の透明電極25を予めパターニングして除去することにより、貫通ホール23h1、23h2、23h3、23h4の側壁に第1の透明電極25が露出しないようにすることができる。

20

30

【 0 0 5 8 】

一方、第2の透明電極35は、第2のLED積層33の第2の導電型半導体層33bにオーミック接触する。図示したように、第2の透明電極35は第1のLED積層23と第2のLED積層33の間で第2のLED積層33の上面に接触する。第2の透明電極35は、赤色光に透明な金属層または導電性酸化物層で形成することができる。導電性酸化物層の例としては、SnO₂、InO₂、ITO、ZnO、IZO等を挙げることができる。特に、第2の透明電極35はZnOで形成することができ、ZnOは第2のLED積層33上に単結晶で形成することができることから、金属層や他の導電性酸化物層に比べて電気的および光学的特性に優れる。特に、ZnOは第2のLED積層33に対する接合力が強くレーザーリフトオフを用いて成長基板を分離しても損傷せず残っている。

40

【 0 0 5 9 】

一方、第2の透明電極35は、第2のLED積層33の縁に沿って部分的に除去することができ、これにより、第2の透明電極35の外側の側面は外部に露出せず、下部絶縁層51で覆われる。つまり、第2の透明電極35の側面は、第2のLED積層33の側面よりも内側に凹んでおり、第2の透明電極35が凹んだ領域は、下部絶縁層51及び/又は第2のボンディング層59で埋められる。一方、第2のLED積層33のメサエッチング領域近くでも第2の透明電極35が凹んでおり、凹んだ領域は下部絶縁層51又は第2のボンディング層59で埋められる。

【 0 0 6 0 】

第3の透明電極45は、第3のLED積層33の第2の導電型半導体層43bにオーミッ

50

ク接触する。第3の透明電極45は、第2のLED積層33と第3のLED積層43の間に位置してもよく、第3のLED積層43の上面に接触する。第3の透明電極45は、赤色光および緑色光に透明な金属層または導電性酸化物層で形成することができる。導電性酸化物層の例としては、 SnO_2 、 InO_2 、ITO、 ZnO 、IZO等を挙げることができる。特に、第3の透明電極45は ZnO で形成することができ、 ZnO は第3のLED積層43上に単結晶で形成することができることから、金属層や他の導電性酸化物層に比べて電気的および光学的特性に優れる。特に、 ZnO は第3のLED積層43に対する接合力が強くレーザーリフトオフを用いて成長基板を分離しても損傷せず残っている。

【0061】

第3の透明電極45は、第3のLED積層43の縁に沿って部分的に除去することができ、これにより、第3の透明電極45の外側の側面は、外部に露出せず、第1のボンディング層49で覆われる。つまり、第3の透明電極45の側面は、第3のLED積層43の側面よりも内側に凹んでおり、第3の透明電極45が凹んだ領域は、第1のボンディング層49で埋められる。一方、第3のLED積層43のメサエッチング領域近くでも第3の透明電極45が凹んでおり、凹んだ領域は第1のボンディング層49で埋められる。

【0062】

第2の透明電極35及び第3の透明電極45を上記のように凹ませることにより、これらの側面がエッチングガスに露出することを防ぎ、発光素子100の工程歩留まりを向上させることができる。

【0063】

一方、本実施形態において、第2の透明電極35及び第3の透明電極45は、同種の導電性酸化物層、例えば、 ZnO で形成することができ、第1の透明電極25は第2および第3の透明電極35、45と異なる種類の導電性酸化物層、例えば、ITOで形成することができる。しかし、本開示はこれに限定されるものではなく、これら第1～第3の透明電極25、35、45は全て同種であってもよく、少なくとも一つが別の種類であってもよい。

【0064】

n電極パッド47aは、第3のLED積層43の第1の導電型半導体層43aにオーミック接触する。n電極パッド47aは、第2の導電型半導体層43bによって露出された第1の導電型半導体層43a上に、つまり、メサエッチング領域に配置されてもよい。n電極パッド47aは、例えば、 $\text{Cr}/\text{Au}/\text{Ti}$ に形成することができる。n電極パッド47aの上面は、第2の導電型半導体層43bの上面、さらに、第3の透明電極45の上面よりも高くてもよい。例えば、n電極パッド47aの厚さは、約2 μm 以上であってもよい。n電極パッド47aは、円錐台形状であってもよいが、これに限定されるものではなく、四角錐台、円筒形、四角筒形等の多様な形状を有してもよい。

【0065】

下部p電極パッド47bは、n電極パッド47aと同じ材料で形成することができる。但し、下部p電極パッド47bの上面は、n電極パッド47aの上面と同じ高さに位置させることができ、よって、下部p電極パッド47bの厚さはn電極パッド47aよりも小さくてもよい。つまり、下部p電極パッド47bの厚さは、第2の透明電極45上に突出したn電極パッド47a部分の厚さと大体同じであってもよい。例えば、下部p電極パッド47bの厚さは、約1.2 μm 以下であってもよい。下部p電極パッド47bの上面がn電極パッド47aの上面と同じ高さに位置するようにすることにより、貫通ホール33h1、33h2を形成する際、下部p電極パッド47bとn電極パッド47aが同時に露出させることができる。n電極パッド47aと下部p電極パッド47bの高さが異なる場合、いずれかの電極パッドがエッチング工程で大きく損傷し得る。よって、n電極パッド47aと下部p電極パッド47bの高さを大体同じに合わせることで、いずれかの電極パッドが大きく損傷することを防ぐことができる。

【0066】

第1のボンディング層49は、第2のLED積層33を第3のLED積層43に結合する

。第1のボンディング層49は、第1の導電型半導体層33aと第3の透明電極45の間でこれらを結合させることができる。第1のボンディング層49は、第2の導電型半導体層43bに部分的に接することができる、メサエッチング領域に露出された第1の導電型半導体層43aに部分的に接することができる。さらに、第1のボンディング層49は、n電極パッド47a及び下部p電極パッド47bを覆うことができる。

【0067】

第1のボンディング層49は、透明有機物層で形成されたり、透明無機物層で形成されてもよい。有機物層は、SU8、ポリメチルメタアクリレート(poly(methylmethacrylate):PMMA)、ポリイミド、パリレン、ベンゾシクロブテン(Benzocyclobutene:BCB)等を例として挙げることができ、無機物層は、Al₂O₃、SiO₂、SiNx等を例として挙げることができる。また、第1のボンディング層49はスピン-オン-ガラス(SOG)で形成することもできる。

10

【0068】

上部p電極パッド37bは、第2の透明電極35上に配置されてもよい。図3及び図4Bに示したように、上部p電極パッド37bは下部絶縁層51によって覆われてもよい。上部p電極パッド37bは、例えば、Ni/Au/Tiに形成することができ、約2µmの厚さに形成することができる。

【0069】

下部絶縁層51は、第2のLED積層33上に形成され、第2の透明電極35を覆う。下部絶縁層51はまた、第2のLED積層33のメサエッチング領域を覆って平坦な上部面を提供することができる。下部絶縁層51は、例えば、SiO₂で形成することができる。

20

【0070】

貫通ホール33h1及び貫通ホール33h2は、下部絶縁層51、第2のLED積層33及び第1のボンディング層49を貫通して、それぞれn電極パッド47aおよび下部p電極パッド47bを露出させる。上で説明したように、貫通ホール33h1、33h2は、第2のLED積層33のメサエッチング領域内に形成することができる。一方、貫通ホール51hは、図4Bに示したように、下部絶縁層51を貫通して第1の導電型半導体層33aを露出させる。

【0071】

第1の側壁絶縁層53は、貫通ホール33h1、33h2、51hの側壁を覆い、貫通ホールの底を露出させる開口部を有する。第1の側壁絶縁層53は、例えば、化学蒸着技術または原子層蒸着技術を用いて形成することができ、例えば、Al₂O₃、SiO₂、Si₃N₄等で形成することができる。

30

【0072】

下部埋立層55cb、55b、55cgは、それぞれ貫通ホール33h1、33h2、51hを埋めることができる。下部埋立層55cb、55bは、第1の側壁絶縁層53によって第2のLED積層33から絶縁される。下部埋立層55cbは、n電極パッド47aに電氣的に接続され、下部埋立層55bは下部p電極パッド47bに電氣的に接続され、下部埋立層55cgは第2のLED積層33の第1の導電型半導体層33aに電氣的に接続されてもよい。

40

【0073】

下部埋立層55cb、55b、55cgは、化学機械研磨技術を用いて形成することができる。例えば、シード層を形成し、めっき技術を用いて貫通ホール33h1、33h2、51hを埋めた後、化学機械研磨技術を用いて下部絶縁層51上の金属層を除去することにより、下部埋立層55cb、55b、55cgを形成することができる。さらに、シード層を形成する前に金属バリア層が形成されてもよい。

【0074】

下部埋立層55cb、55b、55cgは、同じ工程によって一緒に形成することができる。これにより、下部埋立層55cb、55b、55cgは、上面が下部絶縁層51と大体並んでもよい。しかし、本開示が本実施形態に限定されるものではなく、互いに異なる

50

工程によって形成することもできる。

【0075】

第2のボンディング層59は、第1のLED積層23を第2のLED積層33に結合する。図示したように、第2のボンディング層59は第1の透明電極25と下部絶縁層51の間に配置されてもよい。第2のボンディング層59は、前述の第1のボンディング層49について説明した材料と同じ材料で形成することができ、重複を避けるために、詳しい説明は省略する。

【0076】

中間絶縁層61は、第1のLED積層23を覆う。中間絶縁層は、アルミニウム酸化膜、シリコン酸化膜またはシリコン窒化膜で形成でき、例えば、約800nmの厚さに形成することができる。

10

【0077】

一方、貫通ホール23h1, 23h2, 23h3, 23h4, 23h5は、第1のLED積層23を貫通する。貫通ホール23h1は下部埋立層55cbに電氣的接続を可能にするための通路を提供するために形成される。また、貫通ホール23h2は、下部埋立層55bに電氣的接続を可能にするための通路を提供するために形成され、貫通ホール23h3は、上部p電極パッド37bに電氣的接続を可能にするための通路を提供するために形成され、貫通ホール23h4は、下部埋立層55cgに電氣的接続を可能にするための通路を提供するために形成される。

【0078】

20

本実施形態において、貫通ホール23h1は下部埋立層55cbの上面を露出させることができ、貫通ホール23h2は下部埋立層55bの上面を露出させ、貫通ホール23h3は上部p電極パッド37bを露出させ、貫通ホール23h4は下部埋立層55cgの上面を露出させることができる。

【0079】

一方、貫通ホール23h5は、第1の透明電極25に電氣的接続を可能にするための通路を提供するために形成される。貫通ホール23h5は第1の透明電極25を貫通しない。しかし、本開示はこれに限定されるものではなく、貫通ホール23h1が第1の透明電極25への電氣的接続のための通路を提供する限り、第1の透明電極25を貫通してもよい。

【0080】

30

貫通ホール23h1, 23h2, 23h3, 23h4は、第1のLED積層23を貫通すると共に、中間絶縁層61、第1の透明電極25及び第2のボンディング層59を貫通してもよい。さらに、貫通ホール23h3は下部絶縁層51を貫通することができる。

【0081】

一方、貫通ホール61hは、中間絶縁層61を貫通して第1のLED積層23の第1の導電型半導体層23aを露出させることができる。

【0082】

第2の側壁絶縁層63は、貫通ホール23h1, 23h2, 23h3, 23h4, 23h5, 61hの側壁を覆い、貫通ホールの底を露出させる開口部を有する。第2の側壁絶縁層63は、例えば、化学気相蒸着技術または原子層蒸着技術を用いて形成することができ、例えば、Al₂O₃、SiO₂、Si₃N₄等で形成することができる。

40

【0083】

上部埋立層65cb, 65b, 65g, 65cg, 65r, 65crは、それぞれ貫通ホール23h1, 23h2, 23h3, 23h4, 23h5, 61hを埋めることができる。上部埋立層65cb, 65b, 65g, 65cg, 65rは第2の側壁絶縁層63によって第1のLED積層23から電氣的に絶縁される。

【0084】

一方、上部埋立層65cbは、下部埋立層55cbに電氣的に接続され、上部埋立層65bは下部埋立層55bに電氣的に接続され、上部埋立層65gは上部p電極パッド37bに電氣的に接続され、上部埋立層65cgは下部埋立層55cgに電氣的に接続される。

50

また、上部埋立層 6 5 r は第 1 の透明電極 2 5 に電氣的に接続されてもよく、上部埋立層 6 5 c g は第 1 の L E D 積層 2 3 の第 1 の導電型半導体層 2 3 a に電氣的に接続されてもよい。

【 0 0 8 5 】

上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r は、化学機械研磨技術を用いて形成することができる。例えば、シード層を形成し、めっき技術を用いて貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 , 2 3 h 5 , 6 1 h を埋めた後、化学機械研磨技術を用いて中間絶縁層 6 1 上の金属層を除去することにより、上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r が形成されてもよい。さらに、シード層を形成する前に金属バリア層が形成されてもよい。

10

【 0 0 8 6 】

上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r は、同じ工程によって一緒に形成することができる。これにより、上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r は上面が中間絶縁層 6 1 と大体並んでもよい。しかし、本開示が本実施形態に限定されるものではなく、互いに異なる工程によって形成することもできる。

【 0 0 8 7 】

第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c は、中間絶縁層 6 1 上に配置される。第 1 の上部コネクタ 6 7 r は、上部埋立層 6 5 r に電氣的に接続され、第 2 の上部コネクタ 6 7 g は上部埋立層 6 5 g に電氣的に接続され、第 3 の上部コネクタ 6 7 b は上部埋立層 6 5 b に電氣的に接続される。一方、共通上部コネクタ 6 7 c は上部埋立層 6 5 c b , 6 5 c g , 6 5 c r に共通して電氣的に接続される。つまり、上部埋立層 6 5 c b , 6 5 c g , 6 5 c r は、共通上部コネクタ 6 7 c によって互いに電氣的に接続され、よって、第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の第 1 の導電型半導体層 2 3 a , 3 3 a , 4 3 a が互いに電氣的に接続される。

20

【 0 0 8 8 】

第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c は、同じ工程で同じ材料により形成することができ、例えば、A u G e / N i / A u / T i で形成することができる。A u G e は、第 1 の導電型半導体層 2 3 a にオーミック接触できる。A u G e は、約 1 0 0 n m の厚さに形成することができ、N i / A u / T i は約 2 u m の厚さに形成することができる。A u G e の代わりに A u T e を使用することもできる。

30

【 0 0 8 9 】

上部絶縁層 7 1 は、中間絶縁層 6 1 を覆い、第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c を覆う。上部絶縁層 7 1 はまた、第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の側面を覆うことができる。上部絶縁層 7 1 は、第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c を露出させる開口部 7 1 a を有してもよい。上部絶縁層 7 1 の開口部 7 1 a は、概ね、第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c の平らな面上に配置することができる。上部絶縁層 7 1 は、シリコン酸化膜またはシリコン窒化膜で形成することができ、中間絶縁層 6 1 よりも薄く、例えば、約 4 0 0 n m の厚さに形成することができる。

40

【 0 0 9 0 】

バンプパッド 7 3 r , 7 3 g , 7 3 b , 7 3 c は、それぞれ上部絶縁層 7 1 の開口部 7 1 a 内で第 1 の上部コネクタ 6 7 r 、第 2 の上部コネクタ 6 7 g 、第 3 の上部コネクタ 6 7 b 及び上部共通コネクタ 6 7 c 上に配置されてこれらに電氣的に接続することができる。

【 0 0 9 1 】

第 1 のバンプパッド 7 3 r は、第 1 の上部コネクタ 6 7 r 及び第 1 の透明電極 2 5 を介して第 1 の L E D 積層 2 3 の第 2 の導電型半導体層 2 3 b に電氣的に接続することができる。

50

【0092】

第2のバンプパッド73gは、第2の上部コネクタ67g、上部埋立層65g、上部p電極パッド37b及び第2の透明電極35を介して、第2のLED積層33の第2の導電型半導体層33bに電氣的に接続することができる。

【0093】

第3のバンプパッド73bは、第3の上部コネクタ67b、上部埋立層65b、下部埋立層55b、下部p電極パッド47b及び第3の透明電極45を介して第3のLED積層43の第2の導電型半導体層43bに電氣的に接続することができる。

【0094】

共通バンプパッド73cは、上部共通コネクタ67cを介して上部埋立層65cb, 65cg, 65crに電氣的に接続され、これにより第1～第3のLED積層23, 33, 43の第1の導電型半導体層23a, 33a, 43aに電氣的に接続される。

10

【0095】

つまり、第1～第3のバンプパッド73r, 73g, 73bは、それぞれ第1～第3のLED積層23, 33, 43の第2の導電型半導体層23b, 33b, 43bに電氣的に接続され、共通バンプパッド73cは第1～第3のLED積層23, 33, 43の第1の導電型半導体層23a, 33a, 43aに共通して電氣的に接続される。

【0096】

前記バンプパッド73r, 73g, 73b, 73cは、上部絶縁層71の開口部71a内に配置されてもよく、バンプパッドの上面は平坦な面になってもよい。バンプパッド73r, 73g, 73b, 73cは、第1～第3の上部コネクタ67r, 67g, 67b及び上部共通コネクタ67cの平坦な面上に位置してもよい。前記バンプパッド73r, 73g, 73b, 73cは、Au/Inに形成することができ、例えば、Auは3umの厚さに形成され、Inは約1umの厚さに形成することができる。発光素子100は、Inを用いて回路基板101上のパッドにボンディングされてもよい。本実施形態において、Inを用いてバンプパッドをボンディングすることについて説明するが、Inに限定されるものではなく、Pb又はAuSnを用いてボンディングすることもできる。

20

【0097】

本実施形態において、バンプパッド73r, 73g, 73b, 73cの上面が平坦であると説明および図示しているが、本開示がこれに限定されるものではない。例えば、バンプパッド73r, 73g, 73b, 73cの上面が不規則な面の場合もあり、バンプパッドの一部が上部絶縁層71上に位置する場合もある。

30

【0098】

本実施形態によると、第1のLED積層23はバンプパッド73r, 73cに電氣的に連結され、第2のLED積層33はバンプパッド73g, 73cに電氣的に連結され、第3のLED積層43はバンプパッド73b, 73cに電氣的に連結される。これにより、第1のLED積層23、第2のLED積層33及び第3のLED積層43のカソードが共通バンプパッド73cに電氣的に接続され、アノードが第1～第3のバンプパッド73r, 73g, 73bにそれぞれ電氣的に接続する。よって、第1～第3のLED積層23, 33, 43は、独立的に駆動してもよい。

40

【0099】

本実施形態において、バンプパッド73r, 73g, 73b, 73cが形成されたことを例に挙げて説明するが、バンプパッドは省略する場合もある。特に異方性伝導性フィルムや異方性伝導性ペースト等を用いて回路基板にボンディングする場合、バンプパッドが省略され、上部コネクタ67r, 67g, 67b, 67cが直接ボンディングされることもある。これにより、ボンディング面積を増やすことができる。

【0100】

以下では、発光素子100の製造方法を具体的に説明する。下記で説明する製造方法によって、発光素子100の構造についてもより詳しく理解できると考える。図5A、図5B及び図5Cは、本開示の一実施形態にかかる成長基板上に成長した第1～第3のLED積

50

層 2 3 , 3 3 , 4 3 を説明するための概略断面図である。

【 0 1 0 1 】

先ず、図 5 A を参照すると、第 1 の基板 2 1 上に第 1 の導電型半導体層 2 3 a 及び第 2 の導電型半導体層 2 3 b を含む第 1 の L E D 積層 2 3 を成長させる。第 1 の導電型半導体層 2 3 a と第 2 の導電型半導体層 2 3 b の間には活性層（図示せず）が介在してもよい。

【 0 1 0 2 】

第 1 の基板 2 1 は、第 1 の L E D 積層 2 3 を成長させるために使用できる基板、例えば、G a A s 基板であってもよい。第 1 の導電型半導体層 2 3 a 及び第 2 の導電型半導体層 2 3 b は、A l G a I n A s 系列または A l G a I n P 系列の半導体層で形成することができ、活性層は、例えば、A l G a I n P 系列の井戸層を含んでもよい。第 1 の L E D 積層 2 3 は、例えば、緑色光を発するように A l G a I n P の組成比が定められてもよい。

10

【 0 1 0 3 】

第 2 の導電型半導体層 2 3 b 上に第 1 の透明電極 2 5 が形成されてもよい。第 1 の透明電極 2 5 は、上で説明したように、第 1 の L E D 積層 2 3 で生成された光、例えば、赤色光を透過する金属層または導電性酸化物層で形成することができる。例えば、第 1 の透明電極 2 5 は、I T O (i n d i u m - t i n o x i d e) で形成することができる。

【 0 1 0 4 】

図 5 B を参照すると、第 2 の基板 3 1 上に第 1 の導電型半導体層 3 3 a 及び第 2 の導電型半導体層 3 3 b を含む第 2 の L E D 積層 3 3 を成長させる。第 1 の導電型半導体層 3 3 a と第 2 の導電型半導体層 3 3 b の間には活性層（図示せず）が介在してもよい。

20

【 0 1 0 5 】

第 2 の基板 3 1 は、第 2 の L E D 積層 3 3 を成長させるために使用できる基板、例えば、サファイア基板、G a N 基板または G a A s 基板であってもよい。第 1 の導電型半導体層 3 3 a 及び第 2 の導電型半導体層 3 3 b は、A l G a I n A s 系列または A l G a I n P 系列の半導体層、A l G a I n N 系列の半導体層で形成することができ、活性層は、例えば、A l G a I n P 系列の井戸層または A l G a I n N 系列の井戸層を含んでもよい。第 2 の L E D 積層 3 3 は、例えば、緑色光を発するように A l G a I n P 又は A l G a I n N の組成比を定めることができる。

【 0 1 0 6 】

第 2 の導電型半導体層 3 3 b 上に第 2 の透明電極 3 5 を形成することができる。第 2 の透明電極 3 5 は、上で説明したように、第 1 の L E D 積層 2 3 で生成された光、例えば、赤色光を透過する金属層または導電性酸化物層で形成することができる。特に、第 2 の透明電極 3 5 は、Z n O で形成することができる。

30

【 0 1 0 7 】

図 5 C を参照すると、第 3 の基板 4 1 上に第 1 の導電型半導体層 4 3 a 及び第 2 の導電型半導体層 4 3 b を含む第 3 の L E D 積層 4 3 を成長させる。第 1 の導電型半導体層 4 3 a と第 2 の導電型半導体層 4 3 b の間には活性層（図示せず）が介在してもよい。

【 0 1 0 8 】

第 3 の基板 4 1 は、第 3 の L E D 積層 4 3 を成長させるために使用できる基板、例えば、サファイア基板、S i C 基板または G a N 基板であってもよい。一実施形態において、第 3 の基板 4 1 は平らなサファイア基板であってもよいが、パターニングされたサファイア基板であってもよい。第 1 の導電型半導体層 4 3 a 及び第 2 の導電型半導体層 4 3 b は、A l G a I n N 系列の半導体層で形成することができ、活性層は、例えば、A l G a I n N 系列の井戸層を含んでもよい。第 3 の L E D 積層 4 3 は、例えば、青色光を発するように A l G a I n N の組成比を定めることができる。

40

【 0 1 0 9 】

第 2 の導電型半導体層 4 3 b 上に第 3 の透明電極 4 5 が形成されてもよい。第 3 の透明電極 4 5 は、上で説明したように、第 1 および第 2 の L E D 積層 2 3 , 3 3 で生成された光、例えば、赤色光および緑色光を透過する金属層または導電性酸化物層で形成することができる。特に、第 3 の透明電極 4 5 は、Z n O で形成することができる。

50

【 0 1 1 0 】

第 1 ～ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 は、それぞれ相異なる成長基板 2 1 , 3 1 , 4 1 上で成長させ、よって、その製造工程順序は制限されない。

【 0 1 1 1 】

以下では、成長基板 2 1 , 3 1 , 4 1 上に成長した第 1 ～ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 を用いて発光素子 1 0 0 を製造する方法を説明する。以下では、主に一つの発光素子 1 0 0 領域について図示および説明するが、当業者であれば成長基板 2 1 , 3 1 , 4 1 上に成長した L E D 積層 2 3 , 3 3 , 4 3 を用いて同じ製造工程で複数の発光素子 1 0 0 が一括して製造することができることを理解できると考える。

【 0 1 1 2 】

図 6 A、6 B、7 A、7 B、8 A、8 B、9 A、9 B、1 0 A、1 0 B、1 1 A、および 1 1 B は、本開示の一実施形態にかかるディスプレイ用発光素子 1 0 0 を製造する方法を説明するための概略平面図および断面図である。ここで、断面図は、図 3 の切り取り線 A - A ' に対応する。

【 0 1 1 3 】

まず、図 6 A 及び図 6 B を参照すると、フォトリソグラフィーおよびエッチング技術を用いて第 3 の透明電極 4 5 及び第 2 の導電型半導体層 4 3 b をパターニングして第 1 の導電型半導体層 4 3 a を露出させる。この工程は、例えば、メサエッチング工程に該当する。フォトレジストパターンをエッチングマスクとして使用して行うことができる。例えば、エッチングマスクを形成した後、湿式エッチング技術で第 3 の透明電極 4 5 を先にエッチングし、次いで、同一エッチングマスクを用いて乾式エッチング技術で第 2 の導電型半導体層 4 3 b をエッチングすることができる。これにより、第 3 の透明電極 4 5 はメサエッチング領域から凹んでいてもよい。図 6 A には図面を簡略して表すために、メサの縁を図示し、第 3 の透明電極 4 5 の縁は図示していない。しかし、同じエッチングマスクを使用して第 3 の透明電極 4 5 を湿式エッチングするため、第 3 の透明電極 4 5 の縁がメサの縁からメサ内側に凹んでいることを容易に理解することができる。同じエッチングマスクを用いるため、フォトリソグラフィー工程数が増えないことから、工程コストを節約することができる。しかし、本開示はこれに限定されるものではなく、メサエッチング工程のためのエッチングマスクと、第 3 の透明電極 4 5 をエッチングするためのエッチングマスクを、それぞれ使用することもできる。

【 0 1 1 4 】

続いて、n 電極パッド 4 7 a 及び下部 p 電極パッド 4 7 b がそれぞれ第 1 の導電型半導体層 4 3 a 及び第 3 の透明電極 4 5 上に形成される。n 電極パッド 4 7 a と下部 p 電極パッド 4 7 b は互いに異なる厚さに形成することができる。特に、n 電極パッド 4 7 a と下部 p 電極パッド 4 7 b の上面が同じ高さに位置してもよい。

【 0 1 1 5 】

図 7 A 及び図 7 B を参照すると、図 6 A 及び図 6 B を参照して説明した第 3 の L E D 積層 4 3 上に図 5 B を参照して説明した第 2 の L E D 積層 3 3 がボンディングされる。T B D B (t e m p o r a r y b o n d i n g / d e b o n d i n g) 技術を用いて一時基板に第 2 の L E D 積層 3 3 をボンディングし、第 2 の基板 3 1 が第 2 の L E D 積層 3 3 から先に除去される。第 2 の基板 3 1 は、例えば、レーザーリフトオフ技術を用いて除去されてもよい。第 2 の基板 3 1 が除去された後、第 1 の導電型半導体層 3 3 a の表面に粗い面が形成されてもよい。その後、一時基板にボンディングされた第 2 の L E D 積層 3 3 の第 1 の導電型半導体層 3 3 a が、第 3 の L E D 積層 4 3 に向くように配置して第 3 の L E D 積層 4 3 にボンディングされてもよい。第 2 の L E D 積層 3 3 と第 3 の L E D 積層 4 3 は、第 1 のボンディング層 4 9 によって互いにボンディングされる。第 2 の L E D 積層 3 3 をボンディングした後、一時基板もレーザーリフトオフ技術を用いて除去することができる。これにより、第 2 の透明電極 3 5 が上面に配置された形態で第 2 の L E D 積層 3 3 が第 3 の L E D 積層 4 3 に配置されてもよい。

【 0 1 1 6 】

ITOは、レーザーリフトオフ技術を用いて第2の基板31を分離する際、第2のLED積層33から剥離されてもよい。よって、レーザーリフトオフ技術を用いて第2の基板31を除去する場合、第2の透明電極35は接合力に優れるZnOで形成されたものが有利となる。

【0117】

次いで、第2の透明電極35及び第2の導電型半導体層33bをパターニングして第1の導電型半導体層33aを露出させる。第2の透明電極35及び第2の導電型半導体層33bは、フォトリソグラフィーおよびエッチング技術を用いてパターニングすることができる。この工程は、前述の第3の透明電極45及び第2の導電型半導体層43bをエッチングしたメサエッチング工程と同じ方法で湿式エッチング及び乾式エッチング技術を用いて行うことができる。

10

【0118】

例えば、エッチングマスクを形成した後、湿式エッチング技術で第2の透明電極35を先にエッチングし、次いで同じエッチングマスクを用いて乾式エッチング技術で第2の導電型半導体層33bをエッチングすることができる。これにより、第2の透明電極35はメサエッチング領域から凹んでいてもよい。図7Aには図面を簡略に表すためにメサの縁を図示し、第2の透明電極35の縁は図示していない。しかし、同じエッチングマスクを使用して第2の透明電極35を湿式エッチングするため、第2の透明電極35の縁がメサの縁からメサ内側に凹むことが容易に理解できる。同じエッチングマスクを用いるため、フォトリソグラフィー工程数が増えないことから、工程コストを節約することができる。しかし、本開示はこれに限定されるものではなく、メサエッチング工程のためのエッチングマスクと、第2の透明電極35をエッチングするためのエッチングマスクを、それぞれ使用することもできる。

20

【0119】

図7Aに示した通り、第2のLED積層33のメサエッチング領域は、第3のLED積層43のメサエッチング領域と一部重なっていてもよい。例えば、第2のLED積層33のメサエッチング領域の一部はn電極パッド47a上部に形成することができる。また、メサエッチング領域の他の一部は、下部p電極パッド47b上部に位置してもよい。

【0120】

また、図7Aに示したように、上部p電極パッド37bは第2の透明電極35上に形成されてもよい。

30

【0121】

一方、図7Bに示したように、下部絶縁層51は第2のLED積層33および第2の透明電極35を覆うように形成されてもよい。下部絶縁層51はまた、上部p電極パッド37bを覆うことができ、さらに平坦な上面を有するように形成することができる。

【0122】

図8A及び図8Bを参照すると、第2のLED積層33を貫通する貫通ホール33h1, 33h2が形成される。貫通ホール33h1, 33h2は、第1のボンディング層49を貫通してn電極パッド47a及び下部p電極パッド47bを露出させる。貫通ホール33h1, 33h2は、メサエッチング領域内に形成することができる。

40

【0123】

一方、第2のLED積層33の第1の導電型半導体層33aを露出させる貫通ホール51hを形成することができる。貫通ホール51hは、第2の導電型半導体層33のメサエッチング領域内に位置してもよい。貫通ホール51hは貫通ホール33h1, 33h2を形成した後、又は前に形成されてもよい。

【0124】

次いで、第1の側壁絶縁層53が形成される。第1の側壁絶縁層53は、例えば、原子層蒸着技術を用いて形成することができる。第1の側壁絶縁層53は、下部絶縁層51の上面を覆うことができ、さらに、貫通ホール33h1, 33h2, 51hの側壁および底面を覆うことができる。貫通ホール33h1, 33h2, 51hの底面に形成された第1の

50

側壁絶縁層 5 3 は、エッチング工程によって除去することができ、よって、n 電極パッド 4 7 a、下部 p 電極パッド 4 7 b および第 1 の導電型半導体層 3 3 a が露出されてもよい。

【 0 1 2 5 】

次いで、シード層を形成し、めっき技術を用いて金属層を形成した後、化学機械研磨技術を用いて下部絶縁層 5 1 上面に形成された金属層を除去することにより、貫通ホール 3 3 h 1 , 3 3 h 2 , 5 1 h を埋める下部埋立層 5 5 c b , 5 5 b , 5 5 c g が完成する。

【 0 1 2 6 】

その後、図 5 A で説明した第 1 の L E D 積層 2 3 が第 2 の L E D 積層 3 3 にボンディングされる。第 2 のボンディング層 5 9 を用いて第 1 の透明電極 2 5 が第 2 の L E D 積層 3 3 に向くように、第 1 の L E D 積層 2 3 と第 2 の L E D 積層 3 3 がボンディングされてもよい。これにより、第 2 のボンディング層 5 9 は第 1 の透明電極 2 5 に接すると共に、下部絶縁層 5 1 および下部埋立層 5 5 c b , 5 5 b , 5 5 c g に接することができる。

10

【 0 1 2 7 】

一方、第 1 の基板 2 1 は、第 1 の L E D 積層 2 3 から除去される。第 1 の基板 2 1 は、例えば、エッチング技術を用いて除去されてもよい。第 1 の基板 2 1 が除去された後、第 1 の導電型半導体層 2 3 a 上に中間絶縁層 6 1 が形成されてもよい。

【 0 1 2 8 】

図 9 A および図 9 B を参照すると、第 1 の L E D 積層 2 3 および第 1 の透明電極 2 5 を貫通する貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 が形成される。貫通ホール 2 3 h 1 は下部埋立層 5 5 c b を露出させ、貫通ホール 2 3 h 2 は下部埋立層 5 5 b を露出させ、貫通ホール 2 3 h 3 は上部 p 電極パッド 3 7 b を露出させ、貫通ホール 2 3 h 4 は下部埋立層 5 5 c g を露出させてもよい。

20

【 0 1 2 9 】

一方、貫通ホール 2 5 h 5 が形成される。貫通ホール 2 5 h 5 は、第 1 の L E D 積層 2 3 を貫通して、第 1 の透明電極 2 5 を露出させる。また、中間絶縁層 6 1 を貫通する貫通ホール 6 1 h が形成されてもよい。貫通ホール 6 1 h は、第 1 の導電型半導体層 2 3 a を露出させる。

【 0 1 3 0 】

貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 は、同一工程で一緒に形成することができる。これら貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 は、中間絶縁層 6 1、第 1 の L E D 積層 2 3、第 1 の透明電極 2 5 および第 2 のボンディング層 5 9 を貫通してもよい。さらに、貫通ホール 2 3 h 3 は下部絶縁層 5 1 を貫通してもよい。

30

【 0 1 3 1 】

これとは異なり、貫通ホール 6 1 h および貫通ホール 2 3 h 5 は、貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 とはエッチングの深さが異なるため、別の工程により形成することができる。貫通ホール 6 1 h および貫通ホール 2 3 h 5 も互いに異なる工程によって形成することができる。

【 0 1 3 2 】

次いで、貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 , 2 3 h 5 , 6 1 h を埋める上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r が形成される。上部埋立層を形成するために、第 2 の側壁絶縁層 6 3 が貫通ホール 2 3 h 1 , 2 3 h 2 , 2 3 h 3 , 2 3 h 4 , 2 3 h 5 , 6 1 h の側壁を覆うように形成され、シード層および金属めっき層が形成されてもよく、化学機械研磨技術を用いて中間絶縁層 6 1 上の金属層が除去されてもよい。シード層を形成する前に金属障壁層を追加形成してもよい。上部埋立層 6 5 c b , 6 5 b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r を形成する工程は、下部埋立層 5 5 c b , 5 5 b , 5 5 c g を形成する工程と大体似ているため、詳しい説明は省略する。

40

【 0 1 3 3 】

図 10 A および図 10 B を参照すると、中間絶縁層 6 1 上に第 1 ~ 第 3 の上部コネクタ 6 7 b , 6 7 g , 6 7 r および上部共通コネクタ 6 7 c が形成される。第 1 の上部コネクタ 6 7 r は上部埋立層 6 5 r に電氣的に接続され、第 2 の上部コネクタ 6 7 g は上部埋立層

50

6 5 g に電氣的に接続され、第 3 の上部コネクタ 6 7 b は上部埋立層 6 5 b に電氣的に接続される。一方、上部共通コネクタ 6 7 c は上部埋立層 6 5 c b , 6 5 c g , 6 5 c r に電氣的に接続される。

【 0 1 3 4 】

よって、第 1 ~ 第 3 の上部コネクタ 6 7 r , 6 7 g , 6 7 b は、それぞれ第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の第 2 の導電型半導体層 2 3 b , 3 3 b , 4 3 b に電氣的に接続され、上部共通コネクタ 6 7 c は第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の第 1 の導電型半導体層 2 3 a , 3 3 a , 4 3 a に電氣的に接続される。

【 0 1 3 5 】

図 1 1 A および図 1 1 B を参照すると、アイソレーション工程によって発光素子 1 0 0 領域を定義するための分離溝が形成される。分離溝は、第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の周りに沿って第 3 の基板 4 1 を露出させることができる。発光素子領域間で第 1 の L E D 積層 2 3 、第 1 の透明電極 2 5 、第 2 のボンディング層 5 9 、下部絶縁層 5 1 、第 2 の L E D 積層 3 3 、第 1 のボンディング層 4 9 、第 3 の L E D 積層 4 3 を順に除去することにより、分離溝が形成されてもよい。第 2 の透明電極 3 5 及び第 3 の透明電極 4 5 は、アイソレーション工程を行う間、露出されず、よって、エッチングガスによって損傷しない。第 2 及び第 3 の透明電極 3 5 , 4 5 が Z n O で形成される場合、Z n O はエッチングガスによって容易に損傷され得る。しかし、本開示は第 2 及び第 3 の透明電極 3 5 , 4 5 を予め凹ませることにより、これらがエッチングガスに露出することを防ぐことができる。

【 0 1 3 6 】

本実施形態において、アイソレーション工程によって第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 が順にパターニングされることを説明するが、本開示は必ずしもこれに限定されるものではない。第 2 の L E D 積層 3 3 をボンディングする前に、分離溝が形成される領域で第 3 の L E D 積層 4 3 が予め除去される場合もあり、第 1 の L E D 積層 2 3 をボンディングする前に、分離溝が形成される領域で第 2 の L E D 積層 3 3 が予め除去される場合もある。この場合、第 3 の L E D 積層 4 3 が除去された領域は、第 1 のボンディング層 4 9 で埋めることができ、第 2 の L E D 積層 3 3 が除去された領域は、第 2 のボンディング層 5 9 で埋めることができる。これにより、アイソレーション工程で第 2 および第 3 の L E D 積層 3 3 , 4 3 は、露出されなくなってもよい。

【 0 1 3 7 】

アイソレーション工程は、上部コネクタ 6 7 r , 6 7 g , 6 7 b , 6 7 c を形成する前に行うこともでき、この場合、アイソレーション工程によって露出した側壁を保護するために中間絶縁層 6 1 を覆う保護絶縁層が追加されてもよい。保護絶縁層は、上部埋立層 6 5 b , 6 5 c b , 6 5 g , 6 5 c g , 6 5 r , 6 5 c r を露出させる開口部を有してもよく、上部コネクタ 6 7 r , 6 7 g , 6 7 b , 6 7 c が上部埋立層に電氣的に接続するように形成することができる。

【 0 1 3 8 】

一方、上部コネクタ 6 7 r , 6 7 g , 6 7 b , 6 7 c を覆う上部絶縁層 7 1 が形成される。上部絶縁層 7 1 は、中間絶縁層 6 1 又は保護絶縁層を覆うことができる。

【 0 1 3 9 】

上部絶縁層 7 1 は、第 1 ~ 第 3 の L E D 積層 2 3 , 3 3 , 4 3 の側面を覆うことができる。上部絶縁層 7 1 は、第 1 ~ 第 3 の上部コネクタ 6 7 r , 6 7 g , 6 7 b および上部共通コネクタ 6 7 c を露出させる開口部 7 1 a を有するようにパターニングすることができる。

【 0 1 4 0 】

次いで、前記開口部 7 1 a 内にそれぞれバンプパッド 7 3 r , 7 3 g , 7 3 b , 7 3 c が形成される。第 1 のバンプパッド 7 3 r は、第 1 の上部コネクタ 6 7 r 上に配置され、第 2 のバンプパッド 7 3 g は第 2 の上部コネクタ 6 7 g 上に配置され、第 3 のバンプパッド 7 3 c は第 3 の上部コネクタ 6 7 c 上に配置される。共通バンプパッド 7 3 c は上部共通コネクタ 6 7 c 上に配置される。

【 0 1 4 1 】

続いて、発光素子 1 0 0 を回路基板 1 0 1 上にボンディングし、第 3 の基板 4 1 を分離することにより、第 3 の基板 4 1 から分離された発光素子 1 0 0 が完成する。回路基板 1 0 1 にボンディングされた発光素子 1 0 0 の概略断面図は図 1 2 に示した。

【 0 1 4 2 】

図 1 2 は、単一の発光素子 1 0 0 が回路基板 1 0 1 上に配置されたことを示しているが、回路基板 1 0 1 上には複数の発光素子 1 0 0 が実装される。それぞれの発光素子 1 0 0 は、青色光、緑色光および赤色光を放出できる一つのピクセルを構成し、回路基板 1 0 1 上に複数のピクセルが整列してディスプレイパネルが提供される。

【 0 1 4 3 】

一方、第 3 の基板 4 1 上には複数の発光素子 1 0 0 が形成でき、これら発光素子 1 0 0 は一つずつ回路基板 1 0 1 に転写されるものではなく、集団で回路基板 1 0 1 上に転写することができる。図 1 3 A、図 1 3 B、及び図 1 3 C は、一実施形態にかかる発光素子を回路基板に転写する方法を説明するための概略断面図である。ここでは、第 3 の基板 4 1 上に形成された発光素子 1 0 0 を集団で回路基板 1 0 1 に転写する方法を説明する。

【 0 1 4 4 】

図 1 3 A を参照すると、図 1 1 A および図 1 1 B で説明したように、第 3 の基板 4 1 上の発光素子 1 0 0 の製造工程が完了したら、第 3 の基板 4 1 上に複数の発光素子 1 0 0 が分離溝によって分離されて整列される。

【 0 1 4 5 】

一方、上面にパッドを有する回路基板 1 0 1 が提供される。パッドはディスプレイのためのピクセルの整列位置に対応するように回路基板 1 0 1 上に配列される。一般的に、第 3 の基板 4 1 上に整列された発光素子 1 0 0 の間隔は、回路基板 1 0 1 内のピクセルの間隔に比べてより稠密になっている。

【 0 1 4 6 】

図 1 3 B を参照すると、発光素子 1 0 0 のバンプパッドを回路基板 1 0 1 上のパッドにボンディングする。バンプパッドとパッドは、In ボンディングを用いてボンディングすることができる。一方、ピクセル領域間に位置する発光素子 1 0 0 は、ボンディングされるパッドがないため、回路基板 1 0 1 から離れた状態を維持する。

【 0 1 4 7 】

次いで、第 3 の基板 4 1 上にレーザーを照射する。レーザーは、パッドにボンディングされた発光素子 1 0 0 に選択的に照射される。そのために、第 3 の基板 4 1 上に発光素子 1 0 0 を選択的に露出させる開口部を有するマスクが形成されてもよい。

【 0 1 4 8 】

その後、レーザーが照射された発光素子 1 0 0 を第 3 の基板 4 1 から分離することにより、発光素子 1 0 0 が回路基板 1 0 1 に転写される。これにより、図 1 3 C に示したように、回路基板 1 0 1 上に発光素子 1 0 0 が整列したディスプレイパネルが提供される。ディスプレイパネルは、図 1 を参照して説明したような多様なディスプレイ装置に実装されてもよい。

【 0 1 4 9 】

図 1 4 は、他の実施形態にかかる発光素子の転写方法を説明するための概略断面図である。

【 0 1 5 0 】

図 1 4 を参照すると、本実施形態にかかる発光素子の転写方法は、異方性伝導性接着フィルム、又は異方性伝導性接着ペーストを用いて発光素子をパッドにボンディングすることに違いがある。つまり、異方性伝導性接着フィルム又は接着ペースト 1 2 1 がパッド上に提供され、発光素子 1 0 0 が異方性伝導性接着フィルムや接着ペースト 1 2 1 を介してパッドに接着されてもよい。発光素子 1 0 0 は、異方性伝導性接着フィルムや接着ペースト 1 2 1 内の導電物質によって、パッドに電氣的に接続される。

【 0 1 5 1 】

本実施形態において、バンプパッド 7 3 r , 7 3 g , 7 3 b , 7 3 c は省略することがで

10

20

30

40

50

き、上部コネクタ 67r, 67g, 67b, 67c が導電物質を介してパッドに電氣的に連結されてもよい。

【0152】

以上で、本開示の多様な実施形態について説明したが、本開示はこれら実施形態に限定されるものではない。また、一つの実施形態について説明した事項や構成要素は、本開示の技術的思想から外れない限り、別の実施形態にも適用できる。

10

20

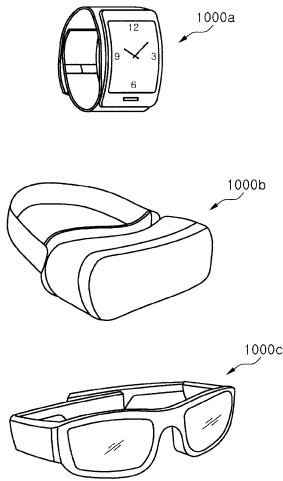
30

40

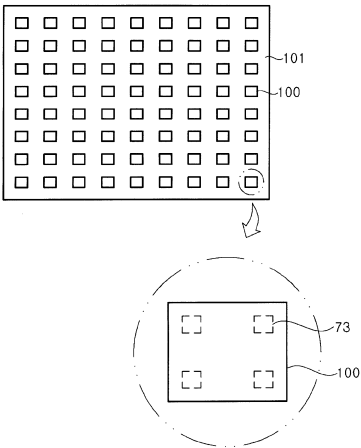
50

【図面】

【図 1】



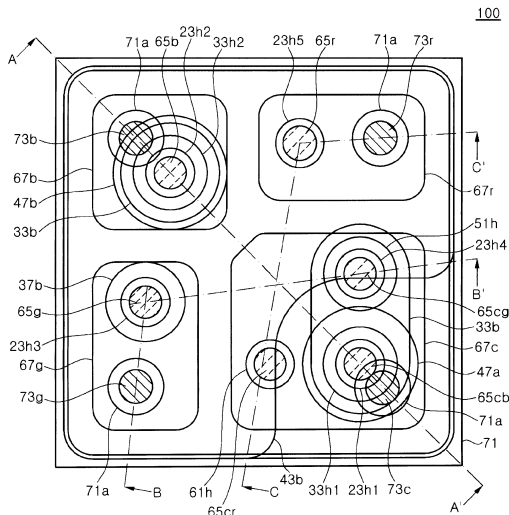
【図 2】



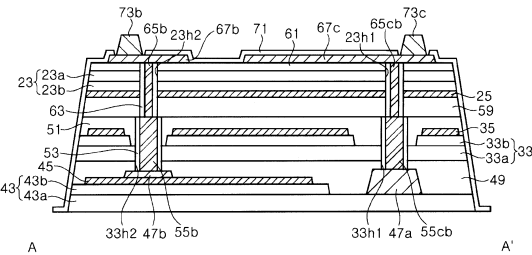
10

20

【図 3】



【図 4 A】

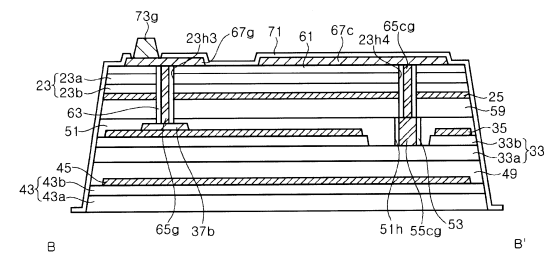


30

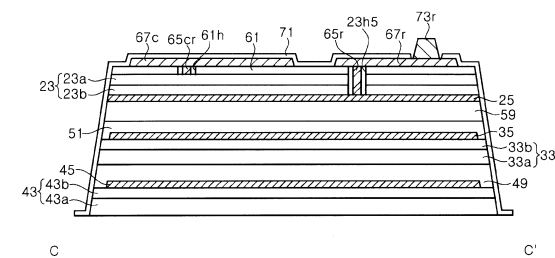
40

50

【図 4 B】

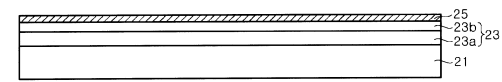


【図 4 C】

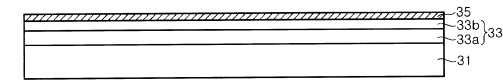


10

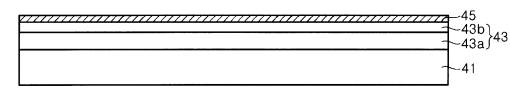
【図 5 A】



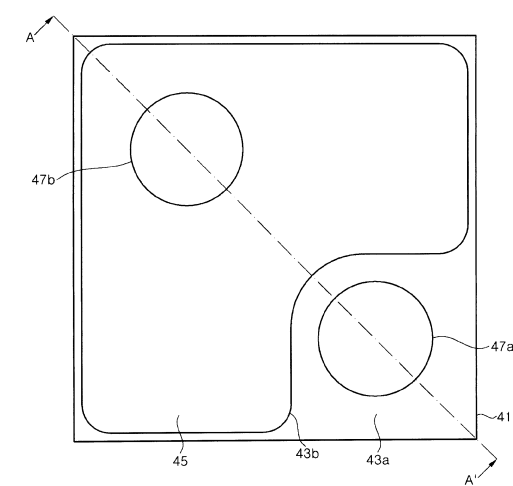
【図 5 B】



【図 5 C】



【図 6 A】



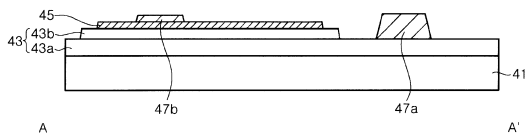
20

30

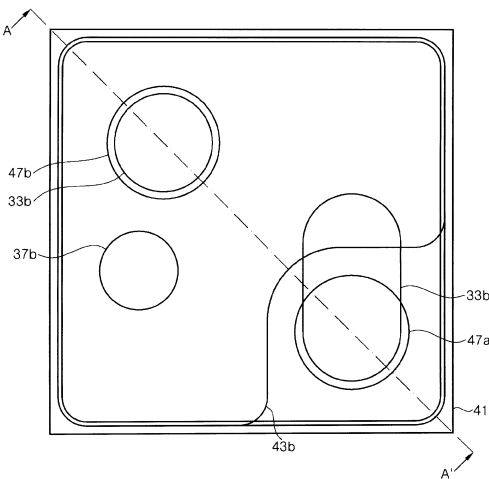
40

50

【図 6 B】

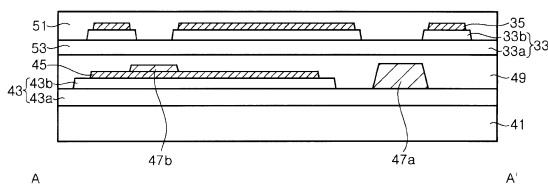


【図 7 A】

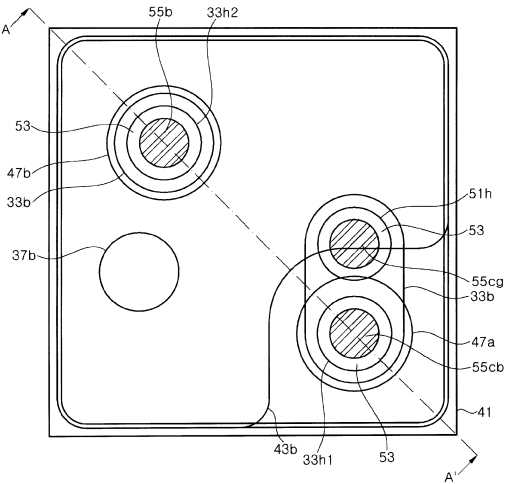


10

【図 7 B】



【図 8 A】



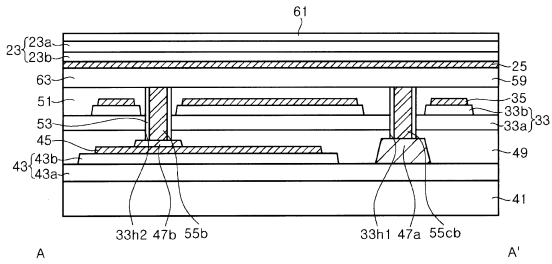
20

30

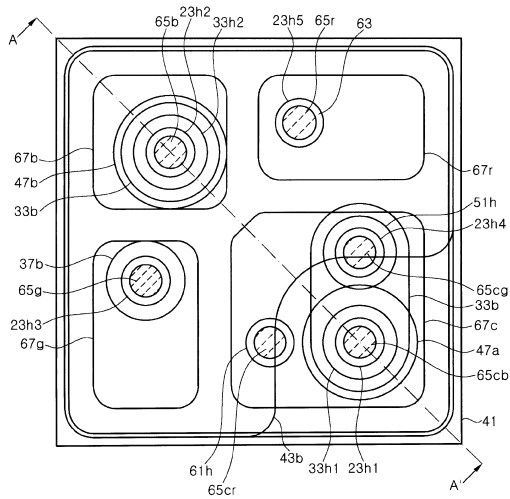
40

50

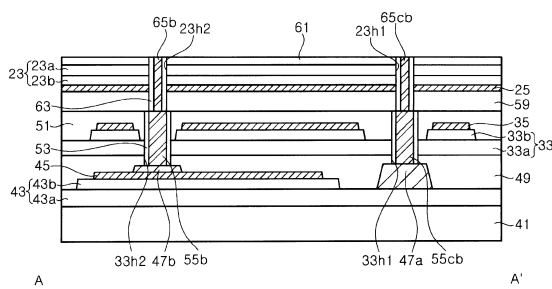
【図 8 B】



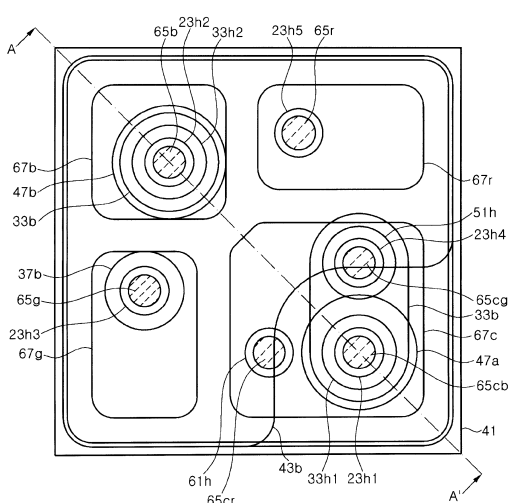
【図 9 A】



【図 9 B】



【図 10 A】



10

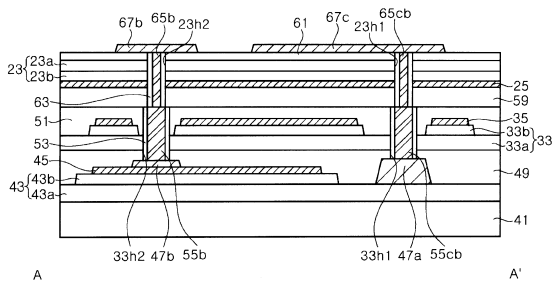
20

30

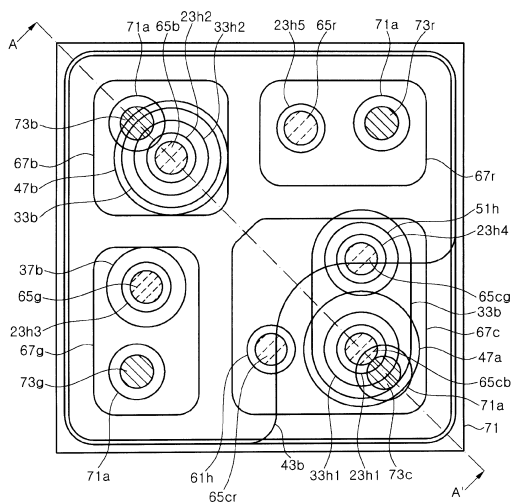
40

50

【図 10 B】

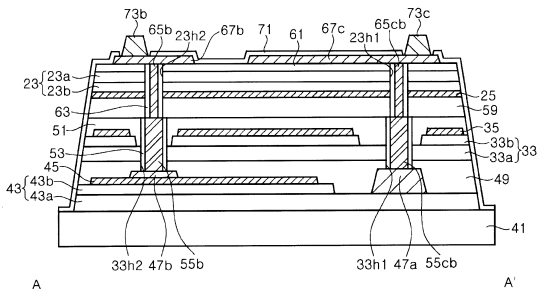


【図 11 A】

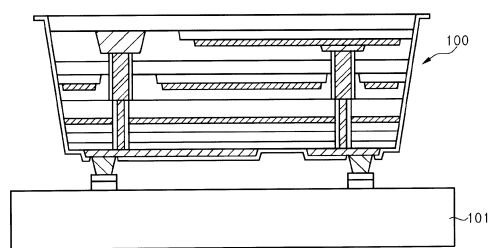


10

【図 11 B】

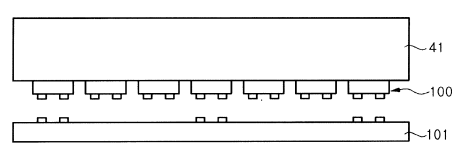


【図 12】

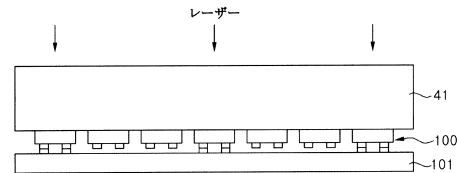


20

【図 13 A】



【図 13 B】

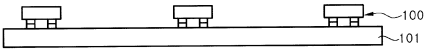


30

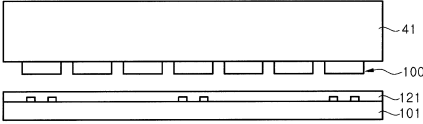
40

50

【図 13 C】



【図 14】



10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

(72)発明者 イ, ソム グン

大韓民国 ギョンギ - ド アンサン - シ ダンウォン - グ サンダン - ロ 1 6 3 ベオン - ギル 6 5
- 1 6

(72)発明者 チャン, ソン ギュ

大韓民国 ギョンギ - ド アンサン - シ ダンウォン - グ サンダン - ロ 1 6 3 ベオン - ギル 6 5
- 1 6

(72)発明者 シン, チャン ソブ

大韓民国 ギョンギ - ド アンサン - シ ダンウォン - グ サンダン - ロ 1 6 3 ベオン - ギル 6 5
- 1 6

(72)発明者 イ, ホ ジュン

大韓民国 ギョンギ - ド アンサン - シ ダンウォン - グ サンダン - ロ 1 6 3 ベオン - ギル 6 5
- 1 6

審査官 村井 友和

(56)参考文献 米国特許出願公開第 2 0 1 7 / 0 2 8 8 0 9 3 (U S , A 1)

特表 2 0 1 9 - 5 0 9 6 3 6 (J P , A)

米国特許出願公開第 2 0 0 6 / 0 0 2 7 8 2 0 (U S , A 1)

特開 2 0 1 4 - 1 7 5 4 2 7 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 3 3 / 0 0 - 3 3 / 6 4