

公告本

發明專利說明書

561513

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91125021 ※IPC分類：H01L 21/00

※申請日期：91.10.25

壹、發明名稱

(中文) 半導體裝置及其製造方法

(日文) 半導体装置及びその製造方法

貳、發明人(共 7 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 田中 正幸

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市港北區新吉田町1265-1-519

(英文)

國籍：(中文) 日本

(英文) JAPAN

參、申請人(共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商東芝股份有限公司

(英文) KABUSHIKI KAISHA TOSHIBA

住居所或營業所地址：(中文) 日本國東京都港區芝浦1丁目1番1號

(英文)

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 岡村 正

(英文) TADASHI OKAMURA

發明人 2

姓名：(中文) 小澤 良夫

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市港北區富士塚1-5-19

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 齋田 繁彦

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市中區吉田町64-1克利歐橫濱

關內參番館401

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 4

姓名：(中文) 合田 晃

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市港北區太尾町156-3-315

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 5

姓名：(中文) 野口 充宏

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市港北區新吉田町3105-11

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 6

姓名：(中文) 三谷 祐一郎

(英文)

住居所地址：(中文) 日本國神奈川縣逗子市池子二丁目4-62

(英文)

國籍：(中文) 日本

(英文) JAPAN

發明人 7

姓名：(中文) 綱島 祥隆

(英文)

住居所地址：(中文) 日本國神奈川縣橫濱市泉區領家4-17-8

(英文)

國籍：(中文) 日本

(英文) JAPAN

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☒ 本案已向下列國家(地區)申請專利，申請日期及案號資料如下：

【格式請依：申請國家(地區)；申請日期；申請案號 順序註記】

1. 日本；2002年05月29日；特願2002-155740

2. _____

3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家(地區)；日期；案號 順序註記】

1. 日本；2002年05月29日；特願2002-155740

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明之技術領域

本發明係關於一種半導體裝置及其製造方法，尤其係關於設在半導體裝置之絕緣膜。

先前技藝

氮化矽膜(SiN膜)可隨處應用於半導體裝置，但是，使用二氯矽烷(SiH_2Cl_2 : DCS)而成膜之傳統SiN膜在製造次世代的半導體裝置上，有引起各種問題之虞。

舉例來說，以下就採用雙閘極的次世代DRAM所產生的問題進行說明。次世代DRAM係使用厚約200 nm左右的SiN膜作為電極加工用的硬式掩膜，以使用DCS的SiN膜(DCS-SiN膜)之情形而言，成膜後的高溫工序會加速使硼擴散，造成PMOS元件劣化，SiN膜起因的PMOS元件劣化的問題，雖可藉由整合方面的對策而做某種程度的緩和，然而此種對策會導致電晶體的性能劣化，難以付諸實行，因此，為求根本的解決之道，就必須開發不會引起PMOS元件劣化的SiN膜。

由DCS-SiN膜所造成的元件劣化問題，可藉由使用四氯化矽(SiCl_4 : TCS)的SiN膜來解決，但是TCS-SiN膜的成膜速度緩慢，約為DCS-SiN膜的成膜速度的三分之一。成膜速度在理論上可藉由改變成膜條件(成膜溫度、成膜壓力等)而加快，但是從確保膜的均一性、防止膜質劣化及抑制灰塵等必要性而言，要加快成膜速度，實際上有其困難，因此，使用TCS-SiN膜的情形中，存在著生產性惡化的問題。

此外，在次世代的快閃記憶體之單元構造方面，已有提案出一種使用氮化矽膜作為電荷蓄積層之MONOS型元件。MONOS元件係於半導體基板上依序堆疊氧化矽膜(通道氧化膜、底氧化膜)、氮化矽膜(電荷蓄積層)、氧化矽膜(頂氧化膜)及電極者，形成M-O-N-O-S構造；電性資訊("0"或"1")之寫入，係從半導體基板經由通道氧化膜將電子或電洞植入氮化矽膜之方式進行。

MONOS元件具有因寫入/拭除應力造成資料毀損的問題，而NAND型的元件會因讀出應力造成資料毀損的問題。至於非揮發性記憶體，一般均講求進行十萬次的寫入/拭除後，仍能保持十年電荷之性能，然就現狀而言，尚難以實現充分的電荷保持特性。

先前技藝中，特開昭60-60770號公報係揭示有使用氮含量互異的兩層SiN膜作為電荷蓄積層之構造；成膜氣體係採用矽烷及氮。具體而言，其係將Si-H鍵結較多的SiN膜設於下層側、Si-H鍵結較少的SiN膜設於上層側，藉此來改善電荷保持特性。然而，如後所述，此種構造未必稱得上是最佳構造。

特開平9-64205號公報中揭示者，係於用作為電荷蓄積層之SiN膜中，在SiN膜的頂面附近具有矽濃度高峰、在SiN膜的底面附近具有氮濃度高峰之構造；成膜氣體係使用例如DCS及氮。具體而言，其係對SiN膜的單層膜進行矽及氮的離子植入，藉此來調整矽及氮的濃度，然而SiN膜係使用DCS等而形成之單層膜，此種構造亦未必稱得上是最

佳構造。

特公平 5-48631 號公報中揭示者，係將含氧的氮化矽膜（氮氧化矽膜）作為蓄積電荷層，而形成於頂氧化膜側之構造，藉由此種構造來提升電荷保持特性，然而，如後所述，此種構造亦未必稱得上是最佳構造。

此外，在快閃記憶體等非揮發性記憶體方面，隨著元件的微小化，通道絕緣膜日益講求薄膜化。使用氧化矽膜或氮氧化矽膜作為通道絕緣膜的情形時，在所謂直接穿隧的機構下，於 5 MV/cm 以下的低電場施加時會產生漏電流，故而導致電荷保持特性惡化。

於是，為降低低電場漏電流，另有提案使用氮化矽膜作為通道絕緣膜（參照 Non-Volatile Semiconductor Memory Workshop 1998，p.95 及 Non-Volatile Semiconductor Memory Workshop 2001，p.67），但是，其初期特性雖然良好，但隨著寫入/拭除次數增加，而逐漸產生所謂 SILC (Stress Induced Leakage Current，應力導致之漏電流) 的低電場漏電流，因此，其作為非揮發性記憶元件之資料保存能力不夠充分。本發明所欲解決之課題

如上所述，使用 DCS 形成氮化矽膜之問題，雖可藉由使用 TCS 而解決，然而在使用 TCS 的情形下，難以提升成膜速度，故具有生產性惡化的問題。

另有提案使用氮化矽膜作為電荷蓄積層之非揮發性記憶元件，然而就以往的構造而言，無法獲得令人滿意的電荷保持特性乃是其一大問題。

又有提案將氮化矽膜用作非揮發性記憶元件之通道絕緣膜，然而就以往的構造而言，無法獲得令人滿意的電荷保持特性乃是其一大問題。

本發明乃針對上述過去的課題而提出者，目的在於藉由改善氮化矽膜之構造及形成方法，提供一種具優異特性等之半導體裝置及其製造方法。

課題之解決手段

本發明相關之半導體裝置，其特徵在於具有：半導體基板；閘電極；第一絕緣膜，其係形成於前述半導體基板與前述閘電極之間；及第二絕緣膜，其包含下層側氮化矽膜及上層側氮化矽膜，該下層側氮化矽膜係沿著前述閘電極的頂面或側面而形成，內含氮、矽及氫；該上層側氮化矽膜係形成於下層側氮化矽膜上，內含氮、矽及氫；前述下層側氮化矽膜中的氮(N)及矽(Si)之組成比N/Si，高於前述上層側氮化矽膜中的氮(N)及矽(Si)之組成比N/Si。

再者，本發明相關之半導體裝置，其特徵在於具有：半導體基板；閘電極；第一絕緣膜，其係形成於前述半導體基板與前述閘電極之間；及第二絕緣膜，其係包含下層側氮化矽膜及上層側氮化矽膜，該下層側氮化矽膜係近接於前述閘電極而形成，內含氮、矽及氫；該上層側氮化矽膜係形成於下層側氮化矽膜上，內含氮、矽及氫；前述下層側氮化矽膜中之含氫濃度，高於前述上層側氮化矽膜中之含氫濃度。

又本發明相關之半導體裝置，其特徵係具有串聯連接的

多數之記憶單元；前述記憶單元係包括：半導體基板，其係包含源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域；第一絕緣膜，其係形成於前述半導體基板上；第二絕緣膜，其係形成於前述第一絕緣膜上，而蓄積從前述半導體基板經由前述第一絕緣膜而植入的電荷者；且係包含厚度在1 nm以上且4 nm以下之下層側氮化矽膜，及形成於下層側氮化矽膜上之上層側氮化矽膜；第三絕緣膜，其係形成於前述第二絕緣膜上；以及控制閘電極，其係形成於前述第三絕緣膜上。

此外，本發明相關之半導體裝置，其特徵在於具有：半導體基板，其係包含源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域；第一絕緣膜，其係形成於前述半導體基板上；第二絕緣膜，其係形成於前述第一絕緣膜上，而蓄積從前述半導體基板經由前述第一絕緣膜而植入的電荷者；且係包含厚度在1 nm以上且4 nm以下之下層側氮化矽膜，及形成於下層側氮化矽膜上之上層側氮化矽膜；第三絕緣膜，其係形成於前述第二絕緣膜上；及控制閘電極，其係形成於前述第三絕緣膜上；前述第二絕緣膜係具有前述源極區域附近的第二區域及前述汲極區域附近的第二區域，前述第一區域及第二區域係相互獨立而蓄積有電荷。

本發明相關之半導體裝置的製造方法，其特徵在於具有：第一絕緣膜形成工序，其係形成於半導體基板上；及第二絕緣膜形成工序，其係形成於包含前述第一絕緣膜之

區域上；前述第二絕緣膜形成工序係包括：第一氮化矽膜形成工序，其係使用包含四氯化矽之第一矽源及第一氮源而形成；及第二氮化矽膜形成工序，其係於前述第一氮化矽膜上，使用四氯化矽以外之第二矽源及第二氮源而形成。

此外，本發明相關之半導體裝置，其特徵在於具有：半導體基板；閘電極；第一絕緣膜，其係形成於前述半導體基板與前述閘電極之間；及第二絕緣膜，其係包含氮化矽膜，該氮化矽膜係近接於前述閘電極而形成，內含氮、矽及氫；前述氮化矽膜的含重氫數對總含氫數之比例係為0.9以上。

此外，本發明相關之半導體裝置的製造方法，其特徵在於具有：第一絕緣膜形成工序，其係形成於半導體基板上；及第二絕緣膜形成工序，其係形成於包含前述第一絕緣膜之區域上；前述第二絕緣膜形成工序係包括氮化矽膜形成工序，其係使用含有矽源及重氫之氮源而形成。

此外，本發明相關之半導體裝置，其特徵在於具有：半導體基板；控制閘電極；氮化矽膜，其係形成於前述半導體基板及前述控制閘電極之間，內含矽、氮及氮鍵結下的重氫；及電荷蓄積膜，其係形成於前述控制閘電極與前述氮化矽膜之間，而蓄積從前述半導體基板經由前述氮化矽膜而植入的電荷。

發明之實施形態

以下參照圖式說明本發明的實施形態。

[實施形態一]

圖1～圖5係顯示本發明的第一實施形態相關之半導體裝置(MIS電晶體)的製造方法之剖面圖。

首先，如圖1所示，於矽基板101上形成元件分離區域102及閘絕緣膜103，閘絕緣膜103係為厚4.5 nm的氮氧化矽膜。接著於閘絕緣膜103上，形成非晶矽膜104 (70 nm)、氮化鎢膜105 (5 nm)及鎢膜106 (40 nm)之疊層構造，作為閘電極。非晶矽膜104中，於PMOS區域中置入p型雜質，於NMO區域中置入n型雜質，例如，在PMOS區域中，以5 keV、 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的條件植入有硼離子；在NMOS區域中，以10 keV、 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的條件植入有磷離子，藉由此種方式，對PMOS的閘電極導入多於 $1 \times 10^{19} \text{ cm}^{-3}$ 且少於 $1 \times 10^{21} \text{ cm}^{-3}$ 的硼。

接著，如圖2所示，利用減壓化學氣相成長(LP-CVD)法，形成總厚度為200 nm的氮化矽膜(SiN膜)107及108。SiN膜107及108係為閘電極加工用的硬式掩膜；SiN膜107及108係由以下的方式而形成。

首先，使用四氯化矽(SiCl_4 ：TCS)及氨(NH_3)來形成SiN膜107，成膜條件為：溫度700～900℃、壓力0.01～10 Torr、TCS流量/ NH_3 流量比0.01～10。使用TCS的SiN膜(TCS-SiN膜)之成膜速度為1 nm/min，成膜時間為80分鐘，形成厚80 nm的SiN膜107。接著，使用二氯矽烷(SiH_2Cl_2 ：DCS)及氨來形成SiN膜108，成膜條件為：溫度600～900℃、壓力0.01～10 Torr、DCS流量/ NH_3 流量比0.01～10。使用DCS的SiN膜

(DCS-SiN 膜)之成膜速度為 3.2 nm/min，成膜時間為 40 分鐘，形成厚 120 nm 的 SiN 膜 108。又 DCS-SiN 膜 108 係於形成 TCS-SiN 膜 107 後，不將基板曝曬於大氣中而於同一爐內連續形成。

接著，如圖 3 所示，形成藉由微影技術予以圖案化之光阻膜 109，然後將光阻 109 作為掩膜，對 SiN 膜 107 及 108 進行乾式蝕刻，其後除去光阻 109。

接著，如圖 4 所示，以 SiN 膜 107 及 108 作為硬式掩膜，採用一般的乾式蝕刻技術，依序蝕刻鎢膜 106、氮化鎢膜 105 及非晶矽膜 104，此時，SiN 膜 108 的上部會藉由乾式蝕刻削去，使 SiN 膜 107 及 108 的總膜厚達 130 nm 左右。

在此說明將 SiN 膜分作兩層形成之理由。

SiN 形成工序之後，會進行數次的高溫工序以將雜質活性化，在此高溫工序中，對於電極上僅形成有 DCS-SiN 膜之情形，會使 PMOS 元件劣化，因為在高溫工序下，電極中的硼會穿出閘絕緣膜而擴散至矽基板。此種 SiN 膜起因的硼擴散，可藉由使用 TCS-SiN 膜加以抑制(參照 2001 Symposium on VLSI Symposium, Digest of Technical Papers, M. Tanaka 等著，10-1)，亦即，藉由使用 TCS-SiN 膜，可在不影響元件特性之同時，抑制硼擴散。

然而，僅使用 TCS-SiN 膜的情形下，生產性會顯著惡化。TCS-SiN 膜的成膜速度為 DCS-SiN 膜的三分之一左右，例如，若使用 TCS 來形成 200 nm 的 SiN 膜需 200 分鐘左右，相較於 DCS 的 60 分鐘，其生產性明顯下降。此外，TCS 中一

分子含有4個氯，故於化學反應下，產生的 NH_4Cl 多於DCS兩倍， NH_4Cl 為固體，會對裝置的排氣系統造成損傷，亦即， NH_4Cl 會阻塞配管，或者附著在排氣管內形成灰塵，故於使用TCS的情形下，維修頻率將顯著增加，致使生產性惡化，因此，雖需靠TCS來實現高性能元件，然其卻有生產性惡化的問題。

在此，請參照圖4，原形成厚200 nm的SiN膜在開電極形成後，僅剩下130 nm左右，由此可知，實無必要單獨形成200 nm的TCS，因此，在會影響到電氣特性的成膜初期使用TCS來形成SiN膜，而於實質作為掩膜發揮功能的成膜後期使用DCS，即可提升生產性。其間應考量之處在於，形成TCS-SiN的厚度，必須能防止因硼擴散而引起之PMOS元件劣化，亦即，元件特性與生產性，兩者互為抵換關係。

就兩層SiN膜的膜厚比及元件特性之關係進行檢討的結果發現，TCS/DCS為80 nm/120 nm，亦即 $\text{TCS/DCS} = 0.67$ 時，對於元件特性不會產生問題，以上述例子而言，可使單獨以TCS成膜的成膜時間減少約40%。

形成開電極後，進行側壁氧化。後氧化的步驟，係於鍍膜106露出的構造起，於氮、氫及水的混合氣氛中以 800°C 進行30分鐘。

接著，如圖5所示，以經過圖案化的光阻(未予圖示)作為掩膜，對單元區域、NMOS區域及PMOS區域中之源極/汲極區域111進行雜質的離子植入，再進一步於氮氣氛中，以 850°C 進行退火10秒，以使雜質活性化。

接著形成 20 nm 的絕緣膜用之 SiN 膜 110，此 SiN 膜 110 係用以防止閘電極與連接源極/汲極區域 111 的接觸電極(未予圖示)之間漏電。首先使用 TCS 形成 10 nm 的下層側 SiN 膜，然後使用 DCS 形成 10 nm 的上層側 SiN 膜。DCS-SiN 膜係於形成 TCS-SiN 膜後，不將基板曝曬於大氣中而連續形成，成膜條件一律設為：成膜溫度 700℃、成膜壓力 0.5 Torr、矽源流量(DCS 或 TCS) 100 sccm、氮流量 1000 sccm。依此成膜條件下的成膜速度，DCS 為 0.8 nm/min，TCS 為 0.3 nm/min。其後，藉由進行乾式蝕刻來除去底面的 SiN 膜，選擇性留下閘電極周圍的 SiN 膜 110。

SiN 膜 110 係直接接於置入有硼的矽膜 104，因此，基於上述理由，TCS-SiN 膜及 DCS-SiN 膜的疊層構造可有效適用。根據檢討結果，TCS/DCS 膜只要是 10 nm/10 nm(膜厚比 1.0)，即可充分抑制硼擴散，因此，只要將 TCS/DCS 的膜厚比設在 1.0 以下，則不但能提升生產性，並可抑制硼擴散。

此外，使用 TCS-SiN 膜並可減低漏電。TCS-SiN 膜的 N/Si 組成比係高於 DCS-SiN 膜，亦即，TCS-SiN 膜的氮含量高於 DCS-SiN 膜，而近乎化學計量原理(Stoichiometry)。

圖 6 係顯示 SiN 膜中之 N/Si 組成比及漏電流之關係圖，TCS-SiN 膜的 N/Si 組成比約 1.34；DCS-SiN 膜的 N/Si 組成比約 1.30。由此圖可知，N/Si 組成比越高、越接近氮化矽膜的化學計量原理(4/3)，則漏電流隨之減少。

圖 7 係顯示 SiN 膜中之 N/Si 組成比及密度之關係，TCS-SiN

膜的密度約 2.62 g/cm^3 ；DCS-SiN膜的密度約 $2.76/\text{cm}^3$ 。可知 N/Si組成比越高，密度越小。此外，由於密度小，故 TCS-SiN膜的比介電率(6.8)小於 DCS-SiN膜的比介電率(7.4)，因此，藉由使用 TCS-SiN膜，可減低寄生電容。

然而，在單獨使用圖 5 所示的 TCS-SiN膜作為 SiN膜 110 之情形中，無法解決降低漏電流的問題。由於接觸電極係形成於閘電極附近，故成複晶矽膜 104 接於 TCS-SiN膜之構造，接觸電極形成後，會進行活性化的高溫工序，而由於 TCS-SiN膜含有過剩的氮，故與複晶矽的反應性高，因此，在高溫工序下，TCS-SiN膜中的氮會向複晶矽膜側擴散，結果當使用 TCS-SiN膜的疊層構造作為 SiN膜 110 的情形時，便會產生高溫工序後漏電流增加的問題。

在本例中，因先形成 TCS-SiN膜後再形成 DCS-SiN膜，故可降低 SiN膜 110 與複晶矽膜 104 的反應性，而能夠減低漏電流。此外，藉由使用 TCS-SiN膜及 DCS-SiN膜的疊層構造，相較於 TCS-SiN單層的情形，可縮短成膜時間約 40%。

如上所述，本實施形態藉由使用下層側的 TCS-SiN膜及上層側的 DCS-SiN膜之雙層構造，既可望抑制硼擴散及減低漏電流，亦可提高生產性。

此外，關於下層側的 SiN膜及上層側的 SiN膜，一般可舉出以下形態，又此等形態，亦可同樣適用於後述的第二至第七實施形態。

如圖 6 及圖 7 所示，TCS-SiN膜的 N/Si組成比約 1.34，DCS-SiN膜的 N/Si組成比約 1.30，因此，下層側的 SiN膜之

組成比 N/Si 宜高於 1.32，上層側的 SiN 膜之組成比 N/Si 宜低於 1.32。此外，組成比 N/Si 為 1.32 時的 SiN 膜之密度約 $2.68 / \text{cm}^3$ ，因此，下層側的 SiN 膜之密度宜低於 $2.68 / \text{cm}^3$ ，上層側的 SiN 膜之密度宜高於 $2.68 / \text{cm}^3$ 。

此外，如後所述(參照圖 21)，TCS-SiN 膜中的含氫濃度約為 $7 \times 10^{21} / \text{cm}^3$ ，DCS-SiN 膜中的含氫濃度約為 $3 \times 10^{21} / \text{cm}^3$ ，因此，下層側的 SiN 膜中之含氫濃度宜高於 $5 \times 10^{21} / \text{cm}^3$ ，上層側的 SiN 膜中之含氫濃度宜低於 $5 \times 10^{21} / \text{cm}^3$ 。此外，氫之中亦可含有重氫(D)等的同位素氫。

此外，TCS 及 DCS 中既然含氯，則 TCS-SiN 膜及 DCS-SiN 膜中亦含氯，該等膜的氯濃度通常高於 $1 \times 10^{19} / \text{cm}^3$ 。

此外，DCS 雖含有 Si-H 鍵結，然 TCS 卻未含有 Si-H 鍵結，因此，相對於 DCS-SiN 膜含有多量的 Si-H 鍵結，TCS-SiN 膜的 Si-H 鍵結則少；根據利用傅立葉轉換式紅外線吸收法(FT-IR 法)所做的分析發現，DCS-SiN 膜的 Si-H 鍵結密度高於 $1 \times 10^{20} / \text{cm}^3$ ，但相對的 TCS-SiN 膜卻未觀察到 Si-H 鍵結，由此推測，TCS-SiN 膜的 Si-H 鍵結密度低於 $1 \times 10^{20} / \text{cm}^3$ 。

此外，下層側的 SiN 膜及上層側的 SiN 膜中亦可含氧，惟下層側的 SiN 膜及上層側的 SiN 膜，宜在未曝曬於大氣之下連續形成，在此情況下，如後所述(參照圖 22)，下層側 SiN 膜及上層側 SiN 膜的界面中之氧濃度係低於 $1 \times 10^{22} / \text{cm}^3$ 。

此外，上層側的 SiN 膜中，亦可使用以矽烷(SiH_4)或者六氯乙矽烷($\text{HCD} : \text{Si}_2\text{Cl}_6$)而成膜之 SiN 膜來代替 DCS。

[實施形態二]

圖8～圖12係顯示本發明的第二實施形態相關之半導體裝置(MIS電晶體)的製造方法之剖面圖。

首先，如圖8所示，使用一般的方法，於矽基板121上，形成元件分離區域(未予圖示)、閘絕緣膜124、閘電極125、側壁絕緣膜126、擴充區域123，以及源極/汲極區域122。閘電極125係以非晶矽膜形成，而非晶矽膜中的PMOS區域置入有p型雜質、NMOS區域置入有n型雜質。對非晶矽膜進行的雜質之離子植入，係與源極/汲極區域122的離子植入同時進行，例如，在PMOS區域中，以7 keV、 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的條件植入有硼離子；在NMOS區域中，以65 keV、 $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 的條件植入有砷離子。側壁絕緣膜126係使用TEOS(矽酸乙酯)而形成的氧化矽膜(SiO_2 膜)。藉由此種方式，對PMOS的閘電極導入多於 $1 \times 10^{19} / \text{cm}^3$ 且少於 $1 \times 10^{21} \text{ cm}^3$ 的硼。

接著，如圖9所示，利用LPCVD法形成厚70 nm的SiN膜127，此SiN膜127係為下層側的TCS-SiN膜及上層側的DCS-SiN膜之疊層構造。首先使用TCS形成下層側的SiN膜，成膜條件為：溫度700～900℃、壓力0.01～10 Torr、TCS/ NH_3 流量比0.01～10；TCS-SiN膜的成膜速度為1 nm/min；成膜時間為20分鐘，形成厚20 nm的TCS-SiN膜。然後使用DCS形成上層側的SiN膜，成膜條件為：溫度600～900℃、壓力0.01～10 Torr、DCS流量/ NH_3 流量比0.01～1；DCS-SiN膜的成膜速度為3.2 nm/min；成膜時間為16分鐘，形成厚50 nm的DCS-SiN

膜。此外，DCS-SiN膜係於形成TCS-SiN膜後，不將基板曝曬於大氣中而連續形成。

接著，如圖10所示，利用乾式蝕刻技術，選擇性留下閘電極側壁上的SiN膜127，殘留在側壁上的SiN膜127之最大膜厚為50 nm左右。側壁SiN膜127除了作為矽化物區塊發揮功能外，並作為藥液處理時的蝕刻停止層發揮功能，亦即，藉由側壁SiN膜127，以抑制閘電極125與源極/汲極區域122上的鈷矽化物之架橋反應，且抑制接合漏電之增加。無側壁SiN膜127的情形下，則是利用鈷矽化工序前的前置處理，使TEOS-SiO₂膜後退，如此會使鈷矽化物更鄰近電極而形成，導致接合漏電增加。

接著，如圖11所示，利用濺射法形成鈷膜；然後利用800℃、30秒左右的熱工序促進鈷及矽反應，而形成鈷矽化膜128；再進一步除去未予矽化的鈷膜後，利用LPCVD法形成40 nm的SiN膜129。此SiN膜129係作為進行接觸孔開孔時的蝕刻停止層發揮功能。

接著，如圖12所示，利用電漿成膜法，形成200 nm的氧化矽膜(TEOS-SiO₂膜)130作為層間絕緣膜；再進一步利用CMP法進行氧化矽膜130的表面平坦化；其後，以光罩圖案(未予圖示)及SiN膜127作為掩膜，自我對準而形成接觸孔；再進一步將導電材料埋入接觸孔內，形成接觸電極131。

單獨以DCS-SiN膜形成SiN膜127的情形下，會因硼擴散而產生閘電極空乏化、界面位準增加，以及對於電界—溫

度應力的耐性劣化等問題，為求高性能化，勢必須形成 TCS-SiN 膜，惟因單獨使用 TCS-SiN 膜會使生產性惡化，故於本實施形態中，係形成不至於造成元件性能劣化的薄層 TCS-SiN 膜，而於 TCS-SiN 膜上形成 DCS-SiN 膜。以本實施形態而言，亦是藉由將 TCS-SiN 膜 /DCS-SiN 膜的膜厚比控制在 1.0 以下，而得以提高生產性並能夠抑制硼擴散。

如上所述，在本實施形態中，亦藉由使用下層側的 TCS-SiN 膜及上層側的 DCS-SiN 膜之雙層構造，而能夠獲得第一實施形態中所述之相同效果。

[實施形態三]

圖 13 係顯示本發明的第三實施形態相關之半導體裝置 (非揮發性記憶體、快閃記憶體) 的構造之剖面圖。

圖 1 中，於矽基板 141 上，形成有通道絕緣膜 142、作為電荷蓄積膜的漂浮閘 143、介電絕緣膜 (中間絕緣膜) 144、以複晶矽膜形成的控制閘 145，及矽化鎢膜 146。此外，矽化鎢膜 146 上形成有 SiN 膜 147；沿著閘構造的側壁形成有 SiN 膜 148。含於介電絕緣膜 144 的 SiN 膜中，SiN 膜 147 及 SiN 膜 148 之至少任一者，係為下層側的 TCS-SiN 膜及上層側的 DCS-SiN 膜之疊層構造。又以包夾閘構造的方式，形成有源極 /汲極擴散層 149。

本實施形態亦可獲得第一實施形態中所述的相同效果，此外更如下所述，能夠抑制因 SiN 膜形成後的高溫熱工序而造成之通道絕緣膜劣化。

在此針對形成於側壁上的 SiN 膜 148 進行說明。快閃記憶

體在寫入及拭除時，必須要有 20 V 左右的高電壓，而 DCS-SiN 膜中有許多陷阱 (Trap)，因此，寫入時所植入的電子會陷在 SiN 膜中，結果造成臨限電壓產生變化之問題。如前所述，從 TCS-SiN 膜的 N/Si 組成比近乎化學計量法故漏電流較少之傾向來看，其陷阱較少，因此，如在接於閘構造側使用 TCS-SiN 膜，可抑制寫入時所植入的電子陷於 SiN 膜中，因此，藉由在下層側使用 TCS-SiN 膜，可抑制寫入時因電子陷阱而導致臨限電壓變動。

[實施形態四]

圖 14 係顯示本發明的第四實施形態相關之半導體裝置 (MONOS 型記憶元件) 的構造之剖面圖。

首先，於矽基板上 201，形成厚 0.5~10 nm 的氧化矽膜 202。氧化矽膜 202 係為 MONOS 元件中之通道氧化膜 (底氧化膜)，經由此氧化矽膜 202，進行電子或電洞之植入。

接著，在未進行濕式的前置處理下，於氧化矽膜 202 上，利用 LPCVD 法形成 1~4 nm 的 TCS-SiN 膜 206，成膜條件為：溫度 700~900℃、壓力 0.01~10 Torr、TCS/NH₃ 流量比 0.01~1。接著，利用 LPCVD 法，形成 2~20 nm 的 DCS-SiN 膜 203，成膜條件為：溫度 600~900℃、壓力 0.01~10 Torr、DCS 流量/NH₃ 流量比 0.01~1。藉此，形成總膜厚 12 nm 的氮化矽膜作為電荷蓄積膜。又 DCS-SiN 膜 203 係於形成 TCS-SiN 膜 206 後，不將 TCS-SiN 膜曝曬於大氣中而連續形成，藉此可降低 DCS-SiN 膜 203 及 TCS-SiN 膜 206 的界面區域 207 之氧濃度。

接著，在未進行濕式的前置處理下，於氮化矽膜 203 上，形成 0.5~30 nm 的氧化矽膜(頂氧化膜)204。氧化矽膜 204 係防止從電極而來的電荷植入，或從電荷蓄積層至電極的電荷洩漏。其後，為提升頂氧化膜 204 的膜質，以例如 800℃ 的氧及氫進行燃燒氧化。然後，在未進行濕式的前置處理下，於氮化矽膜 204 上形成控制電極 205，例如，利用 LPCVD 法，以 600℃ 的矽烷，形成 200 nm 的矽膜。接著，將雜質導入矽膜；再進一步進行活性化處理，而形成控制電極 205。

以下針對依上述方法而形成的 MONOS 元件之電氣特性的測定結果進行說明。

圖 15 及圖 16 係為電容器(面積 0.01 nm^2)之評價結果。其係使平帶電壓的變化達 3 V 而完成寫入之狀態下，測定電荷保持特性。電荷保持特性係表示蓄積電荷相對於經過時間之依存性，電荷保持特性係從寫入後每經過一段既定時間，以電容－電壓(C-V)測定法來決定平帶電壓的方式而得。

保持於氮化矽膜中的電荷，隨著時間經過會於基板側洩漏，因此，平帶電壓會從初始的寫入電壓起，隨著時間經過而逐漸減少。圖示中的減少率(衰減率)係相當於數小時的平帶電壓之變化量(V/dec)，當然，衰減率越小則越可得優質的電荷蓄積層。以快閃記憶體而言，寫入的資訊必須能保持十年，亦即十年後仍可判別"0"與"1"，在此假設十年為 3×10^8 秒，可以 0.5 V 之差判別"0"與"1"。以上述規格

換成衰減率，則 3 V 寫入時的規格約為 0.3 V/dec 左右。

圖 15 係顯示就四種氮化矽膜所做的電荷保持特性之評價結果。SiN-1 係單獨使用 DCS-SiN 膜形成氮化矽膜之情形，而為高矽含量的氮化矽膜之評價結果；SiN-2 係單獨使用 TCS-SiN 膜形成氮化矽膜之情形，而為近乎化學計量法的氮化矽膜或高矽含量的氮化矽膜之評價結果。此外，SiN-2/SiN-1 (In-situ，當場形成) 係於 SiN-2 上連續形成 SiN-1 的情形之評價結果。SiN-2/SiN-1 (ex-situ，事後形成) 係將 SiN-2 曝曬於大氣後，再形成 SiN-1 的情形之評價結果。又四種氮化矽膜之總膜厚均相等。從圖 15 的結果可明顯得知，電荷保持特性最佳者為 SiN-2/SiN-1 (in-situ)。

首先，針對 in-situ 較 ex-situ 為佳的原因進行說明。Ex-situ 的方法中，氮化矽膜/氮化矽膜界面中存在有多量的氧，故會使寫入/拭除電壓增加；且 Ex-situ 會在強大的電場應力下，於十萬次的寫入/拭除後產生急速劣化的情形。

在此說明單獨以 SiN-2 形成的氮化矽膜於十萬次的寫入/拭除後產生急速劣化之理由。SiN-2 的 N/Si 組成比近乎化學計量法，且膜中的陷阱密度小、介電率低，故會使寫入/拭除電壓增加，因此，SiN-2 亦會在強大的電場應力下急速劣化。

至於 In-situ 積層膜可藉由形成於基板側界面的 SiN-2，而使陷阱電子遠離電極側，因此能使電荷保持特性顯著改善。此外，由於 In-situ 積層膜中，大部分的膜係以陷阱較多的 SiN-1 而形成，寫入/拭除電壓幾乎不會增加，故亦有

可抑制寫入/拭除時的電場應力增強之效，因此能夠抑制十萬次寫入/拭除後的膜劣化之情形。

以下就 In-situ 積層膜中，SiN-2 的膜厚與衰減率之關係進行說明。圖 16 係針對 SiN-2/SiN-1 (In-situ)，設應總膜厚而就衰減率與 SiN-2 的關係進行調查之結果，其中縱軸表示衰減率，橫軸表示基板側的氮化矽膜 (SiN-2) 之膜厚。

SiN-2 的膜厚為 8 nm 時的衰減率，與 SiN-2 單層膜的情形相同；另一方面，將 SiN-2 的膜厚設在 4 nm 及 2 nm 的情形時，衰減率的絕對值小，因此，當 SiN-2 的膜厚在 4 nm 以下時，疊層構造的效果顯著，推知這是由於 SiN-2 使蓄積電子遠離基板而產生之效果，以及有效使電子陷於 SiN-1 而產生之效果。

如上所述，本實施形態藉由使用下層側的 TCS-SiN 膜及上層側的 DCS-SiN 膜之疊層構造，而能夠製造出電荷保持特性優良之半導體裝置。

[實施形態五]

圖 17 係顯示本發明的第五實施形態相關之半導體裝置 (MONOS 型記憶元件) 的構造之剖面圖。

矽基板 301 係雜質 (硼或銦) 濃度在 $10^{14} \text{ cm}^{-3} \sim 10^{19} \text{ cm}^{-3}$ 左右之 p 型。

矽基板 301 上形成有厚 0.5~10 nm 的底絕緣膜 (通道絕緣膜) 302，此底絕緣膜 302 中，使用有氧化矽膜或氮氧化矽膜。底絕緣膜 302 上形成有厚 1 nm 以上 4 nm 以下的 TCS-SiN 膜 306，TCS-SiN 膜 306 上形成有厚 2 nm 以上 20 nm 以下的

DCS-SiN膜303。藉由此等TCS-SiN膜306及DCS-SiN膜303的疊層構造，構成電荷蓄積膜。307係表示TCS-SiN膜306與DCS-SiN膜303的界面區域。電荷蓄積膜上，形成有厚5 nm以上30 nm以下的區塊絕緣膜(頂絕緣膜)304，此區塊絕緣膜304中，使用有氧化矽膜或氮氧化矽膜。藉由上述底絕緣膜302、電荷蓄積膜及區塊絕緣膜304，構成ONO積層膜。

區塊絕緣膜304上，形成有厚10~500 nm的閘電極(控制電極)305，此閘電極305中，使用有雜質(砷、磷或硼)濃度在 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 左右之複晶矽膜。此外，只要使複晶矽膜中的雜質濃度達 $1 \times 10^{19} \text{ cm}^{-3}$ 以上，則因閘電極305的空乏化而施加於ONO積層膜的電場會減小，故能夠防止拭除時間增長。

閘電極305上，形成有厚10~500 nm的金屬導電膜310，該金屬導電膜包含WSi(鎢矽化物)、NiSi(鎳矽化物)、MoSi(鉬矽化物)、TiSi(鈦矽化物)、CoSi(鈷矽化物)、W或Al。金屬導電膜310係作為連接多數的閘電極之閘配線。

金屬導電膜310上，形成有厚5~500 nm的上層絕緣膜309，其係包含氮化矽膜或氧化矽膜。閘電極305的側壁上，形成有厚2~200 nm的側壁絕緣膜308，其係包含氮化矽膜或氧化矽膜。藉由此側壁絕緣膜308及絕緣膜309，來維持閘電極305與源極/汲極區域、接觸孔(未予圖示)及上部配線層(未予圖示)之間的電氣絕緣性。

形成側壁絕緣膜308後，對矽基板301進行n型雜質的離子植入，藉此形成源極區域311和汲極區域312，此時，藉

由側壁絕緣膜308，可減輕閘電極305的端部中之離子植入損傷。

此外，為防止因寫入/拭除時施加的電場不一致而引起的臨限電壓擴張，從矽基板301和源極區域311的邊界至矽基板301和汲極區域312的邊界之區域中，構成ONO膜的各膜302、306、303及304之厚度宜各自均一為佳。

依據上述構成，而構成藉由蓄積於電荷蓄積膜的電荷來記憶資訊的MONOS型EEPROM記憶單元。又閘極長度在0.5 μm 以下0.01 μm 以上。此外，源極區域311和汲極區域312係藉由擴散或離子植入，使雜質(磷、砷或銻)的表面濃度達 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 而形成。又源極區域311和汲極區域312之深度為10~500 nm左右。

以下就ONO膜的構造及製造方法進行說明。

首先，於矽基板301上，形成厚2~5 nm的氧化矽膜302。氧化矽膜302係為MONOS元件中之通道氧化膜，其經由氧化矽膜302而植入有電子或電洞。

接著，在未進行濕式的前置處理下，於氧化矽膜302上，利用LPCVD法，以TCS作為矽源，形成厚1~4 nm的氮化矽膜(TCS-SiN膜)306；接著，利用LPCVD法，以DCS作為矽源，形成厚2~20 nm的氮化矽膜(DCS-SiN膜)303，DCS-SiN膜303係於形成TCS-SiN膜306後，不將基板曝曬於大氣中而連續形成。由於在還原氣氛下形成氮化矽膜306及303，故氮化基宜使用氮為佳。TCS-SiN膜306的典型成膜條件為：溫度700~900°C、壓力0.01 Torr~10 Torr、TCS流量/氮

化基流量比 0.01~1。DCS-SiN 膜 303 的典型成膜條件為：溫度 600~900℃、壓力 0.01 Torr~10 Torr、DCS 流量/氮化基流量比 0.01~1。

成膜溫度在 700 度至 900 度的範圍下使用 TCS 形成的氮化矽膜，其 Si-H 鍵結的密度小於 $1 \times 10^{20} \text{ cm}^{-3}$ ，N-H 鍵結的密度為 $7 \times 10^{21} \text{ cm}^{-3}$ 左右。另一方面，如為使用矽烷或 DCS 形成的氮化矽膜，其 Si-H 鍵結的密度大於 $3 \times 10^{20} \text{ cm}^{-3}$ ，N-H 鍵結的密度小於 $7 \times 10^{21} \text{ cm}^{-3}$ 。此情形表示，欲提升蓄積狀態的保持特性，重點在於使 Si-H 鍵結少於以往，而非減少 N-H 鍵結，此外並表示，SiN 膜中的 Si-H 鍵結可藉由減低矽源氣體中的 H 比率而減少。

此外，TCS-SiN 膜中的含氫濃度，高於使用矽烷或 DCS 形成的氮化矽膜中之含氫濃度。圖 21 係顯示於矽基板上依序形成有 SiO_2 膜、TCS-SiN 膜及 DCS-SiN 膜之試料的測定結果，其中橫軸為深度，縱軸為氫濃度。從圖 21 可知，TCS-SiN 膜中的含氫濃度高於 $5 \times 10^{21} / \text{cm}^3$ ；DCS-SiN 膜中的含氫濃度低於 $5 \times 10^{21} / \text{cm}^3$ 。

如上所述，以本實施形態而言，下層側的 TCS-SiN 膜相較於上層側的 DCS-SiN 膜，其 Si-H 鍵結的密度低而氫濃度高，故與先前技藝項下所述的特開昭 60-60770 之構造全然不同。再者，本發明者等人業已確認由二氯矽烷及氮所形成的 SiN 膜，其 Si-H 鍵結一旦增加則氫濃度亦增加（特願 2001-2975），然本實施形態基本上亦相異於此種構造。此外，在本實施形態中，TCS-SiN 膜的 N/Si 組成比大於 1.32，

相對的，使用矽烷或二氯矽烷形成的 SiN 膜之 N/Si 組成比小於 1.32，由此可知，使用矽烷或二氯矽烷形成的氮化矽膜，無法實現本實施形態的疊層構造。

圖 23 顯示採用本實施形態之構造，藉由通道電流進行十萬次寫入/拭除 (W/E) 後之電荷保持特性，其中 (b) 表示於 TCS-SiN 膜形成後、DCS-SiN 膜形成前，將基板曝曬於 10^6 Langmuir 以上的含氧氣氛之情形；(a) 表示於 TCS-SiN 膜形成後、DCS-SiN 膜形成前，不將基板曝曬於 10^5 Langmuir 以上的含氧氣氛，而連續形成 TCS-SiN 膜及 DCS-SiN 膜之情形。在此，中性平帶電壓估計為 $-0.5\text{ V} \pm 0.2\text{ V}$ 。寫入/拭除後的電洞及電子之保持特性，明顯以連續成膜者為佳。以往向來認為增加氧鍵結可改善電荷保持特性，然從上述結果可知，減少氧鍵結方能改善電荷保持特性，因此，宜連續形成 TCS-SiN 膜及 DCS-SiN 膜為佳。

此外，TCS-SiN 膜及 DCS-SiN 膜的界面附近之氧濃度一旦增高，則包含界面的 SiN 全體之介電率降低，因而使寫入/拭除電壓增加，寫入/拭除電壓一旦增加，經過十萬次的寫入/拭除後之電荷保持特性將顯著劣化。圖 22 係顯示於矽基板上依序形成有 TCS-SiN 膜及 DCS-SiN 膜之試料的測定結果，其中橫軸為深度，縱軸為氧濃度。從圖 22 可知，不將基板曝曬於大氣中而連續形成 TCS-SiN 膜及 DCS-SiN 膜的試料，其 TCS-SiN 膜與 DCS-SiN 膜的界面之氧濃度低於 $1 \times 10^{22} / \text{cm}^3$ ，因此，TCS-SiN 膜及 DCS-SiN 膜的界面之氧濃度，宜低於 $1 \times 10^{22} / \text{cm}^3$ 為佳。

此外，下層側的 TCS-SiN 膜宜以近乎化學計量法且電荷陷阱少的膜為佳；另一方面，上層側的 DCS-SiN 膜宜以高矽含量且陷阱多的膜為佳，例如，除了 DCS 以外，使用六氯乙矽烷 (Si_2Cl_6) 等亦可製造出電荷陷阱多的 SiN 膜。至於氮化基方法，舉凡能夠控制氧化還原反應者皆可，亦可使用 NO 或 N_2O 等。

再回到圖 17 的說明，形成 DCS-SiN 膜 303 後，在未進行濕式的前置處理下，於 DCS-SiN 膜 303 上形成厚 2~10 nm 的氧化矽膜 (頂氧化膜) 304，此氧化矽膜 304 係防止從電極而來的電荷植入，或從電荷蓄積膜至電極側的電荷洩漏。接著，為改善頂氧化膜 304 的膜質，而進行密化退火 (Densify Anneal)，亦可在溫度 850°C 下，以氧及氮進行燃燒氧化。

接著，在未進行濕式的前置處理下，於氮化矽膜 304 上進行開電極 305 之形成等步驟。開電極係利用例如 LPCVD 法，使用矽烷以 600°C 的成膜溫度，形成 200 nm 左右的厚度。再進一步經過雜質的離子植入工序、活性化工序等，即可得圖 17 的 MONOS 構造。

針對藉由上述而得的 MONOS 元件，以通道電流從基板進行電子植入，而調查蓄積電荷的重心。圖 25 係為本實施形態的情形；圖 26 係以 DCS-SiN 膜的單層膜之情形所做的比較例。其中橫軸表示電荷蓄積膜與底絕緣膜的界面算起之電荷重心深度；縱軸為蓄積電荷密度；測定溫度為 213 K (-60°C)、253 K (-20°C) 及 300 K (27°C)；TCS-SiN 膜的厚度為 2 ± 0.3 nm。

從圖 26 可知，DCS-SiN 單層膜的蓄積電荷重心會隨著溫度下降而接近基板側，電荷重心一旦隨著溫度低下而移向基板側，則在低溫下進行寫入後，以高於寫入溫度的溫度進行保持時，蓄積電荷流向基板側的通道電流將導致漏電增大，結果造成元件特性的電荷保持特性顯著劣化，因此，使用單層膜的元件難以在低溫下達到動作保證。另一方面，如圖 25 所示，在本實施形態的疊層構造中，電荷的深度不具有溫度依存性，在 -60°C 以內仍保有同樣的深度，故依據本實施形態使用疊層構造，即可防止低溫下產生特性劣化，因此能夠實現例如 -20°C 的冰點下仍耐用之元件。

此外，比較圖 25 及圖 26 發現，本實施形態的蓄積電荷重心較深，當蓄積電荷密度在 $1\text{ uC}/\text{cm}^2$ 以下的情形時，TCS-SiN 膜與 DCS-SiN 膜的界面之位置，大致對應於重心位置，因此，即使界面中未置入氧，仍能夠使電荷陷於比以往更深的位置，藉此，可減少因蓄積電荷流向基板側的通道電流所引起之漏電。

再者，依據詳細檢討可知，TCS-SiN 膜與 DCS-SiN 膜的界面之深度，深於圖 26 的重心位置，而以 1 nm 以上 4 nm 以下為最佳。此外，界面若深於 4 nm ，則利用通道植入法而植入的電子將幾乎陷於 TCS-SiN 膜內，而無法得到加深陷阱位置之效果。

此外，在此係揭示使用本實施形態的疊層構造而得以加深通道植入的電荷重心之情形，然在利用熱電子植入法將

載子植入SiN膜的情形下，因植入載子的能量較大，故亦可增加載子到達界面的機率，而能收相同之效。

圖24係顯示施加有1至5 MV/cm的弱誤寫應力的情形之平帶電壓，其中橫軸表示平帶電壓為2 V的程式電壓值，縱軸表示施加誤寫應力後之平帶電壓。誤寫平帶電壓較低者，對於誤寫應力較具耐性。又本特性係施加 10^5 次寫入/拭除應力後之特性。

本實施形態的疊層構造中，係將電子陷阱少於DCS-SiN膜的TCS-SiN膜形成於通道界面附近，因此，從圖24可知，本實施形態相較於TCS-SiN單層膜及DCS-SiN單層膜的情形，更能夠減少施加有弱電場應力時的載子植入量，此種對於疊層構造的誤寫應力之耐性，乃本發明者等人所發現者，以往從未有人提出。

從上述結果可知，誤寫應力必然於讀出時施加的構造，亦即，相對於高於寫入臨限電壓上限的電壓會在讀出時施加至控制電極之元件，本實施形態的疊層構造能有效適用。藉由使用本實施形態的疊層構造，可抑制因誤寫應力而造成的臨限電壓變化，進而防止於讀出時發生資料毀損。

舉此種構造之例，如特開平11-224908號公報中揭示的，串聯連接有多數的記憶單元之電流端子之NAND型元件（參照圖27）。此外，尚可舉出美國專利6,215,148中記載的元件，其係具有於電荷蓄積膜的源極附近區域及電荷蓄積膜的汲極附近區域，相互獨立而蓄積電荷之構造。

圖 18 係顯示本發明相關之 MONOS 元件的第一變形例之剖面圖。其中，凡對應於圖 17 所示的構成要素之構成要素，均附註以相同的對照編號。

本變形例係於閘電極 305 及金屬導電膜 310 之間設有導體膜 322、於側壁絕緣膜 308 的側面上設有絕緣膜 321 者。依據此種構造，於朝向源極區域 311 至汲極區域 312 的方向之同一方向，可形成連接閘電極 305 的控制線，藉由此種構造，亦可形成 AND 構造或虛擬接地陣列 (Virtual Ground Array) 構造。此外，導電膜 322 係厚 10~500 nm 的複晶矽膜，置入有 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的雜質 (砷、磷或硼)。絕緣膜 321 係使用氧化矽膜或氮化矽膜，此絕緣膜 321 係於源極區域 311 和汲極區域 312 形成後，埋入鄰接的閘電極間而形成。

圖 19 係顯示本發明相關之 MONOS 元件的第二變形例之剖面圖。其中，凡對應於圖 17 所示的構成要素之構成要素，均附註以相同的對照編號。

在本變形例中，係於朝向源極區域 311 至汲極區域 312 的方向之同一方向，形成有包含金屬導電膜 310 之控制線。又於本變形例中，包含氧化矽膜的元件分離絕緣膜 323，係於源極區域 311 和汲極區域 312 上自我對準而形成。以下詳細說明本變形例。

矽基板 301 上形成有厚 0.5~10 nm 的底絕緣膜 (通道絕緣膜) 302，此底絕緣膜 302 係為例如條紋狀，於其兩側形成有包含氧化矽膜之元件分離絕緣膜 323 (厚 0.05~0.5 μm)。底絕緣膜 302 及元件分離絕緣膜 323 上，形成有厚 1 nm 以

上 4 nm 以下的 TCS-SiN 膜 306，TCS-SiN 膜 306 上形成有厚 2 nm 以上 20 nm 以下的 DCS-SiN 膜 303。

此種構造係由以下方法而得，首先，於矽基板 301 上形成底絕緣膜 302；接著，全面堆疊 TCS-SiN 膜 306 及 DCS-SiN 膜 303，並將該二膜圖案化；其後，於氧化氣氛下使矽基板 301 氧化，而形成元件分離絕緣膜 323。

元件分離絕緣膜 323 的下方，設有深 10~500 nm 的源極區域 311 和汲極區域 312。源極區域 311 和汲極區域 312 係藉由擴散或離子植入而形成，其雜質(磷、砷或銻)的表面濃度為 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 左右。藉由使用圖案化的電荷蓄積層 303 及 306 作為掩膜，源極區域 311 和汲極區域 312 即可對應元件分離絕緣膜 313 而自我對準形成。

於上述構造上，形成有厚 5 nm 以上 30 nm 以下的區塊絕緣膜 304，區塊絕緣膜 304 係使用氧化矽膜或氮氧化矽膜，區塊絕緣膜 304 上，形成有厚 10~500 nm 的閘電極 305，該閘電極包含複晶矽膜，複晶矽膜中，含有 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 的雜質(磷、砷或硼)。從防止氧化矽膜的硼異常擴散、穩定 p 型 MOS 電晶體的臨限電壓之觀點來看，硼濃度宜在 $1 \times 10^{20} \text{ cm}^{-3}$ 以下為佳。此外，若使複晶矽膜中的雜質濃度達 $1 \times 10^{19} \text{ cm}^{-3}$ 以上，則因閘電極 305 的空乏化而施加於 ONO 積層膜的電場會減小，故能夠防止拭除時間增長。

區塊絕緣層 304 亦可使用 TEOS 及 HTO(氮)等的堆疊氧化矽膜，或者，亦可使用藉由氧化 SiN 膜 303 而得的氧化矽膜或氮氧化矽膜。

開電極305上，形成有厚10~500 nm的金屬導電膜310，金屬導電膜310係作為連接多數的開電極之開配線。金屬導電膜310上，形成有厚5~500 nm的絕緣膜309，該絕緣膜包含氮化矽膜及氧化矽膜。

又於本變形例中，為防止因寫入/拭除時施加的電場不一致而引起的臨限電壓擴張，從矽基板301和源極區域311的邊界至矽基板301和汲極區域312的邊界之區域中，構成ONO膜的各膜302、306、303及304之厚度宜各自均一為佳。

本變形例除了圖17所示的MONOS型元件可得的効果之外，並可進一步得到以下效果。

於朝向源極區域311至汲極區域312的方向之同一方向，形成有連接開電極305的控制線，故適用於將鄰接的記憶單元之源極區域和汲極區域加以並聯連接之構造，例如AND型構造及虛擬接地陣列(Virtual Ground Array)構造。此外，對應於元件分離絕緣膜323，源極區域311、汲極區域312、電荷蓄積層膜303及306可自我對準而形成，因此，該等層間無需確保對準邊界，而能夠實現高密度的記憶單元。

圖20係顯示本實施形態相關之MONOS元件的第三變形例之剖面圖。其中，凡對應於圖17所示的構成要素之構成要素，均附註以相同的對照編號。

本變形例基本上與第二變形例相同，惟有未形成元件分離絕緣膜之點不同於第二變形例。

本變形例的記憶單元，可由以下方法而形成，首先，於

矽基板 301 的表面區域，利用離子植入而形成源極區域 311 和汲極區域 312；接著，於矽基板 301 上形成底絕緣膜 302、電荷蓄積膜 306 及 303，及區塊絕緣層 304；再進一步於全面堆疊用以形成閘電極 305 之複晶矽膜及金屬導電膜 310；其後，將上述各膜予以圖案化。有關各膜的膜厚等，仿照第二變形例即可。

本變形例除了圖 17 所示的 MONOS 型元件可得的効果之外，並可進一步得到以下效果。

於朝向源極區域 311 至汲極區域 312 的方向之同一方向，形成有連接閘電極 305 的控制線，故適用於將鄰接的記憶單元之源極區域和汲極區域加以並聯連接之構造，例如 AND 型構造及虛擬接地陣列 (Virtual Ground Array) 構造。此外，由於底絕緣膜 302、電荷蓄積膜 306 及 303 及區塊絕緣層 304 的厚度，不會在元件分離絕緣膜的端部產生變化，故可實現厚度均一的記憶單元，因此能夠縮小寫入/拭除時的臨限電壓之分佈。

如上所述，依據本實施形態，藉由使用下層側的 TCS-SiN 膜及上層側的 DCS-SiN 膜之疊層構造，能夠製造出電荷保持特性優良之半導體裝置。

[實施形態六]

本實施形態係對於第五實施形態中說明的各構造導入重氫 (D) 而成者，藉由重氫之導入，可實現劣化情形極小的元件。

對於第五實施形態中說明的例如圖 17 的 MONOS 元件，使

用 1%~100% 的重氫氣體進行退火，退火條件設為常壓、850℃ 以上 1000℃ 以下、1 分鐘~2 小時。存在於包含界面及電荷蓄積膜的 SiN 膜中之重氫比率，係利用 SIMS(二次離子質譜儀)分析而確認達總氫含量的 1% 以上。

以下就進行重氫退火後的 MONOS 元件之電氣特性的評價結果，參照圖 28 及圖 29 進行說明。圖 28 及圖 29 係電容器(面積 0.01 mm²)之評價結果，即於執行十萬次的寫入/拭除後而測定者；圖 28 為電荷保持特性，圖 29 為誤寫特性。此外，圖 28 及圖 29 中係顯示三種樣本(無退火、氫退火及重氫退火)之評價結果。

圖 28 係衰減率之測定結果，其係使平帶電壓的變化達 3 V 而完成寫入之狀態下，測定電荷保持特性。從圖 28 可知，衰減率可藉由重氫退火而改善。

圖 29 係顯示誤寫特性。誤寫特性的評價方法，係使平帶電壓達 -1 V 時進行拭除，而於施加 5 V 的電壓達 300 秒後測定其平帶電壓。在 NAND 構造的元件中，串聯連接有例如 16 個單元，而於讀出某單元時，其餘單元亦被施加以讀出電壓，如於拭除狀態下對其施加 5 V 的電壓達 300 秒，僅能執行極短的寫入動作，而平帶電壓上升(誤寫)。從圖 29 可知，誤寫特性可藉由重氫退火而大幅改善。

從上述兩個特性值求出十年後讀出應力施加後的記憶窗發現，特性最佳者為重氫退火之樣本，其電荷保持特性及誤寫特性兩者均獲得改善。重氫退火樣本經過十萬次寫入/拭除的劣化程度較輕。

寫入/拭除所產生的應力，可能會使界面及膜中形成缺陷，此等缺陷會使蓄積電荷流向基板側的漏電增加而導致電荷保持特性劣化，並使基板至氮化膜的漏電增加而導致誤寫特性劣化。致使這兩種特性劣化的缺陷之一，可能在於Si-H鍵結（在此簡略以Si-H鍵結來表示矽與輕氫的鍵結），在Si-H鍵結下，輕氫原子會因寫入/拭除的電場應力而散失，形成矽的懸垂鍵(Dangling Bond)，矽懸垂鍵可作為捕捉電子及電洞的場所發揮功能，進行重氫退火後的情形下，缺陷會被重氫取代，而形成Si-D鍵結，因此，鍵結難以切斷，故因寫入/拭除而產生的缺陷少，故推測特性劣化的程度輕。此外，由於TCS-SiN膜幾乎不具有Si-H鍵結，故亦有可能藉由N-D鍵結取代N-H鍵結，使鍵結難以切斷。無論如何，本專利發明者等人係最初發現藉由使堆疊有SiN的電荷蓄積膜或使用TCS-SiN膜的電荷蓄積膜內含有重氫，能夠改善電荷蓄積膜的特性。

重氫的導入方法不限於退火法，例如，在形成氮化矽膜時，亦可使用含有重氫的矽源或者含有重氫的氮化基。此外，形成作為電極的複晶矽膜時，亦可使用含有重氫的矽源，甚至在低溫退火下，只要調高壓力亦有可能導入重氫。無論採用何種方法，均可得重氫導入之效。

又於上述例中，係舉TCS-SiN膜及DCS-SiN膜的疊層構造做說明，然亦可採用含有重氫的氮化矽膜之單層構造，以下針對此例進行說明。

含有重氫的氮化矽膜之形成方法，大致可舉出兩種分

法，第一種方法是使用含有重氫的矽源(以重氫取代輕氫的矽源)及含有重氫的氮源(以重氫取代輕氫的氮源)，第二種方法是使用不含氫(輕氫及重氫)的矽源及含有重氫之氮源。此外，上述含有重氫的氮源種類中，可例舉如 ND_3 (以重氫取代輕氫的氮)或 N_2D_4 (以重氫取代輕氫的聯氮)。

由於含有重氫的矽源價格非常昂貴，故第一種方法難以用於量產，相對的，第二種方法中不含氫的矽源，可使用廉價的TCS或六氯乙矽烷($\text{HCD}:\text{Si}_2\text{Cl}_6$)等，因此，基於量產之考量，宜採用第二種方法。

使用不含氫的矽源，則氮化矽膜的含重氫量僅依存於 ND_3 等的純度，故可輕易使氮化矽膜的含重氫數對總含氫數之比例達到90%以上。實際使用HCD及 ND_3 形成氮化矽膜的結果，可得含重氫量在 $1 \times 10^{21} \text{ cm}^{-3}$ 以上、重氫對總氫的比例達99%以上之氮化矽膜。此外，矽源使用TCS或HCD，氮源使用 ND_3 的情形，則氮化矽膜中的氫濃度高於 $1 \times 10^{19} / \text{cm}^3$ 。

如上所述，依據本實施形態，藉由使氮化矽膜中含有重氫，可減低氮化矽膜的缺陷，而能夠製造出電荷保持特性優良之半導體裝置。

此外，使用含有重氫的氮化矽膜之裝置構造，亦可適用於前述第一～第五實施形態及後述第七實施形態，亦即，於各實施形態中，可使用下層側及上層側的氮化矽膜兩者皆含有重氫之氮化矽膜，或者，於各實施形態中，亦可採

用含有重氫的氮化矽膜之單層構造，來取代下層側氮化矽膜與上層側氮化矽膜之疊層構造。

例如，在第一～第三實施形態中，藉由使用諸如上述的構造，使含有重氫的氮化矽膜作為輕氫的屏障發揮功能。此外，從氮化矽膜中釋放的氫幾乎都是重氫，故能提升閘絕緣膜的特性及可靠性。

[實施形態七]

圖30係顯示本發明的第七實施形態相關之半導體裝置的構造之剖面圖。本實施形態係使用氮化矽膜的疊層構造作為MISFET(金屬絕緣場效電晶體)之側壁絕緣膜者。

首先，準備矽基板341，該矽基板具有硼濃度為 10^{15} cm^{-3} 的p型層，或者以離子植入將硼或銦植入p型層，使p型層的濃度最佳化亦可，離子植入的能源例如為100～1000 eV；亦可利用此離子植入，使p型層(p型井)的濃度為 $10^{15} \sim 10^{19} \text{ cm}^{-3}$ 。其後，形成溝槽型的元件分離區域(未予圖示)。

接著，使矽基板341的表面氧化或氮化1～100 nm左右，形成閘絕緣膜354；接著堆疊10～200 nm的複晶矽膜345作為閘電極；再進一步於複晶矽膜345中離子植入磷、砷或硼，使複晶矽膜345低電阻化。為使閘電極低電阻化，亦可於複晶矽膜345上堆疊10～200 nm左右的WSi膜、CoSi膜或W膜。再利用微影及反應性離子蝕刻，進一步加工複晶矽膜345，而形成閘電極。

接著，藉由對閘電極345的側壁進行氧化或氮氧化，形成1～30 nm的側壁矽絕緣膜348，此時，矽基板341的一部

分亦被氧化，而形成氧化矽膜342。

接著，為形成淺的源極擴散層351和汲極擴散層352，進行雜質(磷、砷或銻)的離子植入使表面濃度達 $10^{17} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ 。離子植入的深度為10~500 (nm)左右。

接下來，於氧化矽膜342上，利用LPCVD法形成厚1 nm以上4 nm以下的TCS-SiN膜346；接著形成厚2 nm~20 nm的DCS-SiN膜343。此等SiN氮化膜343及346，係用以防止形成深的源極擴散層351a和汲極擴散層352a時產生的點缺陷或雜質擴散等的影響，波及到閘電極345下。347係為TCS-SiN膜346與DCS-SiN膜343的界面區域。此外，DCS-SiN膜343係於形成TCS-SiN膜346後，不將基板曝曬於大氣中而連續形成。

又下層側的TCS-SiN膜346，宜以近乎化學計量法且電荷陷阱少的膜為佳；上層側的DCS-SiN膜343，宜以電荷陷阱多且矽含量高的膜為佳。此外，TCS-SiN膜346及上層側的DCS-SiN膜343之形成條件，均相同於先前所述的形成條件。

接著，使用TEOS或HTO，堆疊厚10~200 nm的氧化矽膜358，再進一步將氧化矽膜358予以異方性蝕刻，留下對應於閘電極345的側壁部分之氧化矽膜358，再進一步以氧化矽膜358作為掩膜，對氮化矽膜346及343進行蝕刻。

接著，離子植入砷或磷作為例如n型雜質，形成深的源極擴散層351a和汲極擴散層352a。離子植入的條件為：加速電壓1~100 keV、植入劑量 $10^{13} \sim 10^{16} \text{ cm}^{-2}$ 。

接下來，全面堆疊厚 $0.01 \sim 0.3 \mu\text{m}$ 包含 Ni、Co 或 Ti 之金屬膜；接著，進行 600 度以上的熱處理，使金屬膜與矽發生反應，藉由此熱處理，於源極擴散層 351a 和汲極擴散層 352a 上形成金屬矽化物膜 350a，而於複晶矽膜 345 上形成金屬矽化物膜 350b；再進一步除去剩餘的金屬膜而不使其與矽發生反應。

其後的工序未予圖示，其係堆疊 20~1000 nm 的層間絕緣膜，該層間絕緣膜包含氧化矽膜、PSG 或 BPSG；接著，藉由微影及反應性蝕刻，形成配線溝及接觸孔；再進一步堆疊矽化物膜 (TiSi 膜、WSi 膜等) 或金屬膜 (Al 膜、W 膜等)，形成配線。

如上所述，本實施形態中作為 MISFET 的側壁絕緣膜者，係採用 TCS-SiN 膜 346 及 DCS-SiN 膜 343 之疊層構造，以下說明使用圖 30 所示的 MISFET 作為邏輯電路元件之效果。

圖 31 係將 p 型 MISFET 362 連接於圖 30 所示的 n 型 MISFET 361 而形成 CMOS 反相器之線路圖。

當反相器的輸入 V_{in} 從 VDD 變化至接地 GND 時，n 型 MISFET 361 的汲極與閘極之間施加有 $\pm VDD$ 的電壓應力。例如，汲極 352 為 GND、閘極 345 為 VDD 的情形時，形成絕緣膜 342 即通道絕緣膜、SiN 膜 343 及 346 即電荷蓄積膜、側壁絕緣膜 348 即區塊絕緣膜之 MONOS 構造，而施加有電子從汲極 352 植入電荷蓄積膜之電場。反之，汲極 352 為 VDD、閘極 345 為 GND 的情形時，形成側壁絕緣膜 348 即通

道絕緣膜、SiN膜343及346即電荷蓄積膜、絕緣膜342即區塊絕緣膜之MONOS構造，而施加有電子從閘極345植入電荷蓄積膜之電場。

圖31的反相器開始動作後，圖30的SiN膜343及346，尤其是相當靠近閘絕緣膜354的SiN膜343及346，會被施加以符號相異的電場，故使SiN膜343及346劣化；然而，以實施形態的構造而言，只要採用SiN膜343及346的疊層構造，即如先前所述，能夠抑制電子植入SiN膜，因此可防止因SiN膜的電子蓄積而引起的源極/汲極區域之電阻上升，以及臨限電壓的經時變化等問題，當然也就能夠獲得先前的實施形態中所述之效果。

再者，上述的各實施形態可加以種種變形，例如，元件分離膜或絕緣膜的形成方法，除了將矽基板改為氧化矽膜或氮化矽膜之方法外，亦可採用將氧離子植入堆疊後的矽膜，或將堆疊後的矽膜予以氧化之方法。

此外，半導體基板亦可使用n型矽基板來代替p型矽基板，或者亦可使用SOI(矽絕緣型)基板作為半導體基板。再者，半導體基板亦可使用包含SiGe(矽鍺)基板、SiGeC(矽鍺碳)基板等含矽之單結晶半導體基板。此外，亦可形成p型元件來代替n型元件，此時，p型雜質可使用銦或硼。

此外，用作閘電極的半導體除了Si以外，亦可使用SiGe或SiGeC。而閘電極本身亦可使用W、Ta、Ti、Hf、Co、Pt、Pd或Ni等金屬，或者該等金屬之矽化物；或者，亦可使用上述材料之疊層膜。Si、SiGe或SiGeC可以是多結晶或非晶。

狀，亦可以是兩者之疊層構造。藉由使用含Si的半導體，可形成p型閘電極，並能防止電子從閘電極植入。此外，電荷蓄積層亦可呈點狀配置。

[實施形態八]

圖32係顯示本發明的第八實施形態相關之半導體裝置(非揮發性記憶體)的構造之剖面圖。

於矽基板401上，依序形成有通道絕緣膜402、作為電荷蓄積膜的漂浮閘電極403、中間絕緣膜404，及控制閘電極405；此外，矽基板401上及閘構造之周圍，形成有側壁氧化膜406；又以包夾閘構造的方式，進一步形成有源極區域407和汲極區域408。圖32所示之例中，通道絕緣膜402係位於漂浮閘電極403的正下方，然其亦可延伸至漂浮閘電極403的外側。

通道絕緣膜402係由氮化矽膜形成，氮化矽膜中含有與氮鍵結之氫，此氫的主成分為重氫(D)。此外，通道絕緣膜12的物理性膜厚為9 nm(如換算成氧化矽膜的膜厚，其膜厚為5.5 nm)。

使用與氮鍵結的氫中有90%為重氫之記憶元件，比較其與先前技藝(與氮鍵結的氫實質上全為輕氫之記憶元件)於十萬次寫入/拭除後之裝置可靠性，動作時施加於通道絕緣膜的電壓係設為7.9 V。本實施形態相較於先前技藝，其於寫入/拭除時通道絕緣膜中產生所謂SILC的低電場漏電流，降低的程度在2位數左右。此外，記憶元件的誤動作發生率減低至十分之一以下，資料保持時間則提升2位。

數左右。

上述效果可解釋為，具有氮與重氫鍵結(N-D鍵結)的所謂彎曲模式(Bending Mode)之固有振動波數，會因接近具有矽與氮鍵結(Si-N鍵結)的所謂伸展模式(Stretching Mode)之固有振動波數而產生。亦即，高能量的電子於寫入/拭除動作時穿過通道絕緣膜中時，施予N-D鍵結的能量會因共振現象而迅速分配至周圍的Si-N鍵結，因此N-D鍵結不會被切斷，故能夠解釋通道絕緣膜中不會產生原子級的構造缺陷，而能抑制漏電流發生。

N-D鍵結的彎曲模式固有振動波數，若依據N-H鍵結(在此簡略以氮及輕氫的鍵結來表示N-H鍵結)的彎曲模式固有振動波數(1190 cm^{-1})來估算，即 $1190 \times \sqrt{2} = 840\text{ cm}^{-1}$ 。另一方面，實際測定Si-N鍵結的伸展模式固有振動波數發現，以LPCVD法堆疊的氮化矽膜為 $830 \pm 100\text{ cm}^{-1}$ 、將矽基板於氮氣體氣氛下進行熱氮化而形成的氮化矽膜為 $850 \pm 90\text{ cm}^{-1}$ 、將氧化矽膜於氮氣體氣氛下進行熱氮化而形成的氮化矽膜為 $880 \pm 40\text{ cm}^{-1}$ 、此等結果均支持上述的共振現象理論。

又假設以通道氮化膜中的N-H鍵結數為[N-H]、N-D鍵結數為[N-D]，則當 $([N-D]/([N-H] + [N-D]))$ 大於0.5時，將顯著出現上述效果。為獲得充分的效果，上述比率宜大於0.9為佳。此外，通道氮化膜中亦可含氧，假設通道氮化膜中的氮濃度為[N]、氧濃度為[O]，則當 $([N]/([N] + [O]))$ 大於0.5時，將顯著出現上述效果。為獲得充分的效果，上述

比率宜大於0.9為佳。

又本實施形態的氮化矽膜，亦可利用LPCVD法形成，其中係以重氫(D)取代TCS及輕氫後的氮(ND_3)作為源氣體。藉由此方法，可製造出 $[\text{N-D}]/([\text{N-H}] + [\text{N-D}]) > 0.9$ 且 $[\text{N}]/([\text{N}] + [\text{O}]) > 0.9$ 之氮化矽膜。

此外，亦可使用DCS來取代TCS，在此情況下可製造出 $[\text{N-D}]/([\text{N-H}] + [\text{N-D}]) = 0.8 \sim 0.9$ 、 $[\text{N}]/([\text{N}] + [\text{O}]) = 0.9$ 之氮化矽膜。再者，亦可採用電漿CVD法，其中係以重氫(D)取代輕氫的矽烷(SiD_4)及氮(N_2)作為源氣體，在此情況下可製造出 $[\text{N-D}]/([\text{N-H}] + [\text{N-D}]) > 0.9$ 、 $[\text{N}]/([\text{N}] + [\text{O}]) = 0.8 \sim 0.9$ 之氮化矽膜。更可進一步將此等氮化矽膜進行氧化，在此情況下，雖然會使膜中的氧濃度增加，然可減低膜中的總含氫量，故能提升裝置的可靠性。

又氮化矽膜中的 $[\text{N-H}]$ 及 $[\text{N-D}]$ ，係可利用穿透式的傅立葉轉換式紅外線吸收法(FT-IR法)算出，例如， $[\text{N-H}]$ 可從振動波數 3340 cm^{-1} 附近的伸展模式之振動波峰算出； $[\text{N-D}]$ 可從振動波數 2370 cm^{-1} 附近的伸展模式之振動波峰算出。

如上所述，依據本實施形態，可大幅減低寫入/拭除時產生的通道絕緣膜之漏電流，而能夠提升非揮發性記憶元件的電荷保持特性。

[實施形態九]

圖33係顯示本發明的第九實施形態相關之半導體裝置(非揮發性記憶體)的構造之剖面圖。於矽基板421上，依序形成有通道絕緣膜(底絕緣膜)422、作為電荷蓄積膜的

氮化矽膜 423、頂絕緣膜 424 及控制閘電極 425；此外，矽基板 421 上及閘構造之周圍，形成有側壁氧化膜 426；又以包夾閘構造的方式，進一步形成有源極區域 427 和汲極區域 428。亦即，本實施形態係關於具有 MONOS 構造之非揮發性記憶體者。又於圖 33 所示之例中，通道絕緣膜 422 僅位於控制閘電極 425 的正下方，然其亦可延伸至控制閘電極 425 的外側。

通道絕緣膜 422 係由氮化矽膜形成，氮化矽膜中含有與氮鍵結之氫，此氫的主成分為重氫(D)。此外，通道絕緣膜 422 (氮化矽膜)的基本構成及製造方法等，均相同於第八實施形態。

本實施形態亦藉由使氮化矽膜中含有重氫，而如同第八實施形態，能夠提升非揮發性記憶元件的電荷保持特性。

以上係為本發明的實施形態之說明，然本發明不限於上述實施形態，凡於未偏離其要旨之範疇內，皆可進行種種變更。此外，上述實施形態並進一步包含有各種階段之發明，可與已揭示的構成要件進行適當組合而粹取成為各種發明，例如，即使從已揭示的構成要件中刪除數個構成要件，只要能夠得到既定的結果，即可單獨成為一項發明。發明之效果

依據本發明，藉由使用下層側氮化矽膜及上層側氮化矽膜之疊層構造，可製造出特性及生產性優良之半導體裝置。

再者，依據本發明，藉由使用下層側氮化矽膜及上層側

氮化矽膜之疊層構造，可製造出電荷保持特性優良之半導體裝置。

此外，依據本發明，藉由使氮化矽膜含有重氫，可製造出電荷保持特性優良之半導體裝置。

圖式之簡要說明

圖1係顯示本發明的第一實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖2係顯示本發明的第一實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖3係顯示本發明的第一實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖4係顯示本發明的第一實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖5係顯示本發明的第一實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖6係顯示有關本發明的實施形態中，SiN膜中之N/Si組成比及漏電流之關係圖。

圖7係顯示有關本發明的實施形態中，SiN膜中之N/Si組成比及密度之關係圖。

圖8係顯示本發明的第二實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖9係顯示本發明的第二實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖10係顯示本發明的第二實施形態相關之半導體裝置

的製造方法之一部分的剖面圖。

圖 11 係顯示本發明的第二實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖 12 係顯示本發明的第二實施形態相關之半導體裝置的製造方法之一部分的剖面圖。

圖 13 係顯示本發明的第三實施形態相關之半導體裝置的構造之剖面圖。

圖 14 係顯示本發明的第四實施形態相關之半導體裝置的構造之剖面圖。

圖 15 係顯示有關本發明的實施形態中，各種氮化矽膜之電荷保持特性圖。

圖 16 係顯示有關本發明的實施形態中，使氮化矽膜的膜厚變化時之電荷保持特性圖。

圖 17 係顯示本發明的第五實施形態相關之半導體裝置一例之剖面圖。

圖 18 係顯示本發明的第五實施形態相關之半導體裝置的其他範例之剖面圖。

圖 19 係顯示本發明的第五實施形態相關之半導體裝置的次一其他範例之剖面圖。

圖 20 係顯示本發明的第五實施形態相關之半導體裝置的再一其他範例之剖面圖。

圖 21 係顯示有關本發明的實施形態中，氫濃度及深度之關係圖。

圖 22 係顯示有關本發明的實施形態中，氧濃度及深度之

關係圖。

圖 23 係顯示有關本發明的實施形態中，資料保持時間及平帶電壓之關係圖。

圖 24 係顯示有關本發明的實施形態中，程式電壓及平帶電壓之關係圖。

圖 25 係顯示有關本發明的實施形態中，蓄積電荷的重心之深度及蓄積電荷密度之關係圖。

圖 26 係顯示有關本發明的實施形態之比較例中，蓄積電荷的重心之深度及蓄積電荷密度之關係圖。

圖 27 係顯示有關本發明的實施形態中，NAND 型元件的構造之電路圖。

圖 28 係顯示有關本發明的實施形態中，重氫退火的效果之圖。

圖 29 係顯示有關本發明的實施形態中，重氫退火的效果之圖。

圖 30 係顯示本發明的第七實施形態相關之半導體裝置的構造之剖面圖。

圖 31 係顯示將圖 30 的半導體裝置應用於反相器的範例之電路圖。

圖 32 係顯示本發明的第八實施形態相關之半導體裝置的構造之剖面圖。

圖 33 係顯示本發明的第九實施形態相關之半導體裝置的構造之剖面圖。

圖式代表符號說明

101、121、141、201、301、341、401、421	矽基板	
102	元件分離區域	.
103、124、354	閘絕緣膜	.
104、125、345	矽膜	
105	氮化鎢膜	
106	鎢膜	
107、206、306、346	TCS-SiN膜	
108、203、303、343	DCS-SiN膜	●
109	光阻膜	-
110	絕緣用的 SiN膜	
111、122、149	源極/汲極區域	
123	擴充區域	
126、308、348、406、426	側壁絕緣膜	
127、147、148	SiN膜(疊層構造)	
128、350a、350b	矽化物膜	
129	SiN膜(蝕刻停止層)	●
130	層間絕緣膜	-
131	接觸電極	~
142、402	通道絕緣膜	
143、403	漂浮電極(電荷蓄積膜)	.
144、404	中間絕緣膜	..
145、205、305、405、425	控制電極	-
146	矽化物膜	
202、302、422	底絕緣膜(通道絕緣膜)	=

204、304、424	頂絕緣膜
207、307、347	界面區域
309	上層絕緣膜
310	金屬導電膜
311、407、427	源極區域
312、408、428	汲極區域
321	絕緣膜
322	導體膜
323	元件分離絕緣膜
342、358	氧化矽膜
351	淺源極擴散層
351a	深源極擴散層
352	淺汲極擴散層
352a	深汲極擴散層
361	n型 MISFET
362	p型 MISFET
423	氮化矽膜(電荷蓄積膜)

肆、中文發明摘要

本發明在於藉由改善氮化矽膜之構造及形成方法，提供一種具優異特性等之半導體裝置。

該半導體裝置係具有：半導體基板 101；閘電極 104、105、106；第一絕緣膜 103，其係形成於半導體基板與閘電極之間；及第二絕緣膜，其包含下層側氮化矽膜 107 及上層側氮化矽膜 108，該下層側氮化矽膜係沿著閘電極的頂面或側面而形成，內含氮、矽及氫；且該上層側氮化矽膜係形成於下層側氮化矽膜上，內含氮、矽及氫；且下層側氮化矽膜中的氮 (N) 及矽 (Si) 之組成比 N/Si ，高於上層側氮化矽膜中的氮 (N) 及矽 (Si) 之組成比 N/Si 。

伍、日文發明摘要

【課題】 シリコン窒化膜の構成や形成方法を改善することにより、特性等に優れた半導体装置を提供する。

【解決手段】 半導体基板 101 と、ゲート電極 104、105、106 と、半導体基板とゲート電極との間に形成された第 1 の絶縁膜 103 と、ゲート電極の上面又は側面に沿って形成され、窒素、シリコン及び水素を含有した下層側シリコン窒化膜 107 と、下層側シリコン窒化膜上に形成され、窒素、シリコン及び水素を含有した上層側シリコン窒化膜 108 と、を含む第 2 の絶縁膜と、を備えた半導体装置であって、下層側シリコン窒化膜における窒素 (N) とシリコン (Si) との組成比 N/Si の方が、上層側シリコン窒化膜における窒素 (N) とシリコン (Si) との組成比 N/Si よりも高い。

陸、(一)、本案指定代表圖為：第 5 圖

(二)、本代表圖之元件代表符號簡單說明：

101	矽基板
102	元件分離區域
103	閘絕緣膜
104	矽膜
105	氮化鎢膜
106	鎢膜
107	TCS-SiN膜
108	DCS-SiN膜
110	絕緣用的SiN膜
111	源極/汲極區域

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種半導體裝置，其特徵在於具有：

半導體基板；

閘電極；

第一絕緣膜，其係形成於前述半導體基板及前述閘電極之間；及

第二絕緣膜，其包含下層側氮化矽膜及上層側氮化矽膜，該下層側氮化矽膜係沿著前述閘電極的頂面或側面而形成，內含氮、矽及氫；該上層側氮化矽膜係形成於下層側氮化矽膜上，內含氮、矽及氫；且

前述下層側氮化矽膜中的氮(N)及矽(Si)之組成比N/Si，高於前述上層側氮化矽膜中的氮(N)及矽(Si)之組成比N/Si。

2. 一種半導體裝置，其特徵在於具有：

半導體基板；

閘電極；

第一絕緣膜，其係形成於前述半導體基板及前述閘電極之間；及

第二絕緣膜，其係包含下層側氮化矽膜及上層側氮化矽膜，該下層側氮化矽膜係近接於前述閘電極而形成，內含氮、矽及氫；該上層側氮化矽膜係形成於下層側氮化矽膜上，內含氮、矽及氫；且

前述下層側氮化矽膜之含氫濃度，高於前述上層側氮化矽膜之含氫濃度。

3. 如申請專利範圍第1項之半導體裝置，其中

前述下層側氮化矽膜之含氫濃度，高於前述上層側氮化矽膜之含氫濃度。

4. 如申請專利範圍第1至3項中任一項之半導體裝置，其中

前述氫係含有氫的同位素。

5. 如申請專利範圍第1項之半導體裝置，其中

前述下層側氮化矽膜之組成比N/Si係高於1.32；前述上層側氮化矽膜之組成比N/Si係低於1.32。

6. 如申請專利範圍第2或3項之半導體裝置，其中

前述下層側氮化矽膜之含氫濃度係高於 $5 \times 10^{21} / \text{cm}^3$ ；前述上層側氮化矽膜之含氫濃度係低於 $5 \times 10^{21} / \text{cm}^3$ 。

7. 如申請專利範圍第1或2項之半導體裝置，其中

前述下層側氮化矽膜之密度係低於 2.68 g/cm^3 ；前述上層側氮化矽膜之密度係高於 2.68 g/cm^3 。

8. 如申請專利範圍第1或2項之半導體裝置，其中

前述下層側氮化矽膜與前述上層側氮化矽膜的界面中之氧濃度係低於 $1 \times 10^{22} / \text{cm}^3$ 。

9. 如申請專利範圍第1或2項之半導體裝置，其中

前述下層側氮化矽膜中的Si-H鍵結之密度係低於 $1 \times 10^{20} / \text{cm}^3$ ；前述上層側氮化矽膜中的Si-H鍵結之密度係高於 $1 \times 10^{20} / \text{cm}^3$ 。

10. 如申請專利範圍第1或2項之半導體裝置，其中

前述閘電極，係包括含有硼濃度高於 $1 \times 10^{19} / \text{cm}^3$ 而低於 $1 \times 10^{21} / \text{cm}^3$ 之矽膜或矽鍺膜。

11. 如申請專利範圍第1或2項之半導體裝置，其中

前述半導體基板係包括：源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域。

12. 如申請專利範圍第11項之半導體裝置，其中進一步具有：

其他閘電極，及形成於前述閘電極與前述其他閘電極之間的中間絕緣膜。

13. 如申請專利範圍第11項之半導體裝置，其中進一步具有：

形成於前述閘電極的側面上之第三絕緣膜，及形成於前述汲極區域上之第四絕緣膜；

前述第二絕緣膜，係形成於前述第三及第四絕緣膜上。

14. 如申請專利範圍第11項之半導體裝置，其中

前述下層側氮化矽膜之厚度係在1 nm以上且4 nm以下。

15. 如申請專利範圍第11項之半導體裝置，其中

前述下層側氮化矽膜之厚度係在前述上層側氮化矽膜的厚度以下。

16. 一種半導體裝置，其特徵在於具有：串聯連接的多數之記憶單元；

前述記憶單元係包括：

半導體基板，其係包含源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域；

第一絕緣膜，其係形成於前述半導體基板上；

第二絕緣膜，其係形成於前述第一絕緣膜上，而蓄積從半導體基板經由前述第一絕緣膜而植入的電荷者；且係包含厚度在 1 nm 以上且 4 nm 以下之下層側氮化矽膜，及形成於下層側氮化矽膜上之上層側氮化矽膜；

第三絕緣膜，其係形成於第二絕緣膜上；及

控制閘電極，其係形成於前述第三絕緣膜上。

17. 一種半導體裝置，其特徵在於具有：

半導體基板，其係包含源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域；

第一絕緣膜，其係形成於前述半導體基板上；

第二絕緣膜，其係形成於前述第一絕緣膜上，而蓄積從半導體基板經由前述第一絕緣膜而植入的電荷者；且係包含厚度在 1 nm 以上且 4 nm 以下之下層側氮化矽膜，及形成於下層側氮化矽膜上之上層側氮化矽膜；

第三絕緣膜，其係形成於前述第二絕緣膜上；及

控制閘電極，其係形成於前述第三絕緣膜上；且

前述第二絕緣膜係具有前述源極區域附近的第一區域，及前述汲極區域附近的第二區域；前述第一區域

及第二區域係相互獨立而蓄積有電荷。

18. 如申請專利範圍第16或17項之半導體裝置，其中

前述控制閘電極於讀出時，係被施加以高於寫入時的臨限電壓上限之電壓。

19. 如申請專利範圍第16或17項之半導體裝置，其中

前述下層側氮化矽膜與前述上層側氮化矽膜的界面中之氧濃度係低於 $1 \times 10^{22} / \text{cm}^3$ 。

20. 如申請專利範圍第16或17項之半導體裝置，其中

含於前述下層側氮化矽膜與前述上層側氮化矽膜之重氮數對總含氮數之比例為0.01以上。

21. 一種半導體裝置之製造方法，其特徵在於具有：

第一絕緣膜形成工序，其係形成於半導體基板上；
及

第二絕緣膜形成工序，其係形成於包含前述第一絕緣膜之區域上；

前述第二絕緣膜形成工序係包括：

第一氮化矽膜形成工序，其係使用包含四氯化矽之第一矽源及第一氮源而形成；及

第二氮化矽膜形成工序，其係於前述第一氮化矽膜上，使用四氯化矽以外之第二矽源及第二氮源而形成。

22. 如申請專利範圍第21項之半導體裝置之製造方法，其中前述第二矽源係包含二氯矽烷。

23. 如申請專利範圍第21項之半導體裝置之製造方法，其

中

前述第一氮源及第二氮源係為氮。

24. 如申請專利範圍第21項的半導體裝置之製造方法，其中

從前述第一氮化矽膜形成工序之後至前述第二氮化矽膜形成工序之前，未將前述第一氮化矽膜曝曬於大氣中。

25. 如申請專利範圍第21項的半導體裝置之製造方法，其中進一步具有：

電極形成工序，其係形成於前述第一絕緣膜上或上方；

前述第二絕緣膜係形成於包含前述第一絕緣膜及前述電極之區域上。

26. 如申請專利範圍第21項的半導體裝置之製造方法，其中進一步具有：

第三絕緣膜形成工序，其係形成於前述第二絕緣膜上；及

電極形成工序，其係形成於前述第三絕緣膜上。

27. 一種半導體裝置，其特徵在於具有：

半導體基板；

閘電極；

第一絕緣膜，其係形成於前述半導體基板及前述閘電極之間；及

第二絕緣膜，其係包含氮化矽膜，該氮化矽膜係近

接於前述閘電極而形成，內含氮、矽及氫；且

含於前述氮化矽膜的重氫數對總含氫數之比例係為
0.9以上。

28. 如申請專利範圍第27項之半導體裝置，其中

前述半導體基板係包括：源極區域、汲極區域，及
包夾於前述源極區域和前述汲極區域間之通道區域。

29. 如申請專利範圍第27項之半導體裝置，其中

前述第二絕緣膜係沿著前述閘電極的頂面或側面而
形成。

30. 如申請專利範圍第27項之半導體裝置，其中

前述第二絕緣膜係形成於前述閘電極與前述第一絕
緣膜之間。

31. 一種半導體裝置之製造方法，其特徵在於具有：

第一絕緣膜形成工序，其係形成於半導體基板上；及
第二絕緣膜形成工序，其係形成於包含前述第一絕
緣膜之區域上；且

前述第二絕緣膜形成工序係包含氮化矽膜形成工
序，其係使用含有矽源及重氫之氮源而形成。

32. 如申請專利範圍第31項之半導體裝置之製造方法，其
中

前述矽源係不含輕氫。

33. 一種半導體裝置，其特徵在於具有：

半導體基板；

控制閘電極；

氮化矽膜，其係形成於前述半導體基板與前述控制閘電極之間，內含矽、氮及氮鍵結之重氫；及

電荷蓄積膜，其係形成於前述控制閘電極與前述氮化矽膜之間，而蓄積從前述半導體基板經由前述氮化矽膜而植入的電荷。

34. 如申請專利範圍第33項之半導體裝置，其中

前述氮化矽膜係進一步含有氮鍵結之輕氫，

而前述氮化矽膜中，氮鍵結的重氫數多於氮鍵結之輕氫數。

35. 如申請專利範圍第33項之半導體裝置，其中

前述氮化矽膜係進一步含氧。

36. 如申請專利範圍第33項之半導體裝置，其中

前述半導體基板係包括：源極區域、汲極區域，及包夾於前述源極區域和前述汲極區域間之通道區域。

37. 如申請專利範圍第36項之半導體裝置，其中進一步具有：

中間絕緣膜，該中間絕緣膜係形成於構成前述閘電極與漂浮閘電極之前述電荷蓄積膜之間。

38. 如申請專利範圍第36項之半導體裝置，其中

前述電荷蓄積膜係為絕緣膜。

拾壹、圖式

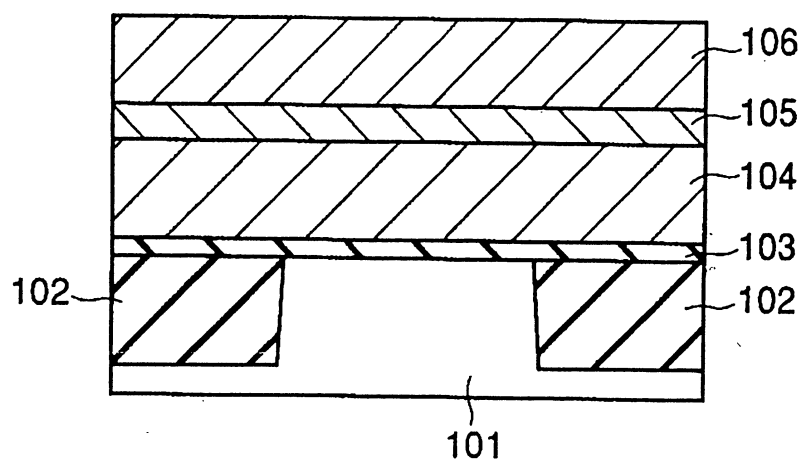


圖 1

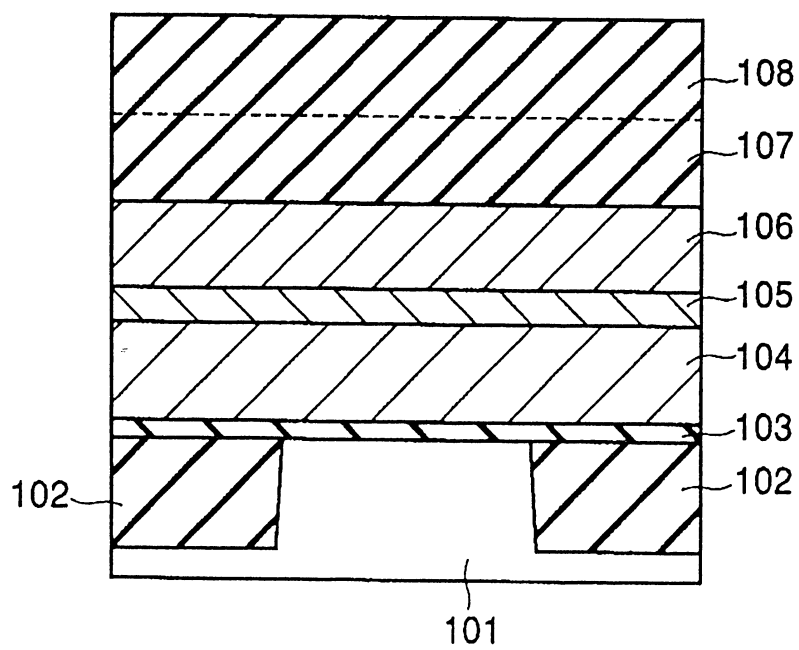


圖 2

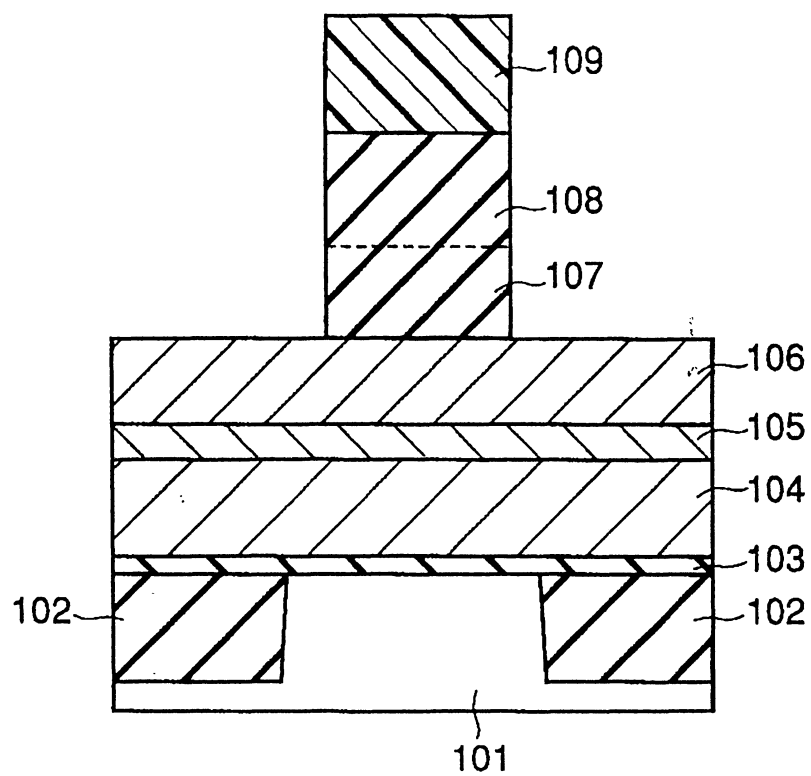


圖 3

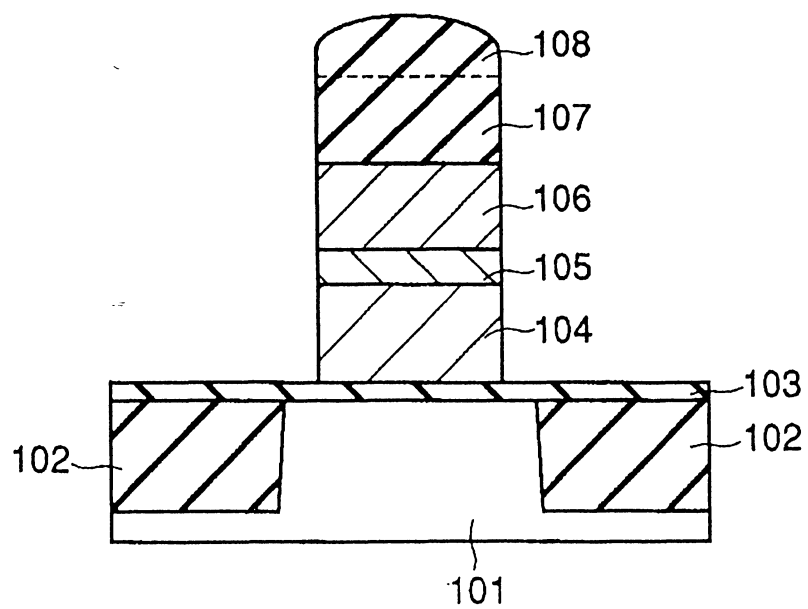


圖 4

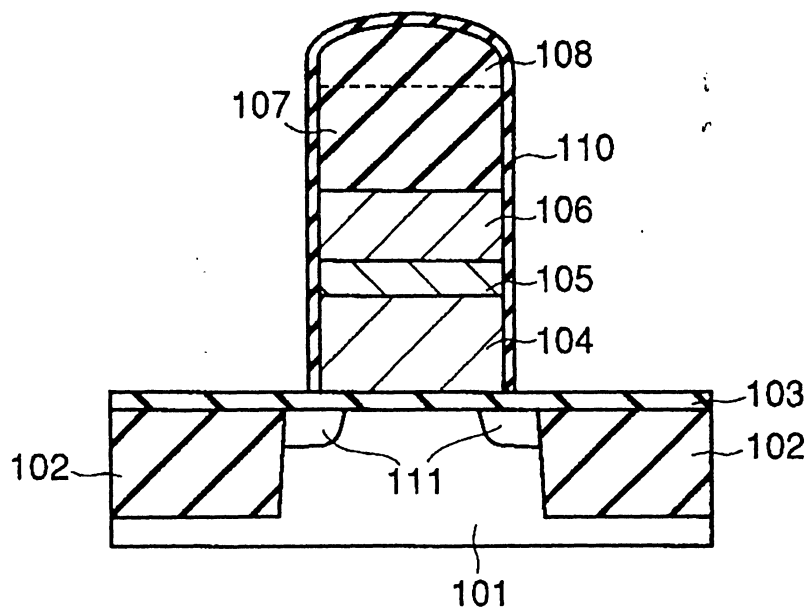


圖 5

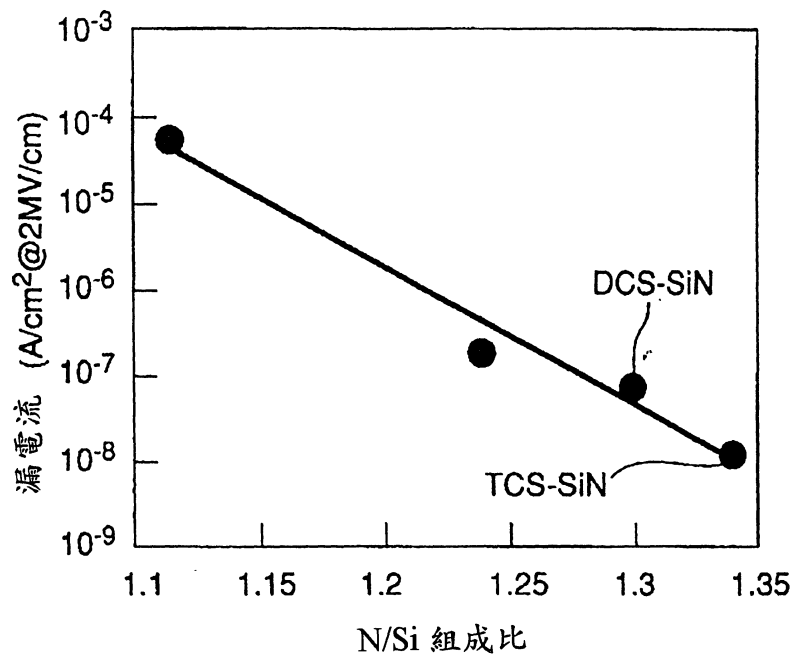


圖 6

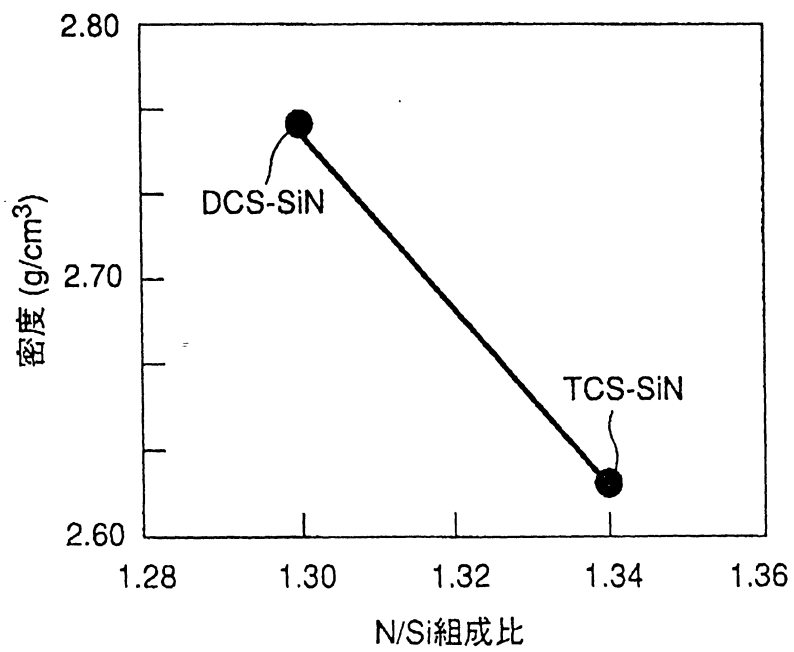


圖 7

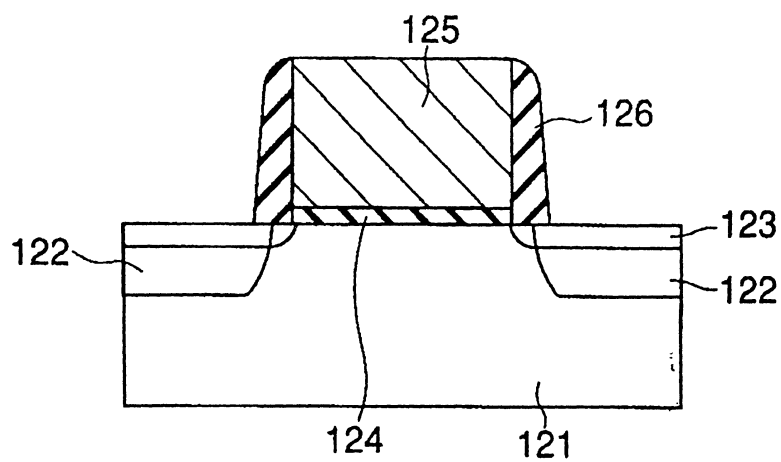


圖 8

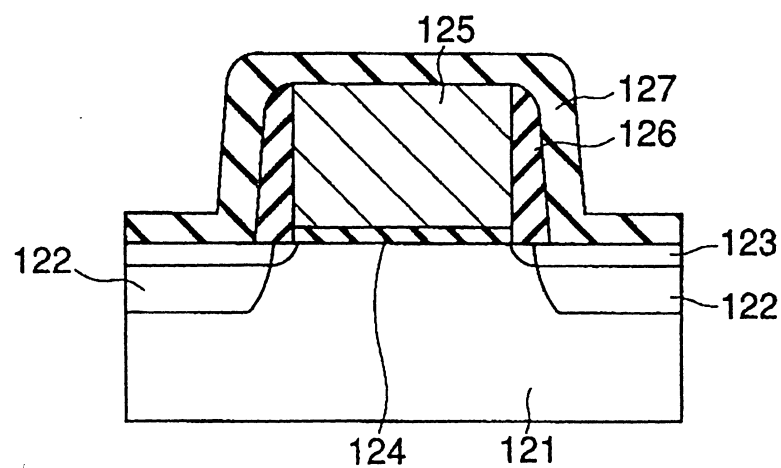


圖 9

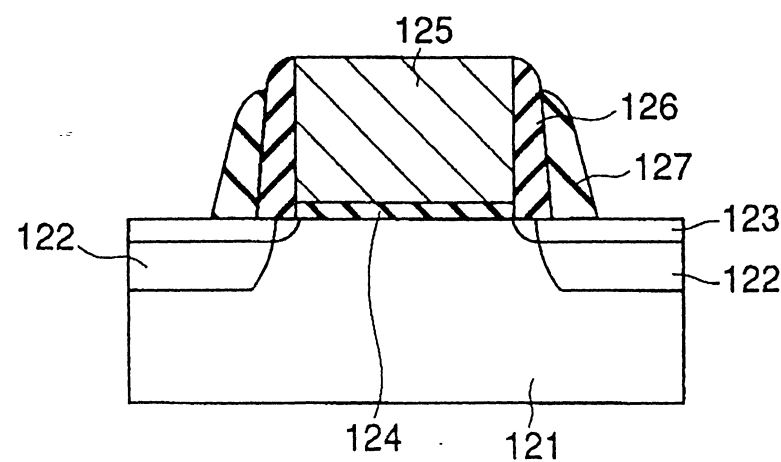


圖 10

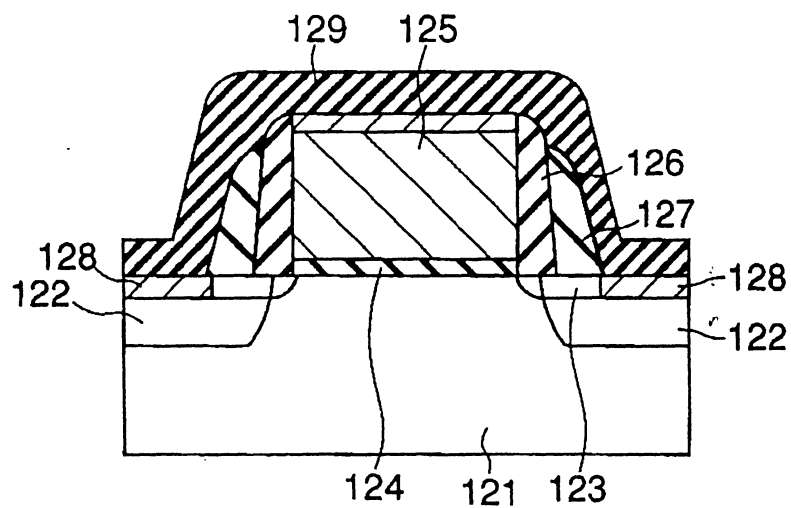


圖 11

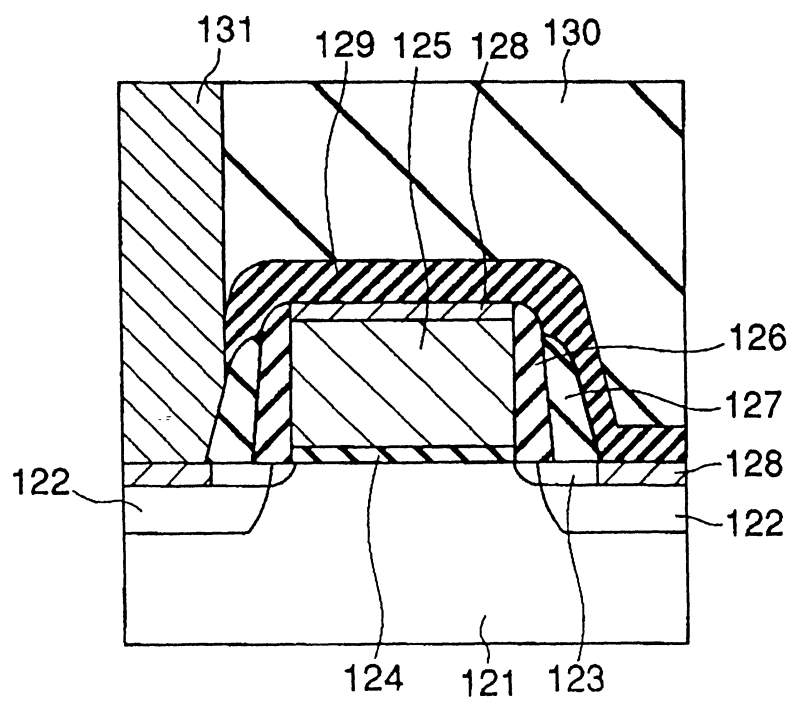


圖 12

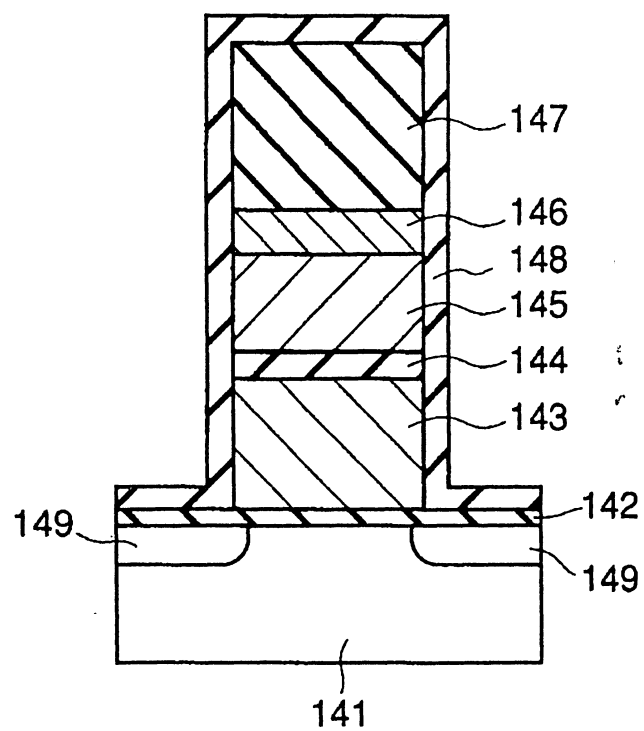


圖 13

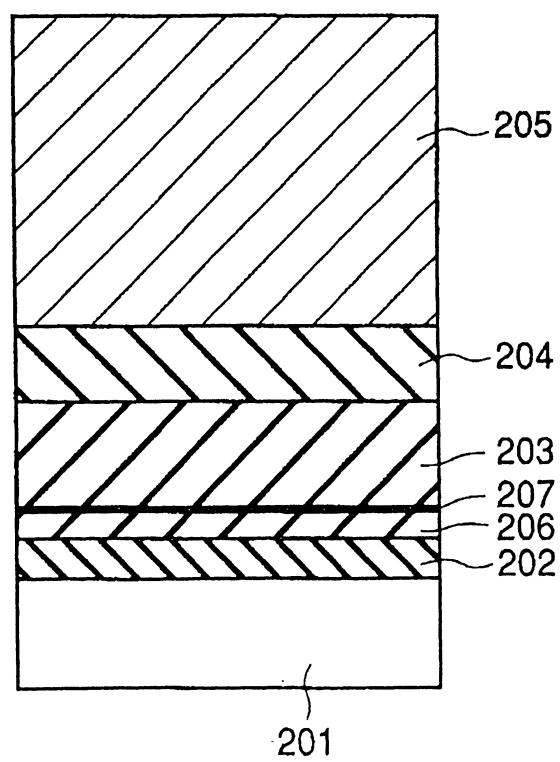


圖 14

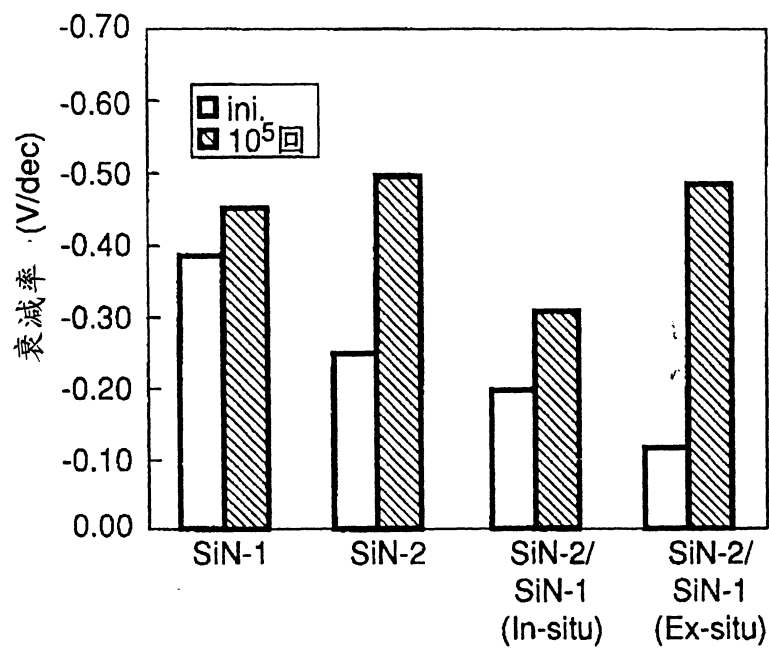


圖 15

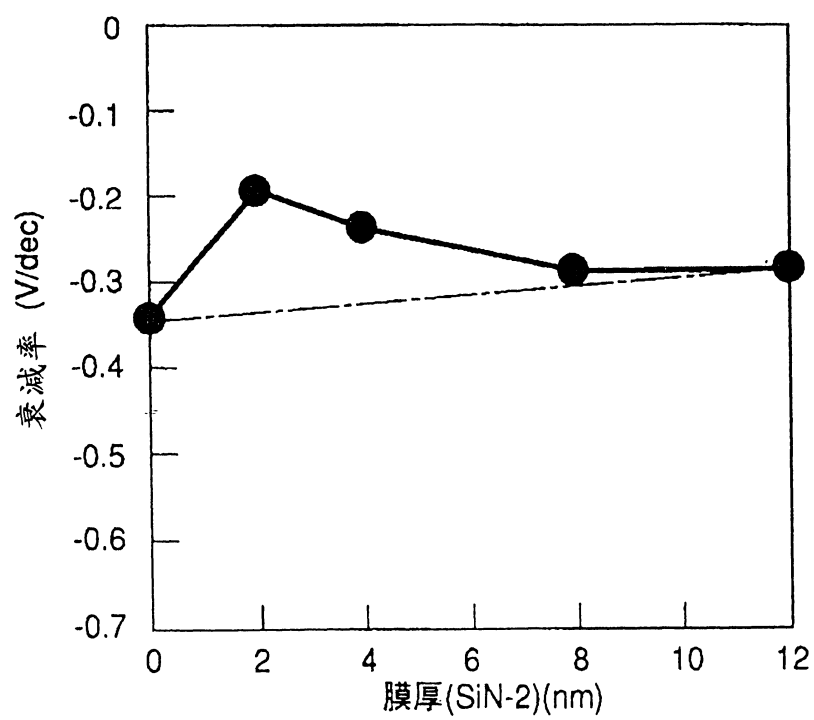


圖 16

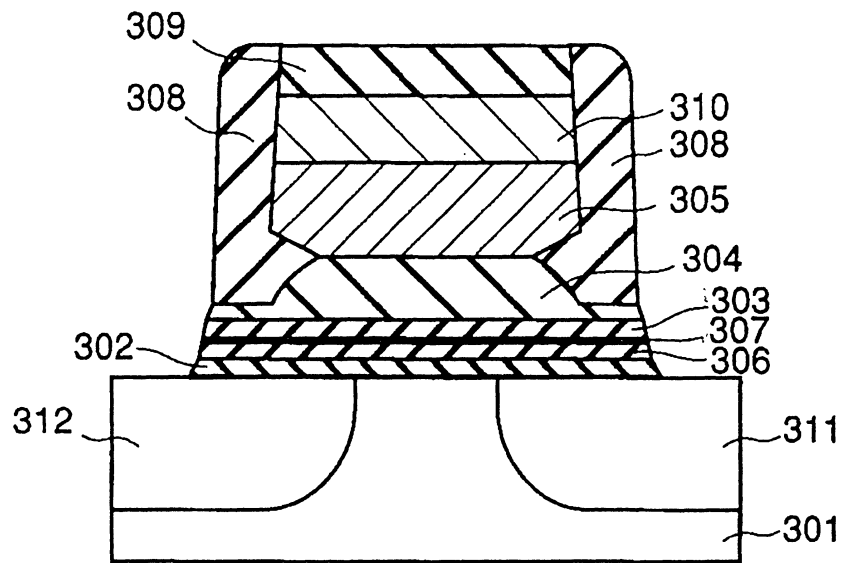


圖 17

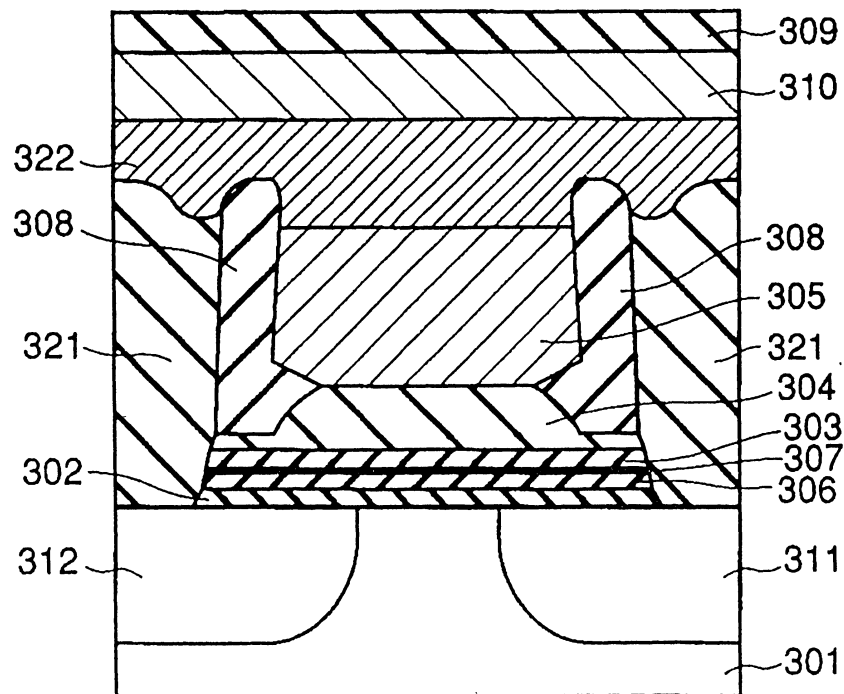


圖 18

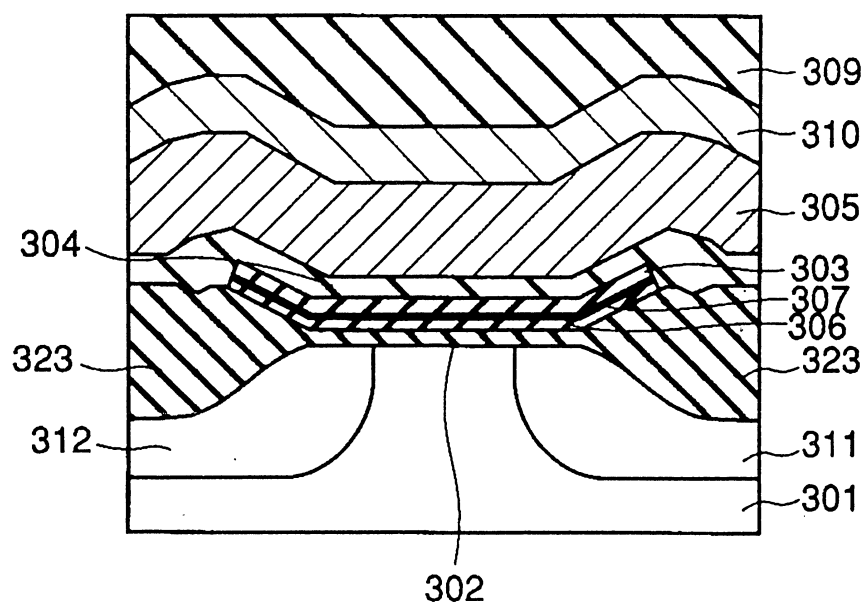


圖 19

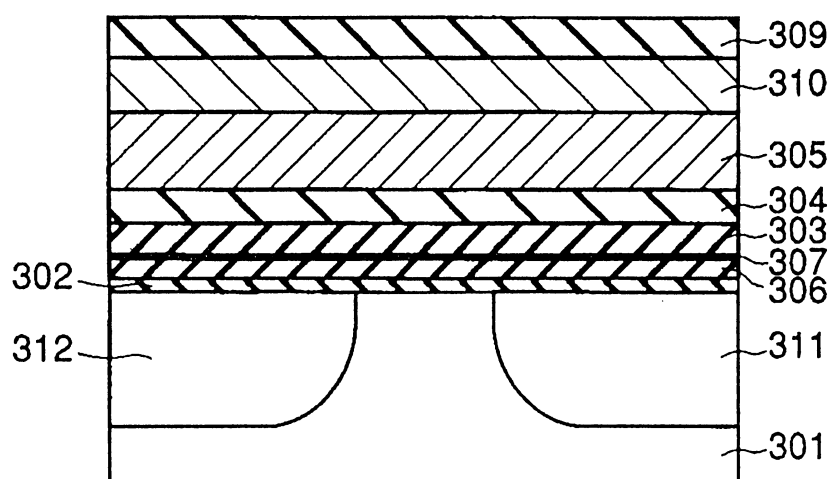


圖 20

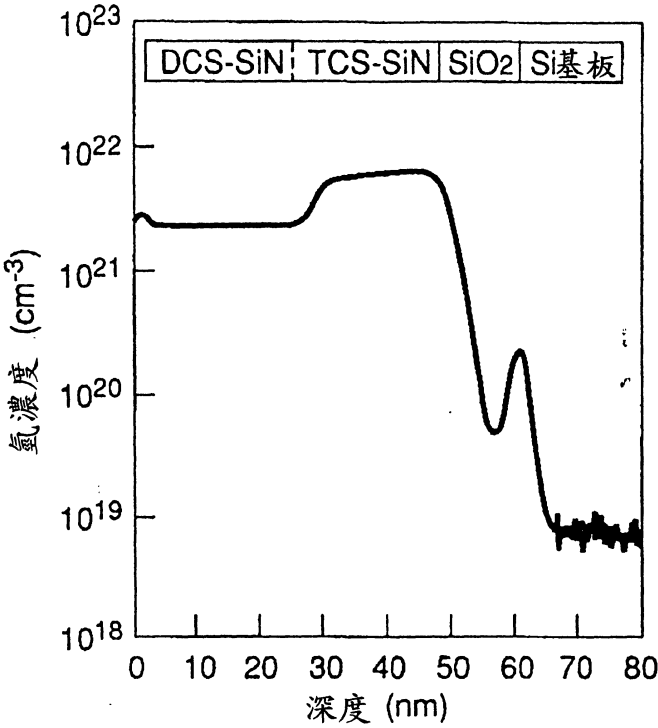


圖 21

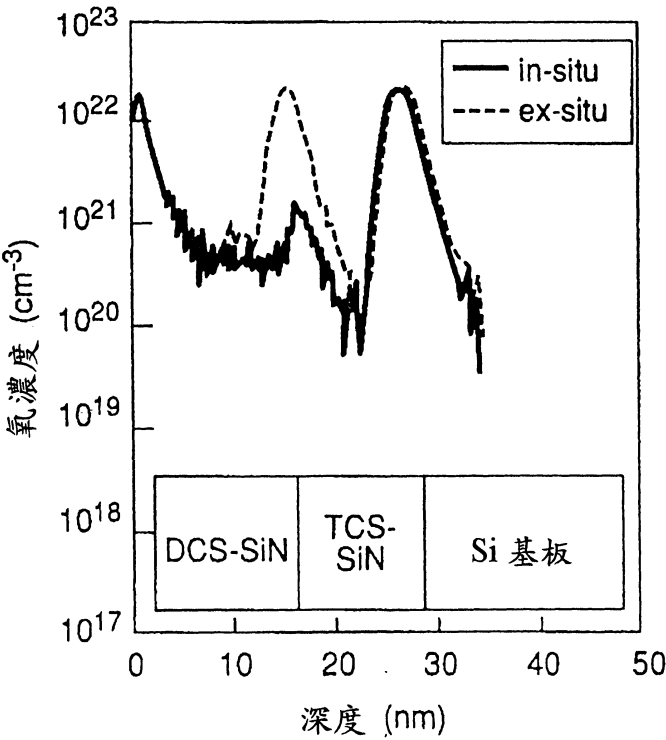


圖 22

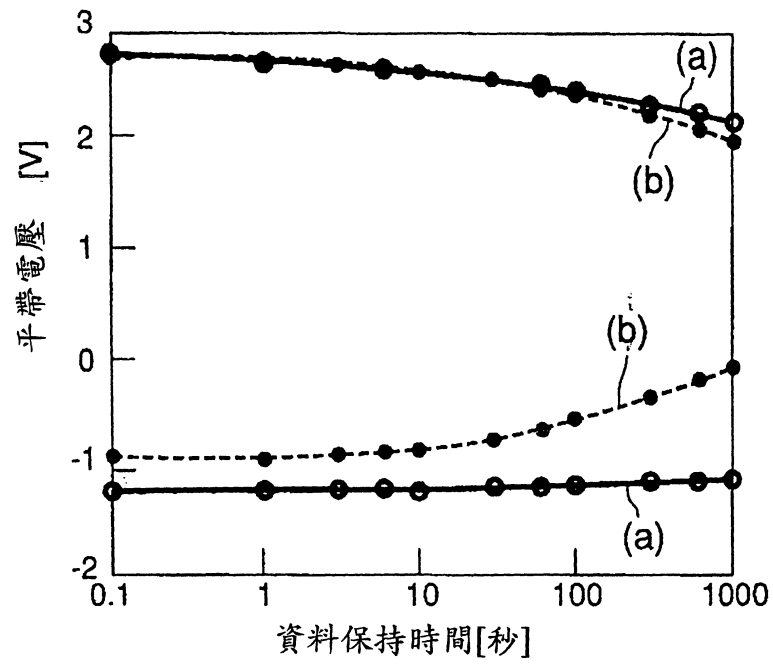


圖 23

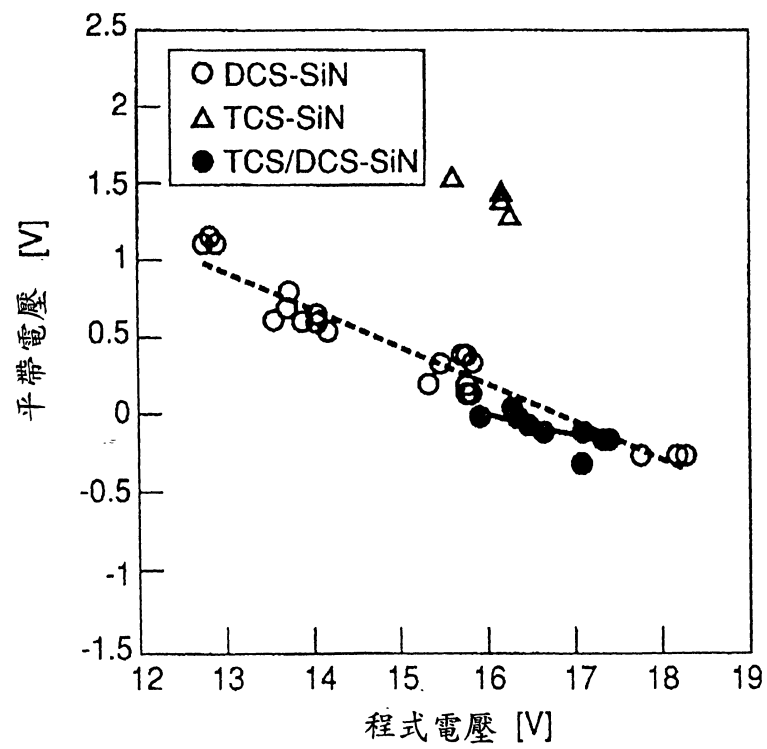


圖 24

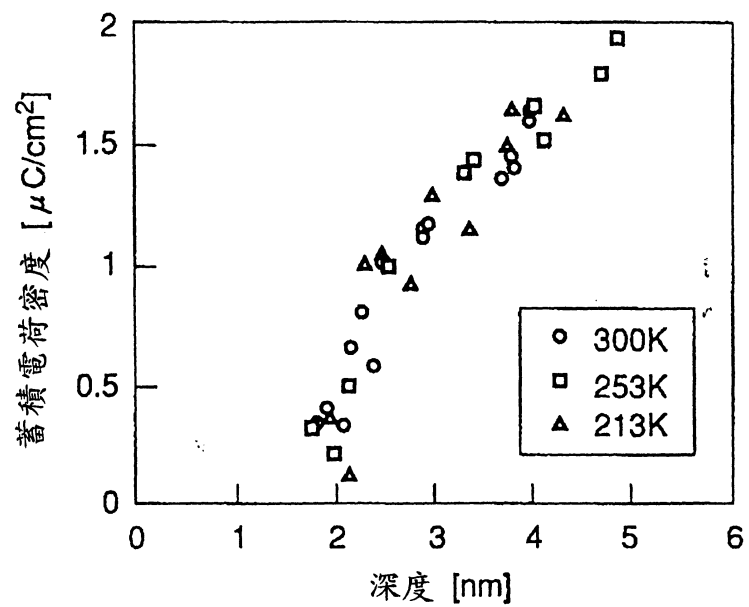


圖 25

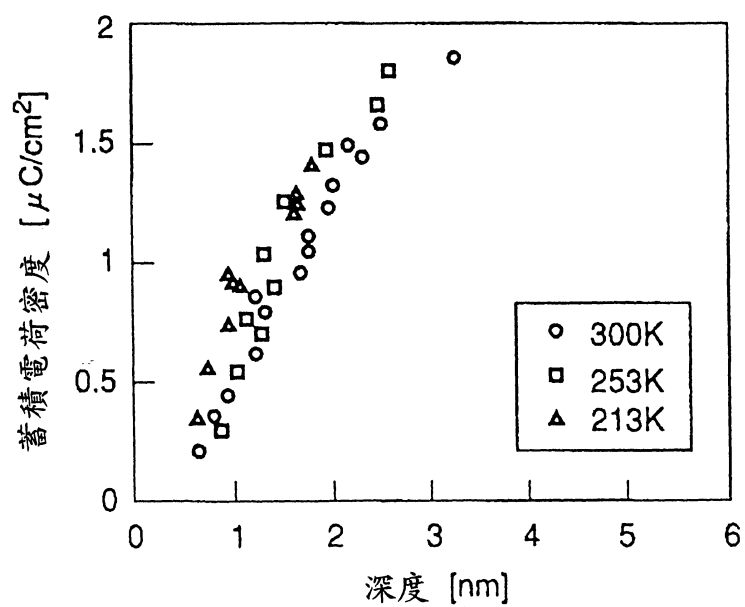


圖 26

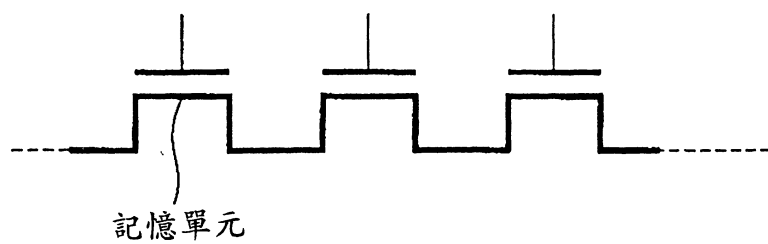


圖 27

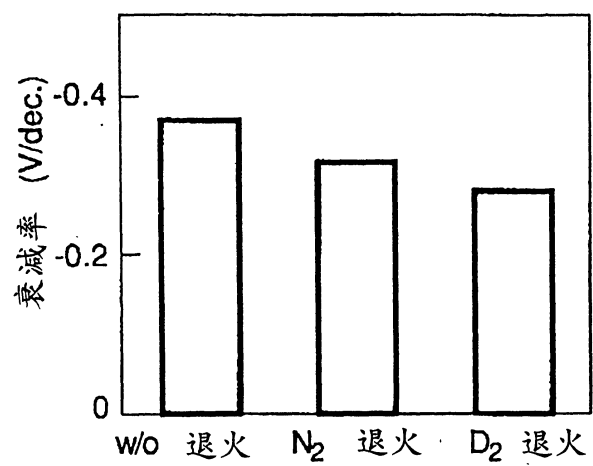


圖 28

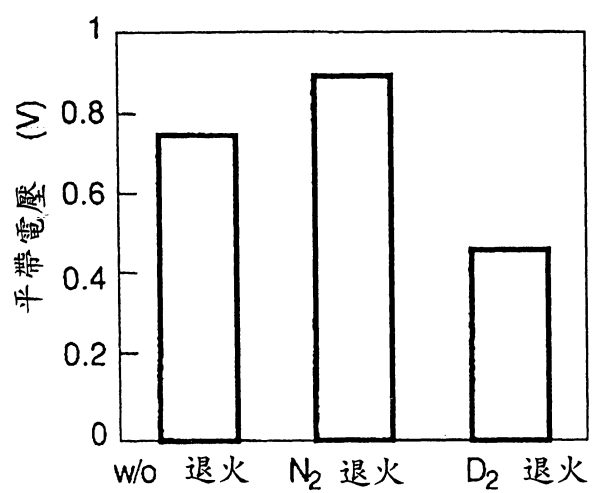


圖 29

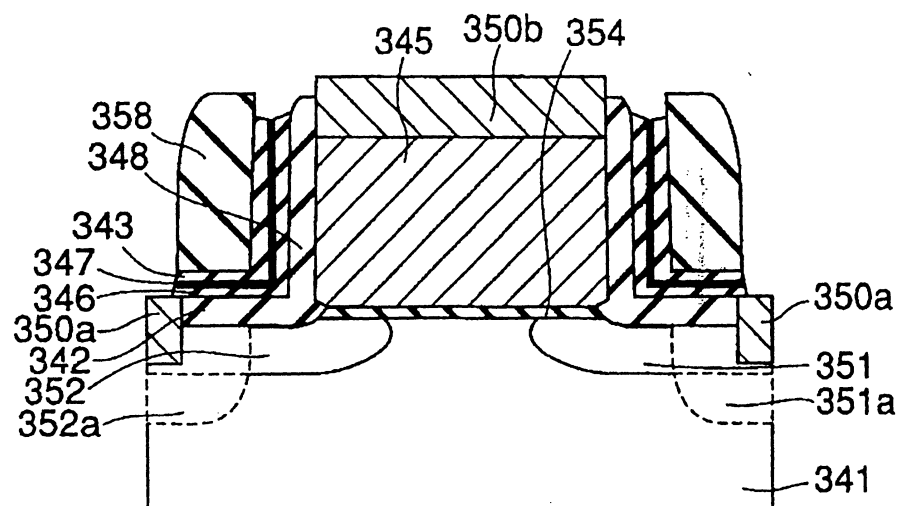


圖 30

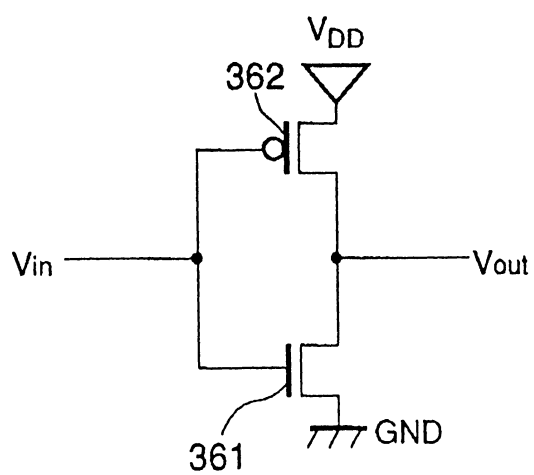


圖 31

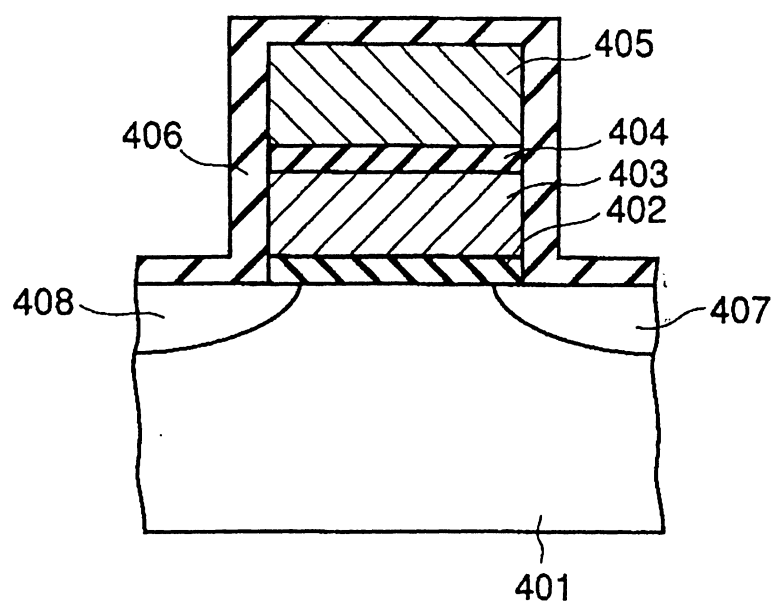


圖 32

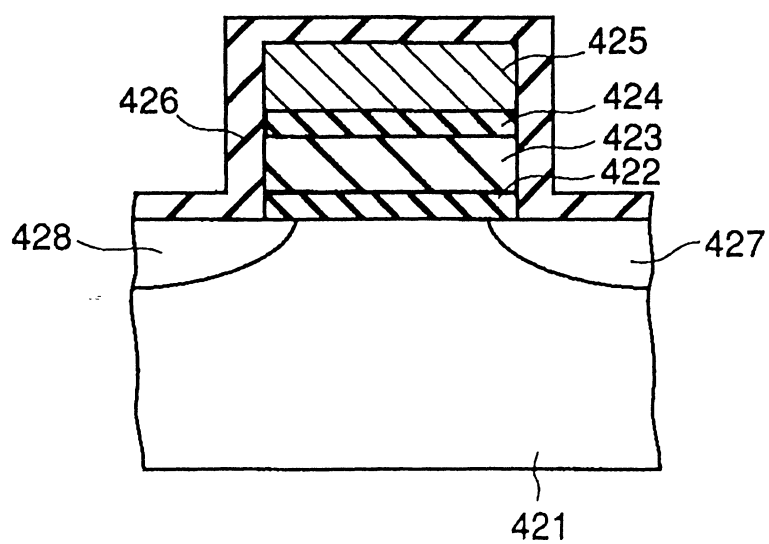


圖 33